(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 27/08

(45) 공고일자 2001년04월02일
(11) 등록번호 10-0283351
(24) 등록일자 2000년12월07일

(21) 출원번호	10-1994-0034051	(65) 공개번호	특1995-0021534
(22) 출원일자	1994년12월14일	(43) 공개일자	1995년07월26일
(30) 우선권주장	93-318,431 1993년12월17일 일본(JP)		

(73) 특허권자 소니 가부시키가이샤 이데이 노부유끼
일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7반 35고
(72) 발명자 미야자끼 하루도미
일본국 도오쿄도 시나가와구 기다시나가와 6쵸메 7반 35고 소니 가부시키가이샤내
(74) 대리인 박종길

심사관 : 조지은

(54) 반도체집적회로

요약

서로 주파수가 상이한 기준클록신호가 입력되는 회로블록을 동일 기판상에 형성할 수 있도록 한다.

제1의 PMOSFET(24)의 소스영역(24S) 및 제1의 N형 웰영역(23An)에 인가되는 전원전압 VDD1의 공급경로와, 제2의 PMOSFET(26)의 소스영역(26S) 및 제2의 N형 웰영역(23Bn)에 인가되는 전원전압 VDD2의 공급경로를 각각 제1 및 제2의 N형 웰영역(23An) 및 (23Bn)으로 서로 분리하고, 제1의 NMOSFET(25)의 소스영역(25S) 및 제1의 P형 웰영역(22Ap)에 인가되는 전원전압 VSS1의 공급경로와, 제2의 NMOSFET(27)의 소스영역(27S) 및 제2의 P형 웰영역(22Bp)에 인가되는 전원전압 VSS2의 공급경로를 각각 제1 및 제2의 P형 웰영역(22Ap) 및 (22Bp)으로 서로 분리하여 구성한다.

대표도

도1

명세서

[발명의 명칭]

반도체집적회로

[도면의 간단한 설명]

제1도는 본 발명에 관한 반도체집적회로의 실시예가 내장되는 비디오카메라의 회로계의 일예를 나타낸 블록도.

제2도는 본 실시예에 관한 반도체집적회로의 요부의 구성을 나타낸 단면도.

제3도는 본 실시예에 관한 반도체집적회로의 요부의 구성을 나타낸 등가회로도.

제4도는 본 실시예에 관한 반도체집적회로로부터의 출력신호를 나타낸 파형도이며,

제4(a)도는 타이밍발생기로부터의 출력신호파형을 나타내고,

제4(b)도는 동기신호발생기로부터의 출력신호파형을 나타낸 도면.

제5도는 본 실시예에 관한 반도체집적회로의 다른 예를 나타낸 단면도.

제6도는 제1의 변형예에 관한 반도체집적회로의 요부의 구성을 나타낸 등가회로도.

제7도는 제1의 변형예에 관한 반도체집적회로의 요부의 구성을 나타낸 단면도.

제8도는 제1의 변형예에 관한 반도체집적회로로부터의 출력신호를 나타낸 파형도이며,

제8(a)도는 CMOS 인버터로부터의 출력신호파형을 나타내고,

제8(b)도는 통상의 회로구성을 채용한 경우에 있어서 그 연산증폭회로로부터의 출력신호파형을 나타내고,

제8(c)도는 제1의 변형예에 있어서의 연산증폭회로로부터의 출력신호파형을 나타낸 도면.

제9도는 CMOS 인버터와 연산증폭회로의 통장의 회로예를 나타낸 등가회로도.

제10도는 제2의 변형예에 관한 반도체집적회로의 요부의 구성을 나타낸 등가회로도.

제11도는 제2의 변형예에 관한 반도체집적회로의 정부(正負)입출력연산증폭 회로로부터의 출력신호를 나타낸 파형도.

제12도는 종래예에 관한 반도체집적회로의 요부의 구성을 나타낸 단면도.

제13도는 종래예에 관한 반도체집적회로의 요부의 구성을 나타낸 등가회로도.

제14도는 종래예에 관한 반도체집적회로로부터의 출력신호를 나타낸 파형도이며,

제14(a)도는 타이밍발생기로부터의 출력신호파형을 나타내고,

제14(b)도는 동기신호발생기로부터의 출력신호파형을 나타낸 도면.

제15도는 종래예에 관한 반도체집적회로에 의한 재생화상의 열화상태를 나타낸 설명도.

* 도면의 주요부분에 대한 부호의 설명

1 : CCD 이미지 센서 2 : 회로계

4 : 동기신호발생기 5 : 타이밍발생기

6 : CCD 수직드라이버 7 : 신호처리회로

11 : 제1의 CMOS 인버터 12 : 제2의 CMOS 인버터

21 : 실리콘기판 22Ap : 제1의 P형 웰영역

23An : 제1의 N형 웰영역 22Bp : 제2의 P형 웰영역

23Bn : 제2의 N형 웰영역 24 : 제1의 PMOSFET

25 : 제1의 NMOSFET 26 : 제2의 PMOSFET

27 : 제2의 NMOSFET 41 : CMOS 인버터

42 : 연산증폭회로 43 : PMOSFET

44 : NMOSFET 45 : 커렌트미러회로

46 : 소스접지회로

47A 및 47B : 제1 및 제2의 PMOSFET

48A～48C : 제1～제3의 NMOSFET 49 : 출력소자

50,52 : 부하저항소자 51 : 정전류원

[발명의 상세한 설명]

본 발명은 각각 주파수가 상이한 기준클록신호가 입력되는 복수의 회로블록(디지탈회로)이 동일한 반도체기판상에 형성된 반도체집적회로에 관한 것이며, 특히 CCD 이미지센서의 구동펄스를 생성하기 위한 타이밍발생기 및 동기신호발생기를 동일 칩상에 형성하는 경우에 적합한 반도체집적회로에 관한 것이다.

서로 주파수가 상이한 기준클록신호가 입력되는 디지탈회로, 예를 들면 CCD 이미지센서의 구동펄스를 생성하기 위한 타이밍발생기 및 동기신호발생기에 있어서는, 종래부터 각각 다른 반도체기판에 형성하고, 2칩으로 하여 CCD 이미지센서의 세트(비디오카메라의 회로기판)에 실장(實裝)하도록 하고 있다.

그리고, 현재 CCD 이미지센서의 소형화를 위해 상기 타이밍발생기 및 동기신호발생기의 1칩화가 추진되고 있다.

종래의 상기 1칩화의 구성을 제12도의 단면구조 및 제13도의 등가회로에 따라서 설명한다. 이들 제12도 및 제13도에 있어서는, 설명의 편의상 타이밍발생기(101)와 동기신호발생기(102)의 구성을 각 발생기의 구성요소인 CMOS인버터(103) 및 (104)로 대용하여 도시하고 있다.

종래에 있어서는 제12도에 나타낸 바와 같이, 예를 들면 P형의 실리콘기판(111)중, 타이밍발생기(101) 및 동기신호발생기(102)가 형성되는 부분에 각각 제1 및 제2의 N형의 웰영역(112An) 및 (112Bn)을 형성하고, 이들 N형의 웰영역(112An) 및 (112Bn)에 각각 제1 및 제2의 P 채널형의 MOSFET (이하, 제1 및 제2의 PMOSFET 라고 함)(113) 및 (115)를 형성하고, P형의 실리콘기판(111)상에 제1 및 제2의 N 채널형의 MOSFET (이하, 제1 및 제2의 NMOSFET 라고 함)(114) 및 (116)를 형성하여, 제1의 PMOSFET(113)와 제1의 NMOSFET(114)로 이루어지는 제1의 CMOS 인버터(103)를 구성요소로 하는 타이밍발생기(101)를 형성하고, 제2의 PMOSFET(115)와 제2의 NMOSFET(116)로 이루어지는 제2의 CMOS 인버터(104)를 구성요소로 하는 동기신호발생기(102)를 형성하도록 하고 있다.

그리고, 제13도에도 나타낸 바와 같이, 제1의 CMOS인버터(103)에 있어서의 제1의 PMOSFET(113) 및 제1의 NMOSFET(114)의 각 게이트전극(113G) 및 (114G)에 각각 입력전압 Vin1이 인가되고, 제1의 PMOSFET(113)의 소스영역(113S)에 통하는 소스전극(117s)에 전원전압 VDD1(= +5V)이 인가되고, 제1의 PMOSFET(113)의 드레인영역(113D)에 통하는 드레인전극(117d)과 제1의 NMOSFET(114)의 드레인영역(114D)에 통하는 드레인전극(118d)이 공통접속되어서, 이 공통단자로부터 출력전압 Vout1이 얻어지도록 되어 있다.

또, 제2의 CMOS 인버터(104)에 있어서의 제2의 PMOSFET(115) 및 제2의 NMOSFET(116)의 각 게이트전극(115G) 및 (116G)에 각각 입력전압 Vin2이 인가되고, 제2의 PMOSFET(115)의 소스영역(115S)에 통하는 소

스전극(119s)에 전원전압 VDD2이 인가되고, 제2의 PMOSFET(115)의 드레인영역(115D)에 통하는 드레인전극(119d)과 제2의 NMOSFET(116)의 드레인영역(116D)에 통하는 드레인전극(120d)이 공통접속되어서, 이 공통단자로부터 출력전압 Vout2이 얻어지도록 되어 있다.

특히, 종래의 구성에서는, 각 NMOSFET(114) 및 (116)의 소스영역(114S) 및 (116S)에 통하는 소스전극(118s)및 (120s)에 각각 접지전위 VSS(= 0V)가 인가되고, 동시에 실리콘기판(111)에도 기판전위로서 접지전위 VSS가 인가되도록 되어 있다. 즉, 각 NMOSFET(114) 및 (116)의 소스영역(114S) 및 (116S)에는, 동일한 전원전위(접지전위 VSS)가 인가되도록 되어 있다.

그러나, 종래의 반도체집적회로에 있어서는, 예를 들면 제1의 CMOS인버터(103)에 입력되는 전위 Vin1가 고레벨로 되어 제1의 NMOSFET(114)가 동작했을때, 실리콘기판(111)으로부터 제1의 NMOSFET(114)의 게이트전극(114G) 아래에의 전하(이 경우, 전자)의 유기(誘起)에 따라서 기판전위 VSS가 변동하게 된다. 이 변동의 타이밍은 Vin1의 레벨변화, 즉 이 예에서는 타이밍발생기(101)에 공급되는 기준클록신호의 주파수에 의해 결정된다.

이 기판전위 VSS의 변동은 그대로 기판(111)을 통하여 제2의 CMOS 인버터(104)에 전해져서, 제2의 NMOSFET(116)에 있어서의 게이트바이어스전위 및 소스전압의 변동을 초래하고, 제14(b)도에 나타낸 바와 같이, 제2의 CMOS인버터(104)로부터 출력되는 출력전위에 간섭에 의한 파형의 왜곡(이른바 비트) b이 발생한다는 문제가 있다.

이 현상은 제1의 CMOS 인버터(103)에도 생기고, 제14(a)도에 나타낸 바와 같이, 제1의 CMOS 인버터(103)의 출력전위에도 비트 b가 발생하게 된다. 이 현상은 제1의 CMOS 인버터(103)와 제2의 CMOS 인버터(104)의 동작타이밍이 상이한, 즉 제1의 CMOS 인버터(103)를 가진 타이밍발생기(101)에 공급되는 기준클록신호의 주파수(= 28 MHz)와 제2의 CMOS 인버터(104)를 가진 동기신호발생기(102)에 공급되는 기준클록신호의 주파수(= 17 MHz)가 상이하기 때문이다.

이 비트 b는 CCD 이미지센서에 악영향을 미쳐서, 영상신호에 노이즈로서 중첩하게 되고, 그 결과 비디오카메라로 진백(眞白)의 것을 촬상한 경우에 있어서, 그 모니터에 재생되는 영상에는 제15도에 나타낸 바와 같이, 경사방향으로 거무스름한 줄무늬모양 c이 다수 나타나서, 화질을 현저하게 열화시킨다는 문제가 있다.

이와 같은 것으로부터 종래에 있어서는, 입력되는 기준클록의 주파수가 서로 상이한 복수의 회로블록(이 예에서는, 타이밍발생기(101)와 동기신호발생기(102))을 동일 기판(111)상에 형성할 수 없고, CCD 이미지센서의 소형화를 회로실장면에서 달성할 수 없었다.

본 발명은 상기 과제를 감안하여 이루어진 것이며, 그 목적으로 하는 바는 서로 주파수가 상이한 기준클록신호가 입력되는 회로블록을 동일 기판상에 형성할 수 있는 반도체집적회로를 제공하는 것에 있다.

또, 본 발명의 다른 목적은 CCD 이미지센서의 구동펄스를 발생하기 위한 타이밍발생기 및 동기신호발생기를 동일 기판상에 형성해도 각 발생기의 출력신호에는 비트는 발생하지 않고, 재생화상의 화질의 열화를 야기하는 일이 없는 반도체집적회로를 제공하는 것에 있다.

또, 본 발명의 다른 목적은 CCD 이미지센서의 구동펄스를 발생하기 위한 타이밍발생기 및 동기신호발생기를 동일 기판상에 형성할 수 있고, CCD 이미지센서를 탑재한 전자기기의 소형화를 회로실장면에서 달성할 수 있는 반도체 집적회로를 제공하는 것에 있다.

본 발명에 관한 반도체집적회로는 동작타이밍이 입력기준클록신호 Sc1 및 Sc2의 주파수에 의해 지배되는 회로블록을 복수, 동일의 반도체기판(21)상에 형성하여 구성되는 것이며, 복수의 회로블록(4) 및 (5)에 입력되는 각 입력기준클록신호 Sc1 및 Sc2의 주파수가 서로 상이하고, 또한 각 회로블록(4) 및 (5)에의 구동전원의 공급경로가 각각 분리되어 구성되어 있는 것을 특징으로 하는 것이다.

이 경우, 반도체기판(21)상에 이 반도체기판(21)과 상이한 도전형의 제1의 웰영역(22)을 형성하고, 이 제1의 웰영역(22)내에 반도체기판(21)과 동일한 도전형의 제2의 웰영역(23)을 형성하고, 각 웰영역(22) 및 (23)내에 각각 FET를 주체로 한 회로(11)(또는 12)를 형성하고, 이들 제1및 제2의 웰영역(22) 및 (23)내에 형성된 회로(11)(또는 12)로 1개의 회로블록(5)(또는 4)을 구성한다.

그리고, 상기 반도체기판(21)상에 2개의 회로블록(4) 및 (5)을 형성하고, 이들 2개의 회로블록(4) 및 (5)중, 한쪽의 회로블록(5)을 고체촬상소자(1)의 전하전송에 사용되는 수직전송펄스 V1~V4 및 수평전송펄스 P_H를 작성하기 위한 타이밍발생기(5)로 하고, 다른 쪽의 회로블록(4)을 타이밍발생기(5)에서 수직전송펄스 V1~V4 및 수평전송펄스 P_H를 작성하기 위한 기준펄스신호를 발생하는 동기신호발생기(4)로 할 수 있다.

본 발명에 관한 반도체집적회로에 있어서는, 먼저 동작타이밍이 입력기준클록신호 Sc1 및 Sc2 의 주파수에 의해 지배되는 회로블록이 복수, 동일의 반도체기판(21)상에 형성된다. 이들 회로블록(4) 및 (5)에 입력되는 각각 동작타이밍의 기준으로 되는 입력기준클록신호 Sc1 및 Sc2는 주파수가 서로 상이한 것이다. 그리고, 이 발명에 있어서는, 이 동일한 반도체기판(21)상에 형성된 각 회로블록(4) 및 (5)에의 구동전원의 공급경로가 각각 분리되어 구성된다.

이 경우, 복수의 회로블록(4) 및 (5)중, 1개의 회로블록(4)에 입력되는 기준클록신호 Sc1가 예를 들면 고레벨로 되어, 이 회로블록(4)이 동작했을 때, 이 회로블록(4)에 공급되는 전원(전압)이 이 회로블록(4)의 동작에 따라서 변동하게 된다.

본 발명에서는, 당해 회로블록(4)과 다른 회로블록(5)과의 전원의 공급경로가 분리되어 있으므로, 당해 회로블록(4)에 공급되는 전원(전압)이 변동해도 다른 회로블록(5)에 공급되는 전원(전압)에는 영향은 없고, 당해 회로블록(4)의 전원의 변동에 따라서 다른 회로블록(5)의 전원이 변동한다는 현상은 생기지 않게 된다. 즉, 서로 주파수가 상이한 기준클록신호 Sc1 및 Sc2의 입력에 따른 회로 블록(4) 및 (5) 사이의 전원변동에 의한 간섭이 없어진다.

이것으로부터, 당해 회로블콕(4)으로부터의 출력신호 및 다른 회로블륵(5)으로부터의 출력신호에 서로의 전원의 변동에 따른 비트는 발생하지 않고, 각 회로 블록(4) 및 (5)으로부터 각자 독립으로 원하는 파형을 가진 출력신호가 출력되게 되고, 서로 주파수가 상이한 기준클록신호 Sc1 및 Sc2가 입력되는 회로블록(4) 및 (5)을 동일 기판(21)상에 형성할 수 있다.

또, 본 발명에 관한 반도체집적회로에 있어서, 1개의 회로블록(5)(또는 4)을 제1및 제2의 웰영역(22) 및 (23)내에 형성된 FET를 주체로 하는 회로(11)(또는 12)로 구성한 경우에 있어서는, 복수의 회로블록(4)및 (5)이 각각 제1의 웰영역(22)으로 분리된 형태로 되어, 전원의 공급경로를 제1의 웰영역(22)마다, 즉 회로블록마다 분리하여 배선하는 것이 가능하게 된다.

또, 본 발명에 관한 반도체집적회로에 있어서, 반도체기판(21)상에 2개의 회로블록(4) 및 (5)을 형성하고, 이들 2개의 회로블록(4) 및 (5)중, 한쪽의 회로블록(5)을 타이밍발생기로 하고, 다른 쪽의 회로블록(4)을 동기신호발생기로 한 경우에 있어서는, 어떤 주파수(= 28 MHz)를 가진 기준클록신호 Sc2에 의거하여 고체촬상소자(1)의 전하전송에 사용되는 수직전송펄스 및 수평전송펄스를 작성하는 타이밍발생기(5)와, 다른 주파수(= 17 MHz)를 가진 기준클록신호 Sc1에 의거하여, 타이밍발생기(5)에서 수직전송펄스 및 수평전송펄스를 작성하기 위한 기준펄스신호를 발생하는 동기신호발생기(4)를 동일한 반도체기판(21)상에 형성하는 것이 가능하게 된다.

이로써, 타이밍발생기(5)와 동기신호발생기(4)가 동일 기판(21)상에 형성되고, 1칩으로 하여 고체촬상소자(1)의 세트(예를 들면 비디오카메라의 회로기판)에 실장할 수 있고, 고체촬상소자(1)를 탑재한 전자기기의 소형화를 회로실장면에서 달성할 수 있다.

또, 상기 타이밍발생기(5)와 동기신호발생기(4)를 동일한 반도체기판에 형성해도, 이들 발생기(4)및 (5)의 출력신호에 비트는 발생하지 않는다. 따라서, 예를 들면 진백의 배경을 고채촬상소자로 촬상했다고 해도, 비트의 영향에 의한 다수의 줄무늬모양은 발생하지 않고, 비트의 발생에 의한 재생화상의 화질의 열화를 야기하는 일이 없다.

다음에, 본 발명에 관한 반도체집적회로의 실시예에 대하여 제1도～제11도를 참조하면서 설명 한다.

이 실시예에 관한 반도체집적회로는 제1도에 나타낸 바와 같이, CCD 이미지센서(1)가 탑재된 비디오카메라의 회로계(2)에 있어서, 특히 CCD 이미지센서(1)의 전하전송에 사용되는 구동펄스를 작성하기 위한 회로(3)에 적용된다.

이 회로(3)는 주파수 17 MHz의 제1의 클록신호 Sc1의 입력에 의거하여 동기신호를 발생하는 동기신호발생기(4)와, 이 동기신호발생기(4)로부터의 동기신호와 주파수 28 MHz의 제2의 클록신호 Sc2의 입력에 의거하여 수직전송클록신호 P_V와 수평전송펄스 P_H를 발생하는 타이밍발생기(5)로 구성되어 있다. 또, 이 타이밍발생기(5)는 동기신호발생기(4)에 대하여 신호처리(예를 들면 샘플홀드)에 사용되는 타이밍신호 P_{SH}를 출력한다.

상기 비디오카메라의 회로계(2)는 상기 회로(3)외에, CCD 수직드라이버(6)와 신호처리회로(7)를 가진다. CCD 수직드라이버(6)는 타이밍 발생기(5)로부터의 수직전송클록신호 P_V의 입력에 의거하여, 예를 들면 CCD 이미지센서(1)에 있어서의 수직방향의 전하전송을 행하는 수직레지스터가 4상구동인 경우에 있어서는, 각각 위상이 상이한 4상의 수직전송펄스 V1～V4를 생성한다.

이 4상의 수직전송펄스 V1～V4는 CCD 이미지센서(1)의 수직레지스터상에 형성된 4매의 수직전송전극을 1조로 하는 수직전송전극군에 공급되고, 이로써 CCD 이미지센서(1)에 있어서 다수 매트릭스형으로 배열된 수광부(예를 들면 pn 접합에 의한 포토다이오드로 구성되어 있음)로부터 수직레지스터에 독출된 신호전하가 수직방향, 즉 수평레지스터측에 행단위로 순차 전송된다.

타이밍발생기(5)로부터 출력되는 수평전송펄스 P_H는 서로 역상(逆相)으로 된 2상의 펄스신호이고, 이들 2상의 수평전송펄스 P_H는 수평레지스터상에 형성된 수평전송전극군, 즉 2매의 수평전송전극을 1조로 하여, 이 조가 다수 횡방향으로 배열된 수평전송전극군에 1조마다 엇갈리게 공급된다. 이로써, 상기 수직레지스터로부터 순차 행단위로 전송된 신호전하가 수평방향, 즉 출력회로 (예를 들면 전하-전압변환부)측에 순차 전송된다. 그리고, 수평레지스터로부터 전송된 신호전하가 축차 출력회로부에서 전기신호(전압신호)로 변환되어, 버퍼회로를 통하여 다음 단(段)의 신호처리회로(7)에 공급된다.

신호처리회로(7)는 그 내부에 샘플홀드회로나 이 샘플홀드회로에서 추출된 신호성분으로부터 비디오신호로 변환하는 각종 회로가 내장되어 있다. 특히, 샘플홀드회로는 CCD 이미지센서(1)로부터 입력되는 촬상신호 S 중, 그 신호성분만을 동기신호발생기(4)로부터의 타이밍신호 P_{SH}에 의거하여 추출한다. 이 샘플홀드회로에서 추출된 신호성분은 다시 아파콘처리나 감마보정 등이 행해져서 신호처리회로(7)의 출력단자로부터 재생영상신호 S_V 로서 취출된다.

그리고, 본 실시예에 관한 반도체집적회로는 상기 동기신호발생기(4)와 타이밍발생기(5)를 동일한 반도체기판에 형성하여 단일의 반도체칩에 내장하여 구성된다.

구체적으로, 본 실시예에 관한 반도체집적회로의 구성을 제2도의 단면구조 및 제3도의 등가회로에 따라서 설명한다. 이들 제2도 및 제3도에 있어서는, 설명의 편의상 타이밍발생기(5)와 동기신호발생기(4)의 구성을 각 발생기(5) 및 (4)의 구성요소인 CMOS인버터(11) 및 (12)로 대용하여 도시하고 있다.

즉, 제2도에 나타낸 바와 같이, 예를 들면 N형의 실리콘기판(21n)중, 타이밍발생기(5)가 형성되는 부분에 P형의 웰영역(이하, 제1의 P형 웰영역이라고 함)(22Ap)이 형성되고, 동기신호발생기(4)가 형성되는 부분에 P형의 웰영역(이하, 제2의 P형 웰영역이라고 함)(22Bp)이 형성된다. 이들 제1 및 제2의 P형 웰영역(22Ap) 및 (22Bp)은 각각 평면적으로 분리하여 형성된다.

제1의 P형 웰영역(22Ap)내에는, 이 제1의 P형 웰영역(22Ap)에 의해 평면영역상 포함되도록 N형의 웰영역(이하, 제1의 N형 웰영역이라고 함)(23An)이 형성되고, 제2의 P형 웰영역(22Bp)내에는, 이 제2의 P형 웰

영역(22Bp)에 의해 평면영역상 포함되도록 N형의 웰영역(이하, 제2의 N형 웰영역이라고 함)(23Bn)이 형성된다.

그리고, 제1의 P형 웰영역(22Ap)에 있어서, 제1의 N형 웰영역(23An)내에 예를 들면 보론(B)의 이온주입에 의한 P형의 소스영역(24S) 및 P형의 드레인영역(24D) 및 다결정실리콘층이나 텅스텐폴리사이드층 등으로 이루어지는 게이트전극(24G)으로 구성된 P 채널형의 MOSFET(이하, 제1의 PMOSFET 라고 함)(24)가 형성되고, 제1의 N형 웰영역(23An) 이외의 영역에 예를 들면 인(P)의 이온주입에 의한 N형의 소스영역(25S) 및 N형의 드레인영역(25D) 및 다결정실리콘층이나 텅스텐폴리사이드층 등으로 이루어지는 게이트전극(25G)으로 구성된 N 채널형의 MOSFET(이하, 제1의 NMOSFET 라고 함)(25)가 형성되고, 이들 제1의 PMOSFET(24) 및 제1의 NMOSFET(25)로 이루어지는 제1의 CMOS 인버터(11)를 구성요소로 하는 타이밍발생기(5)가 형성된다.

한편, 제2의 P형 웰영역(22Bp)에 있어서, 제2의 N형 웰영역(23Bn)내에 예를 들면 보론(B)의 이온주입에 의한 P형의 소스영역(26S) 및 P형의 드레인영역(26D) 및 다결정실리콘층이나 텅스텐폴리사이드층 등으로 이루어지는 게이트전극(26G)으로 구성된 P 채널형의 MOSFET(이하, 제2의 PMOSFET라고 함)(26)가 형성되고, 제2의 N형 웰영역(23Bn) 이외의 영역에 예를 들면 인(P)의 이온주입에 의한 N형의 소스영역(27S) 및 N형의 드레인영역(27D) 및 다결정실리콘층이나 텅스텐폴리사이드층 등으로 이루어지는 게이트전극(27G)으로 구성된 N 채널형의 MOSFET(이하, 제2의 NMOSFET라고 함)(27)가 형성되고, 이들 제2의 PMOSFET(26) 및 제2의 NMOSFET(27)로 이루어지는 제2의 CMOS 인버터(12)를 구성요소로 하는 동기신호발생기(4)가 형성된다.

그리고, 제3도에도 나타낸 바와 같이, 제1의 CMOS인버터(11)에 있어서의 제1의 PMOSFET(24) 및 제1의 NMOSFET(25)의 게이트전극(24G) 및 (25G)에 각각 입력전압 Vin1 이 인가되고, 제1의 PMOSFET(24)의 소스영역(24S) 및 제1의 N형 웰영역(23An)에 통하는 소스전극(28s)에 전원전압 VDD1(= +5V)이 인가되고, 제1의 NMOSFET(25)의 소스영역(25S) 및 제1의 P형 웰영역(22Ap)에 통하는 소스전극(29s)에 전원전압 VSS1(= 0V)이 인가되고, 제1의 PMOSFET(24)의 드레인영역(24D)에 통하는 드레인전극(28d)과 제1의 NMOSFET(25)의 드레인영역(25D)에 통하는 드레인전극(29d)이 공통접속되고, 이 공통단자로부터 출력전압 Vout1 이 얻어지도록 되어 있다.

또, 제2의 CMOS 인버터(12)에 있어서의 제2의 PMOSFET(26) 및 제2의 NMOSFET(27)의 게이트전극(26G) 및 (27G)에 각각 입력전압 Vin2이 인가되고, 제2의 PMOSFET(26)의 소스영역(26S) 및 제2의 N형 웰영역(23Bn)에 통하는 소스전극(30s)에 전원전압 VDD2(= +5V)이 인가되고, 제2의 NMOSFET(27)의 소스영역(27S) 및 제2의 P형 웰영역(22Bp)에 통하는 소스전극(31s)에 전원전압 VSS2(= 0V)이 인가되고, 제2의 PMOSFET(26)의 드레인영역(26D)에 통하는 드레인전극(30d)과 제2의 NMOSFET(27)의 드레인영역(27D)에 통하는 드레인전극(31d)이 공통접속되고 이 공통단자로부터 출력전압 Vout2 이 얻어지도록 되어 있다.

그리고, 각 소스전극(28s～31s) 및 각 드레인전극(28d～31d)은 각각 예를 들면 A1 배선층을 원하는 평면형상으로 패터닝되어 형성된다. 또, 각 게이트전극(24G～27G)에도 션트용 또는 상면에의 취출을 목적으로 한 Al 배선층에 의한 취출전극(28g～31g)이 형성되어 있다. 이들 소스전극(28s～31s), 드레인전극(28d～31d) 및 취출전극(28g～31g)은 실리콘기판(21n)과의 콘택트부분을 제외하고, 예를 들면 SiO_2로 이루어지는 절연층(32)으로 실리콘기판(21n)과의 절연이 취해지고 있다.

또, 이 실시예에 있어서는, 실리콘기판(21n)중, 제1의 P형 웰영역(22AP)과 제2의 P형 웰영역(22Bp) 사이의 영역(분리영역)에, 실리콘기판(21n)에 대하여 기판전위(예를 들면 접지전위)를 인가하기 위한 전극(33)이 형성되어 있다.

즉, 이 실시예에 있어서는, 제1의 PMOSFET(24)의 소스영역(24S) 및 제1의 N형 웰영역(23An)에 인가되는 전원전압 VDD1의 공급경로와, 제2의 PMOSFET(26)의 소스영역(26S) 및 제2의 N형 웰영역(23Bn)에 인가되는 전원전압 VDD2 의 공급경로가 서로 분리되고, 또한 제1의 NMOSFET(25)의 소스영역(25S) 및 제1의 P형 웰영역(22Ap)에 인가되는 전원전압 VSS1의 공급경로와, 제2의 NMOSFET(27)의 소스영역(27S) 및 제2의 P형 웰영역(22Bp)에 인가되는 전원전압 VSS2의 공급경로가 서로 분리되어 구성되어 있다.

그러므로, 예를 들면 제1의 CMOS 인버터(11)에 입력되는 전위 Vin1가 고레벨로 되어 제1의 NMOSFET(25)가 동작했을 때, 제1의 P형 웰영역(22Ap)으로부터 제1의 NMOSFET(25)의 게이트전극(25G)아래에의 전하(이 경우, 전자)의 유기(誘起)에 따라서 게이트바이어스전위 VSS1가 변동하게 된다. 이 변동의 타이밍은 Vin1의 레벨변화, 즉 이 예에서는 타이밍발생기(5)에 공급되는 기준클록신호 Sc2의 주파수(= 28 MHz)에 의해 결정된다.

그런데, 상기 타이밍발생기(5)에 있어서의 게이트바이어스전위 VSS1가 변동해도, 동기신호발생기(4)측에는 그 변동의 영향은 없다. 즉, 타이밍발생기(5)의 구성요소인 제1의 CMOS 인버터(11)의 상기 제1의 NMOSFET(25)는 제1의 N형 웰영역(22Ap)에 의해 실리콘기판(21n)과 전위적으로 분리되고, 동기신호발생기(4)의 구성요소인 제2의 CMOS 인버터(12)의 제2의 NMOSFET(27)도 제2의 N형 웰영역(22Bp)에 의해 실리콘기판(21n)과 전위적으로 분리되어 있기 때문이며, 또한 제2의 CMOS 인버터(12)의 제2의 NMOSFET(27)에 있어서의 게이트바이어스전위 VSS2는 상기 제1의 CMOS 인버터(11)에 있어서의 제1의 NMOSFET(25)의 게이트바이어스 전위 VSS1와는 별개 전위인 VSS2(소스전극 31s을 통하여 인가되는 전원전위)에 고정되므로, 상기 제1의 CMOS 인버터(11)(즉, 타이밍발생기(5))의 전원의 변동에 의한 제2의 CMOS 인버터(12)(즉, 동기신호발생기(4))에의 전위적인 간섭은 없어진다.

마찬가지로, 제2의 CMOS 인버터(12)에 있어서의 제2의 NMOSFET(27)의 게이트 바이어스전위 VSS2가 동기신호발생기(4)에 입력되는 기준클록신호 Sc1의 주파수(= 17 MHz)에 따라서 변동해도, 타이밍발생기(5)측에는 그 변동의 영향은 없고, 상기 동기신호 발생기(4)의 전원변동에 의한 타이밍발생기(5)에의 전위적인 간섭은 없어진다.

또, 실리콘기판(21n)에는, 전극(33)을 통하여 접지전위가 인가되므로, 제1 및 제2의 P형 웰영역(22Ap) 및 (23Bp)의 실리콘기판(21n)과의 pn 접합부분에 전위적으로 중성의 영역(뉴트럴영역)이 생기고, 이 뉴트럴영역의 존재에 의해 다시 제1의 P형 웰영역(22Ap)과 제2의 P형 웰영역(22Bp)과의 전위적인 분리, 즉 동기신호발생기(4)와 타이밍발생기(5)와의 전위적인 분리가 도모되어서, 타이밍발생기(5)와 동기신호발생기

(4) 사이의 전위적인 간섭은 모두 없어진다.

이와 같이, 본 실시예에 관한 반도체집적회로에 있어서는, 타이밍발생기(5)로부터의 출력신호 및 동기신호발생기(4)로부터의 출력신호에 서로의 전원변동에 따른 비트는 발생하지 않게 되고, 제4(a)도 및 제4(b)도에 나타낸 바와 같이, 타이밍발생기(5) 및 동기신호발생기(4)로부터 각각 독립으로 원하는 파형을 가진 출력신호가 출력되게 된다. 이로써, 서로 주파수가 상이한 기준클록신호 Sc2 및 Sc1가 입력되는 타이밍발생기(5)와 동기신호발생기(4)를 동일한 실리콘기판(21n)상에 형성할 수 있고, 1칩으로 하여 CCD이미지센서(1)의 세트(예를 들면 비디오카메라의 회로기판)에 실장할 수 있다. 이것은 CCD 이미지센서(1)를 탑재한 전자기기 (예를 들면 비디오카메라)의 소형화를 회로실장면에서 달성할 수 있는 것에 이어진다.

또, 상기 타이밍발생기(5)와 동기신호발생기(4)를 동일한 실리콘기판(21n)에 형성해도, 이들 발생기(5) 및 (4)의 출력신호에 비트는 발생하지 않으므로, 예를 들면 진백(眞白)의 배경을 CDD 이미지센서(1)로 촬상했다고 해도, 비트의 영향에 의한 다수의 줄무늬모양 (제15도 참조)은 발생하지 않고, 비트의 발생에 의한 재생화상의 화질의 열화를 야기하는 일이 없다.

상기 실시예에 있어서는, N형의 실리콘기판(21n)에 제1의 P형 웰영역(22Ap)과 제2의 P형 웰영역(22Bp)을 형성하고, 또한 제1의 P형 웰영역(22Ap)내에 제1의 N형 웰영역(23An)을 형성하고, 제2의 P형 웰영역(22Bp)내에 제2의 N형 웰영역(23Bn)을 형성하고, 제1의 N형 웰영역(23An)에 제1의 PMOSFET(24), 제1의 P형 웰영역(22Ap)에 제1의 NMOSFET(25), 제2의 N형 웰영역(23Bn)에 제2의 PMOSFET(26), 제2의 P형의 웰영역(22Bp)에 제2의 NMOSFET(27)를 형성한 예를 나타냈으나, 그 외에 제5도에 나타낸 바와 같이, P형의 실리콘기판(21p)에 제1의 N형 웰영역(22An)과 제2의 N형 웰영역(22Bn)을 형성하고, 또한 제1의 N형 웰영역(22An)내에 제1의 P형 웰영역(23Ap)을 형성하고, 제2의 N형 웰영역(22Bn)내에 제2의 P형 웰영역(23Bp)을 형성하고, 제1의 P형 웰영역(23Ap)에 제1의 NMOSFET(25), 제1의 N형 웰영역(22An)에 제1의 PMOSFET(24), 제2의 P형 웰영역(22Bp)에 제2의 NMOSFET(27), 제2의 N형 웰영역(22Bn)에 제2의 PMOSFET(26)를 형성하도록 해도 된다.

이 경우도, 제1의 NMOSFET(25) 및 제1의 PMOSFET(24)로 타이밍발생기(5)의 구성요소인 제1의 CMOS 인버터(11)가 구성되고, 제2의 NMOSFET(27) 및 제2의 PMOSFET(26)로 동기신호발생기(4)의 구성요소인 제2의 CMOS 인버터(12)가 구성된다.

다음에, 상기 실시예에 관한 반도체집적회로의 몇가지 변형예에 대하여 제6도~제11도에 따라서 설명한다.

먼저, 제1의 변형예는 제6도의 등가회로도에 나타낸 바와 같이, 예를 들면 5V 계의 CMOS 인버터(41)와 5V 계의 연산증폭회로(42)를 동일한 반도체기판에 형성한 것이다.

여기서, CMOS인버터(41)는 각 게이트전극에 각각 정논리(正論理)또는 부논리(負論理)를 나타내는 신호 DVin가 입력되는 PMOSFET(43)와 NMOSFET(44)가 직렬접속되어 구성되고, PMOSFET(43)의 소스단자에 전원전압 VDD1(= +5V), NMOSFET(44)의 소스단자에 전원전압 VSS1(= 0V)이 각각 인가되도록 배선접속되고, 각 FET(43) 및 (44)의 공통의 드레인 단자로부터 상기 입력된 논리 신호 DVin 와는 역의 논리를 가진 신호 DVout가 출력되도록 되어 있다.

또, 연산증폭회로(42)는 커렌트미러회로(45)와 소스접지 회로(46)를 가지고 구성되어 있다. 커렌트미러회로(45)는 드레인 단자와 게이트전극이 단락으로 된 제1의 PMOSFET(47A)와, 이 제1의 PMOSFET(47A)와 게이트전극이 공용으로 된 제2의 PMOSFET(47B)와, 상기 제1의 PMOSPET(47A)와 직렬로 접속되어, 게이트전극에 제1의 입력신호 IN1가 공급되는 제1의 NMOSFET(48A)와, 상기 제2의 PMOSFET(47B)와 직렬로 접속되어, 게이트전극에 제2의 입력신호 IN2가 공급되는 제2의 NMOSFET(48B)와, 이들 제1 및 제2의 NMOSFET(48A) 및 (48B)의 공통의 소스단자에 접속되고, 또한 정전류원(定電流源)(제어전압 Vgg)을 구성하는 제3의 NMOSFET(48C)로 구성되어 있다.

소스접지회로(46)는 PMOSFET로 이루어지는 출력소자(49)와 NMOSFET로 이루어지는 부하저항소자(50)가 직렬접속되어 구성되어 있다. 또, 커렌트미러회로(45)의 앞단(段)에는, 정전류원(51)과 부하저항소자(52)가 직렬접속된 회로가 접속되어 있다.

그리고, 커렌트미러회로(45)에 있어서의 제1 및 제2의 PMOSFET(47A) 및 (47B)의 소스단자 및 소스접지회로(46)에 있어서의 출력소자(49)의 소스단자에 공통의 전원전압 VDD2이 인가되도록 배전접속되고, 커렌트미러회로(45)의 출력전위(제2의 PMOSFET(47B)와 제2의 NMOSFET(48B)와의 접접전위)가 소스접지회로(46)에 있어서의 출력소자(49)의 게이트전극에 공급되도록 배선접속되어 있다.

또, 커렌트미러회로(45)의 정전류원을 구성하는 제3의 NMOSFET(48C)의 게이트전극, 커렌트미러회로(45)의 앞단에 접속된 부하저항소자(52) 및 소스접지회로(46)에 있어서의 부하저항소자(50)의 각 게이트전극에 일정전위 Vgg가 인가되도록 배선접속되고, 상기 제3의 NMOSFET(48C)및 부하저항소자(50) 및 (52)의 각 소스단자에 전원전압 VSS2(= 0V)이 인가되도록 배선접속되어 있다.

구체적으로, 이 제1의 변형예에 관한 반도체집적회로의 구성을 제7도의 단면구조에 따라서 설명한다. 이 제7도에 있어서는, 설명의 편의상 CMOS 인버터(41)와 연산증폭회로(42)의 일부(제6도에 있어서 파선의 영역으로 나타낸 제2의 PMOSFET(47B)와 제3의 NMOSFET(48C))의 단면구조를 도시하고 있다.

즉, 제7도에 나타낸 바와 같이, 예를 들면 P형의 실리콘기판(61p)중, CMOS 인버터(41)가 형성되는 부분에 제1의 N형 웰영역(62An)이 형성되고, 연산증폭회로(42)가 형성되는 부분에 제2의 N형 웰영역(62Bn)이 형성된다. 이들 제1 및 제2의 N형 웰영역(62An) 및 (62Bn)은 각각 평면적으로 분리하여 형성된다.

제1의 N형 웰영역(62An)내에는, 이 제1의 N형 웰영역(62An)에 의해 평면영역상 포함되도록 제1의 P형 웰영역(63Ap)이 형성되고, 제2의 N형 웰영역(62Bn) 내에는, 이 제2의 N형 웰영역(62Bn)에 의해 평면영역상 포함되도록 제2의 P형 웰영역(63Bp)이 형성된다.

그리고, 제1의 N형 웰영역(62An)에 있어서, 제1의 P형 웰영역(63Ap)내에 예를 들면 인(P)의 이온주입에 의한 N형의 소스영역(44S) 및 N형의 드레인영역(44D) 및 다결정실리콘층이나 텅스텐폴리사이드층 등으로

이루어지는 게이트전극(44G)으로 구성된 NMOSFET(44)가 형성되고, 제1의 P형 웰영역(63Ap) 이외의 영역에 예를 들면 보론(B)의 이온주입에 의한 P형의 소스영역(43S) 및 P형의 드레인영역(43D) 및 다결정실리콘층이나 텅스텐폴리사이드층 등으로 이루어지는 게이트전극(43G)으로 구성된 PMOSFET(43)가 형성되어서, 이들 NMOSFET(44) 및 PMOSFET(42)로 이루어지는 CMOS 인버터(44)가 구성된다.

한편, 제2의 N형 웰영역(62Bn)에 있어서, 제2의 P형 웰영역(63Bp)내에 예를 들면 인(P)의 이온주입에 의한 N형의 소스영역(48CS) 및 N형의 드레인영역(48CD) 및 다결정실리콘층이나 텅스텐폴리사이드층 등으로 이루어지는 게이트전극(48CG)으로 구성된 제3의 NMOSFET(48C)가 형성되고, 제2의 P형 웰영역(63Bp) 이외의 영역에 예를 들면 보론(B)의 이온주입에 의한 P형의 소스영역(47BS) 및 P형의 드레인영역(47BD) 및 다결정실리콘층이나 텅스텐폴리사이드층 등으로 이루어지는 게이트전극(47BG)으로 구성된 제2의 PMOSFET(47B)가 형성되고, 이들 제3의 NMOSFET(48C) 및 제2의 PMOSFET(47B)를 가진 연산증폭회로(42)가 형성된다.

그리고, 제6도에도 나타낸 바와 같이, CMOS인버터(41)에 있어서의 NMOSFET(44) 및 PMOSFET(43)의 게이트전극(64g) 및 (65g)에 각각 입력전압 DVin1이 인가되고, NMOSFET(44)의 소스영역(44S) 및 제1의 P형 웰영역(63Ap)에 통하는 소스전극(64s)에 전원전압 VSS1이 인가되고, PMOSFET(43)의 소스영역(43S) 및 제1의 N형 웰영역(62An)에 통하는 소스전극(65s)에 전원전압 VDD1이 인가되고, NMOSFET(44)의 드레인영역(44D)에 통하는 드레인전극(64d)과 PMOSFET(43)의 드레인영역(43D)에 통하는 드레인전극(65d)이 공통접속되고, 이 공통단자로부터 출력전압 DVout이 얻어지도록 되어 있다.

한편, 연산증폭회로에 있어서는, 제3의 NMOSFET(48C)의 게이트전극(48CG)에 제어전위 Vgg가 인가되고, 그 드레인영역(48CD)에 통하는 드레인전극(66d)에 커렌트미러회로(45)로부터의 구동전류가 공급되고, 그 소스영역(48CS) 및 제2의 P형 웰영역(63Bp)에 통하는 소스전극(66s)에 전원전압 VSS2이 인가되도록 되어 있다. 또, 제2의 PMOSFET(47B)의 게이트전극(47BG)에 제1의 PMOSFET(47A)의 드레인전위가 인가되고, 그 드레인영역(47BD)에 통하는 드레인전극(67d)이 소스접지회로(46)에 있어서의 출력소자(49)의 게이트전극에 배선접속되고, 그 소스영역(48BS) 및 제2의 N형 웰영역(62Bn)에 통하는 드레인전극(67s)에 전원전압 VDD2이 인가되도록 되어 있다.

즉, 이 제1의 변형예에 있어서도, PMOSFET(43)의 소스영역(43S) 및 제1의 N형 웰영역(62An)에 인가되는 전원전압 VDD1 의 공급경로와, 제2의 PMOSFET(47B)의 소스영역(47BS) 및 제2의 N형 웰영역(62Bn)에 인가되는 전원전압 VDD2의 공급경로가 서로 분리되고, 또한 NMOSFET(44)의 소스영역(44S) 및 제1의 P형 웰영역(63Ap)에 인가되는 전원전압 VSS1의 공급경로와, 제3의 NMOSFET(48C)의 소스영역(48CS) 및 제2의 P형 웰영역(63Bp)에 인가되는 전원전압 VSS2의 공급경로가 서로 분리되어 구성되어 있다.

여기서, 예를 들면 CMOS 인버터(41)의 NMOSFET(44)에 입력되는 전위 DVin가 저레벨에서 고레벨로, 또는 고레벨에서 저레벨로 변화하여 NMOSFET가 온/오프동작했을 때, 그 온/오프동작에 따라서 이 CMOS인버터(41)로부터는 제8(a)도에 나타낸 바와 같이, 입력전위의 고저와는 반대의 전위의 고저를 가진 펄스형의 신호가 출력되게 되고, 또 이 때 게이트바이어스전위 VSS1도 변동하게 된다.

통상의 회로구성에서는 제9도에 나타낸 바와 같이, CMOS 인버터(41)에 있어서의 NMOSFET(44)의 소스단자에의 전원의 공급경로와 연산증폭회로(42)의 각 부하저항소자(50) 및 (52) 그리고 제3의 NMOSFET(48C)의 소스단자에의 전원의 공급 경로가 동일하고, 그 전원전압이 VSS(= 0V)로 되어 있으므로, 연산증폭회로(42)로부터 출력되는 출력신호의 신호파형은 제8(b)도에 나타낸 바와 같이, 정규의 신호성분 Ss에 상기 NMOSFET(44)의 온/오프동작에 동기한 노이즈성분 n이 중첩한 파형으로 된다.

이것은 NMOSFET(44)가 온/오프동작했을 때에, 게이트바이어스전위 VSS1가 변동하고, 이 변동이 전원전압 VSS의 공급경로(통상, 실리콘기판(61p))를 통해 전해져서, 이 변동이 노이즈성분 n으로서 나타나기 때문이다.

그런데, 상기 제1의 변형예에 있어서는, 전원전압 VDD1의 공급경로와 전원전압 VDD2의 공급경로가 분리되고, 또한 전원전압 VSS1의 공급경로와 전원전압 VSS2의 공급경로가 분리되어 있으므로, NMOSFET(44)의 게이트바이어스전위 VSS1가 변동해도, 연산증폭회로(42)측에는 그 변동의 영향은 없다. 즉, 상기 NMOSFET(44)는 제1의 P형 웰영역(62Ap)에 의해 실리콘기판(61P)과 전위적으로 분리되고, 연산증폭회로(42)의 구성요소인 제3의 NMOSFET(48C)도 제2의 P형 웰영역(63Bp)에 의해 실리콘기판(61p)과 전위적으로 분리되어 있기 때문이며, 또한 제3의 NMOSFET(48C)에 있어서의 게이트바이어스전위는 NMOSFET(44)의 게이트바이어스전위 VSS1와는 별개 전위인 VSS2(소스전극(66s)을 통하여 인가되는 전원전위)에 고정되므로, 상기 NMOSFET(44)의 게이트바이어스전위 VSS1의 변동에 의한 제3의 NMOSFET(48C)에의 전위적인 간섭은 없어진다.

특히, 이 변형예에 있어서도, 실리콘기판(61p)에 전극(33)을 통하여 접지전위가 인가되므로, 제1 및 제2의 N형 웰영역(62An) 및 (62Bn)의 실리콘기판(61p)과의 pn 접합부분에 전위적으로 중성의 영역(뉴트럴영역)이 생기고, 이 뉴트럴영역의 존재에 의해 다시 제1의 N형 웰영역(62An)과 제2의 N형 웰영역(62Bn)과의 전위적인 분리, 즉 CMOS 인버터(41)와 연산증폭회로(42)와의 전위적인 분리가 도모되어서, CMOS 인버터(41)와 연산증폭회로(42) 사이의 전위적인 간섭은 모두 없어진다.

따라서, 연산증폭회로(42)로부터 출력되는 출력신호의 신호파형은 제8(c)도에 나타낸 바와 같이, 정규의 신호성분 Ss 만으로 되고, 제8(b)도에 나타낸 바와 같은 NMOSFET(44)의 온/오프동작에 동기한 노이즈성분 n의 중첩은 없다.

이것으로부터, CMOS 인버터(41)와 같은 로직회로와, 연산증폭회로(42)를 동일한 실리콘기판(61p)에 형성하는 것이 가능하게 되고, 로직회로(41)와 연산증폭회로(42)를 사용하여 각종 신호처리를 행하는 회로계의 실장면적을 저감시키는 것이 가능하게 된다.

다음에, 제2의 변형예는, 예를 들면 0V를 기준으로 하는 디지탈계 회로와, 예를 들면 반전입력단자에 입력되는 신호와 비반전입력단자에 입력되는 신호의 차분을 -5V에서 +5V의 범위로 출력하는 정부입출력연산증폭기를 동일한 반도체 기판에 형성한 것이다.

이 예에 있어서, 적용되는 회로예로서는 제10도에 나타낸 바와 같이, 상기 제6도에 나타낸 제1의 변형예와 동일한 회로예를 사용할 수 있고, 상이한 것은 연산증폭회로(42)의 전원전압 VSS2이 -5V인 점이다. 따라서, 제1의 변형예와 대응하는 것에 대해서는 동일부호를 붙인다. 그리고, 이 정부입출력연산증폭회로(42)로부터 출력되는 출력신호의 파형은 제11도에 나타낸 바와 같이, 소스접지회로(46)의 게인을 예를 들어 1로 했을 때, 신호레벨이 -5V에서 +5V로 PMOSFET의 임계치의 차의 전압까지 진동하는 파형으로 된다.

구체적으로, 이 제2의 변형예에 관한 반도체집적회로의 구성을 상기 제1의 변형예에서 이용한 제7도의 단면구조에 따라서 설명한다. 이 제7도에 있어서는, 설명의 편의상 제1의 변형예의 경우와 마찬가지로, CMOS 인버터(41)와 정부입출력 연산증폭회로(42)의 일부(제9도에 있어서 파선의 영역으로 나타낸 제2의 PMOSFET(47B)와 제3의 NMOSFET(48C))의 단면구조를 도시하고 있다. 그리고, 각 전극 및 불순물확산영역에 대해서는, 상기 제1의 변형예와 동일하므로, 그 상세설명은 생략한다.

이 제2의 변형예에 있어서는, CMOS 인버터(41)에 있어서의 NMOSFET(44) 및 PMOSFET(43)의 게이트전극에 각각 입력전압 DVin이 인가되고, NMOSPET(44)의 드레인영역(44D) 및 제1의 P형 웰영역(63Ap)에 통하는 소스전극(64s)에 전원전압 VSS1(=0V)이 인가되고, PMOSFET(43)의 소스영역(43S) 및 제1의 N형 웰영역(62An)에 통하는 드레인전극(65s)에 전원전압 VDD1(= +5V)이 인가되고, NMOSFET(44)의 드레인영역(44D)에 통하는 드레인전극(64d)과 PMOSFET(43)의 드레인영역(43D)에 통하는 드레인전극(65d)이 공통접속되고, 이 공통단자로부터 출력전압 DVout이 얻어지도록 되어 있다.

한편, 정부입출력연산증폭회로(42)에 있어서는, 제3의 NMOSFET(48C)의 게이트전극(48CG)에 제어 전위 Vgg가 인가되고, 그 드레인영역(48CD)에 통하는 드레인전극(66d)에 커렌트미러회로(45)로부터의 구동전류가 공급되고, 그 소스영역(48CS) 및 제2의 P형 웰영역(63Bp)에 통하는 소스전극(66s)에 전원전압 VSS2 (= -5V)이 인가되도록 되어 있다. 또, 제2의 PMOSFET(47B)의 게이트전극(47BG)에 제1의 PMOSFET(47A)의 드레인전위가 인가되고, 그 드레인영역(47BD)에 통하는 드레인전극(67d)이 소스접지회로(46)에 있어서의 출력소자(49)의 게이트전극에 배선접속되고, 그 소스영역(47BS) 및 제2의 N형 웰영역(62Bn)에 통하는 소스전극(67s)에 전원전압 VDD2(= +5V)이 인가되도록 되어 있다.

즉, 이 제2의 변형예에 있어서도, PMOSFET(43)의 소스영역(43S) 및 제1의 N형 웰영역(62An)에 인가되는 전원전압 VDD1의 공급경로와, 제2의 PMOSFET(47B)의 소스영역(47BS) 및 제2의 N형 웰영역(62Bn)에 인가되는 전원전압 VDD2의 공급경로가 서로 분리되고, 또한 NMOSFET(44)의 소스영역(44S) 및 제1의 P형 웰영역(63Ap)에 인가되는 전원전압 VSS1의 공급경로와, 제3의 NMOSFET(48C)의 소스영역(48CS) 및 제2의 P형 웰영역(63Bp)에 인가되는 전원전압 VSS2의 공급경로가 서로 분리되어 구성되어 있다.

통상은, 2개의 회로(41) 및 (42)가 사용하는 전원이 각각 공통되지 않으면, 동일한 실리콘기판(61p)에 형성할 수 없지만, 상기 제2의 변형예에 관한 반도체집적회로에 있어서는, 전원전압 VDD1의 공급경로와 전원전압 VDD2의 공급경로가 분리되고, 또한 전원전압 VSS1의 공급경로와 전원전압 VSS2의 공급경로가 분리되어 있으므로, 0V에서 5V의 범위에서 동작하는 디지탈계 회로(예를 들면 CMOS 인버터(41))와 -5V에서 +5V의 범위에서 동작하는 정부입출력연산증폭회로(42)를 동일한 실리콘기판(61p)에 형성할 수 있고, 이들 회로(41) 및 (42)를 1칩으로 하여 제공하는 것이 가능하게 된다. 즉, 디지탈동작을 행하는 회로와 아날로그동작을 행하는 회로를 1칩으로 한 것을 제공할 수 있다. 이것은 현재 다기능화 경향에 있는 전자기기에 있어서, 그 회로실장면적이 기능의 추가에 따라서 증가하는 경향에 있지만, 이 제2의 변형예에 관한 반도체집적회로를 사용하면, 그 회로실장면적의 저감화를 유효하게 도모할 수 있다.

상기 제1 및 제2의 변형예에 있어서는, 각각 일예로서 P형의 실리콘기판(61p)에 각종 회로(41) 및 (42)를 형성한 경우를 나타냈으나, 물론 N형의 실리콘기판(61n)에 각종 회로(41) 및 (42)를 형성하는 경우에도 적용할 수 있다. 이 경우에는, 제7도의 예에 있어서 극성을 반대로 하여 형성하면 된다.

전술한 바와 같이, 본 발명에 관한 반도체집적회로에 의하면, 입력되는 각 기준클록신호의 주파수가 서로 상이한 복수의 회로블록에의 구동전원의 공급경로를 각각 분리하도록 하였으므로, 서로 주파수가 상이한 기준클록신호가 입력되는 복수의 회로블록을 동일 기판상에 형성할 수 있다.

또, 본 발명에 관한 반도체집적회로에 의하면, 반도체기판상에 이 반도체기판과 상이한 도전형의 제1의 웰영역을 형성하고, 이 제1의 웰영역 내에 상기 반도체기판과 동일한 도전형의 제2의 웰영역을 형성하고, 상기 각 웰영역내에 각각 FET를 주체로한 회로를 형성하고, 이들 제1 및 제2의 웰영역내에 형성된 회로로 1개의 상기 회로블록을 구성하도록 하였으므로, 복수의 회로블록이 각각 제1의 웰영역으로 분리된 형태로 되어, 전원의 공급경로를 제1의 웰마다, 즉 회로블록마다 분리하여 배선하는 것이 가능하게 된다.

또, 본 발명에 관한 반도체집적회로에 의하면, 반도체기판상에 2개의 상기 회로블록을 형성하고, 이들 2개의 회로블록중, 한쪽의 회로블록을 고체촬상소자의 전하전송에 사용되는 수직전송펄스 및 수평전송펄스를 작성하기 위한 타이밍발생기로 하고, 다른 쪽의 회로블록을 상기 타이밍발생기에서 상기 수직전송펄스 및 수평전송펄스를 작성하기 위한 기준펄스신호를 발생하는 동기신호발생기로 하였으므로, CCD 이미지센서의 구동펄스를 발생하기 위한 타이밍발생기 및 동기신호발생기를 동일 기판상에 형성해도 각 발생기의 출력신호에는 비트는 발생하지 않고, 재생화상의 화질의 열화를 야기하는 일이 없다. 이것은 타이밍발생기 및 동기신호발생기를 동일 기판상에 형성할 수 있는 것에 이어지며, CCD 이미지센서를 탑재한 전자기기의 소형화를 회로실장면에서 달성할 수 있게 된다.

(57) 청구의 범위

청구항 1

반도체 기판과, 상기 반도체기판의 위에 형성된 복수의 회로블록으로서, 각각 입력기준클록신호의 주파수에 의해 결정되는 동작타이밍을 가진 복수의 회로블록과, 상기 복수의 회로블록에 입력기준클록신호를 입력하는 수단으로서, 서로 그 주파수가 상이한 각 입력기준클록신호를 입력하는 수단과, 각 회로블록에 인가되는 전원전압을 공급하고, 서로 분리된 공급경로로 이루어지는 것을 특징으로 하는 반도체집적회로.

청구항 2

제1항에 있어서, 각 회로블록이 상기 반도체기판의 위에 형성된 상기 반도체기판의 도전형과 상이한 도전형을 가진 제1의 웰영역과, 이 제1의 웰영역 내에 형성된 상기 반도체기판과 동일한 도전형을 가진 제2의 웰영역에 형성된 전계효과트랜지스터를 주체로 하는 회로로 구성되어 있는 것을 특징으로 하는 반도체집적회로.

청구항 3

제1항에 있어서, 상기 반도체기판에 제1및 제2의 회로블록이 형성되고, 상기 제1의 회로블록은 고체촬상소자의 전하전송에 사용되는 수직전송펄스 및 수평전송펄스를 작성하기 위한 타이밍발생기이고, 상기 제2의 회로블록은 상기 수직전송펄스 및 수평전송펄스를 작성하기 위한 기준펄스신호를 발생하는 동기신호발생기인 것을 특징으로 하는 반도체집적회로.

청구항 4

제1항에 있어서, 상기 복수의 회로블록이 CMOS인버터와 연산증폭회로를 포함하는 것을 특징으로 하는 반도체집적회로.

청구항 5

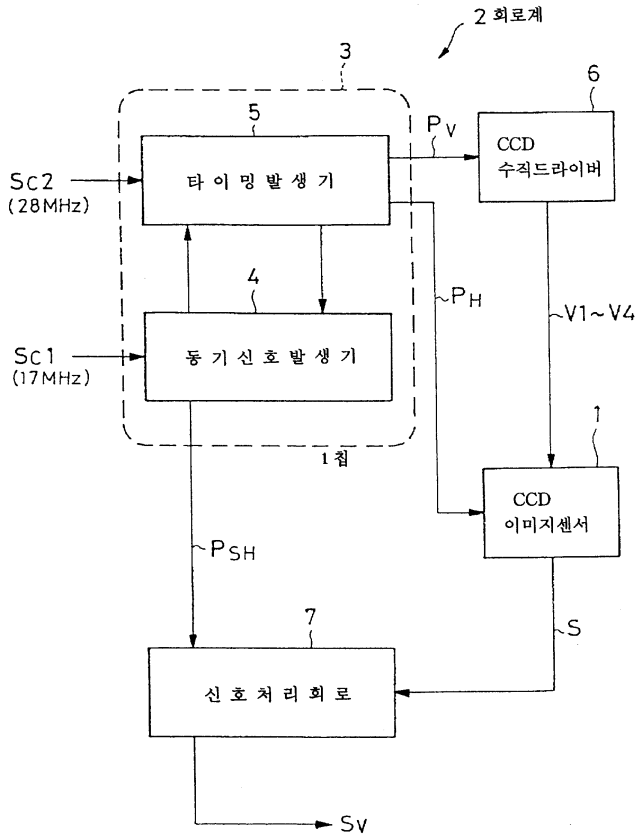
제4항에 있어서, 상기 연산증폭회로가 커렌트미러회로와 소스접지회로를 가지는 것을 특징으로 하는 반도체집적회로.

청구항 6

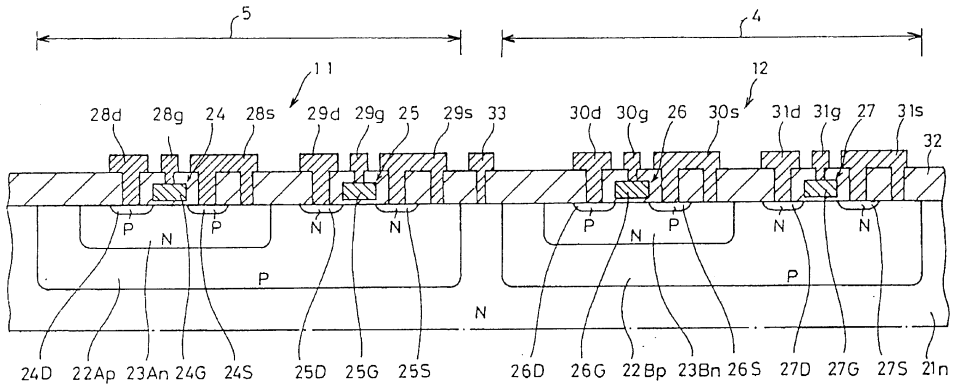
제1항에 있어서, 상기 복수의 회로블록이 디지탈계 회로와 정부(正負)입출력연산증폭기인 것을 특징으로 하는 반도체집적회로.

도면

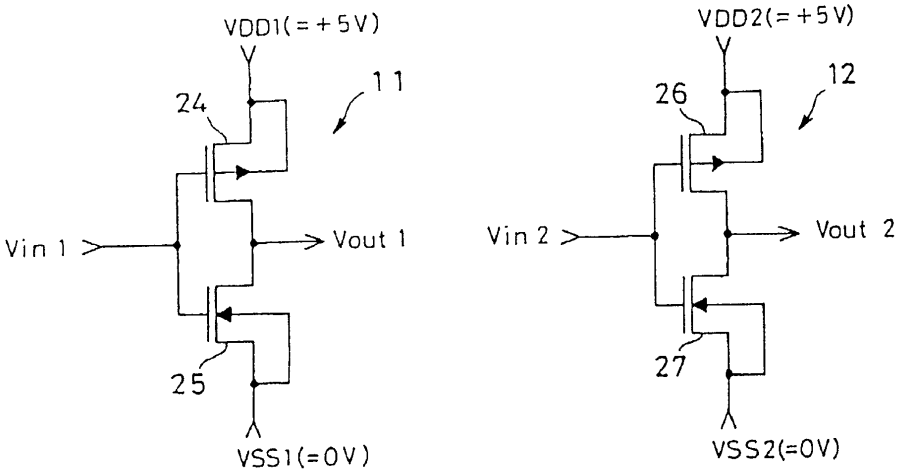
도면1



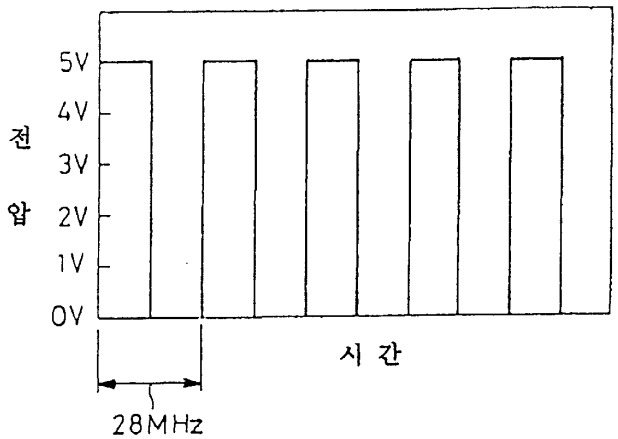
도면2


5
4
11
12
28d 28g 24 28s 29d 29g 25 29s 33
30d 30g 26 30s 31d 31g 27 31s
32
P N P N N
P N P N N
P
P
N
24D 22Ap 23An 24G 24S 25D 25G 25S
26D 26G 22Bp 23Bn 26S 27D 27G 27S 21n

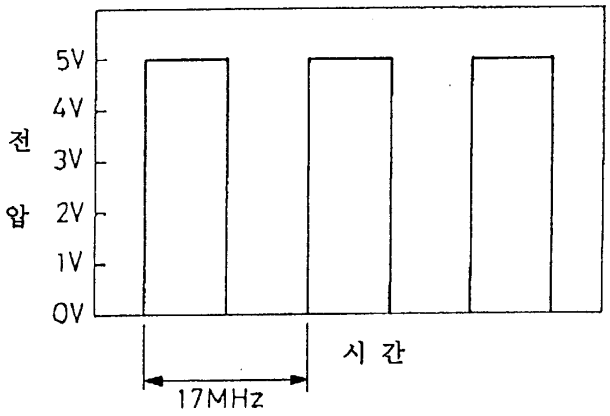
도면3


VDD1(=+5V)
11
24
Vin 1
Vout 1
25
VSS1(=0V)
VDD2(=+5V)
12
26
Vin 2
Vout 2
27
VSS2(=0V)

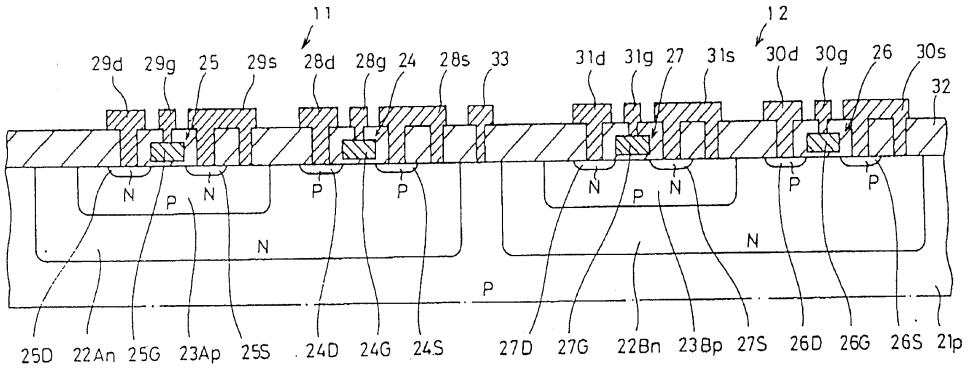
도면4a


5V
4V
3V
2V
1V
0V
전
압
시 간
28MHz

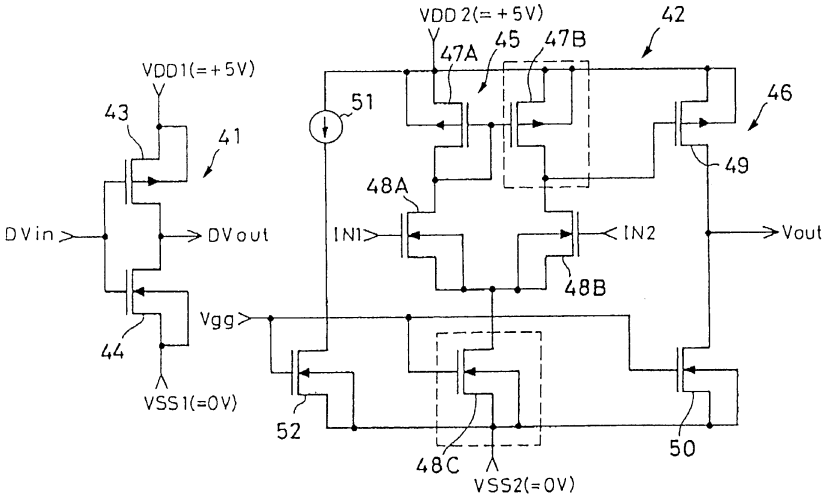
도면4b


5V
4V
3V
2V
1V
0V
전
압
시 간
17MHz

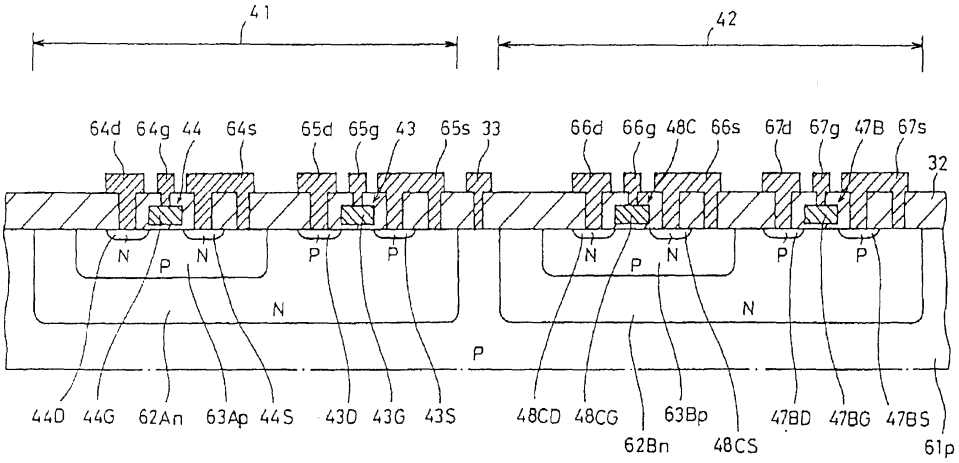
도면5


11
12
29d 29g 25 29s 28d 28g 24 28s 33 31d 31g 27 31s 30d 30g 26 30s 32
N P N P P N P N P P N N P
25D 22An 25G 23Ap 25S 24D 24G 24S 27D 27G 22Bn 23Bp 27S 26D 26G 26S 21p

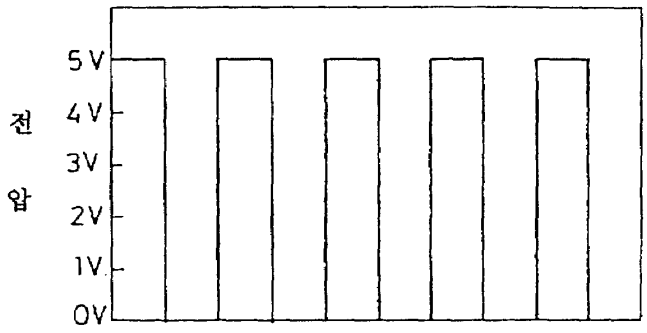
도면6


VDD2(=+5V)
42
45
47A
47B
VDD1(=+5V)
51
46
43
41
49
48A
DVin
DVout
IN1
IN2
Vout
48B
Vgg
44
VSS1(=0V)
52
48C
50
VSS2(=0V)

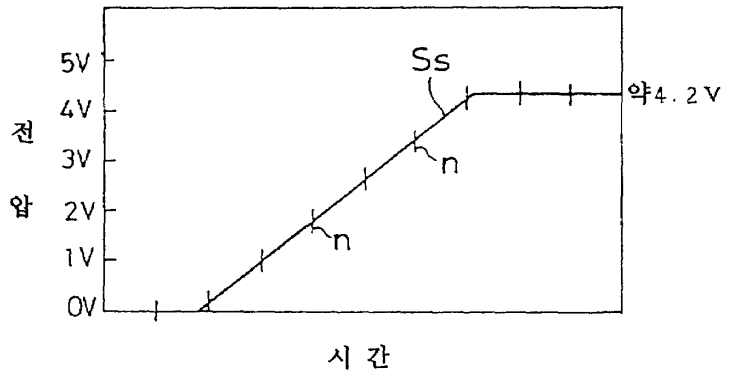
도면7



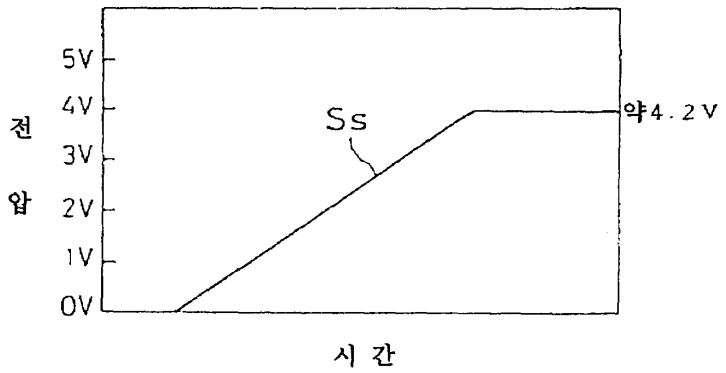
도면8a



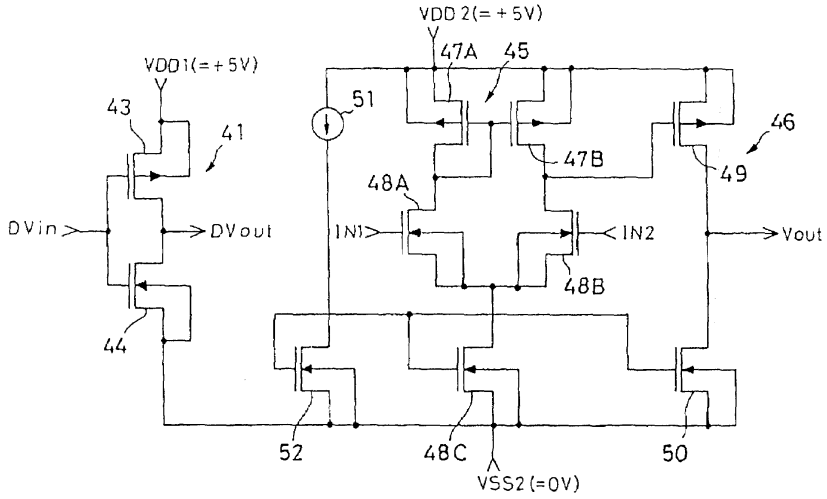
도면8b



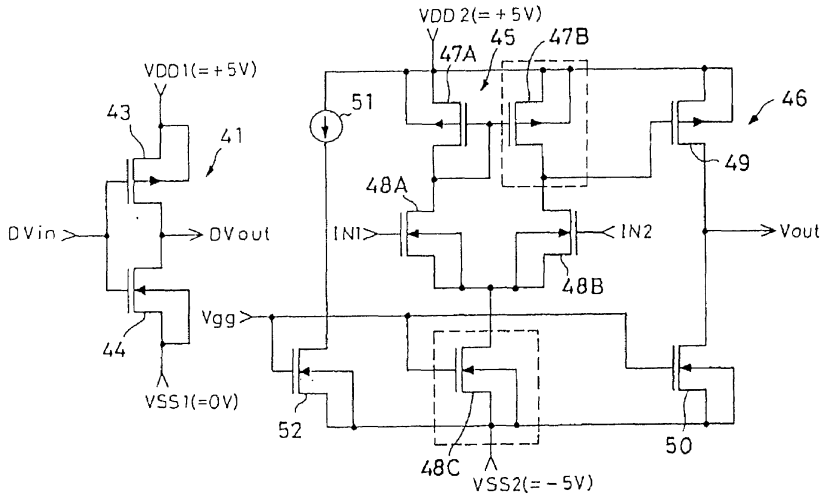
도면8c



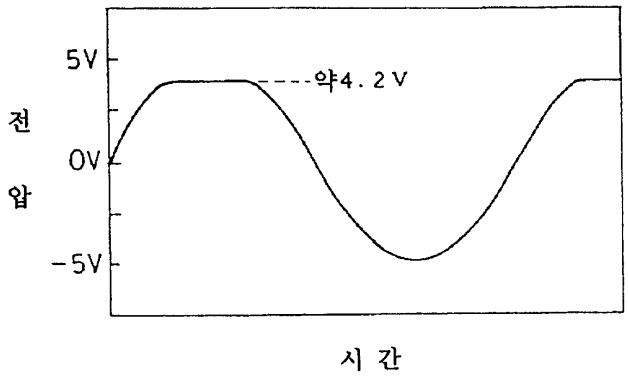
도면9



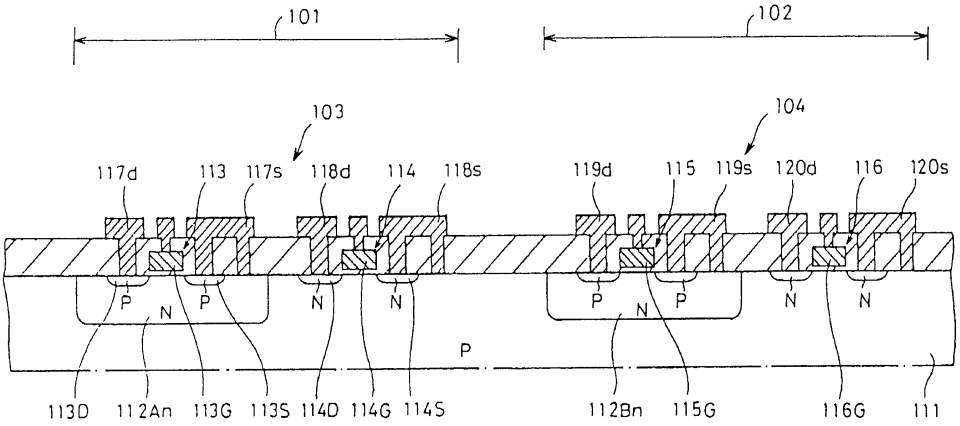
도면10



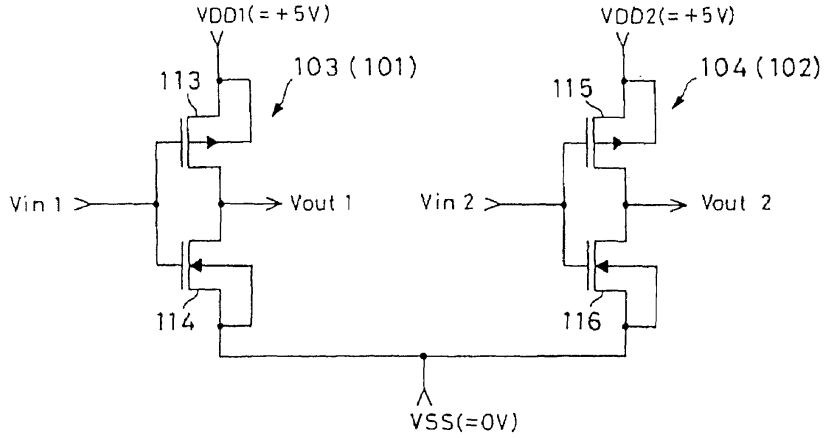
도면11



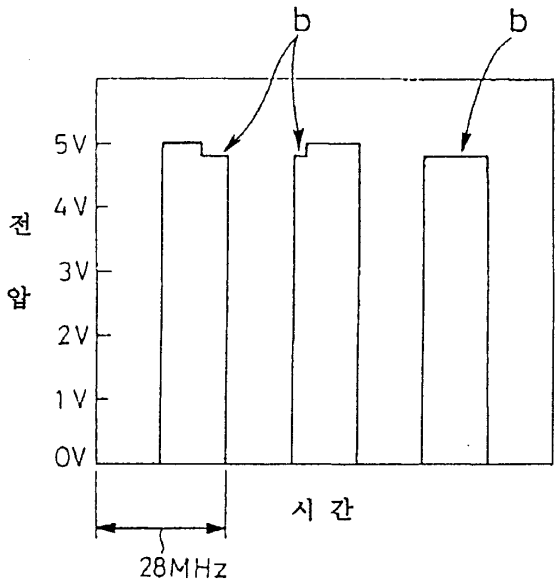
도면12



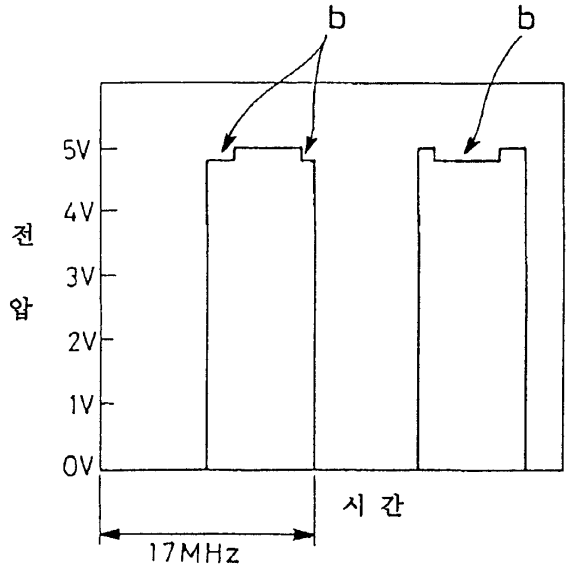
도면13



도면14a



도면14b



도면15

