

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2008年9月18日 (18.09.2008)

PCT

(10) 国際公開番号
WO 2008/111406 A1

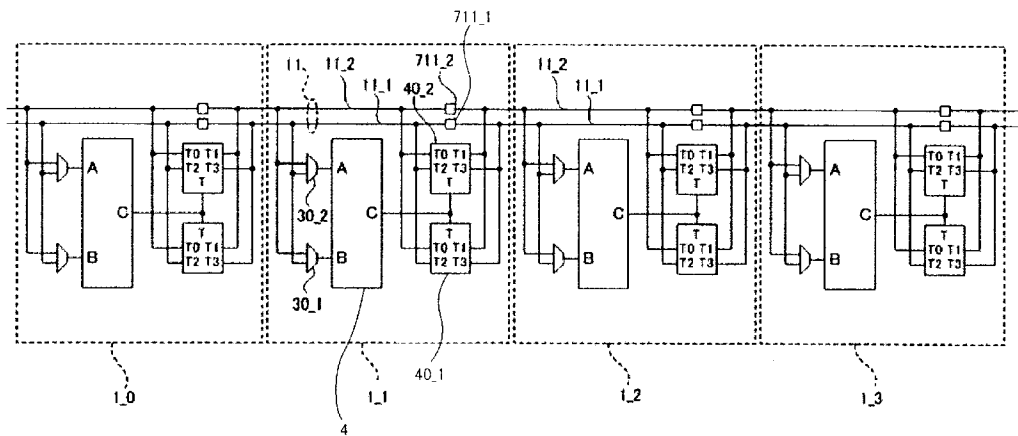
- (51) 国際特許分類:
H03K 19/173 (2006.01) H01L 21/82 (2006.01)
- (21) 国際出願番号: PCT/JP2008/053592
- (22) 国際出願日: 2008年2月29日 (29.02.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2007-060353 2007年3月9日 (09.03.2007) JP
- (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 中谷 正吾
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (74) 代理人: 宮崎 昭夫, 外 (MIYAZAKI, Teruo et al.); 〒1070052 東京都港区赤坂1丁目9番20号 第16興和ビル8階 Tokyo (JP).

[続葉有]

(54) Title: CONFIGURABLE CIRCUIT AND CONFIGURATION METHOD

(54) 発明の名称: コンフィギュラブル回路およびコンフィギュレーション方法

【図4】



(57) Abstract: A configurable circuit includes a plurality of logic blocks (4) and a programmable bus which can program connections of the logic blocks (4). The programmable bus includes a plurality of wires (11_x) arranged for each of signal transmission ranges corresponding to the logic blocks; a direct wire connection switch (711_x) which can program whether to directly connect or disconnect wires between adjacent signal transmission ranges; an input selector (30_x) which can program a connection with one of the wires and supplies the signal of the connected wire to the logic blocks (4); programmable switches (40_x) which are provided for each of the signal transmission ranges and can program whether to make a connection with a wire corresponding to the adjacent signal transmission range via a buffer for each of the wires. A plurality of programmable switches (40_x) are provided for at least one of the logic blocks (4).

(57) 要約: 本発明のコンフィギュラブル回路は、複数のロジックブロック4と複数のロジックブロック4の接続をプログラム可能なプログラマブルバスとを有する。プログラマブルバスは、複数のロジックブロック4に対応して信号伝送範囲毎に設けられた複数の配線11_xと、隣接する信号伝送範囲の配線同士を直接に接続するか遮断するかをプログラム可

[続葉有]



WO 2008/111406 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE,

SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

能な配線直結スイッチ 711__x と、複数の配線のうちいずれか一つの配線との接続がプログラム可能で、接続される配線の信号をロジックブロック 4 に供給する入力選択器 30__x と、信号伝送範囲毎に設けられ、複数の配線のそれぞれについて隣接する信号伝送範囲に対応する配線とバッファを介して接続するか遮断するかをプログラム可能なプログラマブルスイッチ 40__x とを含み、複数のロジックブロック 4 のうち少なくとも一つに対してプログラマブルスイッチ 40__x が複数設けられている。

明 細 書

コンフィギュラブル回路およびコンフィギュレーション方法

技術分野

[0001] 本発明は、複数のロジックブロックの接続をプログラム可能なコンフィギュラブル回路およびコンフィギュレーション方法に関する。

背景技術

[0002] FPGA(Field Programmable Gate Array)やPLD(Programmable Logic Device)など、複数のロジックブロックをプログラマブルな配線構造で繋いだコンフィギュラブル回路は広く使われている。

[0003] 図1は関連するFPGAの一構成例を示すブロック図である。FPGAはプログラマブルセル 201_x (x は整数)の配列から成る。通常、配列は2次元であるが図1ではその一部として一次元配列のみの場合を示している。

[0004] 各プログラマブルセルは、例えば、プログラマブルセル 201_1 に示すように、プログラマブルロジックブロック4と、配線群10と、プログラマブルスイッチ $2x_y$ (x, y は整数)と、入力選択器 3_x (x は整数)とを含む。プログラマブルセル 201_1 では、図1に示すように、プログラマブルスイッチ $21_1, 21_2, 22_2$ 、および入力選択器 $3_1, 3_2$ を含む。プログラマブルロジックブロック4は複数の入力端子(図1に示すAとB)と出力端子Cを有し、コンフィギュレーションメモリ(不図示)に書き込まれたデータ(コンフィギュレーションデータ)にもとづいて多様な論理機能を実現する。

[0005] 配線群10は、異なるプログラマブルセルの間でデータを伝送するためのものである。プログラマブルスイッチ $2x_y$ は、配線 $1x_y$ やプログラマブルロジックブロック4の出力端子Cを隣接する配線に接続したり、隣接する配線間を遮断したりする(x, y は整数)。入力選択器 3_x (x は整数)は配線群10のうち一つの配線で伝送される信号を選択し、選択した信号をプログラマブルロジックブロックの入力端子(図1に示すA, B)に供給する。

[0006] 図2は関連するプログラマブルスイッチ $2x_y$ (x, y は整数)の一構成例を示すブロック図である。このスイッチはコンフィギュレーションデータに応じて、以下の3つの機

能のうちいずれかの機能を実行する。

(1)端子T0,Tのいずれかに入力される信号を選択器3__4で選択し、トライステートバッファ5__2を介して端子T1に出力する。

(2)端子T1,Tのいずれかに入力される信号を選択器3__3で選択し、トライステートバッファ5__1を介して端子T0に出力する。

(3)端子T0,T1間を遮断する。

[0007] 一般に、FPGAでは配線群10は多数の種類配線で構成される。図1では、配線群10が、短距離配線群11と長距離配線群12から成る例を示している。短距離配線群11は、プログラマブルセルの幅一つ分の長さで、隣り合うプログラマブルセル間の信号伝送に適する。長距離配線群12はプログラマブルセルの幅2つ分の長さで、2セル以上離れたプログラマブルセル間の信号伝送に適する。

[0008] 実際、「短距離配線の遅延<長距離配線の遅延」が成り立つため、隣接セル同士の接続では短距離配線を使用したほうが速い信号伝送ができる。他方、「短距離配線の遅延×2>長距離配線の遅延」が成り立つため、2セル以上離れたセルの接続では、短距離配線を接続して使うより長距離配線を使用したほうが信号伝送は速い。

[0009] このように、高速な信号伝送を実現するためには複数の種類の配線を用意しなければならない。図1では、簡単のため2種類の配線しか示していないが、実際にははるかに多種類の配線を必要とする。このため、配線数が多くなりプログラマブルセルの面積が大きくなる。

[0010] また、配線の数だけプログラマブルスイッチ2x__yが必要なため、それに占められる面積も大きくなる。特に、長距離配線の場合、それに付随するプログラマブルスイッチ2x__y内のトライステートバッファ(図2に示す符号5__1, 5__2)は大駆動力が必要なため、大きな面積を占める。

[0011] 最近、高抵抗状態と低抵抗状態をプログラマブルに設定でき、かつ設定した状態を不揮発に記憶し、同一占有面積のMOSTランジスタに比べてオン抵抗が大幅に低いスイッチ素子(以下、記憶型低抵抗スイッチ素子と称する)が開発されている。その一例が、特開2005-101535号公報に開示されている。図3にそのスイッチ素子の構成例を示す。

[0012] 図3に示すように、記憶型低抵抗スイッチ素子は、イオン化されにくい金属電極60、イオン化されやすい金属電極62、および電解質61を有する構成である。イオン化されにくい金属電極60とイオン化されやすい金属電極61との間への電圧印加方法に応じて、両金属電極間が接続されたり、遮断されたりする。接続時の抵抗は同じ占有面積のMOSTランジスタに比べて大幅に低い(一桁以上低い)ため、小さな面積で高性能のスイッチを実現できる。しかも、一度形成された接続/遮断状態は一定期間保持されるため、記憶保持のためのメモリを別途用意する必要がなく、記憶型低抵抗スイッチ素子を用いない回路に比べて小面積化が可能である。

[0013] なお、記憶型低抵抗スイッチ素子としては、ここで挙げた例とは別の種類のものもある。別の種類のスイッチ素子の一例が特開2005-317978号公報に開示されている。

発明の開示

[0014] 上述したように、記憶型低抵抗スイッチ素子の優れた性能のため、スイッチを大量に使うコンフィギュラブル回路に記憶型低抵抗スイッチ素子を適用することが期待されている。しかし、図1に示したコンフィギュラブル回路で、MOSTランジスタで作製していたスイッチ(例えば、選択器、トライステートバッファ)を、記憶型低抵抗スイッチ素子で作製しただけでは回路全体の面積はあまり小さくならない。それは、図1のFPGAで説明したように、一般にコンフィギュラブル回路では多数の配線と大きなバッファが存在するため、それによって大きな面積を占有してしまい、スイッチ部分を小さくしただけでは回路全体の面積を縮小する効果が充分ではないからである。

[0015] 本発明の目的は、回路面積をより小さくしたコンフィギュラブル回路およびコンフィギュレーション方法を提供することである。

[0016] 本発明のコンフィギュラブル回路は、複数のロジックブロックと複数のロジックブロックの接続をプログラム可能なプログラマブルバスとを有するコンフィギュラブル回路であって、プログラマブルバスは、複数のロジックブロックに対応して分けられた信号伝送範囲毎に設けられ、隣接するロジックブロック同士を接続するための複数の配線と、隣接する信号伝送範囲の配線同士を直接に接続するか遮断するかをプログラム可能な配線直結スイッチと、複数のロジックブロックのそれぞれに対応して設けられ、

複数の配線のうちいずれか一つの配線との接続がプログラム可能で、接続される配線の信号をロジックブロックに供給する入力選択器と、信号伝送範囲毎に設けられ、複数の配線のそれぞれについて隣接する信号伝送範囲に対応する配線とバッファを介して接続するか遮断するかをプログラム可能なプログラマブルスイッチとを含み、複数のロジックブロックのうち少なくとも一つに対してプログラマブルスイッチが複数設けられている。

[0017] 本発明によれば、関連するコンフィギュラブル回路と比べて、配線数が少なく、バッファの占める面積が小さくなるため、回路全体の面積を小さくすることができる。

図面の簡単な説明

[0018] [図1]図1は関連するFPGAの一構成例を示すブロック図である。

[図2]図2は関連するプログラマブルスイッチの一構成例を示すブロック図である。

[図3]図3は記憶型低抵抗スイッチ素子の一構成例を示す断面模式図である。

[図4]図4は第1の実施形態のコンフィギュラブル回路の一構成例を示すブロック図である。

[図5]図5は図4に示すプログラマブルスイッチの構成例を示すブロック図である。

[図6]図6は図5に示す入力選択器の構成例を示す回路図である。

[図7]図7は図5に示す出力選択器の構成例を示す回路図である。

[図8]図8は第1の実施形態のコンフィギュラブル回路の第1の動作例を示す図である。
。

[図9]図9は第1の実施形態のコンフィギュラブル回路の第2の動作例を示す図である。
。

[図10]図10は第1の実施形態のコンフィギュラブル回路の第3の動作例を示す図である。

[図11]図11は第1の実施形態のコンフィギュラブル回路における実施例1のプログラマブルセルの構成例を示すブロック図である。

[図12]図12は第1の実施形態のコンフィギュラブル回路における実施例2のプログラマブルセルの構成例を示すブロック図である。

[図13]図13は図12に示したプログラマブルセルの使用例を示すレイアウト図である。

[図14]図14は第2の実施形態のコンフィギュラブル回路の一構成例を示すブロック図である。

[図15]図15は図14に示したコンフィギュラブル回路の他の使用例を示すチップレイアウト図である。

符号の説明

- [0019] 1、1a、1b、1__x、201__x プログラマブルセル
3__x、30、30__x 入力選択器
4 プログラマブルロジックブロック
5__x トライステートバッファ
10 配線群
11 短距離配線群
11b 水平短距離配線群
11__x 短距離配線
11__xb 水平短距離配線
12 長距離配線群
12__x 長距離配線
15 垂直短距離配線群
15__x 垂直短距離配線
2x__y、40__x プログラマブルスイッチ
711__x、715__x 配線直結スイッチ
730__x、731__x 記憶型低抵抗スイッチ素子
31 出力選択器
50 バッファ
60 イオン化されにくい金属電極
61 電解質
62 イオン化されやすい金属電極
90 I/Oセル
100 チップ

305、306、307、308 ロジックブロック

A、B 入力端子

C 出力端子

T0、T1、T2、T3、T4、T5、T6、T7、T 端子

t0、t1、t2、t3、t4、t 端子

発明を実施するための最良の形態

[0020] (第1の実施形態)

本発明の第1の実施形態について説明する。図4は本実施形態のコンフィギュラブル回路の一構成例を示すブロック図である。

[0021] 図4に示すように、本実施形態のコンフィギュラブル回路は、複数のプログラマブルセル1__x(xは整数)の配列から成る。各プログラマブルセルは、例えば、プログラマブルセル1__1に示すように、プログラマブルロジックブロック4と、短距離配線群11と、配線直結スイッチ711__yと、プログラマブルスイッチ40__yと、入力選択器30__yとを含む(yは整数)。複数のプログラマブルロジックブロック4間に設けられるプログラマブルバスは、短距離配線群11、配線直結スイッチ711__y、プログラマブルスイッチ40__y、および入力選択器30__yを含む。

[0022] プログラマブルロジックブロック4は複数の入力端子(図4に示すAとB)と出力端子Cを有し、コンフィギュレーションメモリ(不図示)に書き込まれたデータにもとづいて多様な論理機能を実現する。

[0023] 短距離配線群11は異なるプログラマブルセルの間でデータを伝送するためのもので、図4の例ではプログラマブルセルの幅の一つ分の長さを持つ複数の短距離配線11__y(yは整数)から成る。複数のプログラマブルロジックブロック4を結ぶ複数の配線のうち、配線直結スイッチ711__y間の複数の短距離配線11__yの区分が本発明の信号伝送範囲に相当する。

[0024] 配線直結スイッチ711__yは、隣接する短距離配線11__y同士をプログラマブルに接続したり遮断したりする記憶型低抵抗スイッチ素子である。この記憶型低抵抗スイッチ素子は、図3で説明したのと同様な構成である。イオン化されにくい金属電極60がプログラマブルセル1__k(kは任意の整数)の短距離配線11__yに接続され、イオン化

されやすい金属電極62がプログラマブルセル1__k+1の短距離配線11__yに接続されている。なお、これら異なる種類の金属電極の配置は逆であってもよい。このように、イオン化されにくい金属電極60とイオン化されやすい金属電極62のそれぞれに、隣接するプログラマブルセルの短距離配線11__yのそれぞれが接続されている。

- [0025] プログラマブルスイッチ40__z(zは整数)は、プログラマブルに、端子T0, T1, T2, T3, Tのいずれかの信号を端子T0, T1, T2, T3の少なくとも一つに出力したり(ただし、この場合、入力と出力は異なる端子となる)、または、端子間を遮断したりするものである。
- [0026] ここで、端子T0, T1, T, T2, T3と短距離配線群11との接続を説明する。端子T0はプログラマブルセル1__1の短距離配線11__2に接続され、端子T1はプログラマブルセル1__2の短距離配線11__2に接続されている。端子T2はプログラマブルセル1__1の短距離配線11__1に接続され、端子T3はプログラマブルセル1__2の短距離配線11__1に接続されている。端子Tは同じプログラマブルセル内の他のプログラマブルスイッチの端子Tと接続されている。プログラマブルセル1__1では、図4に示すように、プログラマブルスイッチ40__1, 40__2の端子T同士が接続されている。そして、2つの端子Tが接続される配線にプログラマブルロジックブロック4の出力端子Cが接続されている。
- [0027] 図5はプログラマブルスイッチ40__zの構成例を示すブロック図である。図5に示すように、端子T0, T1, T, T2, T3のそれぞれは入力選択器30の入力端子t1, t3, t2, t0, t4のそれぞれに接続されている。入力選択器30は入力端子のいずれかの信号を出力端子tに出力するか、もしくはどの信号も出力しないかをプログラマブルに設定するものである。入力選択器30の出力信号はバッファ50を介して出力選択器31の入力端子tに与えられる。端子T0, T1, T2, T3のそれぞれは出力選択器31の出力端子t1, t2, t0, t3のそれぞれに接続されている。出力選択器31は、出力端子t0, t1, t2, t3のそれぞれについて、入力端子tの信号を出力するかまたは出力しないかをプログラマブルに設定するものである。
- [0028] 図6は入力選択器30の構成例を示す回路図である。入力端子t0, t1, t2, t3, t4のそれぞれは記憶型低抵抗スイッチ素子730__0, 730__1, 730__2, 730__3, 730

__4のそれぞれの2つの金属電極の一方の金属電極に接続されている。そして、記憶型低抵抗スイッチ素子730__0, 730__1, 730__2, 730__3, 730__4の他方の金属電極は一つに接続されて出力端子tになっている。

[0029] 図7は出力選択器31の構成例を示す回路図である。出力端子t0, t1, t2, t3のそれぞれは記憶型低抵抗スイッチ素子731__0, 731__1, 731__2, 731__3のそれぞれの2つの金属電極の一方の金属電極に接続されている。そして、記憶型低抵抗スイッチ素子731__0, 731__1, 731__2, 731__3の他方の金属電極は一つに接続されて入力端子tになっている。

[0030] 既に述べたように記憶型低抵抗スイッチ素子の金属電極間はプログラマブルに“接続”あるいは“遮断”できるため、図5に示したプログラマブルスイッチは、端子T0, T1, T2, T3, Tのいずれかの信号を端子T0, T1, T2, T3の少なくとも一つに出力したり(ただし、この場合、入力と出力は異なる端子となる)、あるいは端子間を遮断したりすることができる。上述の配線直結スイッチとは異なり、プログラマブルスイッチでは、図5に示したように、入力と出力との間にバッファが設けられているのが特徴である。このバッファは、1本の短距離配線(例えば、図4に示す短距離配線11__1、または短距離配線11__2)を駆動するのに必要十分な駆動力を備えている。

[0031] 続いて、図4に示す入力選択器30__1, 30__2について説明する。入力選択器30__1の2つの入力端子のそれぞれは短距離配線11__1, 11__2のそれぞれに接続され、出力端子がプログラマブルロジックブロック4の入力端子Bに接続されている。入力選択器30__2の2つの入力端子のそれぞれは短距離配線11__1, 11__2のそれぞれに接続され、出力端子がプログラマブルロジックブロック4の入力端子Aに接続されている。

[0032] 図4に示す入力選択器30__1, 30__2のそれぞれは、短距離配線群11から一つの信号を選択し、選択した信号をプログラマブルロジックブロック4の入力端子B, Aのそれぞれに供給するものである。これらの選択器は、図6に示した入力選択器30と基本的に同様な構成であり、図6に示す構成と入力端子の数が異なるだけである。これらの入力選択器は、関連するプログラマブルセルではMOSTランジスタで作られていたが、図6に示したように記憶型低抵抗スイッチ素子で作った方がはるかに面積も負

荷容量も小さくなるという利点がある。

[0033] 次に、本実施形態のコンフィギュラブル回路の動作と効果について説明する。

[0034] 図8は本実施形態のコンフィギュラブル回路の第1の動作例を示す図である。太線矢印は信号の経路を示し、配線直結スイッチ711_y、プログラマブルスイッチ40_y、入力選択器30_y(yは整数)の端子間を貫く太線は、該当する端子間を接続することを意味する。

[0035] ここでは、プログラマブルセル1_0内の配線直結スイッチ711_1, 711_2、プログラマブルセル1_1内の配線直結スイッチ711_1とプログラマブルスイッチ40_1、プログラマブルセル1_2内の配線直結スイッチ711_1, 711_2とプログラマブルスイッチ40_1, 40_2は、いずれも遮断状態に設定されている。

[0036] 図8に示すように、プログラマブルセル1_1内のプログラマブルロジックブロック4の出力端子Cは、プログラマブルスイッチ40_2を介して、隣接するプログラマブルセル1_2に付随する短距離配線11_1に信号を出力する。この信号はプログラマブルセル1_2内の入力選択器30_2を通じてプログラマブルロジック4の入力端子Aに供給される。

[0037] また、プログラマブルセル1_0内のプログラマブルロジックブロック4の出力端子Cは、プログラマブルスイッチ40_1と40_2の両方を介して、隣接するプログラマブルセル1_1に付随する短距離配線11_2に信号を出力する。この信号はプログラマブルセル1_1内の配線直結スイッチ711_2を通してプログラマブルセル1_2に付随する短距離配線11_2に伝達され、プログラマブルセル1_2内の入力選択器30_1を通じてプログラマブルロジック4の入力端子Bに供給される。

[0038] 続いて、図8に示した第1の動作例の作用と効果を説明する。

[0039] 図8に示すプログラマブルセル1_2に付随する短距離配線11_1は、他の短距離配線と遮断された単セグメントの短距離配線となっている。このため、それを駆動するバッファは短距離配線用一つでよく、図8ではプログラマブルセル1_1内のプログラマブルスイッチ40_2のみで駆動している。

[0040] 他方、プログラマブルセル1_0内のプログラマブルロジックブロック4の出力端子Cの信号を2つ先のプログラマブルセル1_2に伝送するため、図8ではプログラマブル

セル1__1に付随する短距離配線11__2とプログラマブルセル1__2に付随する短距離配線11__2とをプログラマブルセル1__1内の配線直結スイッチ711__2を通じて接続し、長距離配線を形成している。配線直結スイッチによる接続はバッファを介さない直接接続であるため、このようにして形成された長距離配線は、プログラマブルセルの幅2つ分のセグメント長を持つ配線と同じ負荷容量を持つ。したがって、これを駆動するために、図8のプログラマブルセル1__0のように、同じ信号(プログラマブルロジックブロック4の出力端子Cからの出力)をプログラマブルスイッチ40__1と40__2の両方を介して同じ短距離配線(プログラマブルセル1__1に付随する短距離配線11__2)に出力している。このように二つのプログラマブルスイッチを併せて使うことで駆動力が2倍になり、長距離配線を高速に駆動できるようになる。

[0041] 上述したように、一つのプログラマブルスイッチ内のバッファは短距離配線一つを駆動するのに必要十分な駆動力しか持たないため、これ一つのみで長距離配線を駆動すると信号伝送が遅くなり性能が劣化する。しかし、図8に示す例のように、二つのプログラマブルスイッチを併せて使うことで長距離配線を駆動するのに十分な駆動力を確保することが可能となる。また、記憶型低抵抗スイッチのON抵抗はトランジスタに比べて非常に小さい。このため、それを使った配線直結スイッチによる2つの短距離配線の接続は、繋ぎ目のない1本の長距離配線に近く、高速な信号伝送が可能である。

[0042] 配線直結スイッチをトランジスタで作った場合(例えば、パストランジスタやトランスミッションゲート)、抵抗も容量も非常に大きくなるため、たとえどんなに大きな駆動力のバッファで駆動したとしても、1本の長距離配線に比べて大幅に劣った性能しか得られない。さらに、プログラマブルスイッチの出力選択器(図5の出力選択器31に相当する部位)を構成するスイッチ(図7のスイッチ素子731__xに相当する部位)も、バッファ後の大きな駆動力を伝達するため低抵抗でなければならない。この部位のスイッチに記憶型低抵抗スイッチを使えば、小さい面積でその要求を十分達成することができるが、トランジスタで作ると非常に大きな面積を占有しかつ駆動力の大幅な低下は免れない。

[0043] 本発明の第1の実施形態では、長距離配線を短距離配線のプログラマブルな接続

で実現し、かつ短距離配線用バッファをプログラマブルに結合して長距離配線用バッファを形成する。これを、実用的な性能でかつ小面積で実現するためには記憶型低抵抗スイッチが必要不可欠であり、トランジスタによるスイッチでは実現が困難である。

[0044] なお、図8に示した第1の動作例は、本発実施形態において、隣接プログラマブルセルへの信号伝送と、プログラマブルセル2つ以上離れた距離の信号伝送に相当する長距離信号伝送とを重ね合わせた例である。

[0045] 次に、本実施形態のコンフィギュラブル回路の第2の動作例として、2つの長距離信号伝送を重ね合わせた場合を説明する。図9は本実施形態のコンフィギュラブル回路の第2の動作例を示す図である。太線矢印の意味は第1の動作例で説明したのと同様である。

[0046] ここでは、プログラマブルセル1__0内の配線直結スイッチ711__1, 711__2とプログラマブルスイッチ40__2、プログラマブルセル1__1内の配線直結スイッチ711__1, 711__2、プログラマブルセル1__2内の配線直結スイッチ711__1, 711__2、プログラマブルセル1__3内の配線直結スイッチ711__1, 711__2とプログラマブルスイッチ40__1, 40__2は、いずれも遮断状態に設定されている。

[0047] 図9に示すように、プログラマブルセル1__0内のプログラマブルロジックブロック4の出力端子Cは、プログラマブルスイッチ40__1を介して、隣接するプログラマブルセル1__1に付随する短距離配線11__2に信号を出力する。この信号はプログラマブルセル1__1内のプログラマブルスイッチ40__1を介してプログラマブルセル1__2に付随する短距離配線11__2に出力される。さらに、その信号は、プログラマブルセル1__2内のプログラマブルスイッチ40__1を介して、プログラマブルセル1__3に付随する短距離配線11__2に出力され、入力選択器30__2を通じてプログラマブルロジックブロック4の入力端子Aに供給される。すなわちこの経路は、プログラマブルセル1__0から1__3への信号伝送の際に、経路上のプログラマブルセル毎にプログラマブルスイッチによるバッファリングを行いながら信号を伝送するものである。

[0048] また、図9において、プログラマブルセル1__1内のプログラマブルロジックブロック4の出力端子Cは、プログラマブルスイッチ40__2を介して、隣接するプログラマブルセル

ル1__2に付随する短距離配線11__1に信号を出力する。この信号は、プログラマブルセル1__2内のプログラマブルスイッチ40__2を介して、プログラマブルセル1__3に付随する短距離配線11__1に出力され、入力選択器30__1を通じてプログラマブルロジック4の入力端子Bに供給される。すなわちこの経路は、プログラマブルセル1__1から1__3への信号伝送の際に、経路上のプログラマブルセル毎にプログラマブルスイッチによるバッファリングを行いながら信号を伝送するものである。

[0049] 続いて、図9に示した第2の動作例の作用と効果を説明する。

[0050] 図9に示した動作例では、2つの長距離信号伝送が重ね合わさっている。この場合、各信号路では、プログラマブルセル毎にプログラマブルスイッチを介したバッファリングを行う必要がある。すなわち、配線直結スイッチ711__y(yは整数)を使った長距離配線は使わない。そのような長距離配線を使うと、あるプログラマブルセルで2つ以上のプログラマブルスイッチを占有したバッファリングが必要となり、もう一本の信号路用のプログラマブルスイッチを確保できなくなるからである。配線直結スイッチ711__y(yは整数)を使った長距離配線は、高速に長距離信号伝送できるメリットがあるが、多くのプログラマブルスイッチを消費するため少数しか使えない。他方、短距離配線をプログラマブルスイッチで結合して同じような長距離伝送を行うと、速度は遅くなるものの、多くの信号伝送を重ね合わせることができるメリットがある。両者は、配線の使用状況や要求性能によって適宜使い分けられる。

[0051] 次に、本実施形態のコンフィギュラブル回路の第3の動作例として、配線直結スイッチを使って形成した長距離配線を複数接続した信号経路の場合を説明する。図10は本実施形態のコンフィギュラブル回路の第3の動作例を示す図である。太線矢印の意味は第1の動作例で説明したのと同様である。

[0052] ここでは、プログラマブルセル1__0内の配線直結スイッチ711__1, 711__2、プログラマブルセル1__1内の配線直結スイッチ711__2とプログラマブルスイッチ40__1, 40__2、プログラマブルセル1__2内の配線直結スイッチ711__1, 711__2、プログラマブルセル1__3内の配線直結スイッチ711__2とプログラマブルスイッチ40__1, 40__2は、いずれも遮断状態に設定されている。

[0053] プログラマブルセル1__0に付随する短距離配線11__1は、プログラマブルスイッチ4

0__1と40__2の両方を介して、隣接するプログラマブルセル1__1に付随する短距離配線11__1に信号を出力する。プログラマブルセル1__1と1__2に付随する短距離配線11__1は、プログラマブルセル1__1内の配線直結スイッチ711__1で接続されて長距離配線を形成しており、前述の信号は高速にプログラマブルセル1__2に付随する短距離配線11__1に伝送される。さらに、その信号は、プログラマブルセル1__2のプログラマブルスイッチ40__1と40__2の両方を介して、隣接する長距離配線に出力される。

[0054] この例のように、配線直結スイッチを使って形成した長距離配線を複数接続する場合、中継バッファとして複数のプログラマブルスイッチを使う。これによって高速な長距離信号伝送が可能となるため、他の用途にプログラマブルスイッチを使う必要がない場合はこの方法は有用である。

[0055] 本発明の第1の実施形態として、これまで図4のように、プログラマブルセル1つ当たり短距離配線が2本の例を示してきた。しかし、本実施形態において、短距離配線の数はこれに限定されるものではなく、任意である。

実施例 1

[0056] 本実施例は、プログラマブルセルに付随する短距離配線の数を追加した場合である。図11は本実施例のプログラマブルセルの構成例を示すブロック図である。

[0057] 図11に示すように、一つのプログラマブルセル1aに対して短距離配線11__1, 11__2, 11__3, 11__4の4本が設けられている。この場合、隣接する短距離配線同士を結合する配線直結スイッチについても、配線直結スイッチ711__1, 711__2, 711__3, 711__4の4つが設けられている。さらに、プログラマブルスイッチ40__1, 40__2, 40__3, 40__4の4つが設けられ、各プログラマブルスイッチはT0, T1, T2, T3, T4, T5, T6, T7, Tの9個の端子を持つ。

[0058] このプログラマブルスイッチは、図5に示した入力選択器30と出力選択器31の端子がそれぞれ4つ増えたものであり、T0, T1, T2, T3, T4, T5, T6, T7, Tのうち一つを選択してTと自身以外の端子に出力したり、端子間を遮断したりするものである。この例の場合、次のいずれかの配線構成を設定することが可能となる。

(1)4つの短距離配線

- (2)2つの2セル長配線(短距離配線2本を配線直結スイッチで結合したもの)
- (3)1つの2セル長配線と2つの短距離配線
- (4)1つの3セル長配線(短距離配線3本を配線直結スイッチで結合したもの)と1つの短距離配線
- (5)1つの4セル長配線(短距離配線4本を配線直結スイッチで結合したもの)

短距離配線はプログラマブルスイッチ1つで、2セル長配線はプログラマブルスイッチ2つで、3セル長配線はプログラマブルスイッチ3つで、4セル長配線はプログラマブルスイッチ4つで、それぞれ駆動する。このように、配線とプログラマブルスイッチの数を増やすことで、多様な配線構成を設定することができる。

[0059] 関連するコンフィギュラブル回路と同じ性能を得るためには、本実施形態は、関連するコンフィギュラブル回路に比べて大幅に少ない配線数とプログラマブルスイッチ数(あるいはバッファ数)でよい。関連するコンフィギュラブル回路では、図1で説明したように、高速な長距離伝送を行うために、専用の長距離配線とそれを十分駆動できるプログラマブルスイッチを備える必要があった。それに対し、本発明の第1の実施形態ではそのような専用の長距離伝送路はなく、短距離配線とそれを駆動するに足るプログラマブルスイッチを備えるのみである。高速な長距離伝送は、短距離配線を使ってプログラマブルに形成できる。

[0060] また、関連するコンフィギュラブル回路は多数の種類配線資源を持っているが、個々のアプリケーション回路で使うのはそのうちほんの一部である。多様な要求に対応するためそれぞれの用途に適した配線資源を備えているものの、各々のアプリケーション回路ではその一部しか使わず、大部分は未使用となる。関連するコンフィギュラブル回路の面積が大きいのは、このように多様な回路に対応するための無駄があるからである。

[0061] 他方、本発明の第1の実施形態では、必要に応じていろいろな長さの最適伝送路をプログラマブルに形成できるため、あらかじめ多様な専用伝送路を持つ必要がない。関連するコンフィギュラブル回路に比べて配線やプログラマブルスイッチ(バッファを含む)の数は少なくとも、必要に応じて多様な伝送路として融通しあって使えるので不足することはない。

[0062] このように、本発明の第1の実施形態によれば、関連するコンフィギュラブル回路で大きな面積を占めていた配線やバッファを減らすことができ、小さい面積のコンフィギュラブル回路を実現できる。さらには、配線数が減ると、入力選択器(図4や図11に示した入力選択器30_1, 30_2)の入力数も少なくなり、この面積も小さくなるメリットがある。

実施例 2

[0063] 本実施例は、プログラマブルセルに付随する短距離配線群を水平方向だけでなく、垂直方向にも設けた場合である。図12は本実施例のプログラマブルセルの構成例を示すブロック図である。

[0064] 本実施例のプログラマブルセル1bでは、図4で示した、水平方向の短距離配線群11に加えて、図12に示すように、垂直方向の短距離配線が複数配置された垂直短距離配線群15が設けられている。隣接する垂直短距離配線15_xは、配線直結スイッチ715_xを介してプログラマブルセルに接続される(xは整数)。また、垂直短距離配線15_xは、プログラマブルスイッチ40_xを介して水平短距離配線11_xbや、プログラマブルロジックブロック4の出力端子Cとプログラマブルセルに接続される。さらに、入力選択器30_xには、垂直短距離配線により伝送される信号も入力される。

[0065] 図13は本実施例のプログラマブルセルの使用例を示すレイアウト図である。図12に示すプログラマブルセル1bは、図13に示すように2次元アレイ状に並べられ、水平方向は水平短距離配線群11bで、垂直方向は垂直短距離配線群15で接続される。コンフィギュラブル回路の典型であるFPGAやPLDは、図13に示したように、同じプログラマブルセルがアレイ状に配列されている。

[0066] (第2の実施形態)

次に、本発明の第2の実施形態について説明する。なお、第1の実施形態と同様な構成については同一の符号を付し、その詳細な説明を省略する。

[0067] 図14は本実施形態のコンフィギュラブル回路の一構成例を示すブロック図である。図14に示すように、第1の実施形態と同様に、複数のプログラマブルセル1_xが短距離配線11_xで結合されている(xは整数)。ただし、第1の実施形態とは異なり、本実施形態では、各々のプログラマブルセルは一般に同じではない。図14において、

ロジックブロック305, 306, 307, 308は同じ回路とは限らず、またプログラマブルでなくともよい。ロジックブロックの例としては、たとえば加算器、乗算器、メモリユニットなどの専用回路が挙げられる。

[0068] また、本実施形態においては、入力選択器30_x(xは整数)の個数も端子数もプログラマブルセル毎に異なってよい。図14に示す例では、入力選択器として、プログラマブルセル1_6, 1_8のそれぞれには2個の入力選択器30_1, 30_2が設けられ、プログラマブルセル1_5には1個の入力選択器30_1が設けられているが、プログラマブルセル1_7には入力選択器が設けられていない場合を示している。さらに、プログラマブルセル1_8に示すように、ロジックブロック308の出力がプログラマブルスイッチ40_xに接続されていない場合があってもよい。

[0069] 本実施形態では、短距離配線群11と配線直結スイッチ711_xとプログラマブルスイッチ40_xとがコンフィギュラブルバスを形成しており、それを通じて、任意のロジックブロック同士が結合している(ロジックブロックはプログラマブルとは限らない)。関連するコンフィギュラブル回路の専用バスと異なり、このようなコンフィギュラブルバスは、チップ製造後に構成を変えることができるため、同一チップで複数の用途に対応することが可能である。また、製造後のバグ修正にも役立つ。

[0070] FPGAのように、チップ全体をコンフィギュラブルな回路で作った場合、多様性は大きいですが、専用回路に比べて面積がかなり大きくなる問題がある。これに対して、本実施形態のように、バスのみをコンフィギュラブルにすることで適度な多様性を確保する方が、コストパフォーマンスの観点から望ましい場合も多々ある。

[0071] 図15は図14に示したコンフィギュラブル回路の他の使用例を示すチップレイアウト図である。チップ100の周辺部にはI/Oセル90が複数設けられ、チップ100の内部にはプログラマブルセル1_x(xは整数)が複数設けられている。これらのセルは短距離配線群11で接続されている。I/Oセル90は、図14に示したようなプログラマブルセルの一種で、ロジックブロックとしてI/Oバッファなどチップ外とのデータをやり取りするための回路を有している。I/Oの位置や数など多少の仕様の違いで別の種類のチップとして製造しなければならない例は多い。図15に示した回路を使えば、関連するコンフィギュラブル回路では別の種類で製造されていた複数のチップを一つの

種類のチップにまとめることができ、コスト低減になる。

[0072] 第1および第2の実施形態で説明したように、本実施形態のコンフィギュラブル回路では、隣接する配線同士は、プログラマブルスイッチを介して接続されるか、配線直結スイッチで接続される。隣接する配線がプログラマブルスイッチを介して接続される場合には、信号伝送範囲内の配線の駆動力はプログラマブルスイッチに含まれるバッファにより供給される。また、隣接する配線が配線直結スイッチで接続される場合には、長距離配線が構成され、複数のプログラマブルスイッチから駆動力が供給される。長距離用と短距離用の配線をそれぞれ設ける必要がなく、関連するコンフィギュラブル回路に比べて、余分な配線を設ける必要がない。

[0073] 本発明のコンフィギュラブル回路では、複数の短距離配線を記憶型低抵抗スイッチ素子で接続することで長距離配線を形成している。さらに、このとき、複数の短距離配線用駆動バッファを記憶型低抵抗スイッチ素子で結合することで、大駆動力の長距離配線用バッファを形成している。このような方法で、専用の長距離配線に匹敵する性能を持った長距離配線をプログラマブルに構成することができる。それに伴い、関連するコンフィギュラブル回路のような専用長距離配線が不要になり、配線もバッファも大幅に減らすことができる。したがって、関連するコンフィギュラブル回路よりも小さい面積でコンフィギュラブル回路を実現できる。

[0074] 以上、実施形態および実施例を参照して本願発明を説明したが、本願発明は上記実施形態および実施例に限定されるものではない。本願発明の構成や詳細には、本願発明の範囲内で当業者が理解し得る様々な変更をすることができる。

[0075] この出願は、2007年3月9日に提出された日本出願の特願2007-060353の内容が全て取り込まれており、この日本出願を基礎として優先権を主張するものである。

。

請求の範囲

- [1] 複数のロジックブロックと該複数のロジックブロックの接続をプログラム可能なプログラマブルバスとを有するコンフィギュラブル回路であって、
前記プログラマブルバスは、
前記複数のロジックブロックに対応して分けられた信号伝送範囲毎に設けられ、隣接するロジックブロック同士を接続するための複数の配線と、
隣接する前記信号伝送範囲の配線同士を直接に接続するか遮断するかをプログラム可能な配線直結スイッチと、
前記複数のロジックブロックのそれぞれに対応して設けられ、前記複数の配線のうちいずれか一つの配線との接続がプログラム可能で、接続される配線の信号を前記ロジックブロックに供給する入力選択器と、
前記信号伝送範囲毎に設けられ、前記複数の配線のそれぞれについて隣接する前記信号伝送範囲に対応する配線とバッファを介して接続するか遮断するかをプログラム可能なプログラマブルスイッチとを含み、
前記複数のロジックブロックのうち少なくとも一つに対して前記プログラマブルスイッチが複数設けられている、ことを特徴とするコンフィギュラブル回路。
- [2] 請求の範囲1に記載のコンフィギュラブル回路であって、
前記プログラマブルスイッチは、前記ロジックブロックの出力と、隣接する前記信号伝送範囲の複数の配線のうちいずれか一つの配線とを接続することをプログラム可能に構成されていることを特徴とするコンフィギュラブル回路。
- [3] 請求の範囲1または2に記載のコンフィギュラブル回路であって、
前記複数の配線のうちの一つ、または前記ロジックブロックに接続される前記プログラマブルスイッチの数は、信号伝送方向に前記信号伝送範囲を越えて直結される前記配線の数に対応していることを特徴とするコンフィギュラブル回路。
- [4] 請求の範囲1から3のいずれか1項に記載のコンフィギュラブル回路であって、
複数の前記プログラマブルスイッチは、前記複数の配線のうち共通の配線に接続される端子を複数有することを特徴とするコンフィギュラブル回路。
- [5] 請求の範囲1から4のいずれか1項に記載のコンフィギュラブル回路であって、

前記入力選択器は、前記複数の配線のそれぞれに接続される配線直結スイッチが設けられ、前記複数の配線のいずれか一つの配線が複数の前記配線直結スイッチのうちいずれか一つを介して前記ロジックブロックに接続されることを特徴とするコンフィギュラブル回路。

- [6] 請求の範囲1から5のいずれか1項に記載のコンフィギュラブル回路であって、
前記プログラマブルスイッチは、複数の端子からなる第1の端子群のうち選択された一つの端子の信号を出力する入力選択器と、該入力選択器の出力信号をバッファリングするバッファと、該バッファの出力信号を複数の端子からなる第2の端子群のうちいずれか一つの端子に出力するか遮断するかをプログラム可能な出力選択器とを備え、

前記入力選択器は、前記第1の端子群のそれぞれの端子に接続される配線直結スイッチが設けられ、前記第1の端子群のいずれか一つの端子を複数の前記配線直結スイッチのうちいずれか一つを介して前記バッファに接続し、

前記出力選択器は、前記第2の端子群のそれぞれの端子に接続される配線直結スイッチが設けられ、前記バッファに対して複数の前記配線直結スイッチのいずれか一つを介して前記第2の端子群のうちのいずれか一つの端子と接続するか、または、いずれとも接続を遮断し、

前記第2の端子群が前記第1の端子群に含まれる、ことを特徴とするコンフィギュラブル回路。

- [7] 請求の範囲1から6のいずれか1項に記載のコンフィギュラブル回路であって、
前記複数のロジックブロックは同一の回路で、かつ、プログラマブルに論理機能が設定可能であり、アレイ状に配列されていることを特徴とするコンフィギュラブル回路。

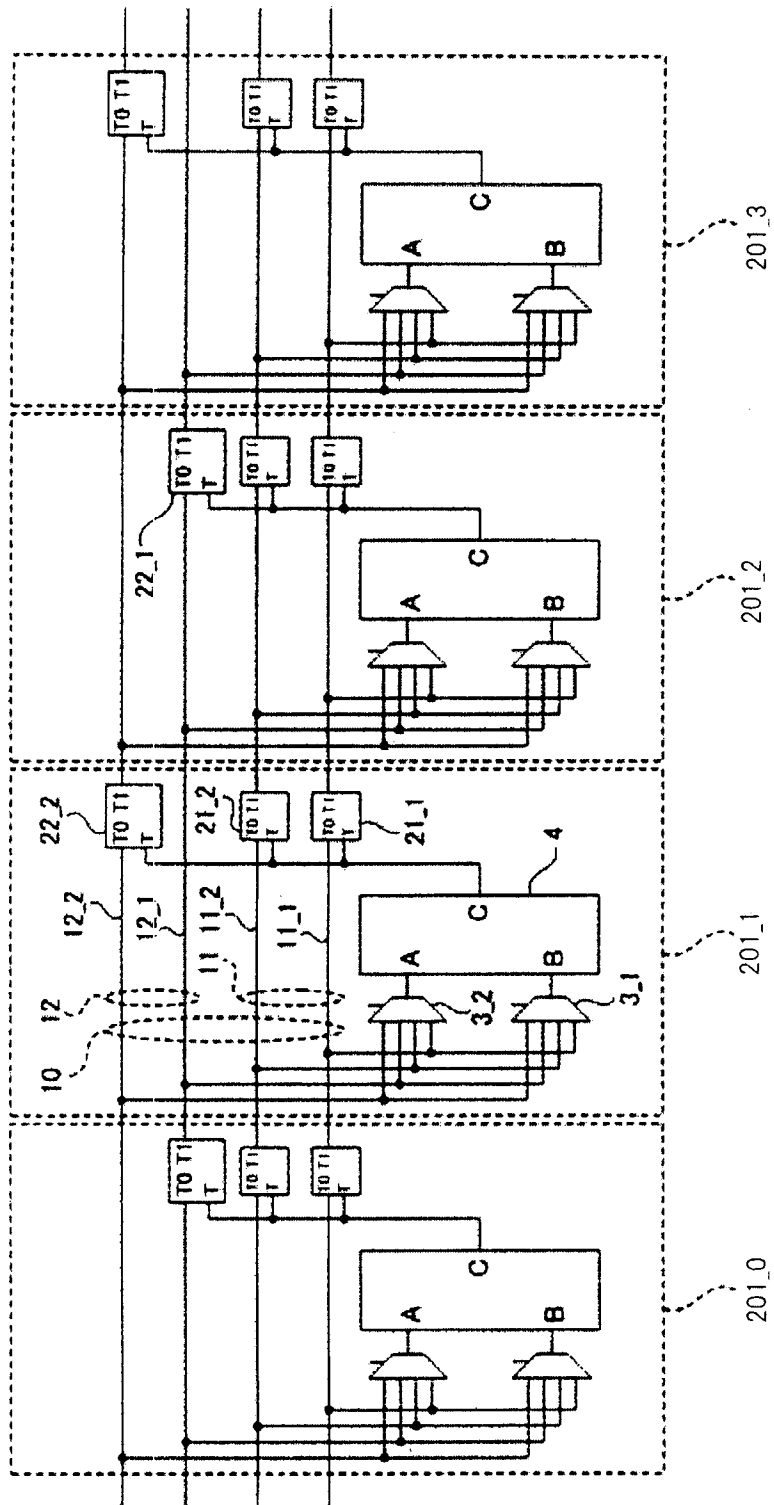
- [8] 請求の範囲1から7のいずれか1項に記載のコンフィギュラブル回路であって、
前記複数のロジックブロックは互いに異なる回路で、かつ、それぞれ機能が固定された専用回路であることを特徴とするコンフィギュラブル回路。

- [9] 請求の範囲8に記載のコンフィギュラブル回路であって、
前記複数のロジックブロックの一部は、半導体集積回路の周辺部に配置された入

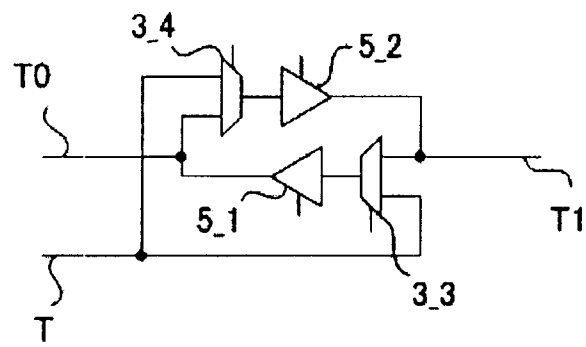
出力回路のブロックであることを特徴とするコンフィギュラブル回路。

- [10] 請求の範囲1から9のいずれか1項に記載のコンフィギュラブル回路であって、
前記配線直結スイッチは、プログラムされた抵抗状態を不揮発に記憶し、かつ、同じ占有面積のMOSトランジスタに比べて導通状態の抵抗が小さい、ことを特徴とするコンフィギュラブル回路。
- [11] 複数のロジックブロックと、該複数のロジックブロックに対応して分けられた信号伝送範囲毎に設けられた第1の配線と、隣接する信号伝送範囲の前記第1の配線同士の接続または遮断をプログラム可能な配線直結スイッチとを含むコンフィギュラブル回路のコンフィギュレーション方法であって、
隣接する前記第1の配線を前記配線直結スイッチを介して接続して第2の配線を形成し、
前記第1の配線の駆動に適した小駆動力バッファを配線直結スイッチによってプログラマブルに複数並列に接続することで、前記第2の配線の駆動に適した大駆動力バッファを形成する、ことを特徴とするコンフィギュレーション方法。
- [12] 請求の範囲11に記載のコンフィギュレーション方法であって、
複数の前記小駆動力バッファへの入力が、該複数の前記小駆動力バッファが設けられた信号伝送範囲以外の信号伝送範囲における前記第1の配線からの出力であることを特徴とするコンフィギュレーション方法。
- [13] 請求の範囲11に記載のコンフィギュレーション方法であって、
複数の前記小駆動力バッファへの入力が前記ロジックブロックからの出力であることを特徴とするコンフィギュレーション方法。
- [14] 請求の範囲11から13のいずれか1項に記載のコンフィギュレーション方法であって、
、
前記配線直結スイッチは、プログラムされた抵抗状態を不揮発に記憶し、かつ、同じ占有面積のMOSトランジスタに比べて導通状態の抵抗が小さい、ことを特徴とするコンフィギュレーション方法。

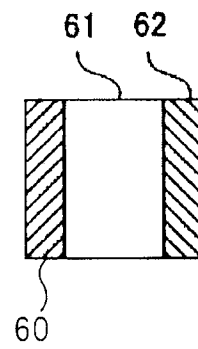
[図1]



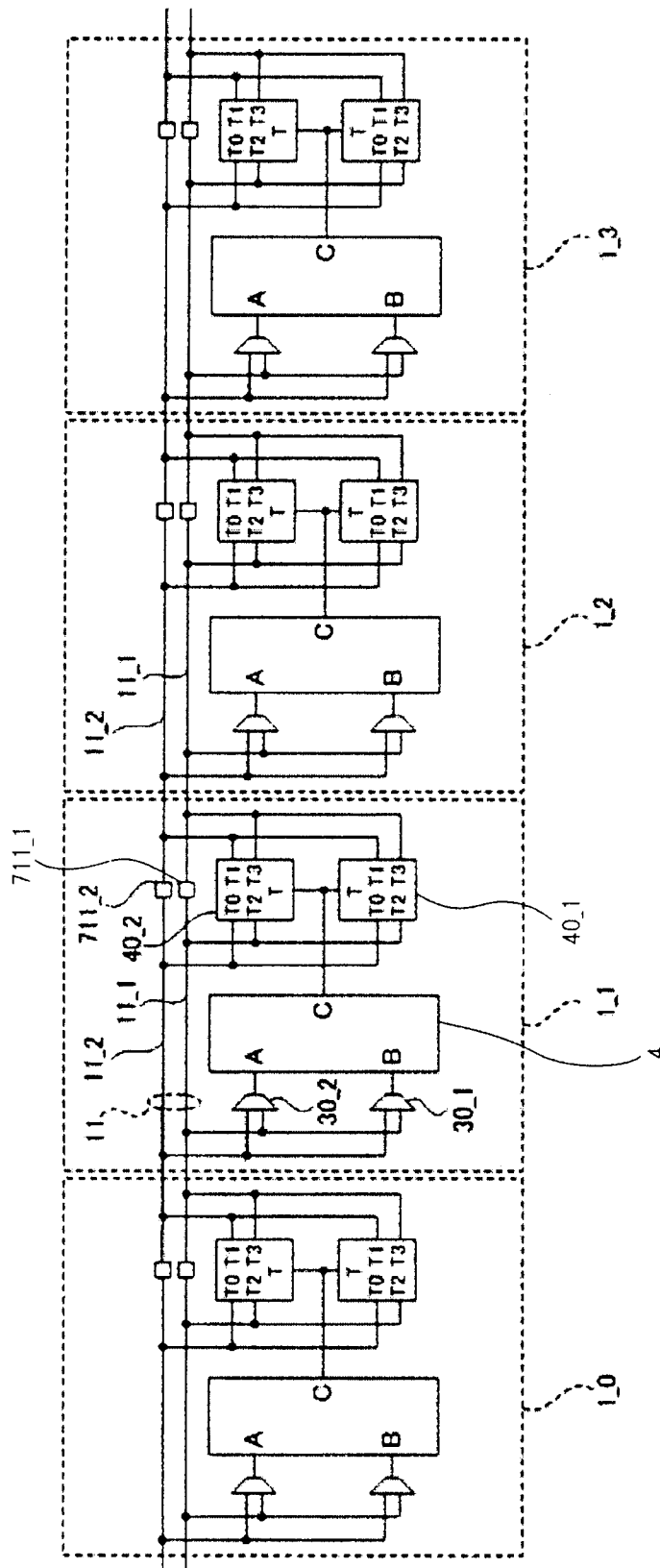
[図2]



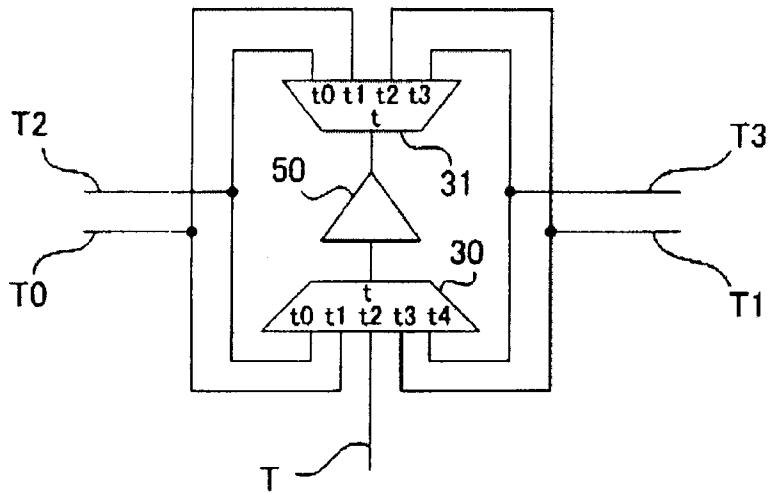
[図3]



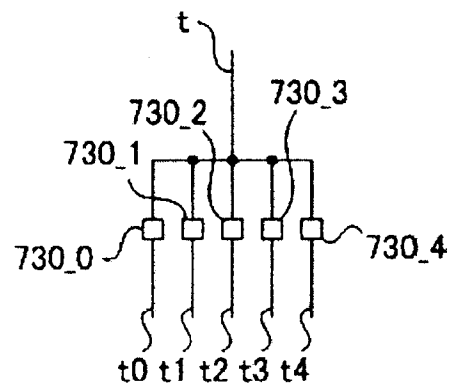
[図4]



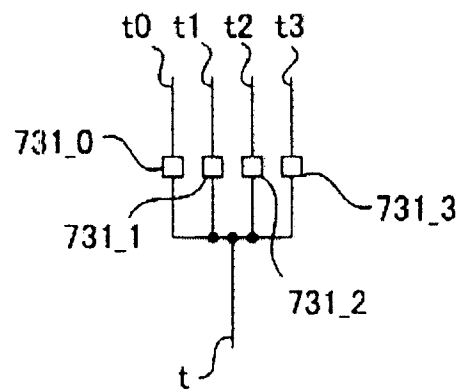
[図5]



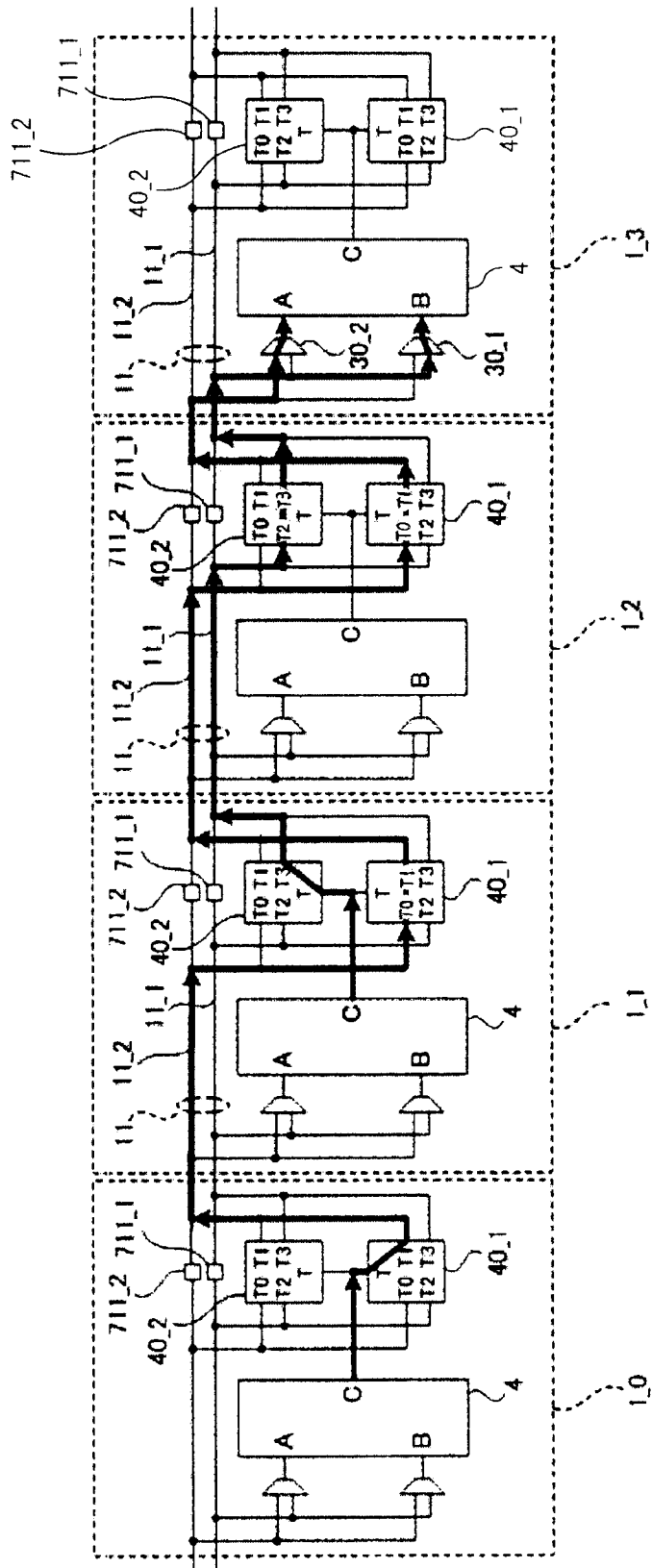
[図6]



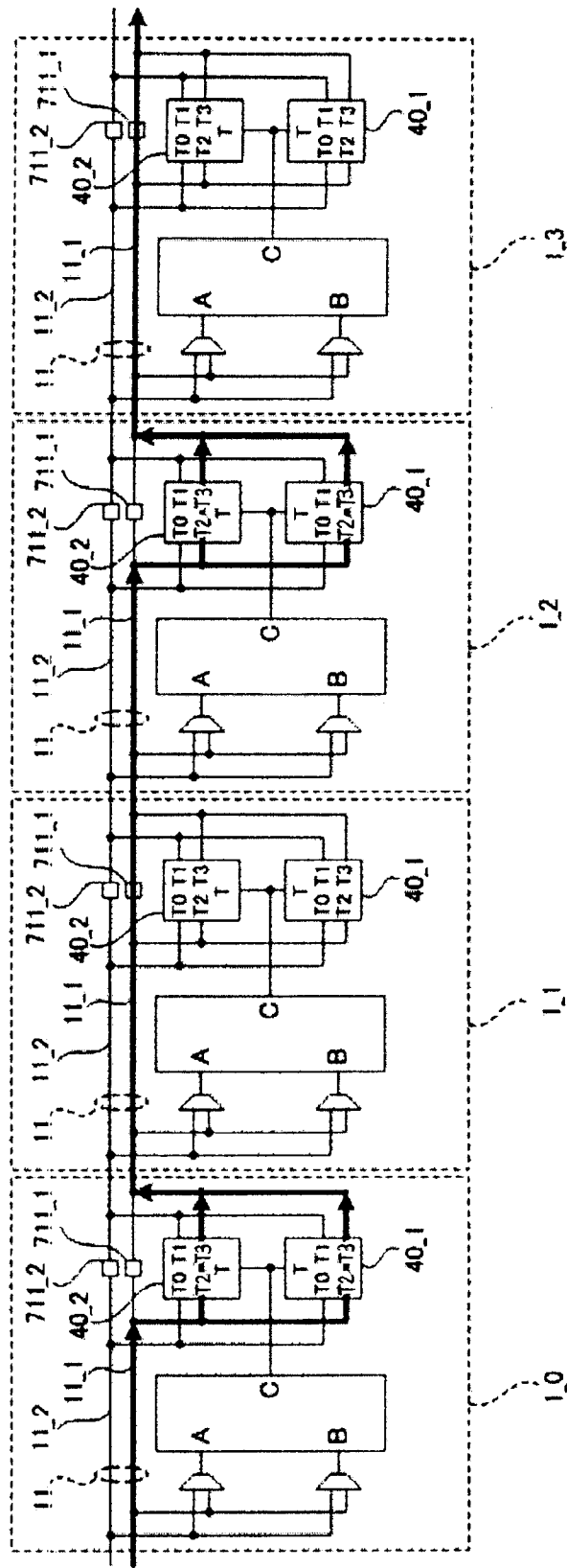
[図7]



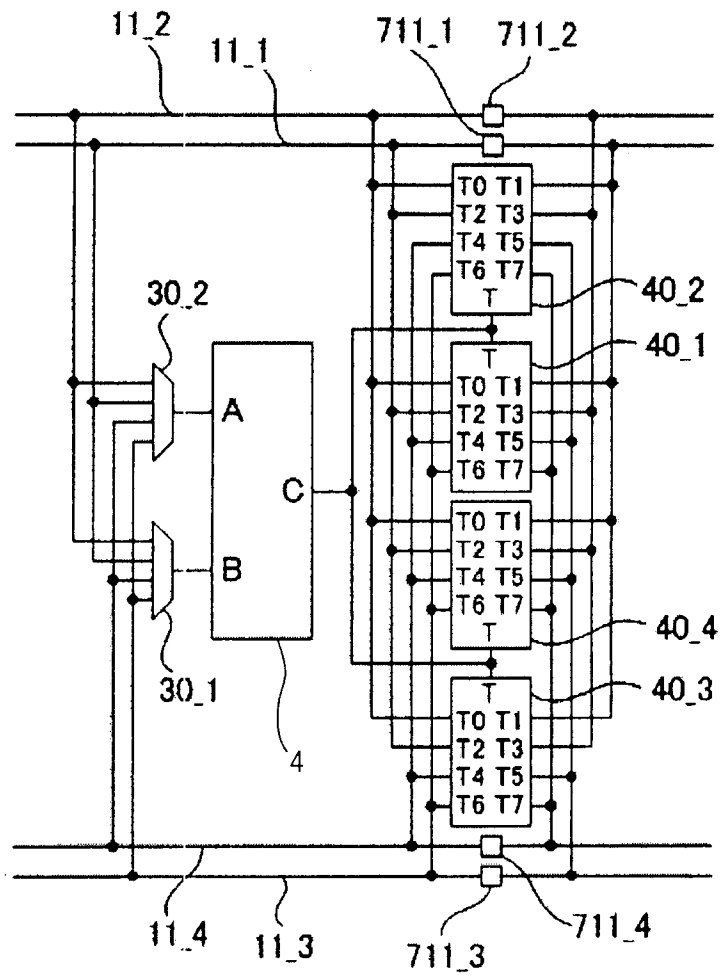
[図9]



[図10]

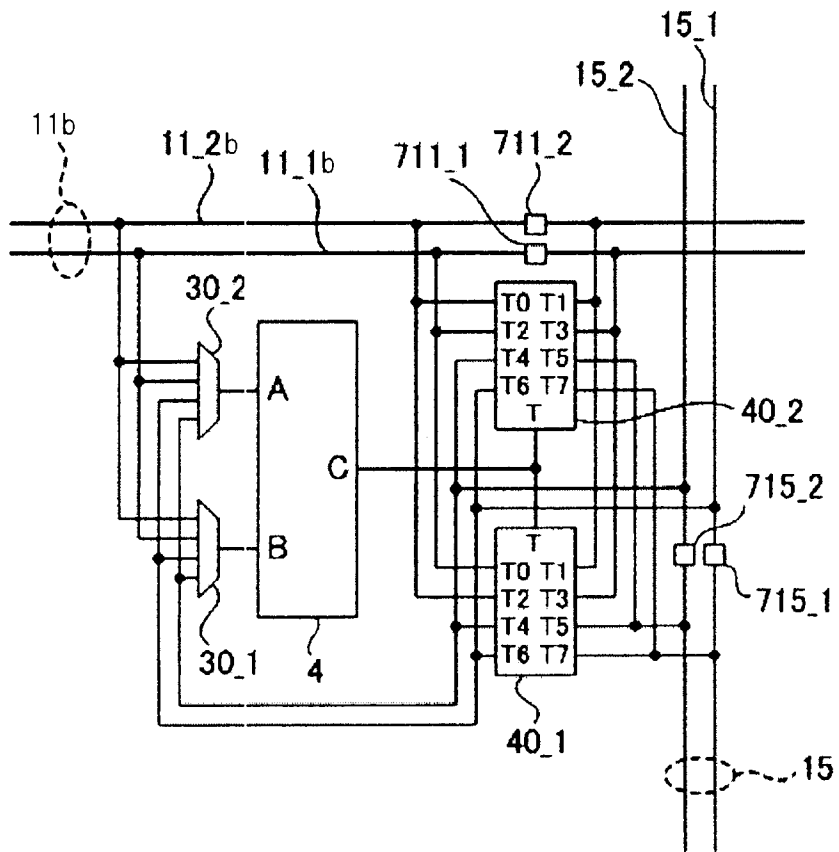


[図11]



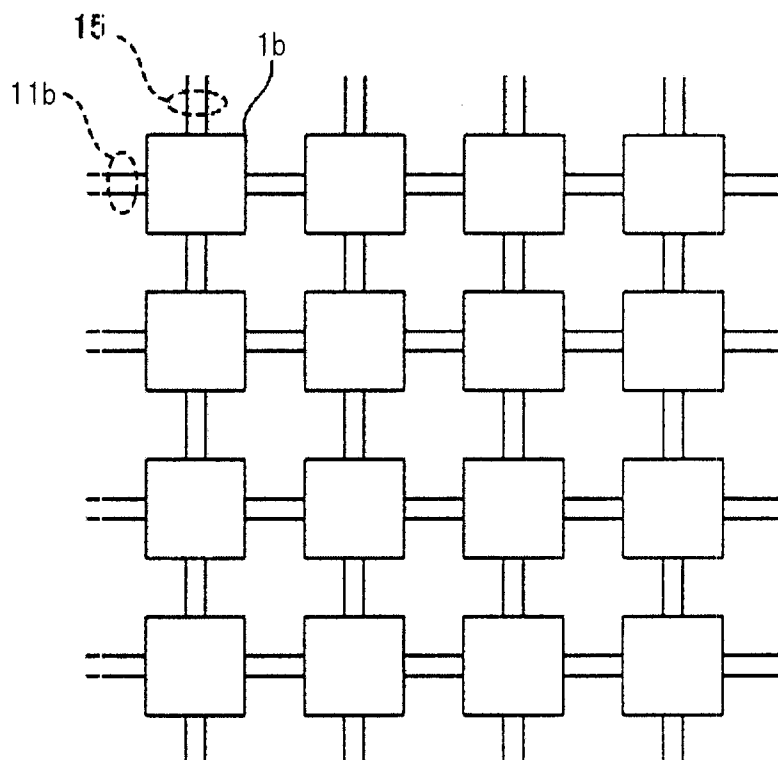
1a

[図12]

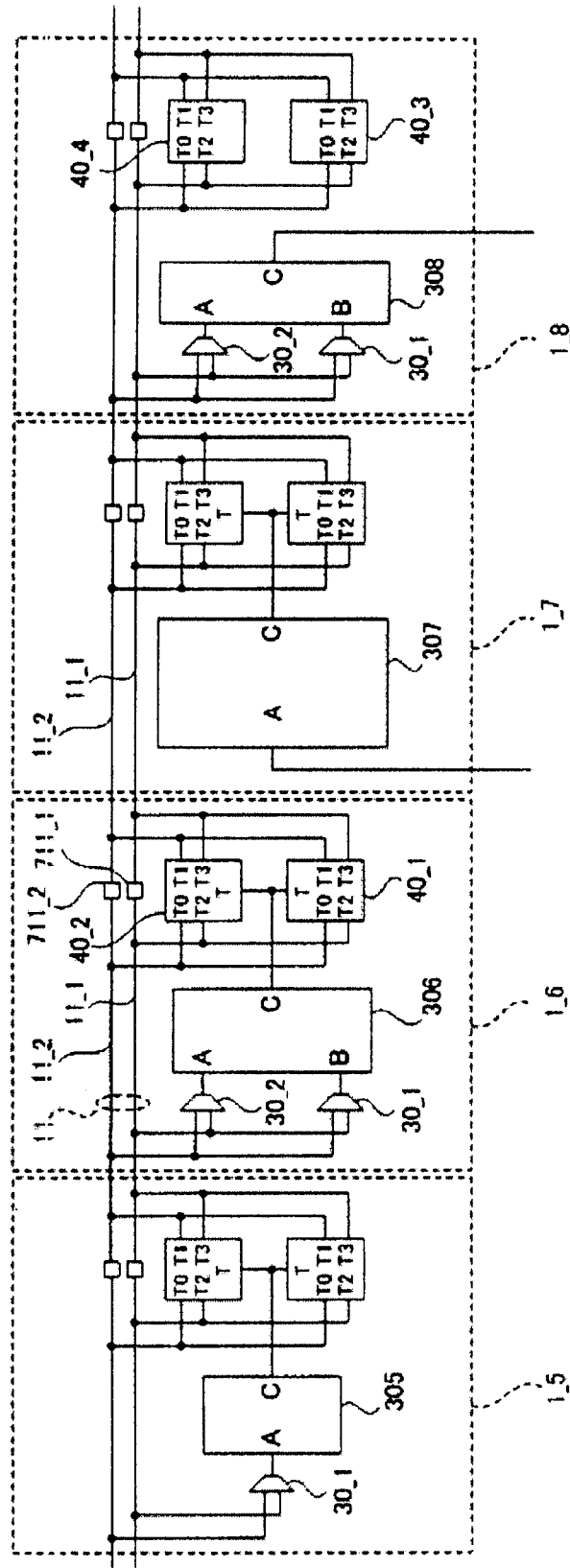


1b

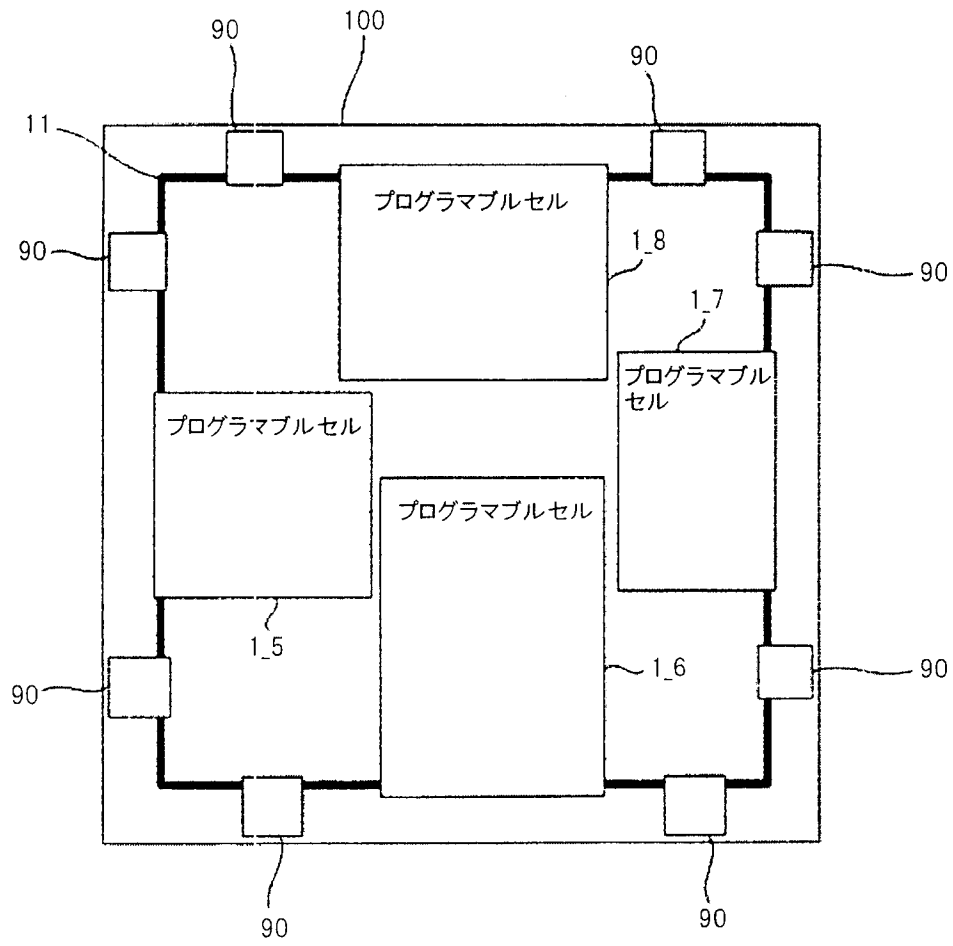
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/053592

A. CLASSIFICATION OF SUBJECT MATTER H03K19/173 (2006.01) i, H01L21/82 (2006.01) i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H03K19/173, H01L21/82		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2008 Kokai Jitsuyo Shinan Koho 1971-2008 Toroku Jitsuyo Shinan Koho 1994-2008		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-158815 A (Zaidan Hojin Kumamoto Techno Sangyo Zaidan), 16 June, 2005 (16.06.05), All pages; Figs. 1 to 5 (Family: none)	1-14
A	JP 11-353152 A (NEC Corp.), 24 December, 1999 (24.12.99), All pages; Figs. 1 to 44 & US 6188240 B1	1-14
A	JP 2005-57452 A (Matsushita Electric Industrial Co., Ltd.), 03 March, 2005 (03.03.05), All pages; Fig. 17 (Family: none)	1-14
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 08 May, 2008 (08.05.08)		Date of mailing of the international search report 20 May, 2008 (20.05.08)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H03K19/173(2006.01)i, H01L21/82(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H03K19/173, H01L21/82		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2008年 日本国実用新案登録公報 1996-2008年 日本国登録実用新案公報 1994-2008年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2005-158815 A (財団法人くまもとテクノ産業財団) 2005.06.16, 全頁, 図1-5 (ファミリーなし)	1-14
A	JP 11-353152 A (日本電気株式会社) 1999.12.24, 全頁, 図1-4 4 & US 6188240 B1	1-14
A	JP 2005-57452 A (松下電器産業株式会社) 2005.03.03, 全頁, 図1 7 (ファミリーなし)	1-14
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 08.05.2008	国際調査報告の発送日 20.05.2008	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 宮島 郁美 電話番号 03-3581-1101 内線 3596	5 X 8 5 2 3