

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5162807号
(P5162807)

(45) 発行日 平成25年3月13日(2013.3.13)

(24) 登録日 平成24年12月28日(2012.12.28)

(51) Int.Cl.

F 1

G09G	3/30	(2006.01)	G09G	3/30	J
G09G	3/20	(2006.01)	G09G	3/30	K
H01L	51/50	(2006.01)	G09G	3/20	6 1 1 H
			G09G	3/20	6 2 4 B
			G09G	3/20	6 4 1 D

請求項の数 2 (全 16 頁) 最終頁に続く

(21) 出願番号

特願2004-244833 (P2004-244833)

(22) 出願日

平成16年8月25日 (2004.8.25)

(65) 公開番号

特開2005-99772 (P2005-99772A)

(43) 公開日

平成17年4月14日 (2005.4.14)

審査請求日

平成19年6月19日 (2007.6.19)

(31) 優先権主張番号

特願2003-306803 (P2003-306803)

(32) 優先日

平成15年8月29日 (2003.8.29)

(33) 優先権主張国

日本国 (JP)

(73) 特許権者 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(74) 代理人 100095728

弁理士 上柳 雅善

(74) 代理人 100107261

弁理士 須澤 修

(72) 発明者 宮澤 貴士

長野県諏訪市大和3丁目3番5号 セイコ
ーエプソン株式会社内

審査官 佐野 潤一

最終頁に続く

(54) 【発明の名称】電気光学装置及び電子機器

(57) 【特許請求の範囲】

【請求項 1】

複数の走査線と、

第1のデータ線を含む複数のデータ線と、

第1の電源線、第2の電源線、及び第3の電源線を含むとともに、前記複数のデータ線と交差する方向に延在する複数の電源線と、

対向電極と、

前記第1のデータ線の延在方向に沿って隣り合うように配置された第1の画素回路及び第2の画素回路を含むとともに、前記複数の走査線と前記複数のデータ線との交差に対応して設けられた複数の画素回路と、

を含み、

前記第1の画素回路は、

前記第1のデータ線を介して供給された第1データ電流または第1データ電圧に応じた第1電荷を保持する第1キャパシタと、

前記第1キャパシタに保持された前記第1電荷に基づいて第1導通状態が設定される第1駆動トランジスタと、

第1スイッチングトランジスタと、

前記第1駆動トランジスタに電気的に接続され且つ前記対向電極と対向する第1画素電極を有する第1電気光学素子と、

を有し、

10

20

前記第2の画素回路は、

前記第1のデータ線を介して供給された第2データ電流または第2データ電圧に応じた第2電荷を保持する第2キャパシタと、

前記第2キャパシタに保持された前記第2電荷に基づいて第2導通状態が設定される第2駆動トランジスタと、

第2スイッチングトランジスタと、

前記第2駆動トランジスタに電気的に接続され且つ前記対向電極と対向する第2画素電極を有する第2電気光学素子と、

を有し、

前記第1の電源線は、前記第1駆動トランジスタの一方の端部に接続され、

10

前記第2の電源線は、前記第2駆動トランジスタの一方の端部に接続されるとともに、前記第1駆動トランジスタの他方の端部と前記第1画素電極との間の第1ノードに前記第1スイッチングトランジスタを介して接続され、

前記第3の電源線は、前記第2駆動トランジスタの他方の端部と前記第2画素電極との間の第2ノードに前記第2スイッチングトランジスタを介して接続され、

前記第1の電源線の電位を前記対向電極の電位よりも高くすることで、前記第1駆動トランジスタに設定された前記第1導通状態に応じて前記第1電気光学素子に第1駆動電流を供給し、

前記第2の電源線の電位を前記対向電極の電位よりも低くするとともに、前記第1スイッチングトランジスタをオンすることで、前記第1電気光学素子に逆バイアスを印加し、

20

前記第2の電源線の電位を前記対向電極の電位よりも高くすることで、前記第2駆動トランジスタに設定された前記第2導通状態に応じて前記第2電気光学素子に第2駆動電流を供給し、

第3の電源線の電位を前記対向電極の電位よりも低くするとともに、前記第2スイッチングトランジスタをオンすることで、前記第2電気光学素子に逆バイアスを印加することを特徴とする電気光学装置。

【請求項2】

請求項1に記載の電気光学装置を備えた電子機器。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、電気光学装置などの電子装置、電気光学装置の駆動方法および電子機器に係り、特に、画素回路に電圧を供給する電源線の共通化に関する。

【背景技術】

【0002】

近年、有機EL(Electronic Luminescence)素子を用いたディスプレイが注目されている。有機EL素子は、自己を流れる駆動電流に応じて輝度が設定される電流駆動型素子の一つである。有機EL素子を用いた画素へのデータ書き込み方式には、電流プログラム方式と電圧プログラム方式がある。電流プログラム方式は、データ線へのデータの供給を電流ベースで行う方式であり、電圧プログラム方式は、データ線へのデータの供給が電圧ベースで行う方式である。

40

【発明の開示】

【発明が解決しようとする課題】

【0003】

本発明の目的の一つは、電気光学素子やトランジスタ等の特性の変化や劣化等を防止し、かつ、画素回路に電圧を供給する電源線の本数の低減を図ることである。

【課題を解決するための手段】

【0004】

かかる課題を解決するために、本発明の第1の電気光学装置は、複数の走査線と、

複数のデータ線と、前記複数のデータ線と交差する方向に延在する複数の電源線と、前

50

記複数の走査線と前記複数のデータ線との交差に対応して複数の画素回路が設けられているとともに、前記複数の画素回路のそれぞれが、前記複数の電源線のうち互いに隣接した一対の電源線に共通接続された画素群と、前記複数の走査線に走査信号を出力することにより、前記走査線を選択する走査線駆動回路と、前記走査線駆動回路による前記走査線の選択と同期して、前記複数の電源線の電圧を可変に設定する電源線制御回路とを有することを特徴とする。

【0005】

本発明の第2の電気光学装置において、複数の走査線と、複数のデータ線と、前記複数のデータ線と交差する方向に延在する複数の電源線と、前記複数の走査線と前記複数のデータ線との交差に対応して設けられた複数の画素回路と、を含み、前記複数の電源線のうちの一つの電源線には、前記複数の画素回路のうち、前記複数のデータ線のうち一つのデータ線に沿って相隣接して配置された画素回路が接続されていることを特徴とする。10

【0006】

上記の電気光学装置において、前記複数の電源線のうち隣接する2つの電源線の一方の電源線の電圧値の経時変化は、当該2つの電源線の他方の電源線の電圧値の経時変化に対して所定時間分シフトしていることが好ましい。

【0007】

前記所定時間とは、例えば、水平走査期間であってもよい。

【0008】

上記の電気光学装置において、前記複数の画素回路の各々は、前記複数のデータ線の一つのデータ線を介して供給されたデータ電流またはデータ電圧に応じた電荷を保持するキャパシタと、前記キャパシタに保持された前記電荷に基づいて導通状態が設定される駆動トランジスタと、前記導通状態に応じて輝度が設定される電気光学素子とを有することが好ましい。20

【0009】

上記の電気光学装置において、前記電源線制御回路は、前記複数の電源線のうち、前記複数の画素回路の各々に接続された2つの電源線の電圧値を可変に設定することにより、前記駆動トランジスタに印加されるバイアス方向を変えるようにしてもよい。

【0010】

上記の電気光学装置において、前記2つの電源線のうちの一方の電源線は、前記駆動トランジスタの一方の端部に接続されて2つの電源線のうちの他方の電源線は、前記駆動トランジスタの他方の端部と前記電気光学素子との間のノードに接続されていることが好ましい。30

【0011】

上記の電気光学装置において、前記電源線制御回路は、所定の期間の一部である駆動期間において、前記一方の電源線の電圧を前記所定の電圧よりも高く設定することにより、前記駆動トランジスタに順バイアスを印加するとともに、前記所定の期間の一部であって前記駆動期間とは異なる期間において、前記他方の電源線の電圧を前記一方電源線の電圧よりも高く設定することにより、前記駆動トランジスタに非順バイアスを印加するようにしてもよい。40

【0012】

上記の電気光学装置において、前記電源線制御回路は、前記複数の電源線のうち、前記複数の画素回路の各々に接続された2つの電源線の電圧値を可変に設定することにより、前記電気光学素子に印加されるバイアス方向を変えるようにしてもよい。

【0013】

上記の電気光学装置において、前記2つの電源線のうちの一方の電源線は、前記駆動トランジスタの一方の端部に接続されており、前記2つの電源線のうちの他方の電源線は、前記駆動トランジスタの他方の端部と前記電気光学素子との間のノードに接続されているようにしてもよい。

【0014】

上記の電気光学装置において、前記電源線制御回路は、所定の期間の一部である駆動期間において、前記一方の電源線の電圧を前記所定の電圧よりも高く設定することにより、前記電気光学素子に順バイアスを印加するとともに、前記所定の期間の一部であって前記駆動期間とは異なる期間において、前記他方の電源線の電圧を前記所定の電圧よりも低く設定することにより、前記電気光学素子に非順バイアスを印加するようにしてもよい。

【0015】

本発明の電子機器は、上記の電気光学装置を実装したことを特徴とする。

【0016】

本発明の第1の電気光学装置の駆動方法は、複数の走査線と複数のデータ線との交差に対応して、各々が電気光学素子と駆動トランジスタとを含む複数の画素回路が設けられており、前記複数の画素回路のそれぞれが、前記複数の走査線に対応して設けられた複数の電源線のうち互いに隣接した一対の電源線に共通接続された電気光学装置の駆動方法において、前記複数の画素回路の各々に前記複数のデータ線のうちの一つのデータ線を介してデータ信号を供給する第1のステップと、前記データ信号により設定された前記駆動トランジスタの導通状態に応じた順バイアスを前記電気光学素子に印加する第2のステップと、前記電気光学素子に非順バイアス第3のステップと、前記順バイアスの印加による前記駆動トランジスタの特性の変化または劣化を回復させるための第4のステップと、を有することを特徴とする。

10

【0017】

上記の電気光学装置の駆動方法において、前記第3のステップ及び前記第4のステップは互いに異なる期間を利用して行うようにしてもよい。

20

【0018】

上記の電気光学装置の駆動方法において、前記第4のステップは前記電気光学素子と前記駆動トランジスタとの電気的接続を切った状態で行われるようにしてもよい。

【0019】

上記の電気光学装置の駆動方法において、前記第4ステップにおいて、前記駆動トランジスタには非順バイアスが印加されることが好ましい。

【0020】

上記の電気光学装置の駆動方法において、前記第2のステップにおいて、前記一方の電源線の電圧を前記所定の電圧よりも高く設定することにより、前記駆動トランジスタに順バイアスを印加し、前記第4のステップにおいて、前記他方の電源線の電圧を前記一方の電源線の電圧よりも高く設定することにより、前記駆動トランジスタに非順バイアスを印加するようにしてもよい。

30

【0021】

本発明の第2の電気光学装置の駆動方法は、複数の走査線と複数のデータ線との交差に対応して、各々が電気光学素子と駆動トランジスタとを含む複数の画素回路を備えた電気光学装置の駆動方法であって、前記複数の画素回路の各々に前記複数のデータ線のうちの一つのデータ線を介してデータ信号を供給する第1のステップと、前記データ信号により設定された前記駆動トランジスタの導通状態に応じた順バイアスを前記電気光学素子に印加する第2のステップと、前記電気光学素子に非順バイアス第3のステップと、前記駆動トランジスタに非順バイアスを印加する第4のステップとを有することを特徴とする。

40

【0022】

上記の電気光学装置の駆動方法において、前記駆動トランジスタの特性バラツキの補償を行った上で前記駆動トランジスタの導通状態を設定することが好ましい。

【0023】

本発明の第3の電気光学装置の駆動方法は、複数の走査線と複数のデータ線との交差に対応して、各々が電気光学素子と駆動トランジスタとを含む複数の画素回路を備えた電気光学装置の駆動方法であって、前記複数の画素回路の各々に前記複数のデータ線のうちの一つのデータ線を介してデータ信号を供給する第1のステップと、前記データ信号により設定された前記駆動トランジスタの導通状態に応じた順バイアスを前記電気光学素子に印

50

加する第2のステップと、前記電気光学素子及び前記駆動トランジスタの少なくともいずれか一方に非順バイアスを印加する第3のステップと、を含み、前記駆動トランジスタの特性バラツキの補償を行った上で前記駆動トランジスタの導通状態設定することを特徴とする。

【0024】

なお、本発明において「順バイアス」とは一義に設定されてしまうものばかりではなく、用途等に応じて適宜設定してもよい。また、本発明において「非順バイアス」とは、「順バイアス」の設定に応じて定義され、「順バイアス」と反対方向のバイアスまたは電流が流れないと意味している。

【発明の効果】

10

【0025】

本発明の効果の一つは、駆動トランジスタや電気光学素子の特性の変化や劣化を抑制すると同時に電源線の本数を減らすことが可能になる点である。

【発明を実施するための最良の形態】

【0026】

(第1の実施形態)

図1は、本実施形態にかかる電気光学装置のブロック構成図である。表示部1は、例えばTFT(Thin Film Transistor)によって電気光学素子を駆動するアクティブマトリクス型の表示パネルである。この表示部1には、mドット×nライン分の画素群がマトリクス状(二次元平面的)に並んでいる。表示部1には、それぞれが水平方向に延在している走査線群Y1~Ynと、それぞれが垂直方向に延在しているデータ線群X1~Xmとが設けられており、これらの交差に対応して画素2(画素回路)が配置されている。なお、後述する各実施形態にかかる画素回路の構成との関係で、図1に示した1つの走査線Yは4本の走査線Ya~Ydのセットを示している(図2および図8を参照)。また、本実施形態では、1つの画素2を画像の最小表示単位としているが、1つの画素2をRGBの3つのサブ画素で構成してもよい。

20

【0027】

電源線L1~Ln+1は、走査線Y1~Ynに対応して設けられており、表示部1を構成する各画素2に可変電圧に供給すべく、走査線Y1~Ynの延在方向、換言すれば、データ線X1~Xmと交差する方向に延在している。i番目(1~i~n)の走査線Yiに対応するmドット分の画素行には、i番目の電源線L(i)と、これと隣接した(i+1)番目の電源線L(i+1)とが共通接続されている。このように、上下の隣接した一対の電源線Lを1画素行に接続するため、表示部全体として必要な電源線Lの本数は、走査線Yの本数nよりも1つ多くなる。

30

【0028】

制御回路5は、図示しない上位装置より入力される垂直同期信号Vs、水平同期信号Hs、ドットクロック信号DCLKおよび階調データD等に基づいて、走査線駆動回路3、データ線駆動回路4および電源線制御回路6を同期制御する。この同期制御の下、これらの回路3, 4, 6は、互いに協働して表示部1の表示制御を行う。

40

【0029】

走査線駆動回路3は、シフトレジスタ、出力回路等を主体に構成されており、走査線Y1~Ynに走査信号SELを出力することによって、走査線Y1~Ynの選択を行う。走査信号SELは、高電位レベル(以下「Hレベル」という)または低電位レベル(以下「Lレベル」という)の2値的な信号レベルをとり、データの書き込み対象となる画素行に対応する走査線YはHレベル、これ以外の走査線YはLレベルにそれぞれ設定される。これにより、1フレームの画像を表示する期間(1F)毎に、所定の選択順序で(一般的には最上から最下に向かって)、それぞれの走査線Yを順番に選択する順次走査が行われる。

【0030】

データ線駆動回路4は、シフトレジスタ、ラインラッチ回路、出力回路等を主体に構成されている。データ線駆動回路4は、1本の走査線Yを選択する期間に相当する1水平走

50

査期間（1H）において、今回データを書き込む画素行に対するデータの一斉出力と、次の1Hで書き込みを行う画素行に関するデータの点順次的なラッチとを同時に使う。ある1Hにおいて、データ線Xの本数に相当するm個のデータが順次ラッチされる。そして、次の1Hにおいて、ラッチされたm個のデータは、データ電流I_{data}として、対応するデータ線X₁～X_mに対して一斉に出力される。本実施形態は電流プログラム方式に関するものであり、この方式を採用する場合、データ線駆動回路4は、画素2の表示階調に相当するデータ（データ電圧V_{data}）をデータ電流I_{data}へと変換する可変電流源を含む。一方、後述する第2の実施形態のように、電圧プログラム方式を採用する場合、このような可変電流源をデータ線駆動回路4が備える必要はなく、画素2の階調を規定する電圧レベルのデータ電圧V_{data}がデータ線X₁～X_mに出力される。

10

【0031】

一方、電源線制御回路6は、シフトレジスタ、出力回路等を主体に構成されている。電源線L₁～L_{n+1}の電圧は、走査線駆動回路3による走査線Yの選択と同期して可変に設定され、基準電圧V_{ss}（例えば0V）よりも高い電源電圧V_{dd}または基準電圧V_{ss}よりも低い電圧V_{rds}のいずれかに設定される。

【0032】

図2は、本実施形態にかかるボルテージフォロワ型電流プログラム方式の画素回路図である。i番目の画素行における1つの画素回路には、i番目の走査線Y_iを構成する4本の走査線Y_a～Y_d、この走査線Y_iに対応するi番目の電源線L_(i)および(i+1)番目の電源線L_(i+1)が接続されている。ここで、i番目および(i+1)番目は、表示部1の配置上において物理的に隣接しているが、線順次走査の順序においても隣接している。

20

【0033】

この画素回路は、電流駆動型素子の一形態である有機EL素子OLED、6つのトランジスタT₁～T₆、およびデータを保持するキャパシタC₁によって構成されている。本実施形態では、アモルファスシリコンによってTFTが形成されているため、トランジスタT₁～T₆のチャネル型はすべてn型になっているが、チャネル型はこれに限定されるものではない（後述する第2の実施形態についても同様）。また、本明細書では、ソース、ドレインおよびゲートを備える三端子型素子であるトランジスタに関して、ソースまたはドレインの一方を「一方の端子」、他方を「他方の端子」とそれぞれ呼ぶ。

30

【0034】

スイッチングトランジスタT₁は、そのゲートが第1の走査信号S_{EL1}が供給される第1の走査線Y_aに接続されており、この走査信号S_{EL1}によって導通制御される。このスイッチングトランジスタT₁の一方の端子は、データ電流I_{data}が供給されるデータ線Xに接続されており、その他方の端子は、ノードN₃に接続されている。このノードN₃には、スイッチングトランジスタT₁以外にも、スイッチングトランジスタT₆の一方の端子と、駆動トランジスタT₃の一方の端子とが共通接続されている。このスイッチングトランジスタT₆は、その他方の端子が電源線L_(i)に接続され、そのゲートが第4の走査信号S_{EL4}が供給される第4の走査線Y_dに接続されているとともに、この走査信号S_{EL4}によって導通制御される。一方、スイッチングトランジスタT₂は、そのゲートが第1の走査信号S_{EL1}が供給される第1の走査線Y_aに接続されており、スイッチングトランジスタT₁と同様、この走査信号S_{EL1}によって導通制御される。このスイッチングトランジスタT₂の一方の端子は、データ線Xに接続され、その他方の端子は、ノードN₁に接続されている。このノードN₁には、スイッチングトランジスタT₂以外にも、キャパシタC₁の一方の電極と、駆動トランジスタT₃のゲートとが共通接続されている。キャパシタC₁の他方の電極は、ノードN₂に接続されている。このノードN₂には、キャパシタC₁以外にも、駆動トランジスタT₃の他方の端子と、スイッチングトランジスタT₄の一方の端子と、スイッチングトランジスタT₅の一方の端子とが共通接続されている。駆動トランジスタT₃のソース、ゲートに相当するノードN₁、N₂の間にキャパシタC₁を設けることにより、ボルテージフォロワ型の回路が構成される。スイッチングトランジスタT₄は、

40

50

その他方の端子が電源線 L_(i+1)に接続され、そのゲートが第 2 の走査信号 S_EL₂が供給される第 2 の走査線 Y_bに接続されているとともに、この走査信号 S_EL₂によって導通制御される。スイッチングトランジスタ T₅は、その他方の端子が有機 EL 素子 OLED のアノード（陽極）に接続され、そのゲートが第 3 の走査信号 S_EL₃が供給される第 3 の走査線 Y_cに接続されているとともに、この走査信号 S_EL₃によって導通制御される。この有機 EL 素子 OLED のカソード（陰極）、すなわち、対向電極には、基準電圧 V_{ss}が固定的に印加されている。

【 0 0 3 5 】

図 3 は、図 2 に示した画素回路の動作タイミングチャートである。上述した 1 F に相当する期間 t₀ ~ t₄における一連の動作プロセスは、最初の期間 t₀ ~ t₁におけるデータ書込プロセス、期間 t₁ ~ t₂における駆動プロセス、期間 t₂ ~ t₃における第 1 の逆バイアスの印加プロセス、および期間 t₃ ~ t₄における第 2 の逆バイアスの印加プロセスに大別される。

【 0 0 3 6 】

まず、データ書込期間 t₀ ~ t₁では、図 4 に示す動作によって、キャパシタ C₁に対するデータの書き込みが行われる。具体的には、第 1 の走査信号 S_EL₁が H レベルになつて、スイッチングトランジスタ T₁, T₂が共にオンする。これにより、駆動トランジスタ T₃のドレインに相当するノード N₃と、データ線 X とが電気的に接続される。それとともに、駆動トランジスタ T₃は、トランジスタ T₁, T₂とデータ線 X とを介して、自己のゲートと自己のドレインとが電気的に接続されたダイオード接続となる。また、第 2 の走査信号 S_EL₂が L レベル、第 3 の走査信号 S_EL₃が H レベルであるから、スイッチングトランジスタ T₄がオフし、スイッチングトランジスタ T₅がオンする。これにより、電源線 L_(i+1)を介したノード N₂に対する電圧 V_{L(i+1)} (= V_{rvs}) の供給が停止するとともに、ノード N₂と有機 EL 素子 OLED のアノードとが電気的に接続される。さらに、第 4 の走査信号 S_EL₄が L レベルであるから、スイッチングトランジスタ T₆がオフする。これにより、電源線 L_(i)を介したノード N₃に対する電圧 V_{L(i)}の供給が停止する。その結果、同図において矢印で示したように、データ線 X から基準電圧 V_{ss}に向って、トランジスタ T₁, T₃, T₅、有機 EL 素子 OLED の順序で流れるデータ電流 I_{data}の経路が形成される。駆動トランジスタ T₃は、データ線 X より供給されたデータ電流 I_{data}を自己のチャネルに流し、このデータ電流 I_{data}に応じたゲート電圧 V_gをノード N₁に発生する。これにより、キャパシタ C₁には、発生したゲート電圧 V_gに応じた電荷が蓄積され、蓄積された電荷量に相当するデータが書き込まれる。このように、データ書込期間 t₀ ~ t₁において、駆動トランジスタ T₃は、キャパシタ C₁にデータを書き込むプログラミングトランジスタとして機能する。なお、データ電流 I_{data}の経路中に有機 EL 素子 OLED が含まれるため、このデータ書込プロセスにおいて、有機 EL 素子 OLED が発光し始める。

【 0 0 3 7 】

つぎに、駆動期間 t₁ ~ t₂では、図 5 に示す動作によって、駆動電流 I_{oled}が有機 EL 素子 OLED を流れ、有機 EL 素子 OLED が発光する。1 H (すなわち、1 本の走査線 Y が選択される選択期間) に相当する書込期間 t₀ ~ t₁が経過すると、第 1 の走査信号 S_EL₁が L レベルに立ち下がって、スイッチングトランジスタ T₁, T₂が共にオフする。これにより、データ電流 I_{data}が供給されるデータ線 X とノード N₃とが電気的に分離され、駆動トランジスタ T₃のダイオード接続も解除される。ただし、このダイオード接続が解除された後も、駆動トランジスタ T₃のゲートに相当するノード N₁には、キャパシタ C₁に保持されているデータに応じたゲート電圧 V_gが印加され続ける。そして、第 1 の走査信号 S_EL₁が L レベルになると「同期」して、第 4 の走査信号 S_EL₄が H レベルに立ち上がって、スイッチングトランジスタ T₆がオンする。本明細書では、「同期」という用語を、同一タイミングである場合のみならず、設計上のマージン等の理由で若干の時間的なオフセットを許容する意味で用いている。これにより、電源線 L_(i)の電圧 V_{L(i)}、すなわち、基準電圧 V_{ss}よりも高い電源電圧 V_{dd}がノード N₃に供給される。なお、先のデータ書込期間 t₀ ~ t₁と同様、この期間 t₁ ~ t₂でも、スイッチングトランジスタ T₄はオ

10

20

30

40

50

フ、スイッチングトランジスタT5はオンのままである。その結果、駆動トランジスタT3および有機EL素子OLEDの双方に順バイアスが印加され、 $VL(i) = Vdd$ に設定された電源線L(i)から対向電極側の基準電圧 Vss に向かって、トランジスタT6, T3, T5、有機EL素子OLEDの順序で流れる駆動電流 I_{oled} の経路が形成される。有機EL素子OLEDを流れる駆動電流 I_{oled} は、駆動トランジスタT3のチャネル電流に相当し、その電流レベルは、キャパシタC1の蓄積電荷(保持データ)に起因したゲート電圧 Vg によって設定される。有機EL素子OLEDは、駆動トランジスタT3が発生した駆動電流 I_{oled} に応じた輝度で発光し、これによって、画素2の階調が設定される。

【0038】

続く第1の逆バイアス印加期間 $t_2 \sim t_3$ では、図6に示す動作によって、駆動トランジスタT3に対して非順バイアス、すなわち、駆動期間 $t_1 \sim t_2$ における順バイアスとは異なる方向のバイアスが印加される。具体的には、第3の走査信号SEL3がLレベルに立ち下がるとともに、これと同期して、第2の走査信号SEL2がHレベルに立ちがある。これにより、ノードN2と有機EL素子OLEDのアノードとが電気的に分離され、 $VL(i+1) = Vdd$ に設定された電源線L(i+1)によってノードN2の電圧V2が Vdd に設定される。また、この期間 $t_2 \sim t_3$ でも、スイッチングトランジスタT6はオンのままであるが、電源線L(i)の電圧 $VL(i)$ は、先の駆動期間 $t_1 \sim t_2$ における $VL(i) = Vdd$ とは異なり、基準電圧 Vss よりも低い電圧 $Vrvs$ に設定されている。したがって、ノードN2の電圧V2は電源線L(i)の電圧 $VL(i) (= Vrvs)$ よりも高い Vdd になる。その結果、駆動トランジスタT3に作用するバイアス(ノードN2, N3間の電圧関係)は、先の駆動期間 $t_1 \sim t_2$ のそれとは逆になる。このように、駆動トランジスタT3に逆バイアス(非順バイアスの一形態)を印加することにより、駆動トランジスタT3の V_{th} シフト、すなわち、同一方向のバイアスのみが印加し続けることで、駆動トランジスタT3のしきい値 V_{th} が経時変化してしまう現象等の特性の変化や劣化を抑制できる。

【0039】

最後に、第2の逆バイアス印加期間 $t_3 \sim t_4$ では、図7に示す動作によって、有機EL素子OLEDに対して非順バイアス、すなわち、駆動期間 $t_1 \sim t_2$ における順バイアスとは異なる方向のバイアスが印加される。具体的には、第4の走査信号SEL4がLレベルに立ち下がるとともに、これと同期して、第3の走査信号SEL3がHレベルに立ちがある。これにより、ノードN3と電源線L(i)とが電気的に分離され、ノードN2と有機EL素子OLEDのアノードとが電気的に接続される。また、この期間 $t_3 \sim t_4$ でも、スイッチングトランジスタT4はオンのままであるが、電源線L(i+1)の電圧 $VL(i+1)$ は、先の期間 $t_2 \sim t_3$ における $VL(i+1) = Vdd$ とは異なり $Vrvs$ に設定されている。したがって、ノードN2の電圧V2は対向電極の基準電圧 Vss よりも低い $Vrvs$ になる。その結果、有機EL素子OLEDに作用するバイアスは、駆動期間 $t_1 \sim t_2$ のそれとは逆になる。このように、有機EL素子OLEDに逆バイアスを印加することにより、有機EL素子OLEDの長寿命化を図ることが可能になる。

【0040】

図3に示した電源線L(i+1)の電圧 $VL(i+1)$ の経時変化は、電源線L(i)それに対して1H分オフセットしている。そして、(i+1)番目の画素行に関しては、タイミング t_0 から1Hが経過したタイミング t_1 を始点として、電源線L(i+1), L(i+2)を用いた動作プロセスが上述したプロセスと同様に行われる(それ以降の画素行についても同様)。

【0041】

このように、本実施形態では、隣接した一対の電源線L(i), L(i+1)を画素回路に共通接続し、これらの電圧 $VL(i)$, $VL(i+1)$ を走査線Yの選択と同期して可変に設定する。これらの電圧 $VL(i)$, $VL(i+1)$ は、同一波形であり、所定期間分(ここでは1H分)オフセットさせた関係になっている。そして、(i+1)番目の画素行の動作プロセスで本来使用すべき電源線L(i+1)をi番目の画素行の動作プロセスでも使用する。このように、電源線Lの共通化を図ることで、電源線Lの本数を減らすことが可能になる。

【0042】

10

20

30

40

50

また、本実施形態によれば、電源線 $L(i)$, $L(i+1)$ の電圧 $V_L(i)$, $V_L(i+1)$ を可変に設定することにより、駆動トランジスタ T3 に非順バイアスを印加するとともに、有機 E L 素子 OLED にも非順バイアスを印加する。駆動トランジスタ T3 に非順バイアスを印加することにより、駆動トランジスタ T3 における V_{th} シフト等の特性の変化を有効に抑制することが可能になる。また、有機 E L 素子 OLED に非順バイアスを印加することにより、有機 E L 素子 OLED の長寿命化を図ることができる。電源線 $L(i)$, $L(i+1)$ の電圧 $V_L(i)$, $V_L(i+1)$ を振る手法は、対向電極の電圧 V_{ca} を振る手法と比較して、回路負担を軽減でき、フレーム設定等を行う上でも有利になる。

【0043】

(第2の実施形態)

10

図8は、本実施形態にかかるボルテージフォロワ型電圧プログラム方式の画素回路図である。 i 番目の画素行における1つの画素回路には、 i 番目の走査線 Y_i を構成する4本の走査線 $Y_a \sim Y_d$ 、この走査線 Y_i に対応する i 番目の電源線 $L(i)$ 、および、これと隣接した($i+1$)番目の電源線 $L(i+1)$ が接続されている。この画素回路は、有機 E L 素子 OLED、5つのトランジスタ T1 ~ T5、およびデータを保持するキャパシタ C1, C2 によって構成されている。

【0044】

スイッチングトランジスタ T1 は、そのゲートが第1の走査信号 $S_E L_1$ が供給される第1の走査線 Y_a に接続されており、この走査信号 $S_E L_1$ によって導通制御される。このスイッチングトランジスタ T1 の一方の端子は、データ電圧 V_{data} が供給されるデータ線 X に接続されており、その他方の端子は、第1のキャパシタ C1 の一方の電極に接続されている。このキャパシタ C1 の他方の電極は、ノード N1 に接続されている。このノード N1 には、第1のキャパシタ C1 以外に、駆動トランジスタ T3 のゲート、スイッチングトランジスタ T2 の一方の端子、および第2のキャパシタ C2 の一方の電極が共通接続されている。駆動トランジスタ T3 の一方の端子は、電源線 $L(i)$ に接続されており、その他方の端子は、ノード N2 に接続されている。このノード N2 には、駆動トランジスタ T3 以外に、スイッチングトランジスタ T2 の他方の端子、第2のキャパシタ C2 の他方の電極、スイッチングトランジスタ T4 の一方の端子、およびスイッチングトランジスタ T5 の一方の端子が共通接続されている。駆動トランジスタ T3 のソース、ゲートに相当するノード N1, N2 の間にキャパシタ C2 を設けることにより、ボルテージフォロワ型の回路が構成される。スイッチングトランジスタ T4 は、その他方の端子が電源線 $L(i+1)$ に接続され、そのゲートが第3の走査信号 $S_E L_3$ が供給される第3の走査線 Y_c に接続されるとともに、この走査信号 $S_E L_3$ によって導通制御される。スイッチングトランジスタ T5 は、その他方の端子が有機 E L 素子 OLED のアノード(陽極)に接続され、そのゲートが第4の走査信号 $S_E L_4$ が供給される第4の走査線 Y_d に接続されるとともに、この走査信号 $S_E L_4$ によって導通制御される。この有機 E L 素子 OLED のカソード(陰極)、すなわち対向電極には、基準電圧 V_{ss} が固定的に印加されている。

20

【0045】

図9は、図8に示した画素回路の動作タイミングチャートである。本実施形態において、1Fに相当する期間 $t_0 \sim t_5$ における一連の動作プロセスは、期間 $t_0 \sim t_1$ における初期化プロセス、期間 $t_1 \sim t_2$ におけるデータ書き込みプロセス、駆動期間 $t_2 \sim t_3$ における駆動プロセス、期間 $t_3 \sim t_4$ における逆バイアスの印加プロセス、および期間 $t_4 \sim t_5$ における待機プロセスに大別される。

30

【0046】

まず、初期化期間 $t_0 \sim t_1$ では、図10に示す動作によって、駆動トランジスタ T3 に対する非順バイアスの印加と V_{th} 補償とが同時に行われる。具体的には、走査信号 $S_E L_1$, $S_E L_4$ が L レベルになって、スイッチングトランジスタ T1, T5 が共にオフする。これにより、第1のキャパシタ C1 とデータ線 X とが電気的に分離されるとともに、有機 E L 素子 OLED とノード N2 とが電気的に分離される。また、第2の走査信号 $S_E L_2$ が H レベルになって、スイッチングトランジスタ T2 がオンする。さらに、初期化期間 $t_0 \sim t_1$ の

40

50

一部期間（前半）において、第3の走査信号S E L3がHレベルになって、スイッチングトランジスタT4がオンする。ここで、電源線L(i)はVL(i)=Vrvsに設定されており、ノードN2の電圧V2は、電源線L(i+1)を介した電圧Vddの供給によって、電源線L(i)の電圧VL(i)、すなわちVrvsよりも高い電圧になっている。このような電圧関係より、駆動トランジスタT3には、駆動電流Ioledが流れる方向とは逆方向のバイアスが印加され、自己のゲートと自己のドレイン（ノードN2側の端子）とが順方向に接続されたダイオード接続となる。その後、第3の走査信号S E L3がLレベルに立ち下がって、スイッチングトランジスタT4がオフすると、ノードN2の電圧V2（およびこれと直結したノードN1の電圧V1）がオフセット電圧（Vrvs+Vth）に設定される。ノードN1に接続されたキャパシタC1, C2は、データの書き込みに先立ち、ノードN1の電圧V1がオフセット電圧（Vrvs+Vth）になるような電荷状態に設定される。このように、データの書き込みに先立ち、ノードN1の電圧をオフセット電圧（Vrvs+Vth）にオフセットさせておくことにより、駆動トランジスタT3のしきい値Vthを補償することが可能になる。10

【0047】

つぎに、データ書込期間t1~t2では、図11に示す動作によって、初期化期間t0~t1にて設定されたオフセット電圧（Vss+Vth）を基準に、キャパシタC1, C2に対するデータの書き込みが行われる。具体的には、第2の走査信号S E L2がLレベルに立ち下がって、スイッチングトランジスタT2がオフし、駆動トランジスタT3のダイオード接続が解除される。この走査信号S E L2の立ち下がりと同期して、第1の走査信号S E L1がHレベルに立ち上がって、スイッチングトランジスタT1がオンする。これにより、データ線Xと第1のキャパシタC1とが電気的に接続される。そして、タイミングt1から所定の時間が経過した時点で、データ線Xの電圧Vxが基準電圧Vrvsからデータ電圧Vdataに立ち上がる。データ線XおよびノードN1は、第1のキャパシタC1を介して容量結合している。そのため、このノードN1の電圧V1は、数式1に示すように、データ線Xの電圧変化量Vdata（=Vdata-Vss）に応じて、オフセット電圧（Vrvs+Vth）を基準として・Vdata分だけ上昇する。なお、同数式において、係数は、第1のキャパシタC1の容量Caと第2のキャパシタC2の容量Cbとの容量比によって一義的に特定される係数である（=Ca/（Ca+Cb））。20

【0048】

（数式1）30

$$\begin{aligned} V1 &= Vrvs + Vth + \cdot Vdata \\ &= Vrvs + Vth + (Vdata - Vss) \end{aligned}$$

【0049】

キャパシタC1, C2には、数式1より算出される電圧V1に相当する電荷がデータとして書き込まれる。この期間t1~t2において、ノードN2の電圧V2は、ノードN1の電圧変動の影響を受けることなく、ほぼVrvs+Vthに維持される。なぜなら、これらのノードN1, N2は、第2のキャパシタC2を介して容量結合しているものの、通常、このキャパシタC2の容量は有機EL素子OLEDの自己容量よりも十分に小さいからである。なお、この期間t1~t2において、電源線L(i)をVL=Vssにする理由は、駆動電流Ioledを流さないことで、有機EL素子OLEDの発光を規制するためである。なお、この期間t1~t2において、スイッチングトランジスタT5がオフしているので、駆動電流Ioledが流れず、有機EL素子OLEDは発光しない。40

【0050】

そして、駆動期間t2~t3では、図12に示す動作によって、駆動トランジスタT3のチャネル電流に相当する駆動電流Ioledが有機EL素子OLEDに供給され、有機EL素子OLEDが発光する。具体的には、第1の走査信号S E L1がLレベルに立ち下がって、スイッチングトランジスタT1がオフする。これにより、データ電圧Vdataが供給されるデータ線Xと第1のキャパシタC1とが電気的に分離されるが、駆動トランジスタT3のゲートN1には、キャパシタC1, C2に保持されているデータに応じた電圧が印加され続ける。そして、第1の走査信号S E L1の立ち下がりと同期して、第4の走査信号S E L4がHレベル50

ルに立ち上がり、スイッチングトランジスタT5がオンするとともに、電源線L(i)の電圧VL(i)もVrvsからVddに立ち上がる。その結果、電源線L(i)から対向電極の基準電圧Vssに向かう方向に駆動電流Ioledの経路が形成される。駆動トランジスタT3が飽和領域で動作することを前提として、有機EL素子OLEDを流れる駆動電流Ioled(駆動トランジスタT3のチャネル電流Ids)は、数式2に基づいて算出される。同数式において、Vgsは、駆動トランジスタT3のゲート-ソース間電圧である。また、利得係数μは、駆動トランジスタT3のキャリアの移動度μ、ゲート容量A、チャネル幅W、チャネル長Lより一義的に特定される係数である($\mu = \mu A W / L$)。

【0051】

(数式2)

$$\begin{aligned} Ioled &= Ids \\ &= /2 (V_{gs} - V_{th})^2 \end{aligned}$$

【0052】

ここで、駆動トランジスタT3のゲート電圧Vgとして数式1で算出されたV1を代入すると、数式2は数式3のように変形できる。

【0053】

(数式3)

$$\begin{aligned} Ioled &= /2 (V_g - V_s - V_{th})^2 \\ &= /2 \{ (V_{rvs} + V_{th} + V_{data}) - V_s - V_{th} \}^2 \\ &= /2 (V_{rvs} + V_{data} - V_s)^2 \end{aligned}$$

10

20

【0054】

数式3において留意すべき点は、駆動トランジスタT3が発生する駆動電流Ioledは、Vthの相殺によって、駆動トランジスタT3のしきい値Vthに依存しない点である。したがって、キャパシタC1, C2に対するデータの書き込みをVthを基準に行えば、製造バラツキや経時変化等によってVthにバラツキが生じたとしても、その影響を受けることなく駆動電流Ioledを生成できる。

【0055】

有機EL素子OLEDの発光輝度は、データ電圧Vdata(電圧変化量Vdata)に応じた駆動電流Ioledにより決定され、これによって、画素2の階調が設定される。なお、図12に示した経路で駆動電流Ioledが流れると、駆動トランジスタT3のソース電圧V2は、有機EL素子OLEDの自己抵抗に起因した電圧降下Velに応じて、当初のVrvs+Vthよりも上昇する。しかしながら、駆動トランジスタT3のゲートN1とソースN2とは第2のキャパシタC2を介して容量結合しており、ソース電圧V2の上昇にともないゲート電圧V1も上昇するので、結果的に、ゲート-ソース間電圧Vgsはほぼ一定に維持される。

30

【0056】

続く逆バイアス期間t3~t4では、図13に示す動作によって、有機EL素子OLEDの長寿命化を図るべく、有機EL素子OLEDに対して非順バイアスが印加される。具体的には、第3の走査信号SEL3がHレベルに立ち上るとともに、電源線L(i)の電圧VL(i)がVddからVrvsになっている。また、この期間t3~t4では、電源線L(i+1)がVL(i+1)=Vrvsになっている。したがって、ノードN2に電源線L(i+1)の電圧Vrvsが直接印加され、V2=Vrvsになるので、有機EL素子OLEDに非順バイアスの一形態である逆バイアスが印加される。

40

【0057】

待機期間t4~t5は、図9に示した電圧VL(i), VL(i+1)を所定期間分(ここでは1H分)オフセットさせた同一波形にしたことに伴い生じる、タイミングを調整するための期間である。なお、上述したi番目の画素行に続いて選択される(i+1)番目の画素行に関しては、1H分オフセットしたタイミングで、電源線L(i+1), L(i+2)を用いた動作プロセスが上述したプロセスと同様に行われる(それ以降の画素行についても同様)。

【0058】

このように、本実施形態によれば、第1の実施形態と同様の理由で、電源線Lの本数を

50

減らすことができる。それとともに、駆動トランジスタT3に非順バイアスを印加することによるV_{th}シフトの抑制と、有機EL素子OLEDに非順バイアスを印加することによる有機EL素子OLEDの長寿命化とを図れる。

【0059】

なお、本実施例において、駆動トランジスタのゲート電圧をオフセット電圧に設定する際には、駆動トランジスタのゲートに接続されたキャパシタの一方の電極に対向する他方のキャパシタの電極の電位を所定値に設定することが好ましい。これにより、容量カップリングにより前記駆動トランジスタのゲート電圧を正確に設定することができる。

【0060】

例えば、図9に示したタイミングチャートのように、スイッチングトランジスタT2とスイッチングトランジスタT1とがともにオン状態となる期間を設け、さらにこの期間内の電圧Vxを、Vss等の所定値に設定することにより、ノードN1がオフセット電圧に設定される際にノードN1に接続されたキャパシタC1の電極とは反対側の電極の電位が正確に設定され、このため、データ電圧Vdataを供給して容量カップリングにより行う、ノードN1の電圧レベルの設定も正確に行うことができる。10

【0061】

なお、上述した実施形態では、電気光学素子として有機EL素子OLEDを用いた例について説明した。しかしながら、本発明はこれに限定されるものではなく、駆動電流に応じて輝度が設定される電気光学素子（無機LED表示装置、フィールド・エミッション表示装置等）、或いは、駆動電流に応じた透過率・反射率を呈する電気光学装置（エレクトロクロミック表示装置、電気泳動表示装置等）に対しても広く適用可能である。20

【0062】

また、上述した実施形態にかかる電気光学装置は、例えば、テレビ、プロジェクタ、携帯電話機、携帯端末、モバイル型コンピュータ、パーソナルコンピュータ等を含む様々な電子機器に実装可能である。これらの電子機器に上述した電気光学装置を実装すれば、電子機器の商品価値を一層高めることができ、市場における電子機器の商品訴求力の向上を図ることができる。

【0063】

本発明の電気光学装置以外の応用としては、例えば、本発明の画素回路の構成はバイオチップ等の電子装置の電子回路としても採用可能である。30

【図面の簡単な説明】

【0064】

【図1】電気光学装置のブロック構成図。

【図2】第1の実施形態にかかる画素回路図。

【図3】第1の実施形態にかかる動作タイミングチャート。

【図4】データ書込期間における動作説明図。

【図5】駆動期間における動作説明図。

【図6】第1の逆バイアス期間における動作説明図。

【図7】第2の逆バイアス期間における動作説明図。

【図8】第2の実施形態にかかる画素回路図。40

【図9】第2の実施形態にかかる動作タイミングチャート。

【図10】初期化期間における動作説明図。

【図11】データ書込期間における動作説明図。

【図12】駆動期間における動作説明図。

【図13】逆バイアス期間における動作説明図。

【符号の説明】

【0065】

1 表示部

2 画素

3 走査線駆動回路

10

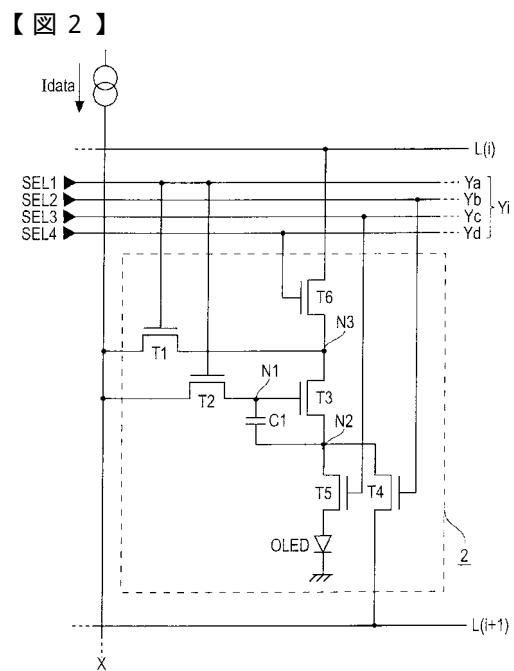
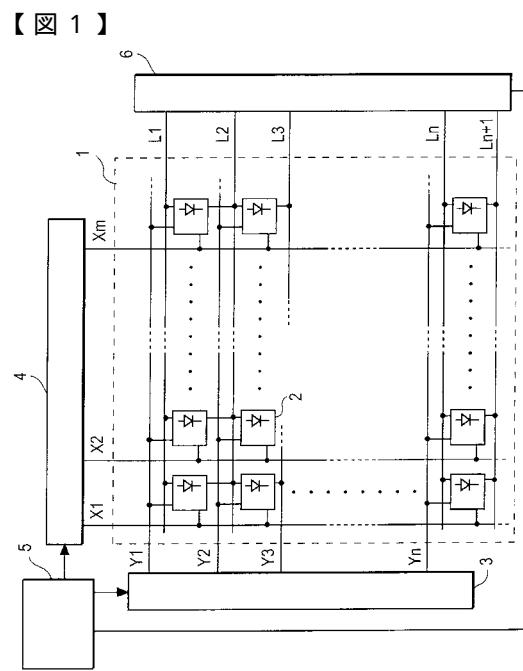
20

30

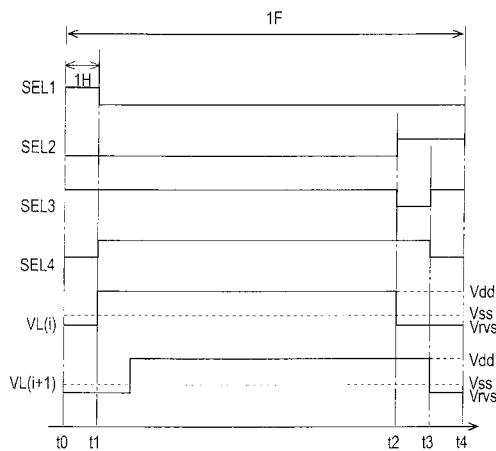
40

50

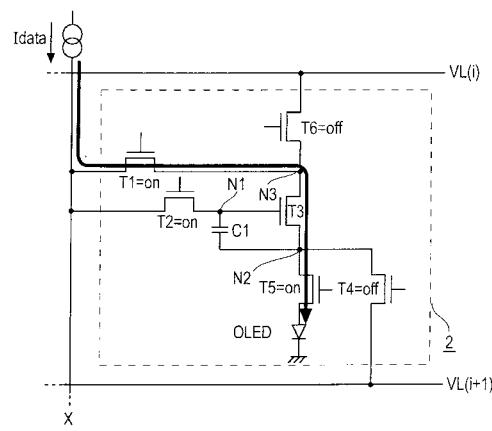
4 データ線駆動回路
 5 制御回路
 6 電源線制御回路
 T1 ~ T6 トランジスタ
 C1 ~ C2 キャパシタ
 OLED 有機EL素子
 N1 ~ N3 ノード



【図3】

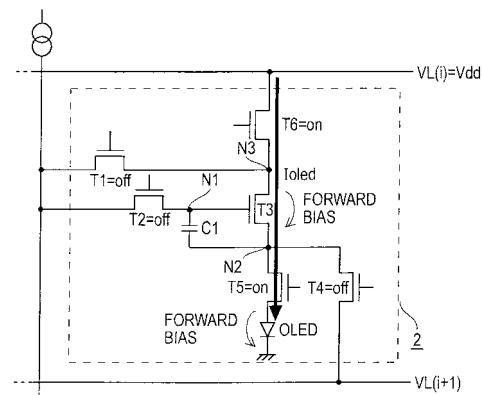


【図4】

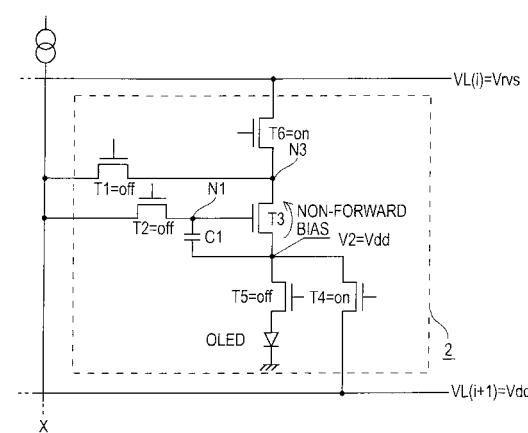


【図5】

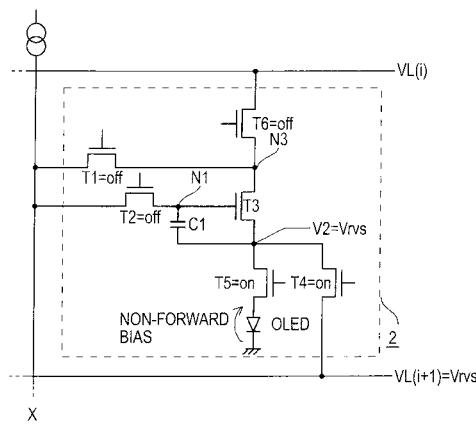
【図5】



【図6】



【図7】

X
X

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

2

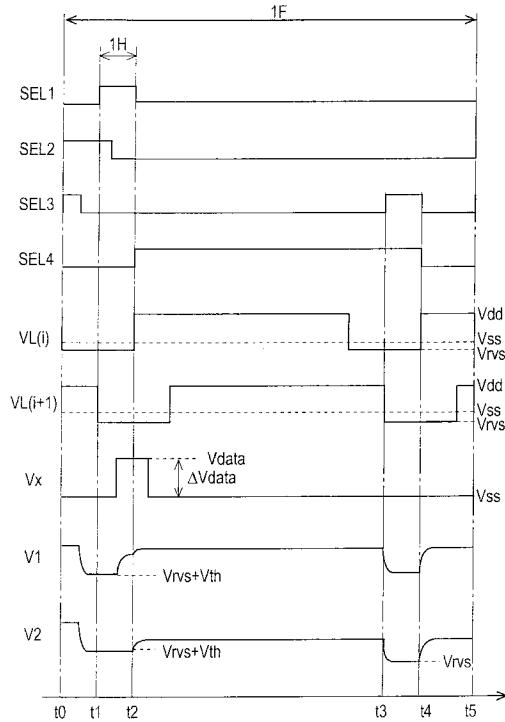
2

2

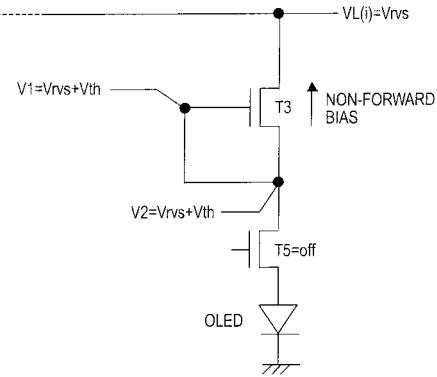
2

2

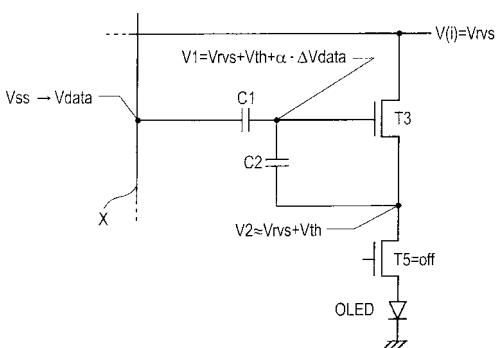
【図9】



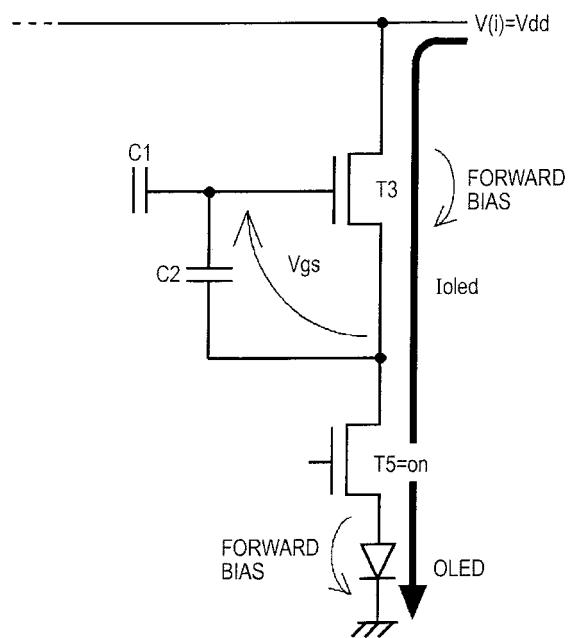
【図10】



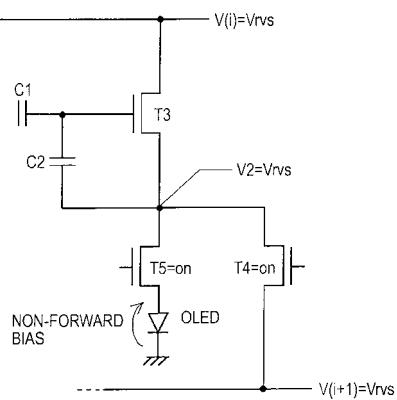
【図11】



【図12】



【図13】



フロントページの続き

(51)Int.Cl.

F I

G 09 G 3/20 670 K
H 05 B 33/14 A

(56)参考文献 特開2003-122304 (JP, A)

特開2003-216103 (JP, A)

特開2001-343933 (JP, A)

特開2003-167550 (JP, A)

特開2002-207442 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 09 G 3 / 3 0

G 09 G 3 / 2 0