



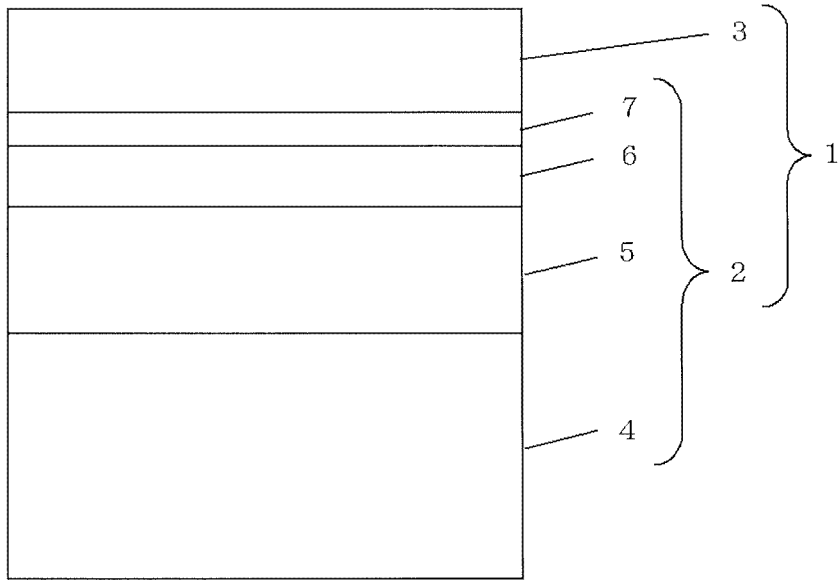
(21)申請案號：112137324 (22)申請日：中華民國 112 (2023) 年 09 月 28 日
(51)Int. Cl. : C30B25/18 (2006.01) C30B29/38 (2006.01)
H01L21/02 (2006.01)
(30)優先權：2022/11/11 日本 2022-181395
(71)申請人：日商信越半導體股份有限公司 (日本) SHIN-ETSU HANDOTAI CO., LTD. (JP)
日本
(72)發明人：萩本和德 HAGIMOTO, KAZUNORI (JP)
(74)代理人：李世章；彭國洋
申請實體審查：無 申請專利範圍項數：12 項 圖式數：5 共 29 頁

(54)名稱
高頻元件用基板及其製造方法
(57)摘要

本發明是一種高頻元件用基板，其是在 SOI 基板上形成氮化物半導體膜而得，該高頻元件用基板的特徵在於，前述 SOI 基板是 TRSOI 基板，其是形成於基底基板上的富陷阱層與由單晶矽所構成之 SOI 層隔著氧化膜來加以接合而得，前述 SOI 層的電阻率為 $1\text{k}\Omega\cdot\text{cm}$ 以上，晶面方位為 (111)，氧濃度為 14.8ppma 以下。藉此，提供一種高頻元件用基板及其製造方法，該高頻元件用基板的高頻特性優異。

指定代表圖：

圖1



符號簡單說明：

1:高頻元件用基板
2:SOI 基板
3:氮化物半導體膜
4:基底基板
5:富陷阱層
6:氧化膜
7:SOI 層



【發明摘要】

【中文發明名稱】高頻元件用基板及其製造方法

【中文】

本發明是一種高頻元件用基板，其是在S O I基板上形成氮化物半導體膜而得，該高頻元件用基板的特徵在於，前述S O I基板是T R S O I基板，其是形成於基底基板上的富陷阱層與由單晶矽所構成之S O I層隔著氧化膜來加以接合而得，前述S O I層的電阻率為 $1\text{ k}\Omega\cdot\text{cm}$ 以上，晶面方位為(111)，氧濃度為 14.8 ppm 以下。藉此，提供一種高頻元件用基板及其製造方法，該高頻元件用基板的高頻特性優異。

【指定代表圖】第 1 圖

【代表圖之符號簡單說明】

- 1：高頻元件用基板
- 2：S O I 基板
- 3：氮化物半導體膜
- 4：基底基板
- 5：富陷阱層
- 6：氧化膜
- 7：S O I 層

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 高頻元件用基板及其製造方法

【技術領域】

【0001】 本發明有關一種高頻元件用基板及其製造方法。

【先前技術】

【0002】 以 GaN 作為代表的氮化物半導體被期待作為次世代的半導體材料，其能夠超越作為矽 (Si) 的材料之極限。近年來，已藉由在單晶矽基板上實行氮化物半導體的磊晶生長來製造高頻元件。再者，在高頻元件中，觀察到由基板引起的特性劣化、因基板導致的損耗及二次諧波特性和三次諧波特性的劣化。

【0003】 一般而言，高頻元件用基板是使用高電阻率基板，實行 GaN 層等的磊晶生長，而製作高頻元件。使用高電阻率基板，使訊號不會從磊晶層流動至基底 Si 基板。又，當在高電阻率矽基板上層疊氮化物半導體磊晶層時，藉由設計緩衝層作為應力緩和層，來層疊氮化物半導體磊晶層。

【0004】 又，如專利文獻 1、2 所述，作為高頻元件用基板，一般設置有富陷阱 (TR) 層之 TR 基板已變得普及，並且，藉由使用高電阻率基板來提升頻率特性。此專利文獻 1 等記載了一種在高電阻率的基底基板上由 TR 層、介電質層 (埋藏氧化膜)、半導體層所構成之結構。

[先前技術文獻]

(專利文獻)

【0005】

專利文獻1：日本專利第7098851號

專利文獻2：日本特開2022-70890號公報

【發明內容】

[發明所欲解決的問題]

【0006】 通常在使用了TR基板之高頻元件中，二次諧波(2HD)的提升存在極限，為了更進一步提升高頻特性，將富陷阱的絕緣層上覆矽(TRSOI)基板與高頻特性優異的GaN層加以組合而得的GaN-on-TRSOI基板被認為具有前景。

然而，即使是在TRSOI基板上積層GaN層而得的GaN-on-TRSOI基板，仍可能被Si基板的特性(電阻率或氧濃度)影響而不會提升二次諧波特性的。

【0007】 本發明是為了解決上述問題而完成，其目的在於提供一種高頻元件用基板及其製造方法，該高頻元件用基板的高頻特性優異。

[解決問題的技術手段]

【0008】 為了達成上述目的，本發明提供一種高頻元件用基板，其是在SOI基板上形成氮化物半導體膜而得，該高頻元件用基板的特徵在於，

前述SOI基板是TRSOI基板，其是形成於基底基板上的富陷阱層與由單晶矽所構成之SOI層隔著氧化膜來加以接合而得，

前述SOI層的電阻率為 $1\text{ k}\Omega\cdot\text{cm}$ 以上，晶面方位為(111)，氧濃度為 14.8 ppm 以下。

【0009】 若以這樣的方式形成有氮化物半導體膜之基板是TRSOI基板且該TRSOI基板的SOI層具有上述 $1\text{ k}\Omega\cdot\text{cm}$ 以上的高電阻率，而且其氧濃度在上述數值範圍內，則能夠製成一種具有優異的高頻特性之高頻元件用基板。例如在過去產品(TR基板等)中2HD的極限至多為 -91 dBm 左右，但是在本發明中能夠進一步減少其2HD，能夠顯示進一步優異的諧波特性和。

又，藉由SOI層具有上述晶面方位，從而能夠良好地形成該SOI層上的氮化物半導體膜。

【0010】 此時，前述SOI層能夠製成氧濃度為 5.2 ppm 以下，能夠使高頻特性進一步優異。

進一步，前述SOI層能夠製成氧濃度為 0.5 ppm 以下，能夠使高頻特性更進一步優異。

【0011】 又，前述基底基板能夠製成晶面方位為(100)的直拉(CZ)單晶矽基板。

藉由CZ法而得的晶面方位(100)的基底基板有產率良好的傾向，低價且高品質，甚至能夠成為一種低價且高精度的高頻元件用基板。

【0012】 又，前述基底基板能夠製成電阻率為 $1\text{ k}\Omega\cdot\text{cm}$ 以上。

若基底基板是這樣的 $1\text{ k}\Omega\cdot\text{cm}$ 以上的高電阻率，則能夠使高頻特性更優異。

【0013】 又，本發明提供一種高頻元件用基板的製造方法，該高頻元件用基板是在SOI基板上形成氮化物半導體膜而得，該製造方法的特徵在於，包含以下步驟：

準備TRSOI基板作為前述SOI基板之步驟，該TRSOI基板是在接合基板中藉由使結合基板薄膜化來形成SOI層而得，該接合基板是將形成於基底基板上的富陷阱層與由單晶矽所構成之前述結合基板隔著氧化膜來加以接合而得；及，

在前述SOI層上形成前述氮化物半導體膜之步驟；

作為前述結合基板，使用電阻率為 $1\text{ k}\Omega\cdot\text{cm}$ 以上、晶面方位為(111)、氧濃度為 14.8 ppm 以下的結合基板。

【0014】 若是這樣的本發明的製造方法，則能夠製造一種具有優異的高頻特性(例如二次諧波特性等)之高頻元件用基板，亦能夠良好地形成氮化物半導體膜。

【0015】 此時，作為前述結合基板，能夠使用氧濃度為 5.2 ppm 以下的結合基板，能夠獲得高頻特性進一步優異的基板。

進一步，作為前述結合基板，能夠使用氧濃度為 0.5 ppm 以下的結合基板，能夠獲得高頻特性更進一步優異的基板。

【0016】 又，作為前述基底基板，能夠使用晶面方位為(100)的CZ單晶矽基板。

能夠以低價準備晶面方位(100)的高品質的基底基板。

【0017】 又，作為前述基底基板，能夠使用電阻率為 $1\text{ k}\Omega\cdot\text{cm}$ 以上的基底基板。

若以這樣的方式進行，能夠獲得高頻特性更優異的基板。

[發明的功效]

【0018】 若是本發明的高頻元件用基板及其製造方法，則能夠獲得一種高頻元件用基板，其2HD等高頻特性優異。

【圖式簡單說明】

【0019】 圖1是示出本發明的高頻元件用基板的一例之概略說明圖。

圖2是示出本發明的高頻元件用基板的製造方法的一例之程序圖。

圖3是示出在高頻元件用基板形成共面波導(CPW)電極而得的複合體的一例之概略結構圖。

圖4是CPW電極的概略平面圖。

圖5是示出實施例1~3、比較例1~3的諧波特性(2HD)的測定結果之圖表。

【實施方式】

【0020】 以下，參照圖式來說明本發明的實施形態，但是本發明不限定於此。

首先，如前所述，本發明有關一種具有S O I結構之高頻元件用基板，尤其有關一種具有支撐基板(基底基板)之高頻元件用基板，該支撐基板能夠抵抗在靠近S O I結構的氧化膜(亦即，埋藏氧化膜：B O X膜)之區域內的反轉層的形成。

【0021】 在電阻率較高之半導體基板(例如矽晶圓)中，容易在B O X膜與支撐基板之間的界面形成導電性較高的電荷反轉層或電荷儲存層，由此，基板的有效電阻率下降，產生寄生功率損耗，並且當使元件以射頻(R F)頻率運作時，產生元件的非線性。

【0022】 已開發一種方法，用於在所感應出的任一反轉層(或儲存層)中捕獲電荷，使得即使在非常靠近表面之區域內，亦能夠維持基板的高電阻率。已知藉由在高電阻率支撐基板與埋藏氧化膜之間設置電荷捕獲層(C T L)來使採用S O I基板而製得的R F元件的性能提升。已提出複數種形成這樣的捕獲性較高的界面層之方法。例如形成在R F元件用途上具有電荷捕獲層之絕緣層上半導體元件(例如絕緣層上覆矽、亦即S O I)之方法之一，是基於以下步驟：在電阻率較高的矽基板上沉積未摻雜(未被摻雜)多晶矽膜之步驟；及，形成氧化膜和矽層的積層體之步驟，該矽層設置

於該氧化膜上。多晶矽層在矽基板與埋藏氧化膜之間作為缺陷較多之層發揮功能。

【0023】 在學術研究上，示出了藉由在氧化膜與基板之間設置多晶矽層來改善元件的分離性、減少傳輸線的損耗、及減少諧波失真。例如參照以下文獻。

· H.S.Gamble, et al. "Low-loss CPW lines on surface stabilized high resistivity silicon," Microwave Guided Wave Lett., 9(10), pp.395-397, 1999

· D.Lederer, R.Lobet and J.-P.Raskin, "Enhanced high resistivity SOI wafers for RF applications," IEEE Intl. SOI Conf., pp.46-47, 2004

· D.Lederer and J.-P.Raskin, "New substrate passivation method dedicated to high resistivity SOI wafer fabrication with increased substrate resistivity," IEEE Electron Device Letters, vol.26, no.11, pp.805-807, 2005

· D.Lederer, B.Aspar, C.Laghae and J.-P.Raskin, "Performance of RF passive structures and SOI MOSFETs transferred on a passivated HR SOI substrate," IEEE International SOI Conference, pp.29-30, 2006

· Daniel C. Kerret al. “Identification of RF harmonic distortion on Si substrates and its reduction using a trap-rich layer”, Silicon Monolithic Integrated Circuits in RF Systems, 2008. SiRF 2008 (IEEE Topical Meeting), pp. 151-154, 2008

【0024】 以往係使用像專利文獻1等這樣的TR基板等作為高頻元件用基板來謀求高頻特性的提升，但是該提升已面臨極限（例如2HD為 -91 dBm ）。

在這樣的狀況下本發明人專心進行研究，結果發現在像GaN on TRSOI這樣的高頻元件用基板（TRSOI基板＋氮化物半導體膜）中，上述高頻特性的提升對於SOI層的氧濃度存在依存性。而且，本發明人發現若該SOI層（高電阻率 $[1\text{ k}\Omega\cdot\text{cm}]$ 以上）、晶面方位為（111）的氧濃度為 14.8 ppm 以下，則能夠具有更優異的高頻特性，從而完成本發明。

【0025】 說明本發明的高頻元件用基板。圖1中示出本發明的高頻元件用基板的一例。本發明的高頻元件用基板1具有SOI基板2、及在該SOI基板2上的氮化物半導體膜3。而且，SOI基板2成為以下結構：在基底基板4上依序積層有富陷阱層5（TR層）、氧化膜6（埋藏氧化膜（BOX膜））、SOI層7（單晶矽層）。

【0026】 以下詳述各部。

上述SOI基板2是TRSOI基板，其是形成於基底基板4上的TR層5與SOI層7隔著氧化膜6來加以接合而得。例如能夠藉由下述方式獲得上述TRSOI基板的結構：將由基底基板4和TR層5所構成之結構體與作為SOI層7的結合基板的在任一表面或兩表面形成有氧化膜6者加以貼合，並使結合基板薄膜化。

【0027】 基底基板4例如能夠設為矽基板，尤其能夠設為晶面方位為(100)的藉由CZ法而得的單晶矽基板。原因在於，容易準備低價且高品質的基底基板。

又，基底基板4的電阻率並無特別限定，為了容易控制翹曲，可以是裂斷負載較大的低電阻率基底基板。能夠藉由提高摻雜劑濃度，來使基底基板的強度增加，抑制翹曲。另一方面，亦能夠設為高電阻率的基底基板、例如 $1\text{ k}\Omega\cdot\text{cm}$ 以上的基底基板，此時，能夠製成一種高頻特性更優異的高頻元件用基板。較佳是能夠設為 $3\text{ k}\Omega\cdot\text{cm}$ 以上，進一步更佳是能夠設為 $5\text{ k}\Omega\cdot\text{cm}$ 以上，能夠製成在高頻特性方面更有利。此電阻率的上限並無特別限定，越高的值，越能夠謀求高頻特性的提升，例如能夠設為 $50\text{ k}\Omega\cdot\text{cm}$ 。

【0028】 TR層5是指具有藉由層中的缺陷來捕獲電荷的效果之層，只要具有此功能即可，例如能夠設為無摻雜的多晶矽層、或藉由離子佈植來形成於基底基板表面上的損傷層等。

氧化膜6例如能夠設為藉由熱氧化而得的矽氧化膜。

【0029】 S O I 層 7 的 電 阻 率 為 $1\text{ k } \Omega \cdot \text{cm}$ 以上，晶面方位為 (111)，氧濃度為 14.8 ppm a 以下。

由於是 $1\text{ k } \Omega \cdot \text{cm}$ 以上的高電阻率，因此高頻元件用基板 1 的高頻特性得到提升。較佳是能夠設為 $3\text{ k } \Omega \cdot \text{cm}$ 以上，進一步更佳是能夠設為 $5\text{ k } \Omega \cdot \text{cm}$ 以上，能夠製成在高頻特性方面更有利。此電阻率的上限並無特別限定，越高的值，越能夠謀求高頻特性的提升，例如能夠設為 $150\text{ k } \Omega \cdot \text{cm}$ 。

又，藉由晶面方位為 (111)，能夠在 S O I 層 7 上適當地形成良好的氮化物半導體膜。

【0030】 又，如前所述，本發明人發現高頻特性取決於此 S O I 層 7 的氧濃度，若氧濃度為 14.8 ppm a 以下，則能夠獲得比過去產品更優異的高頻特性。

例如關於二次諧波 (2HD)，在過去產品中於 -91 dB m 左右存在改善的極限，但若是本發明，則能夠較該過去產品更進一步改善，例如能夠減少至 -95 dB m 左右來加以提升。而且，若氧濃度為 5.2 ppm a 以下，則例如能夠改善至 -105 dB m 左右，若進一步為 0.5 ppm a 以下，則例如亦能夠改善至 -115 dB m 左右、或其以上。再者，氧濃度越低，在高頻特性的改善方面越佳，而無法設置下限。

再者，在本案說明書中，本發明中的氧濃度的值 (及下述各比較例的過去產品中的氧濃度的值) 是基於日本電子工業振興協會 (JEIDA) - 61 - 2000 規格。

【0031】 作為氮化物半導體膜3，並無特別限定，能夠根據目的來採用氮化物半導體，可列舉例如： GaN 、 AlN 、 AlGaN 及該等的組合等。

【0032】 若是如以上所述之本發明的高頻元件用基板1，則關於高頻特性，能夠比過去產品更優異。

【0033】 繼而，說明能夠製造圖1的高頻元件用基板1之本發明的高頻元件用基板的製造方法。圖2是本發明的製造方法的流程的一例。包含了準備TRSOI基板之步驟、及形成氮化物半導體膜之步驟。

【0034】 以下，一邊示出具體例，一邊詳述各步驟。

< 準備TRSOI基板 >

首先，準備基底基板，並在其上形成TR層。

例如準備直徑150mm的高電阻率($1 \sim 50 \text{ k}\Omega \cdot \text{cm}$)的基底基板(Si基板)。尤其能夠藉由直拉法來培育晶軸方位<100>的單晶矽錠，並利用線鋸裝置將其加以切片，而準備晶面方位(100)的單晶矽基板(基底基板： $(100)\text{just}$ 基板)。再者，關於基底基板，此處以上述方式列舉 $(100)\text{just}$ 基板為例來加以說明，亦能夠設為具有偏角。

在以這樣的方式所準備的基底基板的上藉由減壓化學氣相沉積(減壓CVD)法生長厚度僅 $100 \text{ nm} \sim 3 \mu \text{ m}$ 的作為富陷阱層(TR層)的多晶矽(poly-Si)層。作為生長條件的例子，能夠將氣相沉積裝置的反應管內的溫度設定為例如 590°C 以上，並且將例如單矽烷(SiH_4)氣體和磷化氫(PH_3)氣體導入反應管內，一邊將反應管內維持在規定的

真空度一邊使進行生長。或者，亦存在以下方法：使用二矽烷(Si_2H_6)氣體，在 580°C 以下的溫度形成非晶矽膜，在例如 $600\sim 1000^\circ\text{C}$ 左右的溫度對此薄膜進行退火來使加以多晶化。

如前所述，TR層是指具有藉由層中的缺陷來捕獲電荷的效果之層，只要具有此功能即可，不限定於多晶矽。例如能夠設為利用離子佈植來形成於Si晶體上的損傷層。例如能夠在基底基板表面形成上述損傷層。

【0035】 繼而，準備由單晶矽所構成之結合基板，將基底基板與結合基板隔著氧化膜來加以接合，而獲得接合基板。然後，藉由使該接合基板中的結合基板薄膜化來形成SOI層(TRSOI基板的製作)。

首先，準備結合基板，例如能夠設為CZ單晶基板，亦能夠設為懸浮區熔法(FZ)單晶基板。由於之後將會成為SOI層且在其上積層並形成氮化物半導體膜，因此準備晶面方位為(111)的結合基板。例如適當調整CZ法或FZ法中的錠的製造條件來培育晶軸方位為 $\langle 111 \rangle$ 的錠並加以切片即可(結合基板： $(111)\text{just}$ 基板)。

再者，關於結合基板，亦能夠設為具有偏角，尤其，較佳是設為 ± 1 度以內。此時，能夠更確實地將要形成於其上的氮化物半導體膜製成均勻且高品質。

此時，適當調整摻雜劑的濃度來製成高電阻率($1\text{ k}\Omega\cdot\text{cm}$ 以上)。

進一步，將結晶中的氧濃度控制在 14.8 ppm 以下。若是CZ法，則能夠藉由調整CZ提拉裝置中的坩堝的旋轉速度等來調整錠中的氧濃度，更佳是能夠調整至 5.2 ppm 以下。又，若是FZ法，則尤其即使是像 0.5 ppm 以下這樣的低氧濃度的基板，亦能夠簡便地準備。藉由降低結合基板(SOI層)的氧濃度，從而使高頻特性進一步提升，能夠進一步減少2HD。

【0036】 然後，在形成於基底基板上的多晶矽層上形成例如 200 nm 的氧化膜(成為BOX膜)，與作為SOI層的上述(111)結合基板($1\sim 150\text{ k}\Omega\cdot\text{cm}$ ，較佳是 $3\text{ k}\Omega\cdot\text{cm}$ 以上，進一步更佳是 $5\text{ k}\Omega\cdot\text{cm}$ 以上)結合(接合)後，使結合基板薄膜化來形成SOI層。SOI層的厚度例如能夠設為 100 nm 。

氧化膜能夠形成為：介於基底單晶基板與結合單晶基板之間的氧化膜的膜厚為例如 2 nm 以上且 470 nm 以下。當然，將兩基板加以結合後能夠將氧化膜的膜厚設為 2 nm 以上且 470 nm 以下。再者，氧化膜可形成於多晶矽層側，該多晶矽層形成於基底基板上，氧化膜亦可形成結合基板側。又，亦可形成於該兩方。

只要能夠結合基底基板與結合基板，則熱處理(結合熱處理)的條件(氣氛、溫度、時間等)並無特別限定。例如能夠設為在氮氣氣氛下此結合熱處理的溫度為 400°C 以上且 1200°C 以下、 $1\sim 12$ 小時的結合熱處理。

作為結合基板的薄膜化的方法，可列舉例如離子佈植剝離法。可預先在結合基板上形成離子佈植層，接合後對於接合基板，利用剝離熱處理以離子佈植層進行剝離，亦可用機械方式以離子佈植層進行剝離。

【0037】 < 形成氮化物半導體膜 >

以上述方式準備TRSOI基板後，在SOI層上形成氮化物半導體膜。

在TRSOI基板上例如層疊AlN初始層，然後層疊AlGaN層、GaN層、SLs層（AlGaN/GaN或AlN/GaN的超晶格層），並在其上層疊GaN層，而製成總厚度為1.8 μm 。能夠藉由根據有機金屬化學氣相沉積（MOCVD）法進行磊晶生長來形成這些層。

再者，不太可能因基板中的氧導致熱施體。原因在於，磊晶生長溫度為1200～1050左右，至少施加4小時的熱履歷，而認為不會形成熱施體，冷卻亦接近快速冷卻。

【0038】 上述步驟的說明中所列舉的SOI層中的電阻率（1k $\Omega\cdot\text{cm}$ 以上）、晶面方位（111）、氧濃度（14.8ppma以下）以外的各部的膜厚和電阻率、步驟溫度等數值僅為一例，在本發明中不限定於這些數值。

【0039】 藉由如以上所述之本發明的製造方法，能夠製造一種高頻特性比以往更得到改善之高頻元件用基板1，能夠獲得2HD比-91dBm更進一步減少之高頻元件用基板1。

[實施例]

【0040】 以下，示出實施例及比較例來更具體地說明本發明，但是本發明不限定於這些實施例。

(實施例1)

按照圖2的流程來製造圖1所示之高頻元件用基板1(TRSOI基板+氮化物半導體膜)。

基底基板4：CZSi單晶基板，(100)面為主面， $8\text{ k}\Omega\cdot\text{cm}$

TR層5：多晶矽層，厚度為 $1.8\text{ }\mu\text{m}$

氧化膜6(BOX膜)：厚度為 200 nm

SOI層7(結合基板)：CZSi單晶，(111)面為主面， $5\text{ k}\Omega\cdot\text{cm}$ ，氧濃度為 14.8 ppm ，厚度為 100 nm

氮化物半導體膜3：積層由AlN初始層、AlGaN層及GaN/AlN的SLs結構所構成之緩衝層，並在其上積層GaN層，總厚度為 $1.8\text{ }\mu\text{m}$

【0041】 TR層、氧化膜、SOI層、氮化物半導體膜的製造條件如下所述。

TR層：在基底基板上以 1050°C 形成多晶矽層作為富陷阱層(電荷捕獲層)後，對其表面進行研磨，來將厚度製成 $1.8\text{ }\mu\text{m}$ 。

氧化膜：藉由使結合基板熱氧化來形成。

SOI層：從結合基板的頂面(與基底基板接合之側)佈植氫，而在結合基板內部形成微小氣泡層(離子佈植層)。將具有微小氣泡層之結合基板貼附在先前形成的基底基板的多晶矽層的表面。接下來，藉由實行熱處理，以微小氣

泡層作為剝離界面來分離結合基板，從而形成了殘留在氧化膜上的薄的結合層、亦即SOI層。接下來，對SOI層進行接觸拋光，而獲得膜厚100nm的SOI層。

氮化物半導體：各層的成長溫度如以下所述。初始層AlN為1050～1200℃，AlGaIn層為1150～1050℃，SLs結構為1100～1000℃，GaIn為1000～900℃。

【0042】 在上述高頻元件用基板中形成RF電極來實行特性評估。

具體而言，對於高頻元件用基板1，利用光微影製程形成共面波導(Co-Planar Waveguide, CPW)的Al電極(厚度為1μm，長度為2199μm)，實施熱處理。以這樣的方式獲得圖3(結構圖)和圖4(平面圖)所示之複合體20。

複合體20包含了高頻元件用基板1、及形成於其氮化物半導體膜3的表面上的CPW電極10。

CPW電極10包含了長度L(圖4)為2199μm且寬度為15μm之中心電極11、及周邊電極12。中心電極11和周邊電極12的厚度為1μm。

【0043】 然後，使用CPW電極10來取得諧波特性和(2HD)作為高頻元件用基板1的RF特性。

再者，關於測定條件，使實施例1及下述各實施例和各比較例的上述CPW電極10的形狀、基本頻率(H1)f0=0.9GHz的輸出P_{out}=15dBm一致。

在實施例1中其結果為-95dBm。

【0044】 (實施例2)

除了 S O I 層的氧濃度為 5.2 p p m a 以外，以與實施例 1 同樣的方式製作高頻元件用基板、C P W 電極，並取得諧波特性和 (2 H D)。

其結果為 - 1 0 4 . 8 d B m 。

【0045】 (實施例 3)

除了 S O I 層的氧濃度為 0.3 p p m a (結合基板是 F Z S i 單晶) 以外，以與實施例 1 同樣的方式製作高頻元件用基板、C P W 電極，並取得諧波特性和 (2 H D)。

其結果為 - 1 1 4 . 2 d B m 。

【0046】 (比較例 1)

除了基底基板的電阻率為 5 k $\Omega \cdot \text{cm}$ ，S O I 層的氧濃度為 17.1 p p m a 以外，以與實施例 1 同樣的方式製作高頻元件用基板、C P W 電極，並取得諧波特性和 (2 H D)。

其結果為 - 89.9 d B m 。

【0047】 (比較例 2)

製造 G a N o n S i 結構體。具體而言，在 S i 基板 (F Z S i 單晶基板，(1 1 1) 面為主面，5 k $\Omega \cdot \text{cm}$ ，氧濃度為 0.5 p p m a) 上與實施例 1 同樣地積層 S L s 結構等的緩衝層作為氮化物半導體膜，並在其上積層 G a N 層。總厚度為 1.8 μm 。

此比較例 2 雖然具有氮化物半導體膜，但是與作為本發明的製品的各實施例的不同之處在於，該氮化物半導體膜形成於 S i 基板上而不是 T R S O I 基板上。

以與實施例1同樣的方式製作CPW電極，並取得諧波特性和2HD。

其結果為-84dBm。

【0048】（比較例3）

為了TR基板的高頻特性評估，將SOI層從TRSOI基板上去除來製造附有氧化膜之TR基板。具體而言，TRSOI基板的製造方法係在基底基板的Si基板（（100）面為主面， $5\text{ k}\Omega\cdot\text{cm}$ ，氧濃度為13.1ppma）上形成厚度 $1.8\text{ }\mu\text{m}$ 的多晶矽層，在結合基板的Si基板上形成厚度200nm的氧化膜和微小氣泡層，將結合基板的氧化膜側貼附在基底基板的多晶矽層表面後，藉由實行熱處理，以微小氣泡層作為剝離界面來分離結合基板，從而形成SOI層，然後進行接觸拋光來使SOI層薄膜化，而獲得TRSOI基板。然後，剝除上述SOI層，而獲得附有氧化膜之TR基板。

在此附有氧化膜之TR基板的氧化膜上以與實施例1同樣的方式製作CPW電極，並取得諧波特性和2HD。

其結果為-91dBm。

再者，與作為本發明的製品的各實施例的不同之處在於，此比較例3不具有本發明的製品中的SOI層7和氮化物半導體膜。

【0049】將實施例1～3、比較例1～3的諧波特性和2HD的測定結果示於圖5。比較例1～3之中，比較例3能夠最大程度地減少2HD，但是停留在-91dBm。相對於此，在實

施了本發明之實施例1～3中皆能夠減少到超過－91 dBm，極為良好。

【0050】（實施例4）

除了SOI層的氧濃度為0.5 ppm（結合基板是FZSi單晶）以外，以與實施例1同樣的方式製作高頻元件用基板、CPW電極，並取得諧波特性的2HD。

其結果為－112.4 dBm。

【0051】（實施例5）

除了SOI層的電阻率為1 kΩ·cm以外，以與實施例1同樣的方式製作高頻元件用基板、CPW電極，並取得諧波特性的2HD。

其結果為－94 dBm。

【0052】（比較例4）

除了SOI層的氧濃度為17.1 ppm以外，以與實施例1同樣的方式製作高頻元件用基板、CPW電極，並取得諧波特性的2HD。

其結果為－89.6 dBm。

【0053】在實施例4、5中，關於2HD，亦能夠減少到超過－91 dBm。另一方面，在比較例4中，無法達到比較例3的－91 dBm。

【0054】本說明書包括以下態樣。

[1]：一種高頻元件用基板，其是在SOI基板上形成氮化物半導體膜而得，該高頻元件用基板的特徵在於，

前述SOI基板是TRSOI基板，其是形成於基底基板上的富陷阱層與由單晶矽所構成之SOI層隔著氧化膜來加以接合而得，

前述SOI層的電阻率為 $1\text{ k}\Omega\cdot\text{cm}$ 以上，晶面方位為(111)，氧濃度為 14.8 ppm 以下。

[2]：如上述[1]所述之高頻元件用基板，其中，前述SOI層的氧濃度為 5.2 ppm 以下。

[3]：如上述[1]所述之高頻元件用基板，其中，前述SOI層的氧濃度為 0.5 ppm 以下。

[4]：如上述[1]～[3]中任一項所述之高頻元件用基板，其中，前述基底基板是晶面方位為(100)的CZ單晶矽基板。

[5]：如上述[1]～[4]中任一項所述之高頻元件用基板，其中，前述基底基板的電阻率為 $1\text{ k}\Omega\cdot\text{cm}$ 以上。

[6]：一種高頻元件用基板的製造方法，該高頻元件用基板是在SOI基板上形成氮化物半導體膜而得，該製造方法的特徵在於，包含以下步驟：

準備TRSOI基板作為前述SOI基板之步驟，該TRSOI基板是在接合基板中藉由使結合基板薄膜化來形成SOI層而得，該接合基板是將形成於基底基板上的富陷阱層與由單晶矽所構成之前述結合基板隔著氧化膜來加以接合而得；及，

在前述SOI層上形成前述氮化物半導體膜之步驟；

作為前述結合基板，使用電阻率為 $1\text{ k}\Omega\cdot\text{cm}$ 以上、晶面方位為 (111) 、氧濃度為 14.8 ppm 以下的結合基板高頻元件用基板的製造方法。

[7]：如上述[6]所述之高頻元件用基板的製造方法，其中，作為前述結合基板，使用氧濃度為 5.2 ppm 以下的結合基板。

[8]：如上述[6]所述之高頻元件用基板的製造方法，其中，作為前述結合基板，使用氧濃度為 0.5 ppm 以下的結合基板。

[9]：如上述[6]～[8]中任一項所述之高頻元件用基板的製造方法，其中，作為前述基底基板，使用晶面方位為 (100) 的CZ單晶矽基板。

[10]：如上述[6]～[9]中任一項所述之高頻元件用基板的製造方法，其中，作為前述基底基板，使用電阻率為 $1\text{ k}\Omega\cdot\text{cm}$ 以上的基底基板。

【0055】 再者，本發明並不限定於上述實施形態。上述實施形態為例示，任何具有實質上與本發明的申請專利範圍所記載的技術思想相同的構成且發揮相同功效者，皆包含在本發明的技術範圍內。

【符號說明】

【0056】

1：高頻元件用基板

2：SOI基板

- 3：氮化物半導體膜
- 4：基底基板
- 5：富陷阱層
- 6：氧化膜
- 7：S O I 層
- 1 0：C P W 電極
- 1 1：中心電極 1 1
- 1 2：周邊電極
- 2 0：複合體
- L：長度

【生物材料寄存】

國內寄存資訊(請依寄存機構、日期、號碼順序註記)

無

國外寄存資訊(請依寄存國家、機構、日期、號碼順序註記)

無

【發明申請專利範圍】

【請求項1】 一種高頻元件用基板，其是在 S O I 基板上形成氮化物半導體膜而得，該高頻元件用基板的特徵在於，

前述 S O I 基板是 T R S O I 基板，其是形成於基底基板上的富陷阱層與由單晶矽所構成之 S O I 層隔著氧化膜來加以接合而得，

前述 S O I 層的電阻率為 $1\text{ k}\Omega\cdot\text{cm}$ 以上，晶面方位為 (111)，氧濃度為 14.8 ppm a 以下。

【請求項2】 如請求項1所述之高頻元件用基板，其中，前述 S O I 層的氧濃度為 5.2 ppm a 以下。

【請求項3】 如請求項1所述之高頻元件用基板，其中，前述 S O I 層的氧濃度為 0.5 ppm a 以下。

【請求項4】 如請求項1～3中任一項所述之高頻元件用基板，其中，前述基底基板是晶面方位為 (100) 的 C Z 單晶矽基板。

【請求項5】 如請求項1～3中任一項所述之高頻元件用基板，其中，前述基底基板的電阻率為 $1\text{ k}\Omega\cdot\text{cm}$ 以上。

【請求項6】 如請求項4所述之高頻元件用基板，其中，前述基底基板的電阻率為 $1\text{ k}\Omega\cdot\text{cm}$ 以上。

【請求項7】 一種高頻元件用基板的製造方法，該高頻元件用基板是在 S O I 基板上形成氮化物半導體膜而得，該製造方法的特徵在於，包含以下步驟：

準備 T R S O I 基板作為前述 S O I 基板之步驟，該

第1頁(發明申請專利範圍)

TRSOI 基板是在接合基板中藉由使結合基板薄膜化來形成 SOI 層而得，該接合基板是將形成於基底基板上的富陷阱層與由單晶矽所構成之前述結合基板隔著氧化膜來加以接合而得；及，

在前述 SOI 層上形成前述氮化物半導體膜之步驟；

作為前述結合基板，使用電阻率為 $1\text{ k}\Omega\cdot\text{cm}$ 以上、晶面方位為 (111)、氧濃度為 14.8 ppm 以下的結合基板。

【請求項 8】 如請求項 7 所述之高頻元件用基板的製造方法，其中，作為前述結合基板，使用氧濃度為 5.2 ppm 以下的結合基板。

【請求項 9】 如請求項 7 所述之高頻元件用基板的製造方法，其中，作為前述結合基板，使用氧濃度為 0.5 ppm 以下的結合基板。

【請求項 10】 如請求項 7～9 中任一項所述之高頻元件用基板的製造方法，其中，作為前述基底基板，使用晶面方位為 (100) 的 CZ 單晶矽基板。

【請求項 11】 如請求項 7～9 中任一項所述之高頻元件用基板的製造方法，其中，作為前述基底基板，使用電阻率為 $1\text{ k}\Omega\cdot\text{cm}$ 以上的基底基板。

【請求項 12】 如請求項 10 所述之高頻元件用基板的製造方法，其中，作為前述基底基板，使用電阻率為 $1\text{ k}\Omega\cdot\text{cm}$ 以上的基底基板。

【發明圖式】

圖1

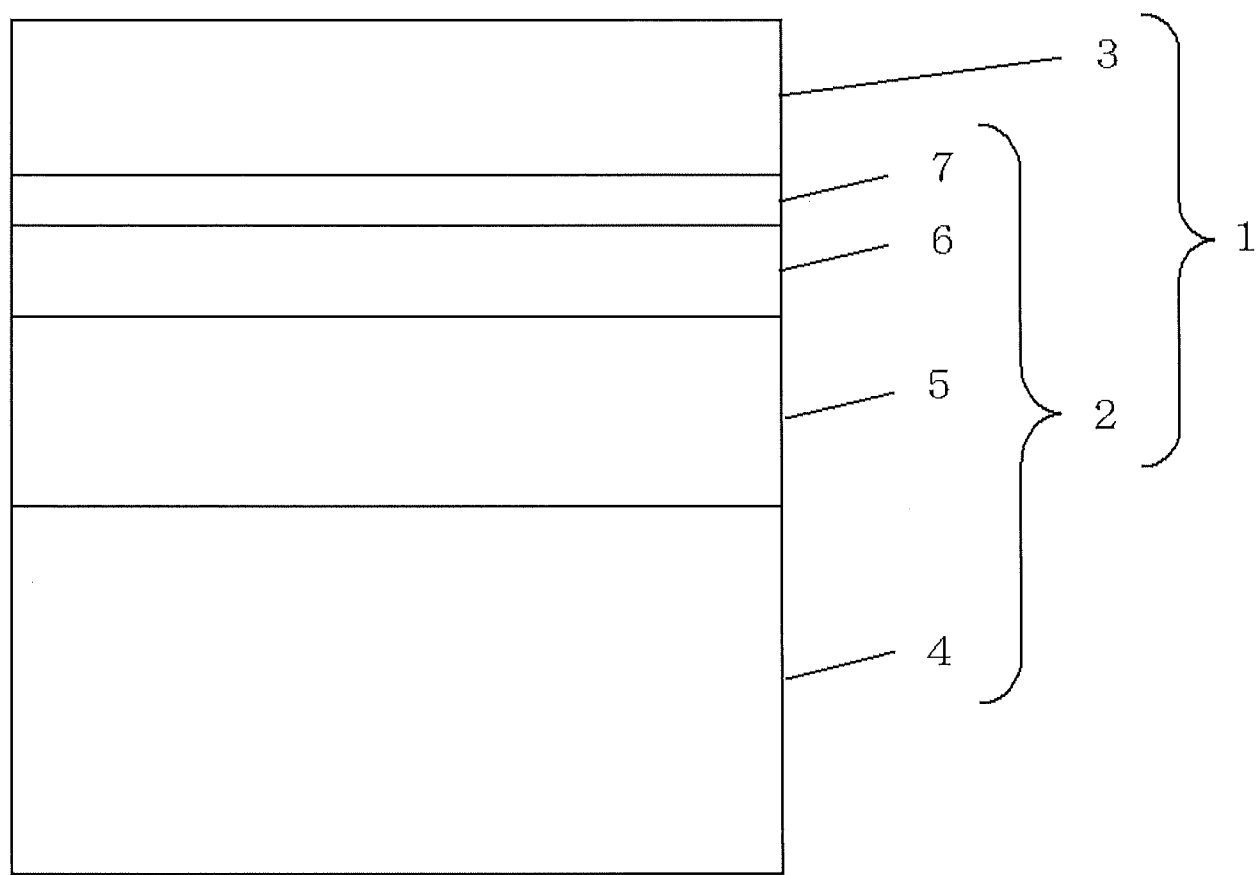


圖2

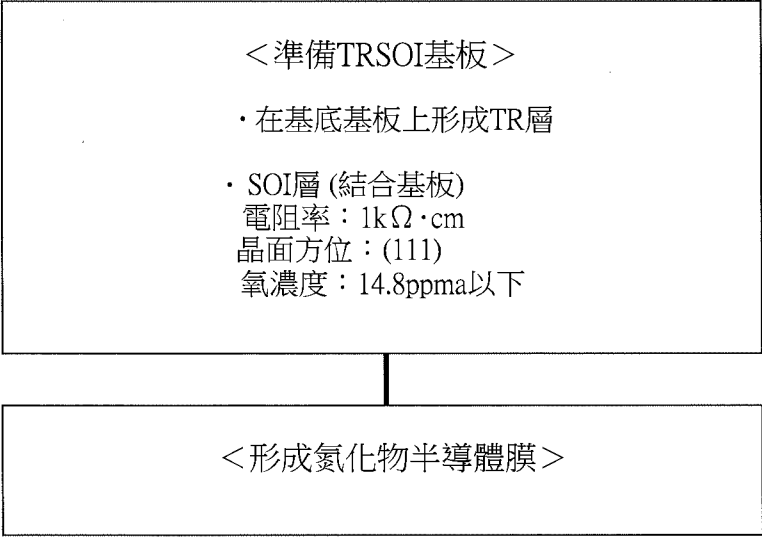


圖3
2 0

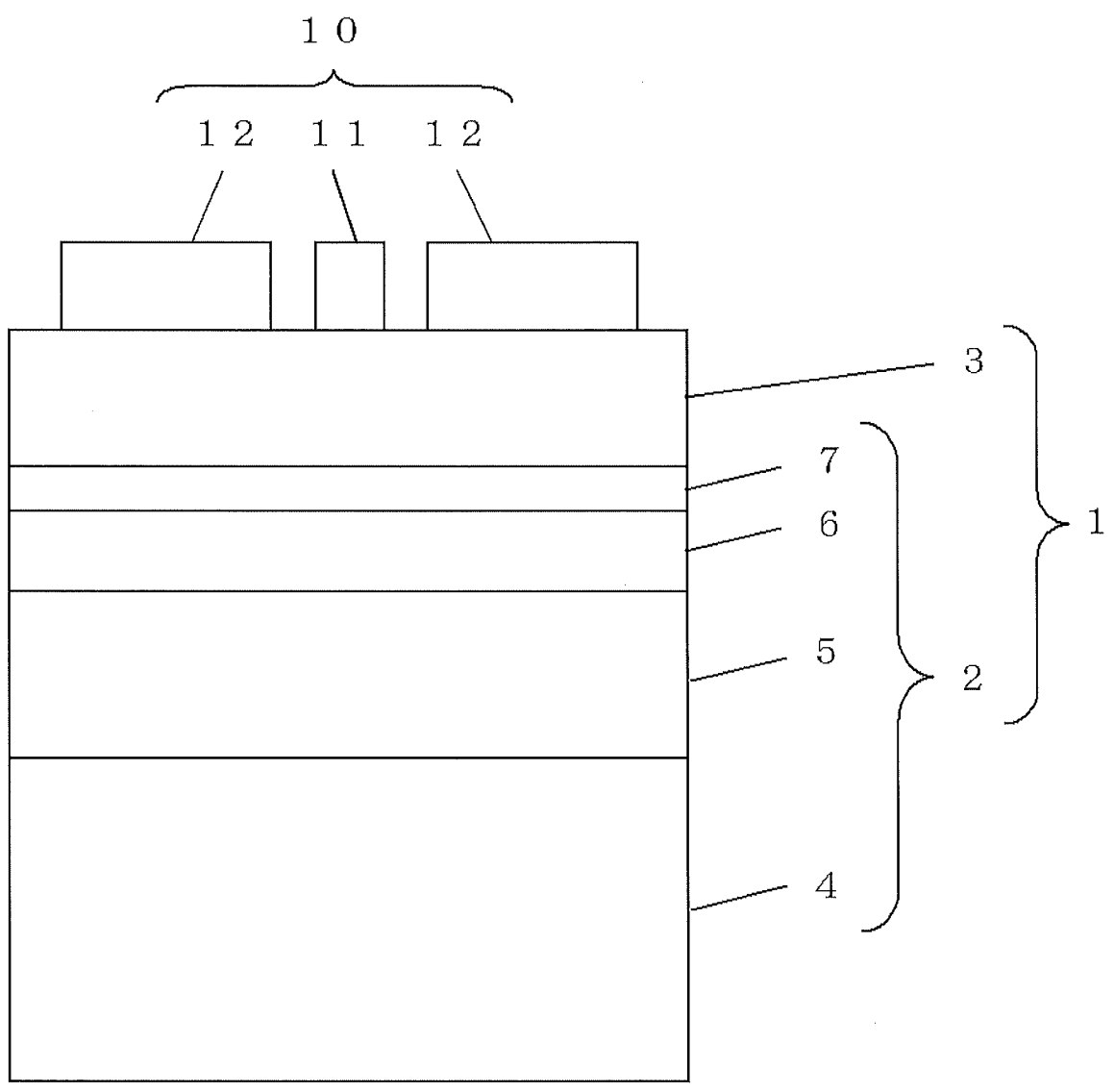


圖4
1 0

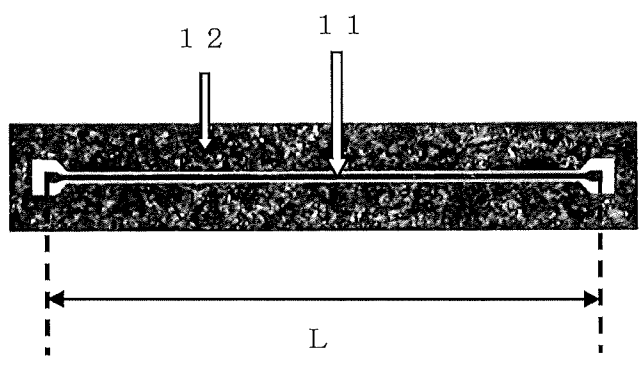


圖5

