公告本

申請日期	85 年 12 月 3 日
案號	85114902
類別	G11C 11/40

Int. Cl.[6] C11

（以上各欄由本局填註）

86.8.3

年 月 日 修正 A4 補充

318242

318242

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	半導體記憶裝置
	英文	
二、發明 ~~創作~~ 人	姓名	(1) 柴田昇 (2) 加藤秀雄 (3) 望月義夫
	國籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國神奈川縣横浜市金沢區並木三－二－七 クレアーレ東芝並木一一一 (2) 日本國神奈川縣川崎市幸區鹿島田一〇四四 (3) 日本國神奈川縣川崎市麻生區王禪寺二四九一 クレアーレ東芝新百合ヶ丘四〇九
三、申請人	姓名（名稱）	(1) 東芝股份有限公司 株式会社東芝
	國籍	(1) 日本
	住、居所（事務所）	(1) 日本國神奈川縣川崎市幸區堀川町七二番地
	代表人姓名	(1) 西室泰三

裝 訂 線

經濟部中央標準局員工消費合作社印製

318242

申請日期	85 年 12 月 3 日
案號	85114902
類別	

A4
C4

（以上各欄由本局填註）

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	
	英文	
二、發明 ~~創作~~ 人	姓名	⑷ 池田尚史
	國籍	⑷ 日本
	住、居所	⑷ 日本國神奈川縣橫浜市南區高砂町一一一〇一一 クレアーレ東芝吉野町六〇五
三、申請人	姓名（名稱）	
	國籍	
	住、居所（事務所）	
	代表人姓名	

裝 訂 線

經濟部中央標準局員工消費合作社印製

318242

（由本局填寫）

承辦人代碼：	
大　　類：	
ＩＰＣ分類：	

A6
B6

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有　□無主張優先權
日本	1995 年 12 月 8 日	7-320182	☑無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（1）

本發明關於 Mask ROM 等之半導體記憶裝置。

〔習知技術〕

習知之 Mask ROM ，爲救濟不良記憶格而設之冗長記憶格，係由熔斷絲（ Fuse ）構成。該熔斷絲係由多晶矽構成。資料之記憶係由是否切斷熔斷絲來進行。

但是，熔斷絲構成之冗長記憶格，與ＭＯＳ電晶體構成之主記憶格相較，在半導體晶片上佔有較大面積。另外，爲切斷熔斷絲，需施加高電壓於該熔斷絲。

因此，如圖４６所示般，習知 Mask ROM 之底層設計係設定成，主記憶格陣列１與冗長記憶格陣列２係配置於分離之位置。

因此，需另備冗長解碼器３俾對位址進行解碼，並選擇冗長記憶格，同時，需另備匯流排線５俾將冗長記憶格輸出之資料導入感測放大器４。

亦即，習知 Mask ROM ，其冗長記憶格使用熔斷絲，故有半導體晶片之面積變大之缺點。

〔發明所欲解決之問題〕

如上述般，於習知 Mask ROM ，冗長記憶格使用熔斷絲，而且冗長記憶格陣列配置於離開主記憶格陣列之位置，故有半導體晶片面積變大之缺點。

本發明係爲解決上述缺點，目的在於提供一種，於 Mask ROM 等半導體記憶裝置中，可得縮小晶片面積之冗

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 ⌒

經濟部中央標準局員工消費合作社印製

五、發明說明（2）

長記憶格之構造、晶片上之底層設計、冗長電路或解碼器等之電路構成，以及圖型佈設（Pattern Layout）。

〔解決問題之方法〕

爲達成上述目的，本發明之半導體記憶裝置，其特徵爲具備：主記憶格陣列；依第1輸入信號選擇上述主記憶格陣列之行的行解碼器；近接配置於上述主記憶格陣列之列方向之一端，與上述主記憶格陣列共用位元線或列線的冗長記憶格陣列；配置於上述主記憶格陣列與上述冗長記憶格陣列之間的切斷電路；鄰接上述冗長記憶格陣列而配置，依第2輸入信號來選擇上述主記憶格陣列之列之同時，依上述第1或第2輸入信號來選擇上述冗長記憶格陣列之列的列解碼器；及依上述第1或第2輸入信號來選擇上述冗長記憶格陣列之行之同時，藉由上述切斷電路於上述主記憶格陣列與冗長記憶格陣列之間切斷上述位元線或列線的冗長電路。

上述主記憶格陣列係由僅能讀出動作之Mask ROM構成，上述冗長記憶格陣列係由一層ＰＲＯＭ構成。

於上述冗長記憶格陣列中，在列方向鄰接之2個記憶格係共用源極・汲極區域。

上述冗長記憶格陣列之行方向之尺寸爲上述主記憶格陣列之行方向之尺寸之整數倍。

此處，行方向係指平行於字元線之方向，列方向係指平行於列線或位元線之方向。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（3）

上述冗長電路係具備記憶部用以記憶具有上述主記憶格陣列之不良記憶格之行位址，當上述記憶部所記憶之行位址與上述第1輸入信號所選擇之行位址一致時，藉由上述切斷電路切斷上述位元線或列線，俾選擇上述冗長記憶格陣列之行。

上述冗長電路係具備記憶部用以記憶具有上述主記憶格陣列之不良記憶格之列位址，當上述記憶所記憶之列位址與上述第2輸入信號所選擇之列位址一致時，藉由上述切斷電路切斷上述位元線或列線，俾選擇上述冗長記憶格陣列之行，共將上述第1輸入信號導至上述列解碼器，依上述第1輸入信號來選擇上述冗長記憶格陣列之列。

傳導上述第1輸入信號之信號線及傳導上述第2輸入信號之信號線，係介由第1及第2電晶體群互相連接，上述列解碼器係接於上述第1及第2電晶體群之間之信號線，藉由控制上述第1及第2電晶體群之ＯＮ及ＯＦＦ據以將上述第1或第2信號傳導至上述列解碼器。

上述冗長電路係具備記憶格用以記憶具有上述主記憶格陣列之不良記憶格之行位址及列位址，當上述記憶部所記憶之行位址或列位址與上述第1或第2輸入信號所選擇之行位址或列位址一致時，藉由上述切斷電路切斷上述位元線或列線，俾選擇上述冗長記憶格陣列之行，並將上述第1或第2輸入信號導至上述列解碼器，依上述第1或第2輸入信號來選擇上述冗長記憶格陣列之列。

傳導上述第1輸入信號之信號線及傳導上述第2輸入

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部中央標準局員工消費合作社印製

五、發明說明（4）

信號之信號線，係介由第1及第2及第3電晶體群互相連接，上述列解碼器係接於上述第1及第2電晶體群間之信號線，上述切斷電路及用以選擇冗長記憶格陣列之行的選擇電路，係接於上述第2及第3電晶體群間之信號線，藉由控制上述第1及第2及第3電晶體群之ＯＮ或ＯＦＦ將上述第1或第2輸入信號傳導至上述列解碼器，將上述第1或第2輸入信號傳至上述選擇電路。

上述半導體記憶裝置其有交互配置之位元線及列線，上述主記憶格陣列係由接於位元線與列線間之記憶格構成，上述冗長記憶格陣列係由接於列線或列線間之記憶格構成，上述位元線及特定之列線係接於感測放大器，上述列線係接於偏壓電路俾對各個列線供給特定電位。

上述冗長記憶格陣列之記憶格亦可連接於位元線與位元線之間。

讀出上述主記憶格陣列之記憶格之資料時，上述偏壓電路係對上述列線交互施加接地電位及偏壓電位，當讀長上述冗長記憶格陣列之記憶格之資料時，上述偏壓電路係對上述列線每間隔1條施加接地電位，令未施加接地電位之列線接於感測放大器。

另具有寫入電路俾對上述列線供給特定電位並將資料寫入上述冗長記憶格陣列之記憶格內，當上述寫入電路將資料寫入上述冗長記憶格陣列之記憶格時，上述冗長電路即藉由切斷電路切斷上述位元線或列線。

另具有1個以上之第1導電片用以對上述冗長記憶格

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（5）

陣列之記憶格施加資料寫入用之供給電位，及1個以上之第2導電片用以施加電源電位俾使半導體記憶裝置動作，當資料寫入上述冗長記憶格陣列之記憶格後，上述第1導電片及第2導電片同時被施加有上述電源電位。

在上述冗長記憶格陣列與主記憶格陣列之間配置解碼器，俾使通過上述冗長記憶格陣列內之位元線或列線之數目少於通過上述主記憶格陣列內之位元線或列線之數目。

本發明之半導體記憶裝置，係具有：主記憶格陣列；依第1輸入信號來選擇上述主記憶格陣列之行的行解碼器；依第2輸入信號來選擇上述主記憶格陣列之列的列解碼器；冗長記憶格陣列；依上述第1及第2輸入信號中之至少1種信號來選擇上述冗長記憶格陣列之行的冗長電路；及依上述第1或第2輸入信號來選擇上述冗長記憶格陣列之列的列解碼器。

〔發明之實施形態〕

以下，參照圖面詳細說明本發明之半導體記憶裝置。

〔A〕以下之實施形態主要關於冗長記憶格之構造，晶片上之底層設計、電路構成及圖型佈設。

圖1所示爲本發明實施形態相關之半導體記憶裝置之底稿設計圖。

行解碼器10配置於2個主記憶格陣列11A、11B之間。亦即，2個主記憶格陣列11A、11B共用1個行解碼器10。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 6 ）

主記憶格陣列１１Ａ與冗長記憶格陣列１２Ａ之間配置有切斷電路１３Ａ。切斷電路１３Ａ用以電連接、或切斷主記憶格陣列１１Ａ與冗長記憶格陣列１２Ａ之連接，切斷電路１３Ａ之具體構成或動作於後詳述之。

同樣地，主記憶格陣列１１Ｂ與冗長記憶格陣列１２Ｂ之間配置有切斷電路１３Ｂ。切斷電路１３Ｂ用以電連接，或切斷主記憶格陣列１１Ｂ與冗長記憶格陣列１２Ｂ之連接。切斷電路１３Ｂ之具體構成或動作如後述。

主記憶格陣列１１Ａ、１１Ｂ之行方向之寬與冗長記憶格陣列１２Ａ、１２Ｂ之行方向之寬，係設定成互爲相等。

以下所有說明中，行方向及列方向定義如下。亦即，行方向係指平行於主記憶格陣列之字元線（或冗長記憶格陣列之控制閘極）之方向，列方向指平行於主記憶格陣列及冗長記憶格陣列之列線或位元線之方向。

冗長電路１４係配置於冗長記憶格陣列１２Ａ及切斷電路３Ａ，與冗長記憶格陣列１２Ｂ及切斷電路１３Ｂ之間。冗長電路１４，用以將不良記憶格置換爲冗長記憶格，並對該冗長記憶格進行讀出動作者。

列解碼器１５Ａ係鄰接冗長記憶格陣列１２Ａ而配置，列解碼器１５Ｂ則鄰接冗長記憶格陣列１２Ｂ配置。

感測放大器１６Ａ鄰接列解碼器１５Ａ配置，感測放大器１６Ｂ鄰接列解碼器１５Ｂ配置。偏壓電路１７Ａ鄰

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（7）

接主記憶格陣列１１Ａ配置，偏壓電路１７Ｂ則鄰接主記憶格陣列１１Ｂ配置。

導電片１８Ａ、１８Ｂ分別配置在半導體晶片１９之互爲面對之２個緣部。

上述底稿設計所示各區塊之配置中，主記憶格陣列１１Ａ、冗長記憶格陣列１２Ａ、切斷電路１３Ａ、列解碼器１５Ａ、感測放大器１６Ａ、及偏壓電路１７Ａ上，有多數位元線（或　列線）共用連接。

同樣地，在主記憶格陣列１１Ｂ、冗長記憶格陣列１２Ｂ、切斷電路１３Ｂ、列解碼器１５Ｂ、感測放大器１６Ｂ、及偏壓電路１７Ｂ共用連接有多數位元線（或列線）。

藉由此種配置，可將冗長記憶格陣列１２Ａ、１２Ｂ近接於主記憶格陣列１１Ａ、１１Ｂ配置，而且，使主記憶格陣列１１Ａ、１１Ｂ之行方向之寬相等於冗長記憶格陣列１２Ａ、１２Ｂ之行方向之寬。

因此，若將列解碼器１５Ａ鄰接配置於冗長記憶格陣列１２Ａ，則可使主記憶格陣列１１Ａ與冗長記憶格陣列１２Ａ共用列解碼器１５Ａ，冗長記憶格陣列１２Ａ不需專用之列解碼器。

同樣地，若將列解碼器１５Ｂ鄰接冗長記憶格陣列１２Ｂ配置，則可使主記憶格陣列１１Ｂ與冗長記憶格陣列１２Ｂ共用列解碼器１５Ｂ，冗長記憶格陣列１２Ｂ不需專用之列解碼器。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（8）

又，因爲主記憶格陣列１１Ａ、冗長記憶格陣列１２Ａ、切斷電路13Ａ、列解碼器１５Ａ、感測放大器１６Ａ及偏壓電路１７Ａ共用連接多數之位元線（或列線），故不需要將冗長記憶格陣列１２Ａ之記憶格之資料傳導至感測放大器之新的匯流排。

同樣地，因爲主記憶格陣列１１Ｂ、冗長記憶格陣列１２Ｂ、切斷電路13Ｂ、列解碼器１５Ｂ、感測放大器１６Ｂ及偏壓電路１７Ｂ共用連接多數之位元線（或列線），故不需要將冗長記憶格陣列１２Ｂ之記憶格之資料傳導至感測放大器之新的匯流排。

如上述般，依本發明之底稿設計，則可達成半導體晶片之縮小化。

圖２爲本發明實施形態相關之半導體記憶裝置之一部分之平面圖。

又，於圖２中，斜線部分一般稱爲ＳＤＧ（源極、閘極、汲極）區域。於該ＳＤＧ區域形成作爲 Mask ROM 記憶格之虛擬接地、列線之埋入n^+區域，藉此來形成冗長記憶格陣列之字元線（控制閘極）及源極、汲極區域。

圖３爲沿圖２之ＩＩＩ－ＩＩＩ線之斷面圖。圖４爲沿圖２之ＩＶ－ＩＶ線之斷面圖。圖５爲一層ＰＲＯＭ之等效電路圖。

本發明係於例如圖１之半導體記憶裝置（特別是 Mask ROM ）之冗長記憶格使用所謂之一層ＰＲＯＭ者。

半導體基板２０上形成有場（ Field ）氧化膜２１

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（9）

。半導體基板２０中形成有向行方向延伸之多數字元線（控制閘極）２２。字元線２２由擴散層構成，以一定間隔規則配置。

字元線２２上配置有多數浮動閘極２３。浮動閘極２３係由包含雜質之多晶矽構成，具備Ｔ字形。

在浮動閘極２２３之一部分之正下方之半導體基板２０上形成電晶體通道。在該通道兩端之半導體基板２０上形成源極、汲極區域２４Ａ、２４Ｂ。源極、汲極區域２４Ａ、２４Ｂ係由擴散層構成。

源極、汲極區域２４Ａ、２４Ｂ接於向列方向延伸之多數位元線（或列線）２５。位元線（列線）２５由鋁構成，亦連接於主記憶格。

又，互爲鄰接之一層ＰＲＯＭ（冗長記憶格）Ｍ１、Ｍ２係共用源極、汲極區域２４Ａ、２４Ｂ。

於使用上述一層ＰＲＯＭ之冗長記憶格的半導體記憶裝置中，特別是當主記憶格係爲ＭＯＳ電晶體構成之Mask ROM 時，可使主記憶格之位元線（或列線）及冗長記憶格之位元線（或列線）共用，亦可使主記憶格之列解碼器與冗長記憶格之列解碼器共用。

因此，冗長記憶格陣列不需專用之列解碼器，可縮小半導體晶片面積。

另外，主記憶格之閘極及冗長記憶格之浮動閘極可由第１層多晶矽同時形成，故不會增加製造工時，成本亦不會上昇。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（10）

圖6爲本發明之半導體記憶裝置之行解碼器之電路圖。

例如，由8條之PHWA群選擇1條，對所選擇之1條PHWA供給高電位V_{DD}，對剩下之7條PHWA供給低電位V_{SS}。此處，由8條PHWB群中選擇1條，對所選擇之1條PHWB供給低電位V_{SS}，則MOS電晶體A、B成爲ON狀態，節點D之電位成爲〝H〞位準，特定字元線之電位成爲〝H〞位準。

當MOS電晶體A及MOS電晶體B之任1成爲OFF狀態時，節點D介由電阻E接於接地點，接於該節點D之字元線之電位成爲〝L〞位準。

又，MOS電晶體A及MOS電晶體B爲ON，PHWA爲〝L〞位準時，字元線之電位亦成爲〝L〞位準。

又，PHWC群及PHWD群係從多數字元線中選擇1條字元線時使用。26爲主解碼器。

圖7爲本發明之半導體記憶裝置之冗長電路之電路圖。

此發明有關於將主記憶格陣列1之1條字元線所接之全部記憶格以冗長記憶格置換用之冗長電路。

首先，說明記憶將冗長記憶格置換之位址用之方法。由位址導電片輸入位址信號，該位址信號於位址解碼器解碼，產生PHWA群之信號。

此處，本發明中，爲使主記憶格陣列之1條字元線所

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（11）

接全部記憶格置換爲冗長記憶格，不使用列指定用之位址信號。

又，選擇將主記憶格陣列之1條字元線所接全部記憶格置換爲冗長記憶格陣列之1行，輸入位址信號用以選擇該1行。

用以選擇該主記憶格陣列之字元線的位址信號及用以選擇冗長記憶格陣列之字元線的位址信號，係分別記憶於冗長電路內之記憶部（例如和冗長記憶格一樣由一層PROM構成）ME。

亦即，位準移位器電路B'將寫入電位V_{PP}供至記憶格ME之特定1條位元線（記憶格之汲極）。又，位準移位器電路C'將例如寫入電位V_{PP}供至記憶部ME之特定之1條字元線（記憶格之控制閘極）。

汲極施加有寫入電位V_{PP}之記憶格群A'之中，控制閘極亦施加有寫入電位V_{PP}之記憶格之浮動閘極被植入電子，該記憶格被寫入資料（位址信號）。

其次，說明冗長記憶格之選擇方法及資料之記憶方法。當由外部輸入位址信號時，判斷該位址信號之位址是否與記憶部ME記憶之位址一致，當判斷爲一致時，節點D之電位成爲〝H〞位準。

又，節點E之電位亦成爲〝H〞位準，位準移位器電路L輸出寫入電位V_{PP}。另外，藉由列解碼器CDE選擇冗長記憶格陣列之多數字元線之1條。

因此，在冗長記憶格陣列被選擇之1條字元線上施加

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（12）

寫入電位 V_{PP} 。

又，當冗長記憶格之行方向之尺寸爲主記憶格之行方向之尺寸之 2^n 倍時，爲救濟主記憶格陣列1之條字元線所連接全部記憶格，需要冗長記憶格陣列之 2^n 條之行。

此種場合下，藉由列解碼器CDE選擇冗長記憶格陣列之 2^n 條字元線。

又，如圖8所示般，冗長記憶格陣列之特定位元線（或列線）介由列解碼器CDE' 施加特定之電位，資料記憶於冗長記憶格陣列內。

接著，說明從冗長記憶格讀出資料之方法。當由外部輸入位址信號時，經由位址解碼器將位址信號解碼，以產生PHWA。

例如，8條PHWA之中之1條被選擇時，該選擇之1條之PHWA之電位（節點G）成爲〝H〞位準。此處，位址移位器電路C' 之電源電位，在資料寫入冗長記憶格之階段，爲寫入電位 V_{PP} ，之後爲一般電位 V_{DD} 。

因此，電晶體I之字元線之電位成爲〝H〞位準，當資料寫入該電晶體I時（電子植入浮動閘極時），電流未流入該電晶體I。而當資料未寫入電晶體I時（電子未植入浮動閘極時），電流流經該電晶體I。

同樣地，對PHWB群及選擇主位址之信號之中所選擇信號線所連接A' 群之電晶體之全部進行寫入時，A' 群之電晶體之全部未流通電流，節點D成爲〝H〞位準。

但是，當A' 群電晶體中至少存在有一個未進行資料

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（13）

之寫入時，該電晶體流通有電流，故節點D成爲〝L〞位準。

讀出冗長記憶格之資料時，令節點J爲〝H〞位準，例如藉由切斷電路將主記憶格陣列從感測放大器切斷，使主記憶格陣列之資料無法輸出。

圖9及圖10爲本發明之半導體記憶裝置之記憶格陣列部之構成。

又，圖9爲主記憶格陣列、冗長記憶格陣列及切斷電路之連接關係之電路圖。圖10爲主記憶格陣列、冗長記憶格陣列及切斷電路之配置關係之圖型佈設圖。

冗長記憶格之行方向之尺寸，係設定成主記憶格之行方向之尺寸之8倍，例如，主記憶格陣列之列設爲64列，冗長記憶格陣列之列設爲8列，則主記憶格陣列之行方向之寬與冗長記憶格之行方向之寬成爲相等。

又，主記憶格陣列之列線及冗長記憶格陣列之列線爲共用，主記憶格陣列與冗長記憶格陣列之間配置有切斷電路。

該切斷電路之功能爲，當資料寫入冗長記憶格時，係使寫入電位V_{PP}不致施加於主記憶格，同時，當從冗長記憶格讀出資料時，使來自於主記憶格陣列之資料不致傳至感測放大器。

接著，簡單說明讀出主記憶格之資料時之列解碼器之動作。例如，選擇圖8之信號線K時，1條位元線B1接於感測放大器31，配置於其兩側之2條列線C1、C2

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（14）

之一方接於偏壓電路32，另一方接於接地點。

又，讀出冗長記憶格陣列之資料時，例如列線C1或感測放大器列線C2接於V_{ss}，故接於列線C1與感測放大器列線C2間之冗長記憶格之資料被讀出。

〔B〕以下之實施形態係有關，僅於行方向設有冗長記憶格，以達成主記憶格之行方向及列方向之救濟者。

圖11爲本發明之半導體記憶裝置之電路構成。

此發明係構成爲，藉由僅設於主記憶格陣列之列方向（或行方向）之一端部之冗長記憶格陣列，即可進行主記憶格陣列之行方向之記憶格之救濟及列方向之記憶格之救濟者。

以下說明中，方便起見，假設主記憶格陣列具有4個行及4個列，冗長記憶格陣列僅形成於主記憶格陣列之列方向之一端。

4條列線COL1～COL4分別配置於主記憶格陣列41內、切斷電路42內、冗長記憶格陣列43內、及列解碼器44內。

主記憶格陣列41係4×4行列狀配置之臨界值不同之MOS電晶體構成。切斷電路42由MOS電晶體構成。冗長記憶格陣列43則由4×1之行列狀配置之臨界值不同之一層PROM構成。列解碼器44將4條列線COL1～COL4之中所選擇之1條接至感測放大器45。

主記憶格陣列41之4條字元線WL1～WL4，係

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（15）

接於行解碼器４６。行解碼器４６，係由例如ＮＡＮＤ電路及變流器電路串接而成者。行解碼器４６上輸入有例如行前置解碼器（Low Predecoder）之輸出信號φＡ１、φＡ２、φＢ１、φＢ２。行解碼器４６係依輸出信號φＡ１、φＡ２、φＢ１、φＢ２來選擇１條字元線，並供給高電位V_{DD}至該選擇之１條字元線。

行前置解碼器之輸出信號φＡ１、φＡ２、φＢ１、φＢ２亦輸入於行位址記憶電路４７。

當主記憶格陣列４１存在有不良記憶格時，行位址記憶電路４７記憶著用以選擇不良記憶格所存在之行（字元線）用的行位址。

此處，當供給有用以選擇不良記憶格所存在之行（字元線）的輸出信號φＡ１、φＡ２、φＢ１、φＢ２（行位址）時，行位址記憶電路４７即輸出〝Ｌ〞位準之輸出信號。

因此，切斷電路４２之ＭＯＳ電晶體，全變爲ＯＦＦ狀態，列線ＣＯＬ１～ＣＯＬ４於主記憶格陣列４１與冗長記憶格陣列４３之間被切斷。

又，進行行方向之記憶格之救濟時，電晶體群Ａ爲ＯＦＦ狀態，電晶體群Ｂ設定爲ＯＮ狀態。

當主記憶格陣列４１存在不良記憶格，進行行方向之記憶格之救濟時，列前置解碼器之輸出信號ＣＡ１、ＣＡ２、ＣＢ１、ＣＢ２被供至列解碼器４４。當進行列方向之記憶格之救濟時，列前置解碼器之輸出信號ＣＡ１

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（16）

、ＣＡ２、ＣＢ１、ＣＢ２僅供至列位址記憶電路４８。

列位址記憶電路４８上記憶著用以選擇不良記憶格所存在之列（列線）的列位址。

此處，當供給有用以選擇不良記憶格所存在之列（列線）之輸出信號ＣＡ１、ＣＡ２、ＣＢ１、ＣＢ２（列位址）時，列位址記憶電路４８即輸出〝Ｌ〞位準之輸出信號。

因此，切斷電路４２之ＭＯＳ電晶體全變爲ＯＦＦ狀態，列線ＣＯＬ１～ＣＯＬ４於主記憶格陣列４１與冗長記憶格陣列４３之間被切斷。

又，進行列方向之記憶格之救濟時，電晶體群Ａ設定爲ＯＮ狀態，電晶體群Ｂ設定爲ＯＦＦ狀態。

以下，說明上述半導體記憶裝置之動作。

首先，考慮行方向之記憶格之救濟。假設將字元線ＷＬ２所接４個記憶格１～４置換爲冗長記憶格。此場合時，行位址記憶電路４７記憶著用以選擇字元線ＷＬ２之輸出信號φＡ１、φＡ２、φＢ１、φＢ２之資料。又，電晶體群Ａ設爲ＯＮ狀態，電晶體群Ｂ設定爲ＯＦＦ狀態。

當行前置解碼器之輸出信號φＡ１、φＡ２、φＢ１、φＢ２被供給時，行位址記憶電路４７即判斷輸出信號φＡ１、φＡ２、φＢ１、φＢ２是否爲選擇字元線ＷＬ２之信號。

當輸出信號φＡ１、φＡ２、φＢ１、φＢ２爲選擇

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（17）

字元線ＷＬ２，則行位址記憶電路４７即輸出〝Ｌ〞位準之輸出信號。因此，切斷電路４２之ＭＯＳ電晶體全變爲ＯＦＦ狀態，列線ＣＯＬ１～ＣＯＬ４於主記憶格陣列４１與冗長記憶格陣列４３之間被切斷。

因此，藉由行解碼器４６選擇字元線ＷＬ２，記憶格１～４之資料被輸出於列線ＣＯＬ１～ＣＯＬ４，藉由切斷電路４２使列線ＣＯＬ１～ＣＯＬ４被切斷，故該資料未傳導致感測放大器４５。

另一方面，在冗長記憶格陣列之字元線上（例如冗長記憶格爲一層ＰＲＯＭ之場合，控制閘極）被施加〝Ｈ〞位準之電位，冗長記憶格１～４之資料輸出於列線ＣＯＬ１～ＣＯＬ４。

又，列前置解碼器之輸出信號ＣＡ１、ＣＡ２、ＣＢ１、ＣＢ２被輸入列解碼器４４，僅１條列線接於感測放大器４５。因此，僅有選擇之列之資料經由感測放大器４５放大，輸出至外部。

接著，考慮列方向之記憶格之救濟。假設將接於列線ＣＯＬ２之４個記憶格Ａ～Ｄ以冗長記憶格置換。於此場合，列位址記憶電路４８記憶著用以選擇列線ＣＯＬ２之輸出信號ＣＡ１、ＣＡ２、ＣＢ１、ＣＢ２之資料。又，電晶體群Ａ設定爲ＯＦＦ狀態，電晶體群Ｂ設定爲ＯＮ狀態。

當列前置解碼器之輸出信號ＣＡ１、ＣＡ２、ＣＢ１、ＣＢ２被供給時，列位址記憶電路４８即判斷輸出信號

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（18）

ＣＡ１、ＣＡ２、ＣＢ１、ＣＢ２是否爲列線ＣＯＬ２。

當輸出信號ＣＡ１、ＣＡ２、ＣＢ１、ＣＢ２爲選擇列線ＣＯＬ２之信號時，列位址記憶電路４８即輸出〝Ｌ〞位準之輸出信號。因此，切斷電路４２之ＭＯＳ電晶體全變爲ＯＦＦ狀態，列線ＣＯＬ１～ＣＯＬ４於主記憶格陣列４１與冗長記憶格陣列４３之間被切斷。

另一方面，在冗長記憶格陣列之字元線（例如冗長記憶格爲一層ＰＲＯＭ時，爲控制閘極）ＷＲ上施加有〝Ｈ〞位準之電位，冗長記憶格１～４之資料被輸出於列線ＣＯＬ１～ＣＯＬ４。

又，行前置解碼器之輸出信號φＡ１、φＡ２、φＢ１、φＢ２被輸入列解碼器４４，僅１條列線接於感測放大器４５。因此，僅所選擇之行之資料由感測放大器４５放大，輸出至外部。

亦即，列方向之記憶格之救濟時，首先，由冗長記憶格輸出列方向之４個資料，此由列解碼器（也許說行解碼器更貼切）４４來決定１行。

以下，說明主記憶格陣列４１不存在有不良記憶格之場合。

此場合，在行位址記憶電路４７未記憶有行位址資料，列位址記憶電路４８未記憶有列位址資料，故行位址記憶電路４７及列位址記憶電路４８之輸出信號同時變爲〝Ｈ〞位準。

因此，切斷電路４２之ＭＯＳ電晶體全變爲ＯＮ狀態

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（19）

。亦即，行解碼器４６所選擇之字元線所接之記憶格之資料被輸出於列線ＣＯＬ１～ＣＯＬ４。該資料之中僅由列解碼器４４所選擇之１個資料被傳至感測放大器４５。

依上述構成之半導體記憶裝置，則同時達成行方向之記憶格之救濟與列方向之記憶格之救濟時，冗長記憶格陣列只需設於主記憶格陣列之列方向之一端部或行方向之一端部即可，沒有必要設於列方向之端部及行方向之端部之兩方。

亦即，例如上述實施形態之場合，救濟行方向之記憶格時，從冗長記憶格陣列讀出行方向之記憶格之資料，藉由列解碼器選擇列即可進行。又，救濟列方向之記憶格時，從冗長記憶格陣列讀出列方向之記憶格之資料，將行前置解碼器之輸出信號輸入列解碼器，藉由列解碼器來選擇行即可。

因此，不必增大半導體晶片之面積，即可同時達成行方向之記憶格之救濟及列方向之記憶格之救濟。

圖１２爲本發明之半導體記憶裝置之電路構成。

此發明，和上述發明同樣地，藉由主記憶格陣列之列方向（或行方向）之一端部所設冗長記憶格陣列，即可進行主記憶格陣列之行方向記憶格之救濟及列方向記憶格之救濟。

以下發明中，爲簡單爲起見，假設主記憶格陣列具４個行及４個列，冗長記憶格陣列僅形成在主記憶格陣列之列方向之一端部。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（20）

4條列線COL1～COL4係分別配置於主記憶格陣列41內、切斷電路42內、冗長記憶格陣列43內、及列解碼器44內。

主記憶格陣列41係由4×4行列狀配置之臨界值互異之MOS電晶體構成。切斷電路42由MOS電晶體構成。冗長記憶格陣列43由4×1行列狀配置之臨界值互異之一層PROM構成。列解碼器44用以將4條列線COL1～COL4之中所選擇之1條連接於感測放大器45。

主記憶格陣列41之4條字元線WL1～WL4係接於行解碼器46。行解碼器46係由例如NAND電路及換流器電路串接而成者。行解碼器46輸入有例如行前置解碼器之輸出信號ϕA1、ϕA2、ϕB1、ϕB2。行解碼器46係依輸出信號ϕA1、ϕA2、ϕB1、ϕB2選擇1條字元線，並供給高電位V_{DD}至該選擇之1條字元線。

行前置解碼器之輸出信號ϕA1、ϕA2、ϕB1、ϕB2介由電晶體群A，B輸入位址記憶電路49。

主記憶格陣列41存在有不良記憶格，進行行方向之救濟時，位址記憶電路49記憶著行位址用以選擇不良記憶格存在之行（字元線）。

此處，供給有用以選擇不良記憶格存在之行（字元線）之輸出信號ϕA1、ϕA2、ϕB1、ϕB2（行位址）時，位址記憶電路49輸出〝L〞位準之輸出信號。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（21）

因此，切斷電路42之MOS電晶體全變爲OFF狀態，列線COL1～COL4於主記憶格陣列41與冗長記憶格陣列43之間被切斷。

當主記憶格陣列41存在不良記憶格，而進行行方向之記憶格之救濟時，列前置解碼器之輸出信號CA1、CA2、CB1、CB2被供至列解碼器44，欲進行列方向之記憶格之救濟時，列前置解碼器之輸出信號CA1、CA2、CB1、CB2僅供至位址記憶電路49。

當主記憶格陣列41存在不良記憶格，欲進行列方向之救濟時，位址記憶電路49記憶著列位址用以選擇不良記憶格存在之列（列線）。

此處，當供給有用以選擇不良記憶格存在之列（列線）之輸出信號CA1、CA2、CB1、CB2（列位址）時，位址記憶電路49輸出〝L〞位準之輸出信號。

因此，切斷電路42之MOS電晶體全變爲OFF狀態，列線COL1～COL4於主記憶格陣列41與冗長記憶格陣列43之間被切斷。

亦即，此發明和上述發明相較之不同點在於，用以選擇冗長記憶格之行位址記憶電路及列位址記憶電路作成1個位址記憶電路。

以下，說明上述半導體記憶裝置之動作。

首先，考慮行方向之記憶格之救濟。假設將字元線WL2所接4個記憶格1～4以冗長記憶格置換。此場合，位址記憶電路49記憶有選擇字元線WL2用之輸出信

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（22）

號φA1、φA2、φB1、φB2之資料。

又，如下表所示，電晶體群A、B設定爲ON狀態，電晶體群C設定爲OFF狀態。

當行前置解碼器之輸出信號φA1、φA2、φB1、φB2被供給時，位址記憶電路49即判斷輸出信號φA1、φA2、φB1、φB2是否爲選擇字元線WL2者。

當輸出信號φA1、φA2、φB1、φB2爲選擇字元線WL2時，位址記憶電路49即輸出〝L〞位準輸出信號。因此，切斷電路42之MOS電晶體全變爲OFF狀態，列線COL1～COL4於主記憶格陣列41與冗長記憶格陣列43之間被切斷。

因此，藉由行解碼器46選擇字元線WL2，記憶格1～4之資料被輸出至列線COL1～COL4，但因切斷電路42切斷列線COL1～COL4，故該資料不會傳至感測放大器45。

另一方面，冗長記憶格陣列之字元線（例如，冗長記憶格爲一層PROM時，爲控制閘極）WR施加〝H〞位準之電位，冗長記憶格1～4之資料被輸出至列線COL1～COL4。

此後，如表1所示般，電晶體群B、C成爲ON狀態，電晶體群A成爲OFF狀態。

又，列前置解碼器之輸出信號CA1、CA2、CB1、CB2被輸入列解碼器44，僅1條列線接於感

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（23）

測放大器４５。因此，僅選擇列之資料由感測放大器４５放大，輸出至外部。

以下，考慮列方向之記憶格之救濟。假設列線ＣＯＬ２所接４個記憶格Ａ～Ｄ以冗長記憶格置換。於此場合下，位址記憶電路４９記憶著用以選擇列線ＣＯＬ２之輸出信號ＣＡ１、ＣＡ２、ＣＢ１、ＣＢ２之資料。

又，如表１所示般，電晶體群Ａ，Ｃ設定爲ＯＮ狀態，電晶體群Ｂ設定爲ＯＦＦ狀態。

當列前置解碼器之輸出信號ＣＡ１、ＣＡ２、ＣＢ１、ＣＢ２被供給時，位址記憶電路４９即判斷輸出信號ＣＡ１、ＣＡ２、ＣＢ１、ＣＢ２是否爲選擇列線ＣＯＬ２之信號。

若輸出信號ＣＡ１、ＣＡ２、ＣＢ１、ＣＢ２爲選擇列線ＣＯＬ２之信號，則位址記憶電路４９輸出〝Ｌ〞位準之輸出信號，因此，切斷電路４２之ＭＯＳ電晶體全變爲ＯＦＦ狀態，列線ＣＯＬ１～ＣＯＬ４於主記憶格陣列４１與冗長記憶格陣列４３之間被切斷。

另一方面，冗長記憶格陣列之字元線（例如冗長記憶格爲一層ＰＲＯＭ時，控制閘極）ＷＲ上被施加〝Ｈ〞位準之電位，冗長記憶格１～４之資料輸出於列線ＣＯＬ１～ＣＯＬ４。

又，行前置解碼器之輸出信號φＡ１、φＡ２、φＢ１、φＢ２被輸入列解碼器４４，僅１條列線接於感測放大器４５。因此，僅所選擇行之資料被感測放大器

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（24）

45放大，輸出至外部。

亦即，列方向之記憶格之救濟時，由冗長記憶格將列方向之4個資料輸出，並於列解碼器（也許稱行解碼器較適中）44決定1個行。

以下，說明主記憶格陣列41不存在不良記憶格之場合。

此場合，如表1所示般，電晶體群B、C設定爲ON狀態，電晶體群A設定爲OFF狀態。

又，位址記憶電路49上來記憶有行位址資料及列位址資料，故位址記憶電路49之輸出信號經常爲〝H〞位準。

因此，切斷電路42之MOS電晶體全變爲ON狀態，亦即行解碼器46所選擇字元線所接記憶格之資料輸出於列線COL1～COL4，該資料之中僅列解碼器44所選擇之1個資料被傳至感測放大器45。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（25）

〔表 1〕

	行方向救濟		列方向救濟		記憶格陣列讀出時
	行檢出時	行救濟讀出時	行檢出時	行救濟讀出時	
電晶體群 A	ON	OFF	ON	ON	OFF
電晶體群 B	ON	ON	OFF	OFF	ON
電晶體群 C	OFF	ON	ON	ON	ON

依上述構成之半導體記憶裝置，當同時達成行方向之記憶格之救濟及列方向記憶格之救濟時，冗長記憶格陣列僅需設於主記憶格陣列之列方向之一端部或行方向之一端部即可，不必設於列方向之端部與行方向之端部之雙方。

亦即，例如，上述實施形態之場合，行方向之記憶格之救濟時，可由冗長記憶格陣列讀出行方向之記憶格之資料，藉由列解碼器選擇列來進行。又，列方向之記憶格之救濟時，可由冗長記憶格陣列讀出列方向之記憶格資料，將行前置解碼器之輸出信號輸入列解碼器，由列解碼器來

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 26 ）

選擇行。

因此，可在不增大半導體晶片面積下，同時達成行方向之記憶格之救濟及列方向之記憶格之救濟。

〔Ｃ〕以下之實施形態主要係有關晶片上之底稿設計、電路構及及圖型佈設。

圖１３及本發明之半導體記憶裝置之方塊圖。

此實施形態中，以 Mask ROM 爲前提。又，爲使以下之說明簡單，假設主記憶格陣列係於行方向具３２格，於列方向具６４格，具４個Ｉ／Ｏ端子。

又，行救濟及方區塊救濟之基本單位之大小，係與前述之實施形態相同，行救濟時，字元線１條（６４格），區塊救濟時，行方向２格，列方向１６格。

首先，說明此半導體記憶裝置之構成。

主記憶格陣列５１Ａ、５１Ｂ、５１Ａ'、５１Ｂ'係由依資料記憶之有無變化臨界值之多數ＭＯＳ電晶體所構成。冗長記憶格陣列５２Ａ、５２Ｂ、５２Ａ'、５２Ｂ'，係由依資料記憶之有無變化臨界值之多數之一層ＰＲＯＭ構成。依此種構成，則可使主記憶格陣列之列線與冗長記憶格陣列之列線共用化，且列解碼器亦可共用化，可使主記憶格陣列與冗長記憶格陣列近接以縮小半導體晶片之面積。

當主記憶格由ＭＯＳ電晶體構成、冗長記憶格由一層ＰＲＯＭ構成之場合，因ＭＯＳ電晶體之尺寸不同於一層ＰＲＯＭ之尺寸，可將一層ＰＲＯＭ之行方向之尺寸設定

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（27）

爲ＭＯＳ電晶體之行方向尺寸之2^n倍。

例如，如本實施形態般，將一層ＰＲＯＭ之行方向尺寸設爲ＭＯＳ電晶體之行方向尺寸之８倍，１個主記憶格陣列之行方向配置３２格之場合，若１個冗長記憶格陣列之行方向配置４格，則冗長記憶格陣列之列之節矩爲主記憶格陣列之列之節矩之８倍，冗長記憶格陣列之行方向之寬與主記憶格陣列之行方向之寬一致。

在主記憶格陣列５１Ａ、５１Ｂ、５１Ａ'，５１Ｂ'與冗長記憶格陣列５２Ａ、５２Ｂ、５２Ｂ'、５２Ａ'之間配置有位元線列解碼器５３、５３'及切斷電路５４、５４'。

位元線列解碼器５３、５３'，因主記憶格陣列５１Ａ、５１Ｂ、５１Ａ'、５１Ｂ'之列數大於冗長記憶格陣列５２Ａ、５２Ｂ、５２Ａ'、５２Ｂ'之列數，故可減低主記憶格陣列５１Ａ、５１Ｂ、５１Ａ'、５１Ｂ'之列數，具有使連接於冗長記憶格陣列５２Ａ、５２Ｂ、５２Ａ'、５２Ｂ'功能。

切斷電路５４、５４'，當寫入資料於冗長記憶格陣列冗長記憶格陣列５２Ａ、５２Ｂ、５２Ａ'，５２Ｂ'之記憶格時，或從該記憶格讀出資料時，具有將列線於主記憶格陣列與冗長記憶格陣列之間切斷之功能。

行解碼器５５、５５'具有依行主前置解碼器５６及行前置解碼器５７之輸出信號，來選擇主記憶格５１Ａ、５１Ｂ、５１Ａ'，５１Ｂ'之字元線之功能。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（28）

列解碼器58具有依列前置解碼器60之輸出信號，來選擇列線之功能。感測放大器59具有將從主記憶格或冗長記憶格所讀出資料予以放大之功能。感測放大器59之資料由輸出電路輸出至外部。

行位址記憶電路61、61'係記憶用來選擇主記憶格陣列之不良之行的信號，將該信號與行主前置解碼器56及行前置解碼器57之輸出信號比較，一致時輸出〝L〞位準之輸出信號。

列位址記憶電路63、63'係記憶用來選擇主記憶格陣列之不良區塊的信號，將該信號與行主前置解碼器56及列前置解碼器60之輸出信號比較，一致時輸出〝L〞位準之輸出信號。

選擇電路62、62'具有，依行位址記憶電路61、61'或列位址記憶電路63、63'之輸出信號，來選擇冗長記憶格陣列之多數控制閘極中之1條之功能。

位址轉換電路64、64'具有，依列位址記憶電路63、63'之輸出信號，從冗長記憶格陣列之多數控制閘極之中選擇1條之功能，同時具有，依行前置解碼器57或列前置解碼器60之輸出信號，來控制列解碼器58之功能。

冗長控制電路65、冗長寫入旗標電路66及SGV／D解碼器67具有，產生特定控制信號，供至特定電路之功能。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（29）

圖１４爲圖１３之半導體記憶裝置之讀出順序圖。

位址閂鎖能動信號ＡＬＥ之信號下降時被輸入位址端之位址信號被閂鎖，該位址信號分別被供至行主解碼器５６、行前置解碼器５７、列前置解碼器６０及ＳＧＶ／Ｄ解碼器６７。

行前置解碼器５７之輸出成爲φＡ１、φＡ２、φＢ１、φＢ２、ＳＧ１～ＳＧ４。此處，例如選擇ＳＧ１時，僅ＳＧ１成爲〝Ｈ〞位準，ＳＧ２～ＳＧ４全爲〝Ｌ〞位準。

如上述般將φＡ１及φＡ２中之１，φＢ１及φＢ２中之１、及ＳＧ１～ＳＧ４中之任一設定爲〝Ｈ〞位準，以進行字元線之選擇。

圖１５爲，選擇主記憶格陣列之字元線時，將主記憶格陣列畫分成４個區塊之例。

亦即，主記憶格陣列，例如於列方向具６４格，且於列方向畫分成４個區塊１～４。１個區塊具１６格。

如表２所示般，區塊之選擇係依採用ＲＡ１、ＲＡ２、ＲＢ１、ＲＢ２之４個信號之邏輯值來進行。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 30 ）

〔表　2〕

	ＲＡ１	ＲＡ２	ＲＢ１	ＲＢ２
區塊１	H	L	H	L
區塊２	H	L	L	H
區塊３	L	H	H	L
區塊４	L	H	L	H

圖１６爲，於選擇主記憶格陣列之字元線時，將主記憶格陣列之區塊再畫分爲多數區段（ Bank ）之例。

亦即，１個區段例如具有列方向４格，行方向之格。

如表３所示般，區段之選擇係採用ＳＧ１～ＳＧ４之４個信號之邏輯，以及使用ＳＧＵ、ＳＧＤ來進行。

ＳＧ１～ＳＧ４爲選擇列方向之４格者，ＳＧＵ、ＳＧＤ爲選擇行方向之２格者。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 31 ）

〔表　3 〕

	S G 1	S G 2	S G 3	S G 4
區段 1	H	L	L	L
區段 2	L	H	L	L
區段 3	L	L	H	L
區段 4	L	L	L	H

圖１７爲圖１５及圖１６所示區段式 Mask ROM 之等效電路。

１個區段，於列方向具４格，行方向具２格。各區段之間交互配置位元線ＢＩＴ０～ＢＩＴ３及列線ＣＯＬ１～ＣＯＬ４。

各區段所選擇記憶格之資料被讀出於位元線ＢＩＴ０～ＢＩＴ３。列線ＣＯＬ１～ＣＯＬ４施加有接地電位Ｖss 或偏壓電位，藉由施加於該列線ＣＯＬ１～ＣＯＬ４之電位進行區段之選擇。

主記憶格陣列在行方向具３２格之場合，行方向之區

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（32）

段數爲１６，位元線數目爲８條。因此，從所選擇８個記憶格讀出８個資料。

如表４所示般，字元線之選擇係利用φＡ１、φＡ２、φＢ１、φＢ２之４個信號之邏輯來進行。

〔表　４〕

	φＡ１	φＡ２	φＢ１	φＢ２
ＷＬ１	Ｈ	Ｌ	Ｈ	Ｌ
ＷＬ２	Ｈ	Ｌ	Ｌ	Ｈ
ＷＬ３	Ｌ	Ｈ	Ｈ	Ｌ
ＷＬ４	Ｌ	Ｈ	Ｌ	Ｈ

如表５所示般，各區段之行方向之２格中之１格之選擇係由ＳＧＵ及ＳＧＤ之２個信號來進行。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（33）

〔表　5〕

記憶格	SGU	SGD
a'	H	L
a	L	H

・WL1選擇之場合

以下，參照圖17說明記憶格之選擇方法及資料之讀出方式。

首先，使用φA1、φA2、φB1、φB2之4個信號選擇字元線WL1，將字元線WL1設定爲〝H〞位準之同時，將其他字元線WL2～4設定爲〝L〞位準。

又，例如對列線COL1供給接地電位COL1，對列線COL2供給偏壓電位。結果，僅配置於位元線BIT1與列線COL1之間之記憶格處於可讀出狀態。

另外，設定SG1爲〝H〞位準，設定SGU〝L〞位準，設定SGD爲〝H〞位準，則圓圈包圍之MOS電晶體處於ON狀態，記憶格b被選擇。

因此，記憶格b之資料讀出於位元線BIT1。

資料寫入記憶格b時（〝1〞資料記憶之場合），即

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（34）

使該記憶格ｂ之臨界值設爲較高，字元線ＷＬ１施加〝Ｈ〞位準之電位，記憶格ｂ亦不處於ＯＮ狀態。因此，位元線ＢＩＴ１之電位保持於預充電之〝Ｈ〞位準之電位，成爲位元線ＢＩＴ１上被讀出〝１〞資料之狀態。

另一方面，記憶格ｂ未寫入資料時（〝０〞資料記憶之場合），該記憶格ｂ之臨界值設定爲較低，當字元線ＷＬ１施加〝Ｈ〞位準之電位時，記憶格ｂ成爲ＯＮ狀態。因此，介由列線ＣＯＬ１使位元線ＢＩＴ１之電位成爲〝Ｌ〞位準（接地電位V_{ss}），位元線ＢＩＴ１上被讀出〝０〞資料。

圖１８爲取出主記憶格陣列之一部分之示例，圖１９爲將圖１８之電路形成於半導體基板上之場合之平面圖型。

位元線ＢＩＴ１、ＢＩＴ２及列線ＣＯＬ１～ＣＯＬ４係例如分別由鋁構成，ＳＧ１線，ＳＧＵ線，ＳＧＤ線及各字元線ＷＬ１～ＷＬ４係例如分別由矽化鎢構成。其他則由植入半導體基板中之例如植入n^+擴散層構成。

當記憶格ｂ被選擇，且記憶格ｂ記憶有〝０〞資料時，記憶格ｂ成爲ＯＮ狀態，位元線ＢＩＴ１之電位降低，位元線ＢＩＴ１上被讀出〝０〞資料。

表６爲，於圖１８及圖１９之 Mask ROM 中，所選擇記憶格與ＳＧ１、ＳＧＵ、ＳＧＤ之各信號之電位及列線ＣＯＬ１、ＣＯＬ２之電位間之關係。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 35 ）

〔表　6 〕

記憶格	SG1	SGU	SGD	WL1	COL1	COL2
a	H	H	L	H	Vss	偏壓
b	H	L	H	H	Vss	偏壓
c	H	L	H	H	偏壓	Vss
d	H	H	L	H	偏壓	Vss

圖２０爲主記憶格陣列部及冗長記憶格陣列部之電路構成。圖２１爲將圖２０之電路形成於半導體晶片上之場合之平面圖型。又，圖２２爲列解碼器、寫入電路部及讀出電路部之電路構成。

又，信號（例如ＣＣ１～ＣＣ４）之後附加有Ｒ／Ｌ記號，此Ｒ／Ｌ意味著，晶片上之記憶格陣列畫分爲左側及右側時（例如圖１３之５１Ａ、５１Ｂ爲左側，５１Ａ'、５１Ｂ'爲右側），左側之記憶格陣列與右側之記憶格陣列可以各別之信號獨立控制。

在主記憶格陣列７１內交互配置向列方向延伸之列線

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（36）

ＣＯＬ０～ＣＯＬ８及位元線ＢＩＴ０～ＢＩＴ７。又，冗長記憶格陣列７４內配置有向列方向延伸之列線ＣＯＬ０～ＣＯＬ８及位元線ＢＩＴ０、ＢＩＴ２、ＢＩＴ４、ＢＩＴ６。

主記憶格陣列７１與冗長記憶格陣列７４之間配置有位元線列解碼器７２及切斷電路７３。位元線列解碼器７２具有從８條位元線中選擇４條位元線之功能。切斷電路７３具有，當對冗長記憶格７５進行資料之寫入及讀出時，令列線ＣＯＬ０～ＣＯＬ８於主記憶格陣列與冗長記憶格陣列之間切斷之功能。

列解碼器７６具有從４條位元線中選擇１條位元線，且從９條列線中選擇３條列線之功能。偏壓解碼器７７，具有，依信號ＣＣ１Ｒ／Ｌ～ＣＣ４Ｒ／Ｌ，將偏壓源供給之偏壓電位供至特定之列線，且將接地電位供至剩餘之特定列線之功能。

感測放大器係使用差動型，藉由檢測位元線ＢＬ１或列線ＣＬ１之電位變化來讀出記憶格之資料。

寫入電路７８具有，將資料寫入冗長記憶格時，就列線供給寫入電位V_{PP}之功能。又，寫入電路７８具有，將資料寫入冗長記憶格時，切斷感測放大器（差動型）與列線之功能。

於上述構成之半導體記憶裝置中，冗長記憶格之列線係與主記憶格之列線共用化。此處，寫入電路７８之ＳＲＤＥ　Ｒ／Ｌ，當從主記憶格陣列之記憶格讀出資料

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（37）

時，係成爲〝H〞位準，當寫入資料於冗長記憶格時，及從冗長記憶格讀出資料時，係爲〝L〞位準。

又，藉由供給所要電位於圖30之資料寫入模式檢測電路之導電片，則資料寫入之認識用信號WCE成爲〝H〞位準。

以下，說明冗長記憶格之資料寫入。

首先，切斷電路73之MOS電晶體全設定爲OFF狀態，此乃爲防止寫入電位V_{PP}之施加於主記憶格。

藉由寫入電路78切斷列線CL1及感測放大器，並供給寫入電位V_{PP}於列線CL1，供給接地電位V_{SS}於列線CL2。又，因WCE爲〝H〞位準，故偏壓解碼器77之電晶體全爲OFF。

藉由列解碼器76選擇鄰接之2列，供給寫入電位V_{PP}至該2列中之一方，供給接地電位至另一方。又，選擇冗長記憶格陣列74之控制閘極CON1～CON4中之任一，供給寫入電位於該選擇之控制閘極。

例如，CON1被選擇，且於列線COL0施加寫入電位V_{PP}，於列線COL1施加接地電位，則冗長記憶格75之浮動閘極被植入電子，資料被寫入。

接著，說明從主記憶格陣列讀出資料。

首先，設定切斷電路73之MOS電晶體全爲ON狀態。

藉由寫入電路78切斷列線CL1及感測放大器，連接位元線及感測放大器。又，藉由偏壓電路及偏壓解碼器

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（38）

７７供給偏壓電位或接地電位至列線ＣＬ１～ＣＬ３。

藉由列解碼器７２、７６選擇鄰接之２列，供給偏壓電位至該２列中之一方，供給接地電位Ｖss至另一方。又，選擇主記憶格陣列７１之字元線ＷＬ１～ＷＬ４中之任一，供給高電位至該選擇位元線。

例如，字元線ＷＬ１被選擇，且列線ＣＯＬ０施加偏壓電位，列線ＣＯＬ１施加接地電位，設定ＳＧ１、ＳＧＵ爲〝Ｈ〞位準，ＳＧＤ爲〝Ｌ〞位準，則記憶格ａ被選擇，記憶格ａ之資料被讀出於位元線，傳至感測放大器。

以下，說明從冗長記憶格讀出資料。

首先，設定切斷電路７３之MOS電晶體全爲OF狀態。

藉由寫入電路７８連接列線ＣＬ１及感測放大器，切斷位元線ＢＬ１及感測放大器，供給接地電位於列線ＣＬ２。藉由列解碼器７６選擇鄰接之２列，將該２列中之一方接於感測放大器，另一方供給接地電位Ｖss。又，選擇冗長記憶格陣列７４之控制閘極ＣＯＮ１～ＣＯＮ４中之任一，供給高電位至該選擇之控制閘極。

例如，控制閘極ＣＯＮ１被選擇，且列線ＣＯＬ０接於感測放大器，列線ＣＯＬ１施加接地電位，則記憶格７５被選擇，記憶格７５之資料讀出於列線ＣＯＬ０，傳至感測放大器。

表７所示爲對記憶格進行資料寫入及讀出時之各信號之位準。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（79）

〔表 7〕

	SRDE R/L	CC1 CC2 CC3 CC4	CD1 CD2	CL1 CL2 CL3 BL1	COL0 BIT0 COL1 BIT1 COL2
主資記料憶讀格出	H	H L L L	H L	Vss 急 浮動 S/A	Vss S/A 急
	H	L H L L	H L	急 Vss 浮動 S/A	急 S/A Vss
	H	L L H L	L H	浮動 Vss 急 S/A	Vss S/A 急
	H	L L L H	L H	浮動 急 Vss S/A	急 S/A Vss
冗資長料記讀憶出格	L			Vss S/A	
冗資長料記寫憶入格	L			Vss VPPD(資料)浮動	

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（40）

又，冗長記憶格之控制閘極係由埋入n^+擴散層構成，電阻值及容量值大。此處，例如，沿埋入n^+擴散層，於半導體基板上形成行狀之矽化鎢（ＷＳｉ）層。於某此位置，使該埋入n^+擴散層與ＷＳｉ層短路亦可。

於本實施形態中，冗長記憶格陣列上之位元線數係設定成少於主記憶格陣列上之位元線數，故上述埋入n^+擴散層（控制閘極）與矽化鎢層之短路容易作成。

圖２３爲冗長記憶格陣列之控制閘極選擇電路之一例。

於圖２０中，主記憶格陣列之行方向之８格係對應於冗長記憶格陣列之行方向之１格。因此，救濟主記憶格陣列之１行時，於冗長記憶格陣列需要８行。

因此，爲救濟主記憶格陣列之１行，於冗長記憶格陣列需控制８個控制閘極。此處，將用以解碼鄰接於主記憶格陣列之行方向之８個記憶格之信號ＣＣ１～ＣＣ４（圖２２）ＳＧＵ、ＳＧＤ（圖２０），取入控制閘極選擇電路，以控制控制閘極之切換。

圖２４爲救濟主記憶格時之流程。

首先，將用以選擇主記憶格陣列救濟用之行的位址寫入位址記憶用ＰＲＯＭ。其次，進行確認該位址是否正確寫入該ＰＲＯＭ。亦即，當選擇主記憶格陣列救濟之行之位址未寫入該ＰＲＯＭ時，執行再寫入直至正確寫入爲止。

當位址之寫入確認後，將該位址之資料寫入冗長記憶

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（41）

格。接著，確認該資料是否正確寫入該冗長記憶格。亦即，該位址之資料未寫入冗長記憶格時，執行再寫入直至正確寫入爲止。

全位址及該資料之寫入終了爲止，重複該寫入動作。

接著，簡單說明將主記憶格陣列救濟之行或區塊之選擇位址寫入位址記憶用ＰＲＯＭ之方法。

行位址記憶電路輸入有指定行方向位址之信號φＡ、φＢ、ＳＧ、ＲＡ、ＲＢ。又，列位址記憶電路輸入有行主位址ＲＡ、ＲＢ俾進行指定列方向之位址之信號ＣＡ、ＣＢ、ＣＣ及列（區塊）之選擇。

圖２５爲行位址記憶電路，圖２６爲列位址記憶電路。

各位址記憶電路輸入有１２條信號（其中僅５條爲〝Ｈ〞位準）。當位址記憶用ＰＲＯＭ寫入不良位址時，供給高電位（例如６Ｖ）至記憶格之閘極。

此處，如圖２７所示之位準移位器被使用。藉由施加高電位於該位準移位器之電源V_{PP}，使位準移位器之輸出信號設定爲高電位。

圖２８爲位址寫入時之方塊圖。

行位址記憶電路及列位址記憶電路輸入有１２條解碼線之輸入線。亦即，行位址記憶電路上使用列前置解碼器之輸出ＣＡ、ＣＢ、ＣＣ，不使用行前置解碼器之輸出φＡ、φＢ、ＳＧ。如此則沒有必要在行前置解碼器之輸出信號設置位準移位器。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（42）

圖29爲位址寫入時之時序流程圖。又，圖30爲寫入模式之檢測電路。

藉由供給特定電位於寫入模式檢測電路之導電片A～C，則檢測信號上昇，位址寫入之認識用信號WAE成爲〝H〞位準。因該信號WAE成爲〝H〞位準，如圖28所示般，一般時與位址寫入時之信號種類將變化。

接著，因位址閂鎖能動信號之上昇，將應救濟之記憶格之位址，以及行用及列用之左右分別2個，合計8個位址記憶格群之指定用位址予以閂鎖。令該位址記憶格群之指定用解碼器之輸出爲WFA1、WFA2、WFB1、WFB2。

如表8所示般，分別於V_{PPG1}施加6V，於V_{PPG2}施加3V，於V_{PPD}施加8V。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（ 43）

〔表 8〕

	位址記憶用格寫入時	位址確認時	資料記憶用格寫入時	讀出時
VPPG1	6V	3V	3V	3V
VPPG2	3V	3V	6V	3V
VPPD	8V	3V	8V	3V
VDD	3V	3V	3V	3V

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（44）

此處，令ＣＥ由〝Ｈ〞位準變爲〝Ｌ〞位準，則僅有列前置解碼器及行主解碼器之輸出所選擇之線變爲〝Ｈ〞位準。該〝Ｈ〞位準之電位通過圖２７之位準移位器，而成爲６Ｖ。如此則僅有圖２５及圖２６之位址記憶電路所記憶之記憶格之閘極設定爲６Ｖ。

其次，令ＣＥ爲〝Ｌ〞位準，經延遲電路延遲２００ｎｓ後，選擇之ＷＦＡ、ＷＦＢ成爲〝Ｈ〞位準。該ＷＦＡ、ＷＦＢ之解碼器之輸出，存在有如圖２７所示之位準移位器，故V_{PPD}成爲８Ｖ。

插入有延遲電路，俾使施加電位於ＥＰＲＯＭ之汲極之時間較施加電位於閘極之時間爲慢，如此則在１個位址記憶格群之汲極被供給V_{PPD}。

圖３１爲進行寫入之狀態中之電位圖。

於此例中，同時執行５格之寫入。又，因位址寫入認識信號ＷＡ爲〝Ｈ〞位準，故藉由圖３２之控制電路，ＶＧＮ爲〝Ｌ〞位準，ＶＰＰＤ之電位來傳至檢測電路。藉由圖２９之流程，來記憶應救濟之所有位址。

以下，說明位址確認。

圖３３爲位址確認之時序。和位址寫入時同樣地，當供給電位於圖３０之寫入模式信號檢測電路之導電片時，位址確認信號ＷＣＡＣ成爲〝Ｈ〞位準。

如上述表８所示般，施加ＶＤＤ於ＶＰＰＧ１、ＶＰＰＧ２、ＶＰＰＤ。藉由位址閂鎖能動之下降，將先前記憶之救濟記憶格之位址閂鎖。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（45）

如圖34所示般，閂鎖後，前置解碼器之輸出被輸入於位址記憶格群。

圖35爲冗長控制電路之時序圖。

於圖32之冗長控制電路中，令ALE爲〝L〞位準，則VGN成爲中間電位。起初，進行冗長之檢測。圖34所示爲此種動作狀態。因VGPR爲〝L〞位準，共用連接於位址記憶用格之汲極產生預充電。此處，例如假設於φA1、φB1、SG1、RA1、RB1產生寫入。φA1、φB1、SG1、RA1、RB1爲〝H〞位準，其他全爲〝L〞位準，則因任一PROM均未流通電流，故共用連接之汲極之電位成爲〝H〞位準。

另一方面，當不同位址被輸入時，例如φA2爲〝H〞位準，φA1爲〝L〞位準，則以φA2爲閘極之PROM，因臨界值低，流通電流，共用汲極之電位成爲〝L〞位準。又，即使未充分進行寫入之PROM亦成爲ON，流通電流，故共用連接之汲極成爲〝L〞位準。

當VGPR由〝L〞位準變爲〝H〞位準時，預充電即停止，共用汲極爲〝H〞位準時輸出爲〝L〞位準，共用汲極爲〝L〞位準時輸出爲〝H〞位準。

該輸出被輸入圖13之方塊圖所示之NAND電路，該輸出全爲〝H〞位準時，亦即寫入行位址記憶用格之位址與輸入位址不一致時，或寫入位址記憶用格之RPOM之臨界值未充分變爲〝H〞位準時，輸出信號SRDRR／L成爲〝H〞位準。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（46）

該信號被輸入圖32之冗長控制電路，VGPCR／L成爲〝L〞位準，故開始方塊（列）冗長之檢測。檢測方法係與行方向相同。

另一方面，寫入位址記憶用格之位址與輸入位址一致，使用行冗長時，SRDRR／L成爲〝H〞位準。當該信號被輸入圖32之冗長控制電路時，VGPCR／L未變爲〝L〞位準，區塊冗長之檢測未被進行。

如此般進行行冗長及區塊冗長之檢測。輸出信號則通過圖13之邏輯，進行冗長時，該邏輯之輸出SRDER／L成爲〝H〞位準，未進行冗長時，SRDER／L成爲〝L〞位準。

此處，於SRDE之後附加有R／L，該R／L係針對行解碼器存在於左側（I／O1、I／O2）與右側（I／O3、I／O4）之主記憶格陣列，設定成分別使各個記憶格之救濟（冗長）等爲可能。

因此，當與位址記憶用格所記憶位址爲相同之輸入位址被輸入時，SRDER／L爲〝L〞位準時，寫入被進行。另一方面，若SRDE未變爲〝H〞位準，則寫入不被進行。

以下，說明資料之寫入。

圖36所示爲資料寫入時之時序。

和位址寫入同樣地，藉由供給特定電位於圖30之寫入模式信號檢測電路之導電片A～C，則資料寫入信號WCE成爲〝H〞位準。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（47）

如上述表8所示般，施加3V於VPPG1，施加6V於VPPG2，施加8V於VPPD，施加3V於VDD。

藉由輸入有救濟位址之位址閂鎖能動信號之下降來進行閂鎖，因位址寫入而與記憶位址一致，故進行與位址確認時相同之動作，SRDE之信號成爲〝L〞位準。

又，如圖13之方塊圖所示般，與冗長記憶格陣列鄰接具有行用與列用之2個位址記憶電路，行及列之各個位址記憶電路之輸出係分別輸入NAND電路。該NAND電路之輸出RWi，係與2個位址記憶電路之輸出同時成爲〝H〞位準，亦即，當位址記憶用格所記憶位址與輸入位址不一致時爲〝L〞位準。另一方面，當行或區塊（列）中之任一之位址記憶電路之輸出爲〝L〞位準時，亦即進行冗長時，RW成爲〝H〞位準。

該RW信號被輸入圖23之冗長記憶格控制閘極控制電路，藉由CCiL／R及SGU／D信號使1個控制閘極成爲〝H〞位準。又，冗長記憶格控制閘極控制電路，係具有圖27之位準移位器，故控制閘極之〝H〞位準成爲VPPG2。

列選擇，於行冗長中，係與主記憶格之列選擇同樣地進行。

圖37所示爲圖13之列前置位址轉換電路64、64'。

在一般讀出及行冗長記憶格讀出時，SRDCR／L

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（48）

之信號爲〝L〞位準，因而列前置解碼器之輸出信號CA、CB、CC被輸出。

區塊冗長記憶格讀出時，SRDCR／L之信號爲〝H〞位準。故φA、φB、SG被輸出。該輸出信號CAiR／L、CBiR／L被輸入列解碼器，CCiR／L被輸入控制閘極選擇電路，進行列方向之選擇。

列前置位址轉換電路之輸出，因具有圖27之位址移位器，〝H〞位準之輸出成爲VPPD。藉由此種列方向之選擇，使冗長記憶格之選擇被進行。

如圖36之時序流程圖所示般，位址輸入後，將救濟之記憶格之資料供至位址端。

此處，若設定CE爲〝L〞位準，先前供給之資料ADi爲〝H〞時，藉由圖22之寫入電路78，CL1成爲VPP，藉由列解碼器76使1個冗長記憶格之汲極成爲VPP，以進行寫入。當ADi爲〝L〞時，冗長記憶格之汲極未施加VPP，故未進行寫入。藉由此種動作，將特定資料寫入冗長記憶格。

接著，進行寫入冗長記憶格之資料之確認，並重複進行再寫入直至資料完全寫入爲止。

從冗長記憶格讀出資料之方法爲，輸入位址，藉由該位址來存取主記憶格陣列之特定記憶格之同時，位址記憶電路檢測位址。

此方法係與位址確認時所述方法相同。此處，於冗長之際，進行切換俾選擇冗長記憶格。資料格之選擇方法係

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明（49）

與資料寫入時之記憶格之選擇方法相同。

但是，於資料寫入時，令列線接於ＶＰＰＤ。而於資料讀出時係令　列線接於感測放大器。

冗長記憶格之選擇係較主記憶格之選擇爲慢，但藉由將冗長記憶格之存取時間縮短，即可防止從冗長記憶格之資料讀出時間之延遲。

確認終了後，如圖３８所示般，藉由連接導線將ＶＰＰＧ１、ＶＰＰＧ２、ＶＰＰＤ、ＶＤＤ導電片接於１個ＶＤＤ導電片，於一般動作時，僅令ＶＤＤ接於ＶＤＤ傳電片。

圖３９爲本發明之半導體記憶裝置之方塊圖。

此實施形態中，係以 Mask ROM 爲前提。又，爲簡化以下之說明，假設主記憶格陣列，於行方向有３２格，列方向有６４格，具有４個Ｉ／Ｏ端子。

首先，說明此半導體記憶裝置之構成。

此實施形態，和上述實施形態相較不同點在於，將行位址記憶電路及列位址記憶電路作成１個位址記憶電路，而且行前置解碼器與列前置解碼器係介由切斷電路互相連接。

主記憶格陣列５１Ａ、５１Ｂ、５１Ａ'，５１Ｂ'係由依資料記憶之有無來變化臨界值之多數ＭＯＳ電晶體構成。冗長記憶格陣列５２Ａ、５２Ｂ、５２Ａ'、５２Ｂ'係由依資料記憶之有無來變化臨界值之多數一層ＰＲＯＭ所構成。依此種構成，則可使主記憶格陣列之列

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ 50 ）

線與冗長記憶格陣列之列線共用，而且，列解碼器亦可共用，可使主記憶格陣列與冗長記憶格陣列接近以實現半導體晶片之縮小化。

主記憶格由ＭＯＳ電晶體構成，冗長記憶格由一層ＰＲＯＭ構成時，ＭＯＳ電晶體之尺寸與一層ＰＲＯＭ之尺寸不同，因此可將一層ＰＲＯＭ之行方向之尺寸設定爲ＭＯＳ電晶體之行方向尺寸之2^n倍。

例如，如本實施形態般，將一層ＰＲＯＭ之行方向之尺寸設定爲ＭＯＳ電晶體之行方向尺寸之８倍，在１個主記憶格陣列之行方向配置３２格時，若在１個冗長記憶格陣列之行方向配置４格，則冗長記憶格陣列之列節矩成爲主記憶格陣列之列節矩之８倍，冗長記憶格陣列之行方向寬與主記憶格陣列之行方向寬爲一致。

在主記憶格陣列５１Ａ、５１Ｂ、５１Ａ'、５１Ｂ' 與冗長記憶格陣列５２Ａ、５２Ｂ、５２Ａ'、５２Ｂ' 之間，配置有位元線列解碼器５３、５３' 及切斷電路５４、５４'。

位元線列解碼器５３、５３'，因 主記憶格陣列５１Ａ、５１Ｂ、５１Ａ'、５１Ｂ' 之列數大於冗長記憶格陣列５２Ａ、５２Ｂ、５２Ａ'、５２Ｂ' 之列數，故具有減少主記憶格陣列５１Ａ、５１Ｂ、５１Ａ'、５１Ｂ' 之列數，使接於冗長記憶格陣列５２Ａ、５２Ｂ、５２Ａ'、５２Ｂ' 之功能。

切斷電路５４、５４' 具有，於冗長記憶格陣列

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（51）

52A、52B、52A'、52B'之記憶格寫入資料時，或由該記憶格讀出資料時，將列線於主記憶格陣列與冗長記憶格陣列之間切斷之功能。

行解碼器55、55'具有，依行主前置解碼器56及行前置解碼器57之輸出信號，來選擇主記憶格51A、51B、51A'、51B'之字元線之功能。

列解碼器58具有依列前置解碼器60之輸出信號來選擇列線之功能。感測放大器59具有放大由主記憶格或冗長記憶格讀出之資料的功能。感測放大器59之資料由輸出電路輸出至外部。

位址記憶電路70、70'記憶著用以選擇主記憶格陣列之不良行或不良區塊之信號，將該信號與行主前置解碼器56及行前置解碼器57，或行主前置解碼器56及列前置解碼器60之輸出信號作比較，一致時輸出〝L〞位準之輸出信號。

選擇電路62、62'具有，依位址記憶電路70、70'之輸出信號來選擇冗長記憶格陣列之多數控制閘極中之1條之功能。

位址轉換電路64、64'具有，依位址記憶電路70、70'之輸出信號，來選擇冗長記憶格陣列之多數控制閘極中之1條之功能，同時，具有依行前置解碼器57、57'之輸出信號來控制列解碼器58之功能。

切斷電路71、72，係藉由主記憶格陣列之行方向之置換或列方向之置換，或藉由冗長記憶格之資料寫入與

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（52）

否，或藉由從主記憶格陣列讀出資料或從冗長記憶格陣列讀出資料，來決定ＯＮ或ＯＦＦ。

冗長控制電路６５、冗長寫入旗標電路６６及ＳＧＶ／Ｄ解碼器６７具有產生特定之控制信號，供給至特定電路之功能。

圖４０爲冗長控制電路，圖４１爲位址記憶電路。圖４２爲圖３９之半導體記憶裝置之讀出時序。

於本實施形態中，和上述實施形態比較，顯著之不同點在於，將行位址記憶電路與列位址記憶電路作成１個位址記憶電路之點，及設置切斷電路俾切換行前置解碼器之輸出信號與列前置解碼器之輸出信號並供給至位址記憶電路之點。

以下，說明位址感測之方法。

如圖４２之讀出時序所示般，令ＡＬＥ由〝Ｈ〞位準變化爲〝Ｌ〞位準後，ＶＧＮ成爲中間電位，ＶＧＲＲ／Ｌ成爲〝Ｌ〞位準，進行位址記憶用格之檢測。此時，ＧＲ爲〝Ｈ〞位準，ＧＣ爲〝Ｌ〞位準，故位址記憶用格上輸入有行方向救濟用之位址。藉此來進行行方向之記憶格之檢測。

此處，進行行冗長時，ＳＲＤＲＲ／Ｌ之信號保持〝Ｈ〞位準，藉由圖４０之電路，ＶＧＰＲ／Ｌ固定爲〝Ｈ〞位準，故未進行區塊冗長之檢測。

另一方面，未進行行冗長時，ＳＲＤＲＲ／Ｌ之信號成爲〝Ｌ〞位準，藉由圖４０之電路進行區塊（列）冗長

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（53）

之檢測。此時，ＧＲ爲〝Ｌ〞位準，ＧＣ爲〝Ｈ〞位準，位址記憶用格上記憶著列方向救濟用之位址。藉此來進行列方向之記憶格之救濟。

圖４１之位址記憶用格，與圖２５之位址記憶用格相較，不同之點在於具有ＧＲ、ＧＣ之信號輸入閘極之ＰＲＯＭ。藉此來區別行與區塊。

於上述實施形態中，使冗長記憶格陣列近接主記憶格陣列之列方向之端部配置，使主記憶格陣列與冗長記憶格陣列共用列解碼器。

以下之實施形態中說明，使冗長記憶格陣列與主記憶格陣列配置於互相分離之位置，主記憶格陣列與冗長記憶格陣列分別設置列解碼器之場合。

此實施形態中，需要分別之主記憶格陣列之列解碼器與冗長記憶格陣列之列解碼器。但是如圖４３所示般，選擇冗長記憶格之解碼器，係僅選擇冗長記憶格之源極所接位元線即可。列線不必要解碼，故可共用連接於Ｖｓｓ。

因此，在冗長記憶格之源極側未接有電阻，寫入特性可改善，寫入時間變短。又，該列線沒有必要每１格設置，２格設置１個即可。因此，可縮短冗長記憶格陣列之列方向之長度。再者，依每一Ｉ／Ｏ置換之列閘極爲獨立，故可使冗長記憶格陣列僅使用於１個Ｉ／Ｏ，可增加可救濟之格數。

圖４４爲本發明之半導體記憶裝置之方塊圖。

於此實施形態中，冗長記憶格陣列係行救濟，區塊救

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（54）

濟及列救濟爲可能。位址記憶用格，係和上述實施形態相同地，構成爲可記憶行位址及列位址之兩方。

行救濟及區塊救濟之基本單位之尺寸，係與先前所述實施形態相同，行救濟時，字元線１條（６４格），區塊救濟時行方向２格，列方向１６格。列救濟時爲，行方向１格、列方向６４格。

於本實施形態中，冗長記憶格陣列爲，Ｉ／Ｏ０、Ｉ／Ｏ１用有２個，Ｉ／Ｏ２、Ｉ／Ｏ３用有２個。其他較大不同點爲，在主記憶格陣列與冗長記憶格陣列之間未配置切斷電路，當成爲冗長模式時，藉由感測放大器前段之電晶體來切換。

位址感測方式，係和先前之位址記憶電路共用型相同，區塊冗長檢測時，列冗長檢測亦同時進行。時序係和圖４２之時序相同。

如圖４５所示般，位址記憶用格，爲了列救濟時與列方向鄰接之格之區別，僅增加２格。於行救濟時及區塊救濟時，不根據ＳＧＵ、ＳＧＤ來選擇，２格均進行寫入。又，列救濟時，不根據主來選擇，可進行主信號ＲＡ１、ＲＡ２、ＲＢ１、ＲＢ２之寫入。

於行救濟時及區塊救濟時，係和先前所述實施例同樣，記憶格陣列之左側或右側全被置換，故沒有必要將冗長記憶格陣列之輸出分別供至Ｉ／Ｏ之感測放大器，於列救濟時，將冗長記憶格之輸出連接至其中個Ｉ／Ｏ感測放大器，故有圖４４之方塊圖所示Ｉ／Ｏ記憶用格８１、

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（55）

８１′及檢測電路８３、８３′。

行及區塊救濟時，於該Ｉ／Ｏ記憶用格８１不進行記憶。但是，列救濟時，將與冗長記憶格陣列之輸出相關之Ｉ／Ｏ記憶於此。該輸出通常爲〝Ｈ〞位準，但當變爲〝Ｌ〞位準時則成爲列救濟，解碼器被切換。

行救濟及區塊救濟時，選擇電路６２、６２′輸入有ＳＧＵ／Ｄ信號，但其係藉由ＳＧＵ／Ｄ、ＲＤ轉換電路８２、８２′，切換爲選擇主之信號ＲＢ１、ＲＢ２。

輸入於冗長記憶格陣列之列閘極８０、８０′之信號，係和列閘極共用化之實施形態同樣地，於行救濟時列前置解碼器之信號被輸入，區塊救濟時及列救濟時，行前置解碼器之信號被輸入。

上述所述實施例，係針對 Mask ROM 加以說明。但亦可作爲ＥＰＲＯＭ、ＥＥＰＲＯＭ或ＤＲＡＭ等之冗長電路使用。

〔發明之效果〕

如以上說明般，依本發明之半導體記憶裝置，可達成下述效果。

第１，藉由將冗長記憶格陣列配置於主記憶格陣列之列方向（或行方向）之端部，於主記憶格陣列與冗長記憶格陣列之間配置可切斷位元線或列線之切斷電路，再於冗長記憶格陣列之端部配置列解碼器，如此則可使主記憶格陣列與冗長記憶格陣列共用１個列解碼器，可縮小晶片面

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（56）

積。

於此場合，特別是以一層ＰＲＯＭ構成 Mask ROM 之冗長記憶格時，則可同時形成主記憶格（ＭＯＳ電晶體）之閘極及冗長記憶格（一層ＰＲＯＭ）之浮動閘極，在不增加製程之條件下，可達成縮小晶片面積之目的。

第２，即使將冗長記憶格陣列僅配置在主記憶格陣列之列方向（或行方向）之一端部，使行前置解碼器之輸出線及列前置解碼器之輸出線介由電晶體群予以連接，控制該電晶體群之ＯＮ／ＯＦＦ，藉由將行前置解碼器之輸出或列前置解碼器之輸出取入位址記憶電路，如此即可達成主記憶格陣列之行救濟及列救濟。

如此則可能同時進行行救濟及列救濟，和在主記憶格陣列之行方向端部及列方向端部之２個端部配置冗長記憶格陣列之場合相較，可縮小晶片面積。

〔圖面之簡單說明〕

圖１：本發明之半導體記憶裝置之設計圖。

圖２：本發明之半導體記憶裝置之一部分之平面圖。

圖３：沿圖２之Ⅲ－Ⅲ線之斷面圖。

圖４：沿圖２之Ⅳ－Ⅳ線之斷面圖。

圖５：圖２之一層ＰＲＯＭ之等效電路圖。

圖６：本發明之半導體記憶裝置之行解碼器之電路圖。

圖７：本發明之半導體記憶裝置之冗長電路之電路圖

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（57）

。

圖８：本發明之半導體記憶裝置之列解碼器之電路圖。

圖９：本發明之半導體記憶裝置之記憶格陣列之電路圖。

圖１０：本發明之半導體記憶裝置之記憶格陣列之平面圖型。

圖１１：本發明之半導體記憶裝置之冗長部之電路圖。

圖１２：本發明之半導體記憶裝置之冗長部之電路圖。

圖１３：本發明之半導體記憶裝置之方塊圖。

圖１４：圖１３之半導體記憶裝置之讀出時序圖。

圖１５：區段（Bank）構成之半導體記憶裝置之概念圖。

圖１６：區段（Bank）構成之半導體記憶裝置之概念圖。

圖１７：區段（Bank）式 Mask ROM 之等效電路圖。

圖１８：主記憶格陣列之一部分之示意圖。

圖１９：圖１８之主記憶格陣列之平面圖型。

圖２０：主記憶格陣列部及冗長記憶格陣列之電路部。

圖２１：圖２０之記憶格陣列之平面圖型。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（58）

圖２２：列解碼器、寫入電路部及讀出電路部之電路圖。

圖２３：冗長記憶格陣列之控制閘極選擇電路之電路圖。

圖２４：主記憶格救濟時之時序圖。

圖２５：行位址記憶電路之電路圖。

圖２６：列位址記憶電路之電路圖。

圖２７：位準移位器之電路圖。

圖２８：位址寫入時之方塊圖。

圖２９：位址寫入時之時序流程圖。

圖３０：寫入模式檢測電路之電路圖。

圖３１：寫入狀態之電位圖。

圖３２：冗長控制電路之電路圖。

圖３３：位址確認之時序圖。

圖３４：位址檢測動作之示意圖。

圖３５：冗長控制電路之時序圖。

圖３６：資料寫入時之時序流程圖。

圖３７：圖１３之列前置位址轉換電路之電路圖。

圖３８：本發明之半導體記憶裝置之電源圖。

圖３９：本發明之半導體記憶裝置之方塊圖。

圖４０：冗長控制電路之電路圖。

圖４１：圖３９之半導體記憶裝置之讀出時序圖。

圖４２：位址感測時之時序圖。

圖４３：本發明之半導體記憶裝置之一部分之圖。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（59）

圖４４：本發明之半導體記憶裝置之方塊圖。

圖４５：位址記憶電路圖。

圖４６：習知半導體記憶裝置之設計圖。

〔符號說明〕

１０、４６、５５：行解碼器

１１Ａ、１１Ｂ、４１、５１Ａ、５１Ｂ、７１：主記憶格陣列

１２Ａ、１２Ｂ、４３、５２Ａ、５２Ｂ、７４：冗長記憶格陣列

１３Ａ、１３Ｂ、４２、５４、７３、７０、７１：切斷電路

１４：冗長電路

１５Ａ、１５Ｂ、４４、５８：列解碼器

１６Ａ、１６Ｂ、５９：感測放大器

１７Ａ、１７Ｂ：偏壓電路

１８Ａ、１８Ｂ：導電片

１９：半導體晶片

２０：半導體基板

２１：場氧化膜

２２：控制閘極

２３：浮動閘極

２４Ａ、２４Ｂ：源極、汲極區域

２５：列線

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（60）

31、45：感測放大器

32：偏壓電路

33：輸出電路

47、61：行位址記憶電路

48、63：列位址記憶電路

49：位址記憶電路

53、72：位元線列解碼器

56：行主前置解碼器

57：行前置解碼器

60：列前置解碼器

62：選擇電路

64：列前置位址轉換電路

65：冗長控制電路

66：冗長寫入旗標電路

67：SGV／D解碼器

70：位址記憶電路

75：冗長記憶格

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

四、中文發明摘要（發明之名稱：　　）

半導體記憶裝置

本發明目的爲在不增加製程之條件下能達成縮小晶片面積。

冗長記憶格陣列12A、12B係配置於主記憶格陣列11A、11B之列方向之一端部，在主記憶格陣列與冗長記憶格陣列之間配置位元線或列線切斷用之切斷電路13A、13B。藉由在冗長記憶格陣列之一端部配置列解碼器15A、15B，可使主記憶格陣列與冗長記憶格陣列共用列線及列解碼器，可縮小晶片面積。特別是，將Mask ROM 之冗長記憶格以一層PROM構成時，在不增加製程之條件下，可達成縮小晶片面積。

英文發明摘要（發明之名稱：　　）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

1．一種半導體記憶裝置，其特徵爲具備：主記憶格陣列；依第1輸入信號選擇上述主記憶格陣列之行的行解碼器；近接配置於上述主記憶格陣列之列方向之一端，與上述主記憶格陣列共用位元線或列線的冗長記憶格陣列；配置於上述主記憶格陣列與上述冗長記憶格陣列之間的切斷電路；鄰接上述冗長記憶格陣列而配置，依第2輸入信號來選擇上述主記憶格陣列之列之同時，依上述第1或第2輸入信號來選擇上述冗長記憶格陣列之列的列解碼器；及依上述第1或第2輸入信號來選擇上述冗長記憶格陣列之行之同時，藉由上述切斷電路於上述主記憶格陣列與冗長記憶格陣列之間切斷上述位元線或列線的冗長電路。

2．如申請專利範圍第1項之半導體記憶裝置，其中上述主記憶格陣列係由僅能讀出動作之Mask ROM構成，上述冗長記憶格陣列係由一層ＰＲＯＭ構成。

3．如申請專利範圍第2項之半導體記憶裝置，其中於上述冗長記憶格陣列中，在列方向鄰接之2個記憶格係共用源極・汲極區域。

4．如申請專利範圍第1項之半導體記憶裝置，其中上述冗長記憶格陣列之行方向之尺寸爲上述主記憶格陣列之行方向之尺寸之整數倍。

5．如申請專利範圍第1項之半導體記憶裝置，其中上述冗長電路係具備記憶部用以記憶具有上述主記憶格陣列之不良記憶格之列位址，當上述記憶部所記憶之列位址與上述第2輸入信號所選擇之列位址一致時，藉由上

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

述切斷電路切斷上述位元線或列線，俾選擇上述冗長記憶格陣列之行。

6．如申請專利範圍第1項之半導體記憶裝置，其中上述冗長電路係具備記憶部用以記憶具有上述主記憶格陣列之不良記憶格之列位址，當上述記憶部所記憶之列位址與上述第2輸入信號所選擇之列位址一致時，藉由上述切斷電路切斷上述位元線或列線，俾選擇上述冗長記憶格陣列之行，並將上述第1輸入信號導至上述列解碼器，依上述第1輸入信號來選擇上述冗長記憶格陣列之列。

7．如申請專利範圍第1項之半導體記憶裝置，其中傳導上述第1輸入信號之信號線及傳導上述第2輸入信號之信號線，係介由第1及第2電晶體群互相連接，上述列解碼器係接於上述第1及第2電晶體群之間之信號線，藉由控制上述第1及第2電晶體群之ＯＮ及ＯＦＦ據以將上述第1或第2信號傳導至上述列解碼器。

8．如申請專利範圍第1項之半導體記憶裝置，其中上述冗長電路係具備記憶格用以記憶具有上述主記憶格陣列之不良記憶格之行位址及列位址，當上述記憶部所記憶之行位址或列位址與上述第1或第2輸入信號所選擇之行位址或列位址一致時，藉由上述切斷電路切斷上述位元線或列線，俾選擇上述冗長記憶格陣列之行，並將上述第1或第2輸入信號導至上述列解碼器，依上述第1或第2輸入信號來選擇上述冗長記憶格陣列之列。

9．如申請專利範圍第1項之半導體記憶裝置，其中

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

傳導上述第1輸入信號之信號線及傳導上述第2輸入信號之信號線，係介由第1及第2及第3電晶體群互相連接，上述列解碼器係接於上述第1及第2電晶體群間之信號線，上述切斷電路及用以選擇冗長記憶格陣列之行的選擇電路，係接於上述第2及第3電晶體群間之信號線，藉由控制上述第1及第2及第3電晶體群之ＯＮ或ＯＦＦ將上述第1或第2輸入信號傳導至上述列解碼器，將上述第1或第2輸入信號傳至上述選擇電路。

１０．如申請專利範圍第１項之半導體記憶裝置，其中

上述半導體記憶裝置其有交互配置之位元線及列線，上述主記憶格陣列係由接於位元線與列線間之記憶格構成，上述冗長記憶格陣列係由接於列線或列線間之記憶格構成，上述位元線及特定之列線係接於感測放大器，上述列線係接於偏壓電路俾對各個列線供給特定電位。

１１．如申請專利範圍第１項之半導體記憶裝置，其中

讀出上述主記憶格陣列之記憶格之資料時，上述偏壓電路係對上述列線交互施加接地電位及偏壓電位，當讀長上述冗長記憶格陣列之記憶格之資料時，上述偏壓電路係對上述列線每間隔１條施加接地電位，令未施加接地電位之列線接於感測放大器。

１２．如申請專利範圍第１項之半導體記憶裝置，其中

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

另具有寫入電路俾對上述列線供給特定電位並將資料寫入上述冗長記憶格陣列之記憶格內，當上述寫入電路將資料寫入上述冗長記憶格陣列之記憶格時，上述冗長電路即藉由切斷電路切斷上述位元線或列線。

１３．如申請專利範圍第１項之半導體記憶裝置，其中

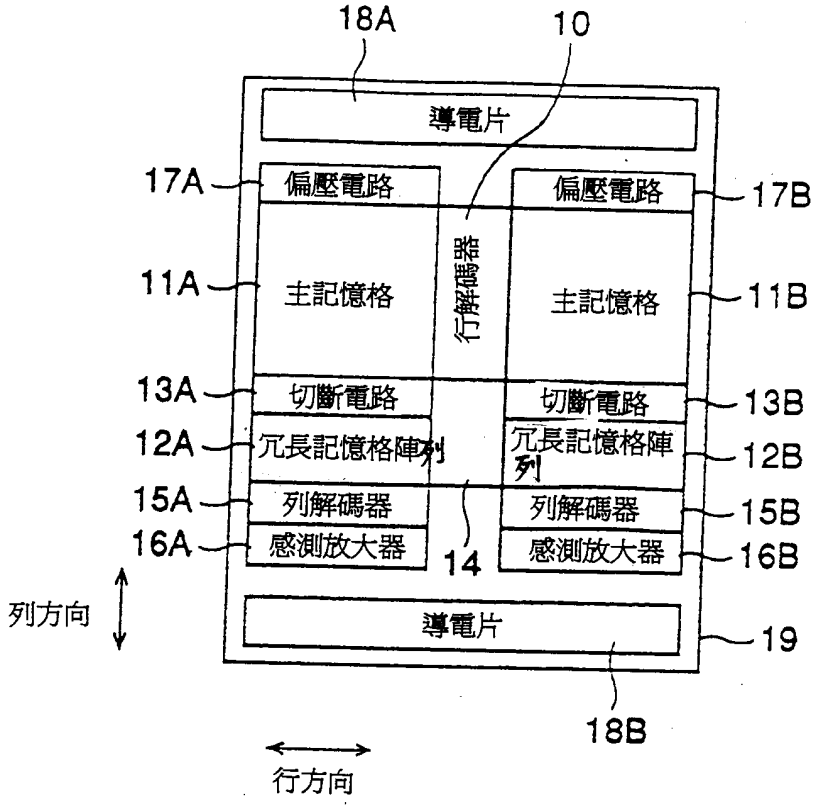
另具有１個以上之第１導電片用以對上述冗長記憶格陣列之記憶格施加資料寫入用之供給電位，及１個以上之第２導電片用以施加電源電位俾使申請專利範圍第１項之半導體記憶裝置動作，當資料寫入上述冗長記憶格陣列之記憶格後，上述第１導電片及第２導電片同時被施加有上述電源電位。

１４．如申請專利範圍第１項之半導體記憶裝置，其中

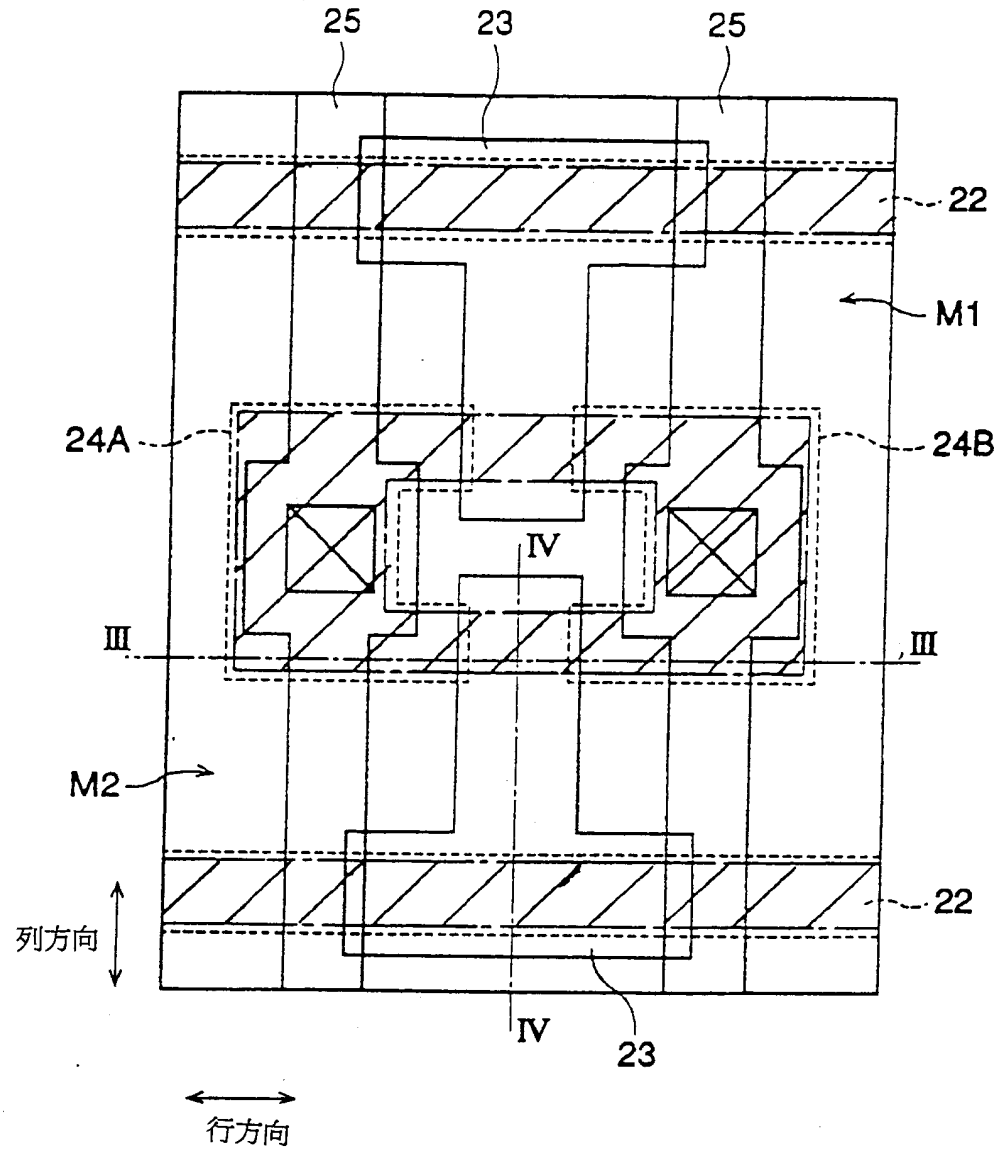
在上述冗長記憶格陣列與主記憶格陣列之間配置解碼器，俾使通過上述冗長記憶格陣列內之位元線或列線之數目少於通過上述主記憶格陣列內之位元線或列線之數目。

１５．一種半導體記憶裝置，其特徵爲具有：主記憶格陣列；依第１輸入信號來選擇上述主記憶格陣列之行的行解碼器；依第２輸入信號來選擇上述主記憶格陣列之列的列解碼器；冗長記憶格陣列；依上述第１及第２輸入信號中之至少１種信號來選擇上述冗長記憶格陣列之行的冗長電路；及依上述第１或第２輸入信號來選擇上述冗長記憶格陣列之列的列解碼器。

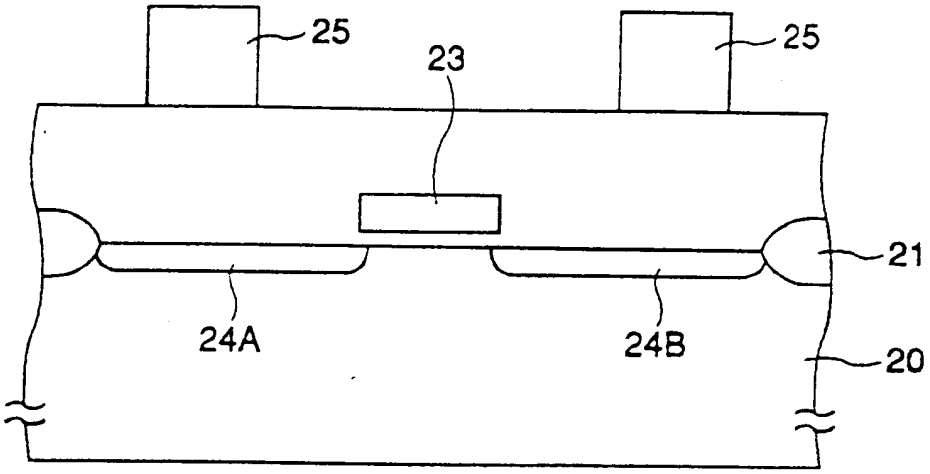
（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製


18A
10
導電片
17A
偏壓電路
偏壓電路
17B
11A
主記憶格
行解碼器
主記憶格
11B
13A
切斷電路
切斷電路
13B
12A
冗長記憶格陣列
冗長記憶格陣列
12B
15A
列解碼器
列解碼器
15B
16A
感測放大器
14
感測放大器
16B
列方向
導電片
19
18B
行方向

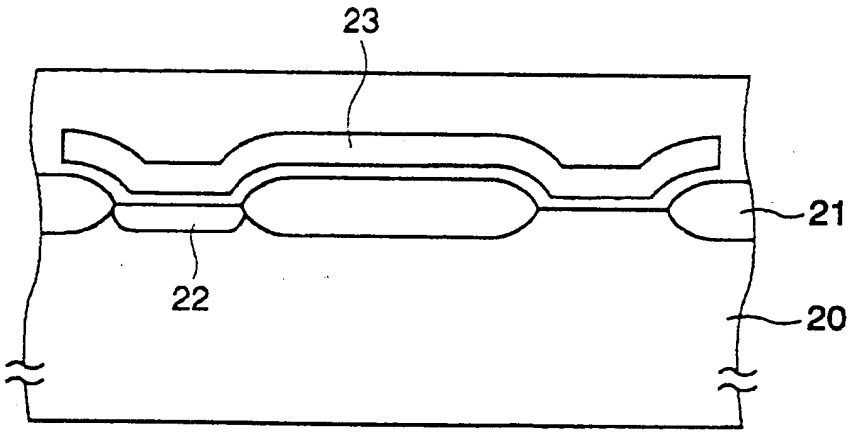
第 1 圖



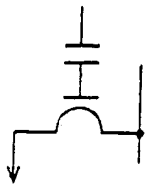
第 2 圖



第 3 圖

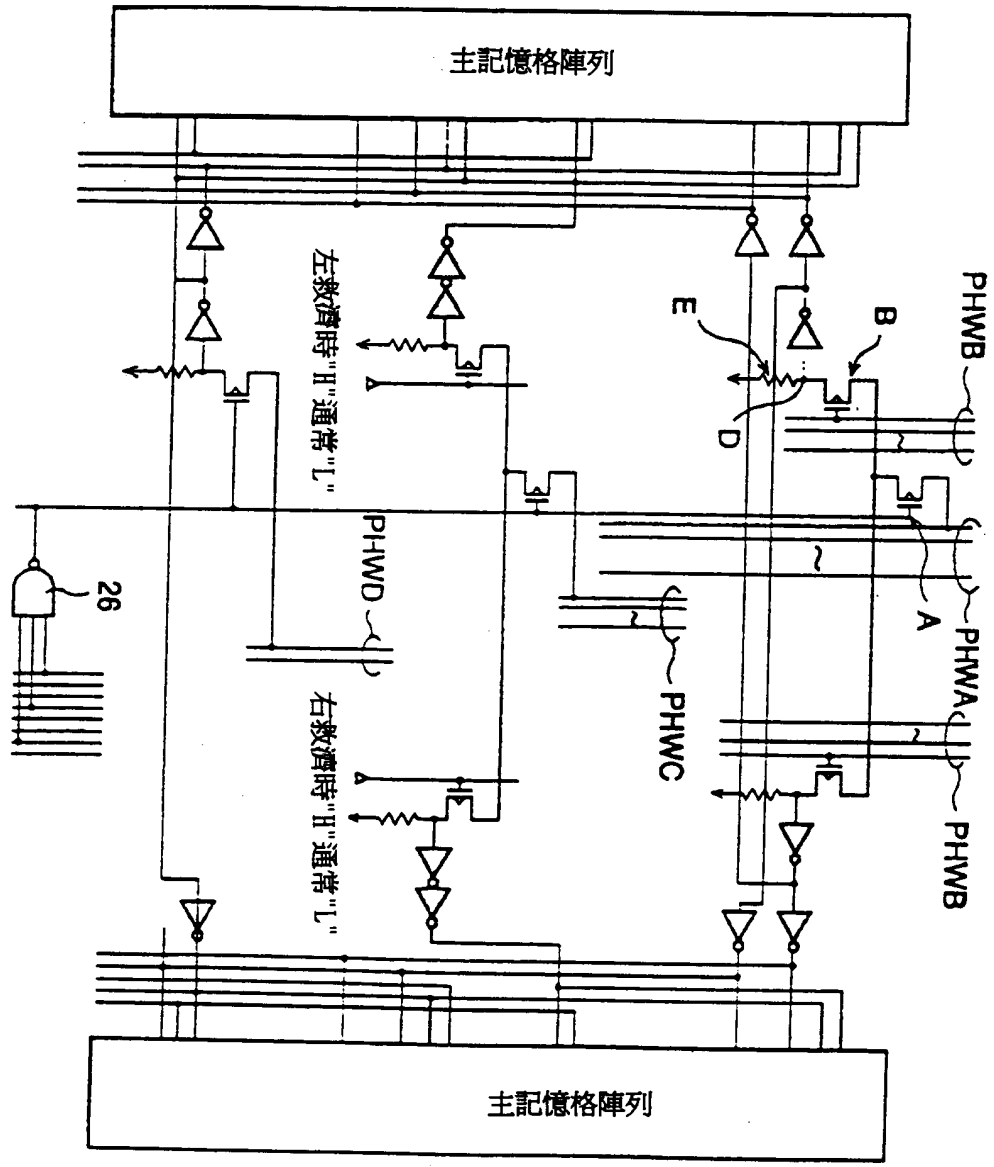


第 4 圖



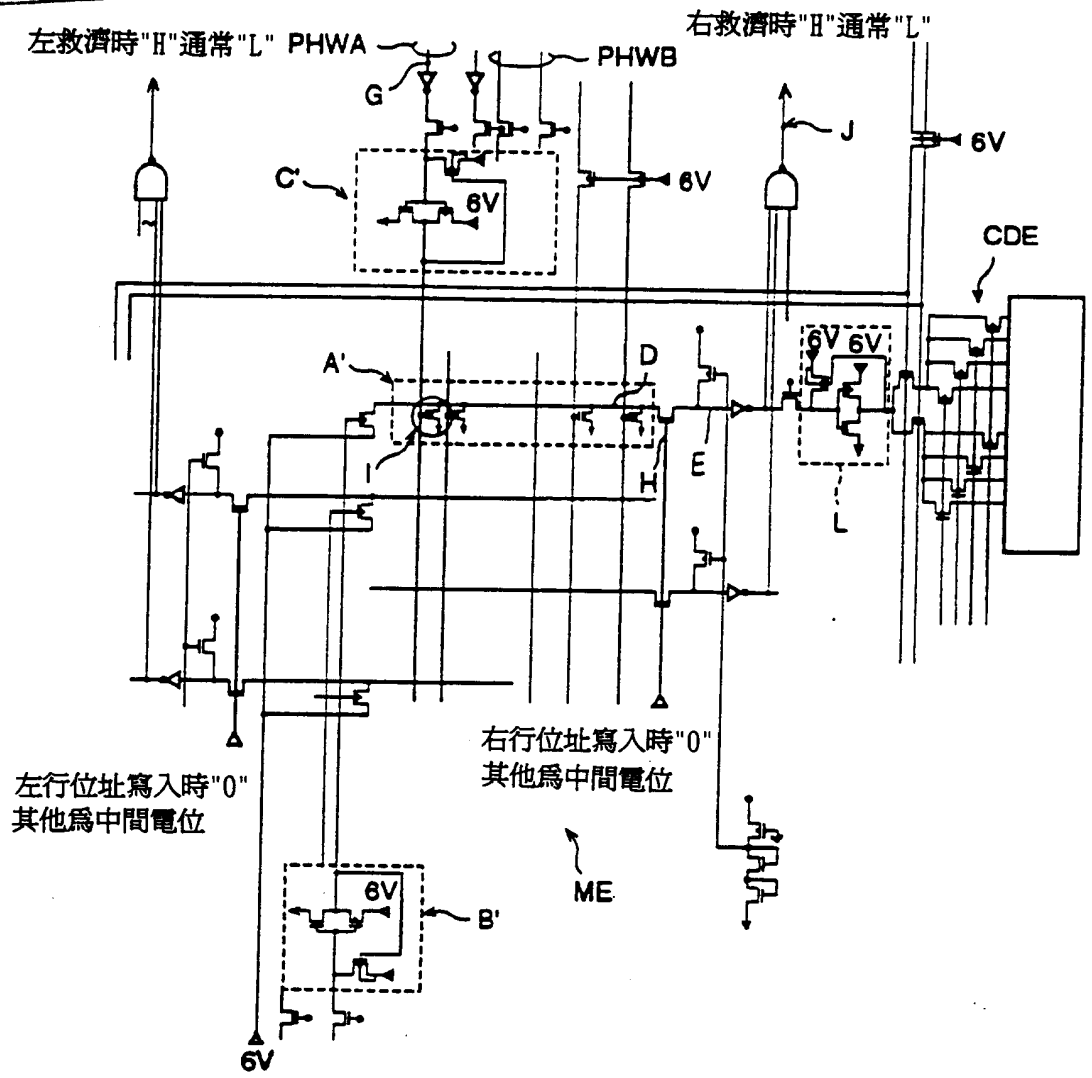
第 5 圖

修正
補充
年 月 日

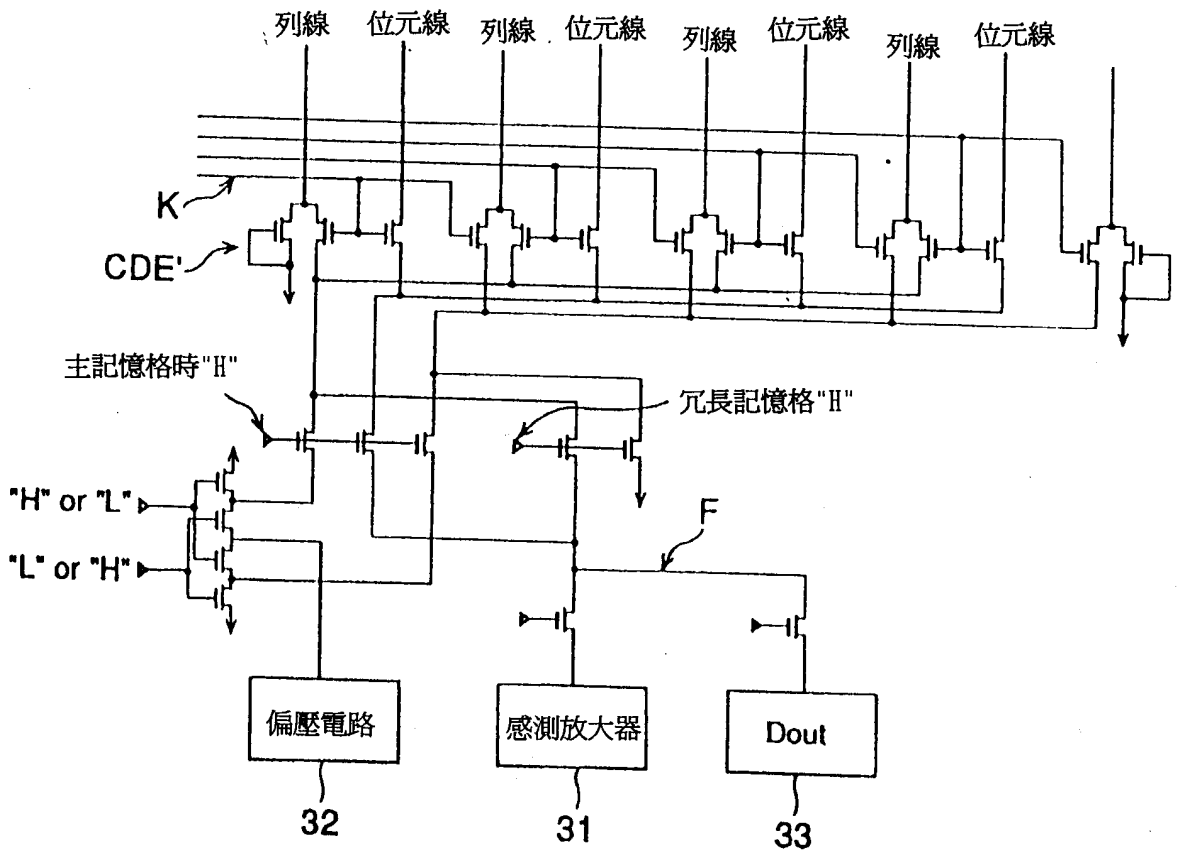

主記憶格陣列
左救濟時"H"通常"L"
PHWD
26
E
B
D
PHWB
A
PHWA
PHWC
右救濟時"H"通常"L"
PHWB
主記憶格陣列

第6圖

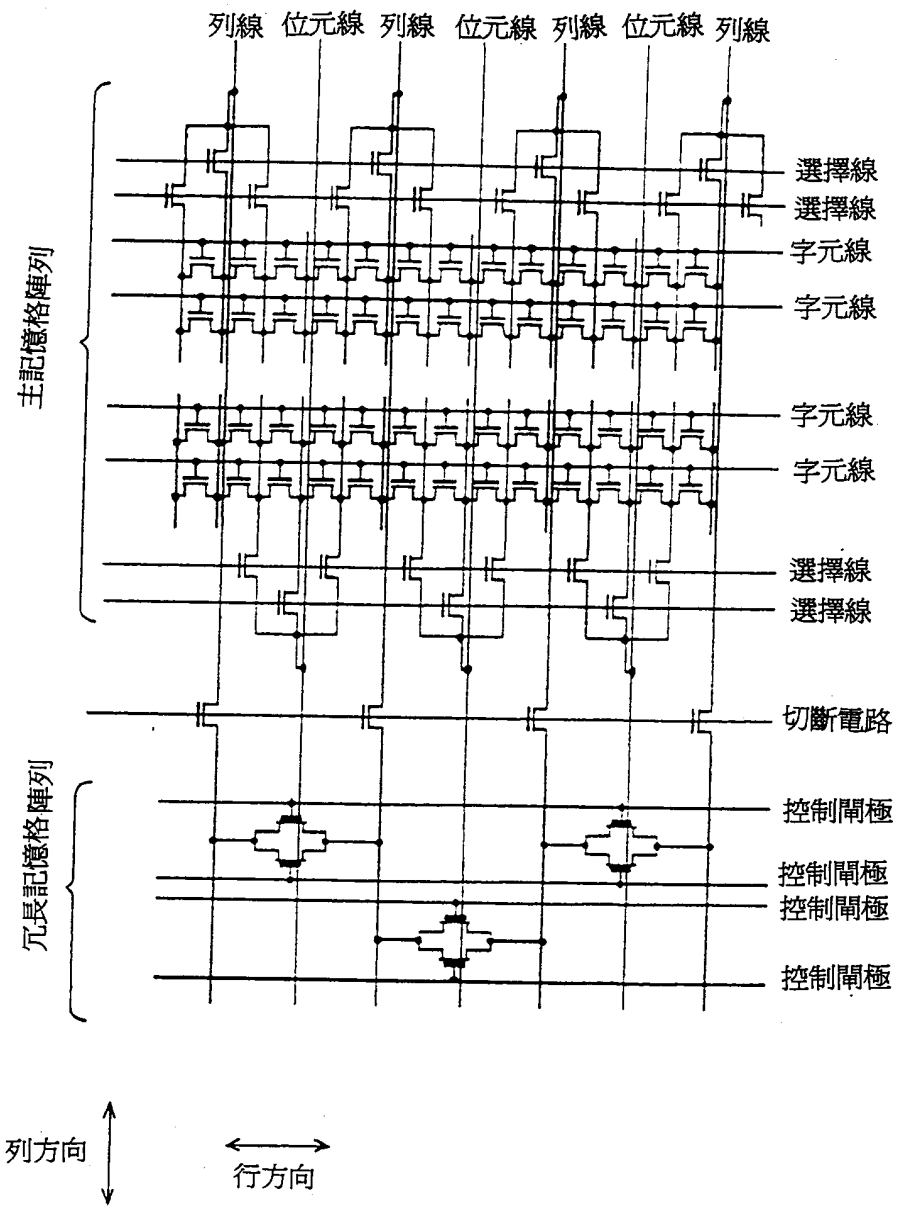
318242
86. 8. 21
年 月 日 修正 補充



第7圖

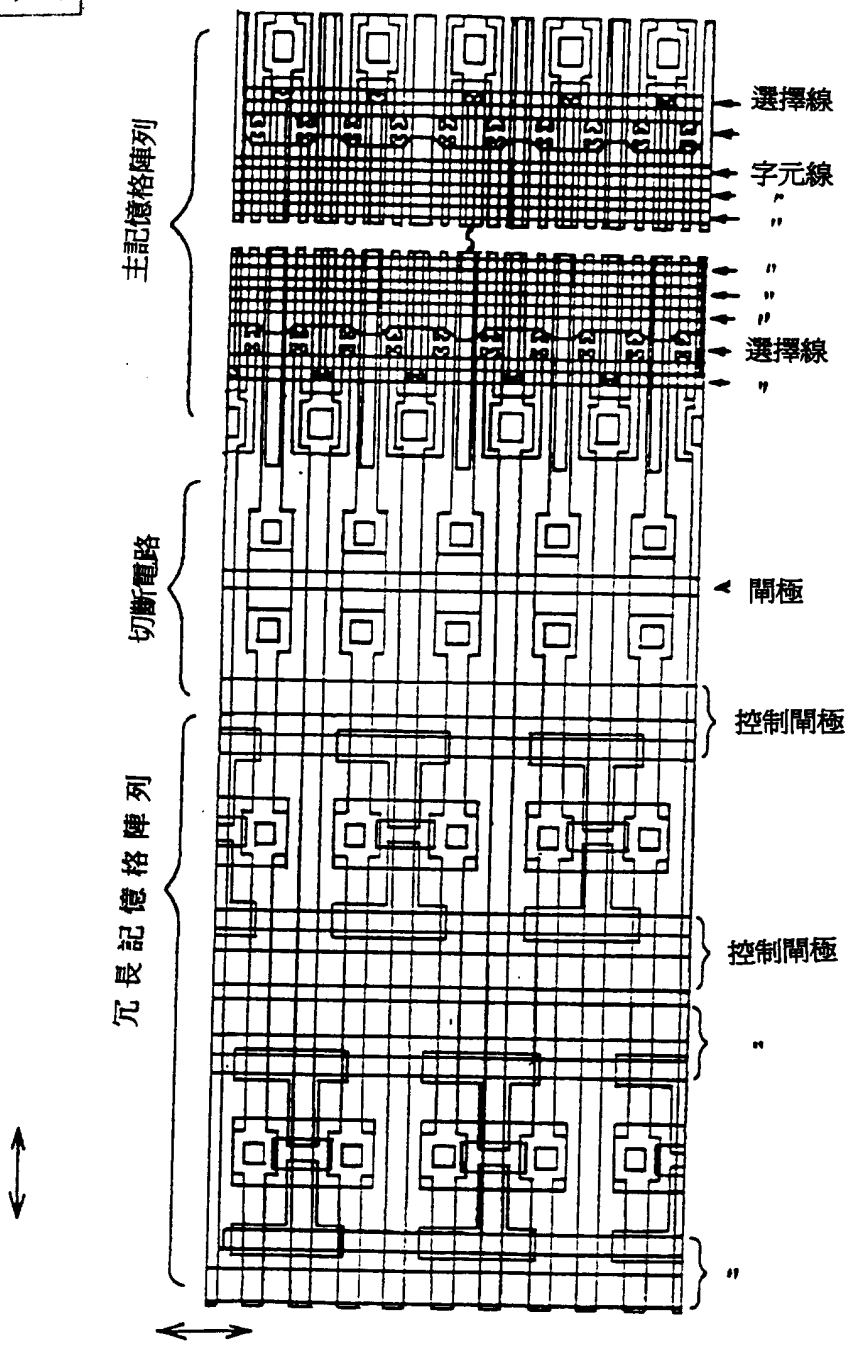

列線
位元線
列線
位元線
列線
位元線
列線
位元線
K
CDE'
主記憶格時"H"
冗長記憶格"H"
"H" or "L"
"L" or "H"
F
偏壓電路
感測放大器
Dout
32
31
33

第 8 圖


列線
位元線
列線
位元線
列線
位元線
列線
主記憶格陣列
選擇線
選擇線
字元線
字元線
字元線
字元線
選擇線
選擇線
切斷電路
冗長記憶格陣列
控制閘極
控制閘極
控制閘極
控制閘極
列方向
行方向

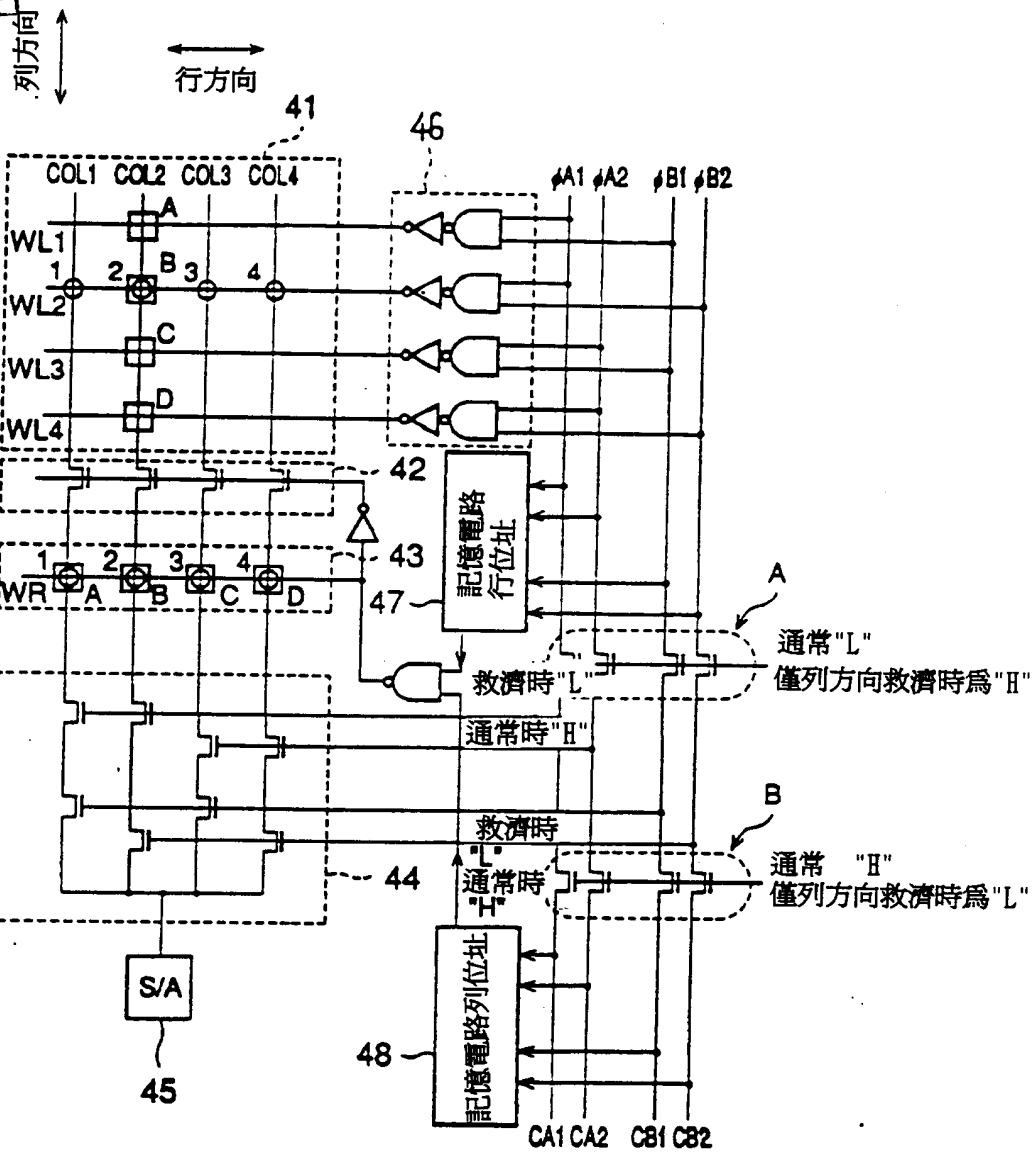
第 9 圖

318242
86. 8. 21
年 月 日 修正 補充

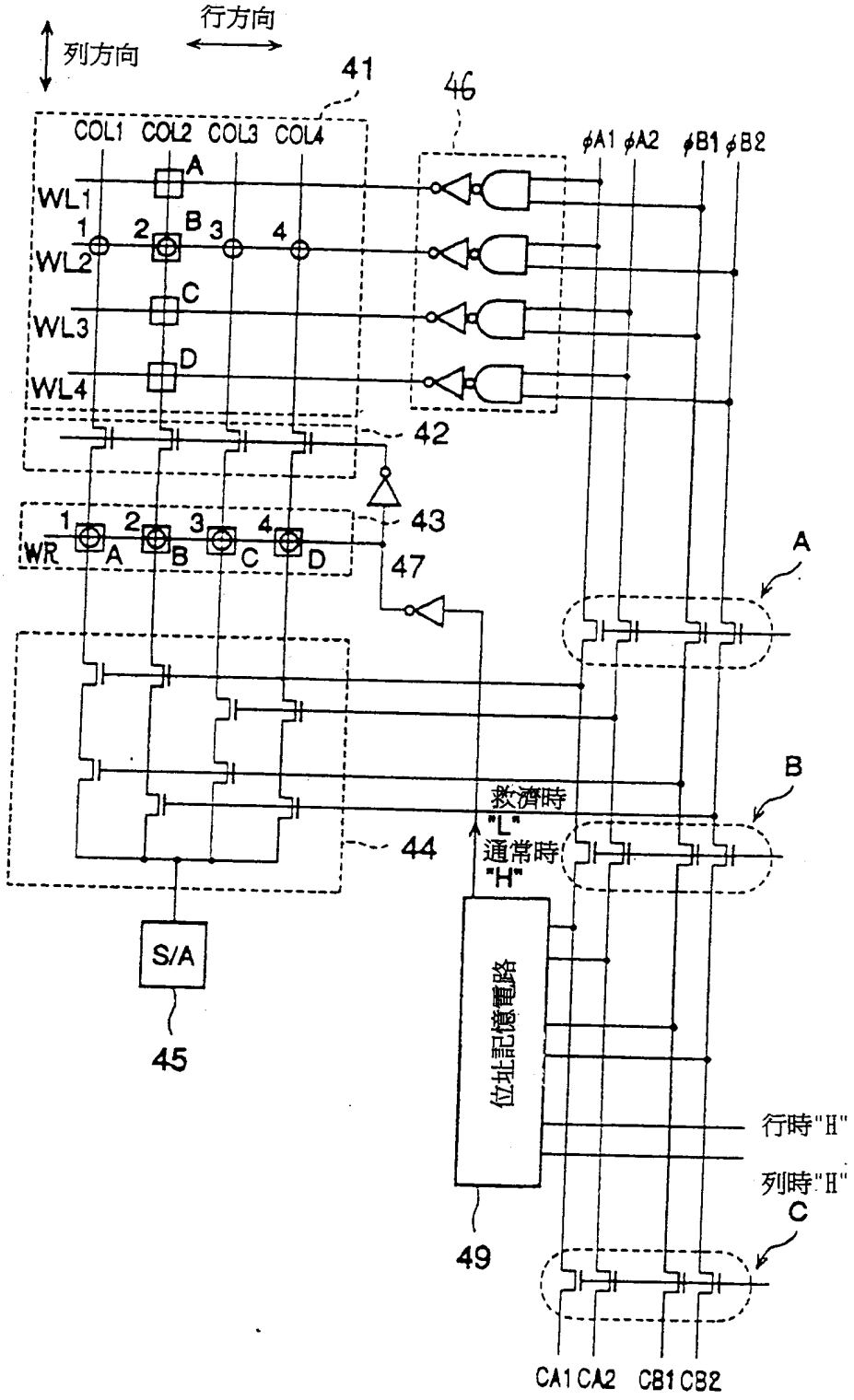


第10圖

86. 8. 21
年 月 日 修正 補充

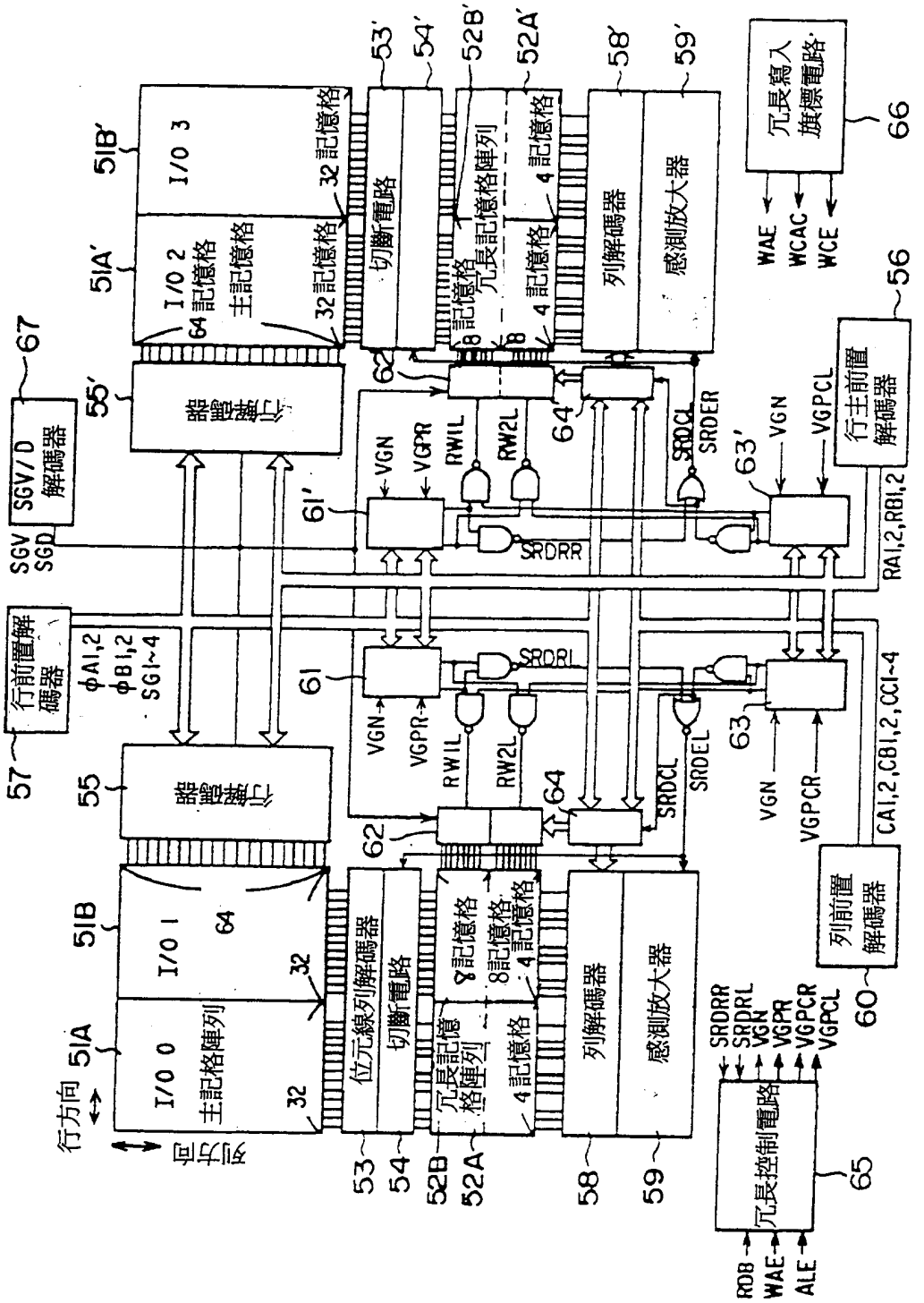


第11圖

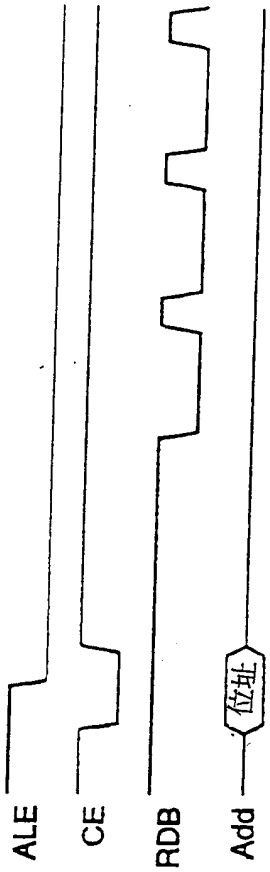

行方向
列方向
41
46
COL1 COL2 COL3 COL4
φA1 φA2 φB1 φB2
A
WL1
1 2 B 3 4
WL2
C
WL3
D
WL4
42
43
1 2 3 4
WR A B C D
47
A
B
救濟時
"L"
通常時
"H"
44
S/A
45
位址記憶電路
行時"H"
列時"H"
C
49
CA1 CA2 CB1 CB2

第12圖

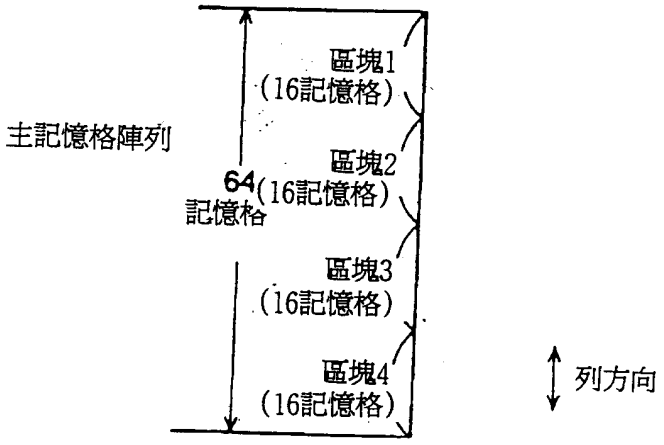
318242


I/O 0
主記格陣列
I/O 1
I/O 2
I/O 3
主記憶格
行方向
列方向
位元線列解碼器
切斷電路
冗長記憶格陣列
感測放大器
列解碼器
列前置解碼器
行前置解碼器
SGV/D解碼器
冗長控制電路
冗長寫入旗標電路
行主前置解碼器
VGN
VGPR
RW1L
RW2L
SRDCL
SRDEL
SRDRR
SRDRL
VGPCR
VGPCL
WAE
WCAC
WCE
RDB
ALE

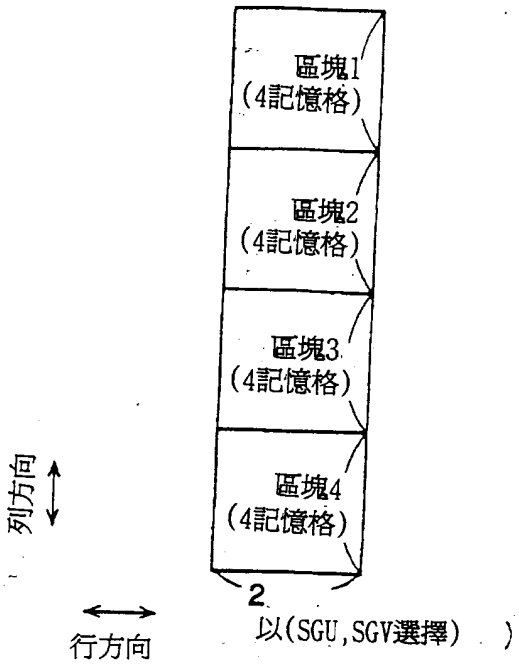
第13圖


ALE
CE
RDB
Add
位址

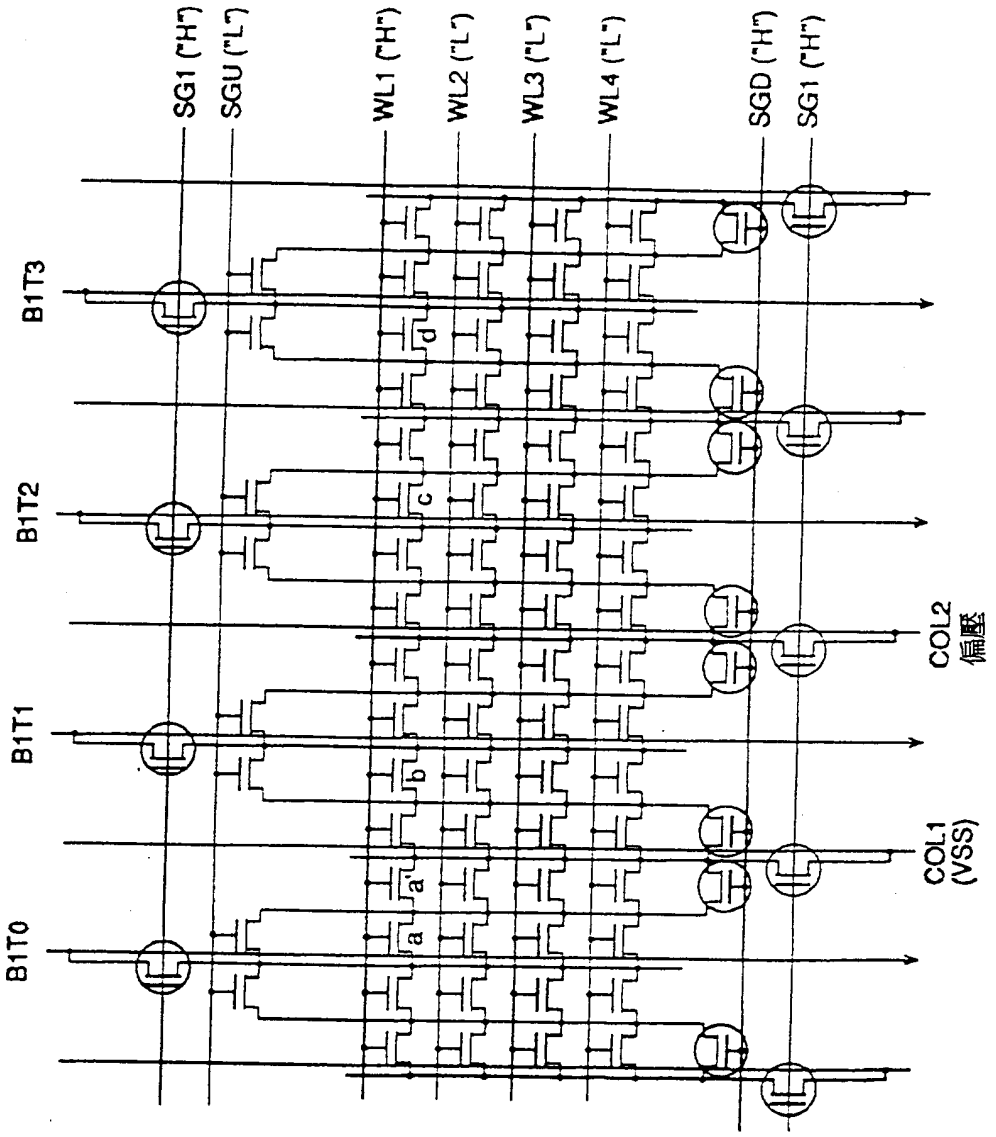
第14圖


主記憶格陣列
64
記憶格
區塊1
(16記憶格)
區塊2
(16記憶格)
區塊3
(16記憶格)
區塊4
(16記憶格)
列方向

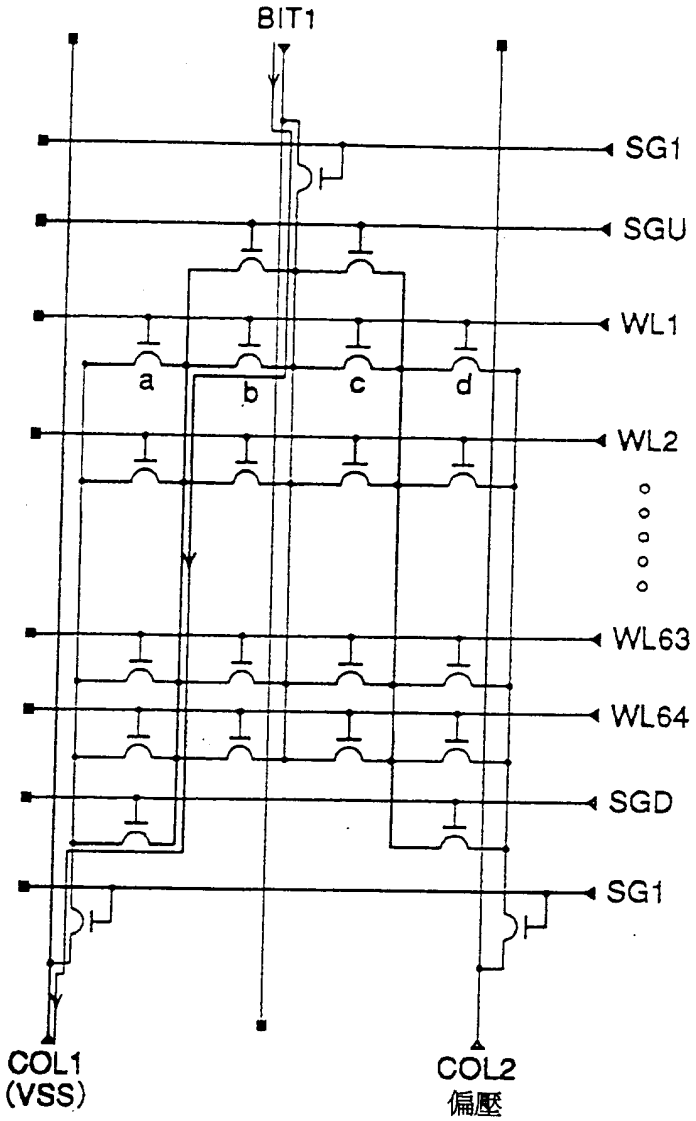
第15圖



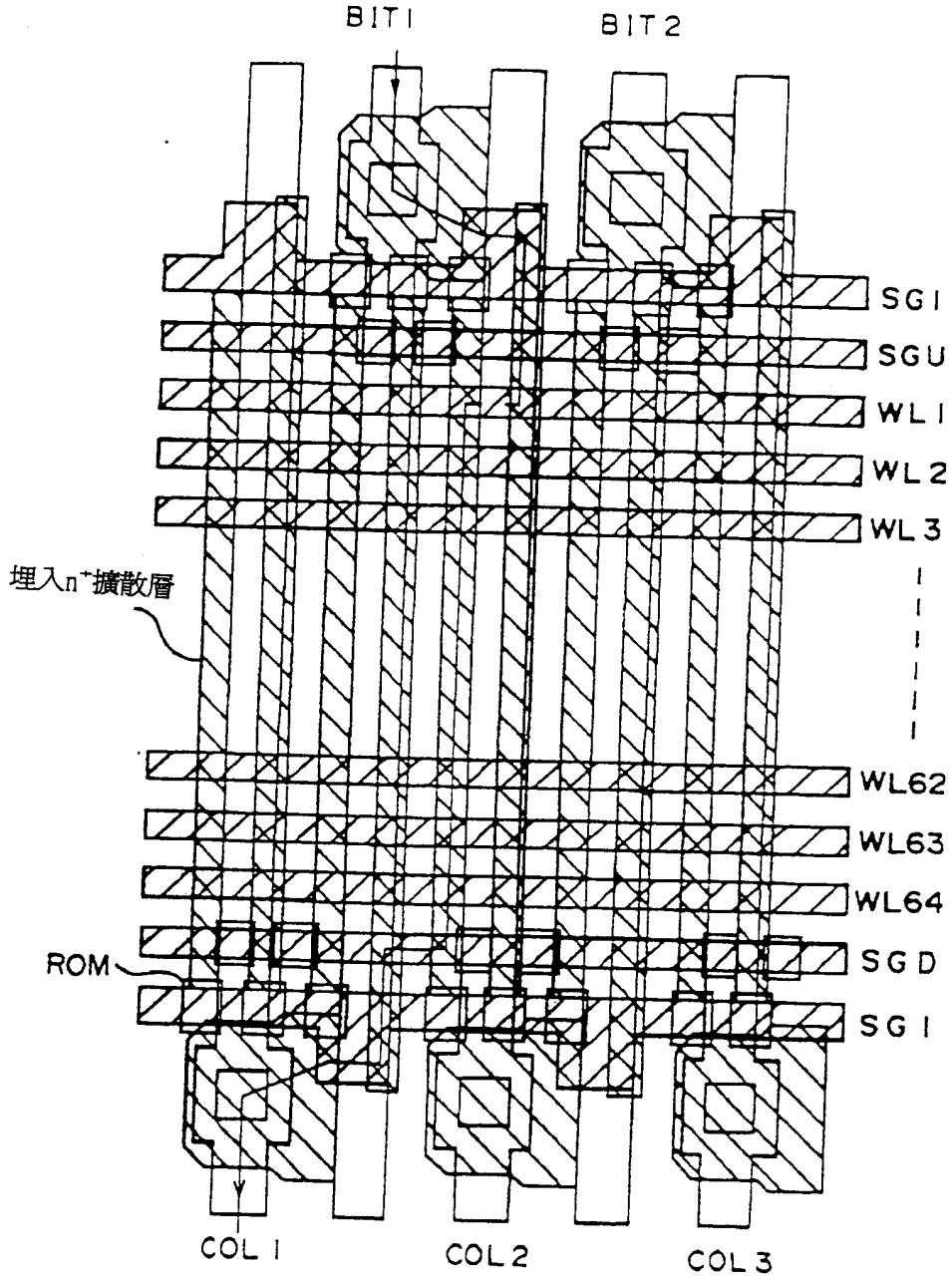
第16圖


SG1 ("H")
SGU ("L")
WL1 ("H")
WL2 ("L")
WL3 ("L")
WL4 ("L")
SGD ("H")
SG1 ("H")
B1T3
B1T2
B1T1
B1T0
a
a
b
c
d
COL2
偏壓
COL1
(VSS)

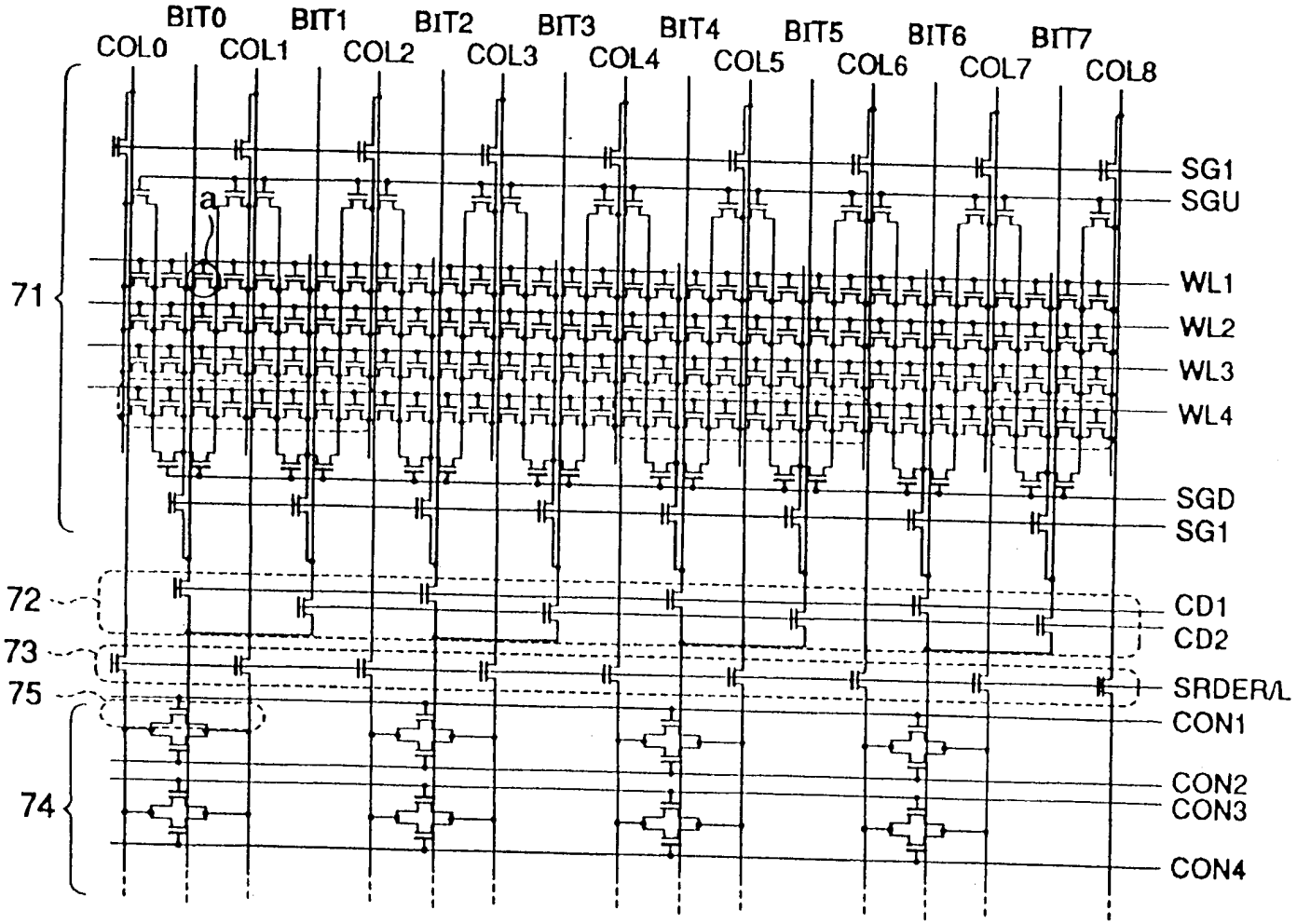
第17圖



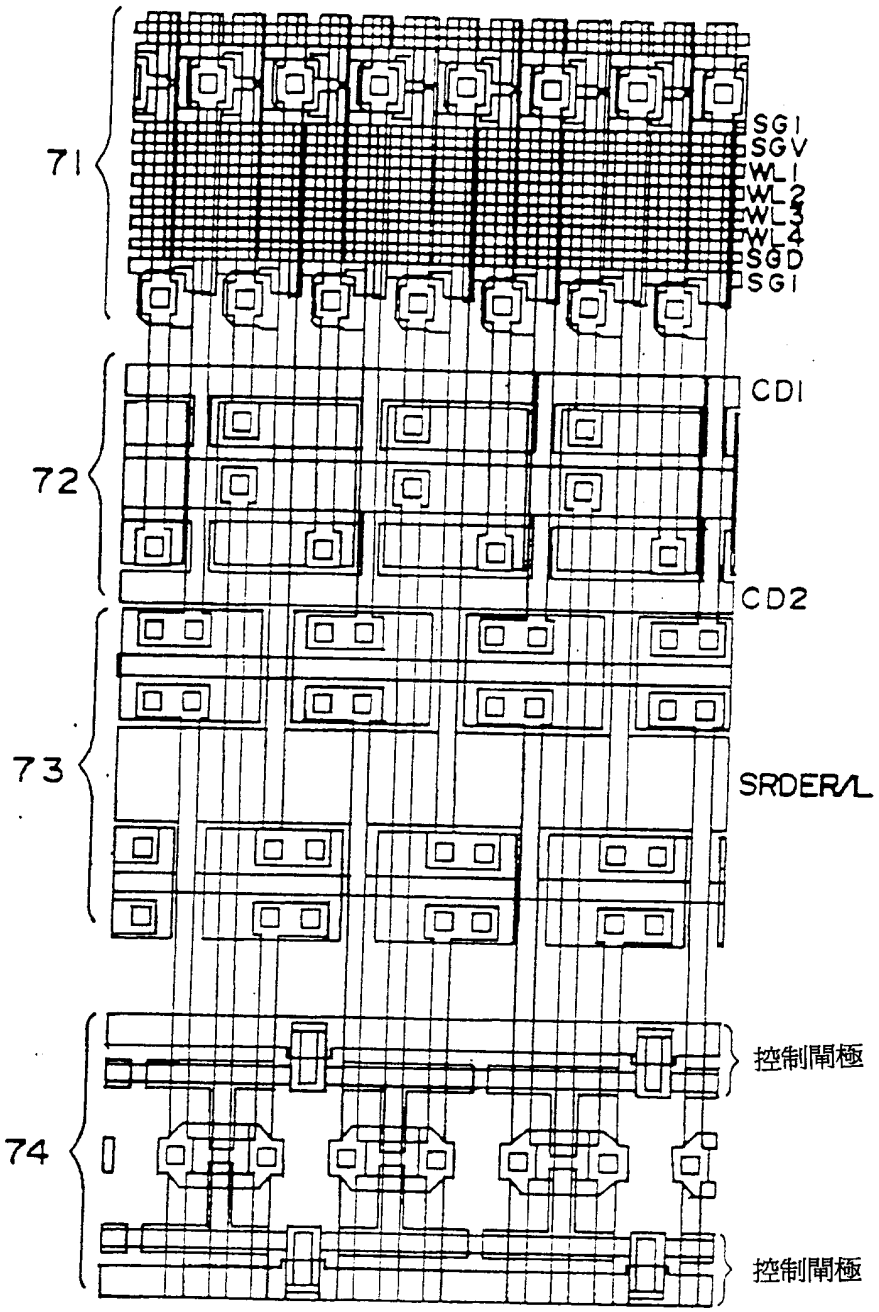
第18圖


BIT1
BIT2
SG1
SGU
WL1
WL2
WL3
埋入n⁺擴散層
WL62
WL63
WL64
ROM
SGD
SG1
COL1
COL2
COL3

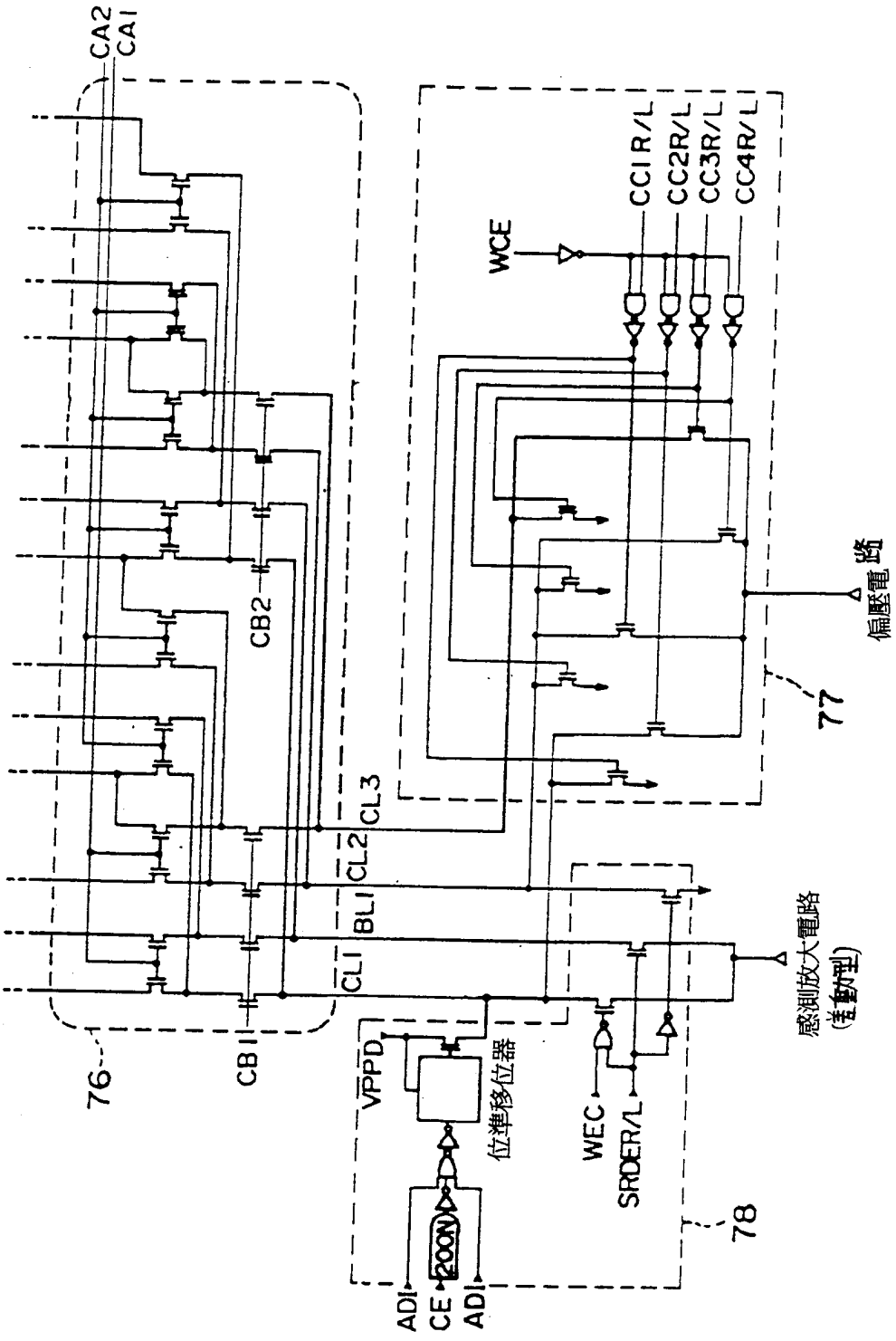
第19圖


BIT0
BIT1
BIT2
BIT3
BIT4
BIT5
BIT6
BIT7
COL0
COL1
COL2
COL3
COL4
COL5
COL6
COL7
COL8
a
71
72
73
75
74
SG1
SGU
WL1
WL2
WL3
WL4
SGD
SG1
CD1
CD2
SRDER/L
CON1
CON2
CON3
CON4

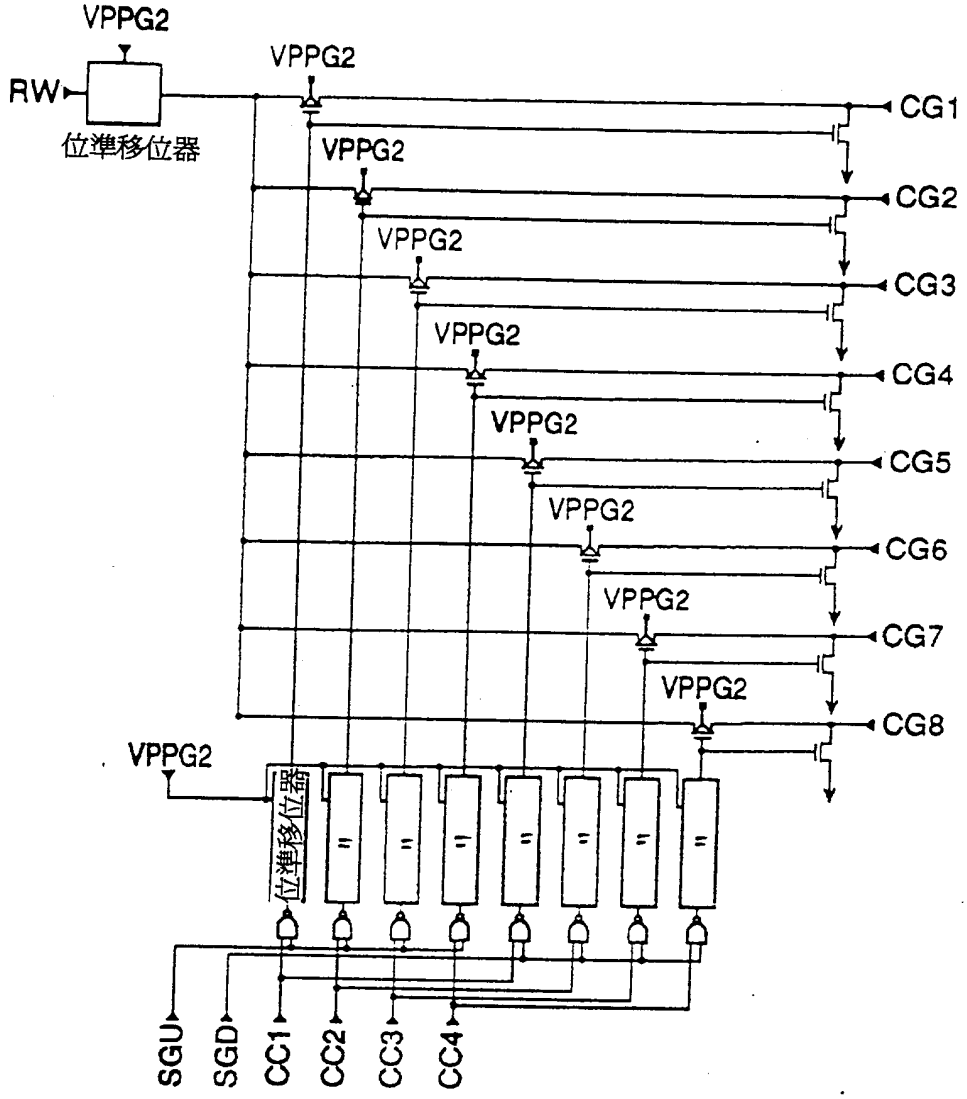
第20圖


71
SGI
SGV
WL1
WL2
WL3
WL4
SGD
SGI
72
CDI
CD2
73
SRDER/L
74
控制閘極
控制閘極

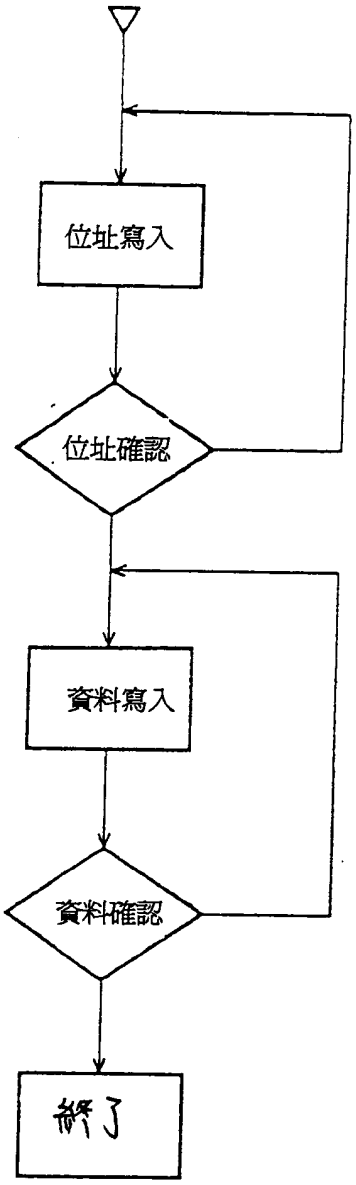
第21圖


CA2
CA1
CB2
CB1
CL3
CL2
BL1
CL1
76
77
78
WCE
CC1R/L
CC2R/L
CC3R/L
CC4R/L
偏壓電路
感測放大電路
(差動型)
VPPD
位準移位器
WEC
SRDER/L
ADI
CE
ZOON
ADI

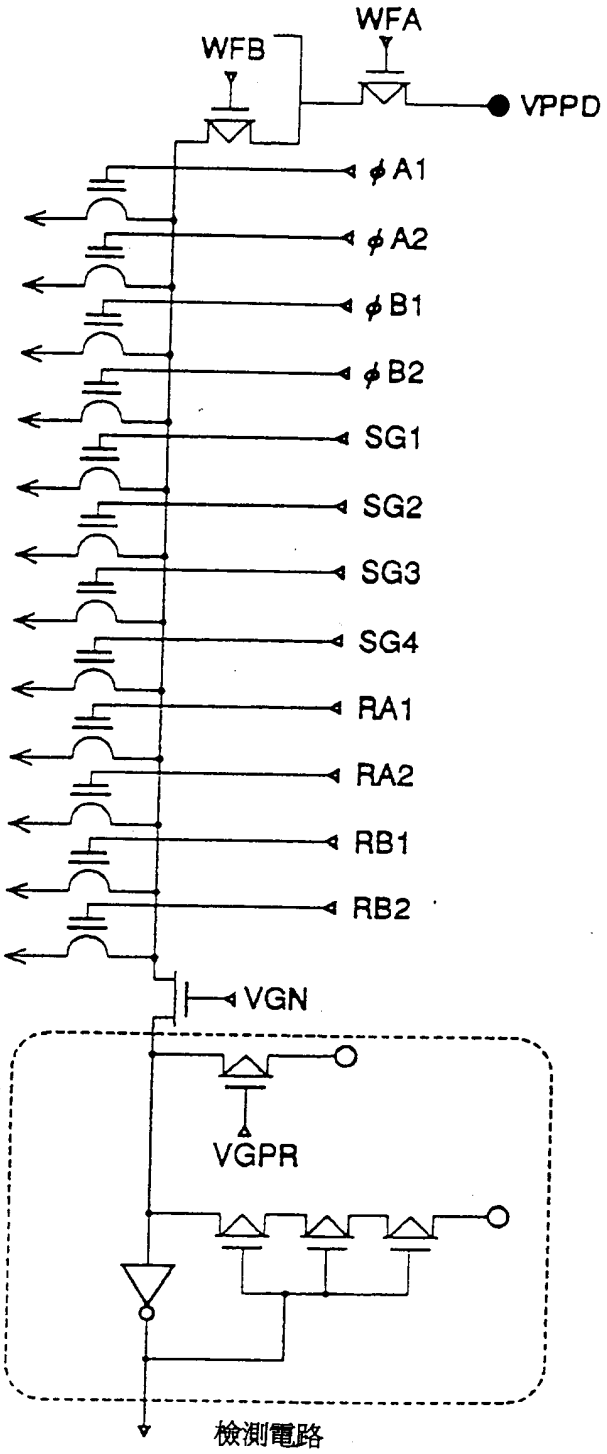
第22圖


VPPG2
RW
位準移位器
VPPG2
CG1
VPPG2
CG2
VPPG2
CG3
VPPG2
CG4
VPPG2
CG5
VPPG2
CG6
VPPG2
CG7
VPPG2
CG8
VPPG2
位準移位器
SGU
SGD
CC1
CC2
CC3
CC4

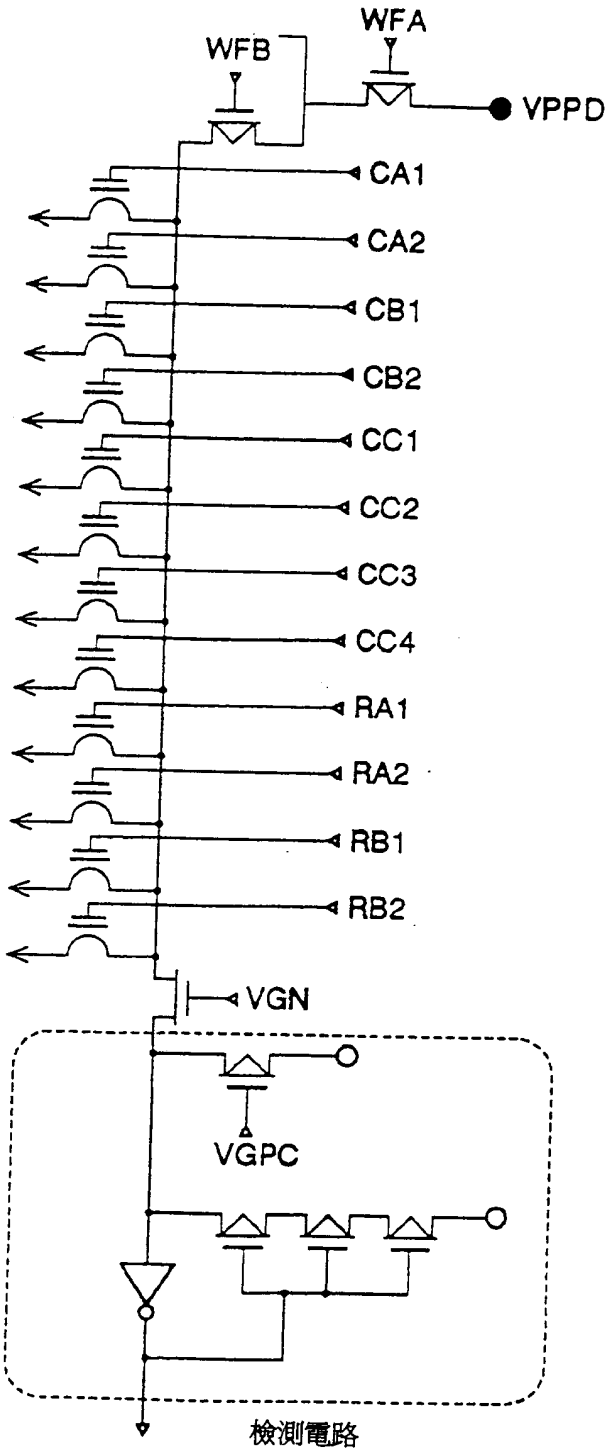
第23圖



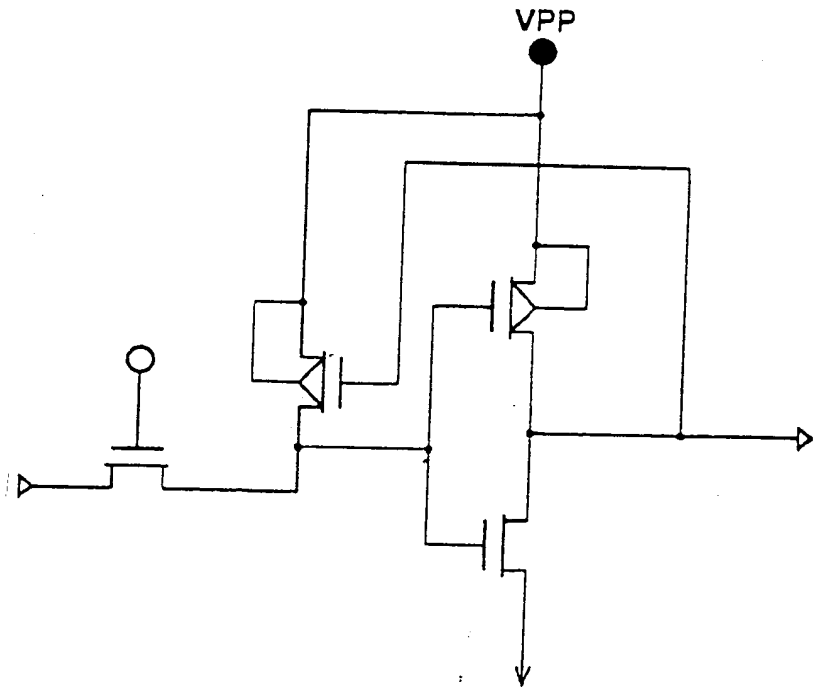
第24圖


WFA
WFB
VPPD
φA1
φA2
φB1
φB2
SG1
SG2
SG3
SG4
RA1
RA2
RB1
RB2
VGN
VGPR
檢測電路

第25圖

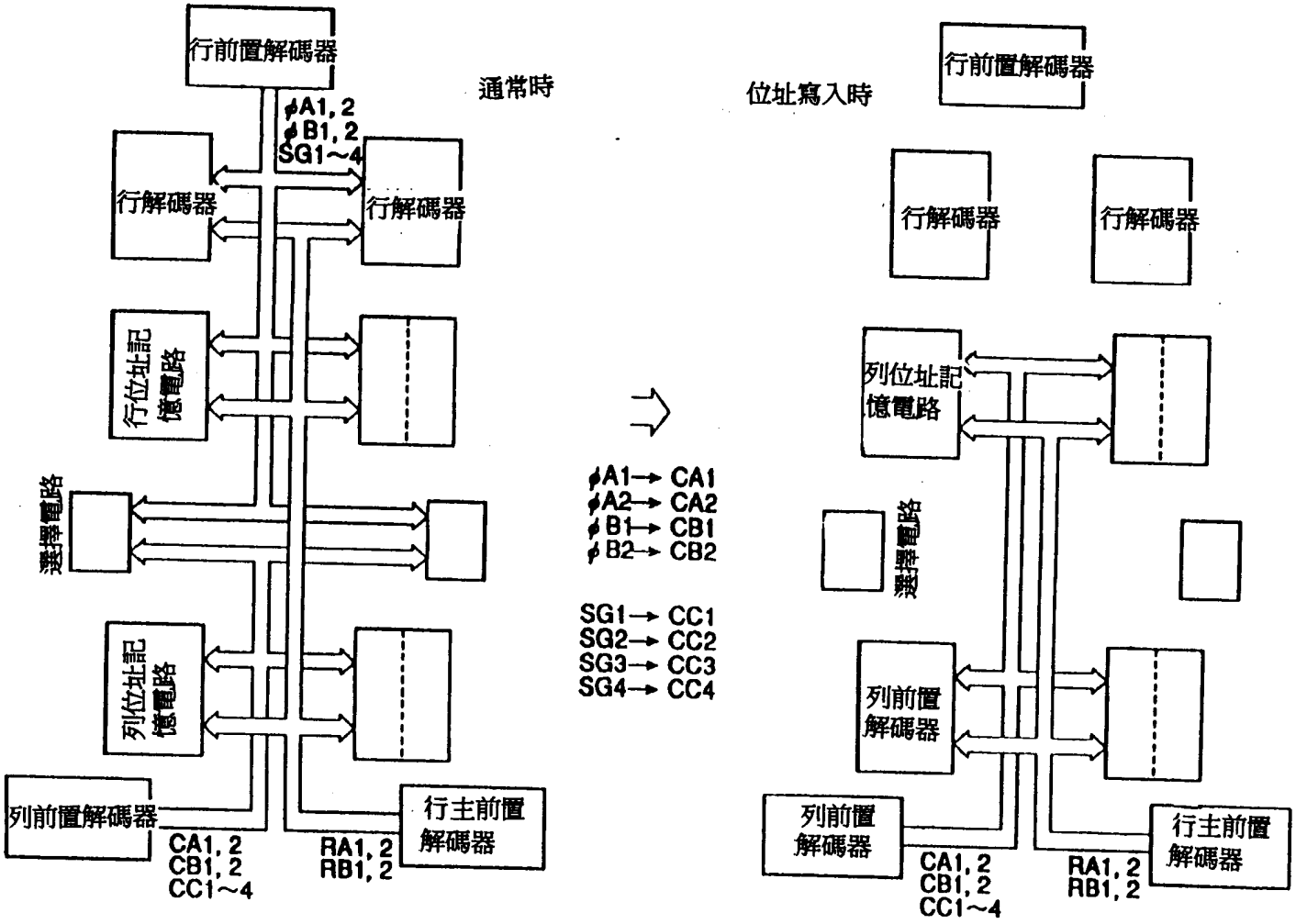

WFA
WFB
VPPD
CA1
CA2
CB1
CB2
CC1
CC2
CC3
CC4
RA1
RA2
RB1
RB2
VGN
VGPC
檢測電路

第26圖

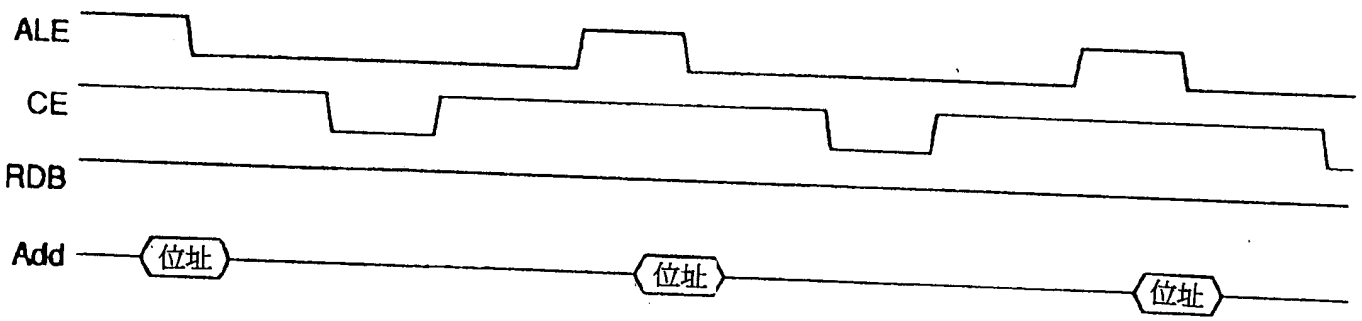


第27圖

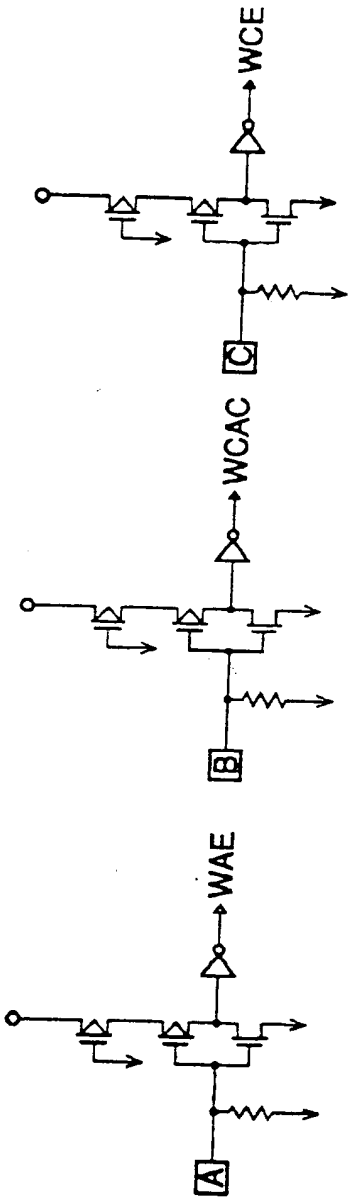
318242
86.8.21
修正
補充
日



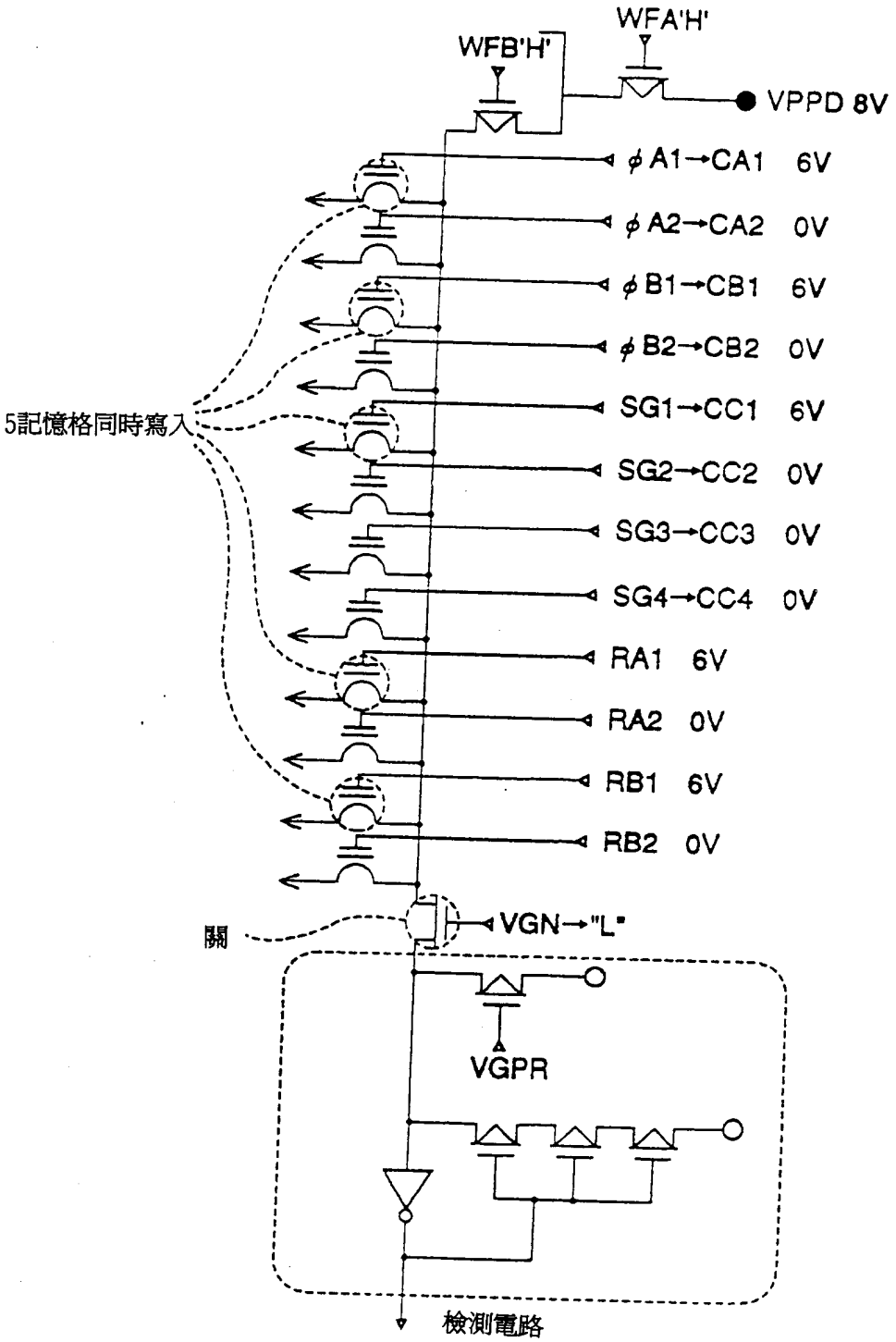
第28圖



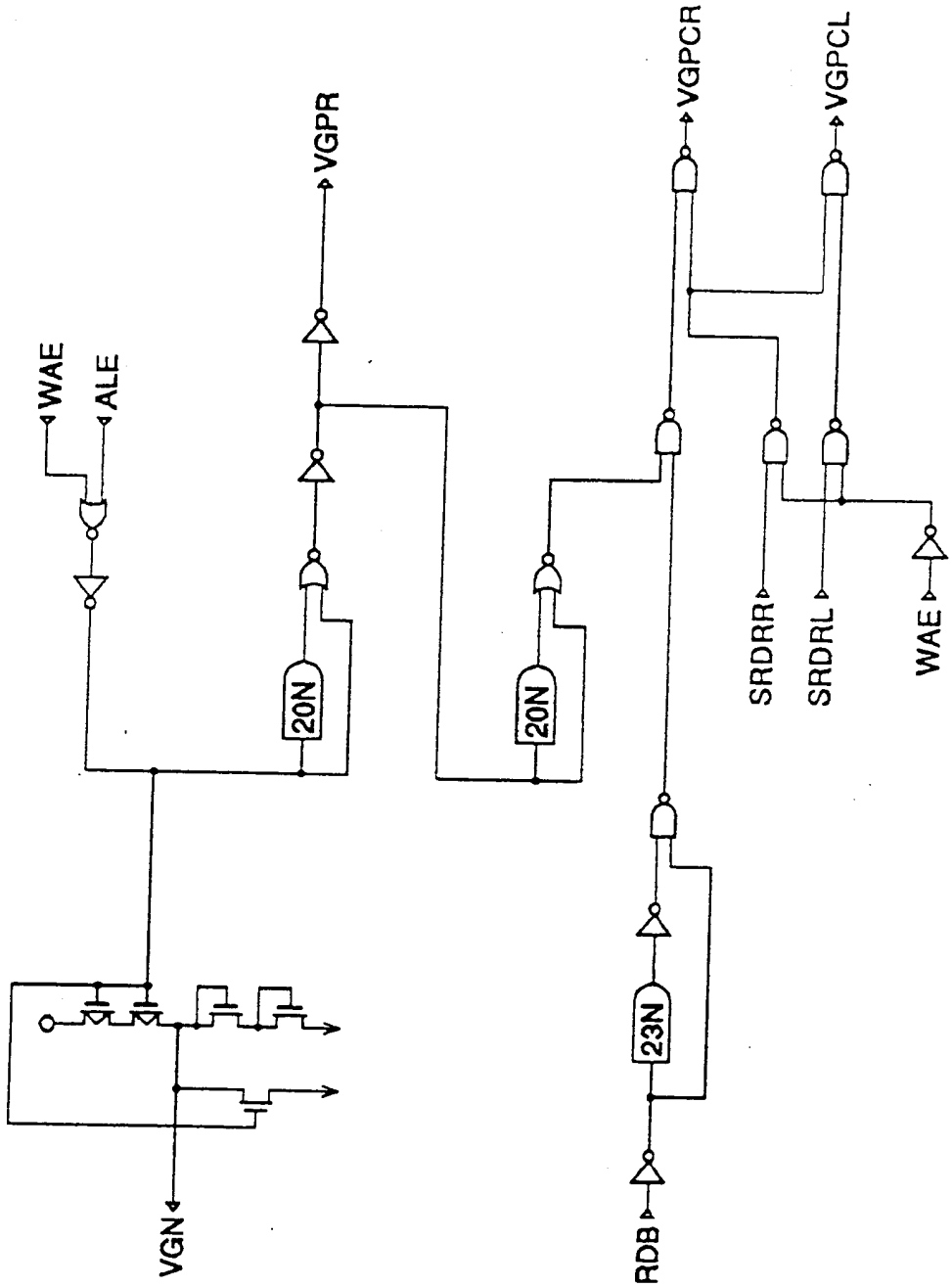
第29圖



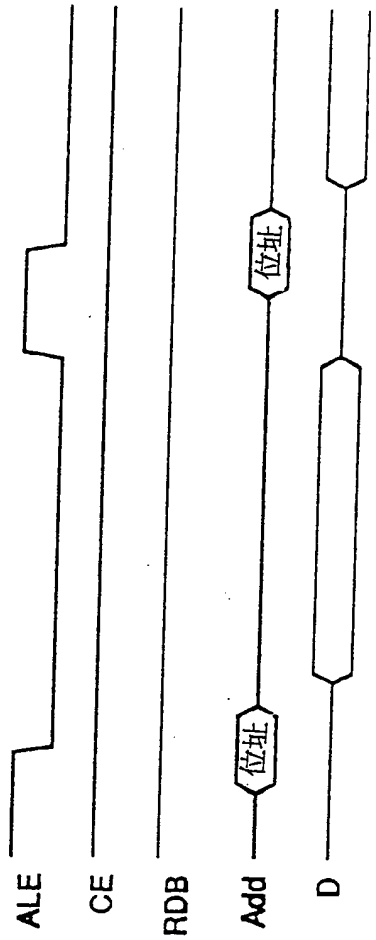
第30圖


WFA'H'
WFB'H'
VPPD 8V
φA1→CA1 6V
φA2→CA2 0V
φB1→CB1 6V
φB2→CB2 0V
SG1→CC1 6V
SG2→CC2 0V
SG3→CC3 0V
SG4→CC4 0V
RA1 6V
RA2 0V
RB1 6V
RB2 0V
5記憶格同時寫入
關
VGN→"L"
VGPR
檢測電路

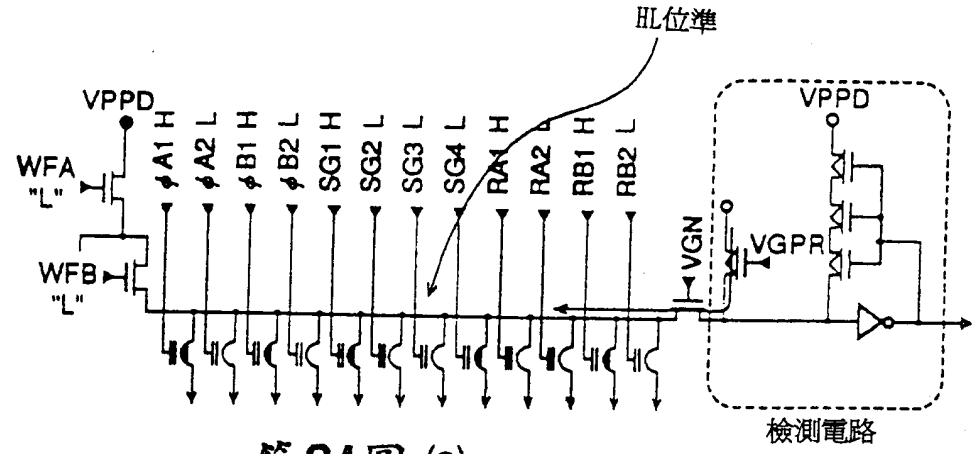
第31圖



第32圖

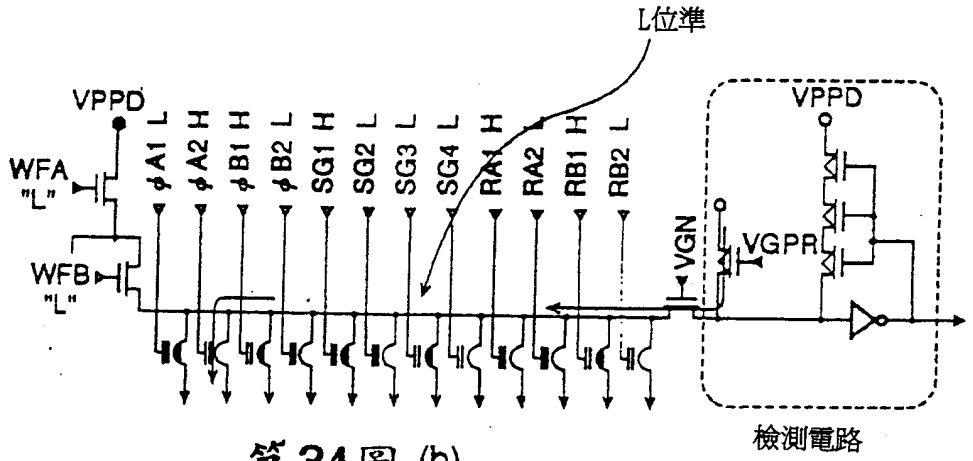


第33圖



第34圖 (a)

進行寫入之記憶格



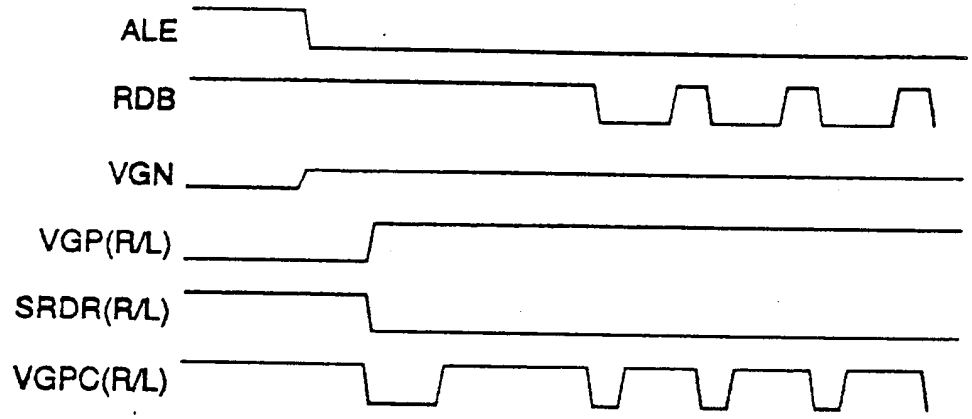
第34圖 (b)

WAE=H

VGN="L" 時
VGPR="L"
VGPCR="L"
VGPCL="L"

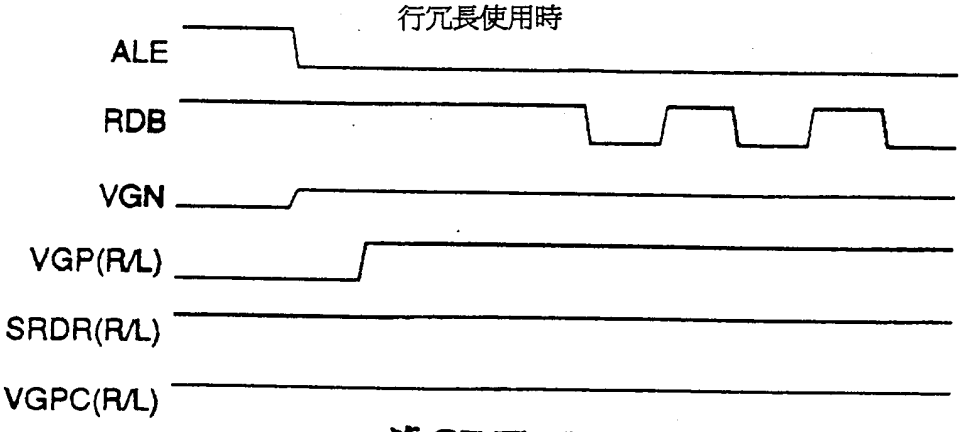
WAE=L 時

行冗長未使用時

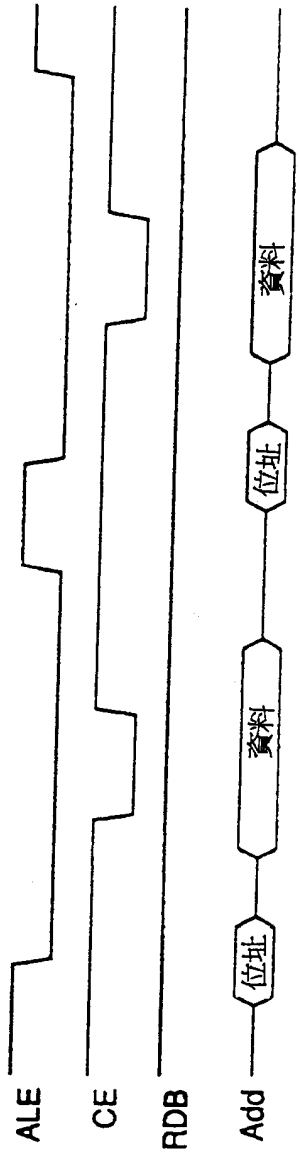


第35圖 (a)

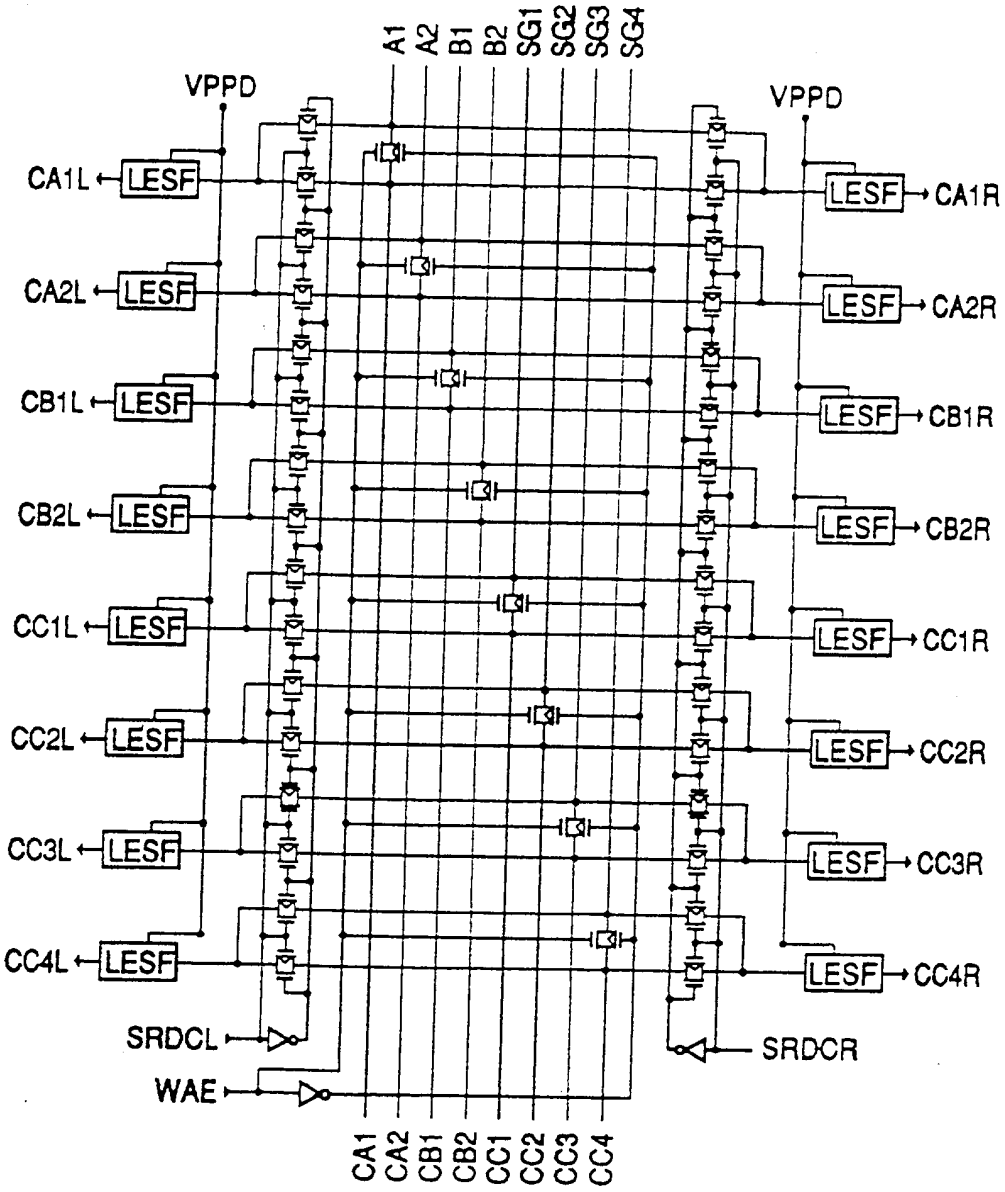
行冗長使用時



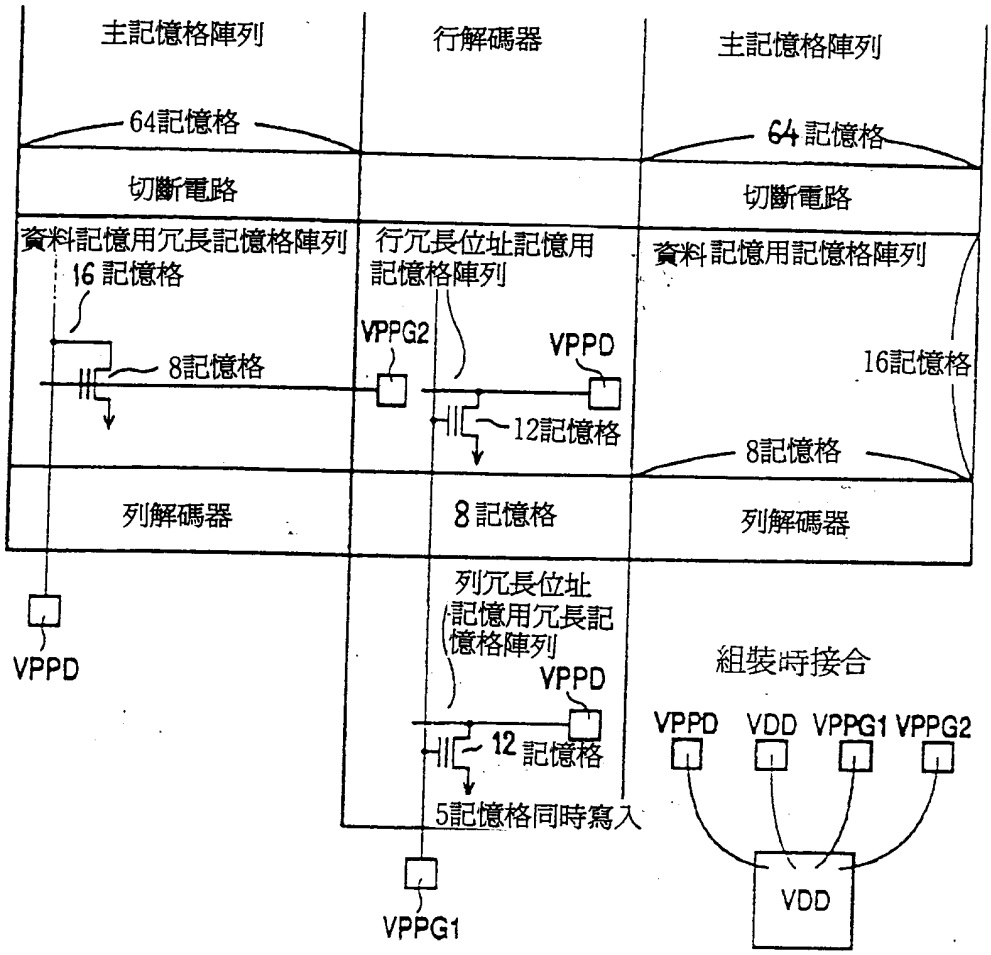
第35圖 (b)



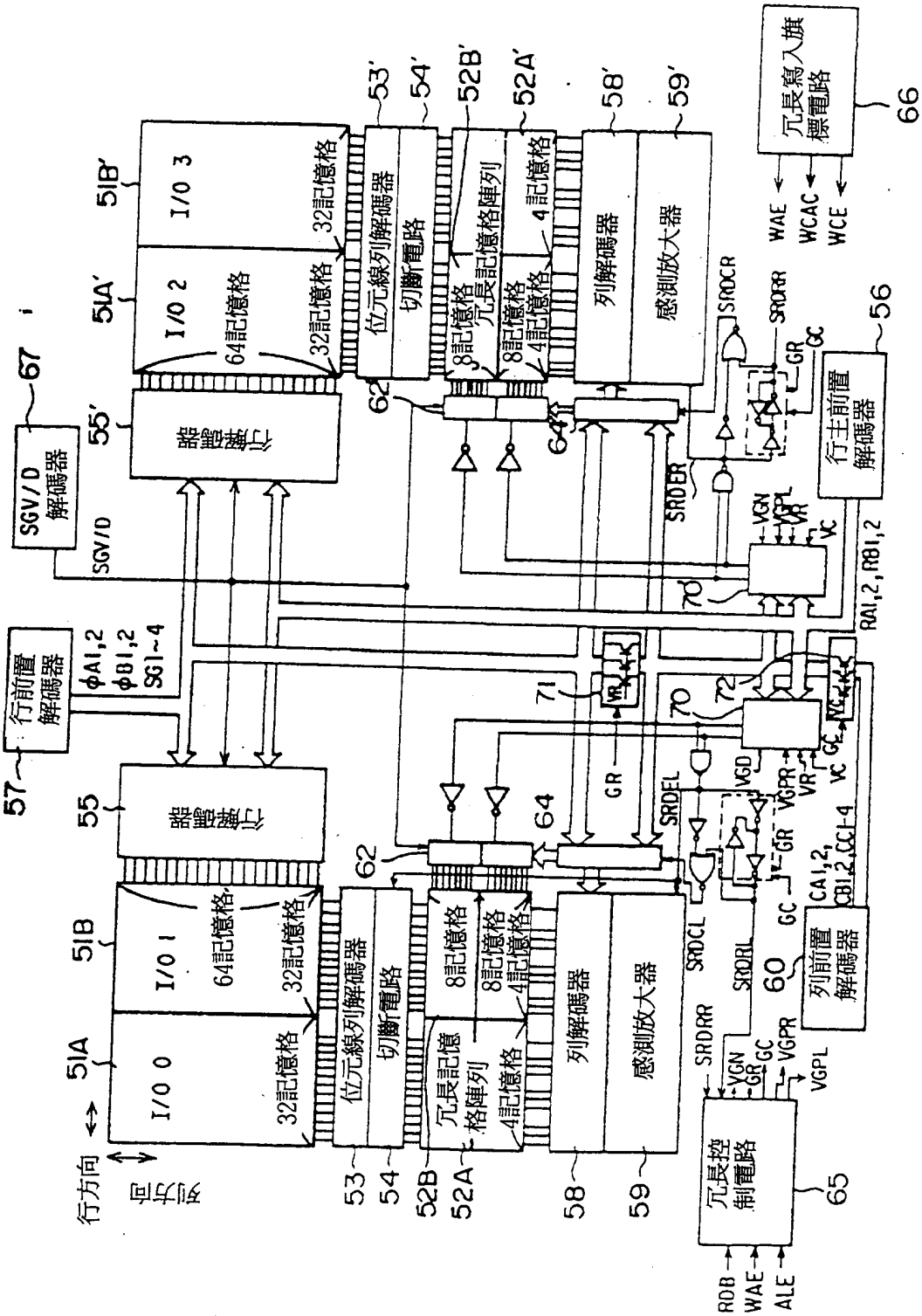
第36圖


A1
A2
B1
B2
SG1
SG2
SG3
SG4
VPPD
VPPD
CA1L
CA2L
CB1L
CB2L
CC1L
CC2L
CC3L
CC4L
LESF
CA1R
CA2R
CB1R
CB2R
CC1R
CC2R
CC3R
CC4R
SRDCL
SRDCR
WAE
CA1
CA2
CB1
CB2
CC1
CC2
CC3
CC4

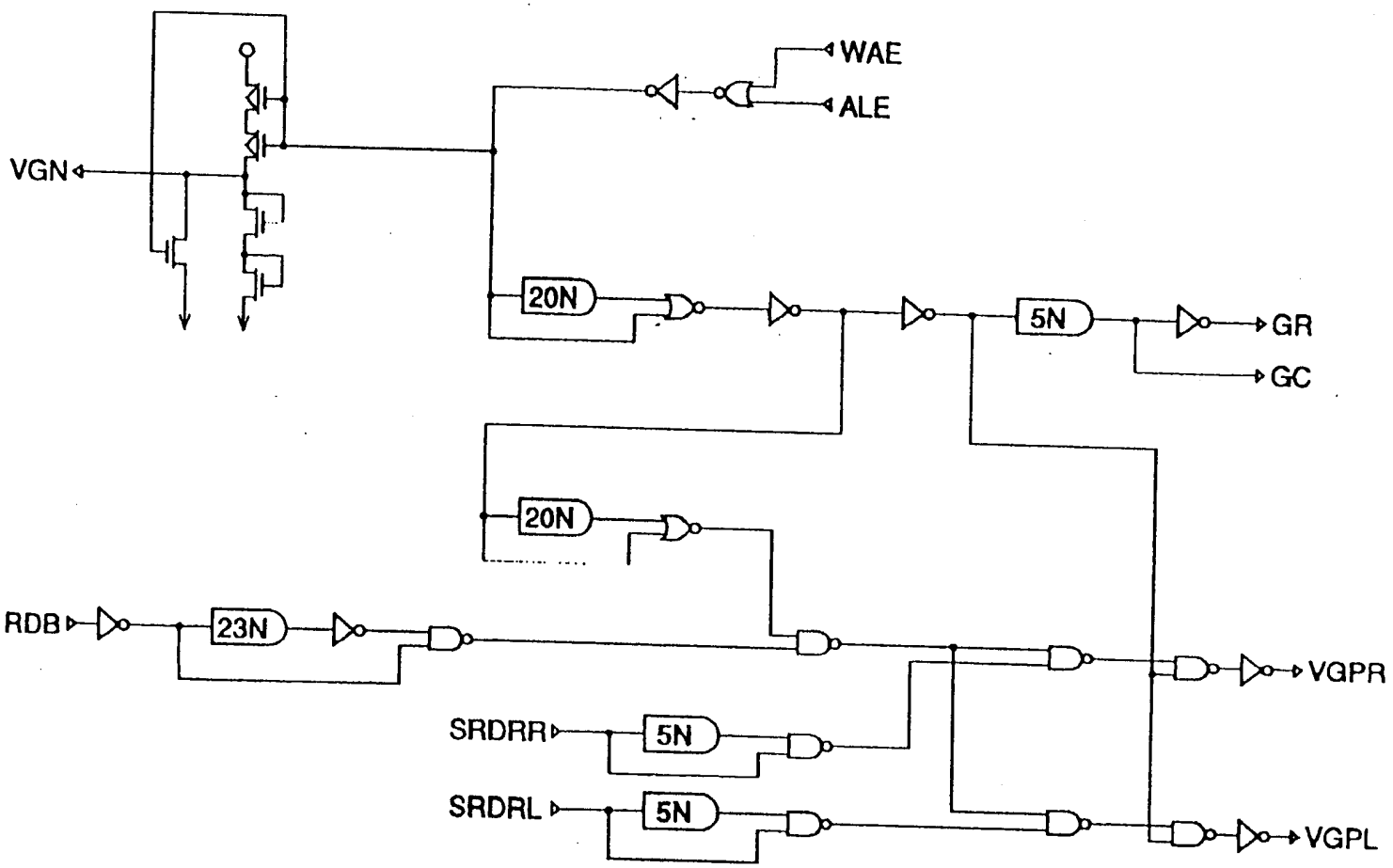
第37圖


主記憶格陣列
行解碼器
主記憶格陣列
64記憶格
64 記憶格
切斷電路
切斷電路
資料記憶用冗長記憶格陣列
16 記憶格
8記憶格
行冗長位址記憶用
記憶格陣列
VPPG2
VPPD
12記憶格
資料記憶用記憶格陣列
16記憶格
8記憶格
列解碼器
8 記憶格
列解碼器
VPPD
列冗長位址
記憶用冗長記
憶格陣列
VPPD
12 記憶格
5記憶格同時寫入
VPPG1
組裝時接合
VPPD
VDD
VPPG1
VPPG2
VDD

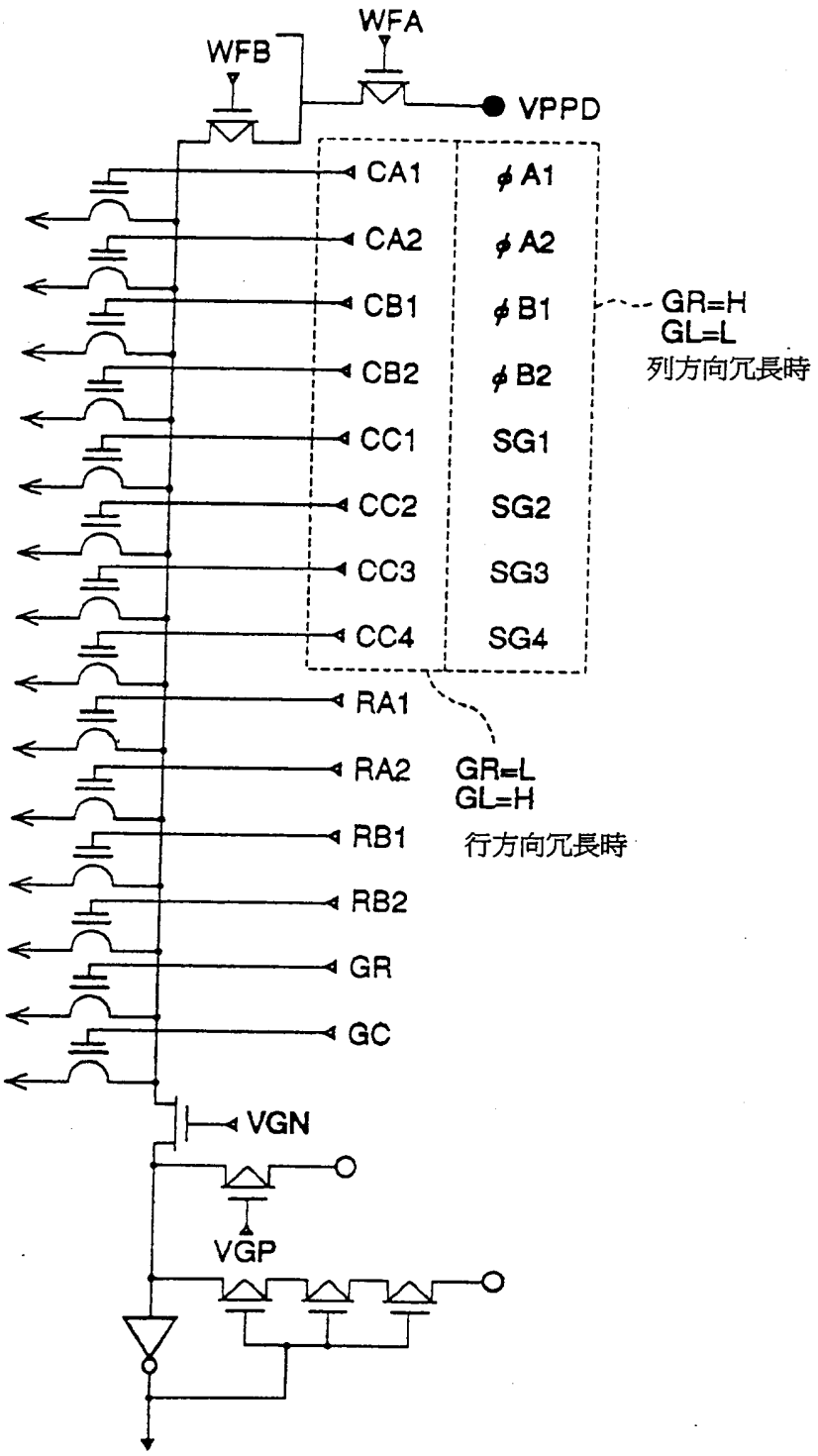
第38圖


I/O 0
I/O 1
I/O 2
I/O 3
64記憶格
32記憶格
8記憶格
4記憶格
冗長記憶格陣列
位元線列解碼器
切斷電路
列解碼器
感測放大器
行前置解碼器
列前置解碼器
行主前置解碼器
SGV/D解碼器
冗長寫入旗標電路
冗長控制電路
行方向
列方向
SRDRR
SRDRL
SRDCL
SRDEL
SRDCR
SRDER
VGN
VGPR
VGPL
VR
VC
GR
GC
WAE
WCAC
WCE
RDB
ALE
51A
51B
51A'
51B'
52A
52B
52A'
52B'
53
54
53'
54'
55
55'
56
57
58
59
58'
59'
60
62
64
65
66
67
70
71
72

第39圖



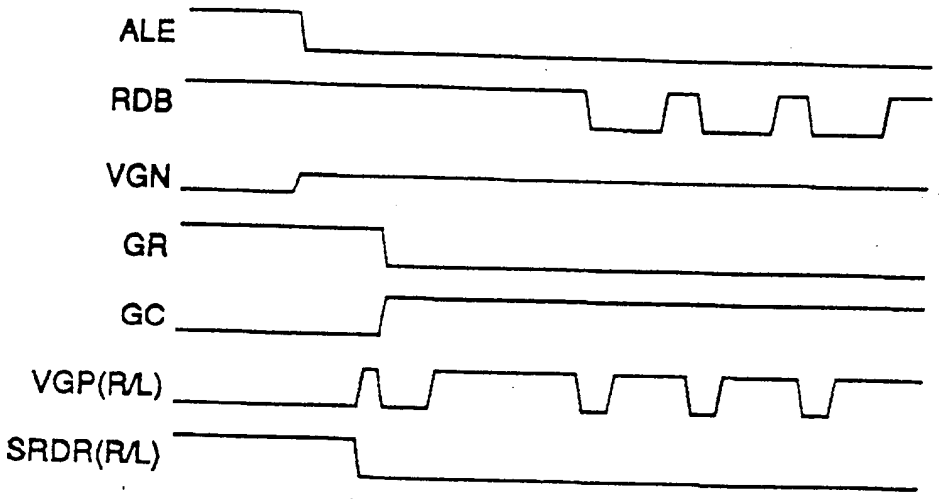
第40圖


WFA
WFB
VPPD
CA1
φA1
CA2
φA2
CB1
φB1
CB2
φB2
CC1
SG1
CC2
SG2
CC3
SG3
CC4
SG4
GR=H
GL=L
列方向冗長時
RA1
RA2
GR=L
GL=H
行方向冗長時
RB1
RB2
GR
GC
VGN
VGP

第41圖

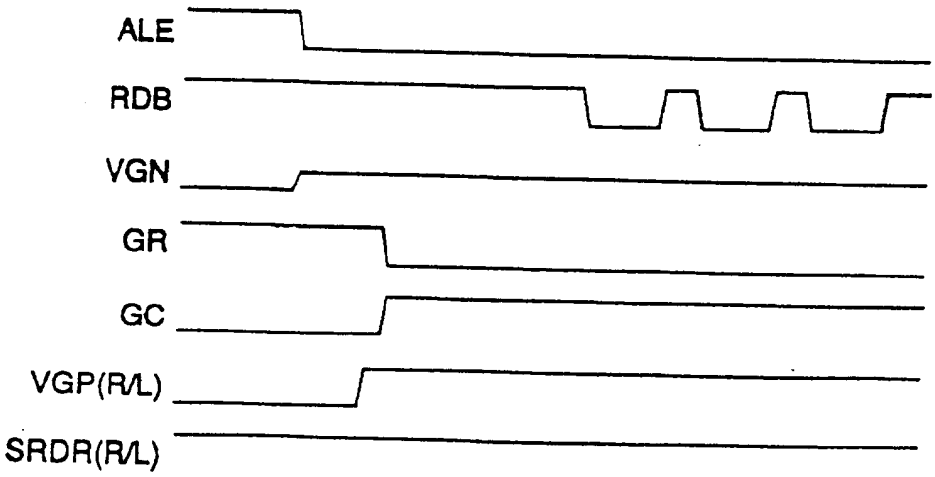
WAE=H 時
VGN="L"
VGPR="L"
VGPL="L"

WAE=L 時
行冗長未使用時



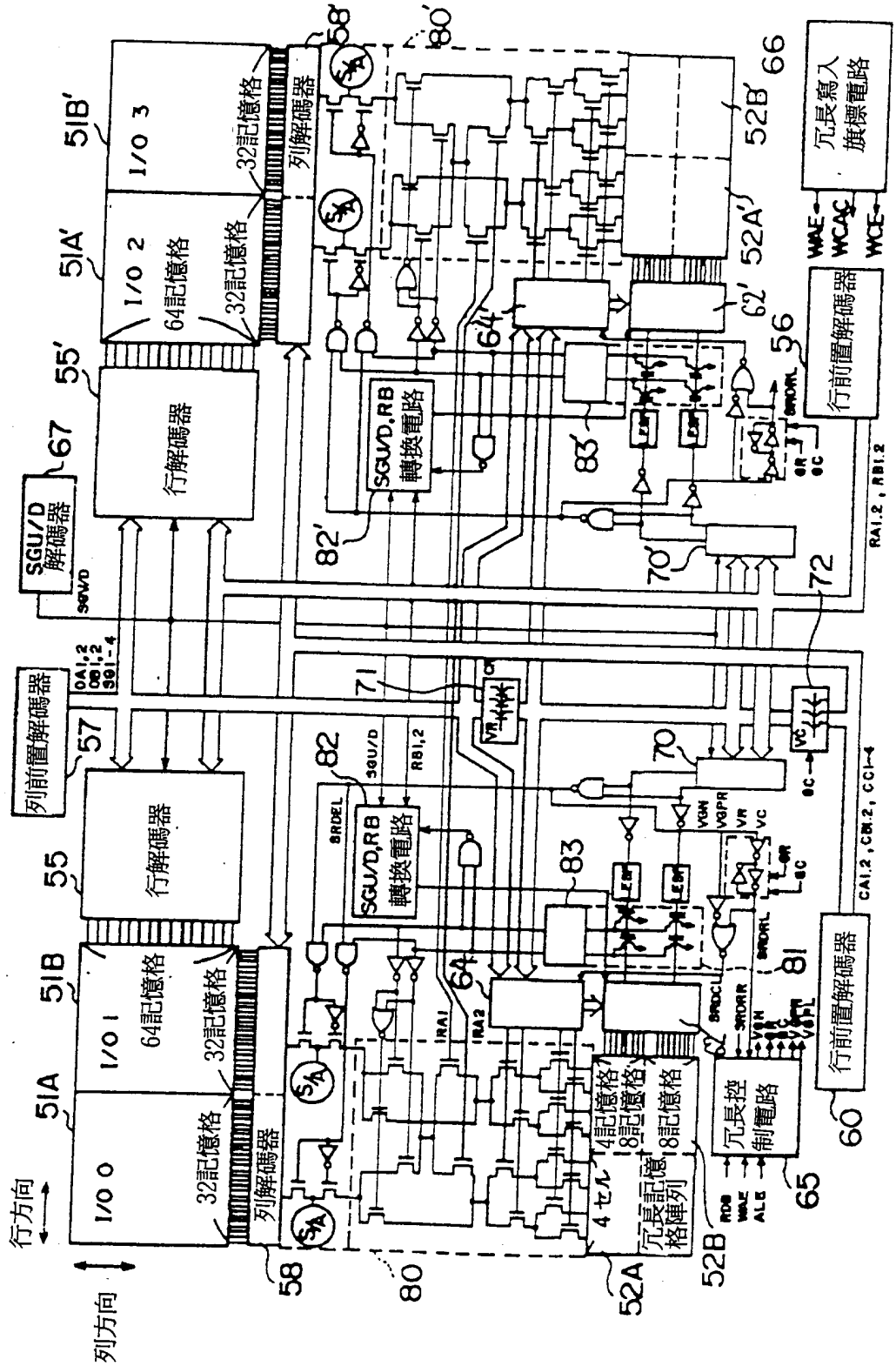
第42圖 (a)

行冗長使用時

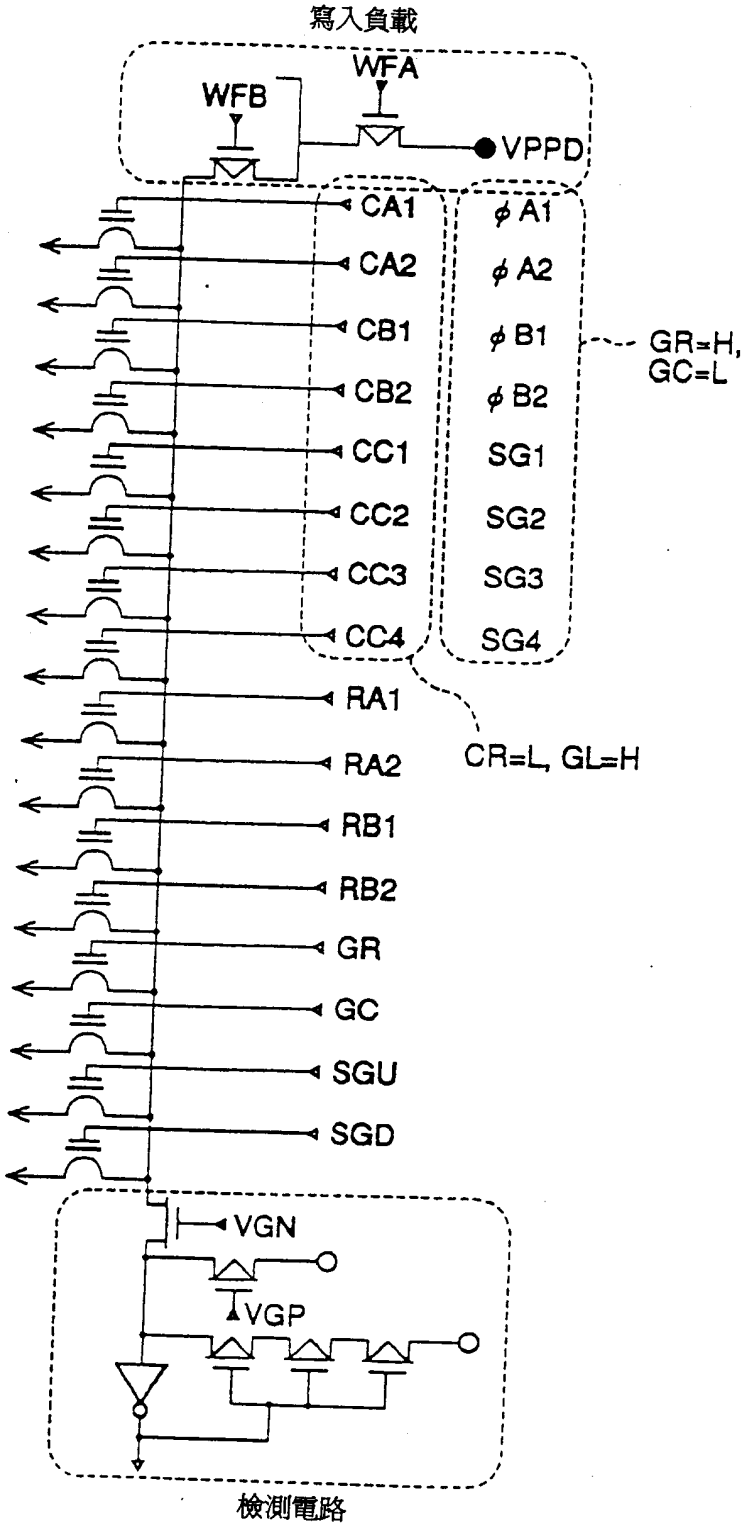


第42圖 (b)

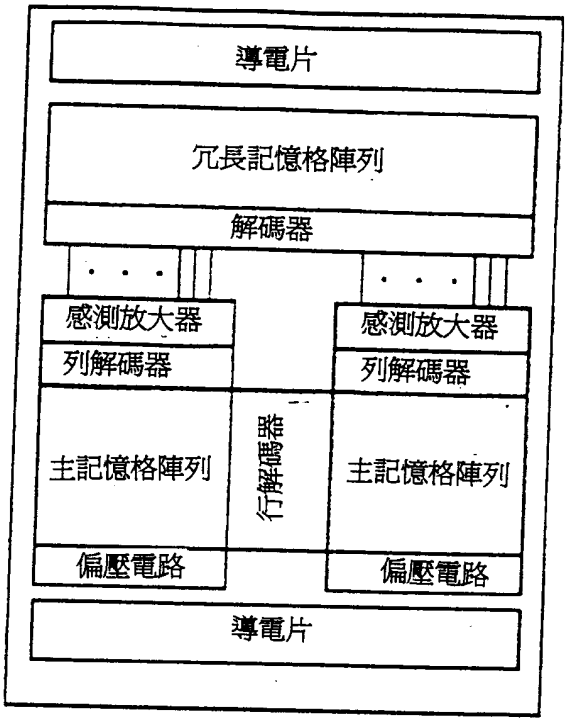
318242


行方向
列方向
I/O 0
I/O 1
I/O 2
I/O 3
64記憶格
32記憶格
列解碼器
行解碼器
列前置解碼器
行前置解碼器
SGU/D 解碼器
SGU/D,RB 轉換電路
4 セル
18記憶格
冗長記憶格陣列
冗長控制電路
冗長寫入旗標電路
51A
51B
51A'
51B'
52A
52B
52A'
52B'
55
55'
56
57
58
58'
60
62'
64
64'
65
66
67
70
70'
71
72
80
80'
81
82
82'
83
83'

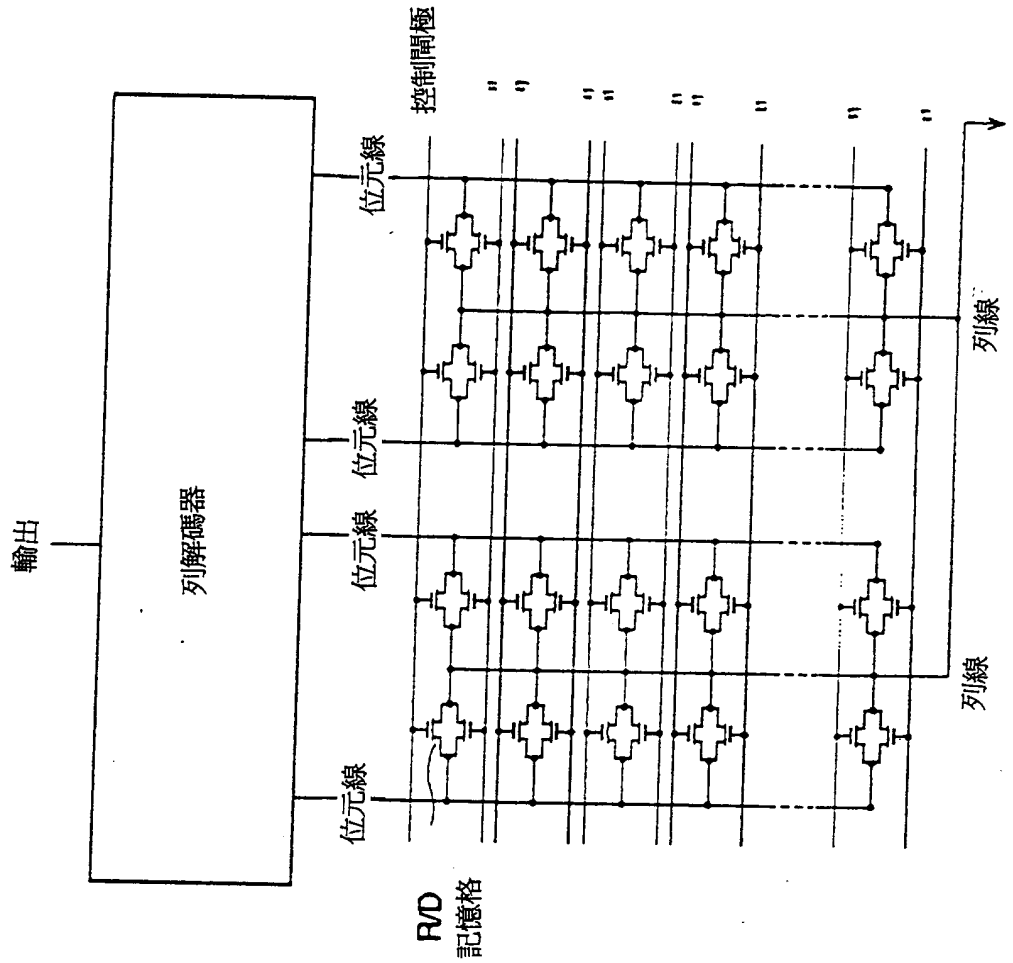
第4圖


寫入負載
WFA
WFB
VPPD
CA1
CA2
CB1
CB2
CC1
CC2
CC3
CC4
RA1
RA2
RB1
RB2
GR
GC
SGU
SGD
φA1
φA2
φB1
φB2
SG1
SG2
SG3
SG4
GR=H,
GC=L
CR=L, GL=H
VGN
VGP
檢測電路

第45圖


導電片
冗長記憶格陣列
解碼器
感測放大器
列解碼器
主記憶格陣列
偏壓電路
行解碼器路
感測放大器
列解碼器
主記憶格陣列
偏壓電路
導電片

第46圖



第43圖