

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4520998号
(P4520998)

(45) 発行日 平成22年8月11日(2010.8.11)

(24) 登録日 平成22年5月28日(2010.5.28)

(51) Int.Cl. F I
H03K 3/02 (2006.01) H03K 3/02 P
GO1R 31/28 (2006.01) GO1R 31/28 P

請求項の数 9 (全 10 頁)

(21) 出願番号	特願2006-543900 (P2006-543900)	(73) 特許権者	506198090
(86) (22) 出願日	平成16年12月2日 (2004.12.2)		クウォリタウ・インコーポレーテッド
(65) 公表番号	特表2007-523518 (P2007-523518A)		QUALITAU INCORPORATED
(43) 公表日	平成19年8月16日 (2007.8.16)		アメリカ合衆国 カリフォルニア州940
(86) 国際出願番号	PCT/US2004/040591		85 サニーベイル, ベネシア・アベニュー, 950
(87) 国際公開番号	W02005/060568	(74) 代理人	110000028
(87) 国際公開日	平成17年7月7日 (2005.7.7)		特許業務法人明成国際特許事務所
審査請求日	平成19年11月29日 (2007.11.29)	(72) 発明者	クエバス・ピーター
(31) 優先権主張番号	10/734,002		アメリカ合衆国 カリフォルニア州950
(32) 優先日	平成15年12月10日 (2003.12.10)		32 ロス・ガトス, エレナ・ウェイ, 114
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 充電昇圧器を伴うパルス電流源回路

(57) 【特許請求の範囲】

【請求項1】

パルス電流発生回路であって、

a) 被テストデバイスに電流を印加するための電流源と、

b) 前記被テストデバイスから電流を分流させるための制御された電流分流器と、

c) 前記制御された電流分流器が開放され、前記被テストデバイスに再び電流が流れるときに、前記被テストデバイスに昇圧電流を供給することによって、前記被テストデバイスに付随する寄生キャパシタンスの再充電を促進するための昇圧回路と、

を備え、前記昇圧回路は、

電圧電位と前記寄生キャパシタンスとの間において、PMOSトランジスタに直列に接続されたNMOSトランジスタと、

前記NMOSトランジスタと前記PMOSトランジスタとの共通点にDC電圧を供給するために、前記NMOSトランジスタから分路して設けられたキャパシタと、

分流制御信号を受信して、それに応じて前記PMOSトランジスタにおける伝導および前記昇圧電流の供給を制御するために結合された制御回路構成と

を含む、パルス電流発生回路。

【請求項2】

請求項1に記載のパルス電流発生回路であって、

前記共通点におけるDC電圧は、前記寄生キャパシタにかかる所望の電圧にほぼ等しい、パルス電流発生回路。

10

20

【請求項 3】

請求項 2 に記載のパルス電流発生回路であって、

前記昇圧回路は、前記 N M O S トランジスタおよび前記 P M O S トランジスタのためのバイアス回路構成を含み、そのため、前記 P M O S トランジスタにかかるバイアス電圧は、前記 N M O S トランジスタにかかるバイアス電圧よりも電圧増分 だけ大きく、いずれのトランジスタも、定常状態条件中は非導電性である、パルス電流発生回路。

【請求項 4】

請求項 3 に記載のパルス電流発生回路であって、

前記バイアス回路構成は、固定電圧 V_b および可変電圧 V_{bst} に応じて作動する第 1 および第 2 の演算増幅器を含む、パルス電流発生回路。

10

【請求項 5】

請求項 3 に記載のパルス電流発生回路であって、

前記バイアス回路構成は、電圧振幅が等しく極性が反対である 2 つの固定電圧間の電圧と、可変電圧 V_{bst} とに依りて作動する演算増幅器を含み、 V_{bst} は、前記 N M O S トランジスタにバイアスをかけ、前記演算増幅器は、前記 P M O S トランジスタにバイアスをかける、パルス電流発生回路。

【請求項 6】

請求項 3 に記載のパルス電流発生回路であって、

昇圧電流に制限をかけるために、前記 P M O S トランジスタを前記被テストデバイスに接続する抵抗器を備えるパルス電流発生回路。

20

【請求項 7】

請求項 3 に記載のパルス電流発生回路であって、

前記制御回路構成は、印加される入力信号を反転および遅延させるための複数のカスケードバッファを含み、そのうちの 1 バッファは、前記制御された電流分流器を開放させる電圧レベルに前記分流制御信号が切り替わるのに依りて、前記 P M O S トランジスタに対する伝導バイアスの印加を制御する、パルス電流発生回路。

【請求項 8】

請求項 1 に記載のパルス電流発生回路であって、

昇圧電流に制限をかけるために、前記 P M O S トランジスタを前記被テストデバイスに接続する抵抗器を備えるパルス電流発生回路。

30

【請求項 9】

請求項 1 に記載のパルス電流発生回路であって、

前記制御回路構成は、印加される入力信号を反転および遅延させるための複数のカスケードバッファを含み、そのうちの 1 つのバッファは、前記制御された電流分流器を開放させる電圧レベルに前記分流制御信号が切り替わるのに依りて、前記 P M O S トランジスタに対する伝導バイアスの印加を制御する、パルス電流発生回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、概して、電気部品および電気回路をテストするための回路構成に関する。本発明は、より具体的には、このようなテストに用いられる電流パルス回路構成に関する。

40

【背景技術】

【0002】

電流パルスは、電気部品および電気回路をテストする際によく用いられる。例えばパルスエレクトロマイグレーションテストなど、繰り返し率の高い電流パルスを必要とするテストに用いられる場合は、所望のパルス波形は、長方形であるのが通常である。したがって、各電流レベルで所期の電流駆動を効果的に得るためには、電流レベル間の推移が急で、且つ行き過ぎ量が極小である必要がある。図 1 に示された両極性パルスおよび単極性パルスをそれぞれ参照せよ。接地レベル（「0」）から所要の電流レベル（「A_p」、または「A_n」、または簡単のために概して「A」）への推移は、図 1 に示されるように、急

50

であるのが理想である。しかしながら、このような推移は、所要の最大レベルに達するまでに時間がかかりすぎるのが実情である。

【 0 0 0 3 】

電流パルスを得る効果的な技術は、図 2 に示されるように、定電流 (D C) 源を大地に接続し、それによって被テストデバイス (D U T) から電流を分流させることによって実現される。このとき、被テストデバイス (D U T) を通る電流の流れは、P 点における制御信号を受けて、分流トランジスタ Q_s によって大地に分流される。P 点は、抵抗器 R_x を介して分流トランジスタ Q_s に接続されている。所望の波形は、所要期間 T 、 τ 「オン」時間 t 、および τ 「オフ」時間 ($T - t$) を有するタイミング発生器に応じて得られる。例として、K r i e g e r らによる米国特許第 6 , 2 4 9 , 1 3 7 号「パルス信頼性テストのための回路および方法」を参照せよ。

10

【 0 0 0 4 】

一般に、メインの分流トランジスタ Q_s のゲート (図 2 の「P」点) では、理想的な駆動パルスを比較的容易に生成することが可能である。同様に、最新のパワートランジスタでも、オン状態とオフ状態との間の両方向で、非常に低いオン抵抗および非常に高速な固有の推移を得ることが可能である。問題となるのは、 Q_s の出力キャパシタンスと、D U T に付随する任意の浮遊キャパシタンスと、D C 電流源の出力キャパシタンスと、ケーブルまたはテスト備品などのテスト装備によって持ち込まれる任意の他のキャパシタンスを含む、出力ノード「C」と接地 (G n d) との間の寄生キャパシタンス C_o である。このキャパシタンスは、 I_{dc} と、 Q_s の電流シンク能力とに強く関連しているので、所望のレベルに下げることが困難である。広範囲の電流レベルをしばしば必要とするパルス電流の用途では、低電流性能のために高電流特性を、あるいは高電流性能のために低電流特性を犠牲にすることは非実用的である。実際は、この問題は、低電流と、場合によっては中電流とに限られる。しかしながら、適切な高電流駆動を確実に可能にするためには、 Q_s および D C 電流源の両方が十分に強くなければならず、これは、相応して C_o が大きくなければならないことを意味する。

20

【 0 0 0 5 】

この制約は、電流ではなく電圧のパルスの場合には問題にならない。ほとんどの電圧源は、所期のレベル (A または大地。個々の推移次第) に近づきつつ比較的大電流を駆動することができるので、したがって、高速な推移を固有に生じることができる。パルス電流源において、 I_{dc} は、 Q_s がオン状態にある最中に単純に Q_s に迂回され、同時に C_o は、 Q_s を介して放電される。 Q_s がオフ状態にあるときは、 C_o は、 $\tau = (C_o) (R_{dut})$ の時定数で、定常状態レベル $V_o = (R_{dut}) (I_{dc})$ まで指数関数的に充電される。低電流の用途は数キロオーム (k) の R_{dut} をしばしば必要とし、 C_o は滅多に 2 0 p F を下回らないので、結果として得られる時定数は数十ナノ秒である。その一方で、 R_{on} は非常に小さいので、 C_o は、 Q_s がオン状態に入ると非常に迅速に放電され、したがって、実質的な遅延をほとんど示さない。

30

【 0 0 0 6 】

本発明は、推移時間 t が関連のパルス継続時間 t_p 、 t_n より大幅に短く、且つ行き過ぎ量が許容範囲内で極小である、D U T を介した 0 から A への高速な電流推移を促進することに關する。

40

【 発明の開示 】

【 0 0 0 7 】

D U T を通じて電流が再印加される際に、D U T に付随する寄生キャパシタンスの高速な再充電を促進することができるように、本発明にしたがって、充電昇圧回路が提供される。分流トランジスタがオン状態からオフ状態へと推移するとき、電流は突発的な急増を生じるので、このとき、充電電流の量はパルス電流の量を上回る。電流制限器は、寄生キャパシタンスの過剰充電を阻止することによって、得られる電流パルス波形における許容範囲外の行き過ぎ量の発生を回避する。

【 0 0 0 8 】

50

本発明、並びにその目的および特徴は、図面を参照にした以下の詳細な説明および添付の特許請求の範囲から容易に明らかになる。

【発明を実施するための最良の形態】

【0009】

図3は、図2の回路に対応した回路であって、分流トランジスタ Q_s がオン状態からオフ状態へと推移する際に電流の突発的な急増を起こさせるための、本発明にしたがった昇圧回路10を伴う回路である。この推移期間のあいだ、昇圧回路10は、スイッチ S_1 を介して電流を供給する。これは、寄生キャパシタ C_o の充電を促進する。昇圧電流は、電流源からの電流 I_{dc} を大きく上回るのので、寄生キャパシタの再充電は促進される。昇圧回路10およびスイッチ S_1 は、制御回路構成12と、Pノードに印加される分流トランジスタ Q_s 用の制御電圧とに応じて作動する。

10

【0010】

図4は、図3のパルス電流発生器の一実施形態を示した説明図であって、昇圧回路10および制御回路12を更に詳しく示されている。ここで、端子Pにおけるタイミング発生器は、直列に接続された2つのバッファ20, 22を介してメインの分流トランジスタ Q_s のゲートに接続され、各バッファは、その入力信号を、僅かな遅延(t_d)を加えつつ反転させる。結果として得られるP1, P2における波形、およびPにおけるタイミング発生信号は、いずれも図中に示されている。なお、結合ゲート抵抗器 R_x は不可欠ではなく、トランジスタゲートと駆動信号との直結を回避するために通例的に追加されるものである。

20

【0011】

回路の残りの部分は、10で示された昇圧器を構成する。昇圧器によって出力ノードCに注入される電流の経路は、NMOSトランジスタ Q_n およびPMOSトランジスタ Q_p 、並びにキャパシタ C_{ba} および抵抗器 R_y を備える。昇圧器の作動/停止は電子的に成されるので、スイッチ S_1 の役割は、単に、浮遊キャパシタンスおよび電流漏れを通じて生じるあらゆる寄生結合を排除することにある。抵抗器 R_y は、過度の加熱および過大な行き過ぎ量を回避するために、昇圧電流の上限を設定している。キャパシタ C_{ba} は、強い昇圧動作を必要とされる場合でも共通ソースノードSにおいて定(DC)電圧を保証するに足る、十分な大きさ(約 $1\mu F$ またはそれ以上)である。

【0012】

昇圧器の適切な動作は、Cノードにおける実際の状況に関するリアルタイムの明確な知識、およびそれと設定目的との比較に基づくものである。目的とは、単純に、Cノードにおいて得られる「高」電圧レベルと、同様のDC動作のもとで得られる電圧レベルとが同じであることである。すなわち、所期のタイミング発生器の使用に先だって、先ず、 I_{dc} が所要レベルに設定され、その結果として得られるCノードの電圧が測定され、取得される。次に、タイミング発生器が作動され、その結果として得られるCノードの電圧がピーク検出器(不図示)を使用して測定される。ピーク検出器は、測定された波形の最高レベルを取得する検出器である。本来の趣旨は、メインの分流トランジスタ Q_s がオフ状態にある際に I_{dc} をDUTに流れさせることにあるので、このピークは、同様のDC条件下で観測されるピークと全く同じである場合に動作の適切性を保証するものである。より

30

40

【0013】

上記の内容を実現するためには、Cノードにおいてピーク検出器から得られた関連データに基づいて、Y1およびX1における電圧レベルを適切に設定する必要がある。先ず第1に、最も重要なのは、DC電流を Q_p に流れさせないことである。これは、Pにタイミング信号が印加されない限り、 Q_p または Q_n のいずれかがオフであることを意味する。この要件は、以下の関係式によって満たされる。

$$V_{X1} - V_{Y1} > V_{tp} - V_{tn}$$

50

【0014】

ここで、 V_{tn} は、エンハンスメント型デバイスに対しては正で、デプレッション型デバイスに対しては負である。一方で、 V_{tp} は、エンハンスメント型デバイスに対しては負で、デプレッション型デバイスに対しては正である。具体的に言うと、デプレッション型NMOSトランジスタ(Q_n)とエンハンスメント型PMOSトランジスタ(Q_p)との組み合わせが選択され、それらの絶対値がほぼ同じである(すなわち $|V_{tn}| = |V_{tp}|$)と仮定すると、 V_{Y1} を僅かに上回るように V_{X1} を設定すれば、 Q_p にDC電流が流れないように保証することができる。実際は、回路調整の一貫として、製造の際に10分の数ボルトの余分な「安全域」を追加することができる。最適の差異 $V_{X1} - V_{Y1}$ がひとたび既知になると、システムは、それをあらゆるレベルにおいて維持する必要がある。この点について、図4の実装形態は、独立した可変電圧源を2つ必要とし、その一方のみが内部アルゴリズムによって変更され、もう一方はそれから一定の間隔にある(すなわち、上述された事前調整済みの定数を $V_{X1} = V_{Y1} + \Delta V$ とすると、 $V_{X1} = V_{Y1} + \Delta V$ である)ので、不必要に煩雑である。1つの可変電圧源と、もう1つの固定電圧源とを用いて上記の内容を実現した他の2つの実施形態が、図5, 6にそれぞれ示されている。キャパシタ C_{ba} と同様に、キャパシタ C_{bb} , C_{bc} も、それぞれ $Y1$ および $X1$ においてDC条件を保証するに足る、十分な大きさである。抵抗器 R_d は、キャパシタンスの大きい演算増幅器の挿入を回避するために追加される。 Y 点は Q_n のゲートにのみ接続され、そこを流れる漏れ電流は無視できる程度であるので、 V_Y は V_{Y1} にほぼ等しく、抵抗器 R_e はあまり重要でない。 Q_p のゲート(X 点)では、状況が異なる。すなわち、パルス運転のもとでの波形は V_{X1} と大幅に異なり、 R_f および C_t の具体値のみならず、固有のPMOS入力キャパシタンス C_{ip} ですら重要である。

10

20

【0015】

図5において、 V_b は、入手可能な任意の低電圧供給源(例えば+5V)であれば良く、更に、可変抵抗器 R_p は、以下の関係式にしたがって、 V_{X1} を上回るおよび下回る所望の範囲内に V_{Y1} を事前設定することを可能にする。

$$V_{X1} = V_b (R_c / R_a) - V_{bst} (R_c / R_b) \quad (V_{bst} \text{ 可変電圧源})$$

$$V_{Y1} = V_b [R_c / (R_a + R_p)] - V_{bst} (R_c / R_b) \quad (< R_{pmax} < R_a)$$

【0016】

これは、以下のことを意味する。

$$V_{X1} - V_{Y1} = V_b [R_c (R_p -)] / [R_a (R_a + R_p)]$$

【0017】

R_p を0と R_{pmax} との間で調整することによって、 $(V_{X1} - V_{Y1})$ の必要値が得られる。同様に、図5の左上に示された部分50に代わるものとして、 $V_{X1} - V_{Y1} = \Delta V$ である別の一実施形態が図6に示される。ここでは、入手可能な2つの固定電圧源の任意の組み合わせによって所望の差異 ΔV が提供される一方で、 V_{Y1} は V_{bst} 、すなわち可変電圧源である。振幅が同じで極性が反対の固定電圧源(例えば+5Vと-5V)を使用することによって、差異は、 R_p の中央端子の位置に応じて $-|V_b| R_p / (2R_y + R_p)$ と $+|V_b| R_p / (2R_y + R_p)$ との間で可変である。

30

40

【0018】

Q_p にDC電流を流れさせない所要の値 ΔV を事前に設定することによって、実際の昇圧動作を起こさせることができる。これは、トランジスタ Q_d と、結合キャパシタ C_t と、抵抗器 R_t と、抵抗器 R_f とを以下のように切り替え操作することによって達成される。 P 点におけるタイミング生成器の反転パルスが低レベル(G_{nd})から高レベルへと立ち上がると、 Q_d は、強力な電流シンクに急速に切り替わり、そのドレインノードを大地レベルに近づける。この推移は、 Q_p のゲート(X 点)に急速に伝播し、それを急激に引き下げる(この降下は、厳密には、関連の各種成分のかなり複雑な関数である)。この瞬間に、反転器の僅かな遅延 t_d は終了し、 $P2$ 点における信号によってゲートを駆動されるメインの分流トランジスタ Q_s は、 $P2$ における信号が G_{nd} レベルに降下するのに伴っ

50

てオフにされる。Q p が強力なオン状態にあるときは、昇圧電流の高まりがC o およびD U T に流れ込み、C ノードを素早く充電する。その一方で、X ノードは、Q p がオフ状態に入るまで、C t、C i p (C p の入力キャパシタンス)、R t、およびR f によって定められた率でレベル V_{x1} に向かって上昇する。Q d がオンになった時点からQ p が再びオフになる時点までの合計時間は、システムによってサポートされるあらゆる用途およびパルス繰り返し率について、Q d がオン状態にある最小継続時間、すなわち(T - t)よりも短い必要がある。原則的に、このタイミングメカニズムは、昇圧動作を終結させるために使用することができる。しかしながら、過度の行き過ぎ量を伴うことなくC点において所要のレベルを実現できるように、適切な昇圧を保証するためには、追加のメカニズムが使用される。昇圧電流を流れさすためには、 $|V_{ds}| > 0$ である必要があるので、S点

10

【0019】

アルゴリズムが正しく設定されている状態で、C点における高レベルがひとたび所望の値(DC条件下でI d c が流れる際に達するのと同レベル)に達すると、Q p は、 $V_{ds} = 0$ になるので、昇圧電流の駆動を停止する。ほどなく、そのゲートにかかる電圧がオフ条件に達し、次いで、P1における波形が再び地電位に戻る。これは、Q d を直ちにオフにし、V a からR t へと流れる電流によってC t を更に強制的に充電させ、X点を V_{x1} より高くする。したがって、R f を流れる電流の方向は逆転される。この方向の逆転は、実際の昇圧動作とは直接関係していないものの、先立つ動作中に生じたキャパシタC b c の充電損を快復するのに有効である。演算増幅器Aによる電流駆動には限界があるので、R t およびR f の値によって制御されるこの充電は重要である。更には、図5に(破線で)示されるように、ダイオードD1をR f の両端に並列に設けることによって、必要に応じて関連のタイミングを短くすることができる。この充電動作は、Q d のドレインが充電され、R t を流れる充電電流が減少するのに伴って、Xにおける電圧が小ピークに達し、次いで V_{x1} に向かって徐々に収束しはじめるまで継続される。次の推移は、新たなパルスサイクルおよびその他もろもろの開始を示すものである。

20

【0020】

上記の動作には、リアルタイムコンピュータによって制御され、且つ測定された関連データを供給される、適切なアルゴリズムが不可欠である。第1の段階は、スイッチS1を開かれ、Pにおいてタイミング発生器を用いられず、且つ $V_{x1} = 0$ または必要に応じて V_{x1} を僅かに負にするようなレベルに V_{bst} を設定された状態で、I d c を適切なレベルに設定する。次いで、C点における電圧がピーク検出器から取得され、基準値(以下では「 V_{cdc} 」)として格納される。 V_{x1} は(および V_{y1} はそれぞれ)十分に低く、昇圧電流を阻むことができるので、S1の係合、およびPにおけるタイミング発生器の使用は、Q p に昇圧電流を流れさすことなく、相応にQ s をオンに、且つQ d をオフにする。次に、ピーク検出器の測定値(V_{cp})が取得され、 V_{cdc} と比較される。もし $V_{cp} > V_{cdc}$ であるならば(極めて可能性は低い)、S1は、切り離されることが望ましい。より可能性の高い $V_{cp} < V_{cdc}$ である場合は、昇圧が必要である。昇圧を開始させるため、 V_{bst} は、結果として得られる V_{cp} が V_{cdc} を超えるまで増大される。この瞬間に V_{cp} は低減され、更なる変化による影響がごく僅かになるまで同様のプロセスが収束方式で繰り返される。ここからは、所要のパルス動作が効力を発する。パルスが十分に長い場合は、C点における電圧は、昇圧を受けずとも所要のレベル V_{cdc} に徐々に「収束」する。しかしながら、関連の時定数は短パルス(通常は $t < 500$)より大幅に長いので、このような「収束」はほとんど役に立たず、したがって、効率的な昇圧が必要となる。なお、上記の反復に用いられる実際のアルゴリズムは、効率的な収束に関する問題であるので、本発明とは無関係である。実際は、二分探索法またはそれに類似するアプローチが効果的であるものの、本発明は、特定のアルゴリズムに限定されず、使用される任意の反復アルゴリズムに対して有効であることが望まれる。

30

40

【0021】

50

図7の波形は、P1点、P2点、X点、およびC点(図5を参照せよ)における波形を詳細に示している。図中、左側は、 $(V_{X1} - V_{Y1})$ を適切に設定し、期待された通りの出力波形を得た場合を示している。右側は、 $(V_{X1} - V_{Y1})$ を過度に大きく設定したために昇圧が充分でなく、その結果として不適切な出力波形を得た場合を示している。

【0022】

以上では、具体的な実施形態を参照にしながら発明の説明を行ってきた。しかしながら、以上の説明は、本発明を限定することを意図したものではなく、当業者ならば、添付の特許請求の範囲によって定められた発明の真の趣旨および範囲から逸脱することなく、各種の変更および応用を考えつくことが可能である。

【図面の簡単な説明】

10

【0023】

【図1】電子デバイスのテストに用いられる両極性パルスおよび単極性パルスを示した説明図である。

【図2】DUT用の従来のパルス電流発生器を示した説明図である。

【図3】本発明にしたがったパルス電流発生器を示した説明図である。

【図4】本発明にしたがったパルス発生器および充電昇圧回路の一実施形態を示した説明図である。

【図5】本発明にしたがったパルス発生器および充電昇圧回路の別の実施形態を示した説明図である。

【図6】本発明にしたがった充電昇圧回路の別の実施形態を示した説明図である。

20

【図7】図5の回路における波形を、適切な設定および不適切な設定の各場合についてそれぞれ示した説明図である。

【符号の説明】

【0024】

10 ... 昇圧回路

12 ... 制御回路構成

20, 22 ... バッファ

【図1】

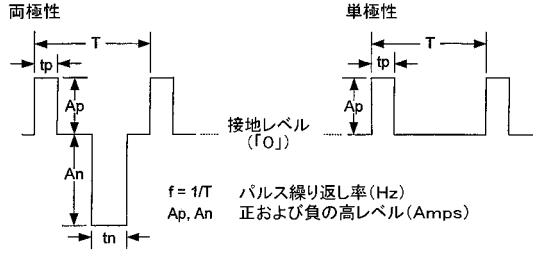


FIG. 1

【図2】

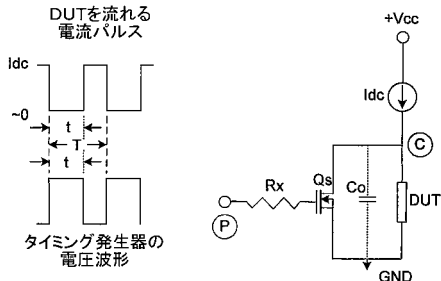


FIG. 2
(従来技術)

【図3】

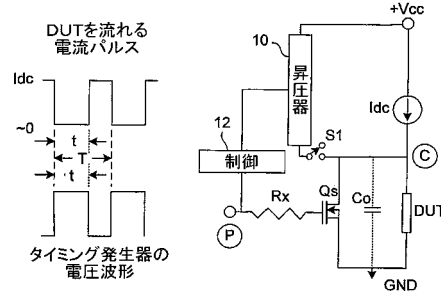


FIG. 3

【図4】

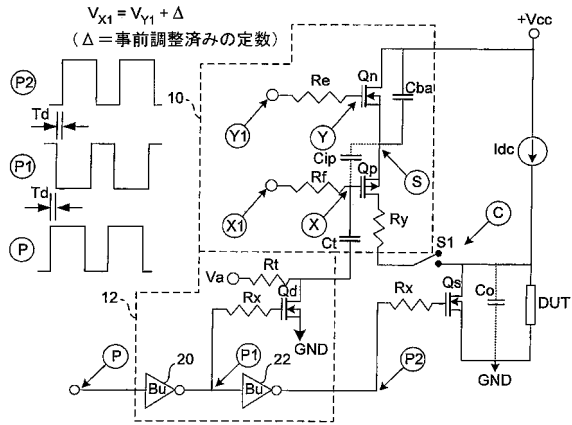


FIG. 4

【図5】

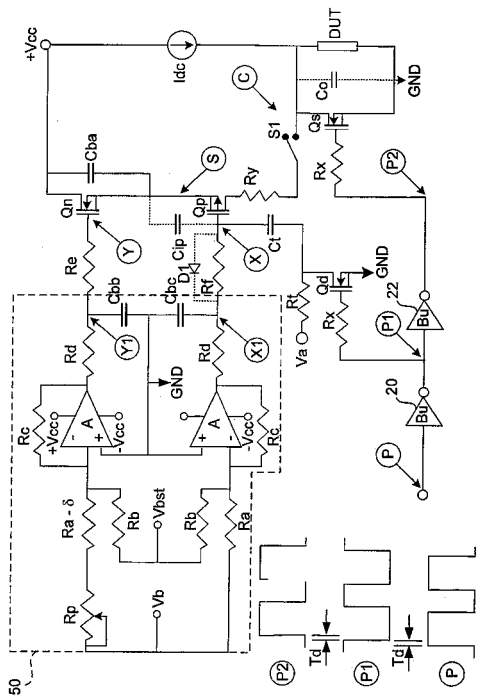


FIG. 5

【図6】

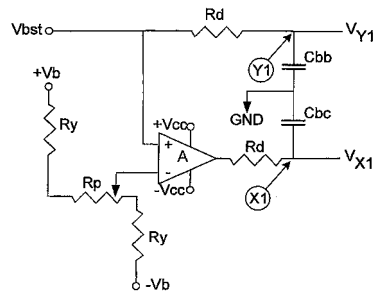


FIG. 6

【 図 7 】

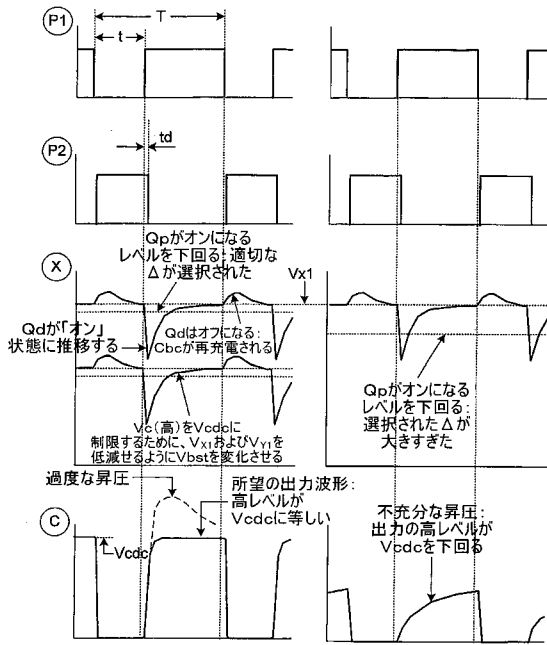


FIG. 7

フロントページの続き

- (72)発明者 クリーガー・ゲダリアフー
イスラエル国 レホボット 76346, ヘス・ストリート, 5 / 1
- (72)発明者 エバンス・モーリス
アメリカ合衆国 カリフォルニア州94044 パシフィカ, ゲイトウェイ・ドライブ, 267,
118
- (72)発明者 ウルマン・ジェンス
アメリカ合衆国 カリフォルニア州95033 ロス・アルトス, モンテピナ・ロード, 1840
4

審査官 石田 勝

- (56)参考文献 特開昭57-124930(JP, A)
特開昭63-135882(JP, A)
特開昭63-187810(JP, A)
特表平1-501649(JP, A)
特開平4-250373(JP, A)
特開平10-2930(JP, A)
特開平11-330925(JP, A)
特開2002-139539(JP, A)
特開2000-171493(JP, A)
特開2004-117100(JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K 3/02
G01R 31/28