

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2010 年 9 月 10 日(10.09.2010)

PCT

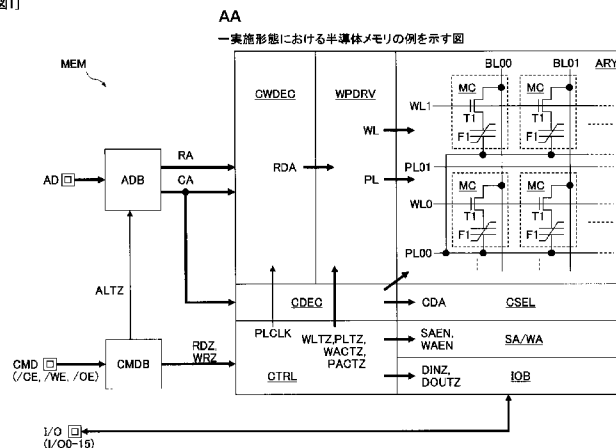
(10) 国際公開番号  
WO 2010/100673 A1

- (51) 国際特許分類:  
G11C 11/22 (2006.01)
- (21) 国際出願番号: PCT/JP2009/000982
- (22) 国際出願日: 2009 年 3 月 4 日(04.03.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通セミコンダクター株式会社(FUJITSU SEMI-CONDUCTOR LIMITED) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目 10 番 23 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 中澤光晴 (NAKAZAWA, Mitsuharu) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目 10 番 23 富士通セミコンダクター株式会社内 Kanagawa (JP).
- (74) 代理人: 古谷史旺, 外(FURUYA, Fumio et al.); 〒1600023 東京都新宿区西新宿 1 丁目 19 番 5 号 第 2 明宝ビル 9 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:  
— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR MEMORY AND OPERATING METHOD OF SEMICONDUCTOR MEMORY

(54) 発明の名称: 半導体メモリおよび半導体メモリの動作方法

[図 1]



AA Drawing showing an example of the semiconductor memory in an embodiment

(57) Abstract: A selector selects a first address signal for selecting a word line in the first period, and selects a second address signal for selecting a plate line in the second period. A decoding circuit sequentially decodes the first and the second address signals selected by the selector, and sequentially activates each of the decoding address signals. A word plate driver drives the word line corresponding to the decoding address signal activated by the first address signal, and drives the plate line corresponding to the decoding address signal activated by the second address signal. The first and second address signals are sequentially supplied to the decoding circuit to enable sharing the decoding circuit for the word lines and the decoding circuit for the plate lines, and reducing the chip size of the semiconductor memory.

(57) 要約:

[続葉有]

WO 2010/100673 A1



---

セレクトは、ワード線を選択するための第1アドレス信号を第1期間に選択し、プレート線を選択するための第2アドレス信号を第2期間に選択する。デコード回路は、セレクトにより選択された第1および第2アドレス信号を順次にデコードして、デコードアドレス信号のいずれかを順次に活性化する。ワードプレートドライバは、第1アドレス信号により活性化されたデコードアドレス信号に応じてワード線を駆動し、第2アドレス信号により活性化されたデコードアドレス信号に応じてプレート線を駆動する。第1および第2アドレス信号をデコード回路に順次に供給することで、ワード線用のデコード回路とプレート線用のデコード回路を共通にでき、半導体メモリのチップサイズを削減できる。

## 明 細 書

### 半導体メモリおよび半導体メモリの動作方法

#### 技術分野

- [0001] 本発明は、メモリセルに接続されたワード線およびプレート線を有する半導体メモリに関する。

#### 背景技術

- [0002] 強誘電体メモリ等の半導体メモリでは、プレート線は、複数のメモリセルの強誘電体キャパシタに共通に接続され、プレート線の負荷容量は大きい。このため、プレート線に伝達される信号の波形は鈍り、プレート線の駆動時間は長くなる。この結果、メモリセルのアクセス時間は長くなる。プレート線の負荷容量を減らすために、プレート線を分割し、各プレート線に接続されるメモリセルの数を減らす手法が提案されている（例えば、特許文献1参照）。

特許文献1：特開平 1 0 - 2 2 9 1 7 1 号公報

#### 発明の開示

#### 発明が解決しようとする課題

- [0003] しかしながら、プレート線を分割すると、プレート線の数が増える。この結果、プレート線を選択するための論理回路の規模は大きくなり、半導体メモリのチップサイズは増加する。
- [0004] 本発明の目的は、プレート線の分割数が多い半導体メモリにおいて、プレート線を選択するための論理回路の規模を小さくし、半導体メモリのチップサイズを削減することである。

#### 課題を解決するための手段

- [0005] 本発明の一形態では、半導体メモリは、複数のメモリセルと、メモリセルに接続された複数のワード線と、メモリセルに接続された複数のプレート線とを有している。セレクトは、ワード線を選択するための第1アドレス信号を第1期間に選択し、プレート線を選択するための第2アドレス信号を第2

期間に選択する。デコード回路は、セクタにより選択された第1および第2アドレス信号を順次にデコードして、デコードアドレス信号のいずれかを順次に活性化する。ワードプレートドライバは、第1アドレス信号により活性化されたデコードアドレス信号に応じてワード線を駆動し、第2アドレス信号により活性化されたデコードアドレス信号に応じてプレート線を駆動する。

### 発明の効果

[0006] 第1および第2アドレス信号をデコード回路に順次に供給することで、ワード線用のデコード回路とプレート線用のデコード回路を共通にできる。また、デコードアドレス信号はワード線およびプレート線を選択するために共通に使用される。これにより、プレート線を選択するための論理回路の規模を小さくでき、デコードアドレス信号をワードプレートドライバに伝達する信号線の配線領域を小さくできる。この結果、半導体メモリのチップサイズを削減できる。

### 図面の簡単な説明

[0007] [図1]一実施形態における半導体メモリを示している。  
[図2]図1に示した共通ワードデコーダの例を示している。  
[図3]図1に示したワードプレートドライバの例を示している。  
[図4]図1に示したメモリセルアレイの例を示している。  
[図5]図4に示したメモリセルアレイの配線レイアウトの例を示している。  
[図6]図1に示した半導体メモリが搭載されるシステムの例を示している。  
[図7]図1に示した半導体メモリの読み出し動作の例を示している。  
[図8]図1に示した半導体メモリの書き込み動作の例を示している。  
[図9]図1に示した半導体メモリのメモリセルアレイの動作の例を示している。  
。  
[図10]別の実施形態の半導体メモリにおける共通ワードデコーダの例を示している。  
[図11]図10に示した共通ワードデコーダを有する半導体メモリにおけるメ

メモリセルアレイの例を示している。

[図12] 図 1 1 に示したメモリセルアレイの配線レイアウトの例を示している。

[図13] 別の実施形態における半導体メモリの例を示している。

[図14] 図 1 3 に示したワードプレートドライバの例を示している。

[図15] 図 1 3 に示したメモリセルアレイの例を示している。

### 発明を実施するための最良の形態

[0008] 以下、図面を用いて実施形態を説明する。図中、太線で示した信号線は、特に断らない限り複数本を示す。また、太線が接続されているブロックの一部は、複数の回路を有する。信号が伝達される信号線には、信号名と同じ符号を使用する。末尾に” Z ” の付く信号は、正論理を示している。先頭に” / ” の付く信号は、負論理を示している。図中の二重の四角印は、外部端子を示している。外部端子は、例えば、半導体チップ上のパッド、あるいは半導体チップが収納されるパッケージのリードである。外部端子を介して供給される信号には、端子名と同じ符号を使用する。

[0009] 図 1 は、一実施形態における半導体メモリMEMを示している。例えば、半導体メモリMEMは、シリコン基板上にCMOSプロセスを使用して強誘電体メモリとして形成されている。強誘電体メモリは、例えば、ICカードや無線タグ（RFID）等のワークメモリ、携帯電話やデジタルカメラ等の携帯機器のワークメモリ、あるいはビデオレコーダ等の民生機器のワークメモリとして使用される。半導体メモリMEMは、クロックに同期して動作してもよく、クロックに非同期で動作してもよい。半導体メモリMEMは、システムLSI等に搭載されるメモリマクロ（IP）として設計されてもよく、パッケージに封入された半導体記憶装置として設計されてもよい。

[0010] 半導体メモリMEMは、アドレスバッファADB、コマンドバッファCMD B、共通ワードデコーダCWDEC、ワードプレートドライバWPDRV、コラムデコーダCDEC、動作制御回路CTRL、メモリセルアレイARY、コラムセクタCSEL、センスアンプSA、ライトアンプWAおよび

データ入出力回路 I O B を有している。

[0011] アドレスバッファ A D B は、アドレス信号 A D をアドレス端子を介して受信し、受信した信号をロウアドレス信号 R A およびコラムアドレス信号 C A として共通ワードデコーダ C W D E C およびコラムデコーダ C D E C に出力する。アドレスバッファ A D B は、アドレス信号をラッチする機能を有している。例えば、ロウアドレス信号 R A は、アドレス信号 A D の上位ビットであり、ワード線 W L を選択するために供給される。コラムアドレス信号 C A は、アドレス信号 A D の下位ビットであり、ビット線 B L を選択するために供給される。ロウアドレス信号 R A およびコラムアドレス信号 C A は、互いに異なるアドレス端子 A D に同時に供給される。なお、アドレスバッファ A D B は、アドレス信号 A D をプリデコードする機能を有してもよい。このとき、ロウアドレス信号 R A およびコラムアドレス信号 C A は、プリデコード信号である。

[0012] コマンドバッファ C M D B は、メモリアレイ A R Y を動作するためのコマンド信号 C M D を受け、受けたコマンド信号 C M D をデコードする。例えば、コマンド信号 C M D は、チップイネーブル信号 / C E 、ライトイネーブル信号 / W E およびアウトプットイネーブル信号 / O E である。コマンドバッファ C M D B は、コマンド信号 C M D が読み出しコマンドを示すときに読み出し制御信号 R D Z を出力する。コマンドバッファ C M D B は、コマンド信号 C M D が書き込みコマンドを示すときに書き込み制御信号 W R Z を出力する。また、コマンドバッファ C M D B は、チップイネーブル信号 / C E に応答して、アドレスラッチ信号 A L T を出力する。アドレスラッチ信号 A L T は、動作制御回路 C T R L により生成されてもよい。なお、半導体メモリ M E M が複数の動作モードを有するとき、コマンドバッファ C M D B は、動作モードを変更するためのコマンド信号 C M D をデコードし、動作モード変更信号として動作制御回路 C T R L に出力する機能を有する。

[0013] 共通ワードデコーダ C W D E C は、ロウアドレス信号 R A 、コラムアドレス信号 C A およびプレート選択信号 P L C L K を受ける。共通ワードデコー

ダCWD E Cは、プレート選択信号P L C L Kが低レベルの期間にワード線W Lを選択するためのロウデコードアドレス信号R D Aを出力する。共通ワードデコーダCWD E Cは、プレート選択信号P L C L Kが高レベルの期間にプレート線P Lを選択するためのロウデコードアドレス信号R D Aを出力する。このように、ロウデコードアドレス信号R D Aは、ワード線W Lおよびプレート線P Lを選択するために共通に使用される。これにより、ワード線W Lおよびプレート線P Lを選択するためのデコードアドレス信号線の本数を少なくでき、信号線の配線領域を削減できる。共通ワードデコーダCWD E Cの例は、図2に示す。

[0014] ワードプレートドライバWP D R Vは、ロウデコードアドレス信号R D A、ワードラッチ信号W L T Z、プレートラッチ信号P L T Z、ワード活性化信号W A C T Zおよびプレート活性化信号P A C T Zを受ける。ワードプレートドライバWP D R Vは、ワード線W Lを選択するためのロウデコードアドレス信号R D Aを、ワードラッチ信号W L T Zに同期してラッチする。ワードプレートドライバWP D R Vは、プレート線P Lを選択するためのロウデコードアドレス信号R D Aを、プレートラッチ信号P L T Zに同期してラッチする。ワードプレートドライバWP D R Vは、ワード線W Lに対応する有効なロウデコードアドレス信号R D Aがラッチされているときに、ワード活性化信号W A C T Zに同期してワード線W Lのいずれかを高レベルに活性化する。ワードプレートドライバWP D R Vは、プレート線P Lに対応する有効なロウデコードアドレス信号R D Aがラッチされているときに、プレート活性化信号P A C T Zに同期してプレート線P Lのいずれかを高レベルに活性化する。ワードプレートドライバWP D R Vの例は、図3に示す。

[0015] コラムデコーダC D E Cは、コラムアドレス信号C Aをデコードし、デコード結果に応じてコラムデコード信号C D Aを生成する。コラムデコーダC D E Cは、コラムデコード信号C D AをコラムセクタC S E Lに出力する。

[0016] 動作制御回路C T R Lは、読み出し制御信号R D Zまたは書き込み制御信

号WRZを受け、共通ワードデコーダCWDEC、ワードプレートドライバWPDRV、コラムデコーダCDEC、コラムセクタCSEL、センスアンプSA、ライトアンプWAおよびデータ入出力回路IOB等を動作させる複数の制御信号を順次に生成し、出力する。例えば、制御信号は、プレート選択信号PLCLK、ワードラッチ信号WLTZ、プレートラッチ信号PLTZ、ワード活性化信号WACTZ、プレート活性化信号PACTZ、センスアンプイネーブル信号SAEN、ライトアンプイネーブル信号WAEN、データ入力制御信号DINZおよびデータ出力制御信号DOUTZである。制御信号は、共通ワードデコーダCWDEC、ワードプレートドライバWPDRV、コラムデコーダCDEC、コラムセクタCSEL、センスアンプSA、ライトアンプWAおよびデータ入出力回路IOB等の動作タイミングを決めるタイミング信号である。

[0017] メモリセルアレイARYは、マトリックス状に配置された複数の強誘電体メモリセルMCを有している。図の横方向に並ぶメモリセルMCの列は、共通のワード線WL（WL0、WL1等）に接続されている。図の縦方向に並ぶメモリセルMCの列は、共通のビット線BL（BL00、BL01等）に接続されている。矩形状の領域に配置され、図の横方向および縦方向に並ぶ所定数のメモリセルMCは、共通のプレート線PL（PL00等）に接続されている。図1に示したメモリセルアレイARYは、図4のメモリブロックMB00の一部を示している。メモリセルMCとプレート線PLの接続関係は、図4に示す。

[0018] メモリセルMCは、ビット線BLとプレート線PLの間に直列に配置された選択トランジスタT1（nMOSトランジスタ）および強誘電体キャパシタF1を有している。すなわち、メモリセルMCは、いわゆる1T1Cタイプである。選択トランジスタT1は、ゲートで高レベルのワード線信号WLを受けたときにオンする。強誘電体キャパシタF1は、印加電圧をゼロにしても残留分極が残ることを利用し、可変容量キャパシタとして動作する。強誘電体キャパシタF1の残留分極値は、メモリセルMCの書き込み動作によ

り変更される。そして、メモリセルMCは、残留分極値に応じてデータの論理値を記憶する。すなわち、半導体メモリMEMは、書き換え可能な不揮発性メモリとして動作する。

[0019] なお、メモリセルMCは、いわゆる2T2Cタイプでもよい。2T2CタイプのメモリセルMCは、一对の選択トランジスタ（nMOSトランジスタ）および一对の強誘電体キャパシタを有している。選択トランジスタ対のゲートは、共通のワード線WLに接続される。強誘電体キャパシタ対は、互いに逆の論理のデータを記憶し、相補のビット線にそれぞれ接続されている。

[0020] コラムセクタCSELは、ビット線BLをセンスアンプSAおよびライトアンプWAに接続する複数のコラムスイッチを有している。有効なコラムデコード信号CDAに対応するコラムスイッチは、読み出し動作時および書き込み動作時に動作制御回路CTRLから出力される制御信号に同期してオンする。

[0021] センスアンプSAは、読み出し動作時にセンスアンプイネーブル信号SAENに同期して動作する。センスアンプSAは、読み出し動作時にコラムスイッチにより選択されたビット線BL上に読み出された電圧と基準電圧VREF（図9）との差を増幅し、増幅した信号を読み出しデータとしてデータ入出力回路IOBに出力する。センスアンプSAは、コラムセクタCSELを介して複数のビット線BLに共有される。これにより、センスアンプSAの数を少なくできる。なお、センスアンプSAは、コラムセクタCSELとメモリセルアレイARYの間に配置されてもよい。このとき、ビット線BL毎にセンスアンプが配置される。

[0022] ライトアンプWAは、書き込み動作時にライトアンプイネーブル信号WAENに同期して動作する。ライトアンプWAは、書き込み動作時にデータ入出力回路IOBを介して供給される書き込みデータを、コラムスイッチにより選択されたビット線BLに出力する。

[0023] データ入出力回路IOBは、データ入出力端子I/Oに供給される書き込みデータをデータ入力制御信号DINZに同期して受信し、受信したデータ

をライトアンプWAに出力する。また、データ入出力回路IOBは、メモリセルMCからの読み出しデータをセンスアンプSAを介して受信し、受信したデータをデータ出力制御回路DOUZに同期してデータ入出力端子I/Oに出力する。データ入出力端子I/Oは、例えば、16ビット（I/O0-15）である。

[0024] 図2は、図1に示した共通ワードデコーダCWDECの例を示している。ここでは、説明を簡単にするために、ロウアドレス信号RAが4ビット（RA0-3）、コラムアドレス信号CAが2ビット（CA0-1）の例を示している。共通ワードデコーダCWDECは、16個のロウデコード信号RDA0-15を生成する。実際の半導体メモリMEMでは、例えば、ロウアドレス信号RAは8ビットであり、コラムアドレス信号CAは6ビットである。このとき、共通ワードデコーダCWDECは、256個のロウデコード信号RDA0-255を生成する。

[0025] 共通ワードデコーダCWDECは、セクタSEL（SEL0-1）および複数のAND回路を有している。セクタSEL0は、プレート選択信号PLCLKが低レベルのとき、ロウアドレス信号RA0をアドレス信号A0として出力し、プレート選択信号PLCLKが高レベルのとき、コラムアドレス信号CA0をアドレス信号A0として出力する。同様に、セクタSEL1は、プレート選択信号PLCLKが低レベルのとき、ロウアドレス信号RA1をアドレス信号A1として出力し、プレート選択信号PLCLKが高レベルのとき、コラムアドレス信号CA1をアドレス信号A1として出力する。

[0026] なお、セクタSELの数は、メモリセルアレイARYのコラム（図4の横方向）の分割数に応じて決められる。この実施形態では、図4に示すように、コラムの分割数は、1つのワード線WLに接続されるメモリブロックMBの数に等しい。また、コラムの分割数は、1つのメモリブロックMBに接続されるワード線WLの数に等しい。メモリブロックMBは、互いに異なるプレート線PLに接続される。図4では、コラムの分割数および1つのメモ

リブロックMBに接続されるワード線WLの数は4である。

[0027] 例えば、コラムの分割数が8個のとき、図2に加えてロウアドレス信号RA2およびコラムアドレス信号CA2を受けるセクタSEL2が配置される。このとき、1つのメモリブロックMBに接続されるワード線WLの数は8である。コラムの分割数が2個のとき、ロウアドレス信号RA0およびコラムアドレス信号CA0を受ける1個のセクタSELのみが配置される。このとき、1つのメモリブロックMBに接続されるワード線WLの数は2である。

[0028] AND回路は、4ビットのアドレス信号A0（または/A0）、A1（または/A1）、A2（または/A2）、A3（または/A3）をデコードし、受けた信号が全て高レベルのときに、ロウデコードアドレス信号RDA（RDA0-15のいずれか）を高レベルに設定する。複数のAND回路は、4ビットのアドレス信号A0-A3（または/A0-/A3）をデコードし、ロウデコードアドレス信号RDA0-15のいずれかを活性化するデコード回路として動作する。

[0029] 共通ワードデコーダCWDECは、プレート選択信号PLCLKが低レベルのときに、ロウアドレス信号RA0-3に応じてロウデコードアドレス信号RDA0-15のいずれかを高レベルに設定し、残りのロウデコードアドレス信号RDAを低レベルに保持する。このとき、図3で説明するように、ワード線WLのいずれかが選択される。共通ワードデコーダCWDECは、プレート選択信号PLCLKが高レベルのとき、コラムアドレス信号CA0-1およびロウアドレス信号RA2-3に応じてロウデコードアドレス信号RDA0-15のいずれかを高レベルに設定し、残りのロウデコードアドレス信号RDAを低レベルに保持する。このとき、図3で説明するように、プレート線PLのいずれかが選択される。

[0030] このように、AND回路は、セクタSEL0-1に応じて、ワード線WLを選択するためのロウデコードアドレス信号RDA0-15を生成するアドレスデコード回路およびプレート線PLを選択するためのロウデコードア

ドレス信号RDA0-15を生成するアドレスデコード回路として動作する。この実施形態では、ワード線WLを選択するためのワードデコーダとプレート線PLを選択するためのプレートデコーダを、共通ワードデコーダCWDECに置き換えることができる。このため、プレートデコーダ（この例では、共通ワードデコーダCWDEC）の回路規模を小さくできる。特に、プレート線PLの分割数が多いときに、プレートデコーダの回路規模を小さくできる。具体的には、1本のワード線に対応して複数のプレート線PLが配線されるときに、プレートデコーダの回路規模を小さくできる。

[0031] 共通ワードデコーダCWDECは、外部アドレス端子ADに供給されるロウアドレス信号RA0-3およびコラムアドレス信号CA0-1を直接デコードしてロウデコードアドレス信号RDAを生成する。換言すれば、ロウデコードアドレス信号RDAは、デコード回路（AND回路）から先の信号を用いることなく生成される。このため、ロウデコードアドレス信号RDAが生成されるために必要な回路（トランジスタ）の段数を少なくできる。したがって、ロウデコードアドレス信号RDAを迅速に生成でき、半導体メモリMEMのアクセス時間（読み出し動作時間および書き込み動作時間）を短縮できる。

[0032] なお、AND回路は、読み出し動作または書き込み動作が実行されないスタンバイ期間に、低レベルのアドレス信号A0-A3、/A0-/A3を受け、全てのロウデコードアドレス信号RDA0-15を低レベルに保持する。全てのアドレス信号A0-A3、/A0-/A3を低レベルに設定するために、アドレス信号A0-A3、/A0-/A3は、イネーブル回路を介してAND回路に供給される。例えば、イネーブル回路は、アドレス信号A0-A3、/A0-/A3のいずれかとイネーブル信号とを受け、AND回路である。イネーブル信号は、アクセス動作時（読み出し動作時または書き込み動作時）に高レベルに設定され、スタンバイ期間に低レベルに設定される。スタンバイ期間に、全てのイネーブル回路が低レベルをAND回路に出力することで、全てのロウデコードアドレス信号RDA0-15は低レベルに

保持される。

[0033] 図3は、図1に示したワードプレートドライバWPDRVの例を示している。ワードプレートドライバWPDRVは、ドライバ回路であり、ワード線WLおよびプレート線PLのペアを駆動する複数のサブワードプレートドライバSWPDRVを有している。サブワードプレートドライバSWPDRVは、互いに同じ回路のため、ワード線WL15およびプレート線PL33を駆動するサブワードプレートドライバSWPDRVについてのみ説明する。

[0034] サブワードプレートドライバSWPDRVは、スイッチ回路WSW、PSW、ラッチ回路WLT、PLTおよび2つのAND回路を有している。スイッチ回路WSWは、ワードラッチ信号WLTZが高レベルの間、ロウデコードアドレス信号RDA15をラッチ回路WLTに供給する。スイッチ回路PSWは、プレートラッチ信号PLTZが高レベルの間、ロウデコードアドレス信号RDA15をラッチ回路PLTに供給する。各ラッチ回路WLT、PLTは、ロウデコードアドレス信号RDA15の論理レベルを保持するために、例えば、入力と出力を互いに接続した一対のインバータを有している。ラッチ回路WLTに高レベルが保持されているとき、ワード線WL15に接続されたAND回路は、ワード活性化信号WACTZに同期してワード線WL15を駆動し、ワード線WL15を高レベルに活性化する。ラッチ回路PLTに高レベルが保持されているとき、プレート線PL33に接続されたAND回路は、プレート活性化信号PACTZに同期してプレート線PL33を駆動し、プレート線PL33を高レベルに活性化する。

[0035] ワードプレートドライバWPDRVは、読み出し動作時および書き込み動作時に、ワード線WLを選択するためのロウデコードアドレス信号RDA0-15のいずれかの高レベルと、プレート線PLを選択するためのロウデコードアドレス信号RDA0-15のいずれかの高レベルとを順次に受ける。ラッチ回路WLTのいずれか1つは、高レベルのロウデコードアドレス信号RDAをラッチして高レベルを出力する。他のラッチ回路WLTは、低レベルを出力する。ラッチ回路PLTのいずれか1つは、高レベルのロウデコー

ドアドレス信号RDAをラッチして高レベルを出力する。他のラッチ回路PLTは、低レベルを出力する。そして、ワードプレートドライバWPDRVは、ワード線WL0-15のいずれかと、プレート線PL00-03、PL10-13、PL20-23、PL30-33のいずれかを、高レベルに順次に駆動する。

[0036] この実施形態では、ワードプレートドライバWPDRVに順次に供給されるロウデコードアドレス信号RDA0-15は、スイッチ回路WSW、PSWを用いてラッチ回路WLT、PLTのいずれかに選択的にラッチされる。これにより、共通の信号線RDA0-15に伝達されるワード線WL用のロウデコードアドレス信号RDA0-15とプレート線PL用のロウデコードアドレス信号RDA0-15とにそれぞれ応じて、ワード線WLおよびプレート線PLを確実に活性化できる。

[0037] ラッチ回路WLTにラッチされたロウデコードアドレス信号RDA0-15の論理レベルは、ワード活性化信号WACTZに同期してワード線信号WLとして出力される。ラッチ回路PLTにラッチされたロウデコードアドレス信号RDA0-15の論理レベルは、プレート活性化信号PACTZに同期してプレート線信号PLとして出力される。したがって、ワード線WL用のロウデコードアドレス信号RDA0-15とプレート線PL用のロウデコードアドレス信号RDA0-15とが、共通の信号線RDA0-15に時分割で供給されても、所望のタイミングでワード線WLおよびプレート線PLを活性化できる。換言すれば、図9に示すように、ワード線WLおよびプレート線PLを互いに重複して活性化できる。

[0038] 図4は、図1に示したメモリセルアレイARYの例を示している。例えば、メモリセルアレイARYは、マトリックス状に配置された16個のメモリブロックMB（MB00-03、MB10-13、MB20-23、MB30-33）を有している。図の横方向に並ぶ4つのメモリブロックMBにより、メモリグループMG（MG0-3）が構成されている。メモリグループMGに付けられる数字は、ロウアドレス信号RA3-2により示される。メ

メモリブロックMBは、互いに異なるプレート線PL（PL00-03、PL10-13、PL20-23、PL30-33）に接続されている。すなわち、メモリブロックMBの数は、プレート線PLの数に等しい。メモリブロックMBおよびプレート線PLに付けられる2桁の数字のうち上位のビットは、メモリグループMGに付けられる数字と同じ値であり、ロウアドレス信号RA3-2により示される。2桁の数字のうち下位のビットは、コラムアドレス信号CA1-0により示される。

[0039] 各メモリブロックMBは、4つのワード線WLに接続されている。各メモリグループMG内の4つのメモリブロックMBは、共通の4つのワード線WLに接続されている。ワード線WLおよび太い実線で示したプレート線PLは、交互に配線されている。すなわち、各メモリグループMG内の4つのメモリブロックMB上に、4つのプレート線PL（例えば、PL00-03）が配線される。各プレート線PLは、番号が同じメモリブロックMB内で、太い破線で示すプレート線に分岐され、メモリセルMCに接続される。すなわち、4つのプレート線PL（例えば、PL00-03）の1つが、各メモリブロックMBに接続される。図中の黒い四角印は、プレート線PLを分岐させるためのコンタクトを示す。

[0040] ワード線WLおよびプレート線PLは、共通のロウアドレス信号RA2-3を用いて選択される。このため、AND回路を増やすだけで、複数のメモリグループMGを形成でき、プレート線PLの分割数を増やすことができる。すなわち、多数に分割されたプレート線PLの各々を、簡易なデコード回路により選択できる。この結果、プレート線PLの分割数が多い半導体メモリMEMにおいて、プレート線PLを選択するための論理回路の規模を小さくでき、半導体メモリMEMのチップサイズを削減できる。

[0041] 各メモリブロックMBは、4つのビット線BL0-3（BL00-03、BL10-13、BL20-23、BL30-33）に接続されている。図の縦方向に並ぶ4つのメモリブロックMBは、共通の4つのビット線BL0-3（例えば、BL00-03）に接続されている。ビット線BLに付けら

れる2桁の数字のうち上位のビットは、コラムアドレス信号CAにより示される。2桁の数字のうち下位のビットは、データ端子I/Oの番号を示す。読み出し動作または書き込み動作において、図1に示したコラムセクタCSELは、4つのビット線グループBL00-03、BL10-13、BL20-23、BL30-33のいずれかを、コラムアドレス信号CAの下位ビットの値に応じてセンスアンプSAまたはライトアンプWAに接続する。

[0042] ここでは、説明を簡単にするために、各ビット線グループが4本のビット線を有する例を示している。実際には、各ビット線グループは、データ端子I/O0-15に対応する16本のビット線BLを有する。なお、データ端子I/Oが1ビット(I/O0)のとき、各ビット線グループは、1本のビット線のみを有する。

[0043] 各メモリブロックMBは、マトリックス状に配置された16個のメモリセルMCを有している。例えば、読み出し動作または書き込み動作において、2進数で"1011"のロウアドレス信号RA3-0と、2進数で"10"のコラムアドレス信号CA1-0が供給されるとする。このとき、ロウアドレス信号RA3-0で示されるワード線WL11と、ロウアドレス信号RA3-2とコラムアドレス信号CA1-0で示されるプレート線PL22が選択される。そして、メモリブロックMB22内の太い丸印で示したメモリセルMCからビット線BL20-23にデータが読み出される。あるいは、メモリブロックMB22内の太い丸印で示したメモリセルMCにビット線BL20-23を介してデータが書き込まれる。

[0044] なお、図2に示した共通ワードデコーダCWDECが、3つのセクタSEL0-2を有するとき、上述したように、ワード線WL(図の横方向)に沿って8個のメモリブロックMBが形成される。すなわち、8個のメモリグループMGが形成される。各メモリグループMGの8個のメモリブロックMBは、8個の共通のワード線WLに接続される。セクタSEL0-2は、プレート選択信号PLCLKに応じてロウアドレス信号RA0-2またはコラムアドレス信号CA0-2を受ける。読み出し動作または書き込み動作に

において、メモリグループMG内の8個のメモリブロックMBのいずれかは、コラムドレス信号CA0-2に応じて選択される。メモリグループMG内の8個のメモリブロックMB上には、8個のプレート線PLが配線され、8個のメモリブロックMBのいずれかに接続される。ロウアドレス信号RAが8ビット(RA0-7)のとき、メモリセルアレイARYは、256個のワード線WLを有する。メモリブロックMB毎に8個のワード線WLが接続されるため、図の縦方向に8個のメモリブロックMBが配列される。すなわち、メモリグループMGの数は8個である。メモリブロックMBの総数は、256個(横8個と縦8個)であり、プレート線PLおよびワード線WLの数に等しい。

[0045] このように、セクタSELの数をmとすると、ワード線WL(図の横方向)に沿って2のm乗個のメモリブロックMBが配置される。プレート線PLは、メモリブロックMB毎に配線される。各メモリグループMGおよび各メモリブロックMBは、2のm乗個のワード線WLに接続される。ロウアドレス信号RAのビット数をnとすると、ワード線WLの数、プレート線PLの数およびメモリブロックMBの数は、共に2のn乗個である。メモリグループMGの数は、2の(n-m)乗個である。

[0046] 図5は、図4に示したメモリセルアレイARYの配線レイアウトの例を示している。ここでは、図4に示したメモリグループMG3(メモリブロックMB30-33)のみを示している。図では、プレート線の配線を分かりやすくするために、プレート線PL31を網掛けで示している。ポリシリコン層Polysは、トランジスタのゲートを形成するための配線層である。第1、第2、第3、第4および第5金属配線層は、ポリシリコン層Polysの上方の層であり、数字が大きいほど半導体基板から離れている。

[0047] ワード線WLは、ポリシリコン層Polysと第3金属配線層M3とを用いて配線されている。ポリシリコン層Polysは、トランジスタのゲートを形成するための配線層である。ポリシリコン配線Polysで形成されたワード線WLは、黒い四角印で示したコンタクトを介して第3金属配線M3で形成

されたワード線WLに接続されている。プレート線PLは、第1金属配線層M1、第4金属配線層M4および第5金属配線層M5を用いて配線されている。第5金属配線M5で形成されたプレート線は、図の横方向に配線され、コンタクトを介して第4金属配線M4で形成されたプレート線PLに接続されている。第4金属配線M4で形成されたプレート線PLは、コンタクトを介して第1金属配線M1で形成されたプレート線PLに接続されている。

[0048] 各メモリセルMCは、ポリシリコン配線Polyで形成されたワード線WLおよび第1金属配線M1で形成されたプレート線PLに接続されている。特に限定されないが、メモリセルMCは、例えば、スタック型の製造プロセスで製造される。ビット線BLは、図に示していないが、図の縦方向に並ぶメモリセルMC上に第2金属配線層を用いて形成されている。

[0049] 図6は、図1に示した半導体メモリMEMが搭載されるシステムSYSの例を示している。システムSYS（ユーザシステム）は、例えば、携帯機器等のマイクロコンピュータシステムの少なくとも一部を構成する。なお、後述する実施形態においても、半導体メモリMEMは、図6と同じシステムSYSに搭載される。システムSYSは、シリコン基板上に複数のマクロが集積されたシステムオンチップSOCを有している。あるいは、システムSYSは、パッケージ基板上に複数のチップが積層されたマルチチップパッケージMCPを有している。あるいは、システムSYSは、リードフレーム等のパッケージ基板上に複数のチップが搭載されたシステムインパッケージSIPを有している。さらに、システムSYSは、チップオンチップCOCあるいはパッケージオンパッケージPOPの形態で構成されてもよい。

[0050] 例えば、SOCは、CPU（コントローラ）、図1に示した半導体メモリMEMおよび周辺回路PERIを有している。CPU、半導体メモリMEMおよび周辺回路PERIは、システムバスSBUSにより互いに接続されている。CPUは、半導体メモリMEMおよび周辺回路PERIをアクセスするとともにシステム全体の動作を制御する。半導体メモリMEMは、CPUからのアクセスコマンドCMD（アクセス要求）およびアドレス信号ADに

応じて、読み出し動作および書き込み動作を実行する。例えば、S o Cは、外部バスS C N Tを介して上位のシステムに接続される。なお、システムS Y Sの最小構成は、C P Uと半導体メモリM E Mである。

[0051] 図7は、図1に示した半導体メモリM E Mの読み出し動作の例を示している。半導体メモリM E Mは、読み出しコマンド（低レベルLのチップイネーブル信号／C E、高レベルHのライトイネーブル信号／W Eおよび低レベルLのアウトプットイネーブル信号／O E）を受けたときに読み出し動作を実行する（図7（a））。図6に示したC P Uは、読み出しコマンドとともにアドレス信号A Dを半導体メモリM E Mに出力する（図7（b））。図1に示したコマンドバッファC M D Bは、読み出しコマンドに応答して読み出し制御信号R D Zおよびアドレスラッチ信号A L T Zを高レベルに活性化する（図7（c、d））。書き込み制御信号W R Zは、低レベルLに保持される（図7（e））。

[0052] アドレスバッファA D Bは、アドレスラッチ信号A L T Zに同期してアドレス信号A Dをラッチし、ラッチしたアドレス信号A Dをロウアドレス信号R Aおよびコラムアドレス信号C Aとして出力する（図7（f））。図2に示した共通ワードデコーダC W D E CのセクタS E L 0 - 1は、プレート選択信号P L C L Kが低レベルの期間にロウアドレス信号R A 0 - 1をアドレス信号A 0 - 1、／A 0 - 1として出力する（図7（g））。共通ワードデコーダC W D E Cは、ロウアドレス信号R A 0 - 3に基づいてワード線W Lを選択するためのロウデコードアドレス信号R D A（例えば、R D A<sub>a</sub>：aは0 - 15のいずれか）を高レベルに設定する（図7（h））。他のロウデコードアドレス信号R D Aは低レベルに保持される。ワードプレートドライバW P D R Vは、ワードラッチ信号W L T Zに同期してロウデコードアドレス信号R D A<sub>a</sub>をラッチする（図7（i））。

[0053] 次に、共通ワードデコーダC W D E CのセクタS E L 0 - 1は、高レベルのプレート選択信号P L C L Kを受け、コラムアドレス信号C A 0 - 1をアドレス信号A 0 - 1、／A 0 - 1として出力する（図7（j））。動作制

御回路CTRLは、読み出しコマンドまたは書き込みコマンドを受けてから所定時間後（例えば、10ns後）に、プレート選択信号PLCLKを低レベルから高レベルに変化する。共通ワードデコーダCWDECは、コラムアドレス信号CA0-1およびロウアドレス信号RA2-3に基づいてプレート線PLを選択するためのロウデコードアドレス信号RDA（例えば、RDA<sub>b</sub>：bは0-15のいずれか）を高レベルに設定する（図7（k））。他のロウデコードアドレス信号RDAは低レベルに保持される。ワードプレートドライバWPDRVは、プレートラッチ信号PLTZに同期してロウデコードアドレス信号RDA<sub>b</sub>をラッチする（図7（l））。

[0054] ワードプレートドライバWPDRVは、ワード活性化信号WACTZに同期して、ロウデコードアドレス信号RDA<sub>a</sub>に対応するワード線WL<sub>a</sub>を高レベルに活性化する（図7（m））。他のワード線WLは、低レベルに保持される。ワード線WL<sub>a</sub>の活性化により、メモリセルMCの強誘電体キャパシタF1は、ビット線BLに接続される。次に、ワードプレートドライバWPDRVは、プレート活性化信号PACTZに同期して、ロウデコードアドレス信号RDA<sub>b</sub>に対応するプレート線PL<sub>b</sub>を高レベルに活性化する（図7（n））。他のプレート線PLは、低レベルに保持される。プレート線PL<sub>b</sub>の活性化期間は、ワード線WL<sub>a</sub>の活性化期間に含まれている。

[0055] プレート線PL<sub>b</sub>の活性化に同期して、強誘電体キャパシタF1の残留分極に応じた電荷（電圧）がビット線BLに読み出される（図7（o））。実線は、メモリセルMCからビット線BLに論理1が読み出されときの波形を示す。破線は、メモリセルMCからビット線BLに論理0が読み出されときの波形を示す。メモリセルMCからビット線BLへのデータの読み出しと同時に、例えば、リファレンスメモリセルから基準の電荷（電圧）が読み出される。コラムセクタCSELは、コラムアドレス信号CAに対応するビット線BLをセンスアンプSAに接続する。センスアンプSAは、ビット線BLの電圧と基準電圧との差を差動増幅し、メモリセルMCに保持されているデータの論理を判定する（図7（p））。データ入出力回路IOBは、

センスアンプS Aにより増幅された読み出しデータをデータ端子I/Oに出力する(図7(q))。この後、センスアンプS Aが非活性化されてビット線B Lが低レベルに設定される(図7(r))。次に、ワード活性化信号W A C T Zおよびワード線W L aが低レベルに非活性化され、読み出し動作が終了する(図7(s))。

[0056] 図8は、図1に示した半導体メモリMEMの書き込み動作の例を示している。図7と同じ動作については、詳細な説明は省略する。半導体メモリMEMは、書き込みコマンド(低レベルLのチップイネーブル信号/C E、低レベルLのライトイネーブル信号/W Eおよび高レベルHのアウトプットイネーブル信号/O E)を受けたときに書き込み動作を実行する(図8(a))。図6に示したC P Uは、書き込みコマンドとともにアドレス信号A Dおよびデータ信号I/O(書き込みデータ)を半導体メモリMEMに出力する(図8(b、c))。コマンドバッファC M D Bは、書き込みコマンドに応答して書き込み制御信号W R Zおよびアドレスラッチ信号A L T Zを高レベルに活性化する(図8(d、e))。読み出し制御信号R D Zは、低レベルに保持される(図8(f))。

[0057] アドレスラッチ信号A L T Zからプレート活性化信号P A C T Zおよびプレート線P L bまでの波形は、図7と同じである。プレート線P L bの活性化に同期して、強誘電体キャパシタF 1の残留分極に応じた電荷(電圧)がビット線B Lに読み出される(図8(g))。このとき、図9で説明するように、論理1を保持しているメモリセルM Cのデータは失われ、論理0に書き換えられる。コラムセクタC S E Lは、コラムアドレス信号C Aに対応するビット線B LをライトアンプW Aに接続する。ライトアンプW Aは、書き込みデータの論理に応じたレベルをビット線B Lに出力する。プレート線P Lは、ライトアンプW Aからの書き込みデータによりビット線B Lの電圧が変化する前に、低レベルに非活性化される(図8(h))。そして、プレート線P Lの低レベルとビット線B Lの電圧レベルとに応じて、論理1または論理0がメモリセルM Cに書き込まれる(図8(i))。この後、ライト

アンプWAによりビット線BLが低レベルに設定される（図8（j））。次に、ワード活性化信号WACTZおよびワード線WL<sub>a</sub>が低レベルに非活性化され、書き込み動作が終了する（図8（k））。

[0058] 図9は、図1に示した半導体メモリMEMのメモリセルアレイARYの動作の例を示している。図9は、図7および図8において、ワード線WLおよびプレート線PLが高レベルに活性化される期間を示している。

[0059] 読み出し動作RDでは、プレート線PLが高レベルに駆動されるときビット線BLの電圧上昇は僅かである。このため、メモリセルMCから読み出されるデータの論理に拘わりなく、ビット線BLは、高レベルのプレート線PLに対して低レベルになる（図9（a））。この状態は、メモリセルMCへの論理0の書き込みを示す。すなわち、メモリセルMCからビット線BLに論理1が読み出されるとき、強誘電体キャパシタF<sub>1</sub>の残留分極値は反転し、メモリセルMCに保持されているデータは論理0に書き換えられる。

[0060] 例えば、センスアンプSAは、センスアンプイネーブル信号SAENにより、プレート線PLが低レベルに変化する前に活性化される（図9（b））。ビット線BLに論理1が読み出されるとき、センスアンプSAは、ビット線（例えば、電源電圧）BLの電圧と基準電圧V<sub>ref</sub>とを差動増幅し、ビット線BLの電圧を高レベルまで上昇する（図9（c））。そして、ビット線BLが低レベルのプレート線PLに対して高レベルになることで、論理1がメモリセルMCに再書き込みされる。

[0061] 書き込み動作WRでは、読み出し動作RDと同様に、プレート線PLの高レベル期間にメモリセルMCへの論理0の書き込みが発生する（図9（d））。すなわち、論理1を保持するメモリセルMCは、論理0に書き換えられる。例えば、ライトアンプWAは、ライトアンプイネーブル信号WAENにより、プレート線PLが低レベルに変化した後に活性化される（図9（e））。書き込みデータが論理0のとき、プレート線PLおよびビット線BLは共に低レベルに設定され、強誘電体キャパシタF<sub>1</sub>の残留分極値は変化しない。すなわち、メモリセルMCは、プレート線PLの活性化により書き換え

られた論理0を維持する（図9（f））。書き込みデータが論理1のとき、プレート線PLは低レベルに設定され、ビット線BLは高レベル（例えば、電源電圧）に設定される。このとき、メモリセルMCは、論理1に書き換えられる（図9（g））。そして、メモリセルMCへの論理0、論理1の書き込み動作が終了する。

[0062] なお、読み出し動作RDおよび書き込み動作WRにおいて、ビット線BLの高レベル（電源電圧）は、強誘電体キャパシタF1に確実に伝える必要がある。このため、センスアンプSAまたはライトアンプWAが動作する期間に、ワード線WLの高レベル電圧を電源電圧より高い電圧にしてもよい。この際、高い電圧は、電源電圧に選択トランジスタT1の閾値電圧を加えた値以上が望ましい。

[0063] 以上、この実施形態では、ワード線WLを選択するためのワードデコーダとプレート線PLを選択するためのプレートデコーダを、共通ワードデコーダCWDECに置き換えることができる。このため、プレートデコーダ（この例では、共通ワードデコーダCWDEC）の回路規模を小さくできる。特に、プレート線PLの分割数が多いときに、プレートデコーダの回路規模を小さくできる。具体的には、1本のワード線に対応して複数のプレート線PLが配線されるときに、プレートデコーダの回路規模を小さくできる。さらに、ロウデコードアドレス信号RDAは、ワード線WLおよびプレート線PLを選択するために共通に使用される。これにより、ワード線WLおよびプレート線PLを選択するためのロウデコードアドレス信号線RDAの数を少なくでき、信号線の配線領域を削減できる。この結果、半導体メモリMEMのチップサイズを削減できる。

[0064] 図10は、別の実施形態の半導体メモリMEMにおける共通ワードデコーダCWDECの例を示している。上述した実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。例えば、半導体メモリMEMは、強誘電体メモリである。半導体メモリMEMは、共通ワードデコーダCWDECが図2と相違し、図11および

図 1 2 に示すメモリセルアレイ A R Y が図 4 および図 5 と相違している。その他の構成は、図 1 および図 3 と同じである。すなわち、半導体メモリ M E M は、例えば、I C カードや無線タグ（R F I D）等のワークメモリ、携帯電話やデジタルカメラ等の携帯機器のワークメモリ、あるいはビデオレコーダ等の民生機器のワークメモリとして使用される。半導体メモリ M E M は、クロックに同期して動作してもよく、クロックに非同期で動作してもよい。半導体メモリ M E M は、例えば、図 6 に示したシステム S Y S に搭載される。

[0065] 共通ワードデコーダ C W D E C は、セクタ S E L 0 - 1 がコラムアドレス信号 C A 1 - 0 の論理を反転した信号を受ける。共通ワードデコーダ C W D E C のその他の構成は、図 2 と同じである。例えば、共通ワードデコーダ C W D E C は、コラムアドレス信号 C A 1 - 0 が” 0 0 ” のとき、ロウアドレス信号 R A 3 - 2 に応じてロウデコードアドレス信号 R D A 3、R D A 7、R D A 1 1、R D A 1 5 のいずれかを高レベルに設定する。共通ワードデコーダ C W D E C は、コラムアドレス信号 C A 1 - 0 が” 0 1 ” のとき、ロウアドレス信号 R A 3 - 2 に応じてロウデコードアドレス信号 R D A 2、R D A 6、R D A 1 0、R D A 1 4 のいずれかを高レベルに設定する。同様に、コラムアドレス信号 C A 1 - 0 が” 1 0 ” のとき、ロウデコードアドレス信号 R D A 1、R D A 5、R D A 9、R D A 1 3 のいずれかが高レベルに設定される。コラムアドレス信号 C A 1 - 0 が” 1 1 ” のとき、ロウデコードアドレス信号 R D A 0、R D A 4、R D A 8、R D A 1 2 のいずれかが高レベルに設定される。

[0066] 図 1 1 は、図 1 0 に示した共通ワードデコーダ C W D E C を有する半導体メモリ M E M におけるメモリセルアレイ A R Y の例を示している。図 4 と同じ構成については、詳細な説明は省略する。メモリグループ M G、メモリブロック M B、ワード線 W L およびビット線 B L のレイアウトは、図 4 と同じである。プレート線 P L 3 3 - 3 0、P L 2 3 - 2 0、P L 1 3 - 1 0、P L 0 3 - 0 0 の関係は、互いに同じため、以下では、プレート線 P L 3 3 -

30について説明する。

- [0067] この実施形態では、共通ワードデコーダCWDECに供給されるコラムアドレス信号CA1-0の論理は反転している。このため、例えば、プレート線PL33は、コラムアドレス信号CA1-0が”00”のときに選択される。プレート線PL32は、コラムアドレス信号CA1-0が”01”のときに選択される。プレート線PL31は、コラムアドレス信号CA1-0が”10”のときに選択される。プレート線PL30は、コラムアドレス信号CA1-0が”11”のときに選択される。このため、プレート線PL33、PL32、PL31、PL30を、符号PL30b、PL31b、PL32b、PL33bとしても示している。符号の0b、1b、2b、3bの値は、コラムアドレス信号CA1-0の値（10進数）を示す。符号の0b、1b、2b、3bの”b”は、論理の反転（”/”；バー）を示す。
- [0068] 各プレート線PL33-30は、符号PL30b-33bの数字と同じ値のメモリブロックMBに接続されている。このために、プレート線PLを分岐させるためのコンタクト（黒い四角印）の位置は、図4と相違している。
- [0069] 図12は、図11に示したメモリセルアレイARYの配線レイアウトの例を示している。図5と同じ構成については、詳細な説明は省略する。ここでは、図5と同様に、メモリグループMG3（メモリブロックMB30-33）のみを示している。図では、説明を分かりやすくするために、メモリセルアレイARYの左端からメモリブロックMBまで図の横方向に配線されるプレート線PL（第5金属配線層M5）を網掛けで示している。
- [0070] 図1に示したように、プレート活性化信号線PACTZ等の制御信号線は、メモリセルアレイARYの右下に配置された動作制御回路CTRLからサブワードプレートドライバSWPDRVまで図1の上側に向けて配線される。図3の上側のサブワードプレートドライバSWPDRVは、図3の下側のサブワードプレートドライバSWPDRVに比べて、プレート活性化信号PACTZを遅く受ける。したがって、読み出し動作および書き込み動作において、プレート線PL33は相対的に遅く活性化され、プレート線PL30

は相対的に早く活性化される。

[0071] この実施形態では、プレート活性化信号PACTZが遅く伝達されるサブワードプレートドライバSWPDRVに対応するプレート線PL33は、図12に網掛けで示した横方向の長さが短く、負荷容量が小さい。プレート活性化信号PACTZが早く伝達されるサブワードプレートドライバSWPDRVに対応するプレート線PL30は、網掛けで示した横方向の長さが長く、負荷容量が大きい。したがって、プレート線PL30-33に発生する高レベルパルスがメモリセルMCに伝達されるタイミングを、互いに揃えることができる。換言すれば、プレート線信号PL30-33の活性化タイミングを互いに揃えることができる。

[0072] 以上、この実施形態においても、上述した実施形態と同様の効果を得ることができる。さらに、プレート線信号PLの活性化期間を揃えることができるため、半導体メモリMEMの動作マージンを向上できる。

[0073] 図13は、別の実施形態における半導体メモリMEMの例を示している。上述した実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。例えば、半導体メモリMEMは、強誘電体メモリである。半導体メモリMEMは、例えば、ICカードや無線タグ(RFID)等のワークメモリ、携帯電話やデジタルカメラ等の携帯機器のワークメモリ、あるいはビデオレコーダ等の民生機器のワークメモリとして使用される。半導体メモリMEMは、クロックに同期して動作してもよく、クロックに非同期で動作してもよい。半導体メモリMEMは、例えば、図6に示したシステムSYSに搭載される。

[0074] 半導体メモリMEMは、ワードプレートドライバWPDRVおよびメモリセルアレイARYが図1と相違している。半導体メモリMEMは、図1に比べて1ビット多いロウアドレス信号RAを受ける。その他の構成は、図1と同じである。図13に示したメモリセルアレイARYは、図15のメモリブロックMB00の一部を示している。メモリセルアレイARYにおいて、各プレート線PLは、2つのワード線WLE、WLOに共通に配線される。ワ

ードプレートドライバWPDRVは、例えば、ロウアドレス信号RAの最上位ビットの論理に応じて、ワード線WLE、WLOのいずれかを選択する。なお、ワード線WLE、WLOは、ロウアドレス信号RAの最下位ビットを用いて選択されてもよい。

[0075] 図14は、図13に示したワードプレートドライバWPDRVの例を示している。図3と同じ構成については、詳細な説明は省略する。ワードプレートドライバWPDRVは、一对のワード線WLE、WLOおよび1つのプレート線PLを駆動する複数のサブワードプレートドライバSWPDRVを有している。サブワードプレートドライバSWPDRVは、互いに同じ回路のため、ワード線WLE15、WLO15およびプレート線PL33を駆動するサブワードプレートドライバSWPDRVについてのみ説明する。

[0076] サブワードプレートドライバSWPDRVは、図3に示したサブワードプレートドライバSWPDRVにワードセクタWSELおよびAND回路を追加している。例えば、ワードセクタWSELは、ロウアドレス信号RA4の論理に応じてオンまたはオフするCMOS伝達ゲートを有する。ワードセクタWSELは、ロウアドレス信号RA4が低レベルのときにラッチWLTの出力を、ワード線WLE15に接続されたAND回路に接続する。ワードセクタWSELは、ロウアドレス信号RA4が高レベルのときにラッチWLTの出力を、ワード線WLO15に接続されたAND回路に接続する。ワード線WLE15、WLO15に接続されたAND回路は、ワード活性化信号WACTZに同期して動作する。

[0077] なお、実際の半導体メモリMEMでは、例えば、ロウアドレス信号RAは9ビット（RA0〜8）であり、コラムアドレス信号CAは6ビットである。このとき、ロウアドレス信号RA0〜7は、共通ワードデコーダCWDECに供給され、ロウアドレス信号RA8は、ワードセクタWSELに供給される。

[0078] 図15は、図13に示したメモリセルアレイARYの例を示している。図4と同じ構成については、詳細な説明は省略する。例えば、メモリセルアレ

イ A R Y は、図 4 と同様に、マトリックス状に配置された 16 個のメモリブロック M B ( M B 0 0 - 0 3 、 M B 1 0 - 1 3 、 M B 2 0 - 2 3 、 M B 3 0 - 3 3 ) を有している。図 4 との違いは、各メモリグループ M G および各メモリブロック M B は、4 つのワード線対 W L E 、 W L O に接続されることである。各メモリブロック M B は、32 個のメモリセル M C を有する。その他の構成は、図 4 と同じである。

[0079] ここでは、説明を簡単にするために、各ビット線グループ B L 0 0 - 0 3 、 B L 1 0 - 1 3 、 B L 2 0 - 2 3 、 B L 3 0 - 3 3 が 4 本のビット線を有する例を示している。実際には、各ビット線グループは、データ端子 I / O 0 - 1 5 に対応する 16 本のビット線 B L を有する。データ端子 I / O が 1 ビット ( I / O 0 ) のとき、各ビット線グループは、1 本のビット線のみを有する。

[0080] なお、図 2 に示した共通ワードデコーダ C W D E C が、3 つのセクタ S E L を有するとき、上述したように、各メモリグループ M G は、8 個のメモリブロック M B を有する。コラムセクタ S E L は、プレート選択信号 P L C L K に応じてロウアドレス信号 R A 0 - 2 またはコラムアドレス信号 C A 0 - 2 を受ける。読み出し動作または書き込み動作において、1 つのメモリグループ M G 内の 8 個のメモリブロック M B のいずれかは、コラムドレス信号 C A 0 - 2 に応じて選択される。

[0081] 各メモリブロック M B は、16 個のワード線 W L ( 8 個のワード線対 W L E 、 W L O ) に接続される。各メモリグループ M G 内の 8 個のメモリブロック M B 上には、8 個のプレート線 P L が配線され、8 個のメモリブロック M B のいずれかに接続される。ロウアドレス信号 R A が 9 ビット ( R A 0 - 8 ) のとき、メモリセルアレイ A R Y は、512 個のワード線 W L ( 256 個のワード線対 W L E 、 W L O ) を有する。メモリブロック M B 毎に 16 個のワード線 W L が接続されるため、図の縦方向に 8 個のメモリブロック M B が配列される。すなわち、メモリグループ M G の数は 8 個である。メモリブロック M B の総数は、256 個 ( 横 8 個と縦 8 個 ) であり、プレート線 P L お

よびワード線対（WLE、WLO）の数に等しい。

[0082] 図15に示したように、各プレート線PLが2つのワード線WLE、WLOに共通に配線されるとき、ワード線WL（図の横方向）に沿って2の $m$ 乗個（ $m$ はセクタSELの数）のメモリブロックMBが配置される。プレート線PLは、メモリブロックMB毎に配線される。各メモリグループMGおよび各メモリブロックMBは、2の $m$ 乗個のワード線対（WLE、WLO）に接続される。共通ワードデコーダCWDECに供給されるロウアドレス信号RAのビット数を $n$ とすると、ワード線対（WLE、WLO）の数、プレート線PLの数およびメモリブロックMBの数は、共に2の $(n-1)$ 乗個である。メモリグループMGの数は、2の $(n-1-m)$ 乗個である。

[0083] 以上、この実施形態においても、上述した実施形態と同様の効果を得ることができる。さらに、各プレート線PLが一对のワード線WLE、WLOに共通に配線される半導体メモリMEMにおいても、共通ワードデコーダCWDECの回路規模を小さくできる。さらに、ロウデコードアドレス信号線RDAの数を少なくでき、信号線の配線領域を削減できる。この結果、半導体メモリMEMのチップサイズを削減できる。

[0084] なお、図13に示した共通ワードデコーダCWDECに、図10に示したように、コラムアドレス信号CA0-1の論理を反転した信号を供給してもよい。このとき、メモリセルアレイARY（図15）は、図11と同様に変更される。すなわち、プレート線PL33はメモリブロックMB30に接続され、プレート線PL32はメモリブロックMB31に接続される。プレート線PL31はメモリブロックMB32に接続され、プレート線PL30はメモリブロックMB33に接続される。プレート線PL00-03、PL10-13、PL20-23も同様である。これにより、プレート線PLの活性化タイミングを互いに揃えることができる。

[0085] 以上の詳細な説明により、実施形態の特徴点及び利点は明らかになるであろう。これは、特許請求の範囲がその精神及び権利範囲を逸脱しない範囲で前述のような実施形態の特徴点及び利点にまで及ぶことを意図するものであ

る。また、当該技術分野において通常の知識を有する者であれば、あらゆる改良及び変更に容易に想到できるはずであり、発明性を有する実施形態の範囲を前述したものに限定する意図はなく、実施形態に開示された範囲に含まれる適当な改良物及び均等物に拠ることも可能である。

## 請求の範囲

- [1] 複数のメモリセルと、  
前記メモリセルに接続された複数のワード線と、  
前記メモリセルに接続された複数のプレート線と、  
前記ワード線を選択するための第1アドレス信号を第1期間に選択し、前記プレート線を選択するための第2アドレス信号を第2期間に選択するセレクトタと、  
前記セレクトタにより選択された前記第1および第2アドレス信号を順次にデコードして、デコードアドレス信号のいずれかを順次に活性化するデコード回路と、  
前記第1アドレス信号により活性化されたデコードアドレス信号に応じてワード線を駆動し、前記第2アドレス信号により活性化されたデコードアドレス信号に応じてプレート線を駆動するドライバ回路と  
を備えていることを特徴とする半導体メモリ。
- [2] 請求項1記載の半導体メモリにおいて、  
前記デコード回路は、前記第1および第2アドレス信号とともに、前記ワード線と前記プレート線に共通に第3アドレス信号をデコードして前記デコードアドレス信号のいずれかを順次に活性化し、  
前記ドライバ回路は、前記第1および第3アドレス信号により活性化されたデコードアドレス信号に応じてワード線を駆動し、前記第2および第3アドレス信号により活性化されたデコードアドレス信号に応じてプレート線を駆動すること  
を特徴とする半導体メモリ。
- [3] 請求項2記載の半導体メモリにおいて、  
前記第3アドレス信号により識別される複数のメモリグループと、  
前記各メモリグループに設けられ、前記第2アドレス信号により識別され、前記メモリセルを有する複数のメモリブロックと  
を備え、

前記プレート線は、前記メモリブロック毎に配線され、

前記第 1 アドレス信号で識別される複数の前記ワード線は、前記メモリグループ毎に、前記メモリグループ内のメモリブロックに共通に配線されていること

を特徴とする半導体メモリ。

[4] 請求項 3 記載の半導体メモリにおいて、

前記ワード線の数、前記メモリブロックの数に等しいことを特徴とする半導体メモリ。

[5] 請求項 2 記載の半導体メモリにおいて、

前記メモリセルに接続された複数のビット線を備え、

前記第 1 および第 3 アドレス信号は、ワード線を選択するためのロウアドレスであり、

前記第 2 アドレス信号は、前記ビット線を選択するためのコラムアドレスであること

を特徴とする半導体メモリ。

[6] 請求項 2 ないし請求項 5 のいずれか 1 項記載の半導体メモリにおいて、

前記ドライバ回路は、前記デコードアドレス信号をそれぞれ受け、前記ワード線の 1 つおよび前記プレート線の 1 つに接続された複数のサブドライバ回路を備え、

前記各サブドライバ回路は、

対応するデコードアドレス信号のレベルを第 1 タイミング信号に同期してラッチする第 1 ラッチ回路と、

対応するデコードアドレス信号の活性化レベルを前記第 1 ラッチ回路がラッチしているときに、第 2 タイミング信号に同期して前記ワード線を活性化する第 1 活性化回路と、

対応するデコードアドレス信号のレベルを第 3 タイミング信号に同期してラッチする第 2 ラッチ回路と、

対応するデコードアドレス信号の活性化レベルを前記第 2 ラッチ回路がラ

ッチしているときに、第4タイミング信号に同期して前記プレート線を活性化  
化する第2活性化回路と

を備えていることを特徴とする半導体メモリ。

[7] 請求項6記載の半導体メモリにおいて、

読み出しコマンドまたは書き込みコマンドを受けてから所定時間後に、選  
択信号を第1レベルから第2レベルに変化し、前記選択信号が前記第1レベ  
ルの間に前記第1タイミング信号を生成し、前記第2レベルの間に前記第2  
、第3および第4タイミング信号を生成する動作制御回路を備え、

前記セクタは、前記選択信号が前記第1レベルの間、前記第1アドレス  
信号を選択し、前記選択信号が前記第2レベルの間、前記第2アドレス信号  
を選択すること

を特徴とする半導体メモリ。

[8] 請求項1記載の半導体メモリにおいて、

読み出しコマンドまたは書き込みコマンドを受けてから所定時間後に、選  
択信号を第1レベルから第2レベルに変化する動作制御回路を備え、

前記セクタは、前記選択信号が前記第1レベルの間、前記第1アドレス  
信号を選択し、前記選択信号が前記第2レベルの間、前記第2アドレス信号  
を選択すること

を特徴とする半導体メモリ。

[9] 請求項1記載の半導体メモリにおいて、

前記デコード回路は、前記第1および第2アドレス信号とともに、前記ワ  
ード線と前記プレート線に共通に第3アドレス信号をデコードして前記デコ  
ードアドレス信号のいずれかを活性化し、

前記ドライバ回路は、前記第1および第3アドレス信号により活性化され  
たデコードアドレス信号に応じて選択される一対の前記ワード線の1つを第  
4アドレス信号に応じて駆動し、前記第2および第3アドレス信号により活  
性化されたデコードアドレス信号に応じてプレート線を駆動すること

を特徴とする半導体メモリ。

- [10] 請求項 9 記載の半導体メモリにおいて、
- 前記ドライバ回路は、前記デコードアドレス信号をそれぞれ受け、前記ワード線の 2 つおよび前記プレート線の 1 つに接続された複数のサブドライバ回路を備え、
- 前記各サブドライバ回路は、
- 対応するデコードアドレス信号のレベルを第 1 タイミング信号に同期してラッチする第 1 ラッチ回路と、
- 前記ワード線の 2 つにそれぞれ接続された一対の第 1 活性化回路と、
- 前記第 1 ラッチ回路の出力を前記第 4 アドレス信号に応じて前記第 1 活性化回路の一方に接続するワードセクタと、
- 対応するデコードアドレス信号のレベルを第 3 タイミング信号に同期してラッチする第 2 ラッチ回路と、
- 対応するデコードアドレス信号の活性化レベルを前記第 2 ラッチ回路がラッチしているときに、第 4 タイミング信号に同期して前記プレート線を活性化する第 2 活性化回路と
- を備え、
- 前記各第 1 活性化回路は、対応するデコードアドレス信号の活性化レベルをラッチしている前記第 1 ラッチ回路からの出力を、前記ワードセクタを介して受けているときに、第 2 タイミング信号に同期して対応するワード線を活性化する
- ことを特徴とする半導体メモリ。
- [11] 複数のメモリセルと、前記メモリセルに接続された複数のワード線と、前記メモリセルに接続された複数のプレート線とを備えた半導体メモリの動作方法であって、
- 前記ワード線を選択するための第 1 アドレス信号を第 1 期間に選択し、
- 前記プレート線を選択するための第 2 アドレス信号を第 2 期間に選択し、
- 選択された前記第 1 および第 2 アドレス信号を順次にデコードして、デコードアドレス信号のいずれかを順次に活性化し、

前記第 1 アドレス信号により活性化されたデコードアドレス信号に応じてワード線を駆動し、

前記第 2 アドレス信号により活性化されたデコードアドレス信号に応じてプレート線を駆動する

ことを特徴とする半導体メモリの動作方法。

[12] 請求項 1 記載の半導体メモリの動作方法において、

前記第 1 および第 2 アドレス信号とともに、前記ワード線と前記プレート線に共通に第 3 アドレス信号をデコードして前記デコードアドレス信号のいずれかを順次に活性化し、

前記第 1 および第 3 アドレス信号により活性化されたデコードアドレス信号に応じてワード線を駆動し、

前記第 2 および第 3 アドレス信号により活性化されたデコードアドレス信号に応じてプレート線を駆動する

ことを特徴とする半導体メモリの動作方法。

[13] 請求項 1 2 記載の半導体メモリの動作方法において、

前記半導体メモリは、前記メモリセルに接続された複数のビット線を備え、

前記第 1 および第 3 アドレス信号は、ワード線を選択するためのロウアドレスであり、

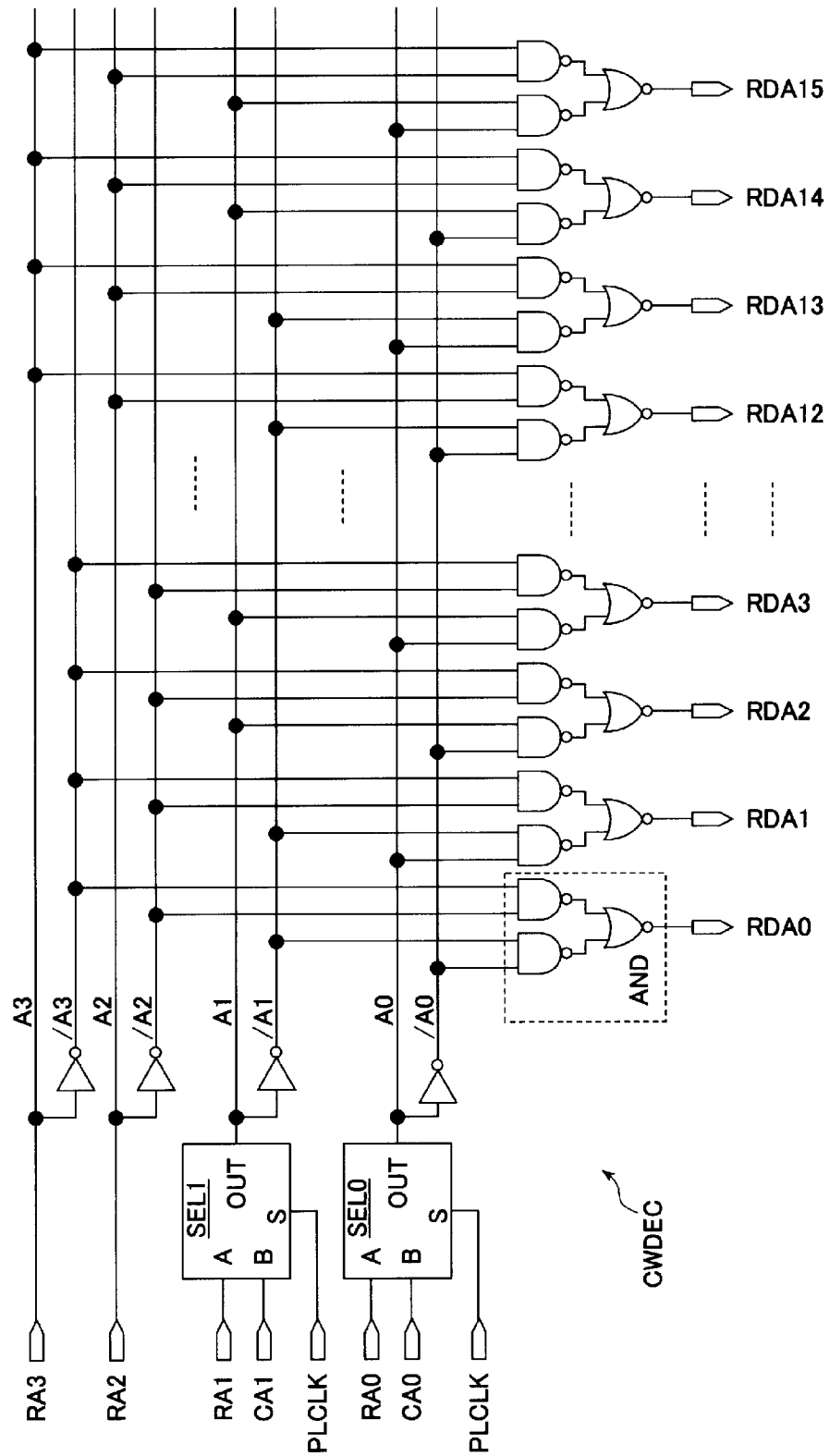
前記第 2 アドレス信号は、前記ビット線を選択するためのコラムアドレスであること

を特徴とする半導体メモリの動作方法。



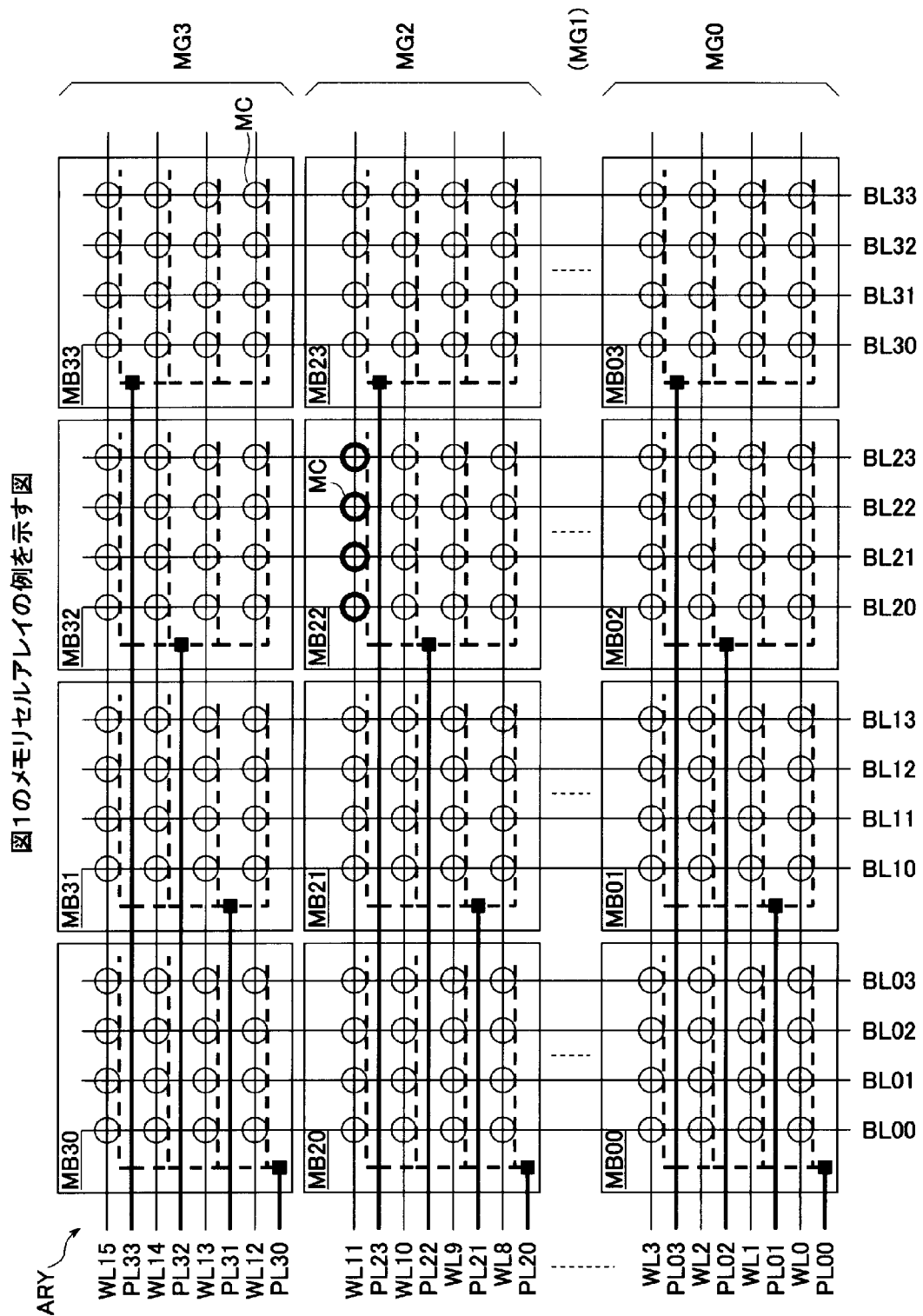
[図2]

図1のCWDECの例を示す図



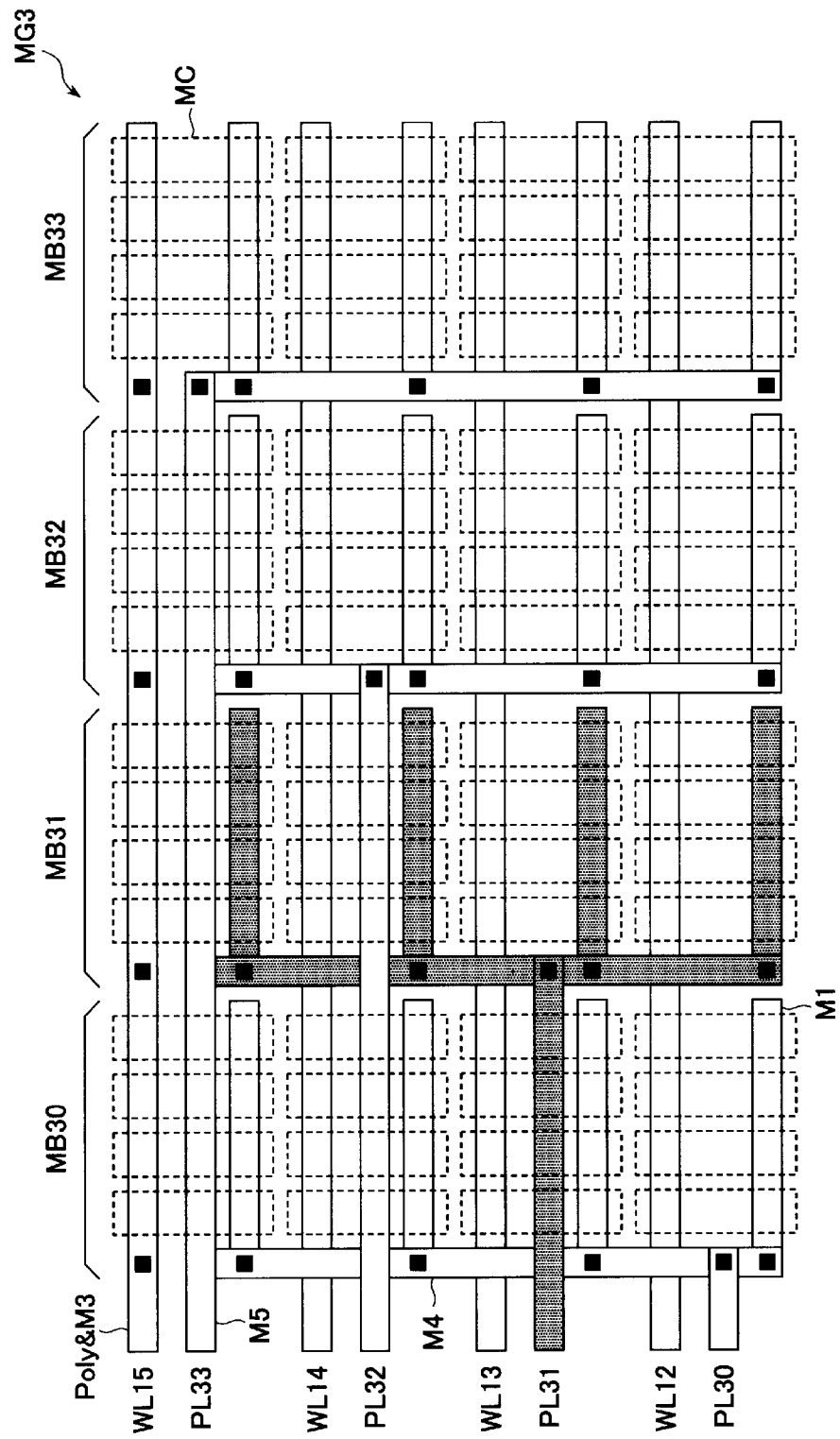


[図4]



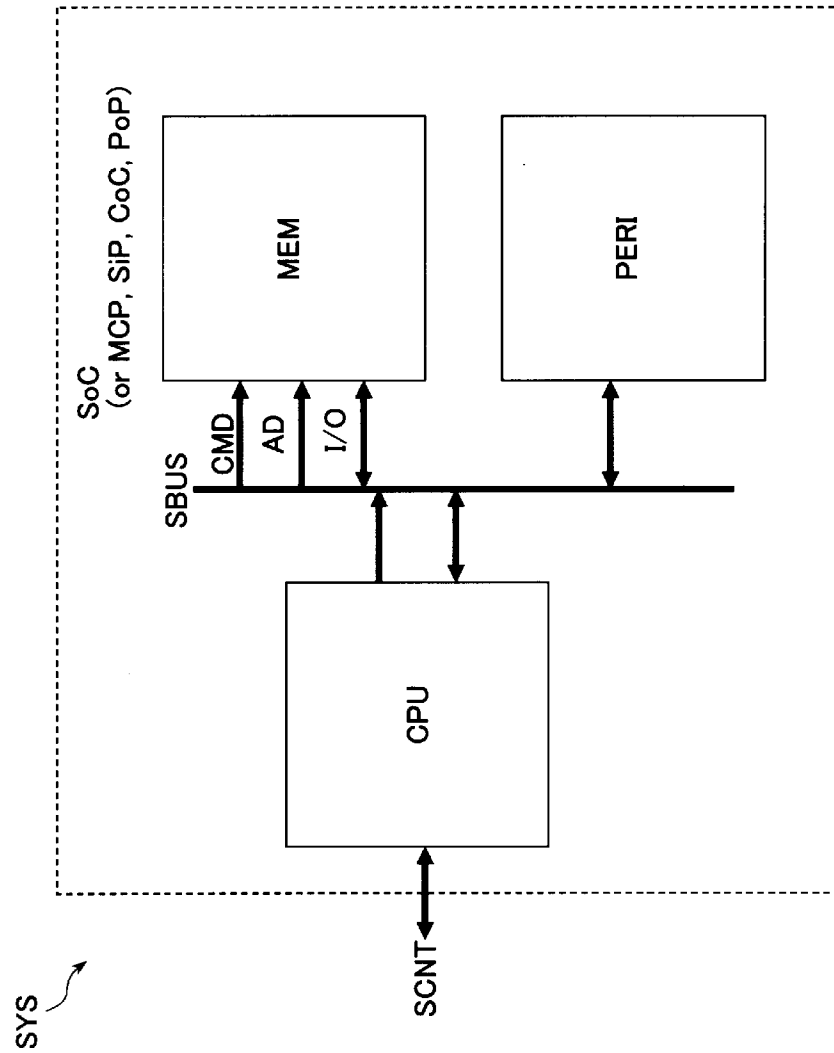
[図5]

図4のメモリセルアレイの配線レイアウトの例を示す図



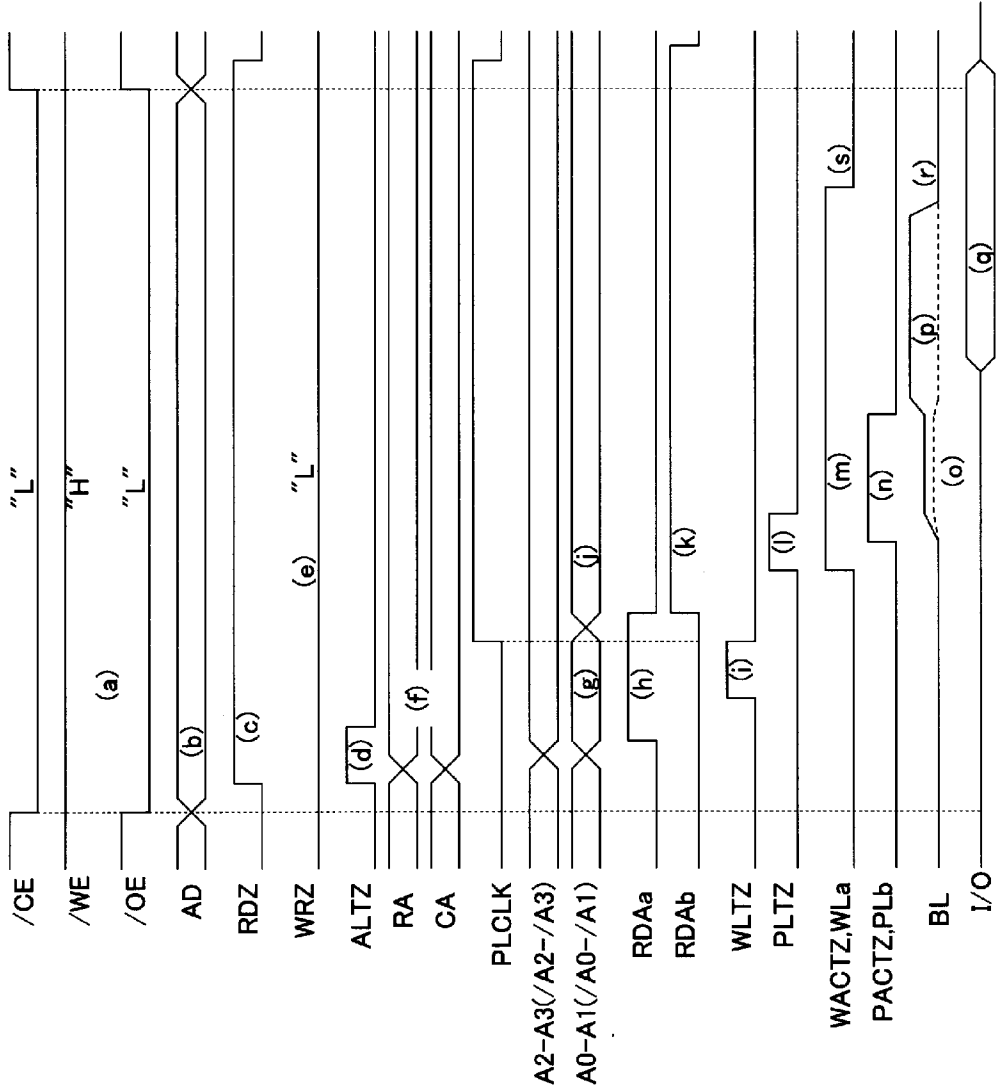
[図6]

図1の半導体メモリが搭載されるシステムの例を示す図



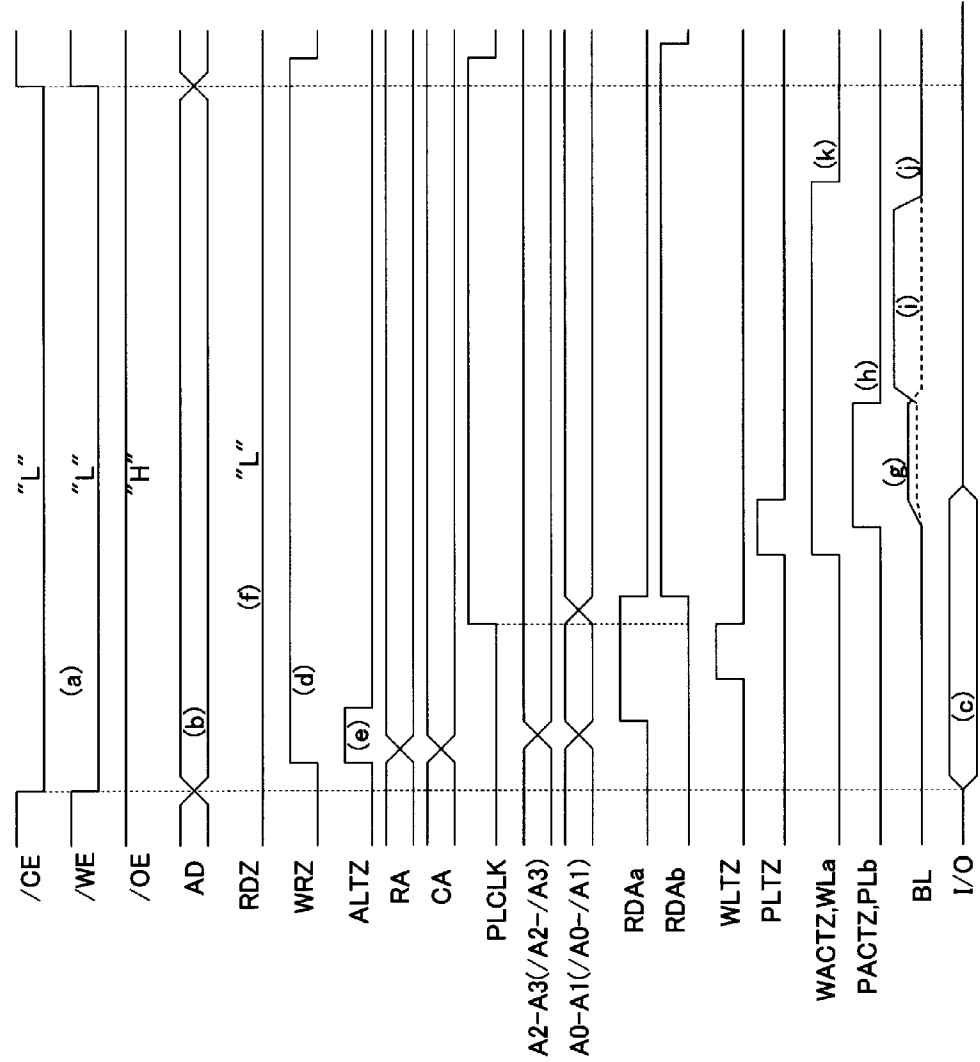
[図7]

図1の半導体メモリの読み出し動作の例を示す図



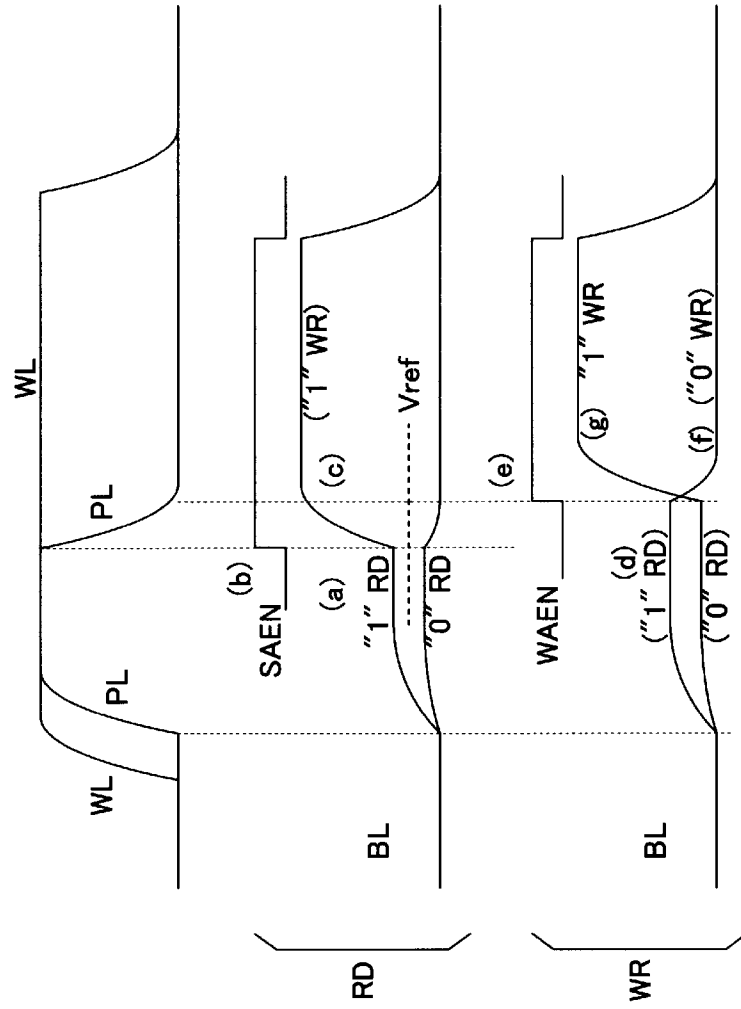
[図8]

図1の半導体メモリの書き込み動作の例を示す図



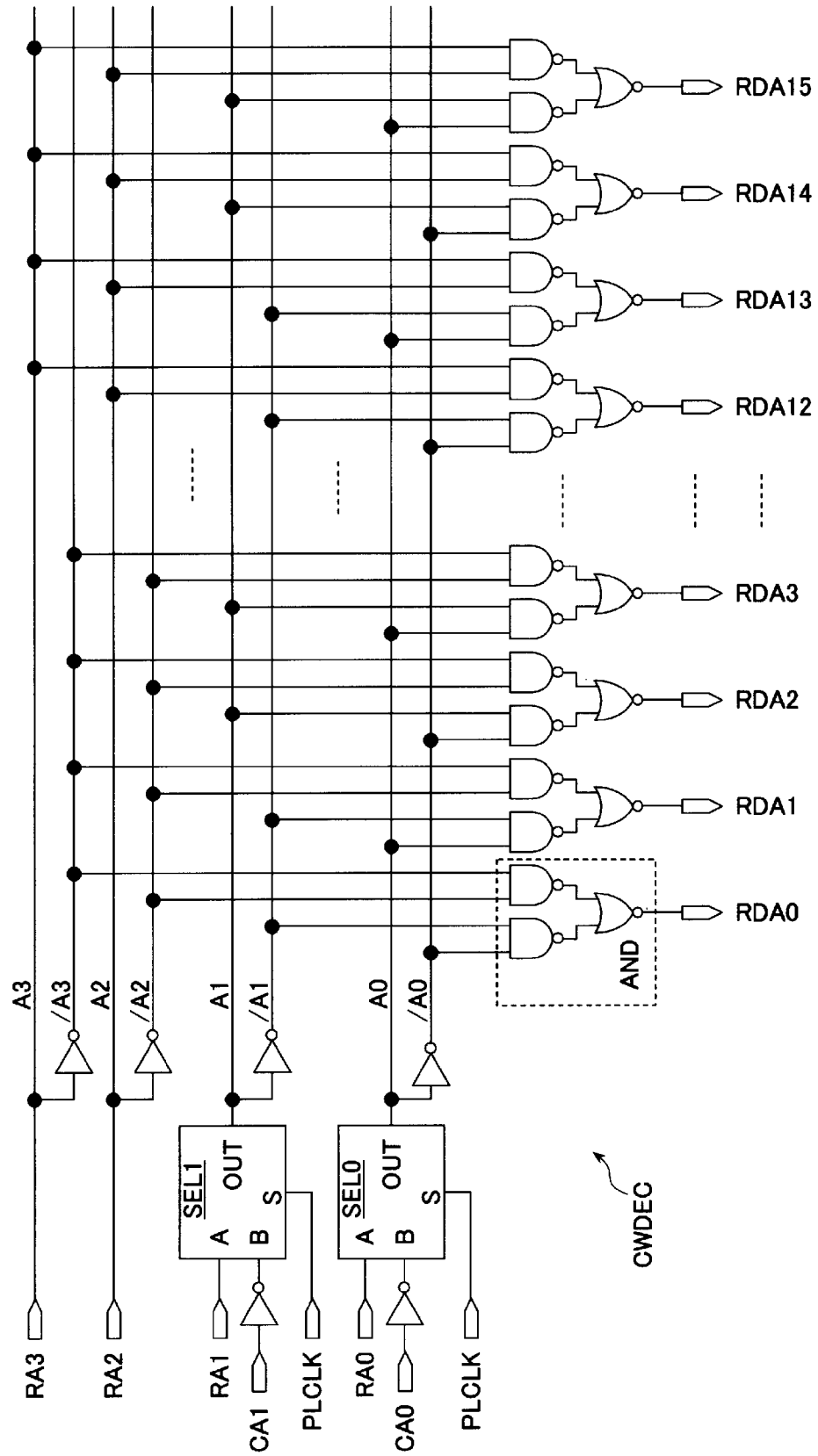
[図9]

図1の半導体メモリのメモリセルアレイの動作の例を示す図



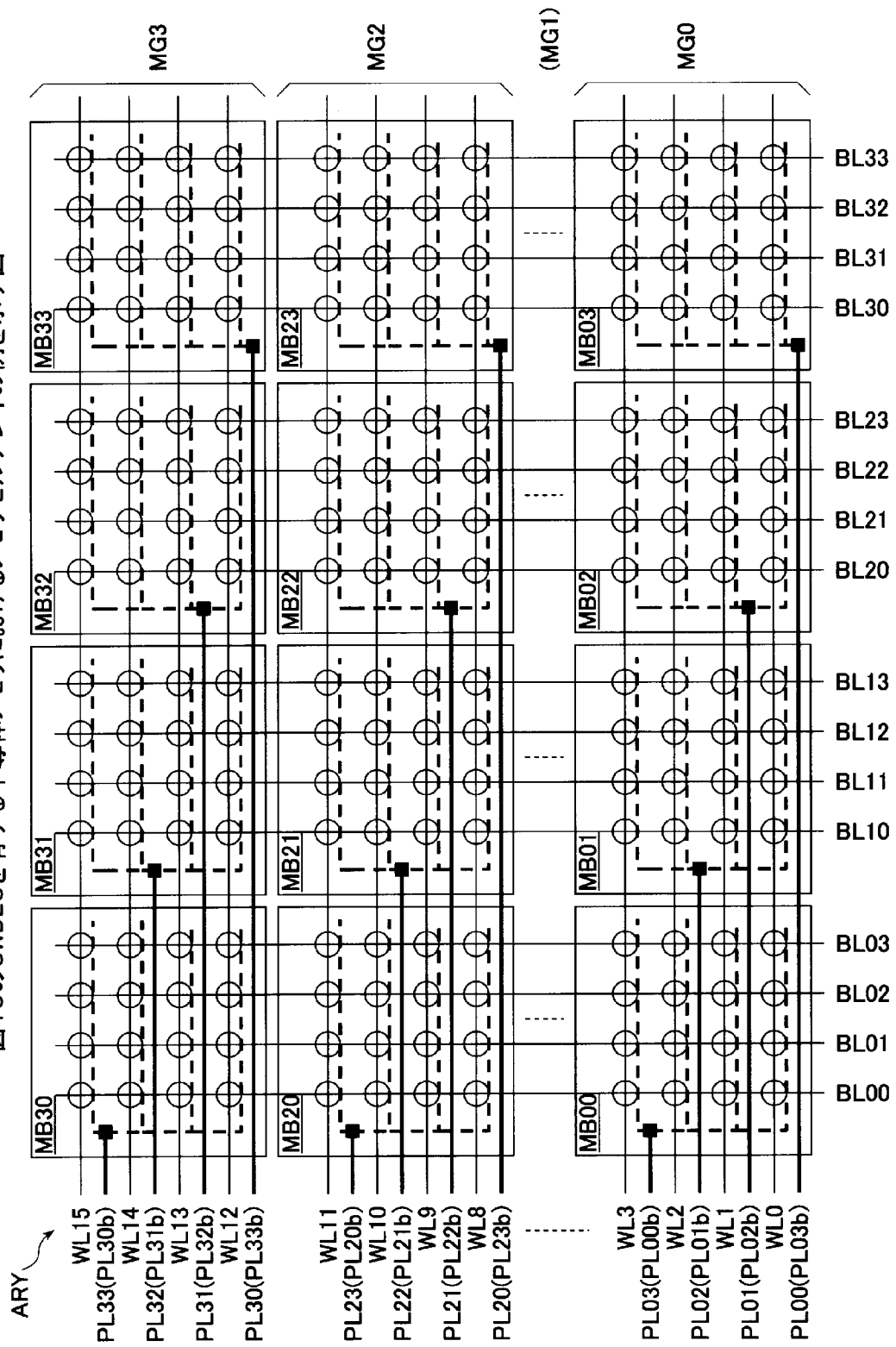
[図10]

別の実施形態におけるCWDECの例を示す図



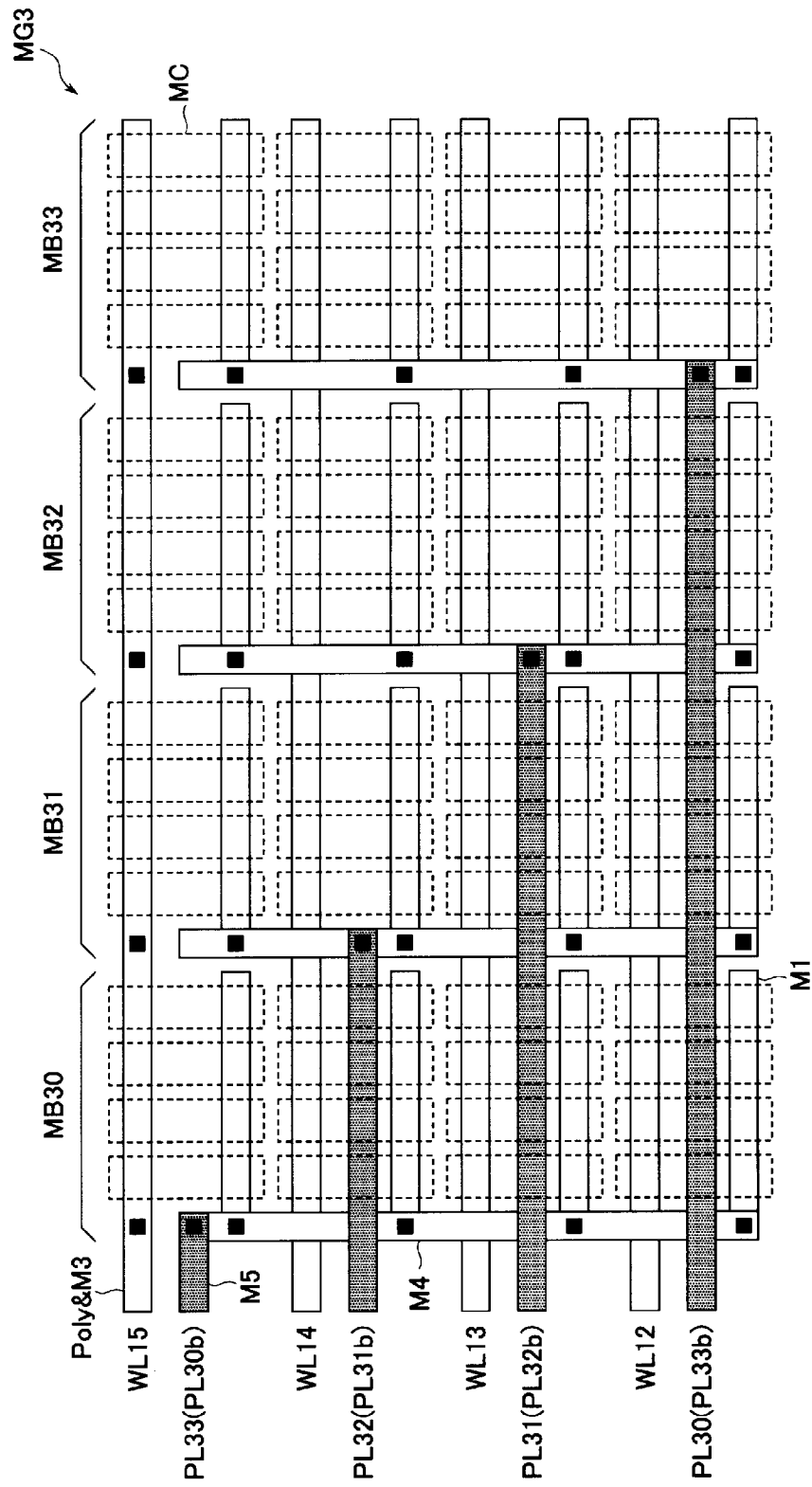
[図11]

図10のCWDECを有する半導体メモリにおけるメモリセルアレイの例を示す図



[図12]

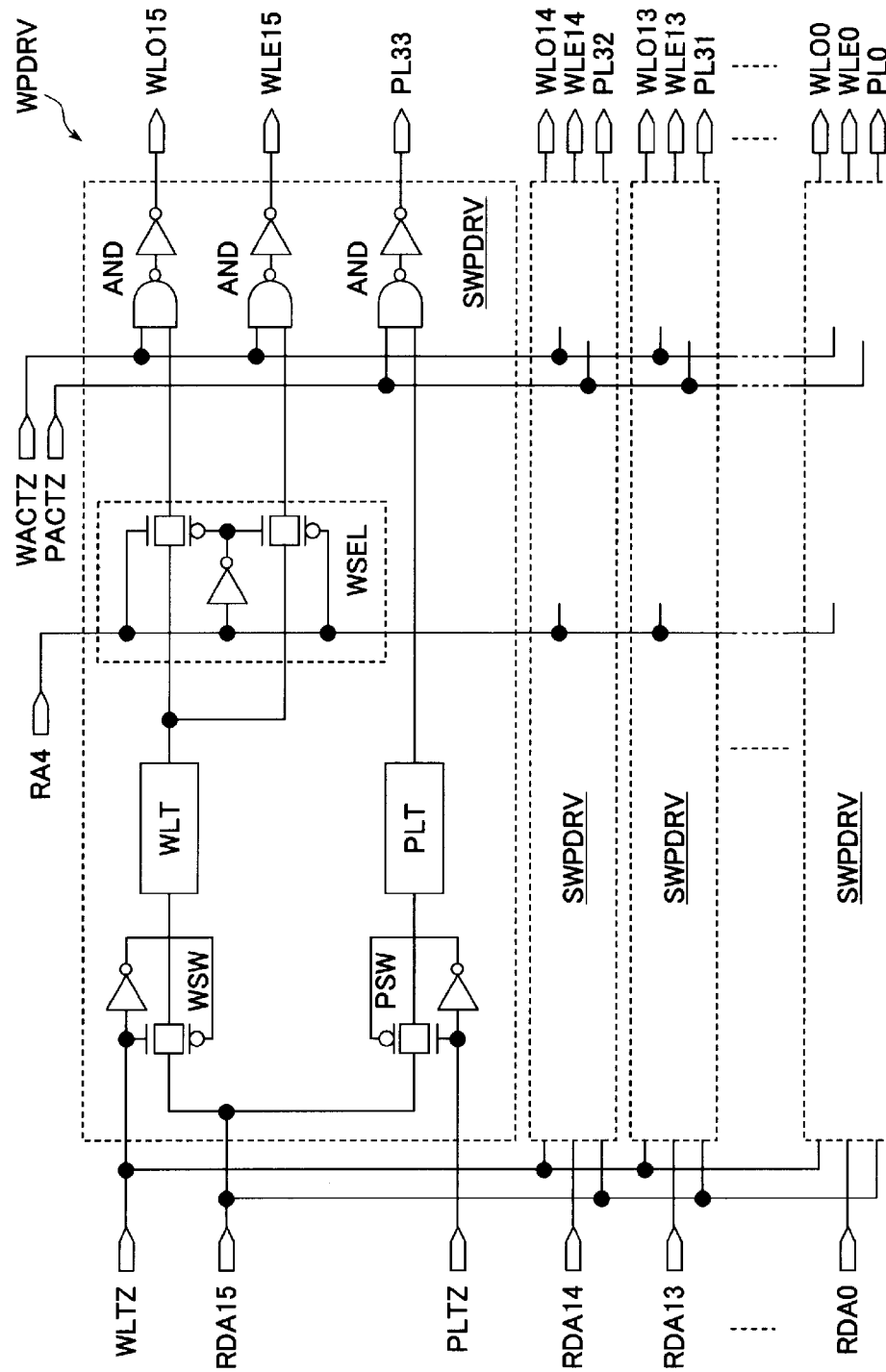
図11のメモリセルアレイの配線レイアウトの例を示す図



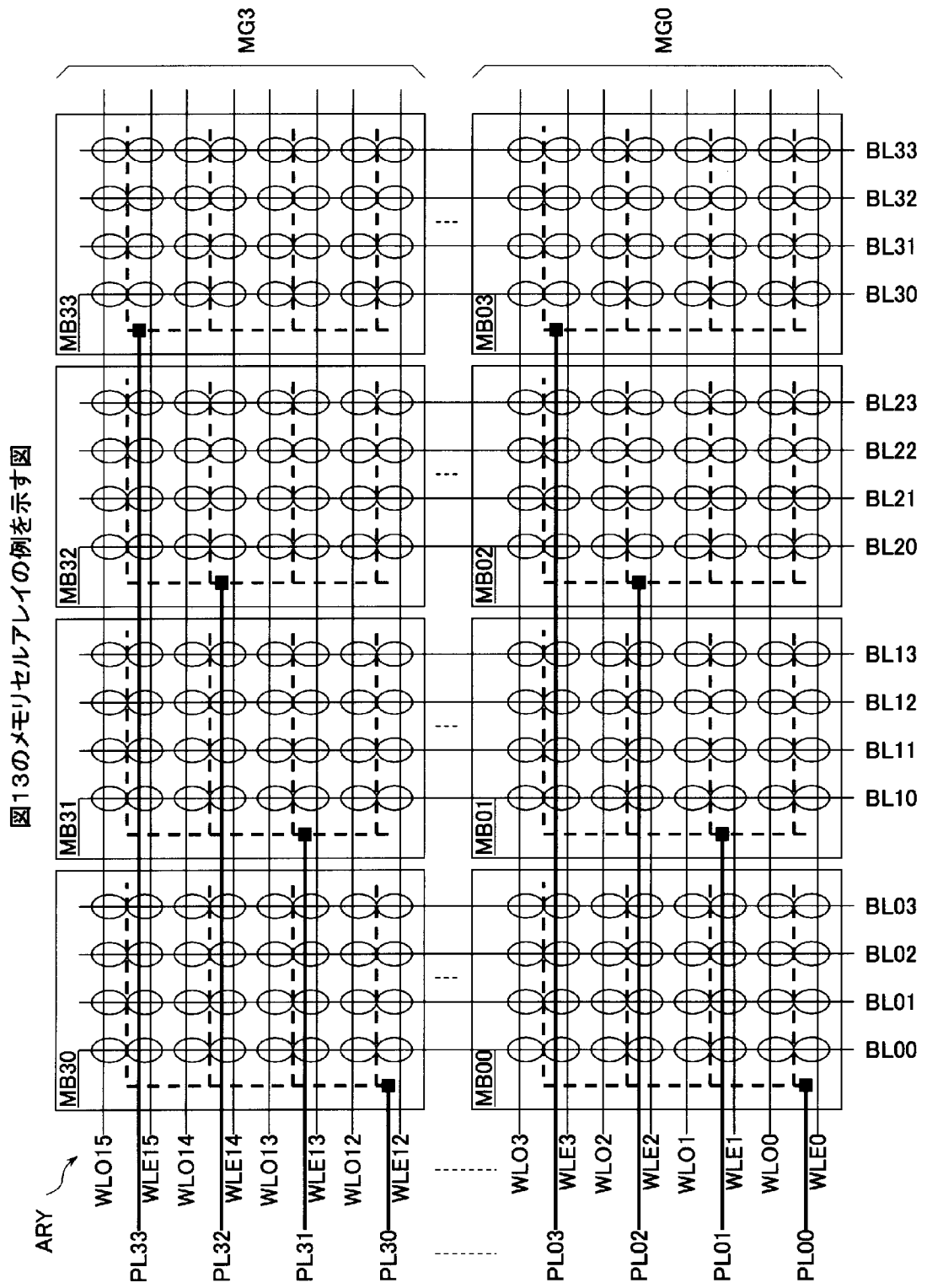


[図14]

図13のWPDRV内のSWPDRVの例を示す図



[図15]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/000982

## A. CLASSIFICATION OF SUBJECT MATTER

G11C11/22 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C11/22

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2009 |
| Kokai Jitsuyo Shinan Koho | 1971-2009 | Toroku Jitsuyo Shinan Koho | 1994-2009 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                             | Relevant to claim No. |
|-----------|--------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 2001-358312 A (Fujitsu Ltd.),<br>26 December, 2001 (26.12.01),<br>Par. Nos. [0050] to [0064]; Figs. 9, 10<br>(Family: none) | 1-13                  |

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance  
 "E" earlier application or patent but published on or after the international filing date  
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 "O" document referring to an oral disclosure, use, exhibition or other means  
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
 "&" document member of the same patent family

Date of the actual completion of the international search  
09 July, 2009 (09.07.09)

Date of mailing of the international search report  
21 July, 2009 (21.07.09)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

|                                                                                                                                                                                                                                                                                                                                                                                                                                              |                                                                                  |                                                       |                |
|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------|-------------------------------------------------------|----------------|
| A. 発明の属する分野の分類（国際特許分類（I P C））<br>Int.Cl. G11C11/22(2006.01)i                                                                                                                                                                                                                                                                                                                                                                                 |                                                                                  |                                                       |                |
| B. 調査を行った分野<br>調査を行った最小限資料（国際特許分類（I P C））<br>Int.Cl. G11C11/22                                                                                                                                                                                                                                                                                                                                                                               |                                                                                  |                                                       |                |
| 最小限資料以外の資料で調査を行った分野に含まれるもの<br>日本国実用新案公報 1922-1996年<br>日本国公開実用新案公報 1971-2009年<br>日本国実用新案登録公報 1996-2009年<br>日本国登録実用新案公報 1994-2009年                                                                                                                                                                                                                                                                                                             |                                                                                  |                                                       |                |
| 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）                                                                                                                                                                                                                                                                                                                                                                                                       |                                                                                  |                                                       |                |
| C. 関連すると認められる文献                                                                                                                                                                                                                                                                                                                                                                                                                              |                                                                                  |                                                       |                |
| 引用文献の<br>カテゴリー*                                                                                                                                                                                                                                                                                                                                                                                                                              | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                |                                                       | 関連する<br>請求項の番号 |
| A                                                                                                                                                                                                                                                                                                                                                                                                                                            | JP 2001-358312 A（富士通株式会社）2001. 12. 26,<br>第 0050-0064 段落, 第 9, 10 図<br>（ファミリーなし） |                                                       | 1-13           |
| <input type="checkbox"/> C 欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。                                                                                                                                                                                                                                                                                                                                                    |                                                                                  |                                                       |                |
| * 引用文献のカテゴリー<br>「A」特に関連のある文献ではなく、一般的技術水準を示すもの<br>「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの<br>「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）<br>「O」口頭による開示、使用、展示等に言及する文献<br>「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献<br>「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの<br>「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの<br>「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの<br>「&」同一パテントファミリー文献 |                                                                                  |                                                       |                |
| 国際調査を完了した日<br>09. 07. 2009                                                                                                                                                                                                                                                                                                                                                                                                                   |                                                                                  | 国際調査報告の発送日<br>21. 07. 2009                            |                |
| 国際調査機関の名称及びあて先<br>日本国特許庁（I S A / J P）<br>郵便番号 100-8915<br>東京都千代田区霞が関三丁目 4 番 3 号                                                                                                                                                                                                                                                                                                                                                              |                                                                                  | 特許庁審査官（権限のある職員）<br>高野 芳徳<br>電話番号 03-3581-1101 内線 3586 | 5 N 3561       |