



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201519370 A

(43)公開日：中華民國 104 (2015) 年 05 月 16 日

(21)申請案號：103106118

(22)申請日：中華民國 103 (2014) 年 02 月 24 日

(51)Int. Cl. : *H01L21/8247(2006.01)*

H01L27/115 (2006.01)

(30)優先權：2013/11/13 美國

61/903,460

(71)申請人：東芝股份有限公司 (日本) KABUSHIKI KAISHA TOSHIBA (JP)
日本

(72)發明人：永島賢史 NAGASHIMA, SATOSHI (JP)；山脇秀之 YAMAWAKI, HIDEYUKI (JP)；織田達廣 ODA, TATSUHIRO (JP)；福村達也 FUKUMURA, TATSUYA (JP)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：15 項 圖式數：15 共 41 頁

(54)名稱

非揮發性半導體儲存裝置

NONVOLATILE SEMICONDUCTOR STORAGE DEVICE

(57)摘要

本發明係關於一種非揮發性半導體儲存裝置，其包含：一 NAND 串，其包含以一第一方向安置之記憶體單元，及鄰近於定位在該等記憶體單元之一端處之一第一記憶體單元之以第一方向安置之一選擇閘極。一第一間隙安置在該等記憶體單元之間，且一第二間隙安置在該第一記憶體單元與該選擇閘極之間。再者，在一橫截面形狀中，該第二間隙之一頂端高於一第一間隙之一頂端，且該第二間隙之一頂部係彎曲的。

A nonvolatile semiconductor storage device includes a NAND string including memory cells disposed in a first direction and a select gate disposed first-directionally adjacent to a first memory cell located at an end of the memory cells. A first gap is disposed between the memory cells and a second gap is disposed between the first memory cell and the select gate. Further, in a cross sectional shape, an upper end of the second gap is higher than an upper end of a first gap and an upper portion of the second gap is curved.

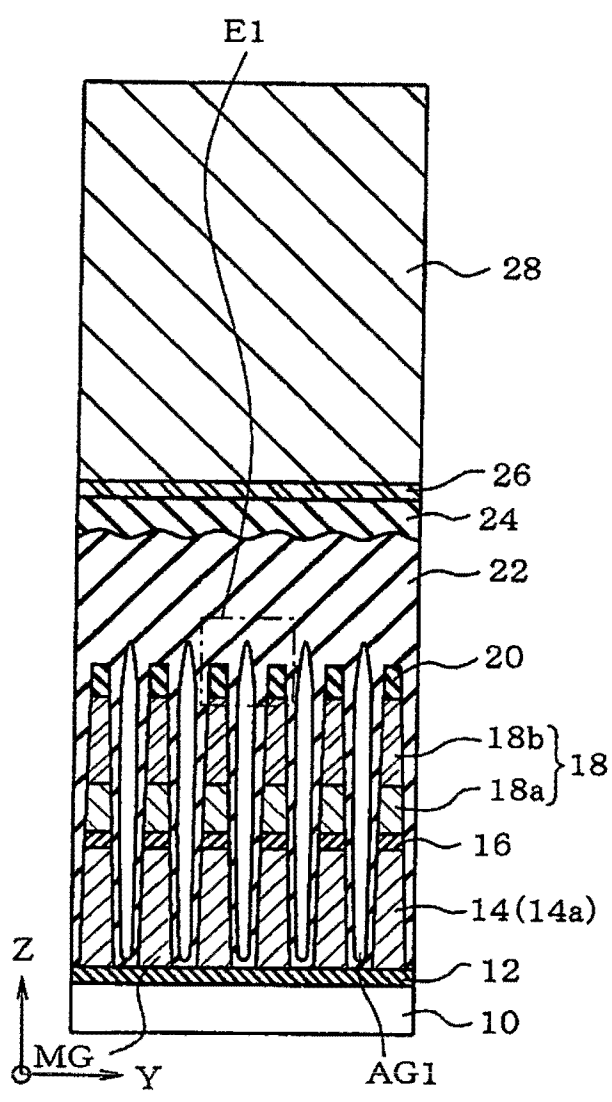
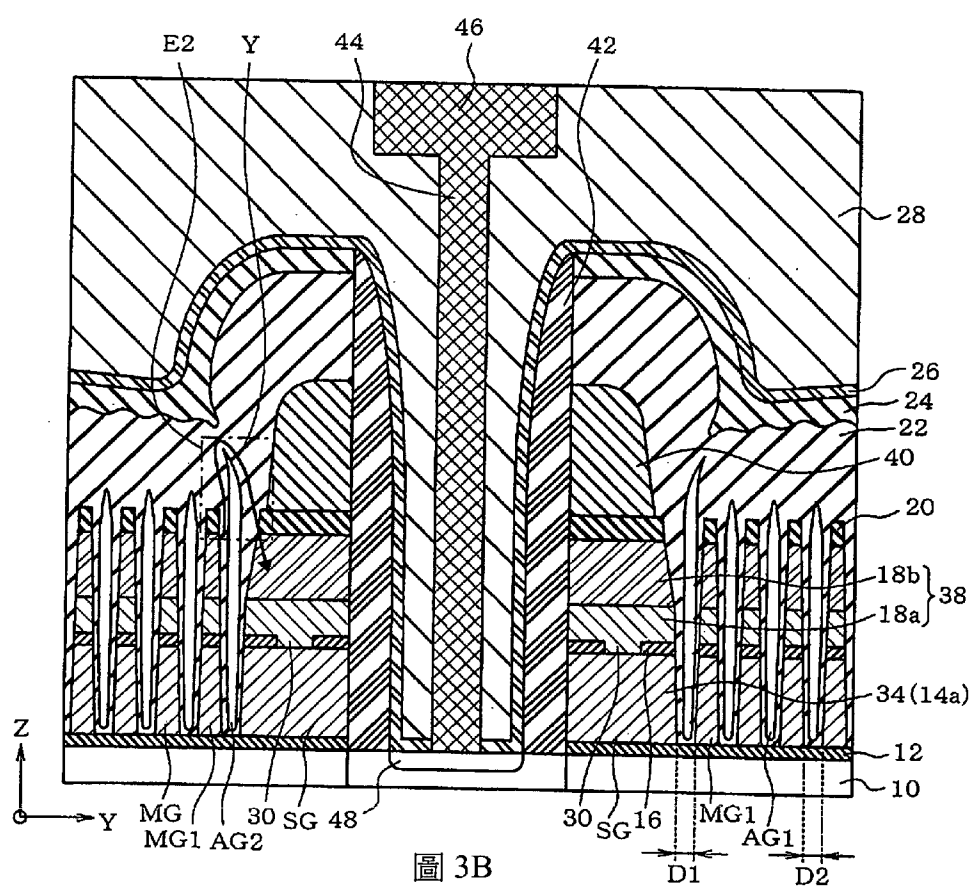


圖 3A

- 10 . . . 半導體基板
- 12 . . . 閘極絕緣膜
- 14 . . . 電荷儲存層
- 14a . . . 第一多晶矽膜
- 16 . . . 電極間絕緣膜
- 18 . . . 控制電極
- 18a . . . 第二多晶矽膜
- 18b . . . 金屬膜
- 20 . . . 蓋絕緣膜
- 22 . . . 絕緣膜
- 24 . . . 第一層間絕緣膜
- 26 . . . 中止膜
- 28 . . . 第二層間絕緣膜
- 30 . . . 通孔
- 34 . . . 底電極
- 38 . . . 頂電極
- 40 . . . 遮罩絕緣膜
- 42 . . . 側壁絕緣膜
- 44 . . . 接觸件
- 46 . . . 佈線
- 48 . . . 源極/汲極區域
- AG1 . . . 空氣間隙
- AG2 . . . 空氣間隙
- D1 . . . 記憶體單元
- D2 . . . 鄰近記憶體單元
- MG . . . 記憶體單元
- MG 與選擇閘極 SG 之間之距離
- MG 之間之距離
- E1 . . . 區域
- E2 . . . 區域

MG1 . . . 記憶體單元
元
SG . . . 選擇閘極
Y . . . 方向
Z . . . 方向



發明摘要

※ 申請案號：103106118

※ 申請日：103.2.24

※IPC 分類：H01L 21/8247 2006.01
21/115 2006.01

【發明名稱】

非揮發性半導體儲存裝置

NONVOLATILE SEMICONDUCTOR STORAGE DEVICE

【中文】

● 本發明係關於一種非揮發性半導體儲存裝置，其包含：一NAND串，其包含以一第一方向安置之記憶體單元，及鄰近於定位在該等記憶體單元之一端處之一第一記憶體單元之以第一方向安置之一選擇閘極。一第一間隙安置在該等記憶體單元之間，且一第二間隙安置在該第一記憶體單元與該選擇閘極之間。再者，在一橫截面形狀中，該第二間隙之一頂端高於一第一間隙之一頂端，且該第二間隙之一頂部係彎曲的。

【英文】

● A nonvolatile semiconductor storage device includes a NAND string including memory cells disposed in a first direction and a select gate disposed first-directionally adjacent to a first memory cell located at an end of the memory cells. A first gap is disposed between the memory cells and a second gap is disposed between the first memory cell and the select gate. Further, in a cross sectional shape, an upper end of the second gap is higher than an upper end of a first gap and an upper portion of the second gap is curved.

【代表圖】

【本案指定代表圖】：第（3）圖。

【本代表圖之符號簡單說明】：

10	半導體基板
12	閘極絕緣膜
14	電荷儲存層
14a	第一多晶矽膜
16	電極間絕緣膜
18	控制電極
18a	第二多晶矽膜
18b	金屬膜
20	蓋絕緣膜
22	絕緣膜
24	第一層間絕緣膜
26	中止膜
28	第二層間絕緣膜
30	通孔
34	底電極
38	頂電極
40	遮罩絕緣膜
42	側壁絕緣膜
44	接觸件
46	佈線
48	源極/汲極區域
AG1	空氣間隙
AG2	空氣間隙

D1	記憶體單元MG與選擇閘極SG之間之距離
D2	鄰近記憶體單元MG之間之距離
E1	區域
E2	區域
MG	記憶體單元
MG1	記憶體單元
SG	選擇閘極
Y	方向
Z	方向

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

(無)

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

非揮發性半導體儲存裝置

NONVOLATILE SEMICONDUCTOR STORAGE DEVICE

相關申請案之交叉參考

本申請案係基於且主張2013年11月13日申請之美國臨時專利申請案第61/903,460號之優先權利，該案之全文以引用之方式併入本文中。

【技術領域】

本發明揭示之實施例通常係關於一種非揮發性半導體儲存裝置。

【先前技術】

通常需要減小在非揮發性半導體儲存裝置(諸如一NAND快閃記憶體)中之晶片大小。常常藉由減小所謂之NAND串之長度實現此。減小在記憶體單元與選擇閘極之間之距離在減小該NAND串之長度中係有效的。然而，減小在記憶體單元與選擇閘極之間之距離可增加在記憶體單元與選擇閘極之間發生之洩漏電流之量。

【發明內容】

本發明之實施例實現一種非揮發性半導體儲存裝置，其能夠在不增加在記憶體單元與選擇閘極之間發生之洩漏電流之量的情況下，減小在記憶體單元與選擇閘極之間之距離。

在一實施例中，一非揮發性半導體儲存裝置包含：一NAND串，其包含以一第一方向上安置之記憶體單元及鄰近於在該等記憶體單元之一端處定位之一第一記憶體單元以第一方向安置之一選擇閘

極。一第一間隙安置在該等記憶體單元之間及一第二間隙安置在該第一記憶體單元與該選擇閘極之間。再者，在一橫截面形狀中，該第二間隙之一頂端高於一第一間隙之一頂端，且該第二間隙之一頂部係彎曲的。

【圖式簡單說明】

圖1係示意性圖解說明在一項實施例之一NAND快閃記憶體裝置中提供之一記憶體單元區塊之一電組態之一方塊圖之一項實例。

圖2係部分記憶體單元區域M之一平面佈局之一項示意性實例。

圖3A及圖3B係示意性圖解說明一項實例之一NAND快閃記憶體裝置之垂直橫截面視圖之實例。

圖4A係空氣間隙AG1之一放大橫截面視圖之一項示意性實例，而圖4B係空氣間隙AG2之一放大橫截面視圖之一項示意性實例。

圖5A至圖5C係以時間順序圖解說明靠近選擇閘極SG之絕緣膜22之形成之橫截面視圖之示意性實例。

圖6A至圖14A及圖6B至圖14B之各者例證一項實施例之一NAND快閃記憶體裝置之製造處理流程之一個階段。

圖15係字線WL之一接線部分之一平面圖之一項實例。

【實施方式】

(第一實施例)

參考圖1至圖15透過一NAND快閃記憶體裝置應用在下文描述一非揮發性半導體儲存裝置之一第一實施例。在下列描述中，用相同之參考符號識別在功能上係相同之元件及結構。該等圖並不按比例繪製且因此並不反映特徵之實際測量，諸如與平面尺寸之厚度相關性及不同層之相對厚度。另外，方向術語(諸如，上、下、低、左及右)係用於具有稍後描述之半導體基板之表面(在其上形成電路)面向上之一假定之一相關內容脈絡。因此，方向術語不必要對應於基於重力加速度

之方向。在下列描述中，為易於解釋使用XYZ正交座標系統。在該座標系統中，X方向及Y方向指示平行於一半導體基板之表面之方向且係正交於彼此。X方向指示字線WL延伸之方向及Y方向(係正交於X方向)指示位元線BL延伸之方向。基於係一非揮發性半導體儲存裝置之一項實例之NAND快閃記憶體描述該實施例且無論何時可用將參考可互換技術。

圖1係圖解說明一NAND快閃記憶體裝置之記憶體單元區塊之一電組態之一示意圖之一項實例。如在圖1中所展示，NAND快閃記憶體裝置1主要包括藉由在一矩陣中配置之多個記憶體單元組態之記憶體單元陣列Ar。

在記憶體單元區域M中定位之記憶體單元陣列Ar包含多個單位記憶體單元UC。單位記憶體單元UC包含連接至位元線BL₀至BL_{n-1}之選擇電晶體STD及連接至源極線SL之選擇電晶體STS。在選擇電晶體STD與STS之間，m (例如，m等於2^k)數目之連續連接之記憶體單元電晶體MT₀至MT_{m-1}安置在選擇電晶體STD與STS之間。

單位記憶體單元UC組成一記憶體單元區塊且複數個記憶體單元區塊組成記憶體單元陣列Ar。一單一區塊包括沿列方向(如在圖1中觀察之左方向及右方向)對準之n數目之單位記憶體單元UC。記憶體單元陣列Ar組成沿行方向(如在圖1中觀察之上方向及下方向)對準之複數個區塊。為簡單起見，圖1僅展示一個區塊。

選擇電晶體STD之閘極連接至控制線SGD。連接至位元線BL₀至BL_{n-1}之第mth記憶體單元電晶體MT_{m-1}之控制閘極連接至字線WL_{m-1}。連接至位元線BL₀至BL_{n-1}之第三記憶體單元電晶體MT₂之控制閘極連接至字線WL₂。連接至位元線BL₀至BL_{n-1}之第二記憶體單元電晶體MT₁之控制閘極連接至字線WL₁。連接至位元線BL₀至BL_{n-1}之第一記憶體單元電晶體MT₀之控制閘極連接至字線WL₀。連接至源極線SL之選擇

電晶體STS之閘極連接至控制線SGS。控制線SGD、字線 WL_0 至 WL_{m-1} 、控制線SGS及源極線SL之各者與位元線 BL_0 至 BL_{n-1} 交叉。位元線 BL_0 至 BL_{n-1} 連接至一感測放大器(未展示)。

藉由共同控制線SGD電連接列方向對準單位記憶體單元UC之選擇電晶體STD之閘電極。類似地，藉由共同控制線SGS電連接列方向對準單位記憶體單元UC之選擇電晶體STS之閘電極。每一選擇電晶體STS之源極連接至共同源極線SL。分別藉由字線 WL_0 至 WL_{m-1} 電連接列方向對準單位記憶體單元UC之選擇電晶體 MT_0 至 MT_{m-1} 之閘電極之各者。

圖2係部分記憶體單元區域M之一平面佈局之一項示意性實例。為簡單起見，字線 WL_0 至 WL_{m-1} 及記憶體單元電晶體 MT_0 至 MT_{m-1} 在下文亦稱為字線WL及記憶體單元電晶體MT。

如在圖2中展示，源極線SL、控制線SGS及控制線SGD之各者在X方向(在圖1中指示之該列方向)上延伸且係在Y方向(在圖1中指示之該行方向)上彼此隔開。

元件隔離區域Sb在Y方向上延伸。該元件隔離區域Sb採取一STI(淺渠溝隔離)結構，其中渠溝係用一絕緣膜充填。元件隔離區域Sb在X方向上彼此隔開一預定距離。因此，元件隔離區域Sb在X方向上隔離在沿Y方向之半導體基板2之一表面層中形成之元件區域Sa。換言之，元件隔離區域Sb定位在元件區域Sa之間，意指，半導體基板係藉由元件隔離區域Sb而劃界為元件區域Sa。未展示之位元線BL係沿Y方向對準，使得其安置在元件區域Sa上方且彼此隔開一預定距離。位元線BL係經由位元線接觸件BLC而連接至元件區域Sa。

字線WL在正交於元件區域Sa之一方向(如在圖2中觀察之X方向)上延伸。字線WL在Y方向上彼此隔開一預定距離。在定位在與字線WL之交叉點處之元件區域Sa上方，安置記憶體單元電晶體MT。Y方

向上鄰近之記憶體單元電晶體MT組成亦被稱為一記憶體單元串之一NAND串之一部分。

在定位在與控制線SGS及SGD之交叉點處之元件區域Sa上方，安置選擇電晶體STS及STD。Y方向上鄰近在該NAND串之兩端處定位之記憶體單元電晶體MT（記憶體單元MG1）之外側安置選擇電晶體STS及STD。

連接至源極線SL之選擇電晶體STS在X方向上對準，且選擇電晶體STS之閘電極係藉由控制線SGS電互連。選擇電晶體STS之閘電極形成在與控制線SGS交叉之元件區域Sa上方。在源極線SL與位元線BL之交叉點處提供源極線接觸件SLC。

選擇電晶體STD在X方向上對準，且選擇電晶體STD之閘電極係藉由控制線SGD電互連。選擇電晶體STD之閘電極形成在與控制線SGD交叉之元件區域Sa上方。於定位在鄰近選擇電晶體STD之間之元件區域Sa中提供位元線接觸件BLC。

上文描述概括第一實施例之NAND快閃記憶體裝置之基本結構。

參考圖3A及圖3B詳細描述第一實施例之結構。圖3A及圖3B係示意性圖解說明第一實施例之NAND快閃記憶體裝置1之結構之垂直橫截面視圖之實例。圖3A係沿圖2之線3A-3A取得之一橫截面結構之一橫截面視圖之一項實例。圖3B係沿圖2之線3B-3B取得之一橫截面結構之一橫截面視圖之一項實例。

圖3A圖解說明一記憶體單元區域之橫截面結構。

參考圖3A，在半導體基板10上方提供記憶體單元MG。具有一P導電類型之一矽基板可用作半導體基板10。在半導體基板10上方，形成閘極絕緣膜12，其可(例如)由藉由熱氧化半導體基板10 (矽基板)獲得之一氧化矽膜形成。

在閘極絕緣膜12上方，藉由堆疊電荷儲存層14、電極間絕緣膜

16及控制電極18形成記憶體單元MG。電荷儲存層14可(例如)由摻雜雜質之一多晶矽(第一多晶矽膜14a)形成。雜質之實例包含磷、硼或類似物。電極間絕緣膜16之實例包含(例如)：由逐疊層堆疊之一氧化矽膜、一氮化矽膜及一氧化矽膜形成之一ONO (氧/氮/氧)膜；及包含逐疊層堆疊之一多晶矽及一阱層(諸如HfO)之一結構。控制電極18 (例如)係由一摻雜雜質之一多晶矽(第二多晶矽膜18a)及在第二多晶矽膜18a上方堆疊之金屬膜18b形成。第二多晶矽膜18a可用雜質(諸如磷或硼)摻雜。金屬膜18b可(例如)由藉由噴鍍形成之鎢(W)形成。金屬膜18b可包含在其底部部分之一障壁金屬膜，換言之，在與第二多晶矽膜18a之接觸介面處。障壁金屬膜可(例如)由(例如)藉由噴鍍形成之氮化鎢(WN)形成。在此情況下，金屬膜18b可(例如)由氮化鎢及鎢之一堆疊形成。使用障壁金屬膜(例如)以防止在組成第二多晶矽膜18a之多晶矽與組成金屬膜18b之鎢之間的矽反應。在堆疊電荷儲存層14與控制電極18之間提供電極間絕緣膜16。電荷儲存層14及控制電極18係藉由電極間絕緣膜16而彼此隔開。

在記憶體單元MG之間存在間隙且形成用於覆蓋間隙之絕緣膜22，使得絕緣膜22跨記憶體單元MG之頂部部分延伸。因為間隙之頂部部分係藉由充當一蓋之絕緣膜22封圍，所以在記憶體單元MG之間安置之間隙係空氣間隙AG1。絕緣膜22可(例如)由藉由電漿CVD形成之氧化矽膜形成。因為絕緣膜22在提供弱覆蓋之條件下形成，所以空氣間隙AG1並不完全被絕緣膜22充填。因此，可在空氣間隙AG1中形成絕緣膜22，使得絕緣膜22沿記憶體單元MG之側壁延伸。空氣間隙AG1減小在記憶體單元MG之間之寄生電容。

在絕緣膜22上方，安置第一層間絕緣膜24、中止層26及第二層間絕緣膜28。第一層間絕緣膜24及第二層間絕緣膜28可係由藉由使用TEOS (四乙氧基矽烷)(例如)作為一來源氣之CVD形成之一氧化矽膜

形成。中止層26可係由(例如)藉由CVD形成之一氮化矽膜形成。

圖3B圖解說明沿圖2之線3B-3B取得之一部分之一項實例，換言之，鄰近單位記憶體單元UC之一橫截面結構。更特定而言，圖3B圖解說明沿鄰近彼此定位之單位記憶體單元UC之各者之選擇電晶體STS及記憶體單元MG取得之一橫截面之一項實例。單位記憶體單元UC之選擇閘極電晶體STD側係以一類似方式結構化。圖3B繪示安置在半導體基板10上方之一對選擇閘極SG。在該對選擇閘極SG之Y方向側，安置記憶體單元MG。在Y方向鄰近於選擇閘極SG之記憶體單元MG下文中稱為記憶體單元MG1。在半導體基板10上方，形成閘極絕緣膜12。在圖3B中圖解說明之記憶體單元MG之結構實質上相同於基於圖3A描述之記憶體單元MG。選擇閘極SG包含在閘極絕緣膜12上方安置之底電極34、電極間膜16及頂電極38。底電極34包括第一多晶矽膜14a。頂電極38包括第二多晶矽膜18a及在第二多晶矽膜18a上方堆疊之金屬膜18b。金屬膜18b可包含在其底部部分之一障壁金屬膜，換言之，在與第二多晶矽膜18a之接觸介面處，如記憶體單元MG之情況一樣。

電極間絕緣膜16安置在底電極34及頂電極38之間。電極間絕緣膜16具有在選擇閘極SG之Y方向中心定位之開口30。底電極34及頂電極38係透過開口30電連接。蓋絕緣膜20形成在頂電極38上方。遮罩絕緣膜40形成在蓋絕緣膜20上方。選擇閘極堆疊包括選擇閘極SG、蓋絕緣膜20及遮罩絕緣膜40，且因此係比記憶體單元MG及蓋絕緣膜20之堆疊結構高，此因為在選擇閘極SG中添加遮罩絕緣膜40之厚度。

在記憶體單元MG1與選擇閘極SG之間存在間隙，且形成用於覆蓋該等間隙之絕緣膜22，使得絕緣膜22跨記憶體單元MG1及選擇閘極SG之頂部部分延伸。因為間隙之頂部部分係藉由充當一蓋之絕緣膜22封圍，所以安置在記憶體單元MG1與選擇閘極SG之間之間隙係空

氣間隙AG2。空氣間隙AG2之頂部邊緣之高度高於空氣間隙AG1之頂部邊緣之高度。在記憶體單元MG之底部表面(電荷儲存層14之底部表面部分)之高度處之Y方向上之記憶體單元MG與選擇閘極SG之間之距離d1係等於或窄(小)於在Y方向上鄰近記憶體單元MG之間之距離d2。

在層間絕緣膜22上方，安置第一層間絕緣膜24、中止膜26及第二層間絕緣膜28。在一對選擇閘極SG之間，形成接觸件44。與絕緣膜22、遮罩絕緣膜40及選擇閘極SG之側壁接觸形成側壁絕緣膜42。接觸件44之該底部部分連接至半導體基板10。在半導體基板10上方安置佈線46。如將稍後描述，第一實施例之接觸件44及佈線46係藉由雙重鑲嵌方法形成，且因此係形成為一體。在半導體基板10中，在接觸件44之該底部部分處，形成源極/汲極區域48，其係用雜質(諸如磷及砷)摻雜。

接著，將給出在圖中圖解說明之空氣間隙AG1及AG2之橫截面形狀之一描述。空氣間隙AG1在Z方向上以一拉長形狀延伸。空氣間隙AG1在左及右方向(Y方向)上係線對稱的。空氣間隙AG2高於空氣間隙AG1。空氣間隙AG1在上及下方向(Z方向)上係非對稱的。空氣間隙AG1之底部部分實質上沿鄰近記憶體單元MG及半導體基板10 (閘極絕緣膜12)之表面輪廓延伸且幾乎係矩形的。

空氣間隙AG2在上及下方向(Z方向)與左及右方向(Y方向)上皆係非對稱的。如空氣間隙AG1之情況一樣，空氣間隙AG2之底部部分在形狀上幾乎係矩形的。空氣間隙AG2之頂部部分係朝記憶體單元MG (在相對於選擇閘極SG之方向上)彎曲。

接著，給出空氣間隙AG1及AG2之頂部部分之形狀之一描述。圖4A係示意性地圖解說明空氣間隙AG1之頂部部分之形狀之一放大橫截面視圖之一項實例。圖4B係示意性地圖解說明空氣間隙AG2之頂部部分之形狀之一放大橫截面視圖之一項實例。圖4A係在圖3A中圖解說

明之區域E1之一放大視圖，而圖4B係在圖3B中圖解說明之區域E2之一放大視圖。如在圖4A及圖4B中展示，儘管圖中僅展示三個拐點H1、H2及H3，但空氣間隙AG1及AG2經塑形使得其等頂部部分之各者具有三個或更多個拐點。

在空氣間隙AG1之頂部部分之頂部邊緣中，藉由在鄰近記憶體單元(記憶體單元MG1)之堆疊結構上方沈積之絕緣膜22而封圍間隙。間隙之頂部邊緣(在該等拐點中拐點H2係在Z方向上標高最高的之部分)終止於一尖梢。在空氣間隙AG2之頂部邊緣中，藉由在鄰近記憶體單元之堆疊結構及選擇閘極之堆疊結構上方沈積之絕緣膜22而封圍間隙。間隙之頂部邊緣(在該等拐點中拐點H2係在Z方向上標高最高的之部分)終止於一尖梢。空氣間隙AG2之拐點H2 (間隙之梢部分)在沿Z方向取得之標高上高於空氣間隙AG1之拐點H2，且係自介於記憶體單元MG1與選擇閘極SG之間之中點朝記憶體單元MG1在Y方向上移位。空氣間隙AG2之拐點H2可定位在Y方向上鄰近於選擇閘極SG之記憶體單元之堆疊結構上方。空氣間隙AG2之拐點H2定位在Z方向上中止膜26之一部分下方，該部分自中止膜26之平面部分上升。

因為以下列方式形成絕緣膜22，所以據信產生上文描述之形狀。圖5A至圖5C係以時間順序示意性地圖解說明如何靠近選擇閘極SG形成絕緣膜22之垂直橫截面視圖之實例。在圖5A至圖5C中圖解說明之等同於在圖3B中圖解說明之元件係藉由相同參考符號識別且並不再描述。

圖5A圖解說明起始之絕緣膜22的沈積。藉由使用(例如)在一製造設備之一反應室內產生之TEOS作為由電漿分解之一來源氣以產生氧化矽膜之沈積粒子50的沈積物而形成絕緣膜22。沈積粒子50自各種方向沈積在記憶體單元MG或選擇閘極SG之表面上方。為易於解釋，僅展示相對於Z方向傾斜下降(斜組分)之沈積粒子50。遮罩絕緣膜40安

置在選擇閘極SG上方，且因此，依據遮罩絕緣膜40之厚度，選擇閘極堆疊高於記憶體單元之堆疊結構。因此，在沈積粒子50中，自ZY平面之右上方至ZY平面之左下方傳送的斜組分沈積粒子50 (50b)係由上覆選擇閘極SG的遮罩絕緣膜40阻擋，且因此不易沈積在記憶體單元MG1的表面上方。尤其，沈積粒子50幾乎不沈積在面朝選擇閘極SG之記憶體單元MG1的側壁上方。另一方面，自ZY平面之左上方至ZY平面之右下方傳送的斜組分沈積粒子50 (50a)大量沈積在面朝記憶體單元MG1之遮罩絕緣膜40的側壁上。因此，如在圖5B中展示，在該遮罩絕緣膜40之側壁部分上方形成朝記憶體單元MG1凸出之一厚絕緣膜22。因此，由在遮罩絕緣膜40之側壁部分上方形成之絕緣膜22阻擋的沈積粒子50幾乎不沈積在面朝選擇閘極SG之記憶體單元MG1的側壁上方。因此，在定位於選擇閘極SG旁之記憶體單元MG1上方沈積的沈積粒子50留下在Y方向上朝左(在對置於選擇閘極SG之方向上)彎曲之一沈積軌跡。因為藉由先前討論之阻擋效應，沈積粒子50相對少量沈積在記憶體單元MG1與選擇閘極SG之間，所以相較於在記憶體單元MG之間間隙，在選擇閘極SG旁之間隙在Z方向上進一步向上延伸。因為沈積粒子50相對大量沈積在上覆選擇閘極SG之遮罩絕緣膜40的側壁上方，所以形成於選擇閘極SG旁之間隙，使得該間隙朝記憶體單元MG1 (如在圖5B中觀察之在對置於選擇閘極SG的方向上朝左)彎曲。由於沈積粒子50之沈積進一步進行，所以如圖5C中展示，藉由絕緣膜22封圍在鄰近記憶體單元MG之間及在記憶體單元MG1與選擇閘極SG之間之間隙的頂部部分，以形成空氣間隙AG1及AG2。空氣間隙AG2係朝記憶體單元MG1彎曲，且空氣間隙AG2之頂部邊緣係標高高於空氣間隙AG1之頂部邊緣。因為沈積粒子50幾乎等量沈積在記憶體單元MG之間，所以所得之空氣間隙AG1的形狀在左及右方向上係實質上對稱的。

上文描述之空氣間隙AG1及AG2的形狀提供下列效應。在一空氣間隙中之大多數絕緣擊穿及洩漏電流通常以介面洩漏之形式發生，其中空氣間隙之內壁充當洩漏路徑。因此，藉由增加介面洩漏路徑，更有效抑制絕緣擊穿及洩漏電流係可能的。在第一實施例中，藉由增加如圖3B展示之空氣間隙AG2的高度，增加在記憶體單元MG1與選擇閘極SG之間之介面洩漏路徑Y的距離係可能的。藉由定位在記憶體單元MG1之空氣間隙AG2的拐點H2，增加介面洩漏路徑Y係進一步可能的。因此，減輕施加至記憶體單元MG及選擇閘極SG之該閘極電極之邊緣的電場係進一步可能的。在NAND快閃記憶體裝置中，於一抹除操作期間，絕緣膜擊穿或洩漏電流之可能性係大的。洩漏電流甚至在一虛設單元中發生，其中記憶體單元MG1並不用於資料儲存。此係因為在該抹除操作期間，於選擇閘極SG與連接選擇閘極SG之記憶體單元MG1之間產生一大電位差(舉例而言，0伏特可施加至記憶體單元MG1，及10伏特可施加至選擇閘極SG)。然而，藉由採取上文描述之結構，改良在記憶體單元MG1與選擇閘極SG之間之擊穿電壓係可能的。因此，減小在記憶體單元MG1與選擇閘極SG之間的距離且從而減小該NAND串的長度係可能的。換言之，藉由減小在記憶體單元MG1與選擇閘極SG之間的距離意欲以減小該NAND串的長度來實現其中抑制在記憶體單元MG1與選擇閘極SG之間之擊穿電壓之減小之一空氣間隙結構係可能的。

接著，參考圖3A及圖3B、圖6A及圖6B至圖14A及圖14B，給出用於製造第一實施例之半導體儲存裝置之處理流程之描述。圖6A及圖6B至圖14A及圖14B係圖解說明第一實施例之製造處理流程之一個階段之實例之橫截面視圖。

首先，如在圖6A及圖6B中展示，在具有在其上方形成之閘極絕緣膜12、第一多晶矽膜14a、電極間絕緣膜16、第二多晶矽膜18a、金

屬膜18b、蓋絕緣膜20、遮罩絕緣膜40、第一遮罩膜52、第二遮罩膜54及第三遮罩膜56之半導體基板10上方形成抗蝕層58。具有一p導電類型之一矽基板(例如)可用作半導體基板10。閘極絕緣膜12可(例如)係由藉由熱氧化半導體基板10之表面形成之一氧化矽膜形成。第一多晶矽膜14a可係(例如)透過藉由CVD (化學氣相沈積)形成多晶矽及引入雜質(諸如磷或硼)而形成。電極間絕緣膜16可(例如)係由一ONO膜形成。ONO膜可係(例如)透過藉由(例如)CVD逐疊層形成氧化矽膜/氮化矽膜/氧化矽膜而形成。電極間絕緣膜16具有在稍後形成選擇閘極SG之一部分中形成之通孔30。第二多晶矽膜18a可係(例如)透過藉由CVD形成多晶矽及引入雜質(諸如磷或硼)而形成。金屬膜18b可係由(例如)藉由噴鍍形成之鎢形成。當將金屬膜18b形成為一障壁膜及一金屬膜之一堆疊時，障壁金屬膜可係(例如)藉由噴鍍氮化鎢且其後噴鍍鎢形成。蓋絕緣膜20可(例如)係由藉由CVD形成之一氮化矽膜形成。蓋絕緣膜20可係由一氧化矽膜(而非一氮化矽膜)形成。遮罩絕緣膜40可(例如)由藉由CVD形成之一氧化矽膜形成。第一遮罩膜52可(例如)係由藉由CVD形成之一非晶矽膜形成。第二遮罩膜54可(例如)係由藉由CVD形成之一碳膜形成。第三遮罩膜56可(例如)係由藉由CVD形成之一氮氧化矽膜(SiON)形成。可藉由以一預定厚度在半導體基板10上方塗布抗蝕層及藉由微影術圖案化該抗蝕層而形成抗蝕層58。

接著，如在圖7A及圖7B中展示，藉由RIE (反應離子蝕刻)使用抗蝕層58作為一遮罩異向性蝕刻第三遮罩膜56及第二遮罩膜54。蝕刻最初使用抗蝕層58作為一遮罩進行穿過第三遮罩膜56。當蝕刻穿過第二遮罩膜54時，可耗散抗蝕層58。接著，蝕刻使用該圖案化之第三遮罩膜56作為一遮罩進行穿過第二遮罩膜54，且當曝露第一遮罩膜52之表面時終止。第三遮罩膜56a (定位在稍後形成記憶體單元MG之區域中)之Y方向圖樣之尺寸經組態小於在稍後形成選擇閘極SG之區域中形成

之第三遮罩膜56b之Y方向圖樣之尺寸。藉由蝕刻之微負載效應容易蝕刻小尺寸之圖樣。因此，當厚化第三遮罩膜56b時，薄化第三遮罩膜56a。

接著，如在圖8A及圖8B中展示，細化第二遮罩膜54。例如，藉由同向性乾蝕刻使用氧電漿細化第二遮罩膜54。如上文描述，(例如)當第二遮罩膜54係由碳製成時，藉由氧電漿執行蝕刻。因此，減小第二遮罩膜54之橫向尺寸。用對第三遮罩膜56及第一遮罩膜52低之蝕刻率執行蝕刻。因此，僅第二遮罩膜54後縮，而第三遮罩膜56及第一遮罩膜52幾乎不後縮。

接著，如圖9A及圖9B中展示，形成絕緣膜60，使得其覆蓋第三遮罩膜56a及56b、第二遮罩膜54及第一遮罩膜52。絕緣膜60可(例如)由氧化矽膜形成。絕緣膜60可(例如)藉由在提供優良覆蓋及低膜形成溫度之條件下執行之CVD形成。

接著，如圖10A及圖10B中展示，回蝕刻絕緣膜60以沿第二遮罩膜54之側壁自絕緣膜60形成絕緣膜60a及60b。亦在絕緣膜60之回蝕刻期間蝕刻第三遮罩膜56a及56b。因為第三遮罩膜56a係小的，所以藉由微負載效應增加第三遮罩膜56a之蝕刻率，且從而在回蝕刻期間隨絕緣膜60耗散。儘管第三遮罩膜56b在一定程度上係被移除，但因為第三遮罩膜56b係大的，所以第三遮罩膜56b沿第二遮罩膜54餘留。沿第三遮罩膜56b及第二遮罩膜54之側壁連續形成絕緣膜60b。下伏於第三遮罩膜56b之第二遮罩膜54係藉由第三遮罩膜56b及絕緣膜60b覆蓋且從而未被曝露。

接著，如圖11A及圖11B中展示，選擇性地移除第二遮罩膜54。例如，可藉由氧電漿灰化移除第二遮罩膜54 (碳)。因此，形成絕緣膜60a之柱。第二遮罩膜54餘留在第三遮罩膜56b下方。

接著，如在圖12A及圖12B中展示，使用絕緣膜60a及第三遮罩膜56b以及沿第三遮罩膜56b之側壁安置之絕緣膜60b作為一遮罩，逐一

蝕刻第一遮罩膜52、遮罩絕緣膜40、蓋絕緣膜20、金屬膜18b、第二多晶矽膜18a、電極間絕緣膜16及堆疊電荷儲存層14。因此，形成記憶體單元MG及稍後形成至選擇閘極SG中之圖樣SGP。取決於蝕刻目標，蝕刻在變化條件中依據RIE方法異向性地進行。蝕刻停止在閘極絕緣膜12上。在在蝕刻期間第三遮罩膜56b耗散的情況下，下伏第二遮罩膜54充當蝕刻遮罩。在蝕刻遮罩絕緣膜40 (氧化矽膜)期間耗散絕緣膜60a及60b (氧化矽膜)及第二遮罩膜54 (碳)的情況下，下伏第一遮罩膜52 (非晶矽)充當用於蝕刻遮罩絕緣膜40之一遮罩。因為在記憶體單元MG上方安置之遮罩絕緣膜40 (在下文中由40a代表)之尺寸係小的，所以在藉由微負載效應蝕刻期間，遮罩絕緣膜40a後縮且從而薄化。因為在圖樣SGP上方安置之遮罩絕緣膜40 (在下文中由40b代表)之尺寸係大的，所以在蝕刻期間遮罩絕緣膜40b不易後縮且從而維持厚的。由於蝕刻，遮罩絕緣膜40a之厚度變薄，且遮罩絕緣膜40b之厚度變厚。此可係重新描述為遮罩絕緣膜40b高於遮罩絕緣膜40a。

接著，如在圖13A及圖13B中展示，使用稀氫氟酸蝕除遮罩絕緣膜40a。在此情況下，遮罩絕緣膜40b亦異向性地後縮。因此，在蓋絕緣膜20及遮罩絕緣膜40b之間之介面可係階狀的。

接著，如在圖14A及圖14B中展示，在記憶體單元MG及圖樣SGP上方形成絕緣膜22。絕緣膜22可(例如)係由藉由在提供弱覆蓋之條件下之電漿CVD形成之一氧化矽膜形成。因此，藉由上文描述之處理流程形成空氣間隙AG1及AG2係可能的。絕緣膜22形成之細節係如先前參考圖5A至圖5C提及。因為空氣間隙AG2之頂端可係製成高於空氣間隙AG1之頂端，所以減小在記憶體單元MG1與選擇閘極SG之間之洩漏電流係可能的。此外，因為可減小在記憶體單元MG1與選擇閘極SG之間之距離，所以減小該NAND串之長度係可能的。

接著，如在圖3A及3B中展示，在下伏結構整個上方形成第一層間絕

緣膜24，而後藉由微影術及RIE移除圖樣SGP之該中心部分。第一層間絕緣膜24可係由藉由使用TEOS (四乙氧基矽烷)(例如)作為一來源氣之CVD形成之一氧化矽膜形成。接著，在形成側壁絕緣膜42後，形成中止膜26，接著形成第二層間絕緣膜28，而後藉由CMP (化學機械拋光)平坦化整個表面。側壁絕緣膜42 (例如)係由氮化矽膜形成。第二層間絕緣膜28 (例如)係由一氧化矽膜形成。接著，(例如)藉由雙重鑲嵌方法形成接觸件44及佈線46。可藉由上文描述之處理流程形成第一實施例之該半導體裝置。

在參考圖12A、圖12B、圖13A及圖13B描述之程序步驟中，移除在記憶體單元MG上方之遮罩絕緣膜40a，使得遮罩絕緣膜40a未餘留在記憶體單元MG上方。此係因為在遮罩絕緣膜40a實質上係與安置在圖樣SGP上方之遮罩絕緣膜40b一樣厚的情況下，將造成空氣間隙AG1亦係高的。

接著，將給出形成最高空氣間隙之一位置之一描述。圖15係圖解說明字線WL之一接線區域之圖樣之一平面圖之一項實例。在圖15中，字線WL在X方向(自在圖2中圖解說明之佈局之視圖中朝上定向)延伸，使得字線WL在Y方向上具有一預定隔開彼此之空間。自圖2延伸之字線WL經安排路線，使得其在Y方向上係彎曲的以能夠與襯墊62連接。在圖15中之圓P指示在字線WL之間之間隔突然增加之部分。在係與餘留在選擇閘極SG上方之遮罩絕緣膜40b一樣厚之遮罩絕緣膜40a餘留在記憶體單元MG上方的情況下，空氣間隙AG1之頂端可變得與在由圓P代表之位置中之空氣間隙AG2之頂端一樣高或高於空氣間隙AG2之頂端。此係因為相較於間隔窄處，間隔寬處之高度(其中絕緣膜22封圍間隙)變得更高。應注意，在記憶體單元區域M中定位之空氣間隙AG1之頂端高於在由圓P代表之該部分中定位之空氣間隙AG1之頂端。因為在由圓P代表之部分中定位之空氣間隙AG1之高度係高的，所以藉由先前參考圖3A及圖3B描述之CMP拋光第二層間絕

緣膜28可敞開空氣間隙AG1之頂部部分。當空氣間隙AG1之頂部部分係敞開時，化學液體或類似物可在處理步驟中(諸如清理步驟)穿過開口進入空氣間隙AG1且當進入空氣間隙AG1之化學液體乾化失敗時，可餘留為殘餘。此外，在處理步驟(諸如佈線步驟)中使用之金屬材料進入空氣間隙AG1時，可發生佈線短路。因此，較佳地盡可能降低或移除在記憶體單元MG上方安置之遮罩絕緣膜40a，以防止定位在由圓P代表之部分之空氣間隙AG1之高度變高。安置在記憶體單元MG上方之遮罩絕緣膜40a不需要被完全移除，而是可以將提供與定位在圖樣SGP上方之遮罩絕緣膜40b足夠之厚度差(高度差)之一厚度餘留。

如上文描述，在第一實施例中，藉由增加空氣間隙AG2之高度改良在記憶體單元MG與選擇閘極SG之間之擊穿電壓係可能的。因此，減小在記憶體單元MG1與選擇閘極SG之間之距離且減小NAND串之長度係可能的。因此，實現能夠減小晶片大小之NAND快閃記憶體裝置係可能的。

(其他實施例)

可對上文描述之實施例做出下列修改。

作為電極間絕緣膜16之一個實例，應用ONO膜。然而，替代地，可應用具有高介電常數或類似物之一NONON (氮氧氮氧氮)膜或一絕緣膜。

作為組成金屬膜18b之金屬材料之一項實例使用鎢。然而，可藉由鋁(AL)或鈦(Ti)替換鎢。

透過NAND快閃記憶體應用之一實例描述上文描述之實施例，但可透過其他非揮發性半導體儲存裝置(諸如NOR快閃記憶體裝置或EEPROM)之實例描述其他實施例。

儘管已描述某些實施例，但該等實施例已僅藉由實例之方式呈現，且並不意欲限制本發明之範圍。誠然，可以多種其他形式實施本

發明之新穎實施例；此外，在不脫離本發明之精神的情況下，可以本發明描述之該等實施例之形式做出各種省略、替換及改變。由於附屬請求項及其等均等物將落入本發明之範圍及精神中，其等意欲覆蓋此等形成或修改。

【符號說明】

3A	線
3B	線
10	半導體基板
12	閘極絕緣膜
14	電荷儲存層
14a	第一多晶矽膜
16	電極間絕緣膜
18	控制電極
18a	第二多晶矽膜
18b	金屬膜
20	蓋絕緣膜
22	絕緣膜
24	第一層間絕緣膜
26	中止膜
28	第二層間絕緣膜
30	通孔
34	底電極
38	頂電極
40	遮罩絕緣膜
40a	遮罩絕緣膜
40b	遮罩絕緣膜

42	側壁絕緣膜
44	接觸件
46	佈線
48	源極/汲極區域
50	沈積粒子
50a	沈積粒子
50b	沈積粒子
52	第一遮罩膜
54	第二遮罩膜
56	第三遮罩膜
56a	第三遮罩膜
56b	第三遮罩膜
58	抗蝕層
60	絕緣膜
60a	絕緣膜
60b	絕緣膜
62	襯墊
AG1	空氣間隙
AG2	空氣間隙
BL	位元線
BL ₀	位元線
BL ₁	位元線
BL ₂	位元線
BL ₃	位元線
BL _{n-1}	位元線
BLC	位元線接觸件

D1	記憶體單元MG與選擇閘極SG之間之距離
D2	鄰近記憶體單元MG之間之距離
E1	區域
E2	區域
M	記憶體單元區域
MG	記憶體單元
MG1	記憶體單元
MT	記憶體單元電晶體
MT ₀	第一記憶體單元電晶體
MT ₁	第二記憶體單元電晶體
MT ₂	第三記憶體單元電晶體
MT _{m-2}	第m-1記憶體單元電晶體
MT _{m-1}	第m記憶體單元電晶體
H1	拐點
H2	拐點
H3	拐點
P	圓
Sa	元件區域
Sb	元件隔離區域
SG	選擇閘極
SGD	控制線
SGS	控制線
SGP	圖樣
SL	源極線
SLC	源極線接觸件
STD	選擇電晶體

STS	選擇電晶體
WL	字線
WL ₀	字線
WL ₁	字線
WL ₂	字線
WL _{m-2}	字線
WL _{m-1}	字線
UC	單位記憶體單元
Y	介面洩漏路徑
Z	方向

申請專利範圍

1. 一種非揮發性半導體儲存裝置，其包括：

一NAND串，其包含以一第一方向安置之記憶體單元，及以該第一方向鄰近定位於該等記憶體單元之一端處之一第一記憶體單元而安置之一選擇閘極；

一第一間隙，其安置在該等記憶體單元之間；及

一第二間隙，其安置在該第一記憶體單元與該選擇閘極之間；

其中，在沿該第一方向之一橫截面形狀中，該第二間隙之一頂端高於一該第一間隙之一頂端，且該第二間隙之一頂部部分係彎曲的。

2. 如請求項1之裝置，其中在沿該第一方向取得之一橫截面形狀中，該第二間隙之該頂部部分係朝該第一記憶體單元彎曲。
3. 如請求項1之裝置，其中在沿該第一方向取得之一橫截面形狀中，該第二間隙之一底部部分係實質上矩形的，該第二間隙之該頂部部分係朝該第一記憶體單元彎曲，該第二間隙之一頂端部分係尖的。
4. 如請求項1之裝置，其中在沿該第一方向取得之一橫截面形狀中，該第二間隙包含在其之該頂部部分中之三個或多個拐點。
5. 如請求項1之裝置，其中在沿該第一方向取得之一橫截面形狀中，該第一間隙之一底部部分係實質上矩形，且該第一間隙之一頂端部分之一尖端係尖的。
6. 如請求項1之裝置，其中在沿該第一方向取得之一橫截面形狀中，該第一間隙包含在其之該頂部部分中之三個或多個拐點。
7. 如請求項1之裝置，其中在沿該第一方向取得之一橫截面形狀中，該第二間隙之一頂端部分係定位在該第一記憶體單元上

方。

8. 一種非揮發性半導體儲存裝置，其包括：

—NAND串，其包含以一第一方向安置之記憶體單元，及以該第一方向鄰近於定位該等記憶體單元之一端處之一第一記憶體單元而安置之一選擇閘極；

—第一間隙，其安置在該等記憶體單元之間；及

—第二間隙，其安置在該第一記憶體單元與該選擇電極之間；

其中該等記憶體單元之各者包含一電荷儲存層，及

其中在沿該第一方向取得之一橫截面形狀中，該第二間隙之一頂端高於該第一間隙之一頂端，及

其中，當在該電荷儲存層之一底部表面之一高度處測量時，在該第一記憶體單元與在該第一方向上之該選擇閘極之間之一距離係實質上等於或小於在在該第一方向上之該等記憶體單元之間之一距離。

9. 如請求項8之裝置，其中在沿該第一方向取得之一橫截面形狀中，該第二間隙之該頂部部分係彎曲的。

10. 如請求項8之裝置，其中在沿該第一方向取得之一橫截面形狀中，該第二間隙之該頂部部分係朝該第一記憶體單元彎曲。

11. 如請求項8之裝置，其中在沿該第一方向取得之一橫截面形狀中，該第二間隙之一底部部分係實質上矩形的，該第二間隙之該頂部部分朝該第一記憶體單元彎曲，該第二間隙之該頂端部分之一尖端係尖的。

12. 如請求項8之裝置，其中在沿該第一方向取得之一橫截面形狀中，該第二間隙包含在其之一頂部部分中之三個或多個拐點。

13. 如請求項8之裝置，其中在沿該第一方向取得之一橫截面形狀

中，該第一間隙之一底部部分係實質上矩形，且該第一間隙之一頂端部分之一尖端係尖的。

14. 如請求項8之裝置，其中在沿該第一方向取得之一橫截面形狀中，該第一間隙包含在其之一頂部部分中之三個或多個拐點。
15. 如請求項8之裝置，其中在沿該第一方向取得之一橫截面形狀中，該第二間隙之一頂端部分係定位在該第一記憶體單元上方。

圖式

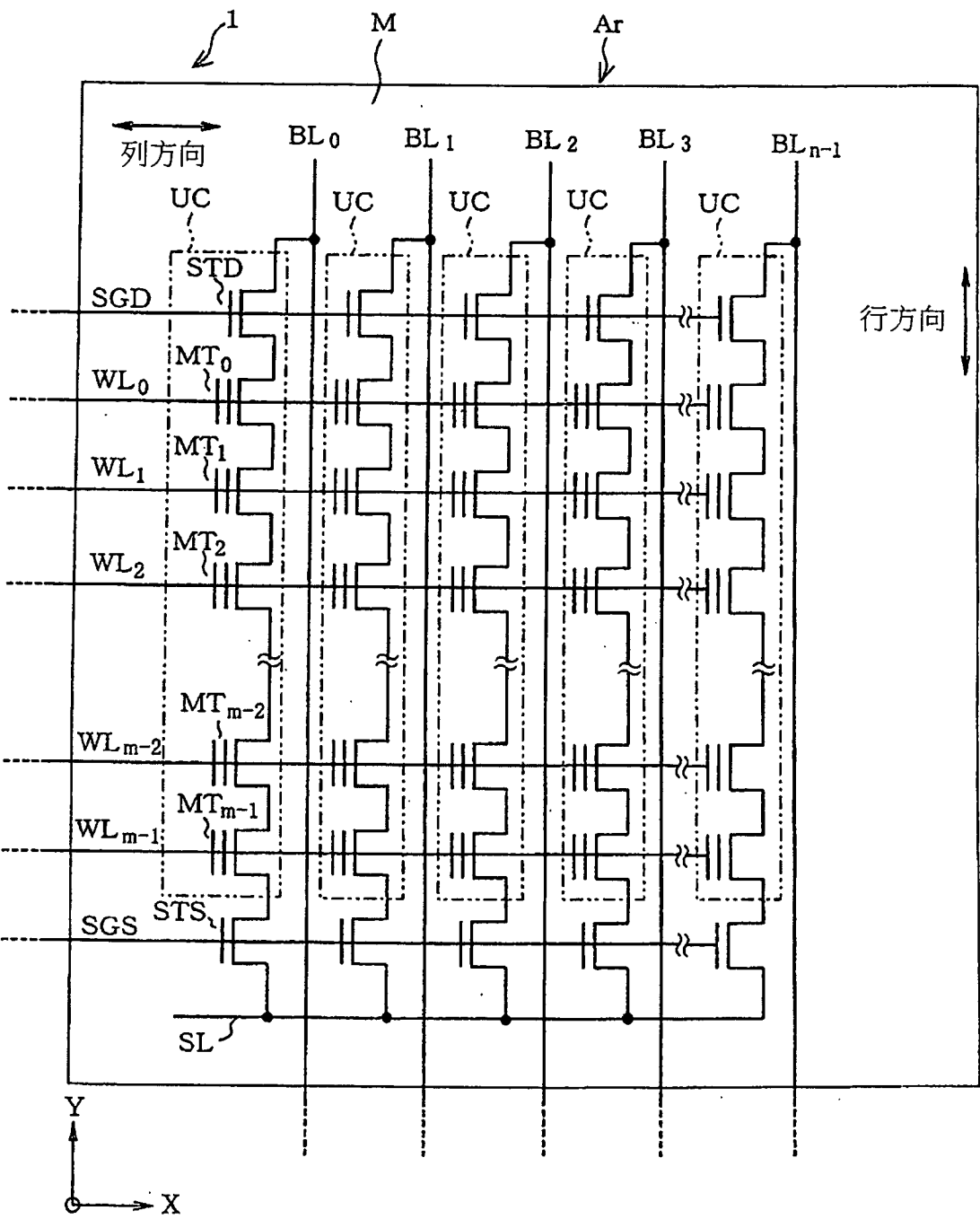


圖 1

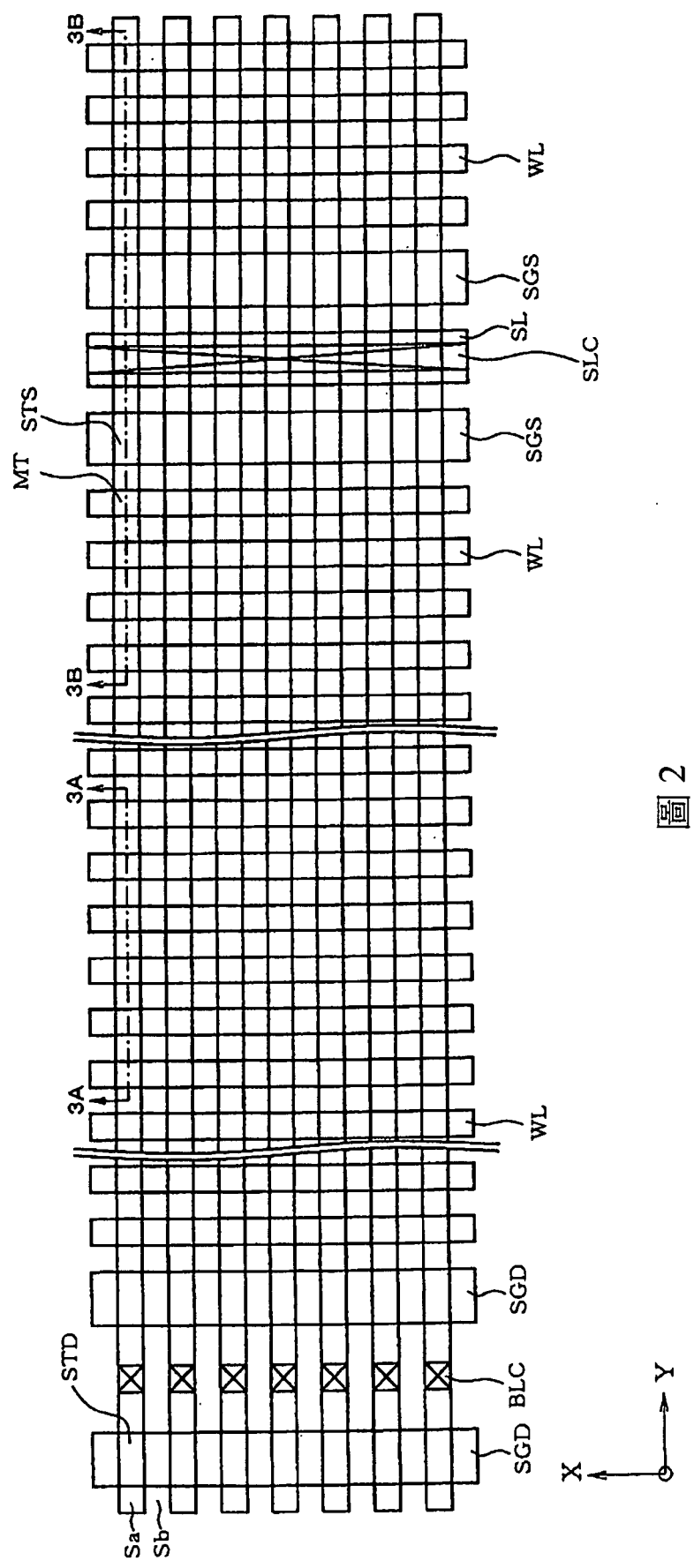


圖 2

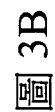


圖 3A

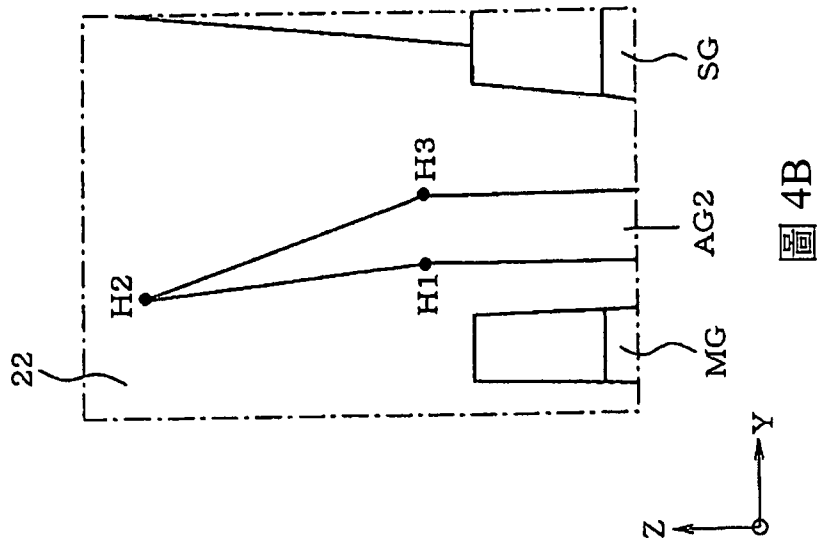


圖 4B

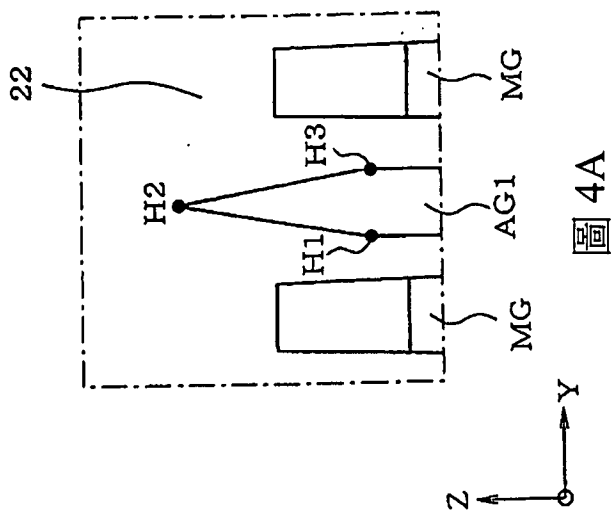


圖 4A

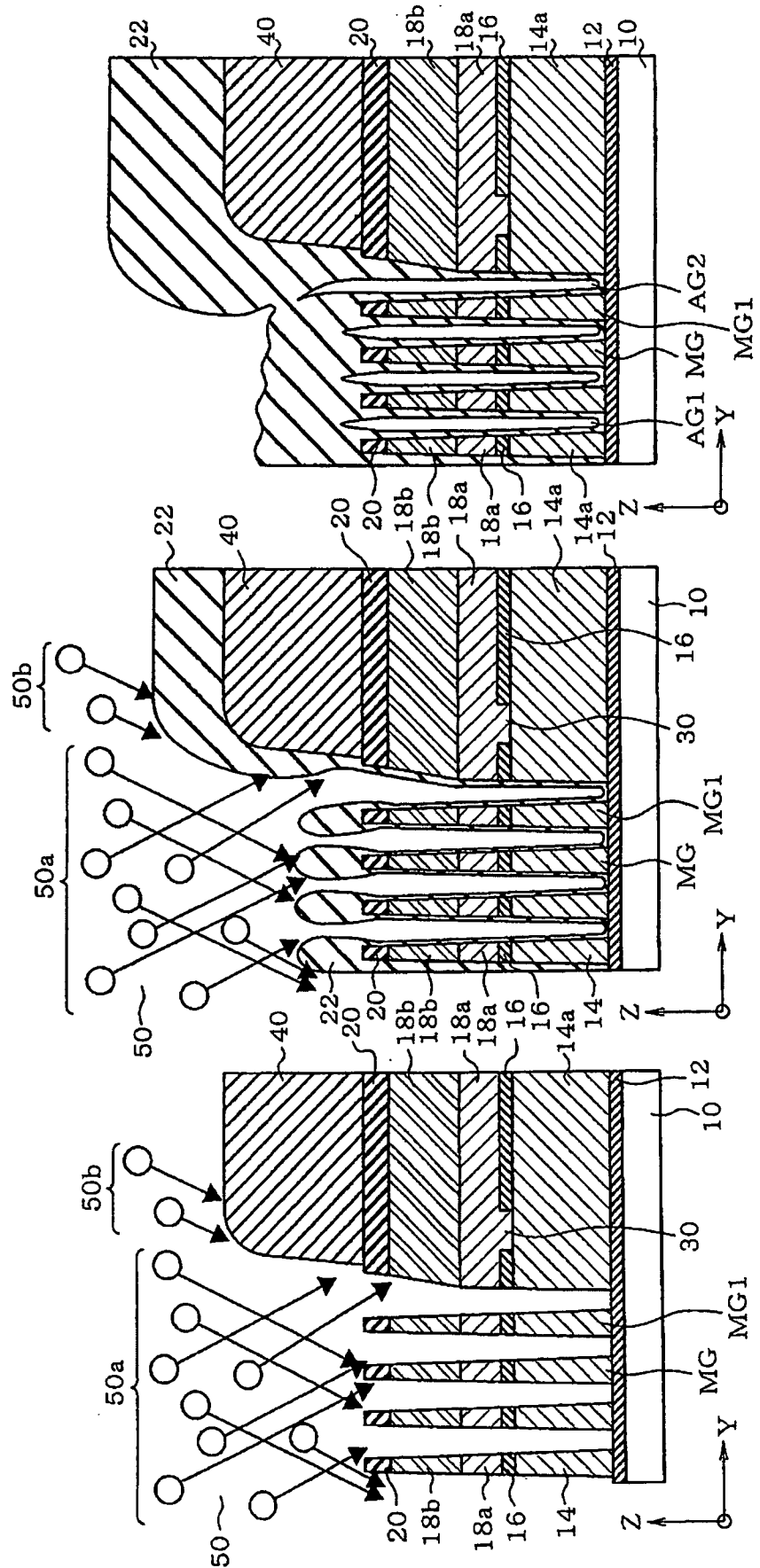


圖 5A

圖 5B

圖 5C

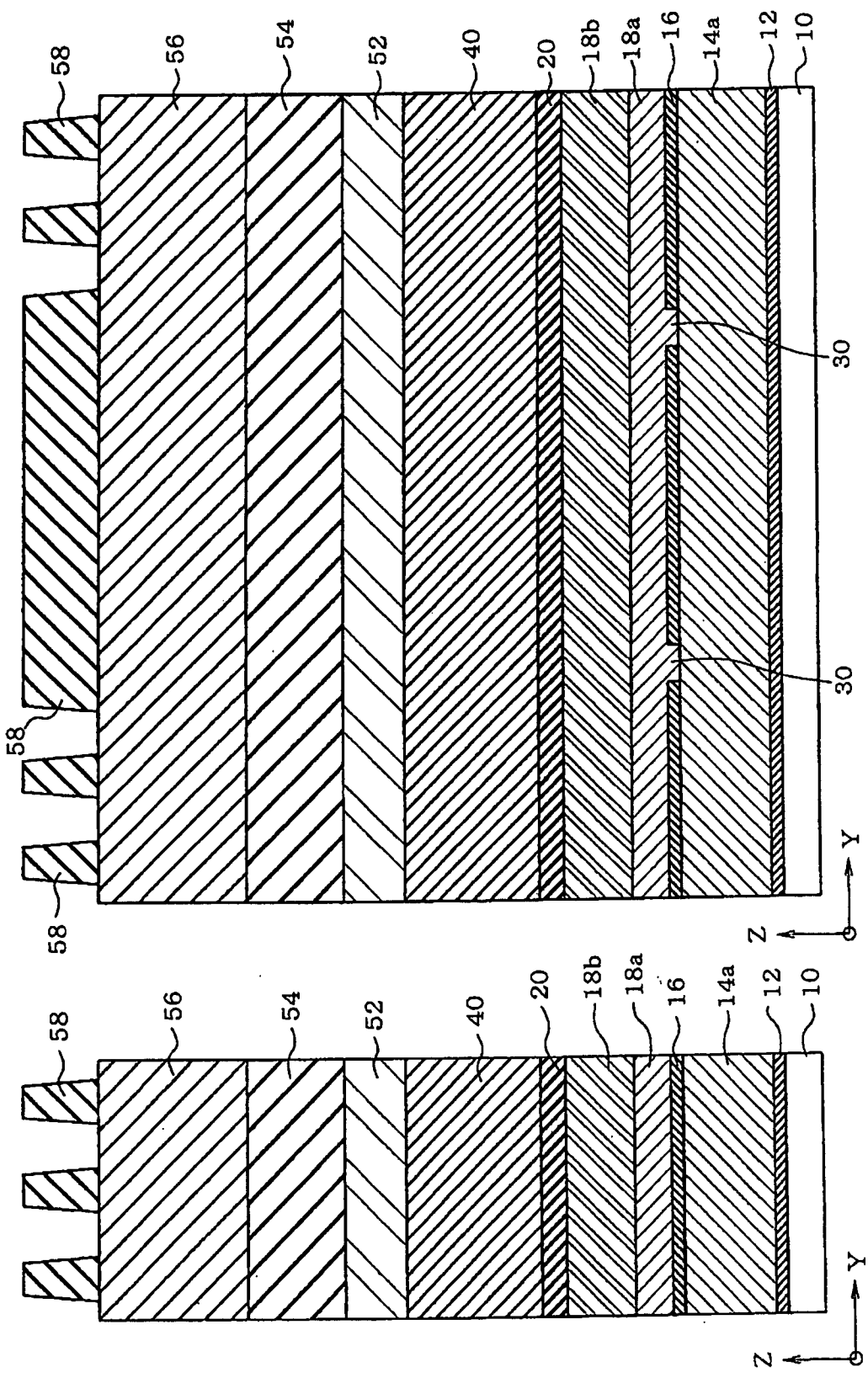


圖 6B

圖 6A

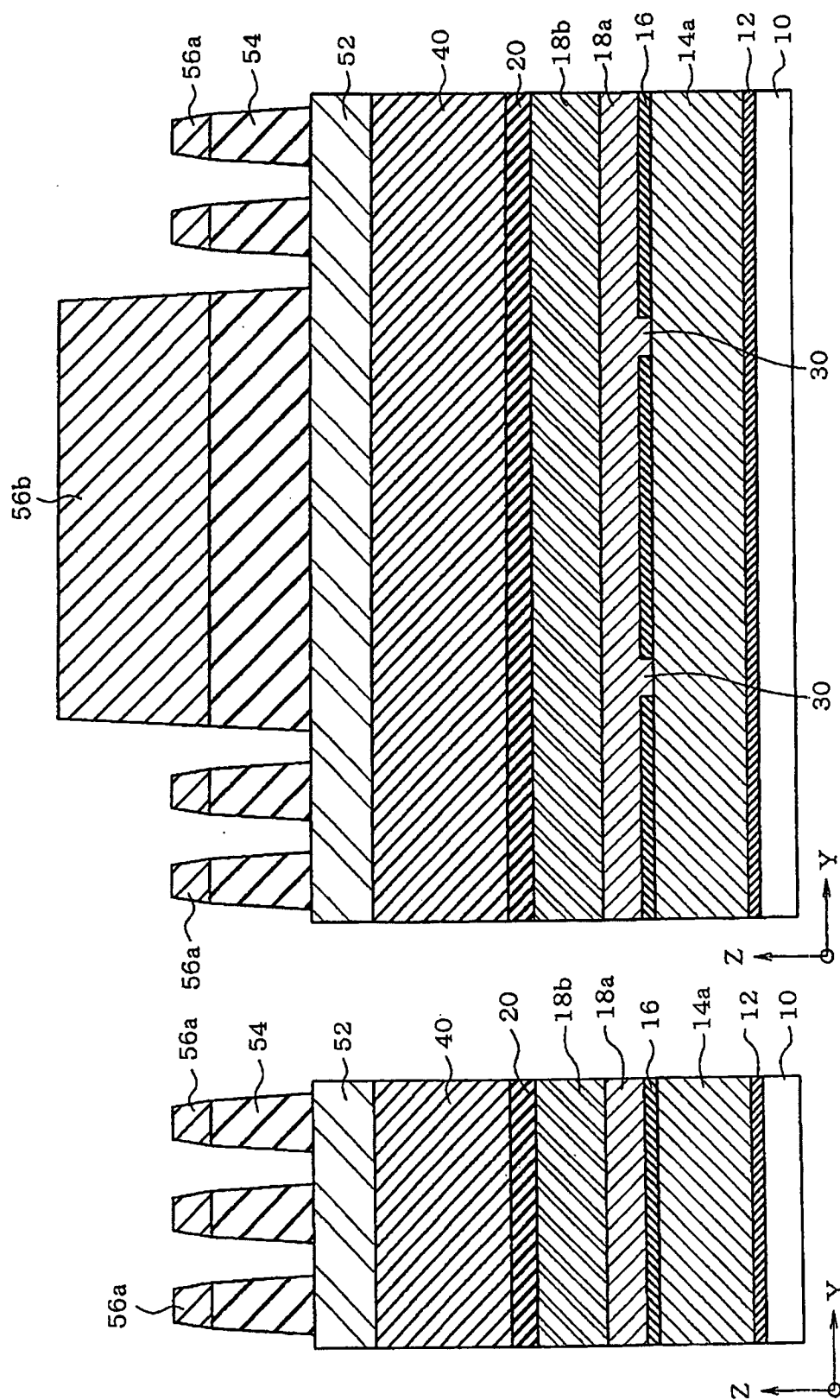


圖 7B

圖 7A

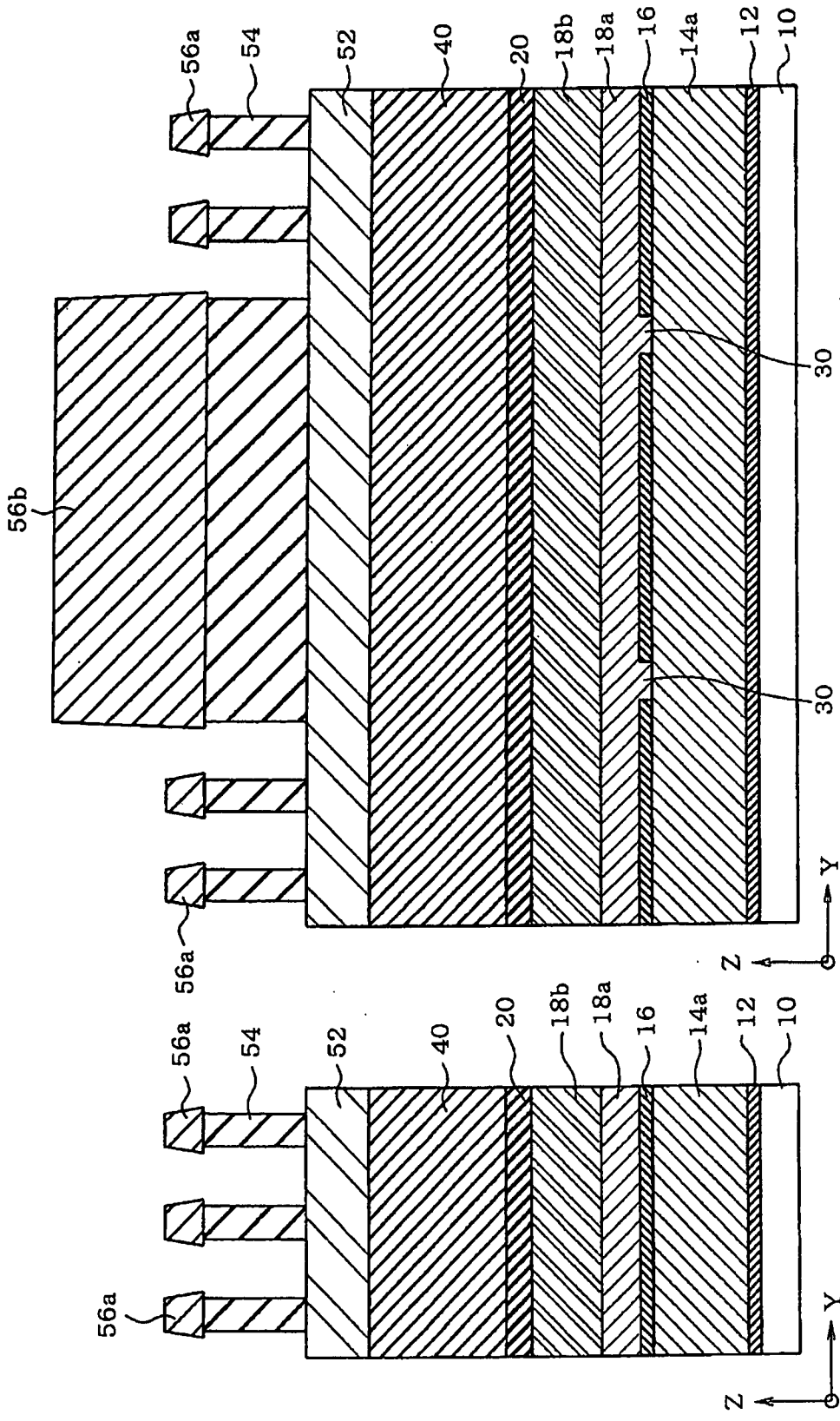


圖 8B

圖 8A

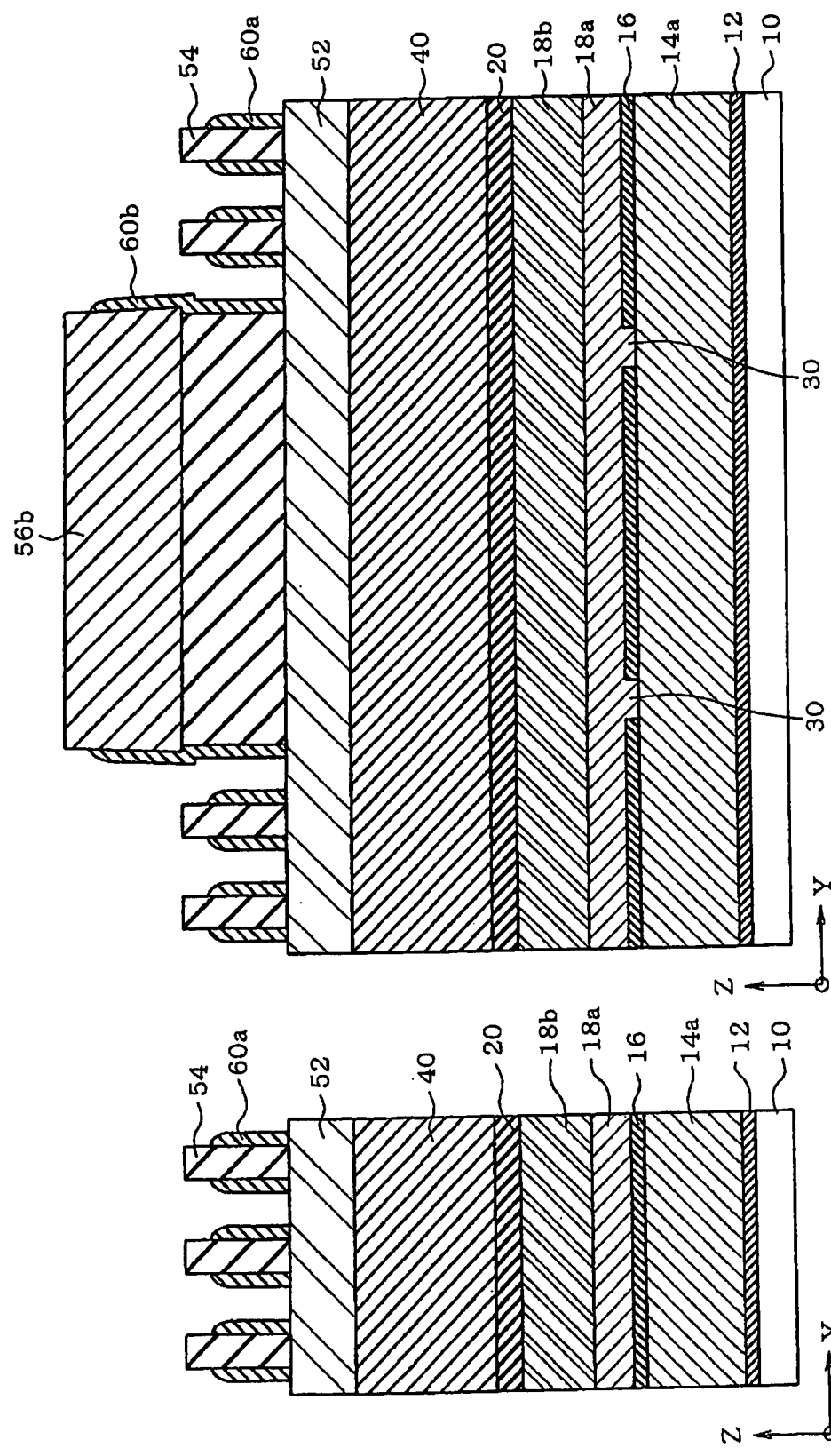


圖 10B

圖 10A

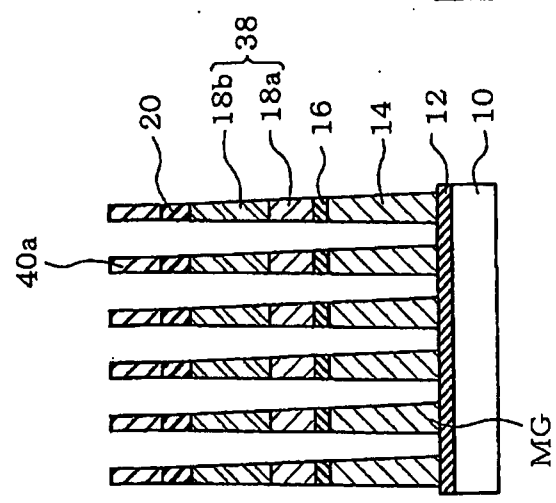


圖 12A

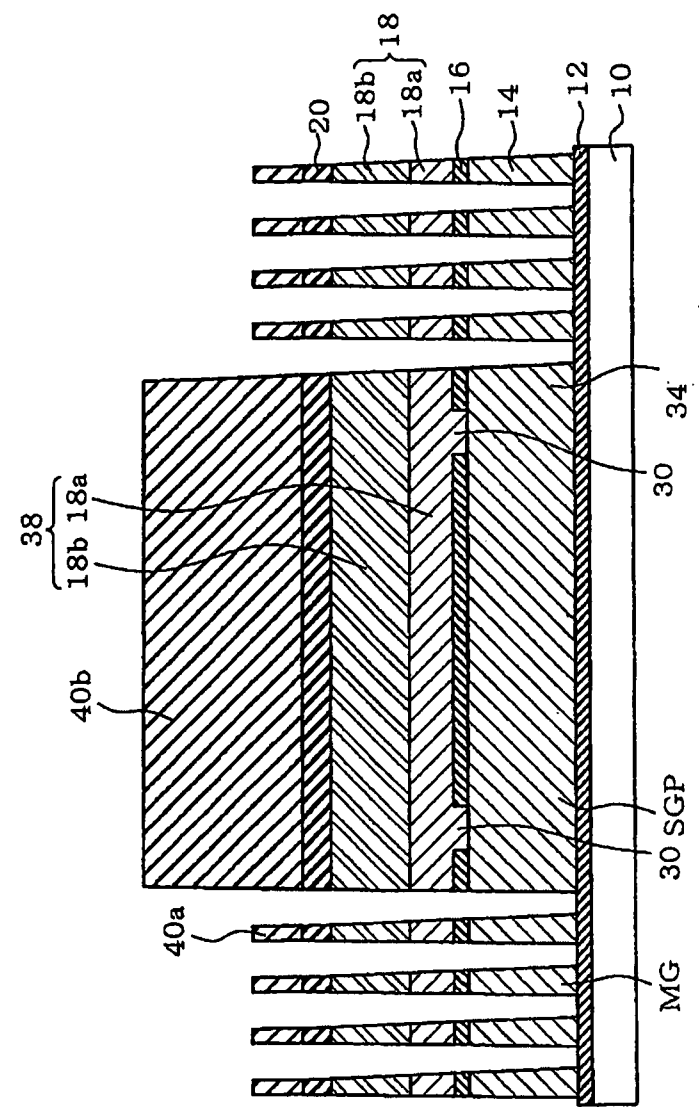


圖 12B

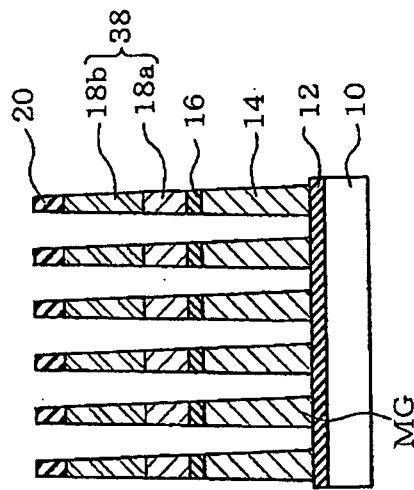


圖 13A

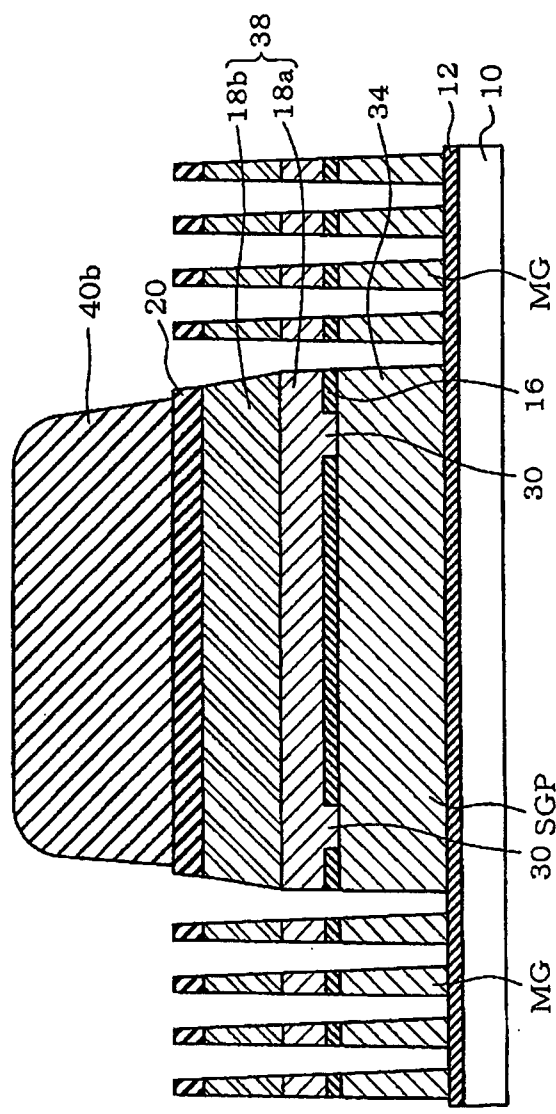


圖 13B



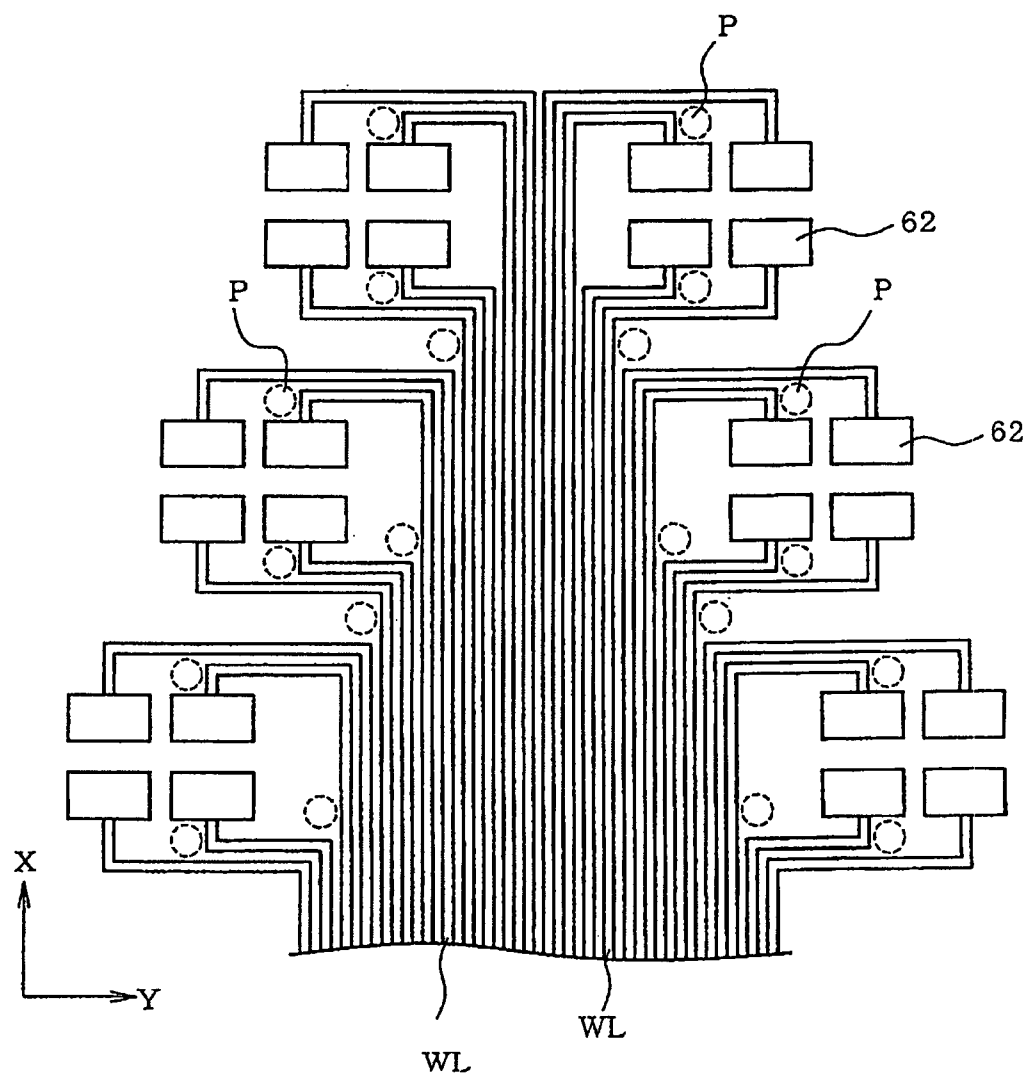


圖 15