



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I693720 B

(45)公告日：中華民國 109 (2020) 年 05 月 11 日

(21)申請案號：107118179

(22)申請日：中華民國 103 (2014) 年 09 月 04 日

(51)Int. Cl. : *H01L29/78 (2006.01)**H01L29/40 (2006.01)*

(30)優先權：2013/09/06 日本

2013-184560

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：鈴木康太 SUZUKI, YASUTAKA (JP)；畑勇氣 HATA, YUKI (JP)；家田義紀 IEDA,
YOSHINORI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 2011/0210355A1

審查人員：林士淵

申請專利範圍項數：10 項 圖式數：21 共 99 頁

(54)名稱

半導體裝置

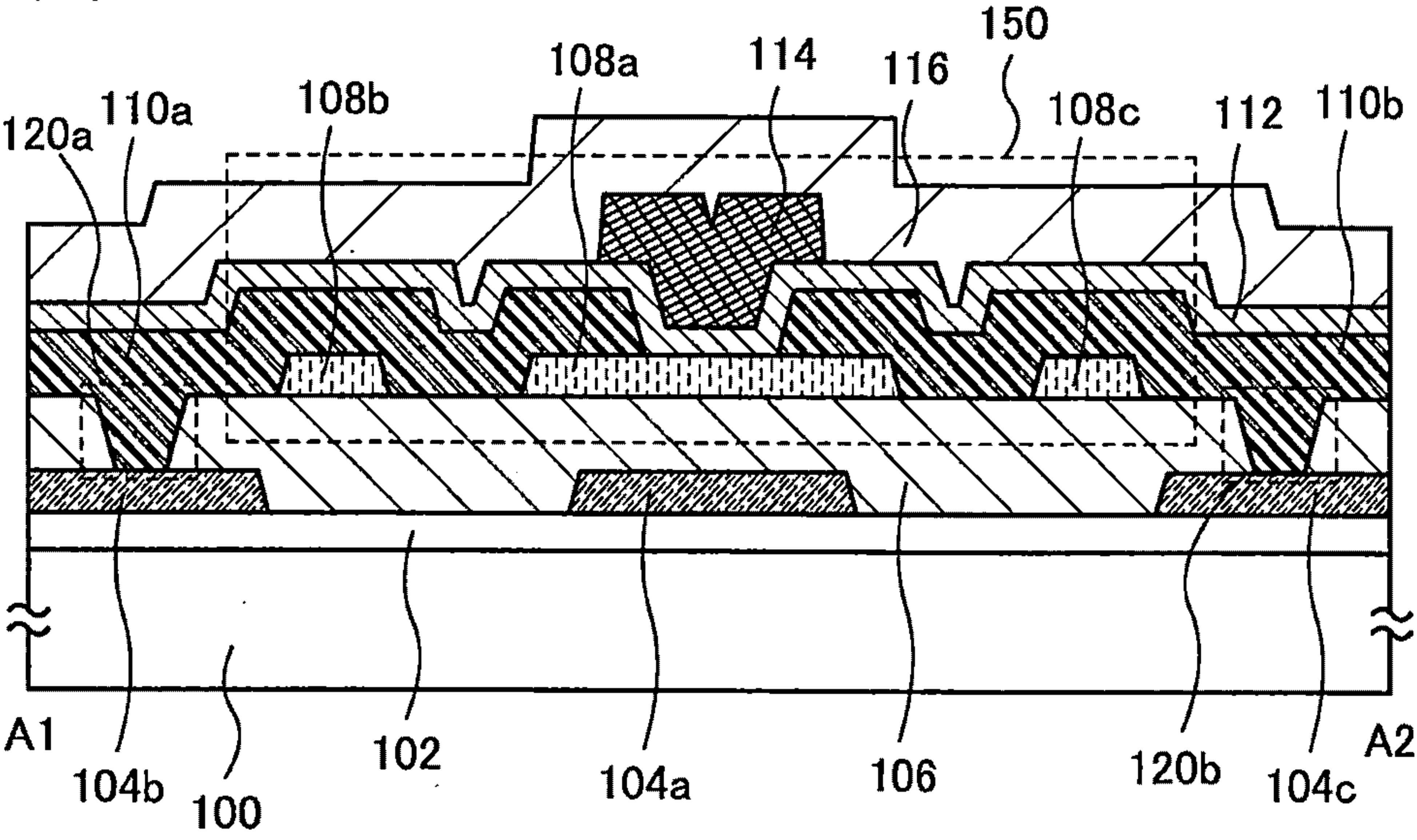
(57)摘要

本發明的一個方式的目的之一是提供一種使用氧化物半導體且在維持良好的電特性的同時實現微型化的半導體裝置。該半導體裝置包括：氧化物半導體膜及障壁膜；與氧化物半導體膜電連接的源極電極及汲極電極；與氧化物半導體膜、源極電極以及汲極電極接觸的閘極絕緣膜；以及與閘極絕緣膜接觸的閘極電極，其中，障壁膜與氧化物半導體膜使用同一材料形成在同一表面上，並且，障壁膜的導電率高於氧化物半導體膜。

A semiconductor device including an oxide semiconductor that is miniaturized and has favorable electrical characteristics is provided. The semiconductor device includes an oxide semiconductor film and a blocking film; a source electrode and a drain electrode electrically connected to the oxide semiconductor film; a gate insulating film in contact with the oxide semiconductor film, the source electrode, and the drain electrode; and a gate electrode in contact with the gate insulating film. The blocking film contains the same material as the oxide semiconductor film, is on the same surface as the oxide semiconductor film, and has a higher conductivity than the oxide semiconductor film.

指定代表圖：

圖 1B



符號簡單說明：

- 100 . . . 基板
- 102 . . . 基底絕緣膜
- 104a . . . 導電膜
- 104b . . . 導電膜
- 104c . . . 導電膜
- 106 . . . 層間絕緣膜
- 108a . . . 氧化物半
導體膜
- 108b . . . 障壁膜
- 108c . . . 障壁膜
- 110a . . . 源極電極
- 110b . . . 汲極電極
- 112 . . . 閘極絕緣膜
- 114 . . . 閘極電極
- 116 . . . 氧化物絕緣
膜
- 120a . . . 開口部
- 120b . . . 開口部
- 150 . . . 電晶體

I693720

發明摘要

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【中文】

本發明的一個方式的目的之一是提供一種使用氧化物半導體且在維持良好的電特性的同時實現微型化的半導體裝置。該半導體裝置包括：氧化物半導體膜及障壁膜；與氧化物半導體膜電連接的源極電極及汲極電極；與氧化物半導體膜、源極電極以及汲極電極接觸的閘極絕緣膜；以及與閘極絕緣膜接觸的閘極電極，其中，障壁膜與氧化物半導體膜使用同一材料形成在同一表面上，並且，障壁膜的導電率高於氧化物半導體膜。

【英文】

A semiconductor device including an oxide semiconductor that is miniaturized and has favorable electrical characteristics is provided. The semiconductor device includes an oxide semiconductor film and a blocking film; a source electrode and a drain electrode electrically connected to the oxide semiconductor film; a gate insulating film in contact with the oxide semiconductor film, the source electrode, and the drain electrode; and a gate electrode in contact with the gate insulating film. The blocking film contains the same material as the oxide semiconductor film, is on the same surface as the oxide semiconductor film, and has a higher conductivity than the oxide semiconductor film.

【代表圖】

【本案指定代表圖】：第(1B)圖。

【本代表圖之符號簡單說明】：

100：基板

102：基底絕緣膜

104a：導電膜

104b：導電膜

104c：導電膜

106：層間絕緣膜

108a：氧化物半導體膜

108b：障壁膜

108c：障壁膜

110a：源極電極

110b：汲極電極

112：閘極絕緣膜

114：閘極電極

116：氧化物絕緣膜

120a：開口部

120b：開口部

150：電晶體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【技術領域】

[0001] 本發明係關於一種物體、方法或製造方法。另外，本發明係關於一種製程(process)、機器(machine)、產品(manufacture)或者組合物(composition of matter)。本發明的一個方式尤其係關於一種半導體裝置、顯示裝置、發光裝置、蓄電裝置、記憶體裝置以及它們的驅動方法或製造方法。

[0002] 在本說明書中，半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置。顯示裝置、電光裝置、半導體電路以及電子裝置有時具備半導體裝置。

【先前技術】

[0003] 藉由利用形成在具有絕緣表面的基板上的半導體薄膜來構成電晶體(也稱為薄膜電晶體(TFT))的技術受到關注。該電晶體被廣泛地應用於如積體電路(IC)及影像顯示裝置(顯示裝置)等的電子裝置。作為可以應用於電晶體的半導體薄膜，矽類半導體材料被周知。另外，作為其他材料，氧化物半導體受到關注。

[0004] 例如，專利文獻 1 已公開了一種使用包含銦(In)、鎵(Ga)及鋅(Zn)的非晶氧化物半導體膜的電晶體。

[0005]

[專利文獻 1] 日本專利申請公開第 2006-165528 號公報

[0006] 隨著電路的高集成化，有時在元件之間的層間絕緣膜中形成開口部並在該開口部中形成電極或佈線等，來使這些元件電連接。在該元件為使用氧化物半導體膜的電晶體的情況下，氫等雜質從開口部侵入氧化物半導體膜，氧化物半導體膜中的氧缺陷及氫降低電阻，導致電晶體的電特性不良。

【發明內容】

[0007] 鑒於上述問題，本發明的一個方式的目的之一是提供一種使用氧化物半導體的可靠性高的半導體裝置。另外，本發明的一個方式的目的之一是提供一種新穎的半導體裝置。

[0008] 為了實現電晶體的工作的高速化、電晶體的低功耗化、廉價化、高集成化等，必須要實現電晶體的微型化。

[0009] 因此，本發明的一個方式的目的之一是提供一種使用氧化物半導體且在維持良好的電特性的同時實現微型化的半導體裝置。

[0010] 注意，這些目的的記載不妨礙其他目的的存

在。本發明的一個方式不需要達到上述所有目的。另外，上述以外的目的從說明書等的記載看來顯而易見，且可以從說明書等的記載中抽出上述以外的目的。

[0011] 本發明的一個方式是一種半導體裝置，該半導體裝置包括：氧化物半導體膜及障壁膜；與氧化物半導體膜電連接的源極電極及汲極電極；與氧化物半導體膜、源極電極以及汲極電極接觸的閘極絕緣膜；以及與閘極絕緣膜接觸的閘極電極，其中，障壁膜與氧化物半導體膜包含同一材料且形成在同一表面上，障壁膜的導電率高於氧化物半導體膜。

[0012] 本發明的其他的一個方式是一種半導體裝置，該半導體裝置包括：氧化物半導體膜及障壁膜；與氧化物半導體膜電連接的源極電極及汲極電極；與氧化物半導體膜、源極電極以及汲極電極接觸的閘極絕緣膜；以及與閘極絕緣膜接觸的閘極電極，其中，障壁膜使用與氧化物半導體膜、源極電極及汲極電極不同的材料與氧化物半導體膜形成在同一表面上，並且，障壁膜的導電率高於氧化物半導體膜。

[0013] 另外，在上述結構中，在氧化物半導體膜及障壁膜之下設置有絕緣膜，在絕緣膜中設置有開口部，並且障壁膜比開口部更靠近氧化物半導體膜。

[0014] 另外，在上述結構中，在絕緣膜之下設置有第一電晶體，第一電晶體包括含有半導體材料的基板，並且第一電晶體藉由開口部與源極電極或汲極電極電連接。

[0015] 藉由採用本發明的一個方式，障壁膜抑制氫等雜質從其他的層侵入氧化物半導體膜，因此可以抑制半導體裝置的電特性不良。因此，可以提供可靠性高的半導體裝置。注意，本發明的一個方式的效果不侷限於上述效果。例如，本發明的一個方式在有的情況或狀況下具有上述以外的效果。另外，例如，本發明的一個方式在有的情況或狀況下不具有上述效果。

【圖式簡單說明】

[0016] 在圖式中：

圖 1A 至圖 1C 為電晶體的俯視圖及剖面圖；

圖 2A 至圖 2C 是說明電晶體的製造方法的圖；

圖 3A 至圖 3C 是說明電晶體的製造方法的圖；

圖 4A 至圖 4C 是說明電晶體的製造方法的圖；

圖 5A 和圖 5B 為電晶體的剖面圖；

圖 6A 和圖 6B 為電晶體的俯視圖及剖面圖；

圖 7A 至圖 7C 是說明電晶體的製造方法的圖；

圖 8A 至圖 8C 是說明電晶體的製造方法的圖；

圖 9A 和圖 9B 是說明電晶體的製造方法的圖；

圖 10 為電晶體的剖面圖；

圖 11A 至圖 11C 是根據實施方式的半導體裝置的剖面圖及電路圖；

圖 12A 和圖 12B 是根據實施方式的記憶體裝置的結構實例；

圖 13 是根據實施方式的 RFID 標籤的結構實例；

圖 14 是根據實施方式的 CPU 的結構實例；

圖 15 是根據實施方式的記憶元件的電路圖；

圖 16A 至圖 16F 是根據實施方式的電子裝置；

圖 17A 至圖 17F 是根據實施方式的 RFID 的使用實例；

圖 18A 和圖 18B 示出實施例電晶體的特性；

圖 19A 至圖 19C 是說明根據實施方式的顯示裝置的圖；

圖 20 為電晶體的俯視圖；

圖 21A 和圖 21B 為電晶體的俯視圖及剖面圖。

【實施方式】

[0017] 參照圖式對實施方式進行詳細說明。注意，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是，其方式及詳細內容在不脫離本發明的精神及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定於以下所示的實施方式的記載內容中。注意，在以下說明的發明的結構中，在不同的圖式中共同使用相同的元件符號來表示相同的部分或具有相同功能的部分，而省略其重複說明。

[0018] 另外，電晶體的“源極”和“汲極”的功能在使用極性不同的電晶體的情況下或在電路工作中當電流方向變化時，有時互相調換。因此，在本說明書中，“源

極”和“汲極”可以互相調換。

[0019] 另外，在本說明書等中使用的“第一”、“第二”等序數詞是為了方便識別構成要素而附的，而不是為了在數目方面上進行限定的。

[0020]

實施方式 1

在本實施方式中，參照圖式對本發明的一個方式的半導體裝置進行說明。

[0021] 圖 1A 和圖 1B 為本發明的一個方式的電晶體的俯視圖及剖面圖。圖 1A 為俯視圖，圖 1B 為沿著圖 1A 所示的點劃線 A1-A2 的剖面圖。另外，在圖 1A 的俯視圖中，為了明確起見，省略一部分的構成要素。另外，有時將點劃線 A1-A2 的方向稱為通道長度方向，將垂直於點劃線 A1-A2 的方向稱為通道寬度方向。注意，電晶體的俯視圖不侷限於圖 1A 所示的例子。圖 20 示出俯視圖的其他的例子。

[0022] 圖 1A 和圖 1B 所示的電晶體 150 包括：基板 100 上的基底絕緣膜 102；基底絕緣膜 102 上的導電膜 104a、導電膜 104b 以及導電膜 104c；基底絕緣膜 102、導電膜 104a、導電膜 104b 以及導電膜 104c 上的層間絕緣膜 106；層間絕緣膜 106 上的氧化物半導體膜 108a、障壁膜 108b 以及障壁膜 108c；藉由設置在層間絕緣膜 106 中的開口部 120a 與導電膜 104b 電連接且位於氧化物半導體膜 108a 及障壁膜 108b 上的源極電極 110a；藉由設置在層

間絕緣膜 106 中的開口部 120b 與導電膜 104c 電連接且位於氧化物半導體膜 108a 及障壁膜 108c 上的汲極電極 110b；氧化物半導體膜 108a、源極電極 110a 及汲極電極 110b 上的閘極絕緣膜 112；與氧化物半導體膜 108a 重疊且位於閘極絕緣膜 112 上的閘極電極 114；閘極絕緣膜 112 及閘極電極 114 上的氧化物絕緣膜 116。

[0023] 注意，通道長度是指：在俯視圖中，半導體膜與閘極電極重疊的區域中的源極(源極區或源極電極)與汲極(汲極區或汲極電極)之間的距離。換而言之，在圖 1A 中，通道長度相當於氧化物半導體膜 108a 與閘極電極 114 重疊的區域中的源極電極 110a 與汲極電極 110b 之間的距離。通道寬度是指：半導體膜與閘極電極重疊的區域中的源極或汲極的寬度。換而言之，在圖 1A 中，通道寬度相當於氧化物半導體膜 108a 與閘極電極 114 重疊的區域中的源極電極 110a 或汲極電極 110b 的寬度。

[0024] 當縮短電晶體的通道長度及通道寬度時，在一邊使光阻遮罩縮退一邊對電極或半導體膜等進行加工的情況下，電極或半導體膜等的上端部有時呈弧形(具有曲面)。藉由採用這種結構，可以提高形成在氧化物半導體膜 108a 上的閘極絕緣膜 112、閘極電極 114 以及氧化物絕緣膜 116 的覆蓋性。此外，可以緩和在源極電極 110a 及汲極電極 110b 的端部有可能產生的電場集中，而可以抑制電晶體的劣化。

[0025] 障壁膜 108b 比開口部 120a 更靠近氧化物半

導體膜 108a，即障壁膜 108b 與氧化物半導體膜 108a 之間的距離短於開口部 120a 與氧化物半導體膜 108a 之間的距離。同樣地，障壁膜 108c 比開口部 120b 更靠近氧化物半導體膜 108a，即障壁膜 108c 與氧化物半導體膜 108a 之間的距離短於開口部 120b 與氧化物半導體膜 108a 之間的距離。

[0026] 藉由以上述方式設置障壁膜，可以由障壁膜吸附從其他的層(例如，電晶體 150 與矽電晶體之間的層)經由開口部侵入的氫等雜質來抑制雜質侵入氧化物半導體膜，因此可以抑制半導體裝置的電特性不良。

[0027] 障壁膜可以與氧化物半導體膜使用同一材料形成在同一表面上。因此，可以在不增加製程數的情況下形成障壁膜。不侷限於此，障壁膜也可以使用與氧化物半導體膜、源極電極(或者汲極電極)不同的材料形成。

[0028] 障壁膜吸附氫等雜質，因此其雜質濃度比氧化物半導體膜高。因此，障壁膜的導電率比氧化物半導體膜高。

[0029] 此外，可以由閘極電極 114 的電場電性上圍繞氧化物半導體膜 108a(將由閘極電極的電場電性上圍繞氧化物半導體膜的電晶體結構稱為 *surrounded channel(s-channel)* 結構)。因此，通道形成在整個氧化物半導體膜 108a(塊內)。在 *s-channel* 結構中可以使大電流流在電晶體的源極-汲極間，因此可以得到很大的通態電流(*on-state current*)。

[0030] 由於能夠得到很大的通態電流，因此可以說 s-channel 結構適合於微型電晶體。因為可以縮小電晶體的尺寸，所以具有該電晶體的半導體裝置可以實現高集成度及高密度化。例如，較佳為將電晶體的通道長度設定為 40nm 以下，更佳為 30nm 以下，進一步較佳為 20nm 以下，並且較佳為將電晶體的通道寬度設定為 40nm 以下，更佳為 30nm 以下，進一步較佳為 20nm 以下。

[0031] 基板 100 不侷限於僅進行支撐的基板，也可以是形成有電晶體或電容器等其他元件的基板。此時，電晶體的閘極電極、源極電極和汲極電極中的至少一個也可以與上述元件電連接。

[0032] 基底絕緣膜 102 除了具有防止雜質從基板 100 擴散的功能以外，還可以具有對氧化物半導體膜 108a 供應氧的功能。因此，基底絕緣膜 102 較佳為包含氧。例如，更佳為包含比化學計量組成多的氧。此外，如上所述，當基板 100 是形成有其他元件的基板時，基底絕緣膜 102 還用作層間絕緣膜。此時，也可以使基底絕緣膜 102 的表面平坦。例如，可以利用 CMP (Chemical Mechanical Polishing：化學機械拋光) 法等對基底絕緣膜 102 進行平坦化處理。

[0033] 導電膜 104a 能夠被用作第二閘極電極，能夠進一步增加通態電流或控制臨界電壓。為了增加通態電流，使導電膜 104a 與閘極電極 114 電連接並供應相同的電位來實現雙閘極電晶體即可。為了控制臨界電壓，不使

導電膜 104a 與閘極電極 114 電連接並對導電膜 104a 供應與閘極電極 114 不同的恆電位即可。

[0034] 導電膜 104b 被用作與源極電極 110a 電連接的佈線，導電膜 104c 被用作與汲極電極 110b 電連接的佈線。導電膜 104b 及導電膜 104c 也可以與其他的電晶體或電容器等的元件電連接。

[0035] 注意，本發明的一個方式不侷限於此。不需要必須設置導電膜 104a、導電膜 104b 及導電膜 104c。圖 21A 和圖 21B 示出沒有設置導電膜 104a、導電膜 104b 及導電膜 104c 時的俯視圖及剖面圖。

[0036] 與基底絕緣膜 102 同樣地，層間絕緣膜 106 也除了具有防止雜質擴散的功能以外，還可以具有對氧化物半導體膜 108a 供應氧的功能。因此，層間絕緣膜 106 較佳為包含氧。

[0037] 下面，對氧化物半導體膜 108a 進行詳細的說明。

[0038] 氧化物半導體膜 108a 為包含銦的氧化物。氧化物例如在包含銦的情況下具有高載子移動率(電子移動率)。另外，氧化物半導體膜 108a 較佳為包含元素 M。元素 M 例如為鋁、鎵、鉍或錫等。例如，元素 M 與氧之間的鍵能高。元素 M 例如增大氧化物的能隙。此外，氧化物半導體膜 108a 較佳為包含鋅。氧化物在包含鋅時例如容易被晶化。氧化物的價帶頂的能量例如可以藉由調節鋅的原子數比控制。

[0039] 注意，氧化物半導體膜 108a 不侷限於包含銦的氧化物。氧化物半導體膜 108a 例如也可以為 Zn-Sn 氧化物、Ga-Sn 氧化物。

[0040] 氧化物半導體膜 108a 使用能隙寬的氧化物。氧化物半導體膜 108a 的能隙例如為 2.5eV 以上且 4.2eV 以下，較佳為 2.8eV 以上且 3.8eV 以下，更佳為 3eV 以上且 3.5eV 以下。

[0041] 當利用濺射法形成氧化物半導體膜 108a 時，為了降低微粒數，較佳為使用包含銦的靶材。另外，當使用元素 M 的原子數比高的氧化物靶材時，靶材的導電性有可能下降。當使用包含銦的靶材時，可以提高靶材的導電率，容易進行 DC 放電、AC 放電，因此容易在大面積基板上進行成膜。因此，可以提高半導體裝置的生產率。

[0042] 當利用濺射法形成氧化物半導體膜 108a 時，可以將靶材的原子數比設定為 In:M:Zn=3:1:1、3:1:2、3:1:4、1:1:0.5、1:1:1、1:1:2 等。

[0043] 當利用濺射法形成氧化物半導體膜 108a 時，形成之後的膜的原子數比有時與靶材的原子數比不一致。尤其是，形成之後的膜中的鋅的原子數比有時小於靶材中的鋅的原子數比。明確而言，該膜中的鋅的原子數比有時為靶材中的鋅的原子數比的 40atomic% 以上且 90atomic% 以下左右。

[0044] 下面，說明氧化物半導體膜 108a 中的雜質的影響。為了使電晶體的電特性穩定，降低氧化物半導體膜

108a 中的雜質濃度而實現低載子密度化及高度純化是有效的。氧化物半導體膜 108a 的載子密度小於 1×10^{17} 個/cm³，小於 1×10^{15} 個/cm³ 或小於 1×10^{13} 個/cm³。為了降低氧化物半導體膜 108a 中的雜質濃度，較佳為還降低附近的膜中的雜質濃度。

[0045] 例如，氧化物半導體膜 108a 中的矽有時成為載子陷阱或載子發生源。因此，將氧化物半導體膜 108a 與層間絕緣膜 106 之間的利用二次離子質譜 (SIMS : Secondary Ion Mass Spectrometry) 分析測定出的矽濃度設定為小於 1×10^{19} atoms/cm³，較佳為小於 5×10^{18} atoms/cm³，更佳為小於 2×10^{18} atoms/cm³。另外，將氧化物半導體膜 108a 與閘極絕緣膜 112 之間的利用 SIMS 測定出的矽濃度設定為小於 1×10^{19} atoms/cm³，較佳為小於 5×10^{18} atoms/cm³，更佳為小於 2×10^{18} atoms/cm³。

[0046] 另外，當氧化物半導體膜 108a 含有氫時，載子密度有可能增大。將利用 SIMS 測定出的氧化物半導體膜 108a 中的氫濃度設定為 2×10^{20} atoms/cm³ 以下，較佳為 5×10^{19} atoms/cm³ 以下，更佳為 1×10^{19} atoms/cm³ 以下，進一步較佳為 5×10^{18} atoms/cm³ 以下。另外，當氧化物半導體膜 108a 含有氮時，載子密度有可能增大。將利用 SIMS 測定出的氧化物半導體膜 108a 中的氮濃度設定為小於 5×10^{19} atoms/cm³，較佳為 5×10^{18} atoms/cm³ 以下，更佳為 1×10^{18} atoms/cm³ 以下，進一步較佳為 5×10^{17} atoms/cm³ 以下。

[0047] 另外，為了降低氧化物半導體膜 108a 中的氫濃度，較佳為降低基底絕緣膜 102 和層間絕緣膜 106 中的氫濃度。將利用 SIMS 測定出的基底絕緣膜 102 和層間絕緣膜 106 中的氫濃度設定為 $2 \times 10^{20} \text{atoms/cm}^3$ 以下，較佳為 $5 \times 10^{19} \text{atoms/cm}^3$ 以下，更佳為 $1 \times 10^{19} \text{atoms/cm}^3$ 以下，進一步較佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下。另外，為了降低氧化物半導體膜 108a 中的氫濃度，較佳為降低基底絕緣膜 102 和層間絕緣膜 106 中的氫濃度。將利用 SIMS 測定出的基底絕緣膜 102 和層間絕緣膜 106 中的氫濃度設定為小於 $5 \times 10^{19} \text{atoms/cm}^3$ ，較佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下，更佳為 $1 \times 10^{18} \text{atoms/cm}^3$ 以下，進一步較佳為 $5 \times 10^{17} \text{atoms/cm}^3$ 以下。

[0048] 另外，為了降低氧化物半導體膜 108a 中的氫濃度，較佳為降低閘極絕緣膜 112 中的氫濃度。將利用 SIMS 測定出的閘極絕緣膜 112 中的氫濃度設定為 $2 \times 10^{20} \text{atoms/cm}^3$ 以下，較佳為 $5 \times 10^{19} \text{atoms/cm}^3$ 以下，更佳為 $1 \times 10^{19} \text{atoms/cm}^3$ 以下，進一步較佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下。另外，為了降低氧化物半導體膜 108a 中的氫濃度，較佳為降低閘極絕緣膜 112 中的氫濃度。將利用 SIMS 測定出的閘極絕緣膜 112 中的氫濃度設定為小於 $5 \times 10^{19} \text{atoms/cm}^3$ ，較佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下，更佳為 $1 \times 10^{18} \text{atoms/cm}^3$ 以下，進一步較佳為 $5 \times 10^{17} \text{atoms/cm}^3$ 以下。

[0049] 下面，對可用於氧化物半導體膜 108a 的氧化

物半導體膜的結構進行說明。

[0050] 氧化物半導體膜大致分為非單晶氧化物半導體膜和單晶氧化物半導體膜。非單晶氧化物半導體膜包括 CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor: c 軸配向結晶氧化物半導體)膜、多晶氧化物半導體膜、微晶氧化物半導體膜及非晶氧化物半導體膜等。

[0051] 首先，對 CAAC-OS 膜進行說明。

[0052] CAAC-OS 膜是包含多個結晶部的氧化物半導體膜之一，大部分的結晶部的尺寸為能夠容納於一邊短於 100nm 的立方體內的尺寸。因此，有時包括在 CAAC-OS 膜中的結晶部的尺寸為能夠容納於一邊短於 10nm、短於 5nm 或短於 3nm 的立方體內的尺寸。

[0053] 在 CAAC-OS 膜的穿透式電子顯微鏡(TEM: Transmission Electron Microscope)影像中，觀察不到結晶部與結晶部之間的明確的邊界，即晶界(grain boundary)。因此，在 CAAC-OS 膜中，不容易發生起因於晶界的電子移動率的降低。

[0054] 根據從大致平行於樣本面的方向觀察的 CAAC-OS 膜的 TEM 影像(剖面 TEM 影像)可知在結晶部中金屬原子排列為層狀。各金屬原子層具有反映形成 CAAC-OS 膜的面(也稱為被形成面)或 CAAC-OS 膜的頂面的凸凹的形狀並以平行於 CAAC-OS 膜的被形成面或頂面的方式排列。

[0055] 另一方面，根據從大致垂直於樣本面的方向觀察的 CAAC-OS 膜的 TEM 影像(平面 TEM 影像)可知在結晶部中金屬原子排列為三角形狀或六角形狀。但是，在不同的結晶部之間金屬原子的排列沒有規律性。

[0056] 由剖面 TEM 影像及平面 TEM 影像可知，CAAC-OS 膜的結晶部具有配向性。

[0057] 使用 X 射線繞射(XRD:X-Ray Diffraction)裝置對 CAAC-OS 膜進行結構分析。例如，當利用 out-of-plane 法分析包括 InGaZnO₄ 結晶的 CAAC-OS 膜時，在繞射角 (2θ) 為 31° 附近時常出現峰值。由於該峰值來源於 InGaZnO₄ 結晶的(009)面，由此可知 CAAC-OS 膜中的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於 CAAC-OS 膜的被形成面或頂面的方向。

[0058] 在本說明書中，六方晶系包括三方晶系和菱方晶系。

[0059] 另一方面，當利用從大致垂直於 c 軸的方向使 X 射線入射到樣本的 in-plane 法分析 CAAC-OS 膜時，在 2θ 為 56° 附近時常出現峰值。該峰值來源於 InGaZnO₄ 結晶的(110)面。在此，將 2θ 固定為 56° 附近並在以樣本面的法線向量為軸(ϕ 軸)旋轉樣本的條件下進行分析(ϕ 掃描)。當該樣本是 InGaZnO₄ 的單晶氧化物半導體膜時，出現六個峰值。該六個峰值來源於相等於(110)面的結晶面。另一方面，當該樣本是 CAAC-OS 膜時，即使在將 2θ 固定為 56° 附近的狀態下進行 ϕ 掃描也不能觀察到明確的

峰值。

[0060] 由上述結果可知，在具有 c 軸配向性的 CAAC-OS 膜中，雖然 a 軸及 b 軸的方向在結晶部之間不同，但是 c 軸都朝向平行於被形成面或頂面的法線向量的方向。因此，在上述剖面 TEM 影像中觀察到的排列為層狀的各金屬原子層相當於與結晶的 ab 面平行的面。

[0061] 注意，結晶部在形成 CAAC-OS 膜或進行加熱處理等晶化處理時形成。如上所述，結晶的 c 軸朝向平行於 CAAC-OS 膜的被形成面或頂面的法線向量的方向。由此，例如，當 CAAC-OS 膜的形狀因蝕刻等而發生改變時，結晶的 c 軸不一定平行於 CAAC-OS 膜的被形成面或頂面的法線向量。

[0062] 此外，CAAC-OS 膜中的結晶度不一定均勻。例如，當 CAAC-OS 膜的結晶部是由 CAAC-OS 膜的頂面近旁的結晶生長而形成時，有時頂面附近的結晶度高於被形成面附近的結晶度。另外，當對 CAAC-OS 膜添加雜質時，被添加了雜質的區域的結晶度改變，所以有時 CAAC-OS 膜中的結晶度根據區域而不同。

[0063] 注意，當利用 out-of-plane 法分析包括 InGaZnO_4 結晶的 CAAC-OS 膜時，除了在 2θ 為 31° 附近的峰值之外，有時還在 2θ 為 36° 附近觀察到峰值。 2θ 為 36° 附近的峰值意味著 CAAC-OS 膜的一部分中含有不具有 c 軸配向性的結晶。較佳的是，在 CAAC-OS 膜中在 2θ 為 31° 附近時出現峰值而在 2θ 為 36° 附近時不出現峰值。

[0064] CAAC-OS 膜是雜質濃度低的氧化物半導體膜。雜質是指氫、碳、矽、過渡金屬元素等氧化物半導體膜的主要成分以外的元素。尤其是，與氧的鍵合力比構成氧化物半導體膜的金屬元素強的矽等元素會奪取氧化物半導體膜中的氧而打亂氧化物半導體膜的原子排列，導致結晶性下降。另外，由於鐵或鎳等的重金屬、氫、二氧化碳等的原子半徑(分子半徑)大，所以如果其被包含在氧化物半導體膜內，也會打亂氧化物半導體膜的原子排列，導致結晶性下降。此外，包含在氧化物半導體膜中的雜質有時會成為載子陷阱或載子發生源。

[0065] 另外，CAAC-OS 膜是缺陷態密度低的氧化物半導體膜。例如，氧化物半導體膜中的氧缺陷有時會成為載子陷阱或者藉由俘獲氫而成為載子發生源。

[0066] 將雜質濃度低且缺陷態密度低(氧缺陷少)的狀態稱為“高純度本質”或“實質上高純度本質”。在高純度本質或實質上高純度本質的氧化物半導體膜中載子發生源少，所以可以降低載子密度。因此，使用該氧化物半導體膜的電晶體很少具有負臨界電壓的電特性(也稱為常導通(normally-on)特性)。此外，高純度本質或實質上高純度本質的氧化物半導體膜具有很少的載子陷阱。因此，使用該氧化物半導體膜的電晶體的電特性變動小，而成為可靠性高的電晶體。注意，被氧化物半導體膜的載子陷阱俘獲的電荷到被釋放需要長時間，有時像固定電荷那樣動作。所以，使用雜質濃度高且缺陷態密度高的氧化物半導體膜的

電晶體的電特性有時不穩定。

[0067] 此外，在使用 CAAC-OS 膜的電晶體中，起因於可見光或紫外光的照射的電特性變動小。

[0068] 接著，對微晶氧化物半導體膜進行說明。

[0069] 在微晶氧化物半導體膜的 TEM 影像中，有時無法明確地確認到結晶部。微晶氧化物半導體膜中含有的結晶部的尺寸大多為 1nm 以上且 100nm 以下或 1nm 以上且 10nm 以下。尤其是，將 1nm 以上且 10nm 以下或 1nm 以上且 3nm 以下的微晶稱為奈米晶(nc:nanocrystal)。並且，將包含奈米晶的氧化物半導體膜稱為 nc-OS(nanocrystalline Oxide Semiconductor)膜。另外，例如在 nc-OS 膜的 TEM 影像中，有時無法明確地確認到晶界。

[0070] 在 nc-OS 膜的微小的區域(例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域)中原子排列具有週期性。另外，nc-OS 膜在不同的結晶部之間觀察不到晶體配向的規律性。因此，在整體中觀察不到配向性。所以，有時 nc-OS 膜在某些分析方法中與非晶氧化物半導體膜沒有差別。例如，在利用使用其直徑大於結晶部的 X 射線的 XRD 裝置藉由 out-of-plane 法對 nc-OS 膜進行結構分析時，檢測不出表示結晶面的峰值。此外，在使用其束徑大於結晶部(例如，50nm 以上)的電子束獲得的 nc-OS 膜的選區電子繞射圖案中，觀察到光暈圖案。另一方面，在使用其束徑近於或小於結晶部(例如，1nm

以上且 30nm 以下)的電子束獲得的 nc-OS 膜的奈米束電子繞射圖案中，觀察到斑點。另外，在 nc-OS 膜的奈米束電子繞射圖案中，有時觀察到如圓圈那樣的(環狀的)亮度高的區域。而且，在 nc-OS 膜的奈米束電子繞射圖案中，有時還觀察到環狀的區域內的多個斑點。

[0071] nc-OS 膜是其規律性比非晶氧化物半導體膜高的氧化物半導體膜。因此，nc-OS 膜的缺陷態密度比非晶氧化物半導體膜低。但是，nc-OS 膜在不同的結晶部之間觀察不到晶體配向的規律性。所以，nc-OS 膜的缺陷態密度比 CAAC-OS 膜高。

[0072] 注意，氧化物半導體膜例如也可以包括非晶氧化物半導體膜、微晶氧化物半導體膜和 CAAC-OS 膜中的兩種以上。

[0073] 氧化物半導體膜 108a 也可以是氧化物半導體膜的疊層膜。例如，氧化物半導體膜 108a 可以具有兩層或三層結構。

[0074] 例如，說明氧化物半導體膜 108a 具有三層結構的情況。圖 1C 示出氧化物半導體膜 108a 為依次層疊氧化物半導體膜 108a1、氧化物半導體膜 108a2 以及氧化物半導體膜 108a3 而形成的疊層膜的情況。

[0075] 關於氧化物半導體膜 108a2(中層)參照以上氧化物半導體膜 108a 的記載。氧化物半導體膜 108a1(下層)及氧化物半導體膜 108a3(上層)包含一種或多種構成氧化物半導體膜 108a2 的除了氧以外的元素。由於氧化物半導

體膜 108a1 及氧化物半導體膜 108a3 包含一種或多種構成氧化物半導體膜 108a2 的除了氧以外的元素，因此在氧化物半導體膜 108a1 與氧化物半導體膜 108a2 之間及氧化物半導體膜 108a2 與氧化物半導體膜 108a3 之間的介面不容易形成介面能階。

[0076] 另外，當氧化物半導體膜 108a1 為 In-M-Zn 氧化物時，除了 Zn 和 O 以外的 In 和 M 的原子百分比較佳為：In 的比率低於 50atomic%，M 的比率為 50atomic% 以上，更佳為：In 的比率低於 25atomic%，M 的比率為 75atomic% 以上。另外，當氧化物半導體膜 108a2 為 In-M-Zn 氧化物時，除了 Zn 和 O 以外的 In 和 M 的原子百分比較佳為：In 的比率為 25atomic% 以上，M 的比率低於 75atomic%，更佳為：In 的比率為 34atomic% 以上，M 的比率低於 66atomic%。另外，當氧化物半導體膜 108a3 為 In-M-Zn 氧化物時，除了 Zn 和 O 以外的 In 和 M 的原子百分比較佳為：In 的比率低於 50atomic%，M 的比率為 50atomic% 以上，更佳為：In 的比率低於 25atomic%，M 的比率為 75atomic% 以上。注意，氧化物半導體膜 108a3 也可以使用與氧化物半導體膜 108a1 相同的氧化物。

[0077] 在此，在氧化物半導體膜 108a1 與氧化物半導體膜 108a2 之間有時形成有氧化物半導體膜 108a1 和氧化物半導體膜 108a2 的混合區。另外，在氧化物半導體膜 108a2 與氧化物半導體膜 108a3 之間有時形成有氧化物半導體膜 108a2 和氧化物半導體膜 108a3 的混合區。混合區

的介面態密度較低。因此，在氧化物半導體膜 108a1、氧化物半導體膜 108a2 以及氧化物半導體膜 108a3 的疊層體的能帶結構中，各層之間的介面附近的能量連續地變化(也稱為連接結合)。

[0078] 氧化物半導體膜 108a2 使用其電子親和力大於氧化物半導體膜 108a1 及氧化物半導體膜 108a3 的氧化物。例如，氧化物半導體膜 108a2 使用如下氧化物，該氧化物的電子親和力比氧化物半導體膜 108a1 及氧化物半導體膜 108a3 大 0.07eV 以上且 1.3eV 以下，較佳為大 0.1eV 以上且 0.7eV 以下，更佳為大 0.15eV 以上且 0.4eV 以下。電子親和力是指真空能階與傳導帶底之間的能量差。

[0079] 在此，當對閘極電極 114 施加電場時，在氧化物半導體膜 108a1、氧化物半導體膜 108a2 和氧化物半導體膜 108a3 中的電子親和力大的氧化物半導體膜 108a2 中形成通道。

[0080] 此外，從增加電晶體的通態電流的觀點來看，氧化物半導體膜 108a3 的厚度越小越好。例如，將氧化物半導體膜 108a3 的厚度設定為低於 10nm ，較佳為 5nm 以下，更佳為 3nm 以下。另一方面，氧化物半導體膜 108a3 具有阻擋構成閘極絕緣膜 112 的除了氧之外的元素(矽等)侵入其中形成通道的氧化物半導體膜 108a2 中的功能。因此，氧化物半導體膜 108a3 較佳為具有一定程度的厚度。例如，氧化物半導體膜 108a3 的厚度為 0.3nm 以上，較佳為 1nm 以上，更佳為 2nm 以上。

[0081] 另外，從提高可靠性的觀點來看，較佳的是氧化物半導體膜 108a1 厚且氧化物半導體膜 108a3 薄。明確而言，氧化物半導體膜 108a1 的厚度為 20nm 以上，較佳為 30nm 以上，更佳為 40nm 以上，進一步較佳為 60nm 以上。藉由將氧化物半導體膜 108a1 的厚度設定為 20nm 以上，較佳為 30nm 以上，更佳為 40nm 以上，進一步較佳為 60nm 以上，可以使層間絕緣膜 106 與氧化物半導體膜 108a1 之間的介面離其中形成通道的氧化物半導體膜 108a2 有 20nm 以上，較佳為 30nm 以上，更佳為 40nm 以上，進一步較佳為 60nm 以上。注意，這有可能使半導體裝置的生產率下降，因此將氧化物半導體膜 108a1 的厚度設定為 200nm 以下，較佳為 120nm 以下，更佳為 80nm 以下。

[0082] 例如，氧化物半導體膜 108a2 與氧化物半導體膜 108a1 之間的利用 SIMS 測定出的矽濃度設定為小於 $1 \times 10^{19} \text{atoms/cm}^3$ ，較佳為小於 $5 \times 10^{18} \text{atoms/cm}^3$ ，更佳為小於 $2 \times 10^{18} \text{atoms/cm}^3$ 。例如，氧化物半導體膜 108a2 與氧化物半導體膜 108a3 之間的利用 SIMS 測定出的矽濃度設定為小於 $1 \times 10^{19} \text{atoms/cm}^3$ ，較佳為小於 $5 \times 10^{18} \text{atoms/cm}^3$ ，更佳為小於 $2 \times 10^{18} \text{atoms/cm}^3$ 。

[0083] 另外，為了降低氧化物半導體膜 108a2 中的氫濃度，較佳為降低氧化物半導體膜 108a1 及氧化物半導體膜 108a3 中的氫濃度。將利用 SIMS 測定出的氧化物半導體膜 108a1 及氧化物半導體膜 108a3 中的氫濃度設定為

$2 \times 10^{20} \text{ atoms/cm}^3$ 以下，較佳為 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下，更佳為 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下，進一步較佳為 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下。另外，為了降低氧化物半導體膜 108a2 中的氮濃度，較佳為降低氧化物半導體膜 108a1 及氧化物半導體膜 108a3 中的氮濃度。將利用 SIMS 測定出的氧化物半導體膜 108a1 及氧化物半導體膜 108a3 中的氮濃度設定為小於 $5 \times 10^{19} \text{ atoms/cm}^3$ ，較佳為 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下，更佳為 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下，進一步較佳為 $5 \times 10^{17} \text{ atoms/cm}^3$ 以下。

[0084] 上述所示的三層結構是一個例子。例如，也可以採用不設置氧化物半導體膜 108a1 或氧化物半導體膜 108a3 的兩層結構。

[0085] 源極電極 110a 及汲極電極 110b 較佳為使用具有從氧化物半導體膜抽出氧的性質的導電膜。作為具有從氧化物半導體膜抽出氧的性質的導電膜，例如可以舉出含有鋁、鈦、鉻、鎳、鉬、鉭、鎢等的導電膜。

[0086] 借助於具有從氧化物半導體膜抽出氧的性質的導電膜的作用，有時氧化物半導體膜中的氧被脫離，而在氧化物半導體膜中形成氧缺陷。氧的抽出隨著加熱溫度的提高而明顯地發生。因為在電晶體的製程中有幾個加熱製程，所以在氧化物半導體膜的與源極電極或汲極電極接觸的附近的區域中發生氧缺陷的可能性高。另外，有時氮因加熱而進入該氧缺陷的位點而使氧化物半導體膜 n 型化。因此，藉由利用源極電極及汲極電極的作用，可以降

低氧化物半導體膜的與源極電極或汲極電極接觸的區域的電阻而降低電晶體的通態電阻(on-state resistance)。

[0087] 另外，當通道長度小(例如，200nm 以下或100nm 以下)的電晶體時，n 型化區域的形成有可能導致源極與汲極間的短路。因此，當形成通道長度小的電晶體時，作為源極電極及汲極電極使用具有從氧化物半導體膜抽出適當的量的氧的性質的導電膜即可。作為具有抽出適當的量的氧的性質的導電膜，例如可以舉出包含鎳、鉬或鎢的導電膜等。

[0088] 另外，當形成通道長度極小(例如，40nm 以下或30nm 以下)的電晶體時，作為源極電極及汲極電極使用幾乎不從氧化物半導體膜抽出氧的導電膜即可。作為幾乎不從氧化物半導體膜抽出氧的導電膜，例如可以舉出含有氮化鉬、氮化鈦或鈦的導電膜等。注意，也可以層疊多種導電膜。

[0089] 閘極絕緣膜 112 可以使用含有氧化鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化鋅、氧化釷、氧化鈮、氧化鋳、氧化釧、氧化鈳和氧化鉍中的一種以上的絕緣膜。閘極絕緣膜 112 也可以是上述材料的疊層。閘極絕緣膜 112 也可以含有釧、氮、鋳等作為雜質。

[0090] 閘極電極 114 可以使用包含鋁、鈦、鉻、鈷、鎳、銅、釷、鋳、鋁、鈳、鈳、銀、鉍和鎢等中的一種以上的導電膜。

[0091] 作為絕緣膜 116，可以使用包含氧化鋁、氧化鎂、氧化矽、氧氮化矽、氧化鎵、氧化銻、氧化釷、氧化鈾、氧化鋇、氧化鈣和氧化鋇等中的一種以上的絕緣膜。

[0092] 接著，參照圖 2A 至圖 4C 對電晶體的製造方法進行說明。

[0093] 首先，在基板 100 上形成基底絕緣膜 102(參照圖 2A)。

[0094] 基底絕緣膜 102 可以利用濺射法、化學氣相沉積(CVD: Chemical Vapor Deposition)法、有機金屬化學氣相沉積(MOCVD: Metal Organic CVD)法、電漿增強化學氣相沉積(PECVD: Plasma Enhanced Chemical Vapor Deposition)法、分子束磊晶(MBE: Molecular Beam Epitaxy)法、原子層沉積(ALD: Atomic Layer Deposition)法或者脈衝雷射沉積(PLD: Pulsed Laser Deposition)法形成。從減少由電漿引起的損傷的角度來看，較佳為利用 MOCVD 法或 ALD 法。

[0095] 接著，為了使基底絕緣膜 102 的表面平坦化，也可以進行 CMP 處理。藉由進行 CMP 處理，使基底絕緣膜 102 的平均表面粗糙度(Ra)成為 1nm 以下，較佳為 0.3nm 以下，更佳為 0.1nm 以下。當 Ra 的值為上述數值以下時，氧化物半導體膜 108a 的結晶性有時得到提高。可以利用原子力顯微鏡(AFM: Atomic Force Microscope)測量 Ra。

[0096] 接著，也可以對基底絕緣膜 102 添加氧，來形成包含過剩氧的絕緣膜。利用電漿處理或離子植入法等添加氧即可。例如，當利用離子植入法添加氧時，將加速電壓設定為 2kV 以上且 100kV 以下，並將劑量設定為 $5 \times 10^{14} \text{ions/cm}^2$ 以上且 $5 \times 10^{16} \text{ions/cm}^2$ 以下即可。

[0097] 接著，在基底絕緣膜 102 上形成導電膜 104a、導電膜 104b 以及導電膜 104c(參照圖 2B)。導電膜 104a、導電膜 104b 以及導電膜 104c 可以利用濺射法、CVD 法、MOCVD 法、PECVD 法、MBE 法、ALD 法或者 PLD 法形成，可以使用與閘極電極 114 相同的材料。從減少由電漿引起的損傷的角度來看，較佳為利用 MOCVD 法或 ALD 法。

[0098] 接著，在基底絕緣膜 102、導電膜 104a、導電膜 104b 以及導電膜 104c 上形成層間絕緣膜 105(參照圖 2C)。層間絕緣膜 105 可以利用濺射法、CVD 法、MOCVD 法、PECVD 法、MBE 法、ALD 法或者 PLD 法形成。從減少由電漿引起的損傷的角度來看，較佳為利用 MOCVD 法或 ALD 法。為了使層間絕緣膜 105 的表面平坦化，也可以進行 CMP 處理。藉由進行 CMP 處理，使層間絕緣膜 105 的平均表面粗糙度(Ra)成為 1nm 以下，較佳為 0.3nm 以下，更佳為 0.1nm 以下。當 Ra 的值為上述數值以下時，氧化物半導體膜 108a 的結晶性有時得到提高。

[0099] 接著，在層間絕緣膜 105 中形成到達導電膜 104b 的開口部 120a 以及到達導電膜 104c 的開口部

120b，來形成層間絕緣膜 106(參照圖 3A)。

[0100] 接著，在層間絕緣膜 106 上利用濺射法、CVD 法、MOCVD 法、PECVD 法、MBE 法、ALD 法或者 PLD 法形成氧化物半導體膜 108a、障壁膜 108b 以及障壁膜 108c(參照圖 3B)。從減少由電漿引起的損傷的角度來看，較佳為利用 MOCVD 法或 ALD 法。此時，也可以適當地對層間絕緣膜 106 進行蝕刻。藉由適當地對層間絕緣膜 106 進行蝕刻，可以使在後面形成的閘極電極 114 容易覆蓋氧化物半導體膜 108a。另外，為了進行電晶體的微型化，也可以在對氧化物半導體膜 108a、障壁膜 108b 以及障壁膜 108c 進行加工時使用硬遮罩。

[0101] 另外，當作為氧化物半導體膜 108a 形成包括氧化物半導體膜 108a1、氧化物半導體膜 108a2 及氧化物半導體膜 108a3 的疊層膜時，較佳為以不使各層接觸於大氣的方式連續地進行成膜。

[0102] 為了抑制雜質混入而形成結晶性高的氧化物半導體膜，較佳為在基板溫度為 100℃ 以上，較佳為 150℃ 以上，更佳為 200℃ 以上的狀態下形成氧化物半導體膜 108a。另外，將用作成膜氣體的氧氣體或氫氣體的露點設定為 -40℃ 以下，較佳為 -80℃ 以下，更佳為 -100℃ 以下，以使其高度純化。將雜質濃度低且缺陷態密度低(氧缺陷少)的狀態稱為“高純度本質”或“實質上高純度本質”。

[0103] 在形成氧化物半導體膜 108a、障壁膜 108b 以及障壁膜 108c 之後可以進行第一加熱處理。第一加熱處

理在 250℃ 以上且 650℃ 以下，較佳為 300℃ 以上且 500℃ 以下的溫度下且在惰性氣體氛圍、包含 10ppm 以上的氧化氣體的氛圍或減壓狀態下進行即可。作為第一加熱處理，也可以進行惰性氣體氛圍下的加熱處理，然後為了補充脫離了的氧而進行包含 10ppm 以上的氧化氣體的氛圍下的加熱處理。藉由進行第一加熱處理，可以提高氧化物半導體膜 108a 的結晶性，而且可以從氧化物半導體膜 108a、基底絕緣膜 102 和層間絕緣膜 106 中去除氫或水等雜質。

[0104] 在此，在層間絕緣膜中形成開口部之後形成氧化物半導體膜及障壁膜，但是不侷限於此，也可以先形成氧化物半導體膜及障壁膜再在層間絕緣膜中形成開口部。

[0105] 接著，形成：藉由設置在層間絕緣膜 106 中的開口部 120a 與導電膜 104b 電連接且位於氧化物半導體膜 108a 及障壁膜 108b 上的源極電極 110a；以及藉由設置在層間絕緣膜 106 中的開口部 120b 與導電膜 104c 電連接且位於氧化物半導體膜 108a 及障壁膜 108c 上的汲極電極 110b(參照圖 3C)。源極電極 110a 及汲極電極 110b 可以利用濺射法、CVD 法、MOCVD 法、PECVD 法、MBE 法、ALD 法或者 PLD 法形成。從減少由電漿引起的損傷的角度來看，較佳為利用 MOCVD 法或 ALD 法。另外，當對將成為源極電極 110a 及汲極電極 110b 的導電膜進行蝕刻時，源極電極 110a 及汲極電極 110b 的上端部有時呈弧形

(具有曲面)。另外，當對將成為源極電極 110a 及汲極電極 110b 的導電膜進行蝕刻時，層間絕緣膜 106 也可以被適當地蝕刻。

[0106] 接著，在氧化物半導體膜 108a、源極電極 110a 以及汲極電極 110b 上形成閘極絕緣膜 112(參照圖 4A)。閘極絕緣膜 112 可以利用濺射法、CVD 法、MOCVD 法、PECVD 法、MBE 法、ALD 法或者 PLD 法形成。從減少由電漿引起的損傷的角度來看，較佳為利用 MOCVD 法或 ALD 法。

[0107] 接著，在閘極絕緣膜 112 上形成閘極電極 114(參照圖 4B)。

[0108] 接著，在閘極絕緣膜 112 及閘極電極 114 上形成氧化物絕緣膜 116(參照圖 4C)。氧化物絕緣膜 116 可以利用濺射法、CVD 法、MBE 法、ALD 法或者 PLD 法形成。

[0109] 接著，也可以進行第二加熱處理。第二加熱處理可以以與第一加熱處理相同的條件進行。藉由進行第二加熱處理，有時可以減少氧化物半導體膜 108a 的氧缺陷。

[0110] 藉由上述製程可以製造圖 1A 和圖 1B 所示的電晶體。

[0111]

〈電晶體結構的變形例子〉

如圖 5A 所示的電晶體那樣，也可以將分別與源極電

極 110a 及汲極電極 110b 電連接且用作佈線的導電膜 118a 及導電膜 118b 設置在氧化物絕緣膜 116 上。導電膜 118a 及導電膜 118b 也可以與其他的電晶體或電容器等的元件電連接。

[0112] 此外，如圖 5B 所示的電晶體那樣，也可以使氧化物半導體膜 108a 具有三層結構，其中在層間絕緣膜上設置氧化物半導體膜 108a1、氧化物半導體膜 108a2、障壁膜 108b1、障壁膜 108b2、障壁膜 108c1 以及障壁膜 108c2，並在源極電極及汲極電極上設置氧化物半導體膜 108a3。也可以以閘極電極為遮罩對氧化物半導體膜 108a3 及閘極絕緣膜進行蝕刻。

[0113]

〈電晶體結構的變形例子〉

如圖 10 所示的電晶體那樣，也可以在氧化物半導體膜 108a 上設置通道保護膜 128。藉由設置通道保護膜 128，可以防止氧化物半導體膜 108a 被暴露於蝕刻氣體，因此可以減少氧化物半導體膜 108a 與通道保護膜 128 之間的雜質。由此可以減少流過電晶體的源極電極與汲極電極之間的洩漏電流。

[0114] 注意，本實施方式可以與本說明書所示的其他實施方式適當地組合。

[0115]

實施方式 2

在本實施方式中，參照圖式對與實施方式 1 不同的半

導體裝置進行說明。

[0116] 圖 6A 和圖 6B 為本發明的一個方式的電晶體的俯視圖及剖面圖。圖 6A 為俯視圖，圖 6B 為沿著圖 6A 所示的點劃線 B1-B2 的剖面圖。另外，在圖 6A 的俯視圖中，為了明確起見，省略一部分的構成要素。另外，有時將點劃線 B1-B2 的方向稱為通道長度方向，將垂直於點劃線 B1-B2 的方向稱為通道寬度方向。

[0117] 圖 6A 和圖 6B 所示的電晶體 250 包括：基板 100 上的基底絕緣膜 102；基底絕緣膜 102 上的閘極電極 114；基底絕緣膜 102 及閘極電極 114 上的閘極絕緣膜 112；閘極絕緣膜 112 上的源極電極 110a 以及汲極電極 110b；閘極絕緣膜 112、源極電極 110a 以及汲極電極 110b 上的氧化物半導體膜 108a；源極電極 110a 上的障壁膜 108b；汲極電極 110b 上的障壁膜 108c；源極電極 110a、汲極電極 110b、氧化物半導體膜 108a、障壁膜 108b 以及障壁膜 108c 上的層間絕緣膜 106；層間絕緣膜 106 上的導電膜 104a；藉由設置在層間絕緣膜 106 中的開口部 120a 與源極電極 110a 電連接且位於層間絕緣膜 106 上的導電膜 104b；藉由設置在層間絕緣膜 106 中的開口部 120b 與汲極電極 110b 電連接且位於層間絕緣膜 106 上的導電膜 104c。

[0118] 障壁膜 108b 比開口部 120a 更靠近氧化物半導體膜 108a，即障壁膜 108b 與氧化物半導體膜 108a 之間的距離短於開口部 120a 與氧化物半導體膜 108a 之間的距

離。同樣地，障壁膜 108c 比開口部 120b 更靠近氧化物半導體膜 108a，即障壁膜 108c 與氧化物半導體膜 108a 之間的距離短於開口部 120b 與氧化物半導體膜 108a 之間的距離。

[0119] 藉由以上述方式設置障壁膜，可以由障壁膜吸附從其他的層經由開口部侵入的氫等雜質來抑制雜質侵入氧化物半導體膜，因此可以抑制半導體裝置的電特性不良。

[0120] 障壁膜可以與氧化物半導體膜使用同一材料形成在同一表面上。因此，可以在不增加製程數的情況下形成障壁膜。不侷限於此，障壁膜也可以使用與氧化物半導體膜、源極電極(或者汲極電極)不同的材料形成。

[0121] 障壁膜吸附氫等雜質，因此其雜質濃度比氧化物半導體膜高。因此，障壁膜的導電率比氧化物半導體膜高。

[0122] 接著，參照圖 7A 至圖 9B 對電晶體的製造方法進行說明。

[0123] 首先，在基板 100 上形成基底絕緣膜 102(參照圖 7A)。關於基底絕緣膜 102 的材料及製造方法，可以參照實施方式 1。

[0124] 接著，在基底絕緣膜 102 上形成閘極電極 114(參照圖 7B)。關於閘極電極 114 的材料及製造方法，可以參照實施方式 1。

[0125] 接著，在基底絕緣膜 102 及閘極電極 114 上

形成閘極絕緣膜 112(參照圖 7C)。關於閘極絕緣膜 112 的材料及製造方法，可以參照實施方式 1。

[0126] 接著，在閘極絕緣膜 112 上形成源極電極 110a 及汲極電極 110b(參照圖 8A)。關於源極電極 110a 及汲極電極 110b 的材料及製造方法，可以參照實施方式 1。

[0127] 接著，在閘極絕緣膜 112、源極電極 110a 以及汲極電極 110b 上形成氧化物半導體膜 108a、障壁膜 108b 以及障壁膜 108c(參照圖 8B)。關於氧化物半導體膜 108a、障壁膜 108b 以及障壁膜 108c 的材料及製造方法，可以參照實施方式 1。

[0128] 另外，當作為氧化物半導體膜 108a 形成包括氧化物半導體膜 108a1、氧化物半導體膜 108a2 及氧化物半導體膜 108a3 的疊層膜時，較佳為以不使各層接觸於大氣的方式連續地進行成膜。

[0129] 也可以在形成氧化物半導體膜 108a、障壁膜 108b 以及障壁膜 108c 之後進行第一加熱處理。關於第一加熱處理的詳細內容，可以參照實施方式 1。

[0130] 接著，在氧化物半導體膜 108a、障壁膜 108b、障壁膜 108c、源極電極 110a 以及汲極電極 110b 上形成層間絕緣膜 105(參照圖 8C)。關於層間絕緣膜 105 的材料及製造方法，可以參照實施方式 1。

[0131] 接著，在層間絕緣膜 105 中形成到達源極電極 110a 的開口部 120a 以及到達汲極電極 110b 的開口部

120b，來形成層間絕緣膜 106(參照圖 9A)。

[0132] 接著，形成：層間絕緣膜 106 上的導電膜 104a；藉由設置在層間絕緣膜 106 中的開口部 120a 與源極電極 110a 電連接且位於層間絕緣膜 106 上的導電膜 104b；藉由設置在層間絕緣膜 106 中的開口部 120b 與汲極電極 110b 電連接且位於層間絕緣膜 106 上的導電膜 104c(參照圖 9B)。關於導電膜 104a、導電膜 104b 以及導電膜 104c，可以參照實施方式 1。

[0133] 接著，也可以進行第二加熱處理。第二加熱處理可以以與第一加熱處理相同的條件進行。藉由進行第二加熱處理，有時可以減少氧化物半導體膜 108a 的氧缺陷。

[0134] 藉由上述製程可以製造圖 6A 和圖 6B 所示的電晶體。

[0135] 注意，本實施方式可以與本說明書所示的其他實施方式適當地組合。

[0136]

實施方式 3

在本實施方式中，參照圖式說明利用本發明的一個方式的電晶體的電路的一個例子。

[0137]

[剖面結構]

圖 11A 示出本發明的一個方式的半導體裝置的剖面圖。圖 11A 所示的半導體裝置在下部包括使用第一半導體

材料的電晶體 2200，而在上部包括使用第二半導體材料的電晶體 2100。圖 11A 示出作為使用第二半導體材料的電晶體 2100 應用實施方式 1 所示的電晶體的例子。

[0138] 第一半導體材料和第二半導體材料較佳為具有彼此不同的禁止帶寬度的材料。例如，可以將氧化物半導體以外的半導體材料(矽、鍺、矽鍺、碳化矽或砷化鎵等)用於第一半導體材料，並且將氧化物半導體用於第二半導體材料。作為氧化物半導體以外的材料使用單晶矽等的電晶體容易進行高速工作。另一方面，使用氧化物半導體的電晶體的關態電流(off-state current)小。

[0139] 電晶體 2200 可以是 n 通道電晶體和 p 通道電晶體中的任一個，根據電路使用適合的電晶體即可。另外，除了使用包含氧化物半導體的根據本發明的一個方式的電晶體之外，半導體裝置的材料及結構等具體結構不侷限於在此所示的結構。

[0140] 在圖 11A 所示的結構中，在電晶體 2200 上隔著絕緣膜 2201 及絕緣膜 2207 設置有電晶體 2100。電晶體 2200 與電晶體 2100 之間設置有多個佈線 2202。此外，藉由埋入各種絕緣膜中的多個插頭 2203 電連接設置在該絕緣膜上及下的佈線或電極。此外，還設置有覆蓋電晶體 2100 的絕緣膜 2204、絕緣膜 2204 上的佈線 2205 以及藉由對與電晶體 2100 的一對電極相同的導電層進行加工來獲得的佈線 2206。

[0141] 如此，藉由層疊兩種電晶體，可以減少電路

的佔有面積，而可以高密度地設置多個電路。

[0142] 在此，在將矽類半導體材料用於設置在下層的電晶體 2200 時，設置在電晶體 2200 的半導體膜的附近的絕緣膜中的氫具有使矽的懸空鍵終結而提高電晶體 2200 的可靠性的效果。另一方面，在將氧化物半導體用於設置在上層的電晶體 2100 時，設置在電晶體 2100 的半導體膜的附近的絕緣膜中的氫有可能成為在氧化物半導體中生成載子的原因之一，所以有時引起電晶體 2100 的可靠性的下降。因此，當在使用矽類半導體材料的電晶體 2200 上層疊使用氧化物半導體的電晶體 2100 時，在它們之間設置具有防止氫的擴散的功能的絕緣膜 2207 是特別有效的。藉由利用絕緣膜 2207 將氫封閉在下層，可以提高電晶體 2200 的可靠性，此外，由於從下層到上層的氫的擴散得到抑制，所以同時可以提高電晶體 2100 的可靠性。

[0143] 絕緣膜 2207 例如可以使用氧化鋁、氧氮化鋁、氧化鎵、氧氮化鎵、氧化釷、氧氮化釷、氧化鈣、氧氮化鈣、氧化鈮穩定氧化鋯(YSZ)等。

[0144] 此外，較佳為在電晶體 2100 上以覆蓋包括氧化物半導體膜的電晶體 2100 的方式形成具有防止氫的擴散的功能的絕緣膜 2208。絕緣膜 2208 可以使用與絕緣膜 2207 相同的材料，特別較佳為使用氧化鋁。氧化鋁膜的不使氫、水分等雜質和氧透過膜的遮斷(阻擋)效果高。因此，藉由作為覆蓋電晶體 2100 的絕緣膜 2208 使用氧化鋁

膜，可以防止氧從電晶體 2100 中的氧化物半導體膜脫離，還可以防止水及氫混入氧化物半導體膜。

[0145]

[電路結構實例]

在上述結構中，藉由改變電晶體 2100 及電晶體 2200 的電極的連接結構，可以構成各種電路。下面說明藉由使用本發明的一個方式的半導體裝置來可以實現的電路結構的例子。

[0146]

[CMOS 電路]

圖 11B 所示的電路圖示出所謂的 CMOS 電路的結構，其中將 p 通道電晶體 2200 和 n 通道電晶體 2100 串聯連接且將各閘極連接。

[0147]

[類比開關]

圖 11C 所示的電路圖示出將電晶體 2100 和電晶體 2200 的各源極和汲極連接的結構。藉由採用該結構，可以將其用作所謂的類比開關。

[0148]

[記憶體裝置的例子]

圖 12A 和圖 12B 示出半導體裝置(記憶體裝置)的一個例子，該半導體裝置(記憶體裝置)使用本發明的一個方式的電晶體，即使在沒有電力供應的情況下也能夠保持儲存內容，並且，對寫入次數也沒有限制。

[0149] 在圖 12A 所示的半導體裝置包括：使用第一半導體材料的電晶體 3200；使用第二半導體材料的電晶體 3300；以及電容元件 3400。作為電晶體 3300，可以使用在上述實施方式中說明的電晶體。

[0150] 電晶體 3300 是其通道形成在包含氧化物半導體的半導體膜中的電晶體。因為電晶體 3300 的關態電流小，所以藉由使用該電晶體，可以長期保持儲存內容。換言之，因為可以形成不需要更新工作或更新工作的頻率極低的半導體記憶體裝置，所以可以充分降低功耗。

[0151] 在圖 12A 中，第一佈線 3001 與電晶體 3200 的源極電極電連接，第二佈線 3002 與電晶體 3200 的汲極電極電連接。此外，第三佈線 3003 與電晶體 3300 的源極電極和汲極電極中的一個電連接，第四佈線 3004 與電晶體 3300 的閘極電極電連接。再者，電晶體 3200 的閘極電極及電晶體 3300 的源極電極和汲極電極中的另一個與電容元件 3400 的電極中的一個電連接，第五佈線 3005 與電容元件 3400 的電極中的另一個電連接。

[0152] 在圖 12A 所示的半導體裝置中，藉由有效地利用能夠保持電晶體 3200 的閘極電極的電位的特徵，可以如下所示那樣進行資料的寫入、保持以及讀出。

[0153] 對資料的寫入及保持進行說明。首先，將第四佈線 3004 的電位設定為使電晶體 3300 成為開啟狀態的電位，使電晶體 3300 成為開啟狀態。由此，第三佈線 3003 的電位施加到電晶體 3200 的閘極電極及電容元件

3400。換言之，對電晶體 3200 的閘極電極施加規定的電荷(寫入)。這裡，施加賦予兩種不同電位位準的電荷(以下，稱為低位準電荷、高位準電荷)中的任一種。然後，藉由將第四佈線 3004 的電位設定為使電晶體 3300 成為關閉狀態的電位，來使電晶體 3300 成為關閉狀態，而保持施加到電晶體 3200 的閘極電極的電荷(保持)。

[0154] 因為電晶體 3300 的關態電流極小，所以電晶體 3200 的閘極電極的電荷被長時間地保持。

[0155] 接著，對資料的讀出進行說明。當在對第一佈線 3001 施加規定的電位(恆電位)的狀態下對第五佈線 3005 施加適當的電位(讀出電位)時，根據保持在電晶體 3200 的閘極電極中的電荷量，第二佈線 3002 具有不同的電位。這是因為如下緣故：一般而言，在電晶體 3200 為 n 通道電晶體的情況下，對電晶體 3200 的閘極電極施加高位準電荷時的外觀上的臨界電壓 V_{th_H} 低於對電晶體 3200 的閘極電極施加低位準電荷時的外觀上的臨界電壓 V_{th_L} 。在此，外觀上的臨界電壓是指為了使電晶體 3200 成為“開啟狀態”所需要的第五佈線 3005 的電位。因此，藉由將第五佈線 3005 的電位設定為 V_{th_L} 與 V_{th_H} 之間的電位 V_0 ，可以辨別施加到電晶體 3200 的閘極電極的電荷。例如，在寫入時被供應高位準電荷的情況下，如果第五佈線 3005 的電位為 $V_0(>V_{th_H})$ ，電晶體 3200 則成為“開啟狀態”。當被供應低位準電荷時，即使第五佈線 3005 的電位為 $V_0(<V_{th_L})$ ，電晶體 3200 還保持“關閉狀

態”。因此，藉由辨別第二佈線 3002 的電位，可以讀出所保持的資料。

[0156] 注意，當將記憶單元配置為陣列狀時，需要僅讀出所希望的記憶單元的資料。如此，當不讀出資料時，對第五佈線 3005 施加不管閘極電極的狀態如何都使電晶體 3200 成為“關閉狀態”的電位，即小於 V_{th_H} 的電位，即可。或者，對第五佈線 3005 施加不管閘極電極的狀態如何都使電晶體 3200 成為“開啟狀態”的電位，即大於 V_{th_L} 的電位，即可。

[0157] 圖 12B 所示的半導體裝置與圖 12A 所示的半導體裝置之間的主要不同點是圖 12B 所示的半導體裝置沒有設置電晶體 3200。在此情況下也可以藉由與上述相同的工作進行資料的寫入及保持工作。

[0158] 接著，對資料的讀出進行說明。在電晶體 3300 成為開啟狀態時，處於浮動狀態的第三佈線 3003 和電容元件 3400 導通，且在第三佈線 3003 和電容元件 3400 之間再次分配電荷。其結果是，第三佈線 3003 的電位產生變化。第三佈線 3003 的電位的變化量根據電容元件 3400 的電極中的一個的電位(或積累在電容元件 3400 中的電荷)而具有不同的值。

[0159] 例如，在電容元件 3400 的電極中的一個的電位為 V ，電容元件 3400 的電容為 C ，第三佈線 3003 所具有的電容成分為 CB ，再次分配電荷之前的第三佈線 3003 的電位為 $VB0$ 時，再次分配電荷之後的第三佈線 3003 的

電位為 $(CB \times VB0 + C \times V) / (CB + C)$ 。因此，在假定作為記憶單元的狀態，電容元件 3400 的電極中的一個的電位成為兩種狀態，即 $V1$ 和 $V0 (V1 > V0)$ 時，可以知道保持電位 $V1$ 時的第三佈線 3003 的電位 $(= (CB \times VB0 + C \times V1) / (CB + C))$ 高於保持電位 $V0$ 時的第三佈線 3003 的電位 $(= (CB \times VB0 + C \times V0) / (CB + C))$ 。

[0160] 藉由對第三佈線 3003 的電位和規定的電位進行比較，可以讀出資料。

[0161] 在此情況下，可以將使用上述第一半導體材料的電晶體用於用來驅動記憶單元的驅動電路，並在該驅動電路上作為電晶體 3300 層疊使用第二半導體材料的電晶體。

[0162] 在本實施方式所示的半導體裝置中，藉由使用其通道形成區包含氧化物半導體的關態電流極小的電晶體，可以極長期地保持儲存內容。換言之，因為不需要進行更新工作，或者，可以使更新工作的頻率變得極低，所以可以充分降低功耗。另外，即使在沒有電力供給的情況下(注意，較佳為固定電位)，也可以長期保持儲存內容。

[0163] 另外，在本實施方式所示的半導體裝置中，資料的寫入不需要高電壓，而且也沒有元件劣化的問題。由於例如不需要如習知的非揮發性記憶體那樣地對浮動閘極注入電子或從浮動閘極抽出電子，因此不發生如閘極絕緣膜的劣化等的問題。換言之，在根據所公開的發明的半導體裝置中，對重寫的次數沒有限制，這限制是習知的非

揮發性記憶體所具有的問題，所以可靠性得到極大提高。再者，根據電晶體的開啟狀態或關閉狀態而進行資料寫入，而可以容易實現高速工作。

[0164] 本實施方式可以與本說明書所示的其他實施方式適當地組合。

[0165]
實施方式 4

在本實施方式中，參照圖 13 說明包括上述實施方式所說明的電晶體或記憶體裝置的 RFID 標籤。

[0166] 根據本發明的一個方式的 RFID 標籤在其內部包括記憶體電路，在該記憶體電路中儲存所需要的資料，並使用非接觸單元諸如無線通訊向外部發送資料和/或從外部接受資料。由於具有這種特徵，RFID 標籤可以被用於藉由讀取物品等的個體資訊來識別物品的個體識別系統等。注意，這些用途要求極高的可靠性。

[0167] 參照圖 13 說明 RFID 標籤的結構。圖 13 是示出 RFID 標籤的結構實例的塊圖。

[0168] 如圖 13 所示，RFID 標籤 800 包括接收從與通信器 801(也稱為詢問器、讀出器/寫入器等)連接的天線 802 發送的無線信號 803 的天線 804。RFID 標籤 800 還包括整流電路 805、恆壓電路 806、解調變電路 807、調變電路 808、邏輯電路 809、記憶體電路 810、ROM811。另外，在包括在解調變電路 807 中的具有整流作用的電晶體中，也可以使用充分地抑制反向電流的材料，諸如氧化物

半導體。由此，可以抑制起因於反向電流的整流作用的降低並防止解調變電路的輸出飽和，也就是說，可以使解調變電路的輸入和解調變電路的輸出之間的關係靠近於線性關係。注意，資料傳輸方法大致分成如下三種方法：將一對線圈相對地設置並利用互感進行通信的電磁耦合方法；利用感應場進行通信的電磁感應方法；以及利用電波進行通信的電波方法。在本實施方式所示的 RFID 標籤 800 中可以使用上述任何方法。

[0169] 接著，說明各電路的結構。天線 804 與連接於通信器 801 的天線 802 之間進行無線信號 803 的發送及接受。在整流電路 805 中，對藉由由天線 804 接收無線信號來生成的輸入交流信號進行整流，例如進行半波倍壓整流，並由設置在後級的電容元件使被整流的信號平滑化，由此生成輸入電位。另外，整流電路 805 的輸入一側或輸出一側也可以設置限幅電路。限幅電路是在輸入交流信號的振幅大且內部生成電壓大時進行控制以不使一定以上的電力輸入到後級的電路中的電路。

[0170] 恆壓電路 806 是由輸入電位生成穩定的電源電壓而供應到各電路的電路。恆壓電路 806 也可以在其內部包括重設信號產生電路。重設信號產生電路是利用穩定的電源電壓的上升而生成邏輯電路 809 的重設信號的電路。

[0171] 解調變電路 807 是藉由包絡檢測對輸入交流信號進行解調並生成解調信號的電路。此外，調變電路

808 是根據從天線 804 輸出的資料進行調變的電路。

[0172] 邏輯電路 809 是分析解調信號並進行處理的電路。記憶體電路 810 是保持被輸入的資料的電路，並包括行解碼器、列解碼器、儲存區域等。此外，ROM811 是保持識別號碼(ID)等並根據處理進行輸出的電路。

[0173] 注意，根據需要可以適當地設置上述各電路。

[0174] 在此，可以將上述實施方式所示的記憶體裝置用於記憶體電路 810。因為根據本發明的一個方式的記憶體裝置即使在關閉電源的狀態下也可以保持資料，所以適用於 RFID 標籤。再者，因為根據本發明的一個方式的記憶體裝置的資料寫入所需要的電力(電壓)比習知的非揮發性記憶體低得多，所以也可以不產生資料讀出時和寫入時的最大通信距離的差異。再者，根據本發明的一個方式的記憶體裝置可以抑制由於資料寫入時的電力不足引起誤動作或誤寫入的情況。

[0175] 此外，因為根據本發明的一個方式的記憶體裝置可以用作非揮發性記憶體，所以還可以應用於 ROM811。在此情況下，較佳為生產者另外準備用來對 ROM811 寫入資料的指令防止使用者自由地重寫。由於生產者在預先寫入識別號碼後出貨，可以僅使出貨的良品具有識別號碼而不使所製造的所有 RFID 標籤具有識別號碼，由此不發生出貨後的產品的識別號碼不連續的情況而可以容易根據出貨後的產品進行顧客管理。

[0176] 本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0177]

實施方式 5

在本實施方式中，說明至少可以使用上述實施方式所說明的電晶體且包含上述實施方式所說明的記憶體裝置的 CPU。

[0178] 圖 14 是示出將在上述實施方式中說明的電晶體用於至少其一部分的 CPU 的結構的一個例子的塊圖。

[0179] 圖 14 所示的 CPU 在基板 1190 上具有：ALU1191(ALU：Arithmetic logic unit：算術邏輯單元)、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194、時序控制器 1195、暫存器 1196、暫存器控制器 1197、匯流排介面 1198(Bus I/F)、能夠重寫的 ROM1199 以及 ROM 介面 1189(ROM I/F)。作為基板 1190 使用半導體基板、SOI 基板、玻璃基板等。ROM1199 及 ROM 介面 1189 也可以設置在不同的晶片上。當然，圖 14 所示的 CPU 只不過是簡化其結構而表示的一個例子，所以實際上的 CPU 根據其用途具有各種各樣的結構。例如，也可以以包括圖 14 所示的 CPU 或算術電路的結構為核心，設置多個該核心並使其同時工作。另外，在 CPU 的內部算術電路或資料匯流排中能夠處理的位元數例如可以為 8 位、16 位、32 位、64 位等。

[0180] 藉由匯流排介面 1198 輸入到 CPU 的指令在

輸入到指令解碼器 1193 並被解碼之後，輸入到 ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、時序控制器 1195。

[0181] ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、時序控制器 1195 根據被解碼的指令進行各種控制。明確而言，ALU 控制器 1192 生成用來控制 ALU1191 的工作的信號。另外，中斷控制器 1194 在執行 CPU 的程式時，根據其優先度或遮罩的狀態來判斷來自外部的輸入/輸出裝置或週邊電路的中斷要求而對該要求進行處理。暫存器控制器 1197 生成暫存器 1196 的位址，並根據 CPU 的狀態來進行暫存器 1196 的讀出或寫入。

[0182] 另外，時序控制器 1195 生成用來控制 ALU1191、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194 以及暫存器控制器 1197 的工作時序的信號。例如，時序控制器 1195 具有根據參考時脈信號 CLK1 生成內部時脈信號 CLK2 的內部時脈發生器，並將內部時脈信號 CLK2 供應到上述各種電路。

[0183] 在圖 14 所示的 CPU 中，在暫存器 1196 中設置有記憶單元。作為暫存器 1196 的記憶單元，可以使用上述實施方式所示的電晶體。

[0184] 在圖 14 所示的 CPU 中，暫存器控制器 1197 根據 ALU1191 的指令進行暫存器 1196 中的保持工作的選擇。換言之，暫存器控制器 1197 在暫存器 1196 所具有的記憶單元中選擇由正反器保持資料還是由電容元件保持資

料。在選擇由正反器保持資料的情況下，對暫存器 1196 中的記憶單元供應電源電壓。在選擇由電容元件保持資料的情況下，對電容元件進行資料的重寫，而可以停止對暫存器 1196 中的記憶單元供應電源電壓。

[0185] 圖 15 是可以用作暫存器 1196 的記憶元件的電路圖的一個例子。記憶元件 1200 包括當關閉電源時丟失儲存資料的電路 1201、當關閉電源時不丟失儲存資料的電路 1202、開關 1203、開關 1204、邏輯元件 1206、電容元件 1207 以及具有選擇功能的電路 1220。電路 1202 包括電容元件 1208、電晶體 1209 及電晶體 1210。另外，記憶元件 1200 根據需要還可以包括其他元件諸如二極體、電阻元件或電感器等。

[0186] 在此，電路 1202 可以使用上述實施方式所示的記憶體裝置。在停止對記憶元件 1200 供應電源電壓時，接地電位(0V)或使電晶體 1209 關閉的電位繼續輸入到電路 1202 中的電晶體 1209 的閘極。例如，電晶體 1209 的閘極藉由電阻器等負載接地。

[0187] 在此示出開關 1203 為具有一導電型(例如，n 通道型)的電晶體 1213，而開關 1204 為具有與此相反的導電型(例如，p 通道型)的電晶體 1214 的例子。這裡，開關 1203 的第一端子對應於電晶體 1213 的源極和汲極中的一個，開關 1203 的第二端子對應於電晶體 1213 的源極和汲極中的另一個，並且開關 1203 的第一端子與第二端子之間的導通或非導通(即，電晶體 1213 的開啟狀態或關閉狀

態)由輸入到電晶體 1213 的閘極的控制信號 RD 選擇。開關 1204 的第一端子對應於電晶體 1214 的源極和汲極中的一個，開關 1204 的第二端子對應於電晶體 1214 的源極和汲極中的另一個，並且開關 1204 的第一端子與第二端子之間的導通或非導通(即，電晶體 1214 的開啟狀態或關閉狀態)由輸入到電晶體 1214 的閘極的控制信號 RD 選擇。

[0188] 電晶體 1209 的源極和汲極中的一個電連接到電容元件 1208 的一對電極中的一個及電晶體 1210 的閘極。在此，將連接部分稱為節點 M2。電晶體 1210 的源極和汲極中的一個電連接到能夠供應低電源電位的佈線(例如，GND 線)，而另一個電連接到開關 1203 的第一端子(電晶體 1213 的源極和汲極中的一個)。開關 1203 的第二端子(電晶體 1213 的源極和汲極中的另一個)電連接到開關 1204 的第一端子(電晶體 1214 的源極和汲極中的一個)。開關 1204 的第二端子(電晶體 1214 的源極和汲極中的另一個)電連接到能夠供應電源電位 VDD 的佈線。開關 1203 的第二端子(電晶體 1213 的源極和汲極中的另一個)、開關 1204 的第一端子(電晶體 1214 的源極和汲極中的一個)、邏輯元件 1206 的輸入端子和電容元件 1207 的一對電極中的一個是電連接著的。在此，將連接部分稱為節點 M1。可以對電容元件 1207 的一對電極中的另一個輸入固定電位。例如，可以輸入低電源電位(GND 等)或高電源電位(VDD 等)。電容元件 1207 的一對電極中的另一個電連接到能夠供應低電源電位的佈線(例如，GND 線)。對

電容元件 1208 的一對電極中的另一個可以輸入固定電位。例如，可以輸入低電源電位(GND 等)或高電源電位(VDD 等)。電容元件 1208 的一對電極中的另一個電連接到能夠供應低電源電位的佈線(例如，GND 線)。

[0189] 當積極地利用電晶體或佈線的寄生電容等時，可以不設置電容元件 1207 及電容元件 1208。

[0190] 控制信號 WE 輸入到電晶體 1209 的第一閘極(第一閘極電極)。開關 1203 及開關 1204 的第一端子與第二端子之間的導通狀態或非導通狀態由與控制信號 WE 不同的控制信號 RD 選擇，當一個開關的第一端子與第二端子之間處於導通狀態時，另一個開關的第一端子與第二端子之間處於非導通狀態。

[0191] 對應於保持在電路 1201 中的資料的信號被輸入到電晶體 1209 的源極和汲極中的另一個。圖 15 示出從電路 1201 輸出的信號輸入到電晶體 1209 的源極和汲極中的另一個的例子。由邏輯元件 1206 使從開關 1203 的第二端子(電晶體 1213 的源極和汲極中的另一個)輸出的信號的邏輯值反轉而成為反轉信號，將其經由電路 1220 輸入到電路 1201。

[0192] 另外，雖然圖 15 示出從開關 1203 的第二端子(電晶體 1213 的源極和汲極中的另一個)輸出的信號經由邏輯元件 1206 及電路 1220 輸入到電路 1201 的例子，但是不侷限於此。也可以不使從開關 1203 的第二端子(電晶體 1213 的源極和汲極中的另一個)輸出的信號的邏輯值

反轉而輸入到電路 1201。例如，當在電路 1201 內存在其中保持使從輸入端子輸入的信號的邏輯值反轉的信號的節點時，可以將從開關 1203 的第二端子(電晶體 1213 的源極和汲極中的另一個)輸出的信號輸入到該節點。

[0193] 在圖 15 所示的用於記憶元件 1200 的電晶體中，電晶體 1209 以外的電晶體也可以使用其通道形成在由氧化物半導體以外的半導體構成的層或基板 1190 中的電晶體。例如，可以使用其通道形成在矽層或矽基板中的電晶體。此外，也可以作為用於記憶元件 1200 的所有的電晶體使用其通道形成在氧化物半導體膜中的電晶體。或者，記憶元件 1200 還可以包括電晶體 1209 以外的其通道由氧化物半導體膜形成的電晶體，並且作為剩下的電晶體可以使用其通道形成在由氧化物半導體以外的半導體構成的層或基板 1190 中的電晶體。

[0194] 圖 15 所示的電路 1201 例如可以使用正反器電路。另外，作為邏輯元件 1206 例如可以使用反相器或時脈反相器等。

[0195] 在根據本發明的一個方式的半導體裝置中，在不向記憶元件 1200 供應電源電壓的期間，可以由設置在電路 1202 中的電容元件 1208 保持儲存在電路 1201 中的資料。

[0196] 另外，其通道形成在氧化物半導體膜中的電晶體的關態電流極小。例如，其通道形成在氧化物半導體膜中的電晶體的關態電流比其通道形成在具有結晶性的矽

中的電晶體的關態電流低得多。因此，藉由將該電晶體用作電晶體 1209，即使在不向記憶元件 1200 供應電源電壓的期間也可以長期間地儲存電容元件 1208 所保持的信號。因此，記憶元件 1200 在停止供應電源電壓的期間也可以保持儲存內容(資料)。

[0197] 另外，由於該記憶元件是以藉由設置開關 1203 及開關 1204 進行預充電工作為特徵的記憶元件，因此它可以縮短在再次開始供應電源電壓之後直到電路 1201 再次保持原來的資料為止的時間。

[0198] 另外，在電路 1202 中，由電容元件 1208 保持的信號被輸入到電晶體 1210 的閘極。因此，在再次開始向記憶元件 1200 供應電源電壓之後，可以將由電容元件 1208 保持的信號轉換為電晶體 1210 的狀態(開啟狀態或關閉狀態)，並從電路 1202 讀出。因此，即使對應於保持在電容元件 1208 中的信號的電位有些變動，也可以準確地讀出原來的信號。

[0199] 藉由將這種記憶元件 1200 用於處理器所具有的暫存器或快取記憶體等記憶體裝置，可以防止記憶體裝置內的資料因停止電源電壓的供應而消失。另外，可以在再次開始供應電源電壓之後在短時間內恢復到停止供應電源之前的狀態。因此，在整個處理器或構成處理器的一個或多個邏輯電路中在短時間內也可以停止電源，從而可以抑制功耗。

[0200] 在本實施方式中，雖然對將記憶元件 1200 用

於 CPU 的例子進行說明，但是也可以將記憶元件 1200 應用於 LSI 諸如 DSP(Digital Signal Processor：數位訊號處理器)、定製 LSI、PLD(Programmable Logic Device：可程式邏輯裝置)等、RF-ID(Radio Frequency Identification：射頻識別)。

[0201] 本實施方式可以與本說明書所示的其他實施方式適當地組合。

[0202]

實施方式 6

在本實施方式中說明本發明的一個方式的顯示面板的結構實例。

[0203]

[結構實例]

圖 19A 是本發明的一個方式的顯示面板的俯視圖，圖 19B 是在將液晶元件用於本發明的一個方式的顯示面板的像素時可以使用的像素電路的電路圖。圖 19C 是在將有機 EL 元件用於本發明的一個方式的顯示面板的像素時可以使用的像素電路的電路圖。

[0204] 可以根據上述實施方式形成配置在像素部中的電晶體。此外，因為該電晶體容易形成為 n 通道電晶體，所以將驅動電路中的可以由 n 通道電晶體構成的驅動電路的一部分與像素部的電晶體形成在同一基板上。如上所述，藉由將上述實施方式所示的電晶體用於像素部或驅動電路，可以提供可靠性高的顯示裝置。

[0205] 圖 19A 示出主動矩陣型顯示裝置的方塊圖的一個例子。在顯示裝置的基板 700 上設置有：像素部 701；第一掃描線驅動電路 702；第二掃描線驅動電路 703；以及信號線驅動電路 704。在像素部 701 中配置有從信號線驅動電路 704 延伸的多個信號線以及從第一掃描線驅動電路 702 及第二掃描線驅動電路 703 延伸的多個掃描線。此外，在掃描線與信號線的交叉區中具有顯示元件的像素配置為矩陣狀。另外，顯示裝置的基板 700 藉由 FPC(Flexible Printed Circuit：撓性印刷電路)等的連接部連接到時序控制電路(也稱為控制器、控制 IC)。

[0206] 在圖 19A 中，在設置有像素部 701 的基板 700 上形成有第一掃描線驅動電路 702、第二掃描線驅動電路 703、信號線驅動電路 704。由此，設置在外部的驅動電路等的構件的數量減少，從而能夠實現成本的降低。另外，當在基板 700 的外部設置驅動電路時，需要使佈線延伸，佈線之間的連接數增加。當在基板 700 上設置驅動電路時，可以減少該佈線之間的連接數，從而可以實現可靠性或良率的提高。

[0207]

(液晶面板)

圖 19B 示出像素部的電路結構的一個例子。在此，示出可以用於 VA 方式的液晶顯示面板的像素的像素電路。

[0208] 可以將該像素電路應用於一個像素具有多個像素電極層的結構。各像素電極層分別與不同的電晶體連

接，以藉由不同閘極信號驅動各電晶體。由此，可以獨立地控制施加到多域像素中的各像素電極層的信號。

[0209] 電晶體 716 的閘極佈線 712 和電晶體 717 的閘極佈線 713 彼此分離，以便能夠被提供不同的閘極信號。另一方面，電晶體 716 和電晶體 717 共同使用用作資料線的源極電極層或汲極電極層 714。作為電晶體 716 及電晶體 717，可以適當地利用上述實施方式所示的電晶體。由此可以提供可靠性高的液晶顯示面板。

[0210] 以下說明與電晶體 716 電連接的第一像素電極層及與電晶體 717 電連接的第二像素電極層的形狀。第一像素電極層和第二像素電極層被狹縫彼此分離。第一像素電極層呈擴展為 V 字型的形狀，第二像素電極層以圍繞第一像素電極層的方式形成。

[0211] 電晶體 716 的閘極電極連接到閘極佈線 712，而電晶體 717 的閘極電極連接到閘極佈線 713。藉由對閘極佈線 712 和閘極佈線 713 施加不同的閘極信號，可以使電晶體 716 及電晶體 717 的工作時序互不相同來控制液晶配向。

[0212] 另外，也可以由電容佈線 710、用作電介質的閘極絕緣膜以及與第一像素電極層或第二像素電極層電連接的電容電極形成儲存電容器。

[0213] 多域結構在一個像素中設置有第一液晶元件 718 和第二液晶元件 719。第一液晶元件 718 由第一像素電極層、反電極層以及它們之間的液晶層構成，而第二液

晶元件 719 由第二像素電極層、反電極層以及它們之間的液晶層構成。

[0214] 此外，圖 19B 所示的像素電路不侷限於此。例如，也可以還對圖 19B 所示的像素追加開關、電阻元件、電容元件、電晶體、感測器或邏輯電路等。

[0215]

(有機 EL 面板)

圖 19C 示出像素的電路結構的其他例子。在此，示出使用有機 EL 元件的顯示面板的像素結構。

[0216] 在有機 EL 元件中，藉由對發光元件施加電壓，電子和電洞從一對電極分別注入到包含發光有機化合物的層，而產生電流。然後，藉由使電子和電洞再結合，發光有機化合物達到激發態，並且當該激發態恢復到基態時，獲得發光。根據這種機制，該發光元件被稱為電流激發型發光元件。

[0217] 圖 19C 是示出可以應用的像素電路的一個例子的圖。這裡示出一個像素包括兩個 n 通道電晶體的例子。本發明的一個方式的金屬氧化物膜可以用於 n 通道電晶體的通道形成區。另外，該像素電路可以採用數位時間灰階級驅動。

[0218] 以下說明可以應用的像素電路的結構及採用數位時間灰階級驅動時的像素的工作。

[0219] 像素 720 包括開關電晶體 721、驅動電晶體 722、發光元件 724 以及電容元件 723。在開關電晶體 721

中，閘極電極層與掃描線 726 連接，第一電極(源極電極層和汲極電極層中的一個)與信號線 725 連接，並且第二電極(源極電極層和汲極電極層中的另一個)與驅動電晶體 722 的閘極電極層連接。在驅動電晶體 722 中，閘極電極層藉由電容元件 723 與電源線 727 連接，第一電極與電源線 727 連接，第二電極與發光元件 724 的第一電極(像素電極)連接。發光元件 724 的第二電極相當於共同電極 728。共同電極 728 與形成在同一基板上的共用電位線電連接。

[0220] 作為開關電晶體 721 及驅動電晶體 722，可以適當地利用上述實施方式所示的電晶體。由此可以提供可靠性高的有機 EL 顯示面板。

[0221] 將發光元件 724 的第二電極(共同電極 728)的電位設定為低電源電位。注意，低電源電位是指低於供應到電源線 727 的高電源電位的電位，例如，低電源電位可以為 GND、0V 等。將高電源電位與低電源電位的電位差設定為發光元件 724 的正向臨界電壓以上，將該電位差施加到發光元件 724 來使電流流過發光元件 724，以獲得發光。發光元件 724 的正向電壓是指獲得所希望的亮度的電壓，至少包含正向臨界電壓。

[0222] 另外，還可以使用驅動電晶體 722 的閘極電容代替電容元件 723。作為驅動電晶體 722 的閘極電容，也可以利用在通道形成區和閘極電極層之間的電容。

[0223] 接著，說明輸入到驅動電晶體 722 的信號。

當採用電壓輸入電壓驅動方式時，對驅動電晶體 722 輸入使驅動電晶體 722 充分處於開啟狀態或關閉狀態的兩個狀態的視訊信號。為了使驅動電晶體 722 在線性區域中工作，將比電源線 727 的電壓高的電壓施加到驅動電晶體 722 的閘極電極層。另外，對信號線 725 施加電源線電壓加驅動電晶體 722 的臨界電壓 V_{th} 的值以上的電壓。

[0224] 當進行類比灰階級驅動時，對驅動電晶體 722 的閘極電極層施加發光元件 724 的正向電壓加驅動電晶體 722 臨界電壓的 V_{th} 的值以上的電壓。另外，藉由輸入使驅動電晶體 722 在飽和區域中工作的視訊信號，使電流流過發光元件 724。為了使驅動電晶體 722 在飽和區域中工作，使電源線 727 的電位高於驅動電晶體 722 的閘極電位。藉由採用類比方式的視訊信號，可以使與視訊信號對應的電流流過發光元件 724，而進行類比灰階級驅動。

[0225] 注意，像素電路的結構不侷限於圖 19C 所示的像素結構。例如，還可以對圖 19C 所示的像素電路追加開關、電阻元件、電容元件、感測器、電晶體或邏輯電路等。

[0226] 當對圖 19A 至圖 19C 所示的電路應用上述實施方式所示的電晶體時，使源極電極(第一電極)及汲極電極(第二電極)分別電連接到低電位一側及高電位一側。再者，可以由控制電路等控制第一閘極電極的電位，且由未圖示的佈線將比源極電極低的電位等如上所示的電位輸入第二閘極電極。

[0227] 本實施方式可以與本說明書所示的其他實施方式適當地組合。

[0228]
實施方式 7

根據本發明的一個方式的半導體裝置可以用於顯示裝置、個人電腦或具備儲存介質的影像再現裝置(典型的是，能夠再現儲存介質如數位影音光碟(DVD：Digital Versatile Disc)等並具有可以顯示該影像的顯示器的裝置)中。另外，作為可以使用根據本發明的一個方式的半導體裝置的電子裝置，可以舉出行動電話、包括可攜式的遊戲機、可攜式資料終端、電子書閱讀器、拍攝裝置諸如視頻攝影機或數位相機等、護目鏡型顯示器(頭部安裝顯示器)、導航系統、音頻再生裝置(汽車音響系統、數位聲訊播放機等)、影印機、傳真機、印表機、多功能印表機、自動櫃員機(ATM)以及自動販賣機等。圖 16A 至圖 16F 示出這些電子裝置的具體例子。

[0229] 圖 16A 是可攜式遊戲機，該可攜式遊戲機包括外殼 901、外殼 902、顯示部 903、顯示部 904、麥克風 905、揚聲器 906、操作鍵 907 以及觸控筆 908 等。注意，雖然圖 16A 所示的可攜式遊戲機包括兩個顯示部 903 和顯示部 904，但是可攜式遊戲機所包括的顯示部的個數不限於此。

[0230] 圖 16B 是可攜式資料終端，該可攜式資料終端包括第一外殼 911、第二外殼 912、第一顯示部 913、

第二顯示部 914、連接部 915、操作鍵 916 等。第一顯示部 913 設置在第一外殼 911 中，第二顯示部 914 設置在第二外殼 912 中。而且，第一外殼 911 和第二外殼 912 由連接部 915 連接，由連接部 915 可以改變第一外殼 911 和第二外殼 912 之間的角度。第一顯示部 913 的影像也可以根據連接部 915 所形成的第一外殼 911 和第二外殼 912 之間的角度切換。另外，也可以對第一顯示部 913 和第二顯示部 914 中的至少一個使用附加有位置輸入功能的顯示裝置。另外，可以藉由在顯示裝置中設置觸控面板來附加位置輸入功能。或者，也可以藉由在顯示裝置的像素部中設置被稱為光感測器的光電轉換元件來附加位置輸入功能。

[0231] 圖 16C 是膝上型個人電腦，該膝上型個人電腦包括外殼 921、顯示部 922、鍵盤 923 以及指向裝置 924 等。

[0232] 圖 16D 是電冷藏冷凍箱，該電冷藏冷凍箱包括外殼 931、冷藏室門 932、冷凍室門 933 等。

[0233] 圖 16E 是視頻攝影機，該視頻攝影機包括第一外殼 941、第二外殼 942、顯示部 943、操作鍵 944、透鏡 945、連接部 946 等。操作鍵 944 及透鏡 945 設置在第一外殼 941 中，顯示部 943 設置在第二外殼 942 中。而且，第一外殼 941 和第二外殼 942 由連接部 946 連接，由連接部 946 可以改變第一外殼 941 和第二外殼 942 之間的角度。顯示部 943 的影像也可以根據連接部 946 所形成的第一外殼 941 和第二外殼 942 之間的角度切換。

[0234] 圖 16F 是一般的汽車，該汽車包括車體 951、車輪 952、儀表板 953 及燈 954 等。

[0235] 本實施方式可以與本說明書所示的其他實施方式適當地組合。

[0236]

實施方式 8

在本實施方式中，參照圖 17A 至圖 17F 說明根據本發明的一個方式的 RFID 的使用例子。RFID 的用途廣泛，例如可以設置於物品諸如鈔票、硬幣、有價證券類、不記名證券類、證書類(駕駛證、居民卡等，參照圖 17A)、儲存介質(DVD 軟體、錄影帶等，參照圖 17B)、包裝用容器類(包裝紙、瓶子等，參照圖 17C)、車輛類(自行車等，參照圖 17D)、個人物品(包、眼鏡等)、食物類、植物類、動物類、人體、衣服、生活用品類、包括藥品或藥劑的醫療品、電子裝置(液晶顯示裝置、EL 顯示裝置、電視機或行動電話)等或者各物品的裝運標籤(參照圖 17E 和圖 17F)等。

[0237] 當將根據本發明的一個方式的 RFID4000 固定到物品時，將其附著到物品的表面上或者填埋於物品中。例如，當固定到書本時，將 RFID 嵌入在書本的紙張裡，而當固定到有機樹脂的包裝時，將 RFID 填埋於有機樹脂內部。根據本發明的一個方式的 RFID4000 實現了小型、薄型以及輕量，所以即使在固定到物品中也不會影響到該物品的設計性。另外，藉由將根據本發明的一個方式的

RFID4000 設置於鈔票、硬幣、有價證券類、不記名證券類或證書類等，可以賦予識別功能。藉由利用該識別功能可以防止偽造。另外，可以藉由在包裝用容器類、儲存介質、個人物品、食物類、衣服、生活用品類或電子裝置等中設置根據本發明的一個方式的 RFID，可以提高檢品系統等系統的運行效率。另外，藉由在車輛類中安裝根據本發明的一個方式的 RFID，可以防止盜竊等而提高安全性。

[0238] 如上所述，藉由將根據本發明的一個方式的 RFID 應用於在本實施方式中列舉的各用途，可以降低包括資料的寫入或讀出等的工作的功耗，因此能夠使最大通信距離長。另外，即使在關閉電力供應的狀態下，也可以在極長的期間保持資料，所以上述 RFID 適用於寫入或讀出的頻率低的用途。

[0239] 本實施方式可以與本說明書所示的其他實施方式適當地組合。

實施例

[0240] 在本實施例中，作為實施例樣本製造與圖 5B 所示的電晶體相同結構的電晶體，並進行電特性的評估。

[0241] 首先，示出實施例樣本的製造方法。

[0242] 在矽電晶體上利用 CVD 法形成將成為層間絕緣膜的 900nm 厚的以 TEOS(Tetra Ethyl Ortho Silicate，四乙氧基矽烷)為原料的氧化矽膜。

[0243] 接著，對氧化矽膜進行 CMP 處理來使氧化矽膜的表面平坦化。處理條件為如下：作為 CMP 拋光墊使用聚氨酯類砂布；作為漿料使用 NP8020(日本 Nitta Haas 公司製造)的原液(二氧化矽(Silica)的粒徑為 60nm 至 80nm)；漿料溫度為室溫；拋光壓力為 0.08MPa；固定基板一側的主軸旋轉速度為 51rpm；固定砂布的桌台旋轉速度為 50rpm；處理時間為 1.6 分鐘。

[0244] 接著，利用蝕刻處理在氧化矽膜中形成到達矽電晶體的電極的開口。首先，利用 ICP(Inductively Coupled Plasma，電感耦合電漿)蝕刻法進行第一蝕刻。第一蝕刻條件為如下：使用三氟甲烷和氦($\text{CHF}_3:\text{He}=50\text{sccm}:100\text{sccm}$)的混合氛圍，電源功率為 475W，偏壓功率為 300W，壓力為 5.5Pa，蝕刻時間為 3 秒。接著，利用 ICP 蝕刻法進行第二蝕刻。第二蝕刻條件為如下：使用三氟甲烷和氦($\text{CHF}_3:\text{He}=7.5\text{sccm}:142.5\text{sccm}$)的混合氛圍，電源功率為 475W，偏壓功率為 300W，壓力為 5.5Pa，蝕刻時間為 79 秒。然後，再次以第一蝕刻條件進行蝕刻，並以第二蝕刻條件進行蝕刻。

[0245] 接著，利用濺射法形成將成為連接佈線的 150nm 厚的鎢膜。成膜條件為如下：使用鎢靶材，使用氬($\text{Ar}=80\text{sccm}$)氛圍，壓力為 0.8Pa，電源功率為 1kW，靶材與基板之間的距離為 60mm，基板溫度為 230℃。

[0246] 接著，對鎢膜進行蝕刻來形成連接佈線。蝕刻條件為如下：利用 ICP 蝕刻法，使用氯、四氟化碳以及

氧 ($\text{Cl}_2:\text{CF}_4:\text{O}_2=45\text{sccm}:55\text{sccm}:55\text{sccm}$) 的混合氛圍，電源功率為 3000W，偏壓功率為 110W，壓力為 0.67Pa，蝕刻時間為 5 秒。

[0247] 接著，利用 CVD 法形成將成為層間絕緣膜的 500nm 厚的以 TEOS 為原料的氧化矽膜。

[0248] 接著，對氧化矽膜進行 CMP 處理來使連接佈線露出。處理條件為如下：作為 CMP 拋光墊使用聚氨酯類砂布；作為漿料使用 NP8020(日本 Nitta Haas 公司製造) 的原液(二氧化矽(Silica)的粒徑為 60nm 至 80nm)；漿料溫度為室溫；拋光壓力為 0.08MPa；固定基板一側的主軸旋轉速度為 51rpm；固定砂布的桌台旋轉速度為 50rpm；處理時間為 1.4 分鐘。

[0249] 接著，利用 CVD 法形成將成為層間絕緣膜的 100nm 厚的以 TEOS 為原料的氧化矽膜、該氧化矽膜上的 50nm 厚的氮化矽膜以及該氮化矽膜上的 300nm 厚的氧化矽膜。

[0250] 接著，層疊形成 20nm 厚的第一氧化物半導體膜與 15nm 厚的第二氧化物半導體膜。第一氧化物半導體膜使用 $\text{In}:\text{Ga}:\text{Zn}=1:3:2$ (原子數比)的氧化物靶材利用濺射法在如下條件下形成：使用氬和氧($\text{Ar}:\text{O}_2=30\text{sccm}:15\text{sccm}$) 的混合氛圍，壓力為 0.4Pa，電源功率為 0.5kW，靶材與基板之間的距離為 60mm，基板溫度為 200℃。第二氧化物半導體膜使用 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ (原子數比)的氧化物靶材利用濺射法在如下條件下形成：使用氬和氧

(Ar:O₂=30sccm:15sccm)的混合氛圍，壓力為 0.4Pa，電源功率為 0.5kW，靶材與基板之間的距離為 60mm，基板溫度為 300℃。第一氧化物半導體膜和第二氧化物半導體膜以不暴露於大氣的方式連續地形成。

[0251] 接著，進行加熱處理。在氮氛圍下以 450℃ 進行 1 小時的加熱處理，然後在氧氛圍下以 450℃ 進行 1 小時的加熱處理。

[0252] 接著，利用 ICP 蝕刻法在使用三氯化硼和氯 (BCl₃:Cl₂=60sccm:20sccm) 的混合氛圍，電源功率為 450W，偏壓功率為 100W，壓力為 1.9Pa 的條件下對第一氧化物半導體膜及第二氧化物半導體膜進行蝕刻 89 秒來將其加工為島狀的第一氧化物半導體膜以及第二氧化物半導體膜。與此同時，將第一氧化物半導體膜以及第二氧化物半導體膜加工為島狀的第一障壁膜及第二障壁膜。

[0253] 接著，利用蝕刻處理在 100nm 厚的以 TEOS 為原料的氧化矽膜、氧化矽膜上的 50nm 厚的氮化矽膜以及氮化矽膜上的 300nm 厚的氧化矽膜中形成到達連接佈線的開口。首先，利用 ICP 蝕刻法進行第一蝕刻。第一蝕刻條件為如下：使用三氟甲烷和氦 (CHF₃:He=50sccm:100sccm) 的混合氛圍，電源功率為 475W，偏壓功率為 300W，壓力為 5.5Pa，蝕刻時間為 3 秒。接著，利用 ICP 蝕刻法進行第二蝕刻。第二蝕刻條件為如下：使用三氟甲烷和氦 (CHF₃:He=7.5sccm:142.5sccm) 的混合氛圍，電源功率為 475W，偏壓功率為 300W，壓力為 5.5Pa，蝕刻時間

為 69 秒。然後，再次以第一蝕刻條件進行蝕刻，並以第二蝕刻條件進行蝕刻。

[0254] 接著，形成 100nm 厚的將成為源極電極及汲極電極的鎢膜。鎢膜使用鎢靶材利用濺射法在如下條件下形成：使用氬($\text{Ar}=80\text{sccm}$)氛圍，壓力為 0.8Pa，電源功率(電源輸出)為 1.0kW，基板與靶材之間的距離為 60mm，基板溫度為 230℃。

[0255] 接著，在鎢膜上形成光阻遮罩進行蝕刻。蝕刻利用 ICP 蝕刻法進行。首先，在使用四氟化碳、氯以及氧($\text{CF}_4:\text{Cl}_2:\text{O}_2=55\text{sccm}:45\text{sccm}:55\text{sccm}$)的混合氛圍，電源功率為 3000W，偏壓功率為 110W，壓力為 0.67Pa 的條件下進行第一蝕刻 13 秒，然後，在使用氧($\text{O}_2=100\text{sccm}$)氛圍，電源功率為 2000W，偏壓功率為 0W，壓力為 3.0Pa 的條件下進行第二蝕刻 15 秒，在使用四氟化碳、氯以及氧($\text{CF}_4:\text{Cl}_2:\text{O}_2=55\text{sccm}:45\text{sccm}:55\text{sccm}$)的混合氛圍，電源功率為 3000W，偏壓功率為 110W，壓力為 0.67Pa 的條件下進行第三蝕刻 14 秒，由此形成源極電極及汲極電極。

[0256] 接著，在第二氧化物半導體膜、源極電極及汲極電極上形成 5nm 厚的第三氧化物半導體膜。第三氧化物半導體膜使用 $\text{In}:\text{Ga}:\text{Zn}=1:3:2$ (原子數比)的氧化物靶材利用濺射法在如下條件下形成：使用氬和氧($\text{Ar}:\text{O}_2=30\text{sccm}:15\text{sccm}$)的混合氛圍，壓力為 0.4Pa，電源功率為 0.5kW，靶材與基板之間的距離為 60mm，基板溫度為 200℃。

[0257] 接著，利用 CVD 法形成將成為閘極絕緣膜的 20nm 厚的氧氮化矽膜。成膜條件為如下：使用矽烷和一氧化二氮 ($\text{SiH}_4:\text{N}_2\text{O}=1\text{sccm}:800\text{sccm}$) 的混合氛圍，壓力為 200Pa，電源功率為 150kW，靶材與基板之間的距離為 28mm，基板溫度為 350℃。

[0258] 接著，利用濺射法形成 30nm 厚的氮化鈦膜和 135nm 厚的鎢膜。氮化鈦膜的成膜條件為如下：使用氮 ($\text{N}_2=50\text{sccm}$) 氛圍，壓力為 0.2Pa，電源功率為 12kW，靶材與基板之間的距離為 400mm，基板溫度為 25℃。鎢膜的成膜條件為如下：使用氬 ($\text{Ar}=100\text{sccm}$) 氛圍，壓力為 2.0Pa，電源功率為 4kW，靶材與基板之間的距離為 60mm，基板溫度為 230℃。

[0259] 接著，利用 ICP 蝕刻法對 30nm 厚的氮化鈦膜以及 135nm 厚的鎢膜的疊層進行蝕刻。首先，在使用氯、四氟化碳以及氧 ($\text{Cl}_2:\text{CF}_4:\text{O}_2=45\text{sccm}:55\text{sccm}:55\text{sccm}$) 的混合氛圍，電源功率為 3000W，偏壓功率為 110W，壓力為 0.67Pa 的條件下進行第一蝕刻，然後在使用氯和三氯化硼 ($\text{Cl}_2:\text{BCl}_3=50\text{sccm}:150\text{sccm}$) 的混合氛圍，電源功率為 1000W，偏壓功率為 50W，壓力為 0.67Pa 的條件下進行第二蝕刻，由此形成閘極電極。

[0260] 接著，以閘極電極為遮罩對閘極絕緣膜與第三氧化物半導體膜的疊層進行蝕刻。蝕刻條件為如下：使用三氯化硼 ($\text{BCl}_3=80\text{sccm}$) 的氛圍，電源功率為 450W，偏壓功率為 100W，壓力為 1.0Pa。

[0261] 接著，在閘極電極上利用濺射法形成 150nm 厚的氧化鋁膜。鋁膜的成膜條件為如下：使用氬和氧 ($\text{Ar}:\text{O}_2=25\text{sccm}:25\text{sccm}$) 的混合氛圍，壓力為 0.4Pa，電源功率為 2.5kW，靶材與基板之間的距離為 60mm，基板溫度為 250℃。

[0262] 藉由上述製程製造通道長度為 0.8 μm ，通道寬度為 10 μm 的實施例電晶體。作為對比例子，製造沒有設置第一障壁膜及第二障壁膜的上述電晶體。

[0263] 接著，測定所製造的兩種電晶體的汲極電流 ($I_d:[A]$)，在測定中，將汲極電壓 ($V_d:[V]$) 設定為 0.1V 或 2.7V，將閘極電壓 ($V_g:[V]$) 從 -3V 掃描到 3V，並測定此時的汲極電流。圖 18A 和圖 18B 示出測定結果。在 18A 和圖 18B 中，實線表示汲極電壓 ($V_d:[V]$) 為 0.1V 時的測定結果，虛線表示汲極電壓 ($V_d:[V]$) 為 2.7V 時的測定結果，並且，橫軸表示閘極電壓 ($V_g:[V]$)，縱軸表示汲極電流 ($I_d:[A]$)。注意，“汲極電壓 ($V_d:[V]$)”是指以源極為基準時的汲極與源極之間的電位差，“閘極電壓 ($V_g:[V]$)”是指以源極為基準時的閘極與源極之間的電位差。圖 18A 示出對比例子的電晶體的測定結果，圖 18B 示出實施例電晶體的測定結果。

[0264] 確認到圖 18A 的電晶體的特性偏差很大。另外，確認到圖 18B 的電晶體的特性偏差很小。這表示藉由設置障壁膜，可以降低特性偏差。

【符號說明】

[0265]

100：基板

102：基底絕緣膜

104a：導電膜

104b：導電膜

104c：導電膜

105：層間絕緣膜

106：層間絕緣膜

108a：氧化物半導體膜

108a1：氧化物半導體膜

108a2：氧化物半導體膜

108a3：氧化物半導體膜

108b：障壁膜

108b1：障壁膜

108b2：障壁膜

108c：障壁膜

108c1：障壁膜

108c2：障壁膜

110a：源極電極

110b：汲極電極

112：閘極絕緣膜

114：閘極電極

116：氧化物絕緣膜

118a：導電膜

118b：導電膜

120a：開口部

120b：開口部

128：通道保護膜

150：電晶體

250：電晶體

700：基板

701：像素部

702：掃描線驅動電路

703：掃描線驅動電路

704：信號線驅動電路

710：電容佈線

712：閘極佈線

713：閘極佈線

714：汲極電極層

716：電晶體

717：電晶體

718：液晶元件

719：液晶元件

720：像素

721：開關電晶體

722：驅動電晶體

723：電容元件

724：發光元件
725：信號線
726：掃描線
727：電源線
728：共同電極
800：RFID 標籤
801：通信器
802：天線
803：無線信號
804：天線
805：整流電路
806：恆壓電路
807：解調變電路
808：調變電路
809：邏輯電路
810：記憶體電路
811：ROM
901：外殼
902：外殼
903：顯示部
904：顯示部
905：麥克風
906：揚聲器
907：操作鍵

- 908：觸控筆
- 911：第一外殼
- 912：第二外殼
- 913：顯示部
- 914：顯示部
- 915：連接部
- 916：操作鍵
- 921：外殼
- 922：顯示部
- 923：鍵盤
- 924：指向裝置
- 931：外殼
- 932：冷藏室門
- 933：冷凍室門
- 941：第一外殼
- 942：第二外殼
- 943：顯示部
- 944：操作鍵
- 945：透鏡
- 946：連接部
- 951：車體
- 952：車輪
- 953：儀表板
- 954：燈

- 1189：ROM 介面
- 1190：基板
- 1191：ALU
- 1192：ALU 控制器
- 1193：指令解碼器
- 1194：中斷控制器
- 1195：時序控制器
- 1196：暫存器
- 1197：暫存器控制器
- 1198：匯流排介面
- 1199：ROM
- 1200：記憶元件
- 1201：電路
- 1202：電路
- 1203：開關
- 1204：開關
- 1206：邏輯元件
- 1207：電容元件
- 1208：電容元件
- 1209：電晶體
- 1210：電晶體
- 1213：電晶體
- 1214：電晶體
- 1220：電路

2100：電晶體

2200：電晶體

2201：絕緣膜

2202：佈線

2203：插頭

2204：絕緣膜

2205：佈線

2206：佈線

2207：絕緣膜

2208：絕緣膜

3001：佈線

3002：佈線

3003：佈線

3004：佈線

3005：佈線

3200：電晶體

3300：電晶體

3400：電容元件

4000：RFID

申請專利範圍

1. 一種半導體裝置，包含：

氧化物半導體膜以及金屬氧化物膜；

電連接到該氧化物半導體膜的源極電極和汲極電極；

以及

與該氧化物半導體膜重疊的閘極電極，該閘極電極與該氧化物半導體膜之間隔著閘極絕緣膜，

其中該金屬氧化物膜含有與該氧化物半導體膜相同的材料，該金屬氧化物膜在與該氧化物半導體膜相同的表面上，並且該金屬氧化物膜具有比該氧化物半導體膜更高的導電率，並且

其中該氧化物半導體膜以及該金屬氧化物膜不彼此接觸。

2. 根據申請專利範圍第 1 項之半導體裝置，更包含：

該氧化物半導體膜、該金屬氧化物膜、該源極電極和該汲極電極上的絕緣膜，該絕緣膜具有開口部；以及

該絕緣膜上的導電膜，該導電膜透過該絕緣膜的該開口部電連接到該源極電極和該汲極電極中的一個，

其中該金屬氧化物膜位於該氧化物半導體膜與該絕緣膜的該開口部之間。

3. 一種半導體裝置，包含：

導電膜上的絕緣膜，該絕緣膜具有開口部；

該絕緣膜上的氧化物半導體膜；

在與該氧化物半導體膜相同的表面上的金屬氧化物膜；以及

電連接到該氧化物半導體膜的源極電極和汲極電極，
其中該源極電極和該汲極電極中的一個透過該絕緣膜的該開口部電連接到該導電膜，

其中該金屬氧化物膜位於該氧化物半導體膜與該絕緣膜的該開口部之間，並且

其中該金屬氧化物膜含有與該氧化物半導體膜相同的材料。

4. 一種半導體裝置，包含：

包含半導體材料的電晶體；

該電晶體上的層間絕緣膜；

該層間絕緣膜上的導電膜，該導電膜電連接到該電晶體；

該導電膜上的絕緣膜，該絕緣膜具有開口部；

該絕緣膜上的氧化物半導體膜；

與該氧化物半導體膜相同的表面上的金屬氧化物膜；

以及

電連接到該氧化物半導體膜的源極電極和汲極電極，

其中該源極電極和該汲極電極中的一個透過該絕緣膜的該開口部電連接到該導電膜，並且

其中該金屬氧化物膜位於該氧化物半導體膜與該絕緣膜的該開口部之間。

5. 根據申請專利範圍第 1、3 和 4 項中任一項之半導體

體裝置，其中該氧化物半導體膜具有層疊結構。

6. 根據申請專利範圍第 1、3 和 4 項中任一項之半導體裝置，其中該金屬氧化物膜圍繞該氧化物半導體膜。

7. 根據申請專利範圍第 1、3 和 4 項中任一項之半導體裝置，其中該金屬氧化物膜具有比該氧化物半導體膜更高的氫濃度。

8. 根據申請專利範圍第 3 項之半導體裝置，
其中該金屬氧化物膜具有比該氧化物半導體膜更高的導電率。

9. 根據申請專利範圍第 3 或 4 項之半導體裝置，更包含：

與該氧化物半導體膜重疊的閘極電極，該閘極電極與該氧化物半導體膜之間隔著閘極絕緣膜。

10. 根據申請專利範圍第 4 項之半導體裝置，
其中該金屬氧化物膜含有與該氧化物半導體膜相同的材料，

其中該金屬氧化物膜具有比該氧化物半導體膜更高的導電率。

圖式

圖 1A

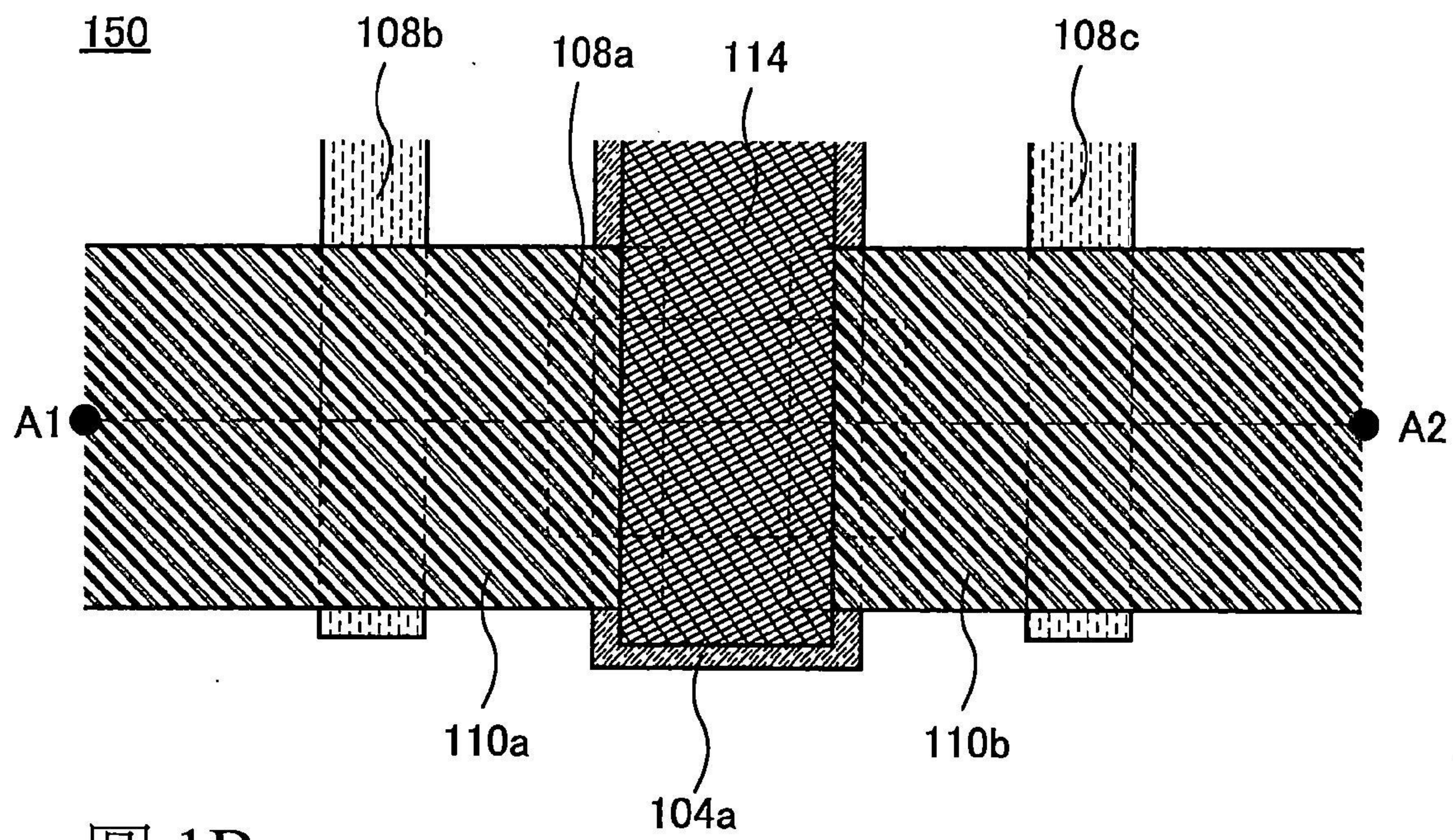


圖 1B

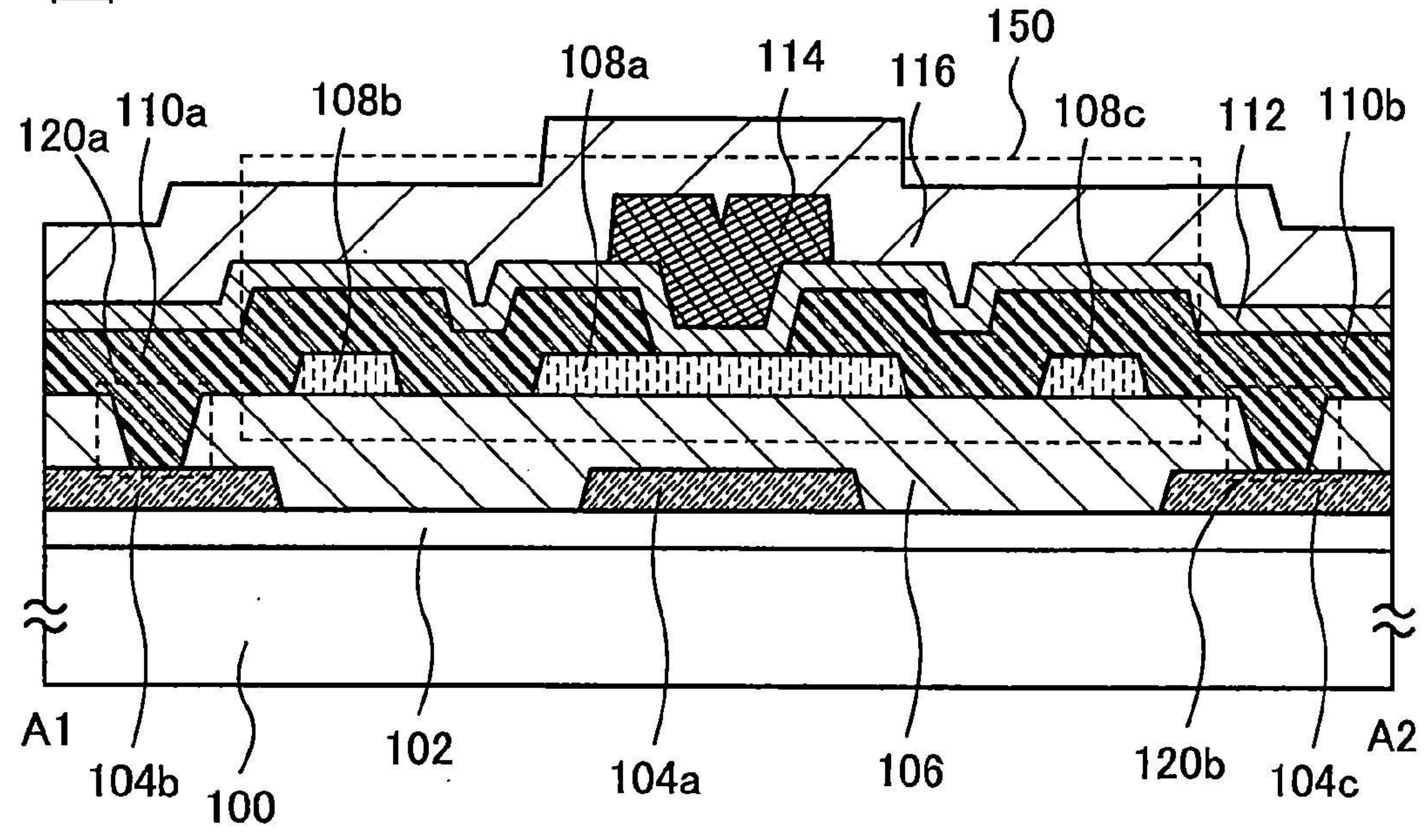


圖 1C

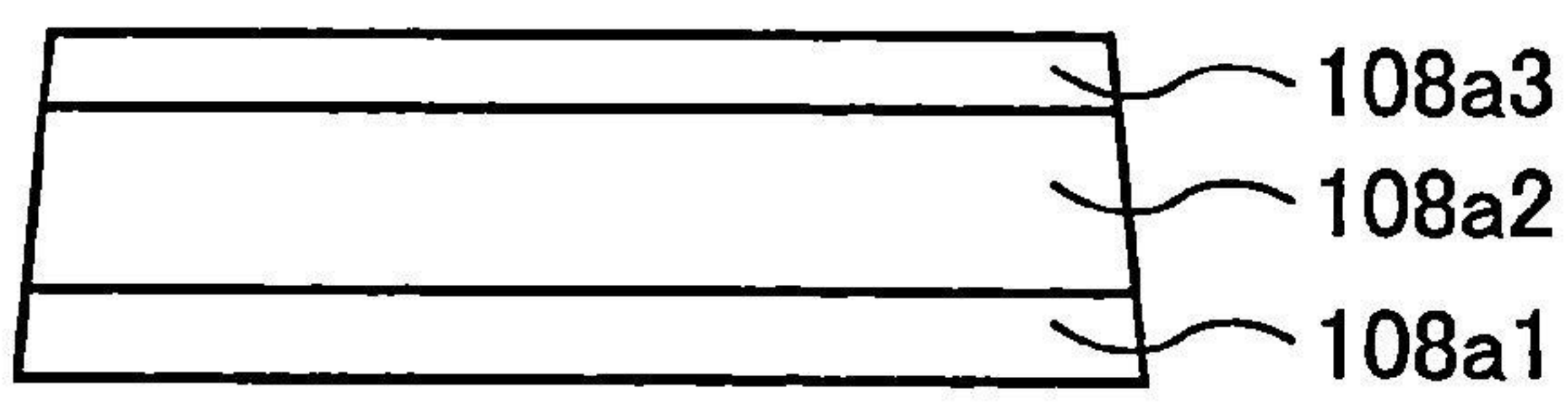


圖 2A

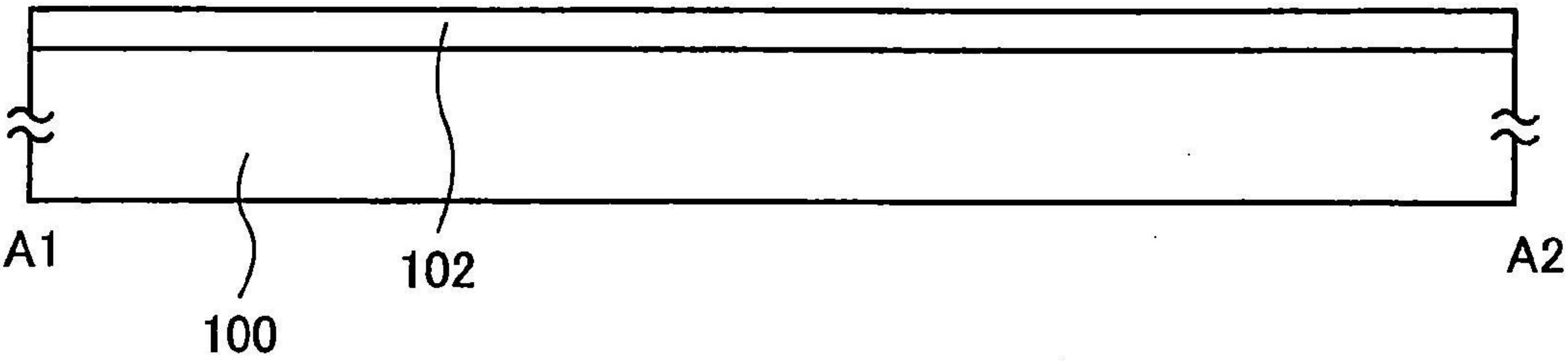


圖 2B

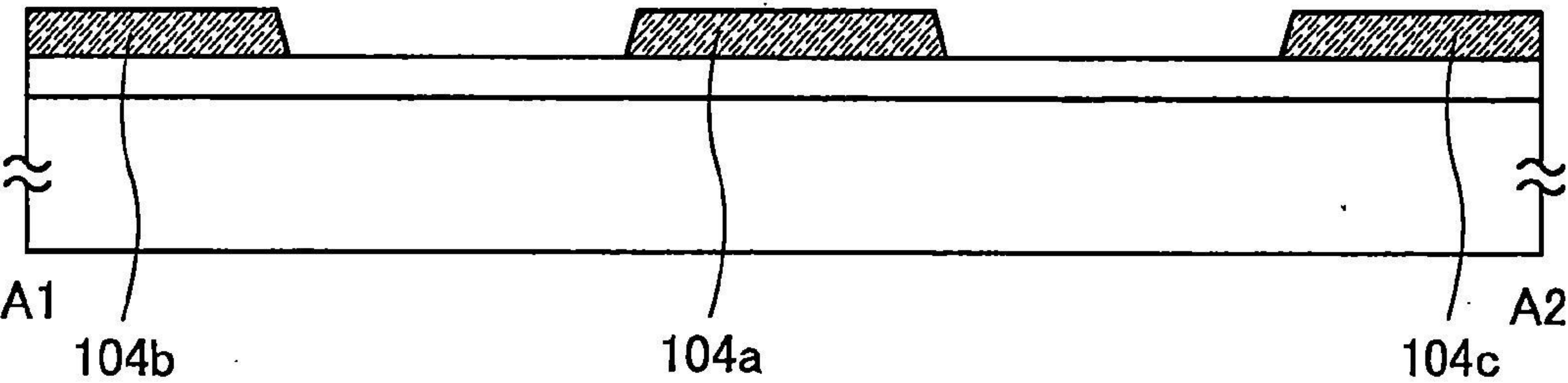


圖 2C

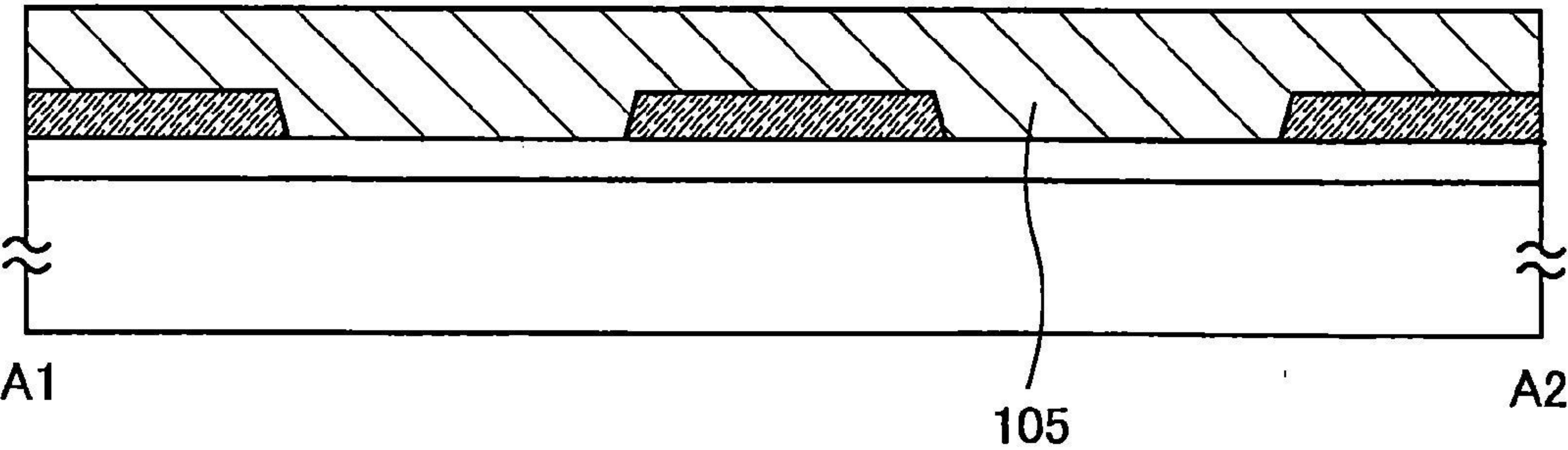


圖 3A

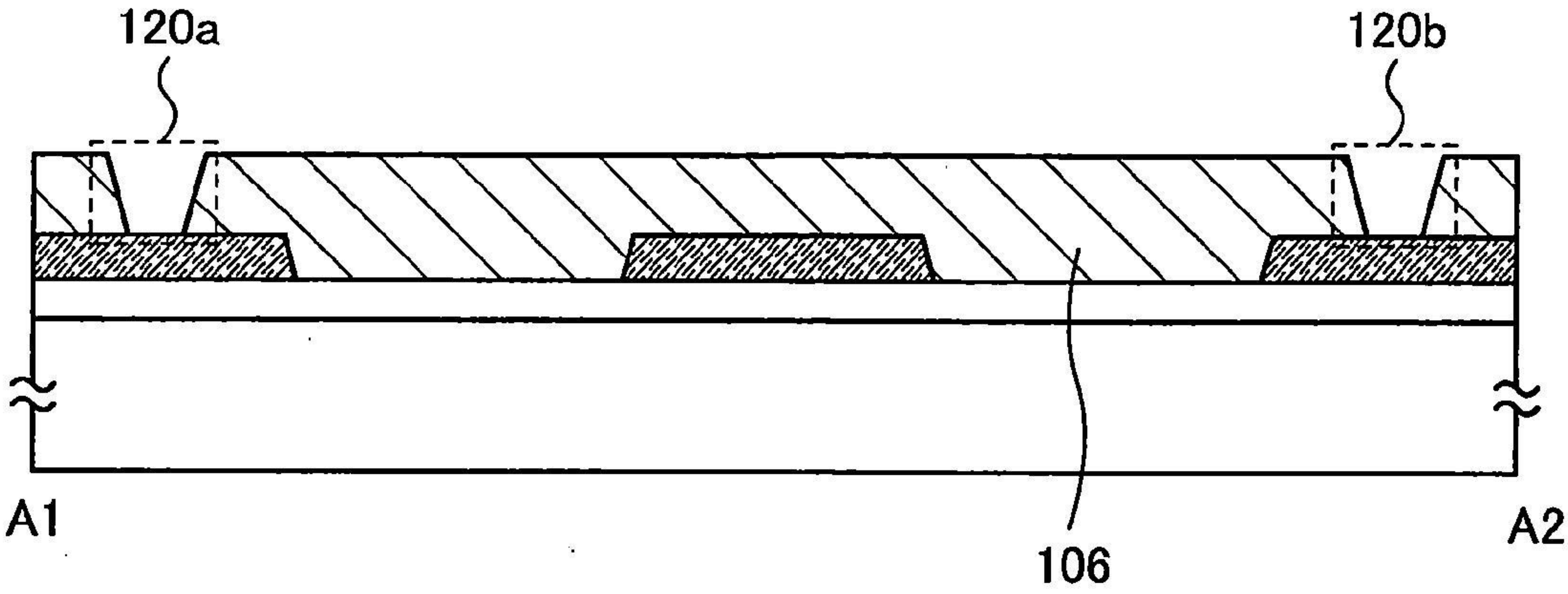


圖 3B

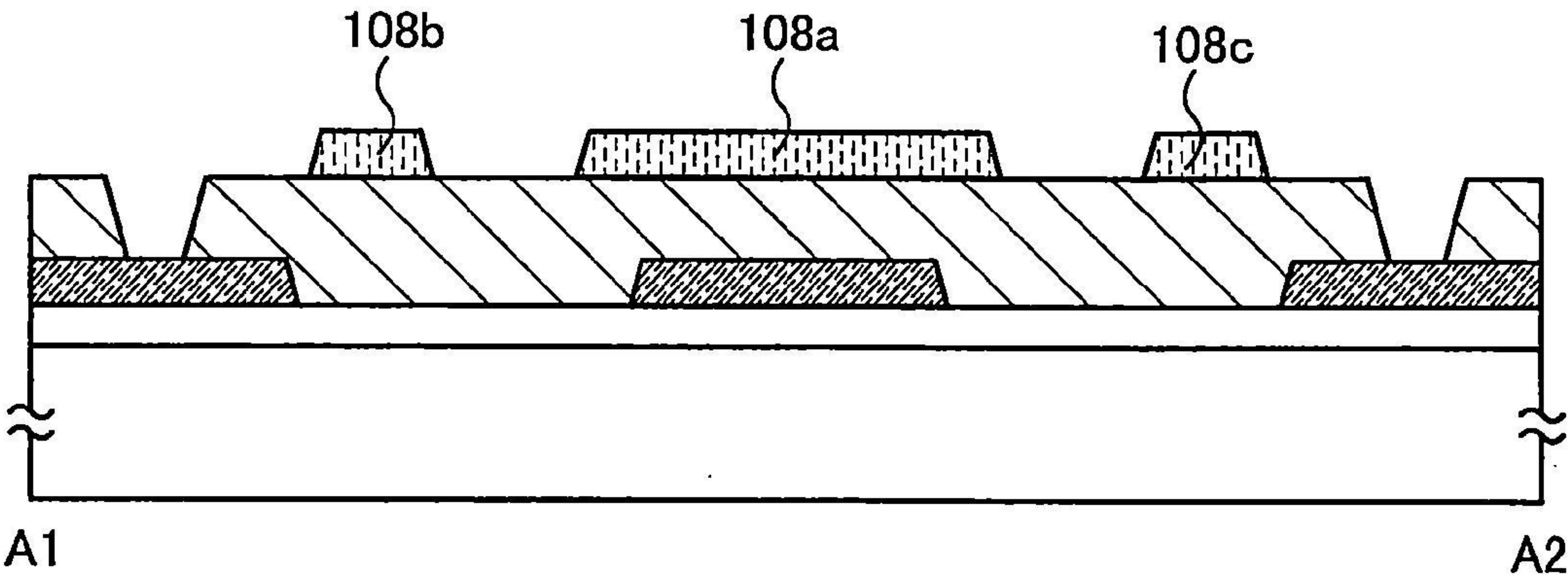


圖 3C

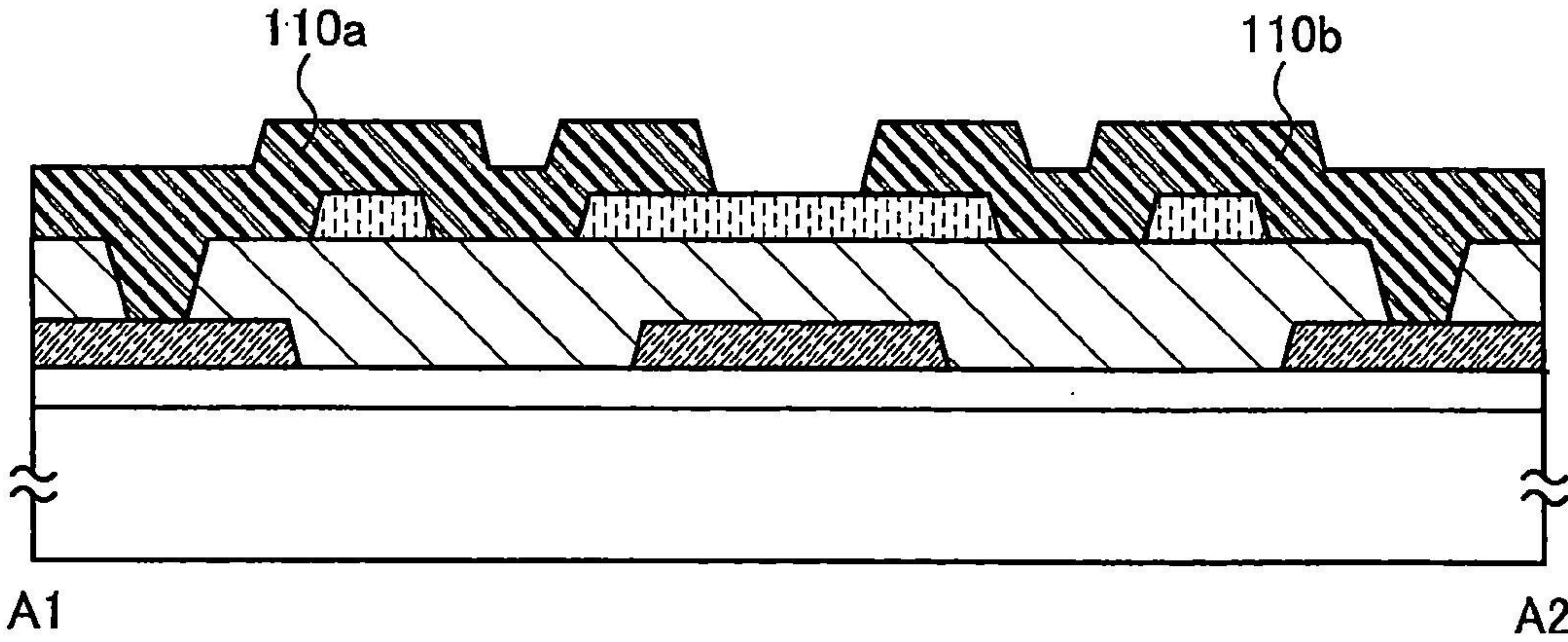


圖 4A

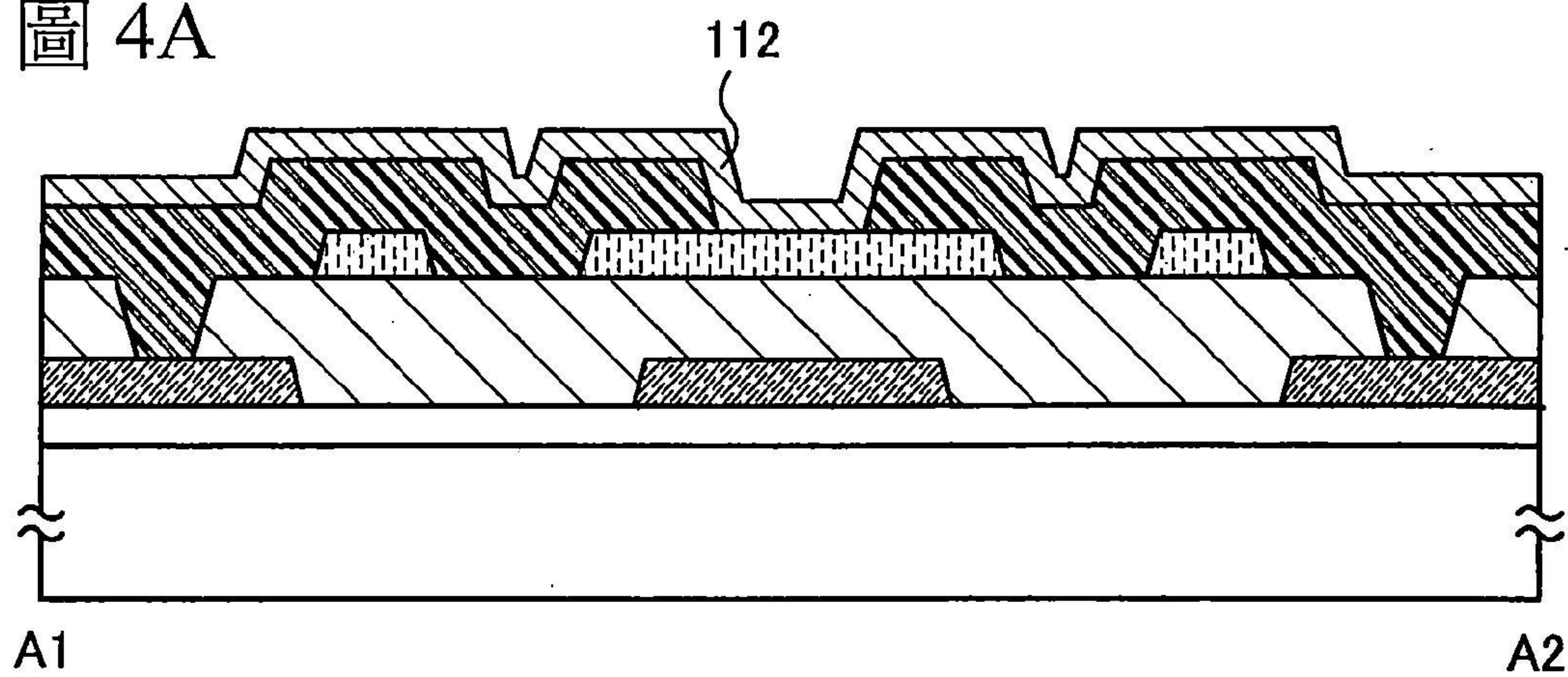


圖 4B

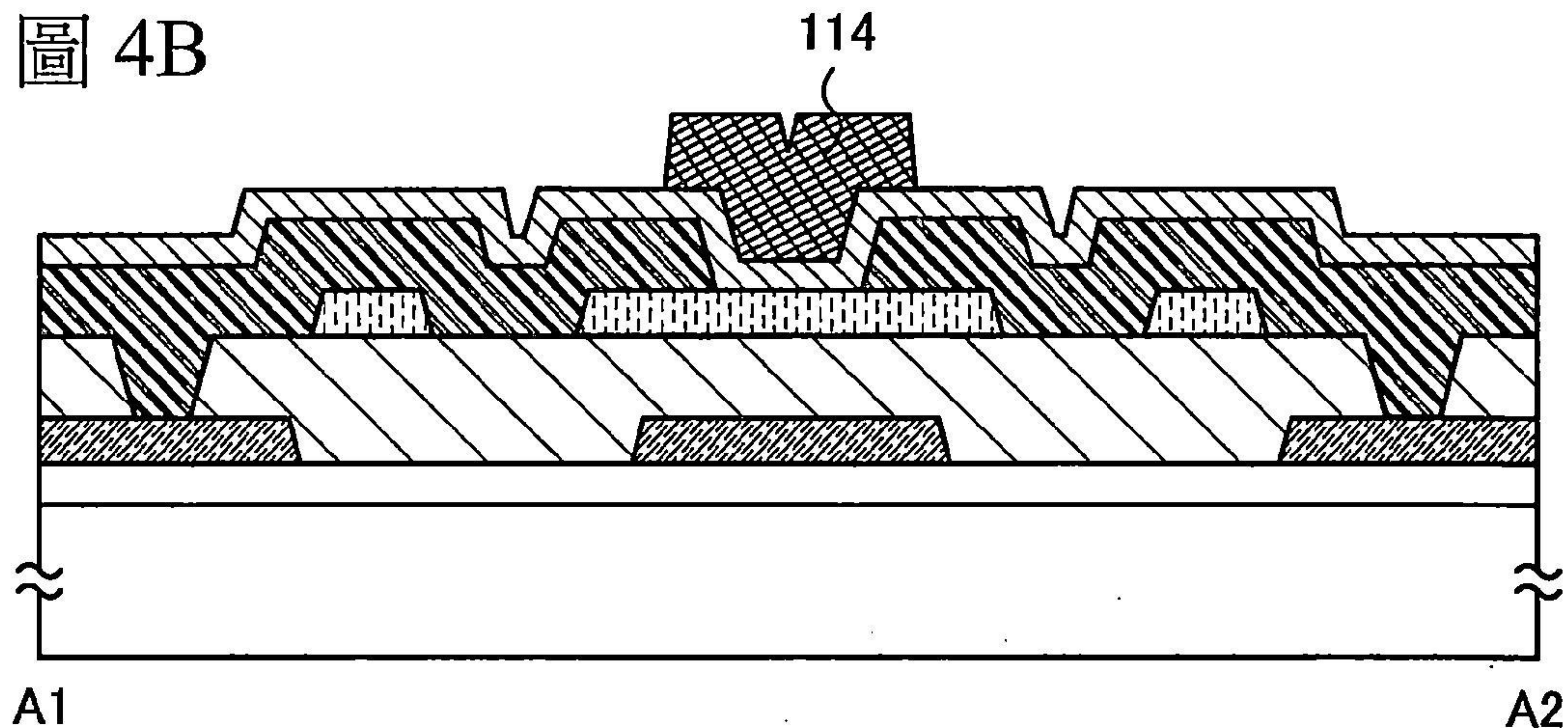


圖 4C

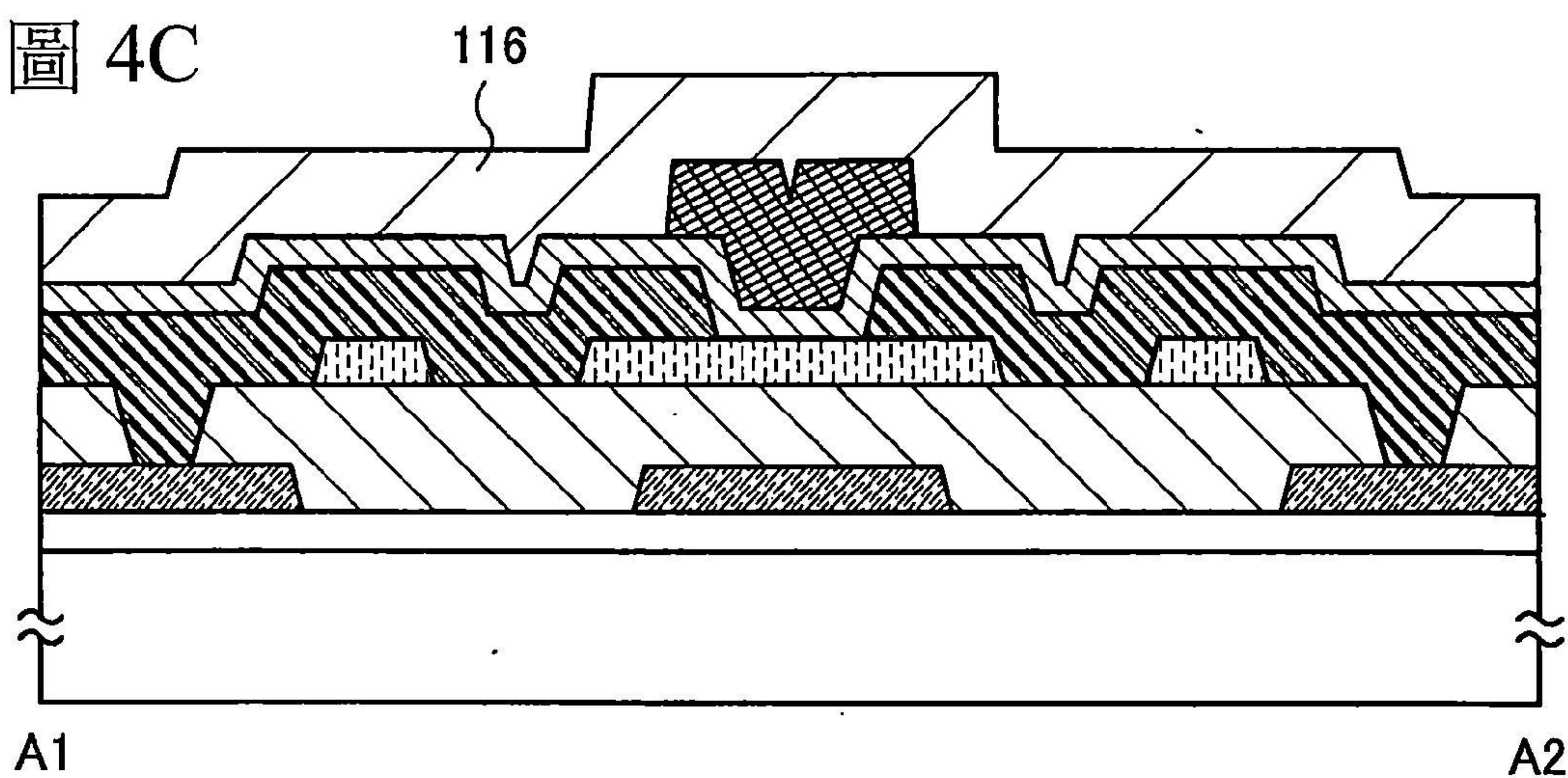


圖 5A

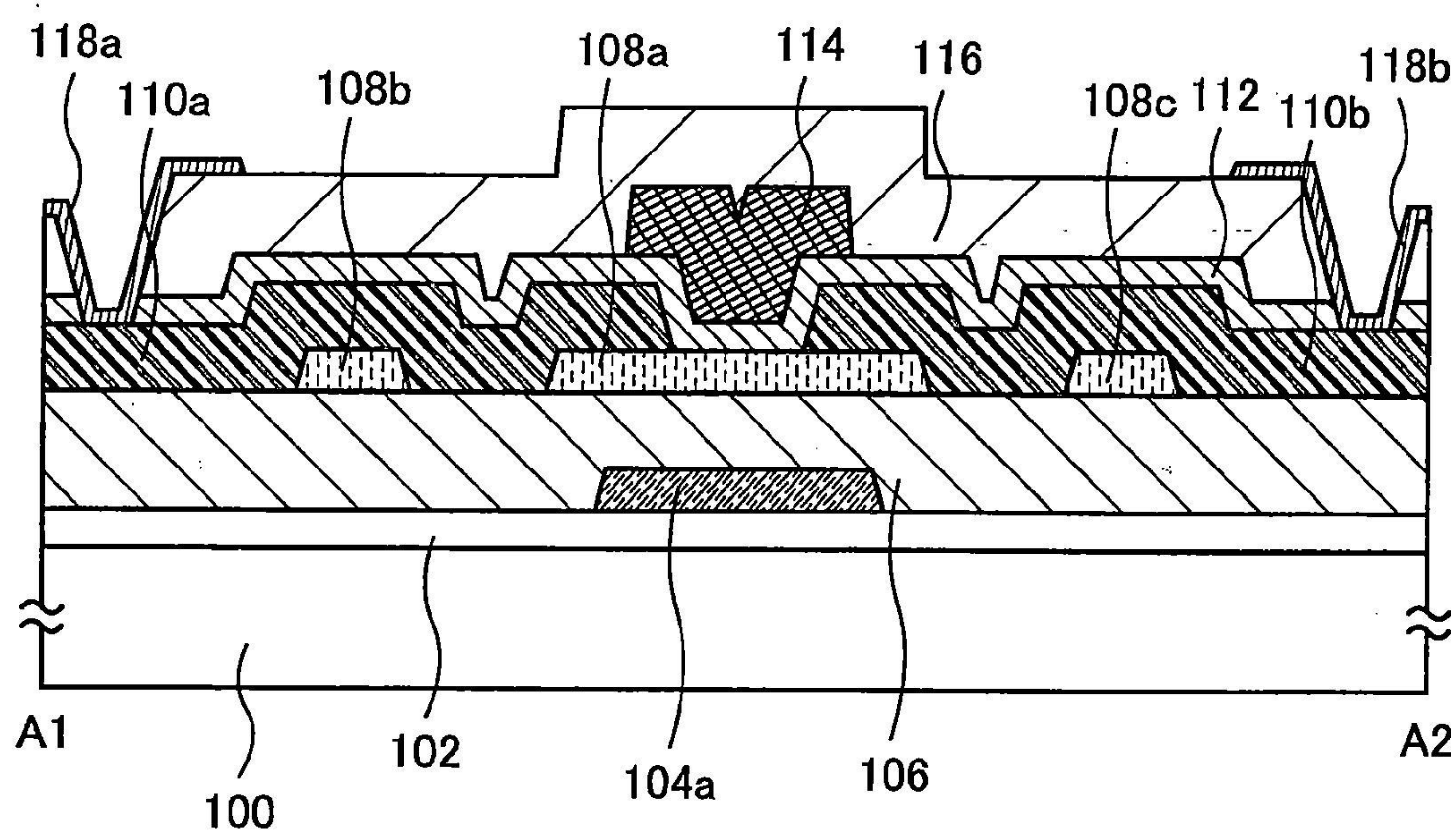


圖 5B

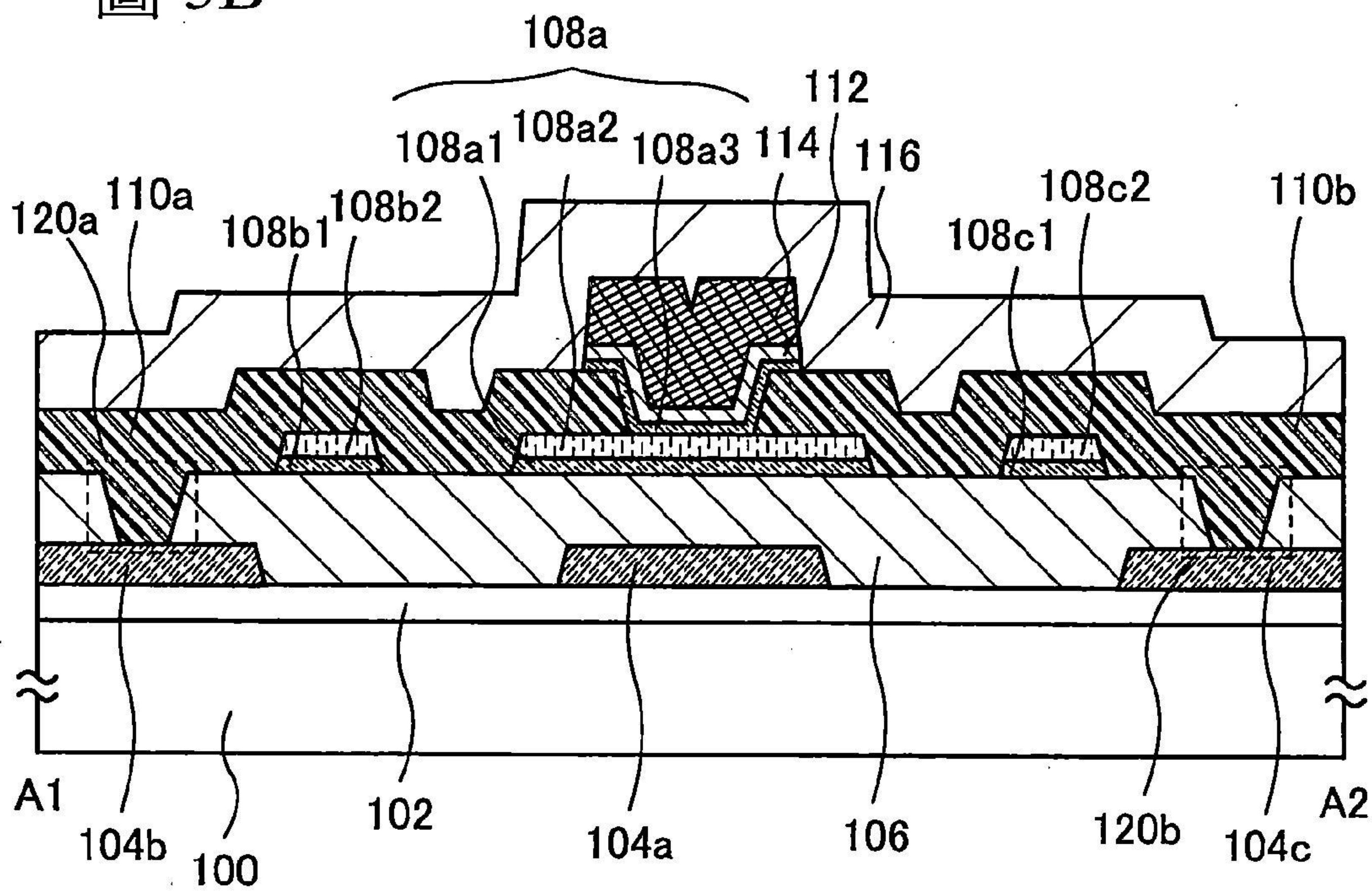


圖 6A

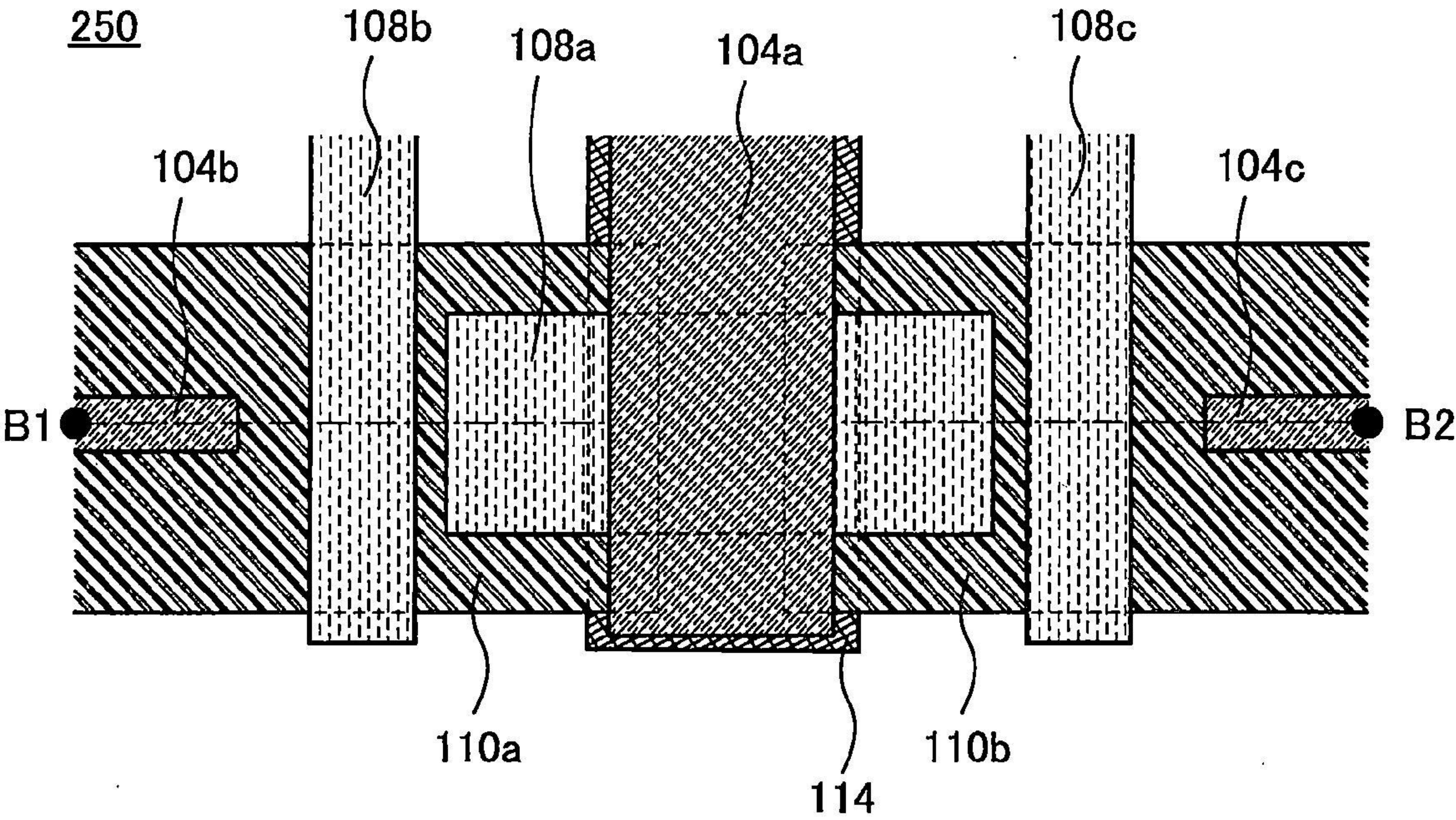


圖 6B

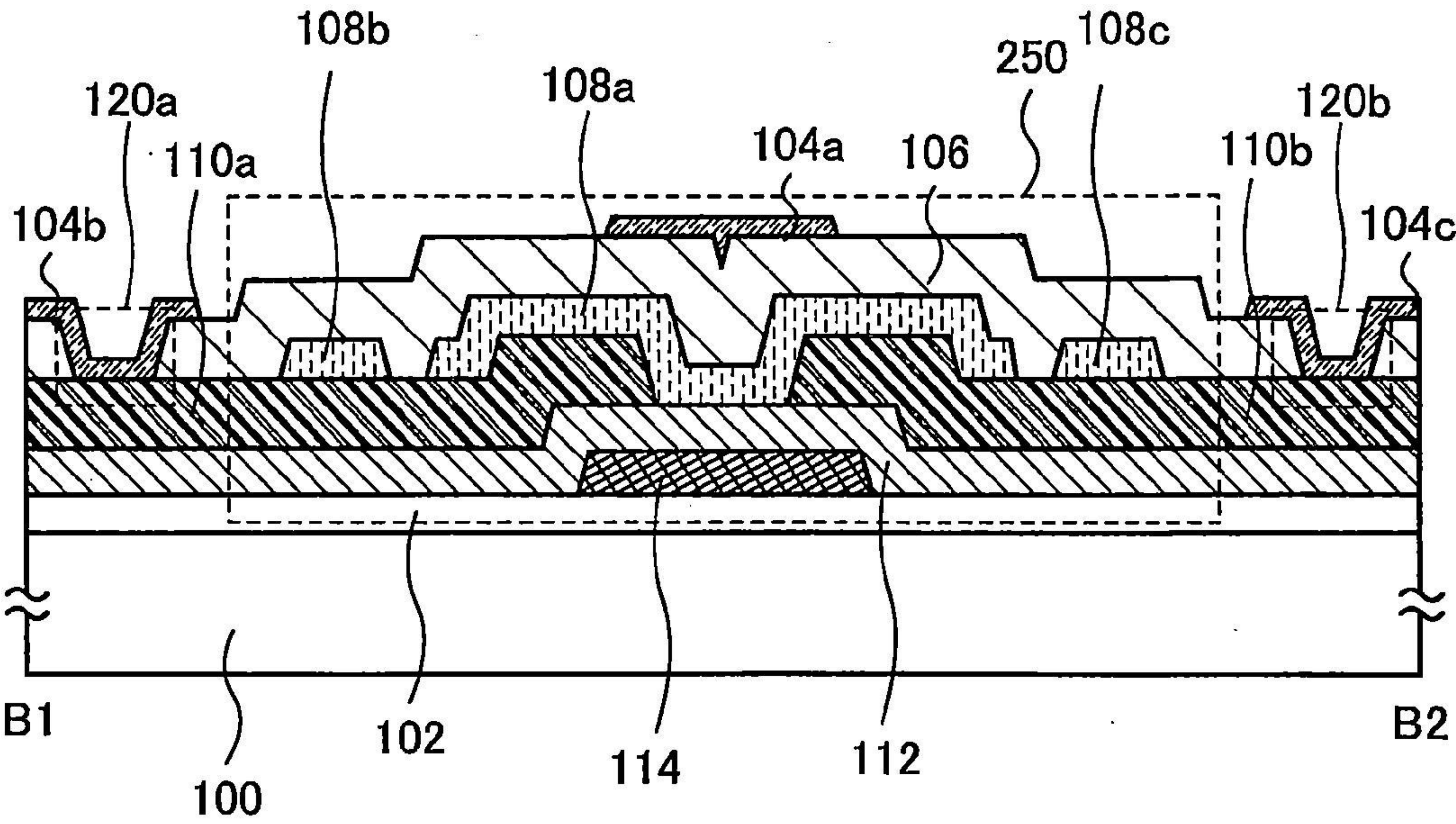


圖 7A

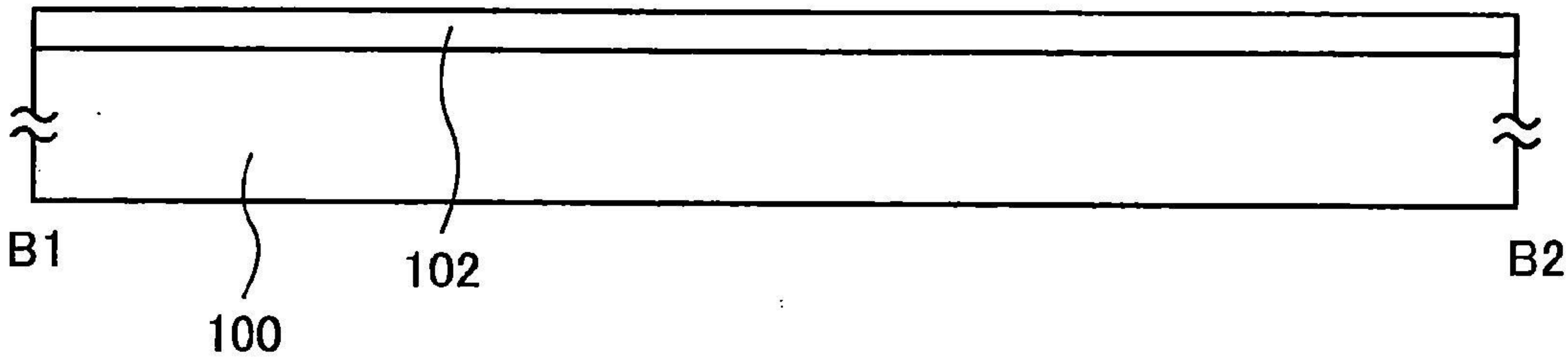


圖 7B

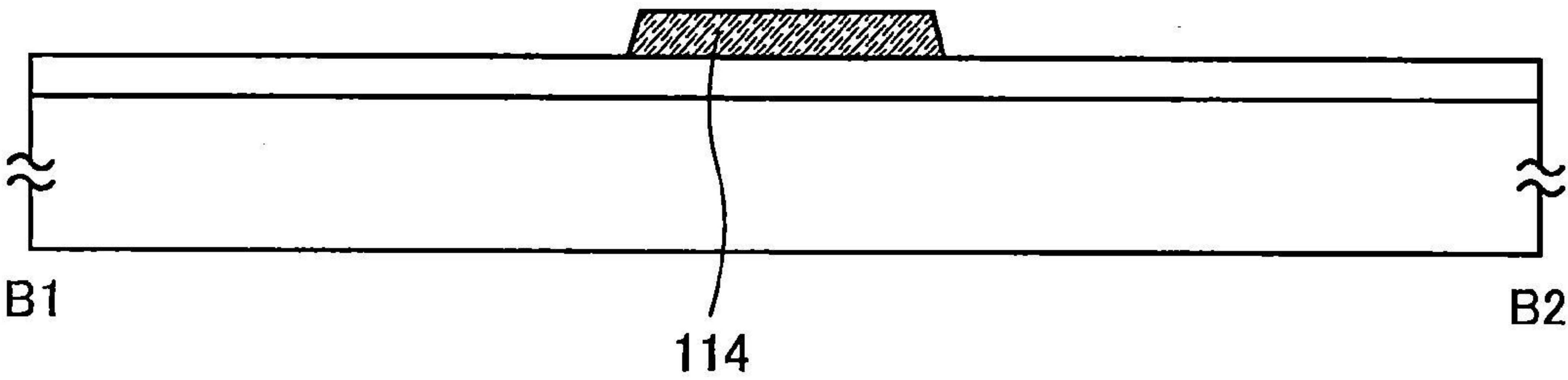


圖 7C

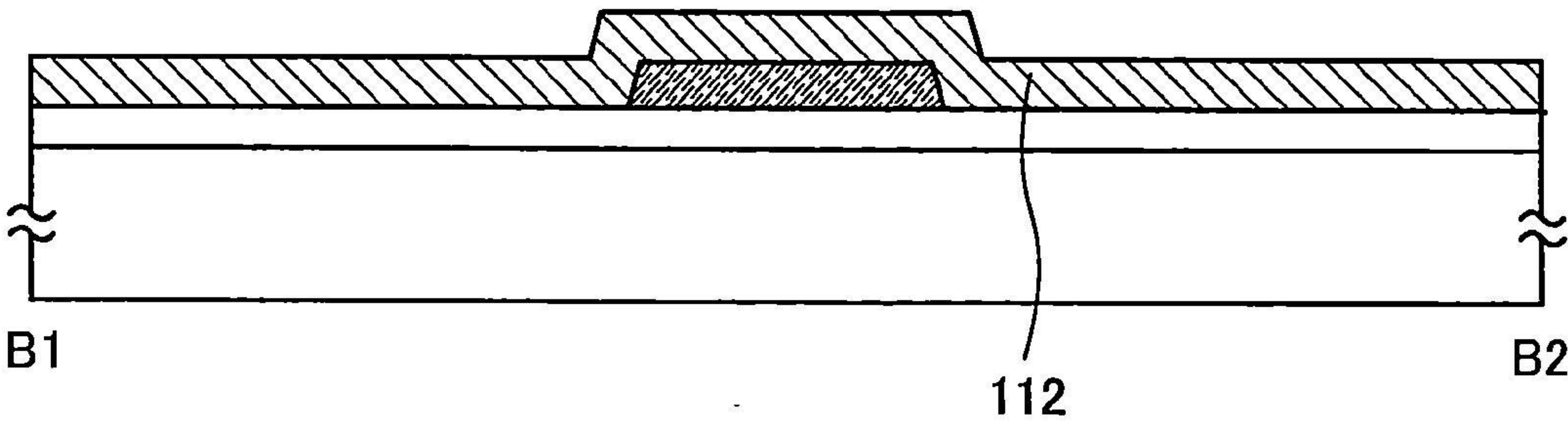


圖 8A

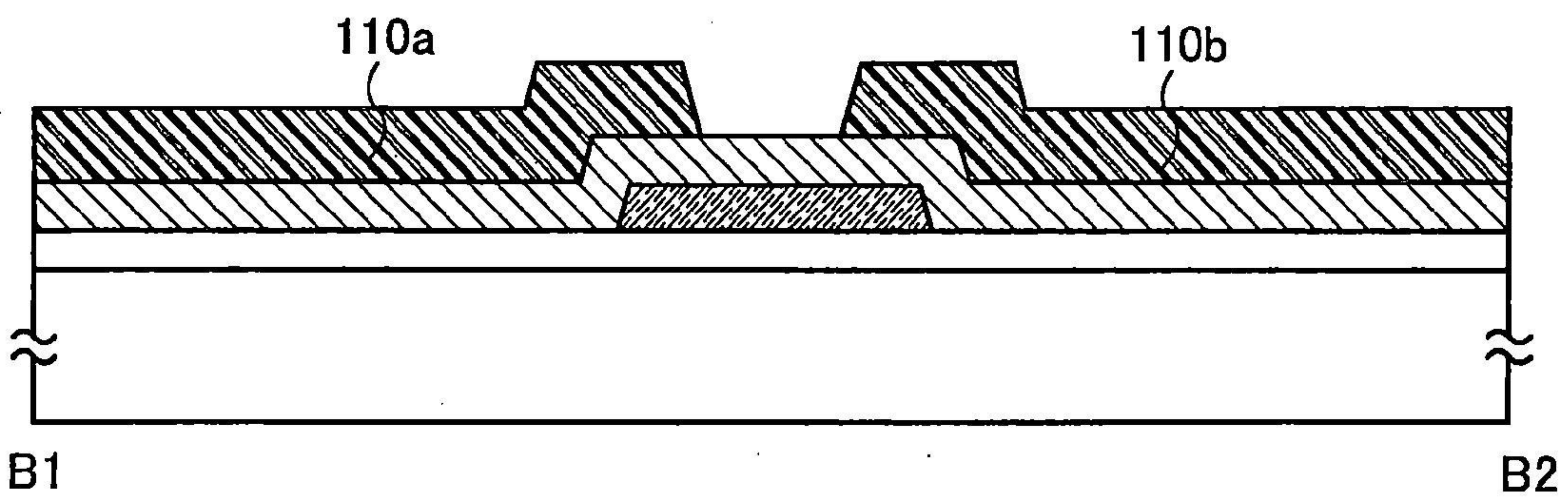


圖 8B

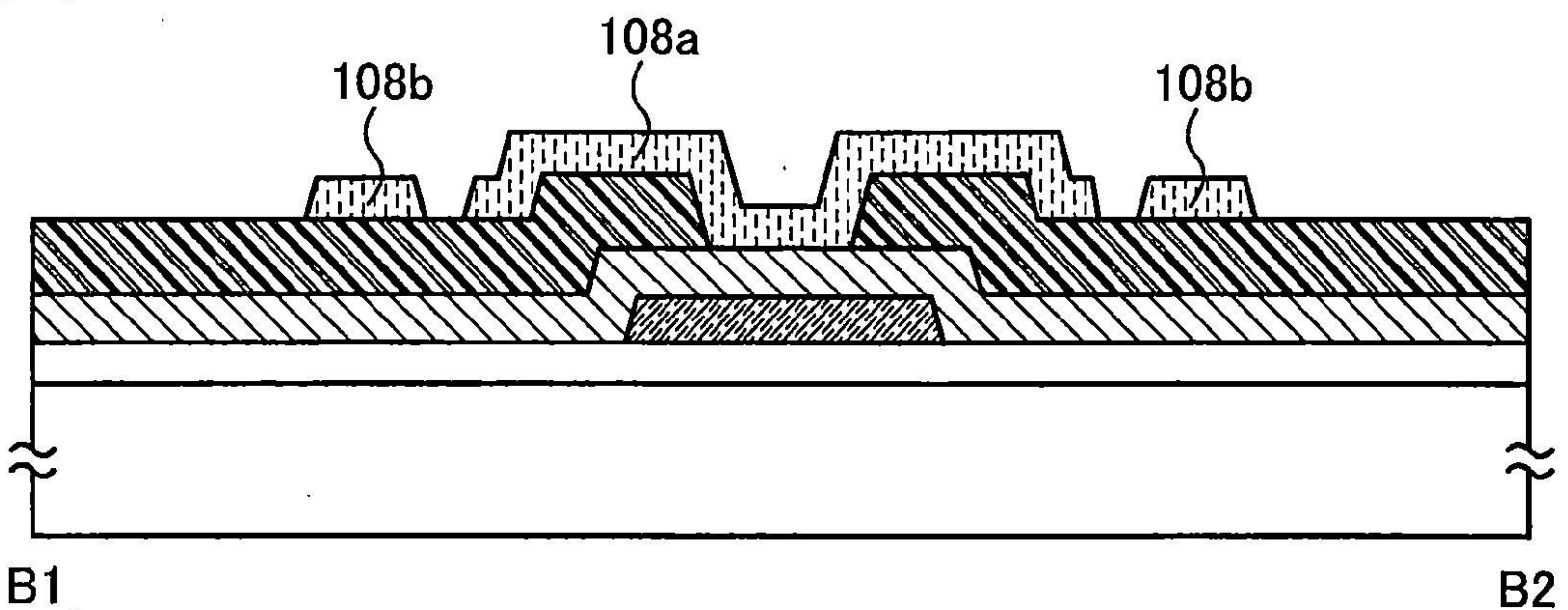


圖 8C

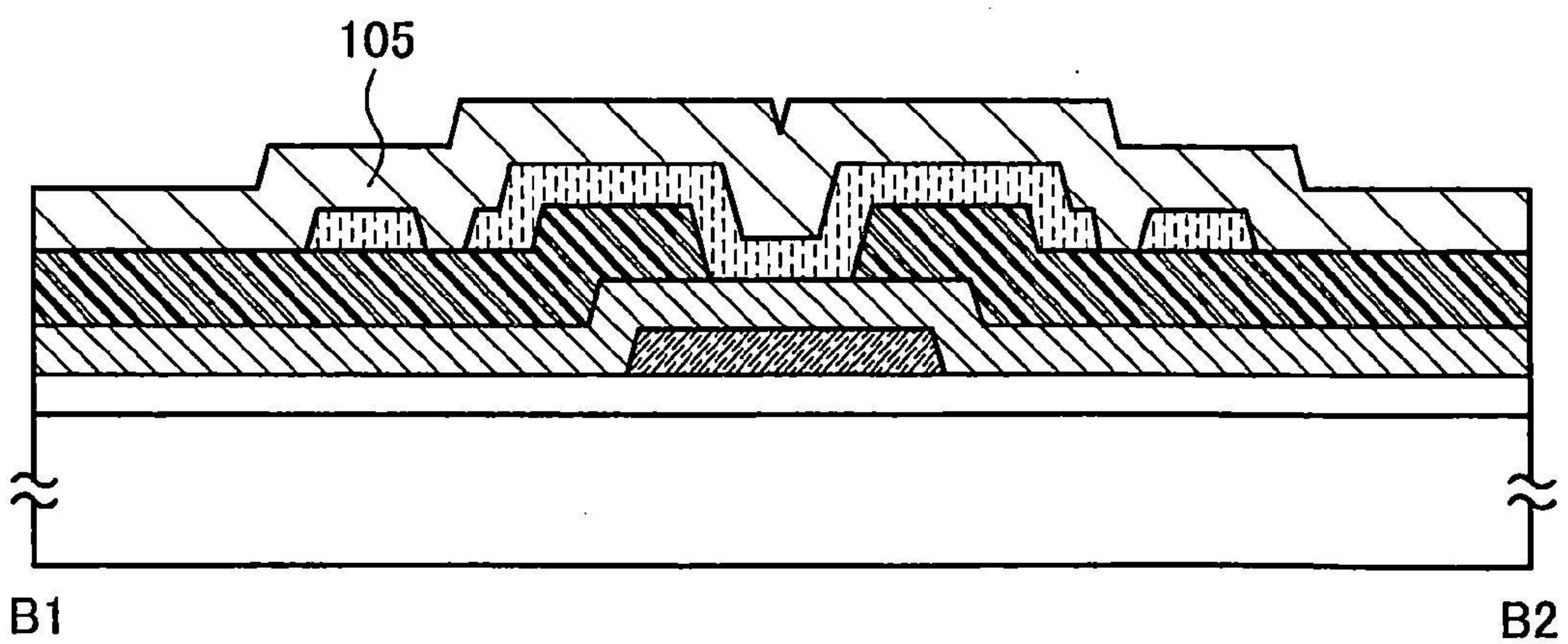


圖 9A

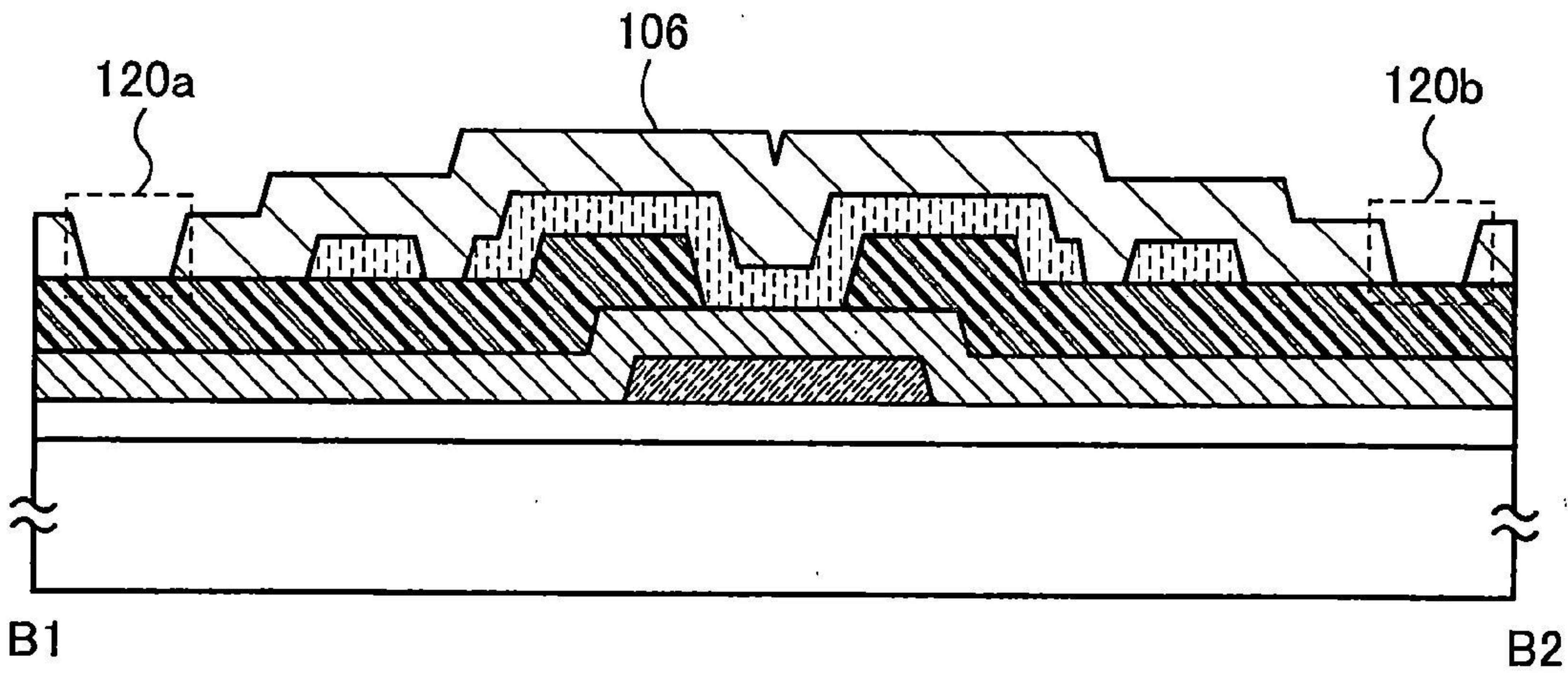


圖 9B

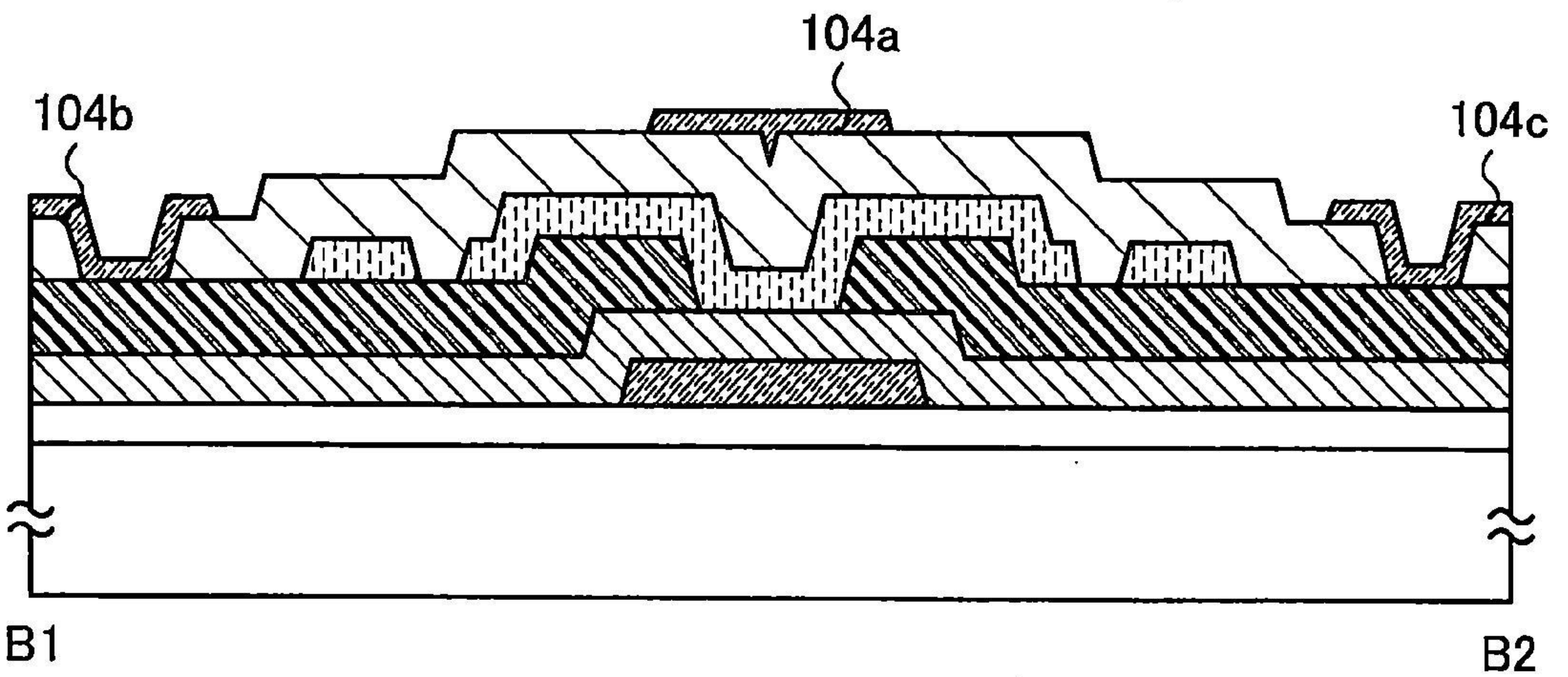


圖 10

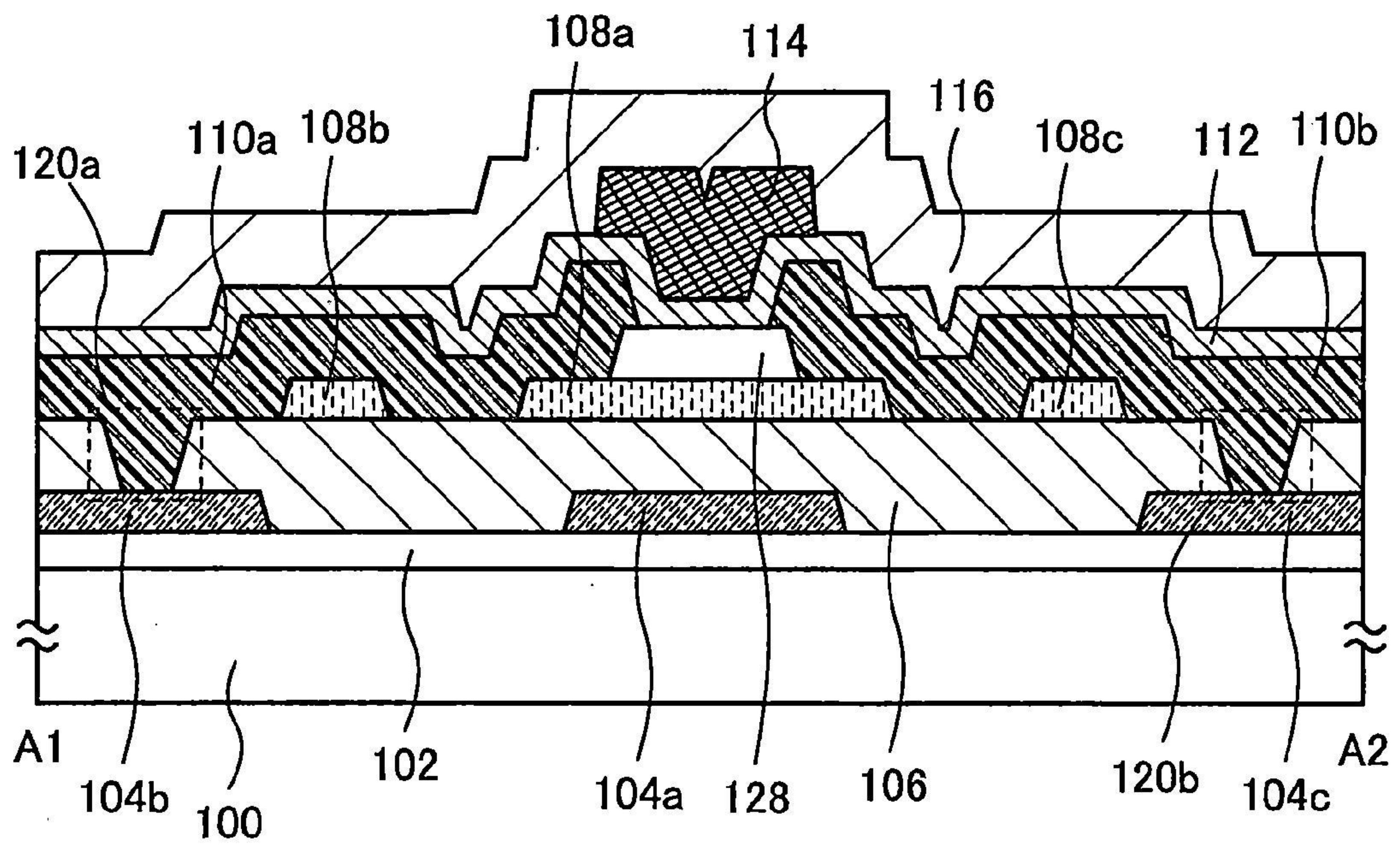


圖 11A

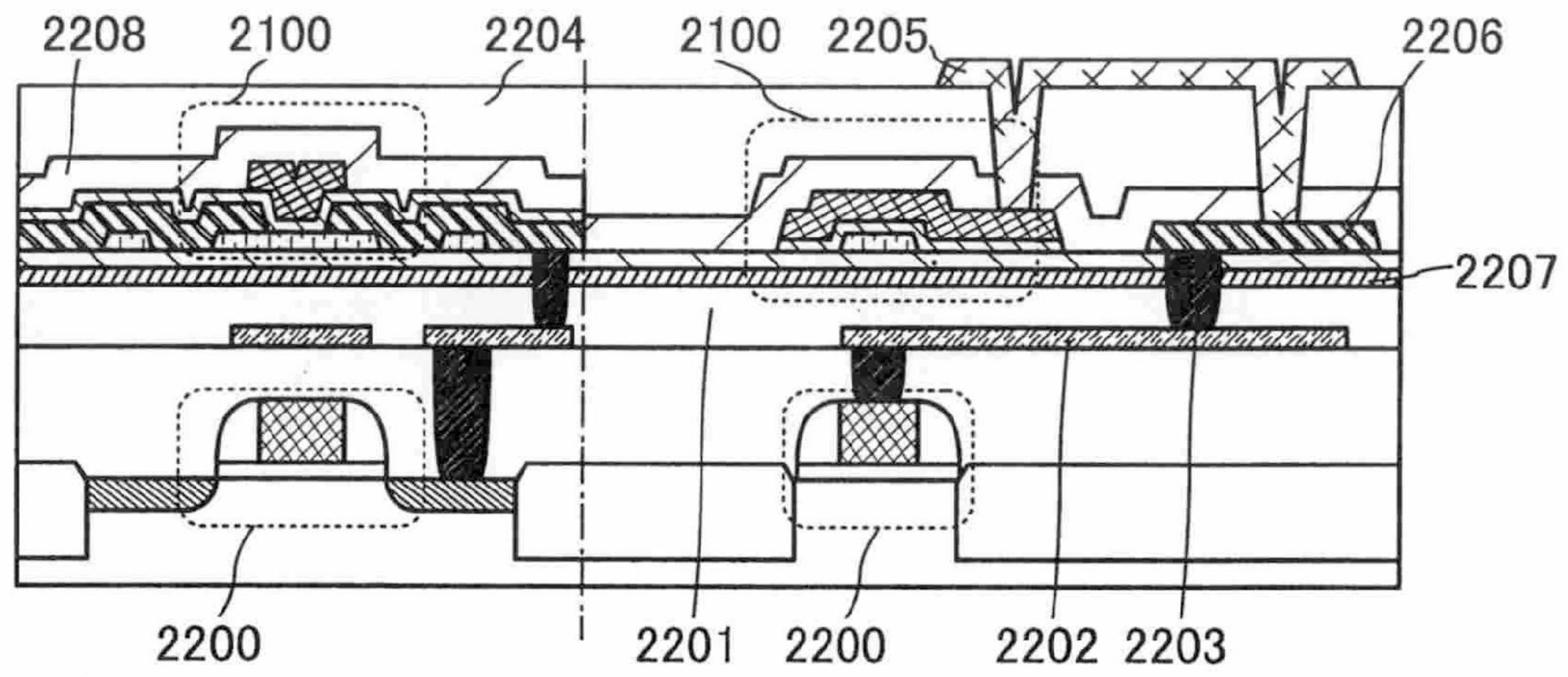


圖 11B

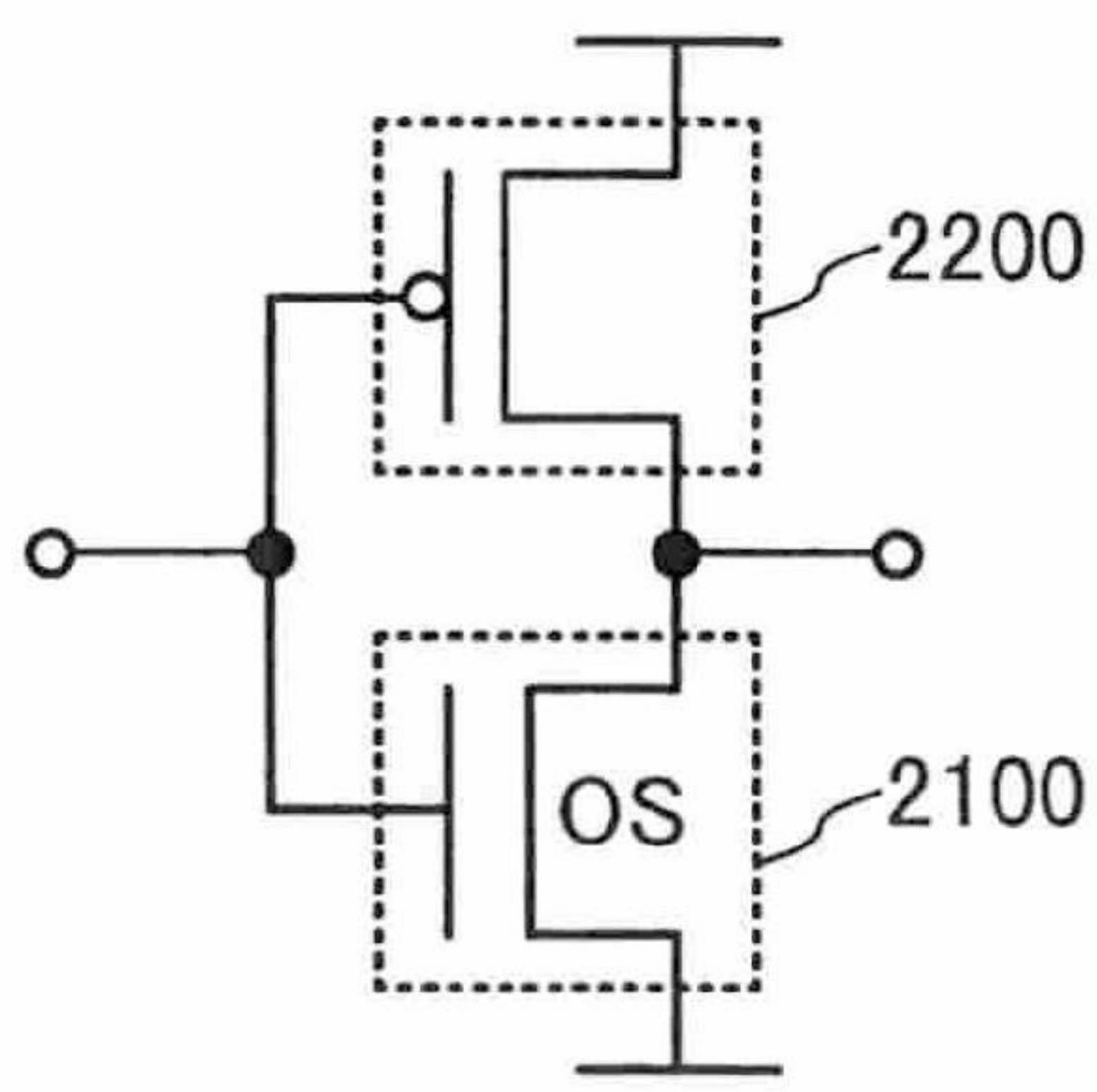


圖 11C

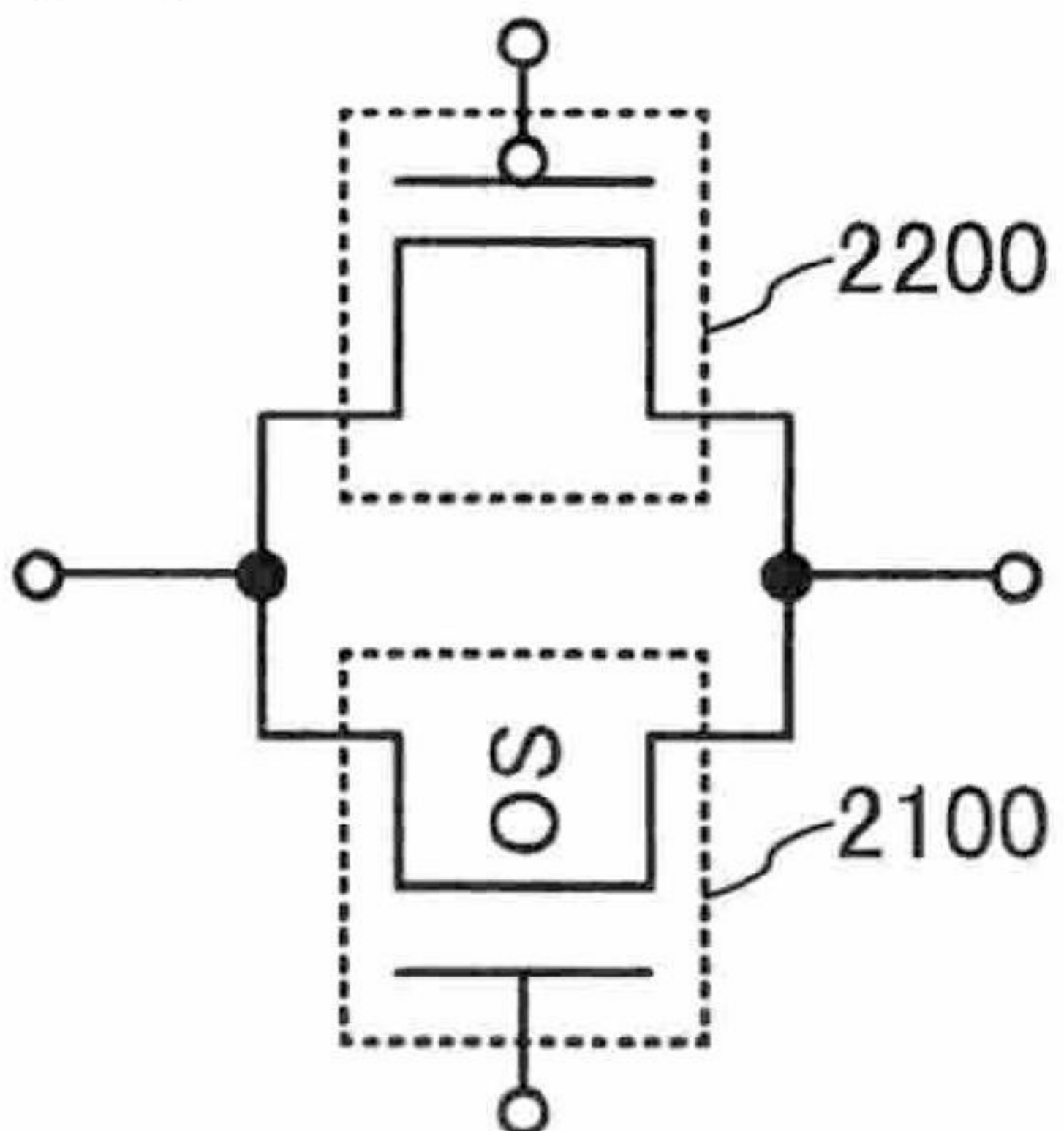


圖 12A

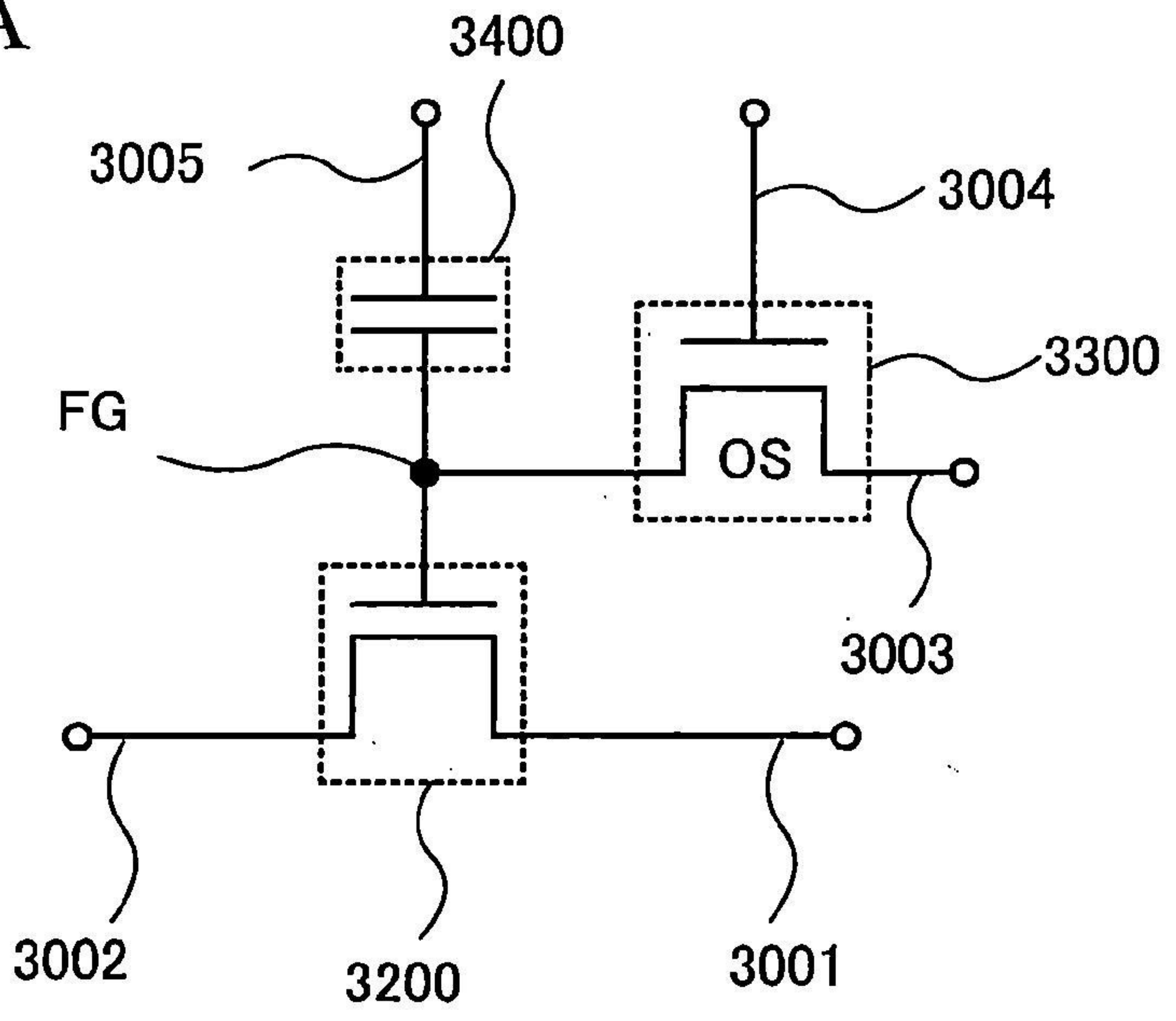


圖 12B

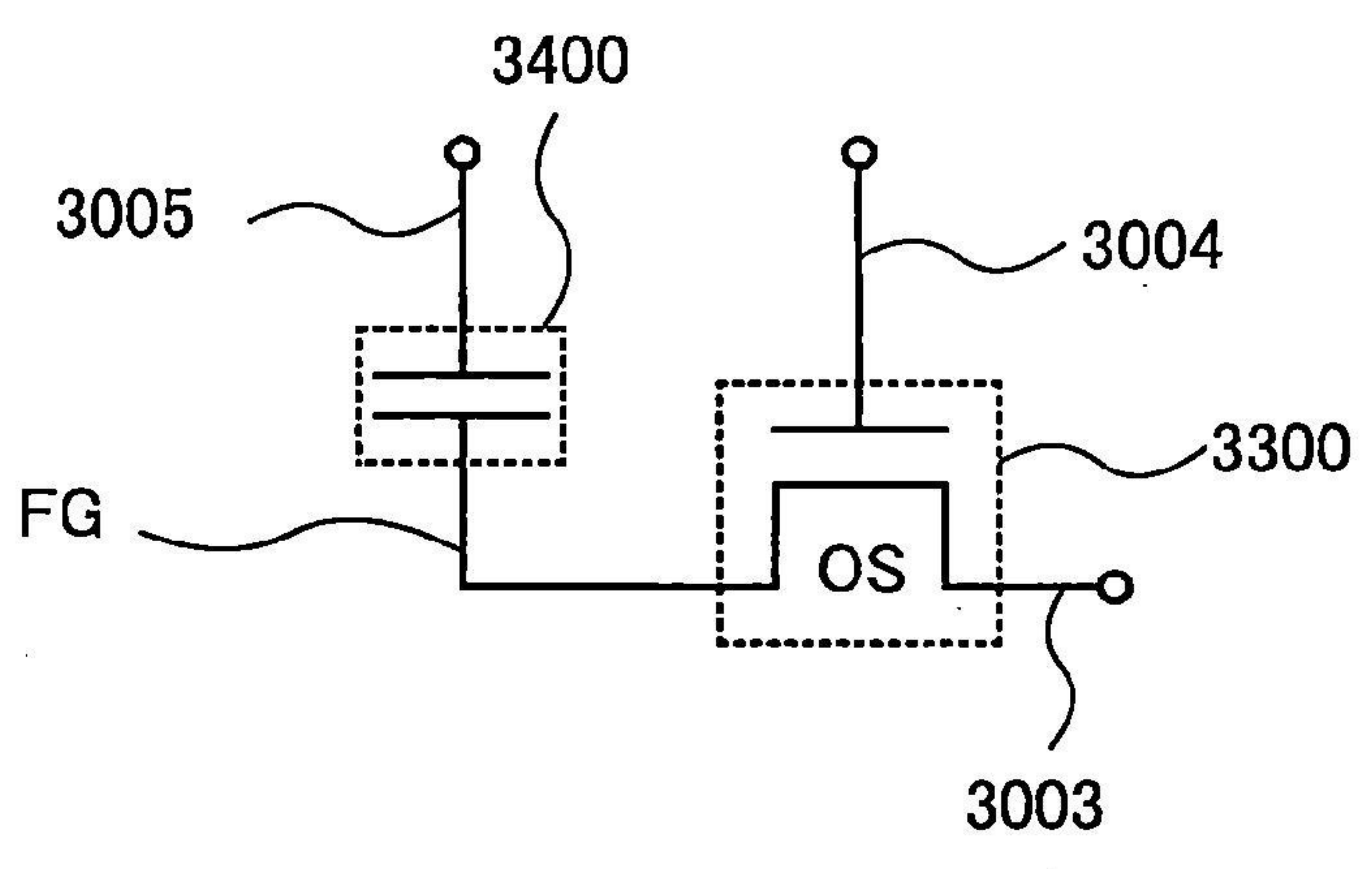


圖 13

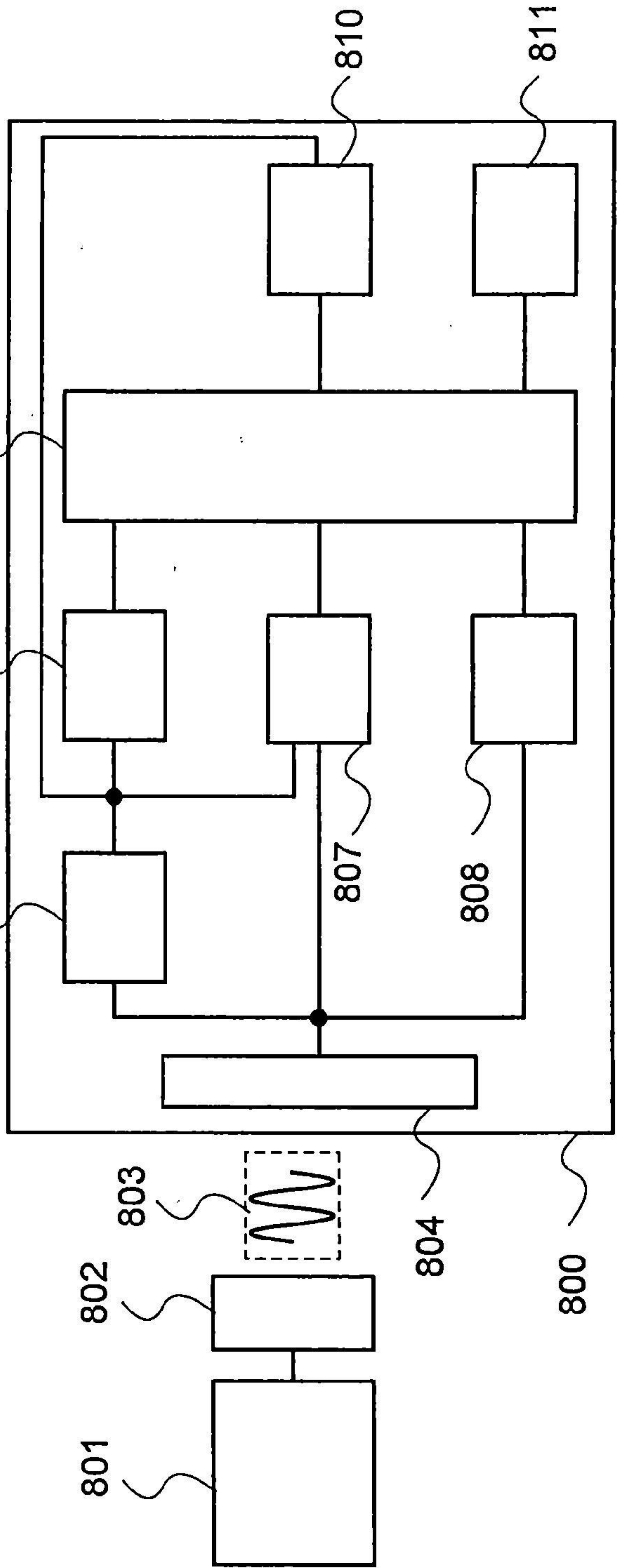


圖 14

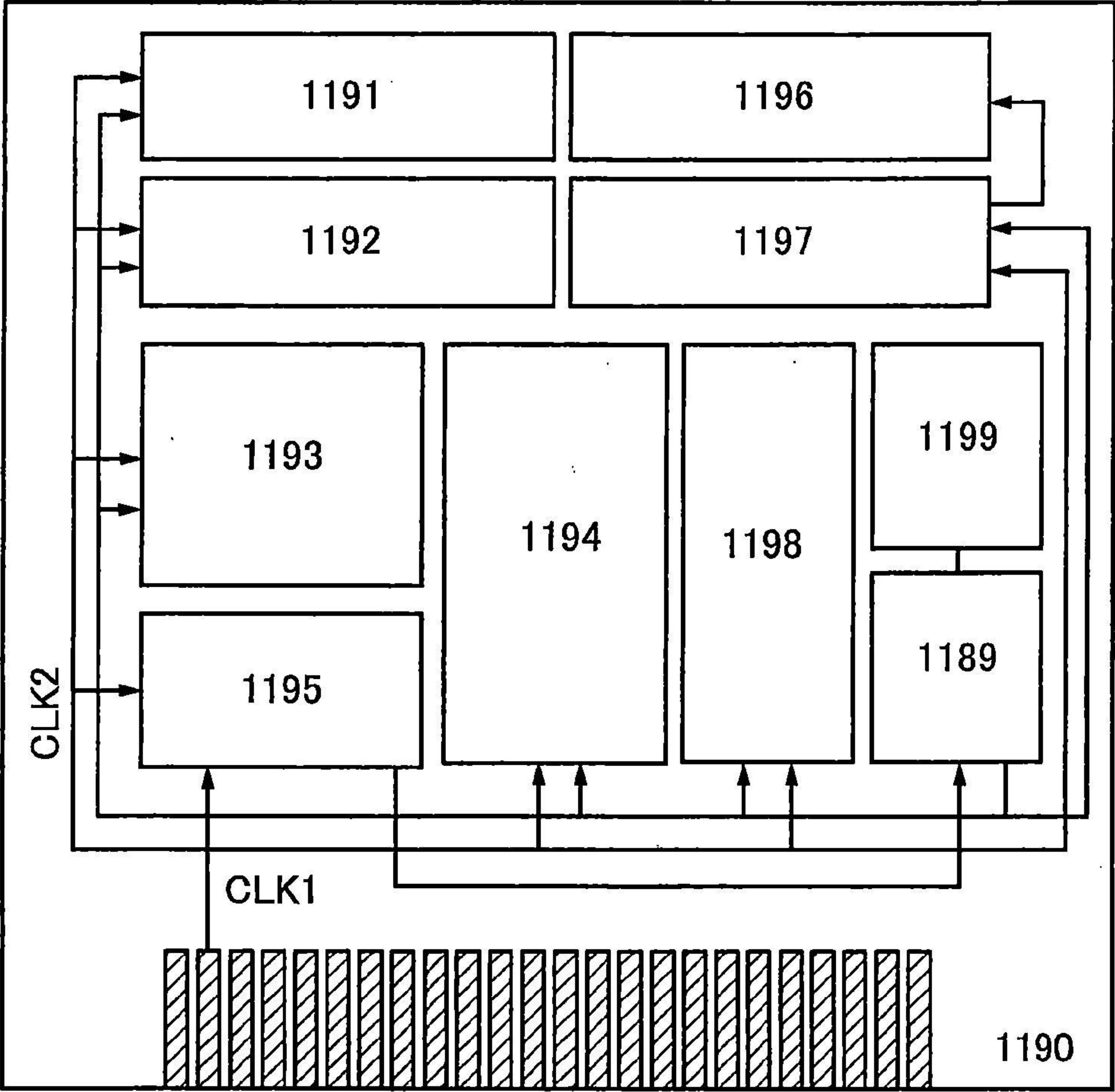


圖 15

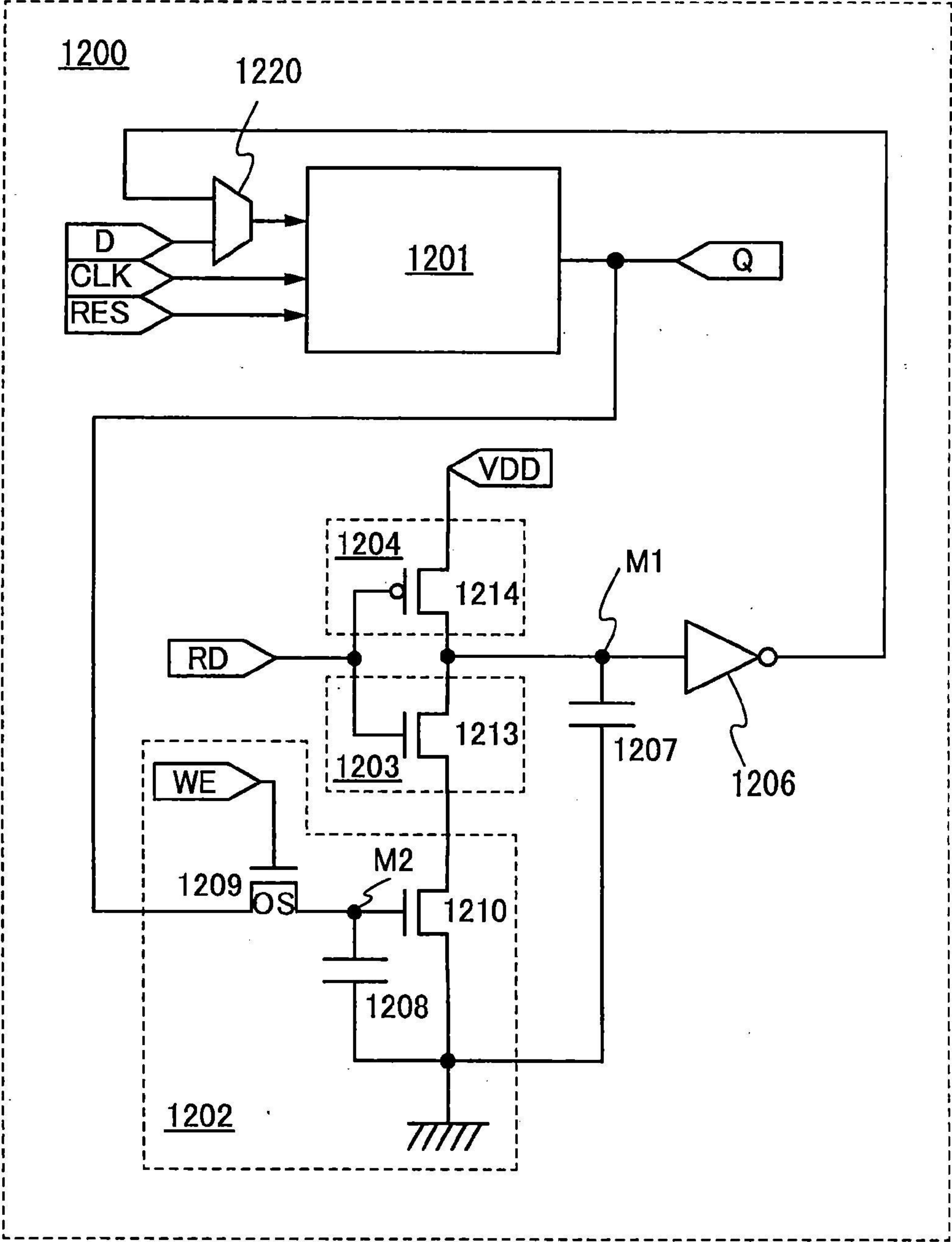


圖 16A

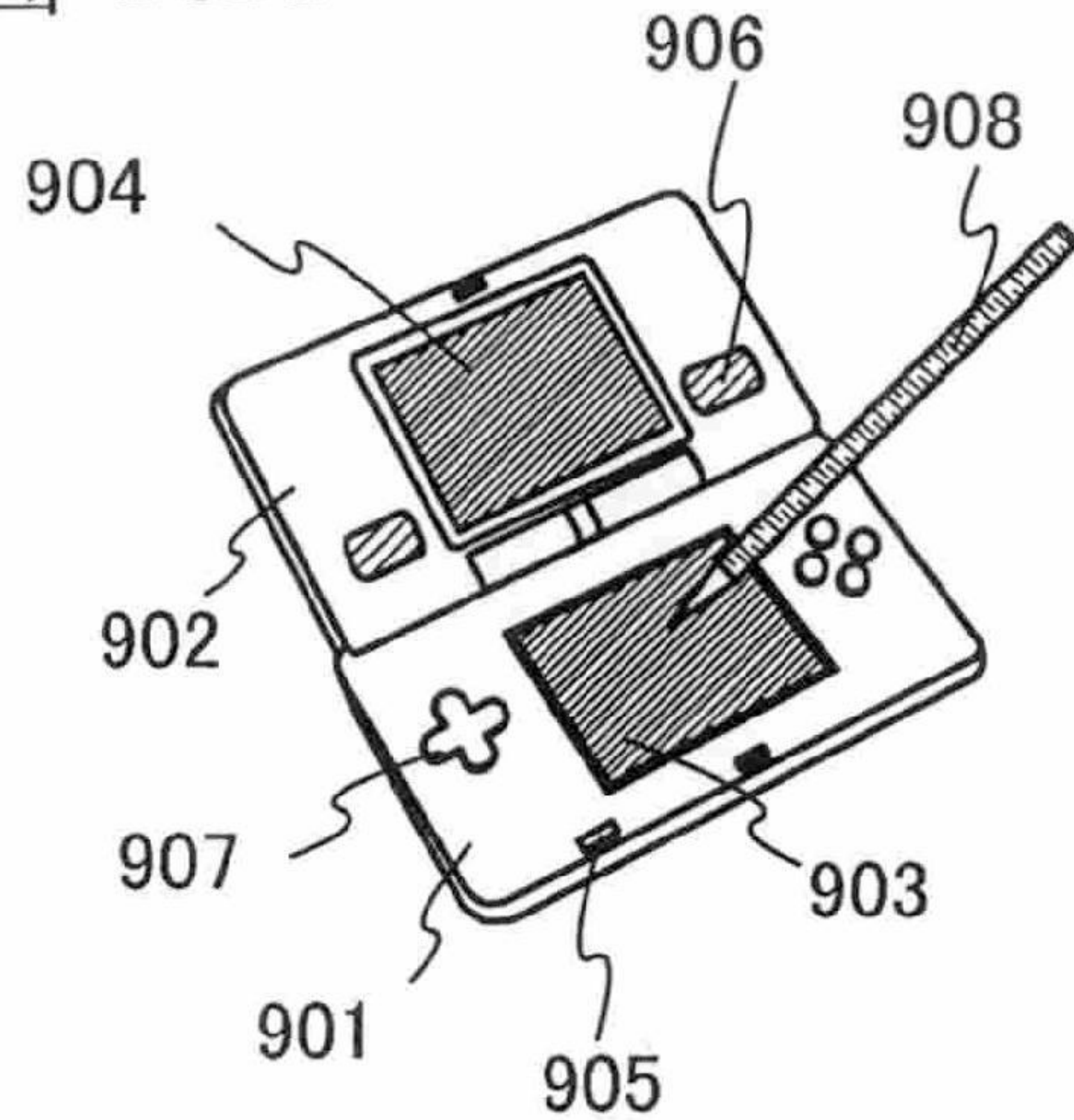


圖 16B

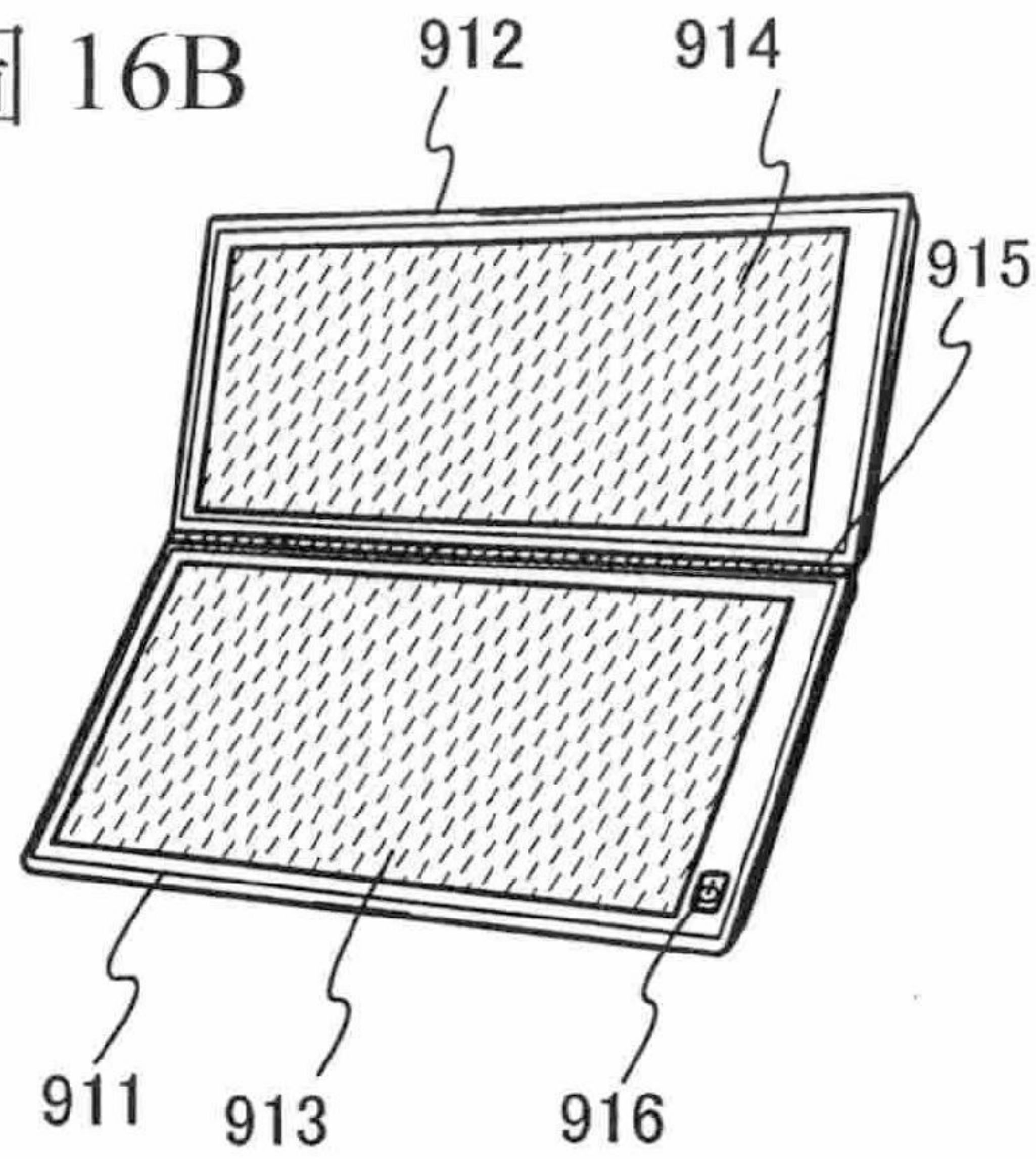


圖 16C

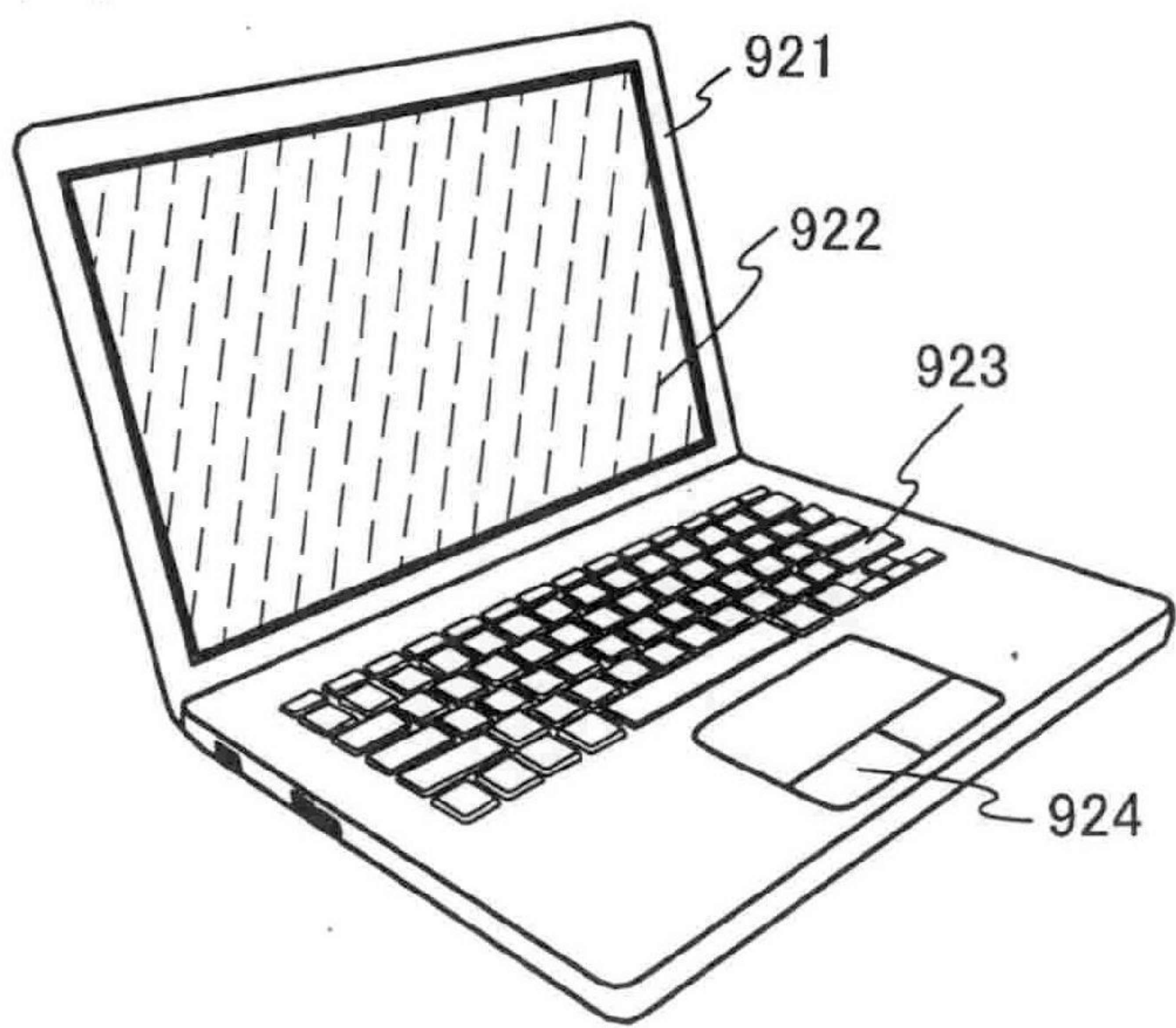


圖 16D

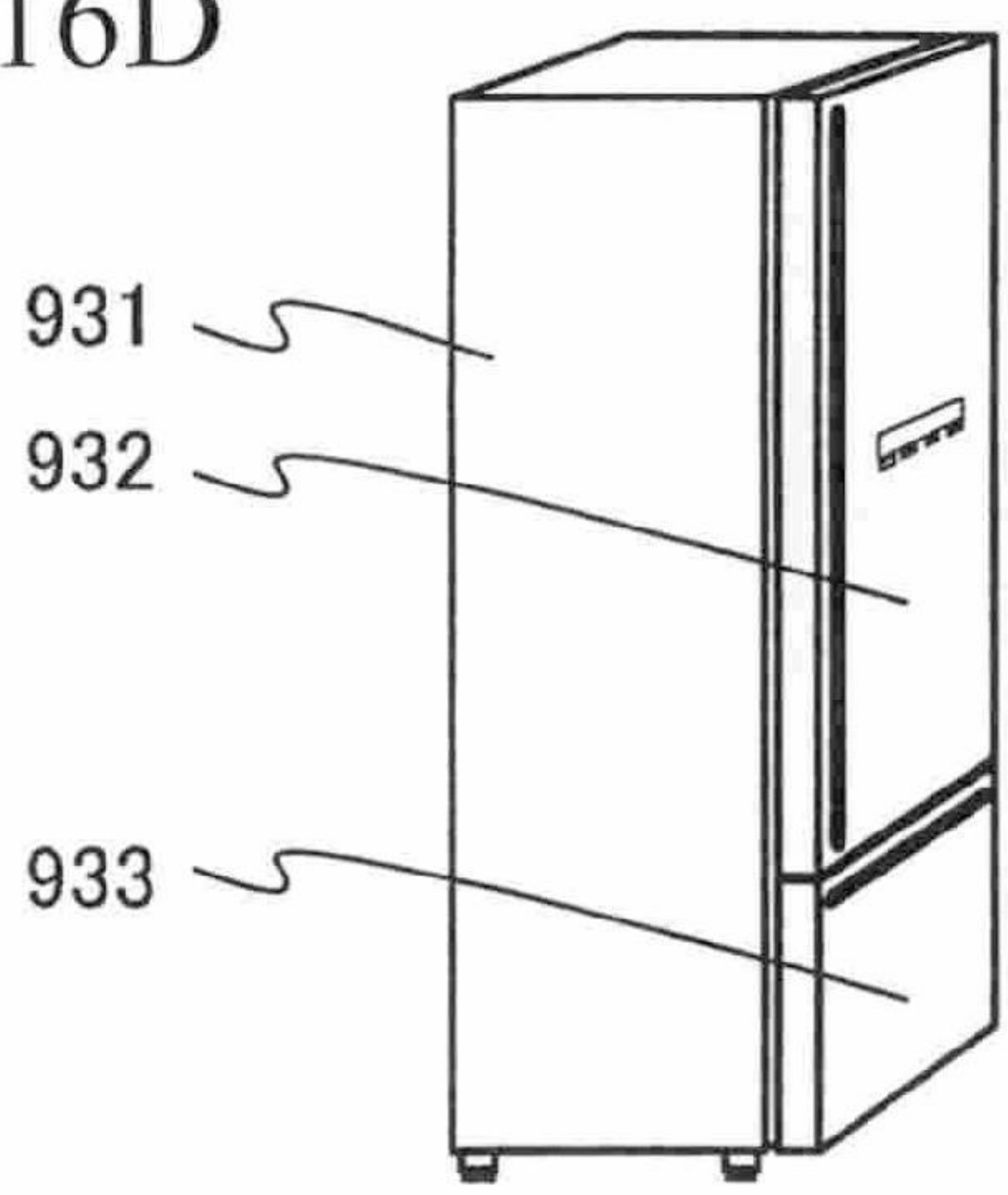


圖 16E

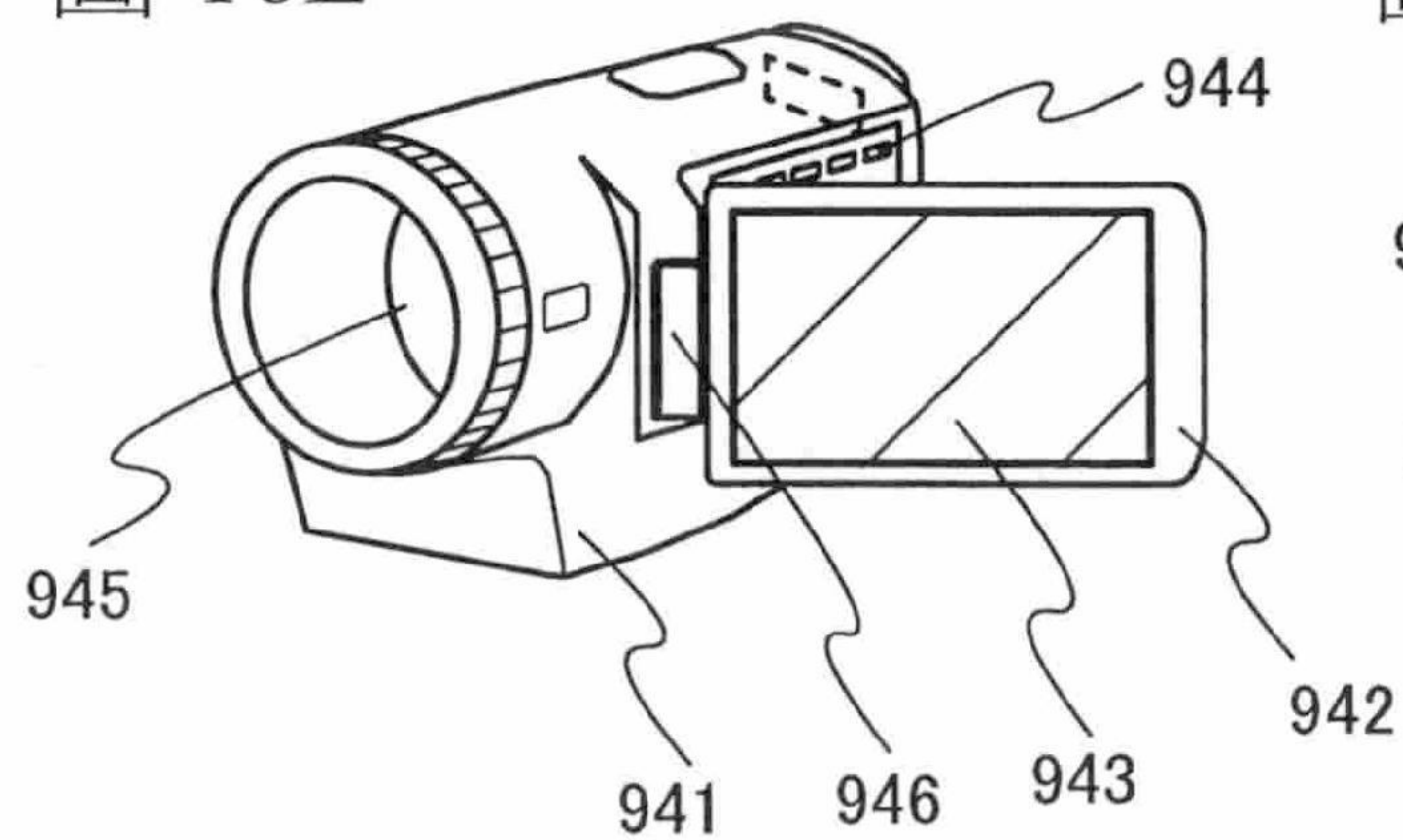


圖 16F

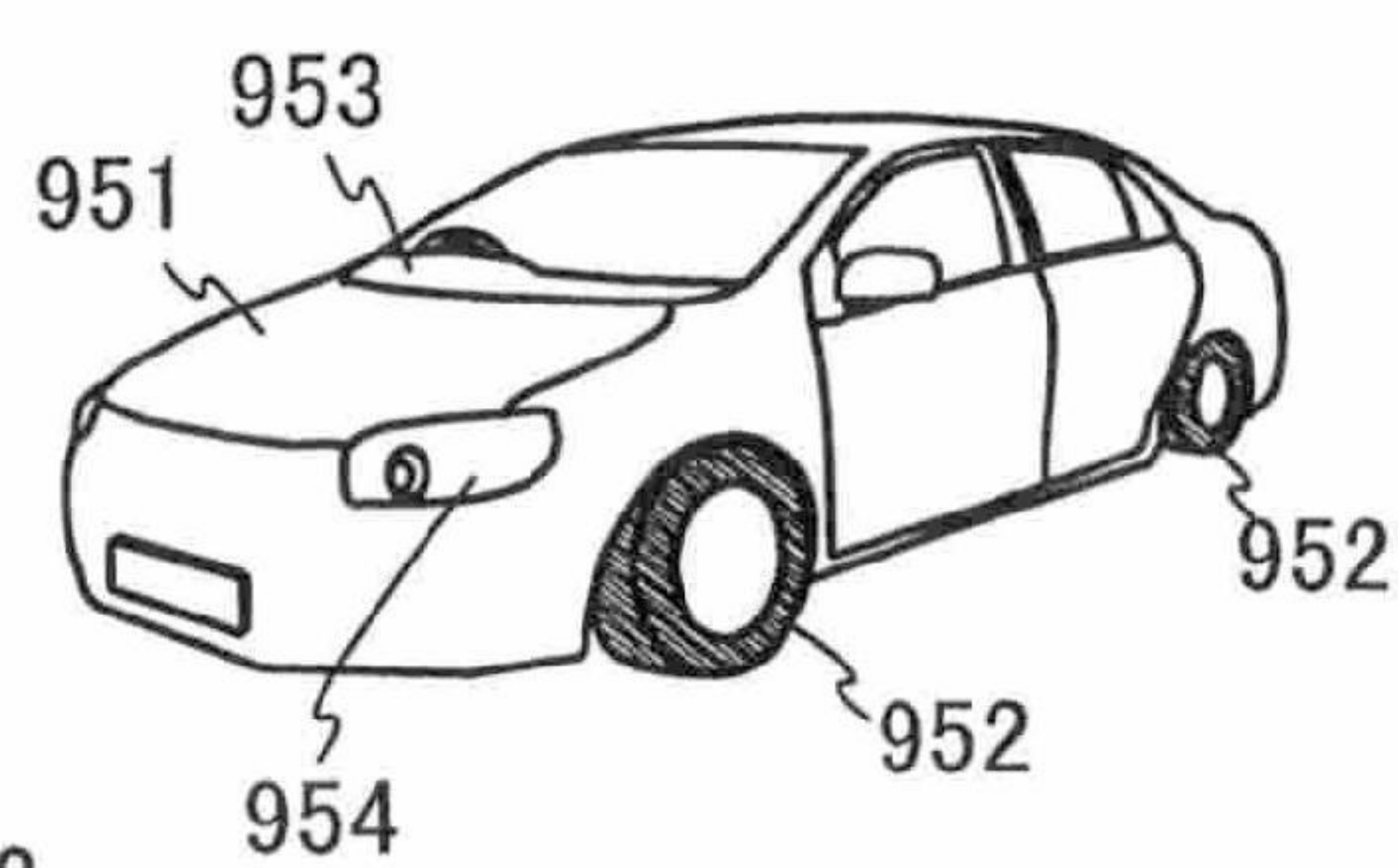


圖 17A

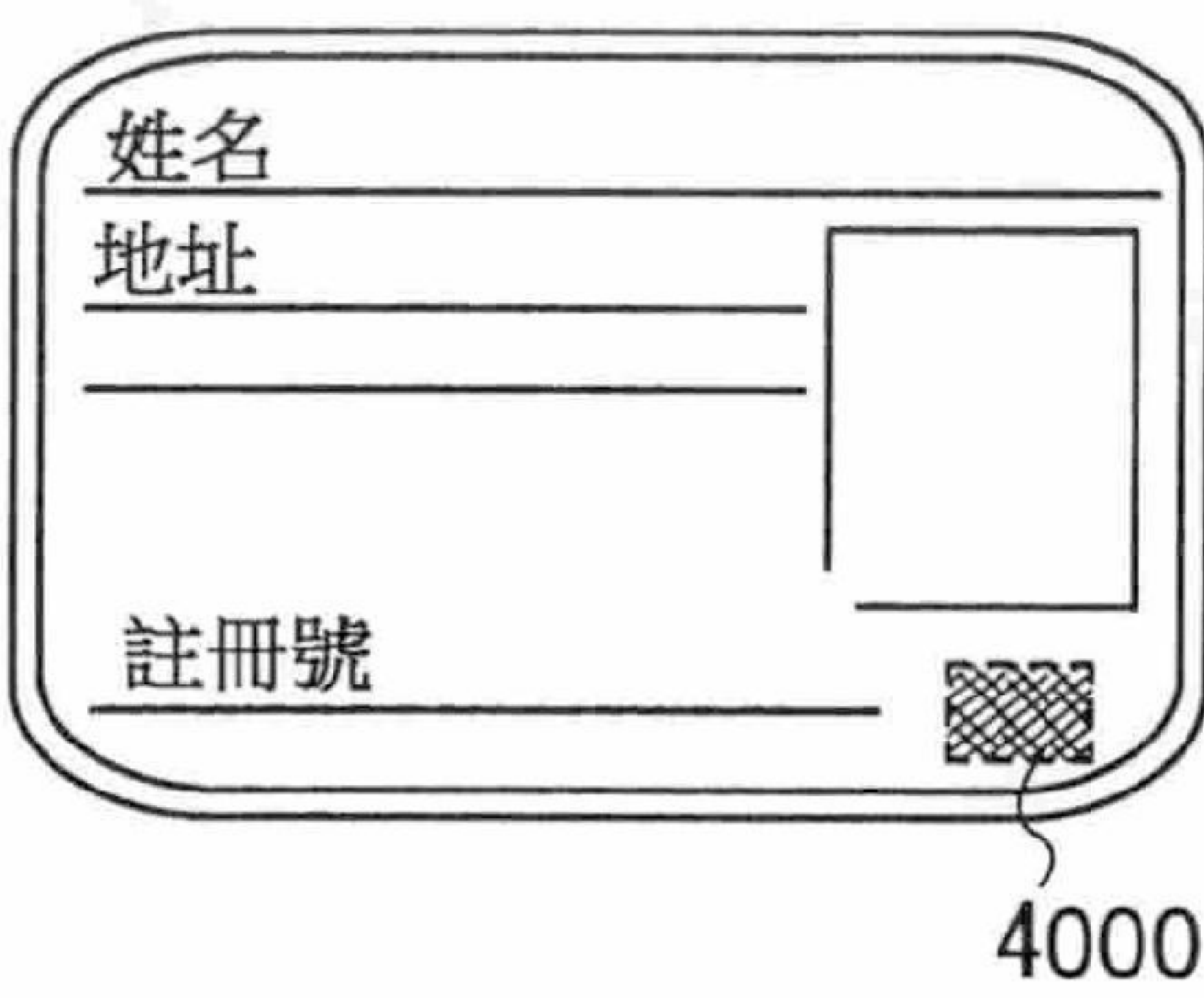


圖 17B

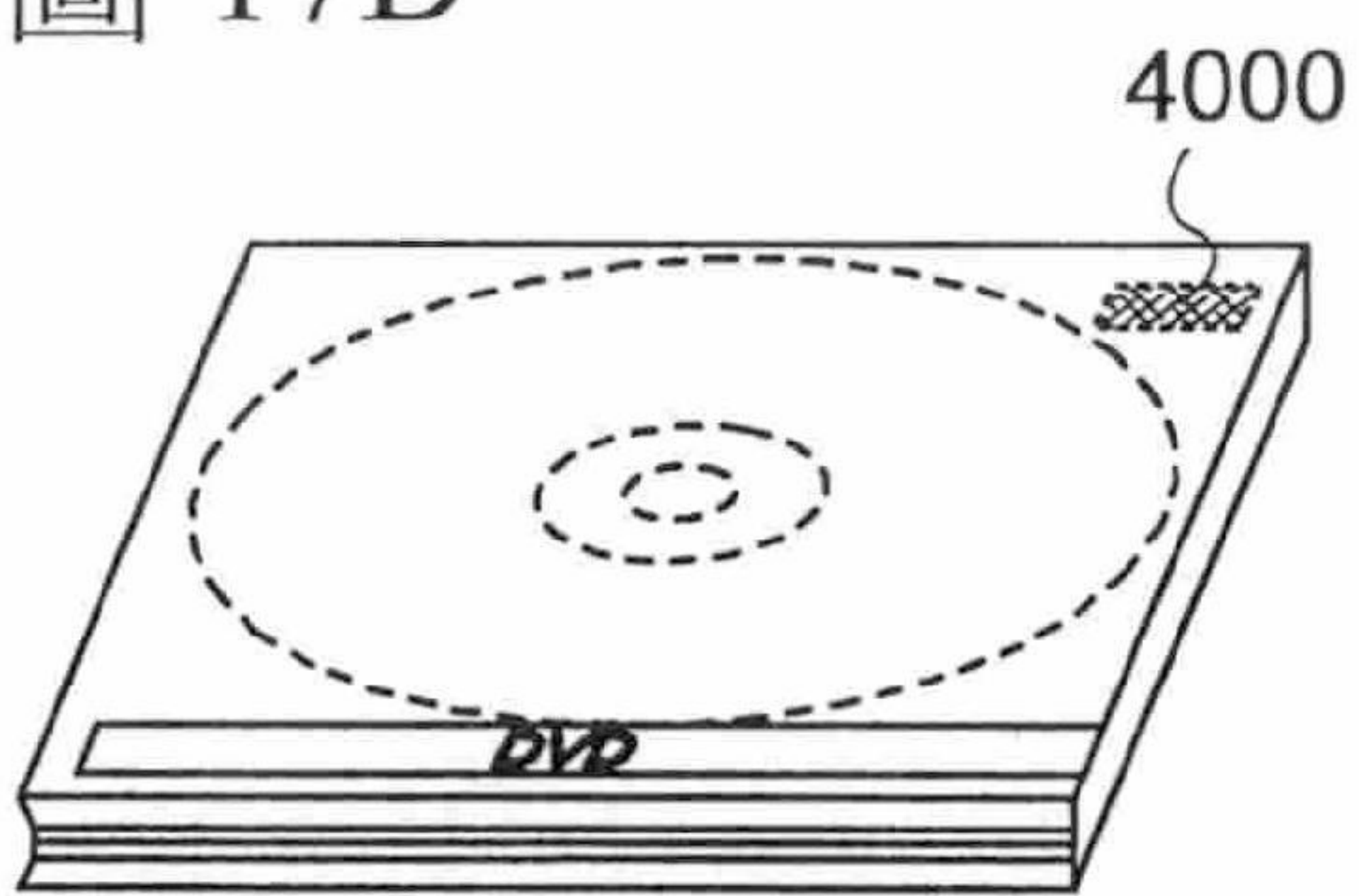


圖 17C

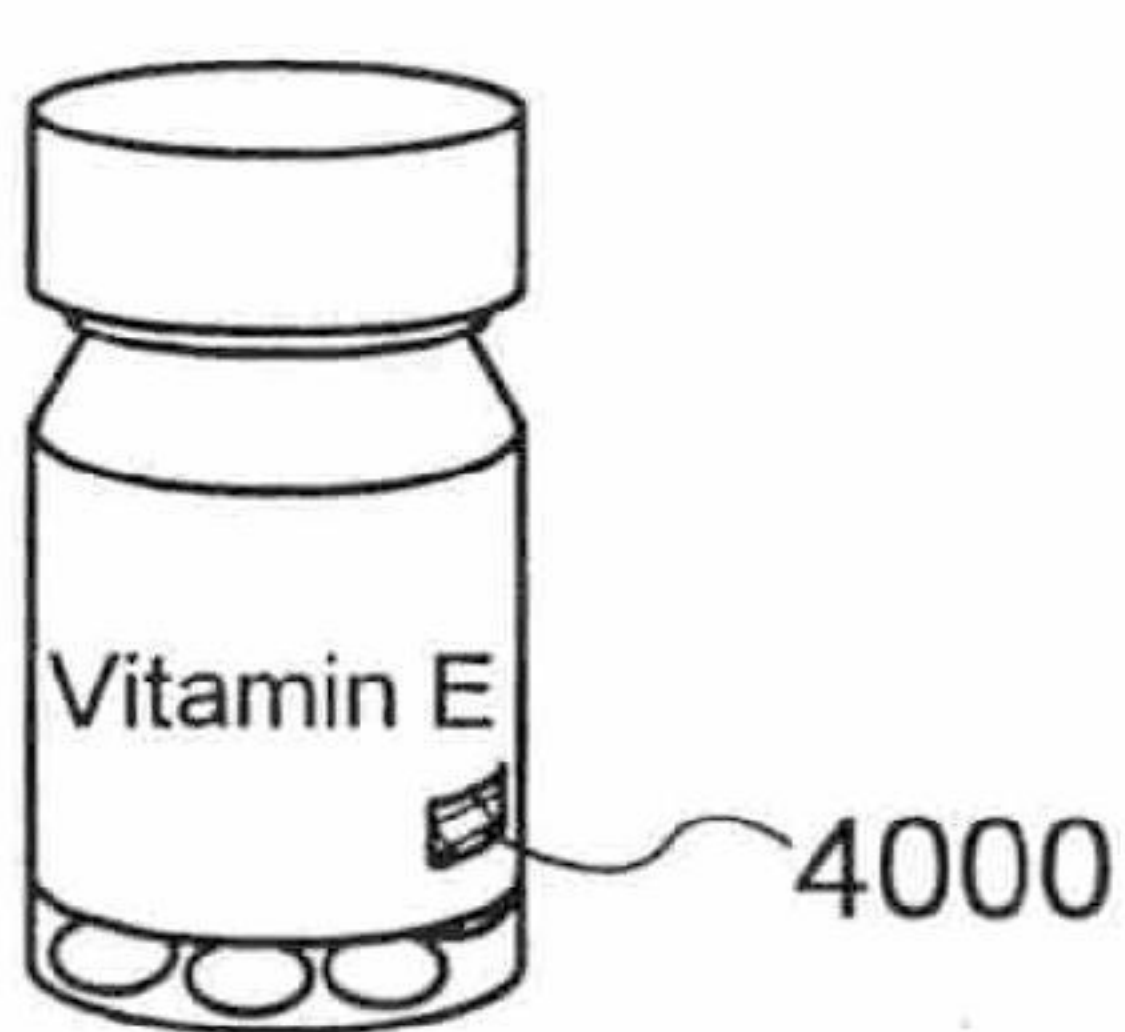


圖 17D

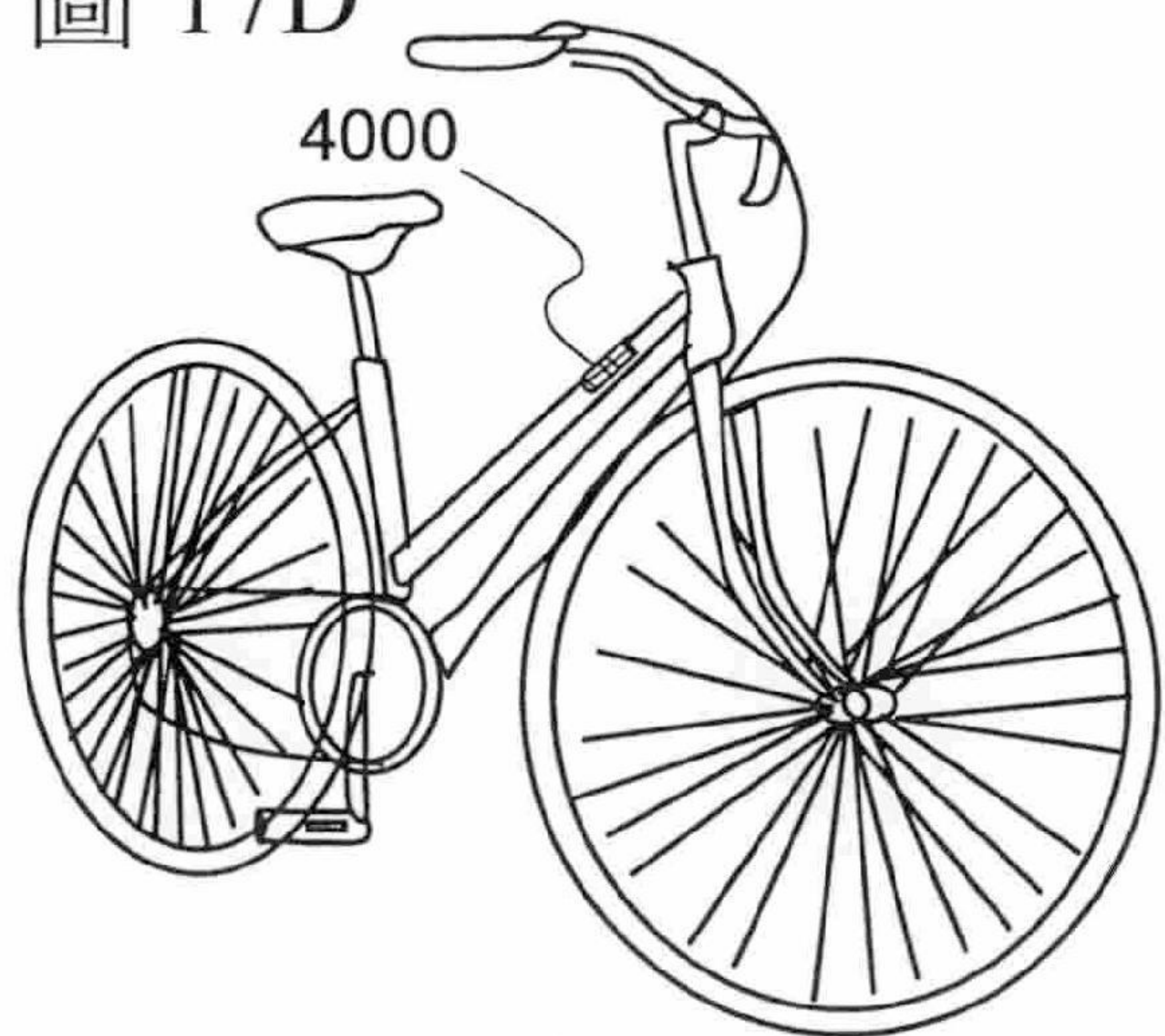


圖 17E

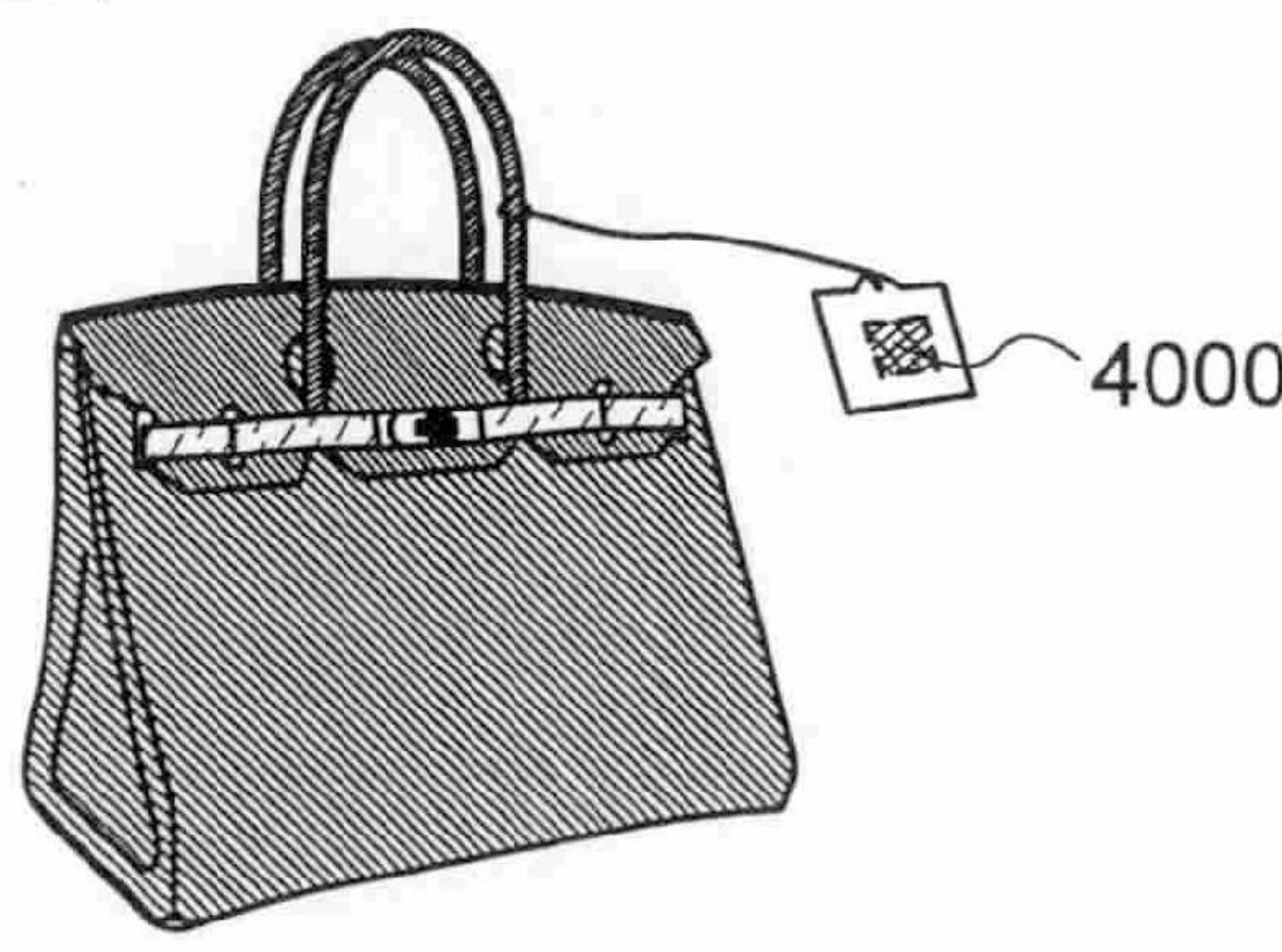


圖 17F

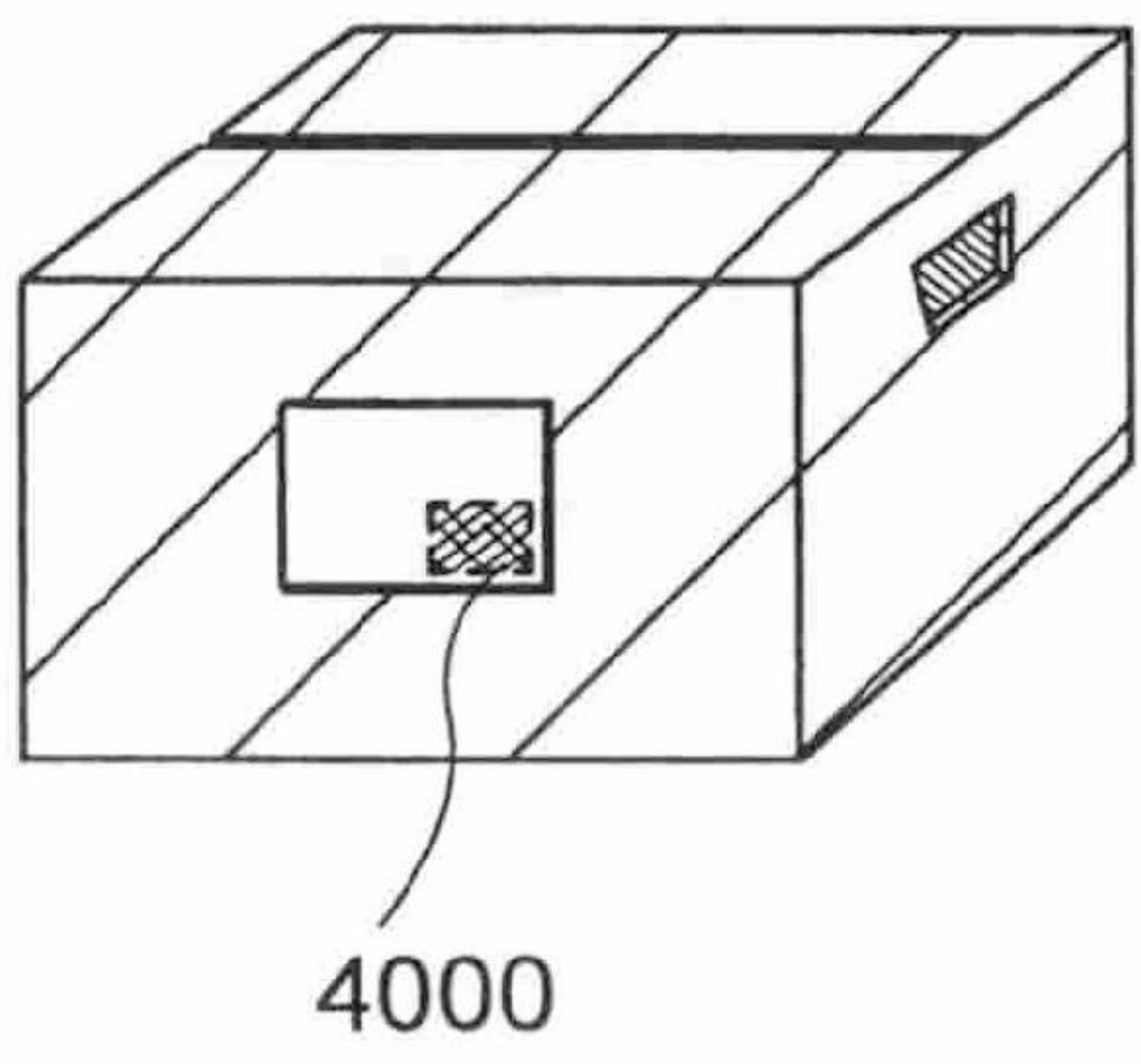


圖 18A

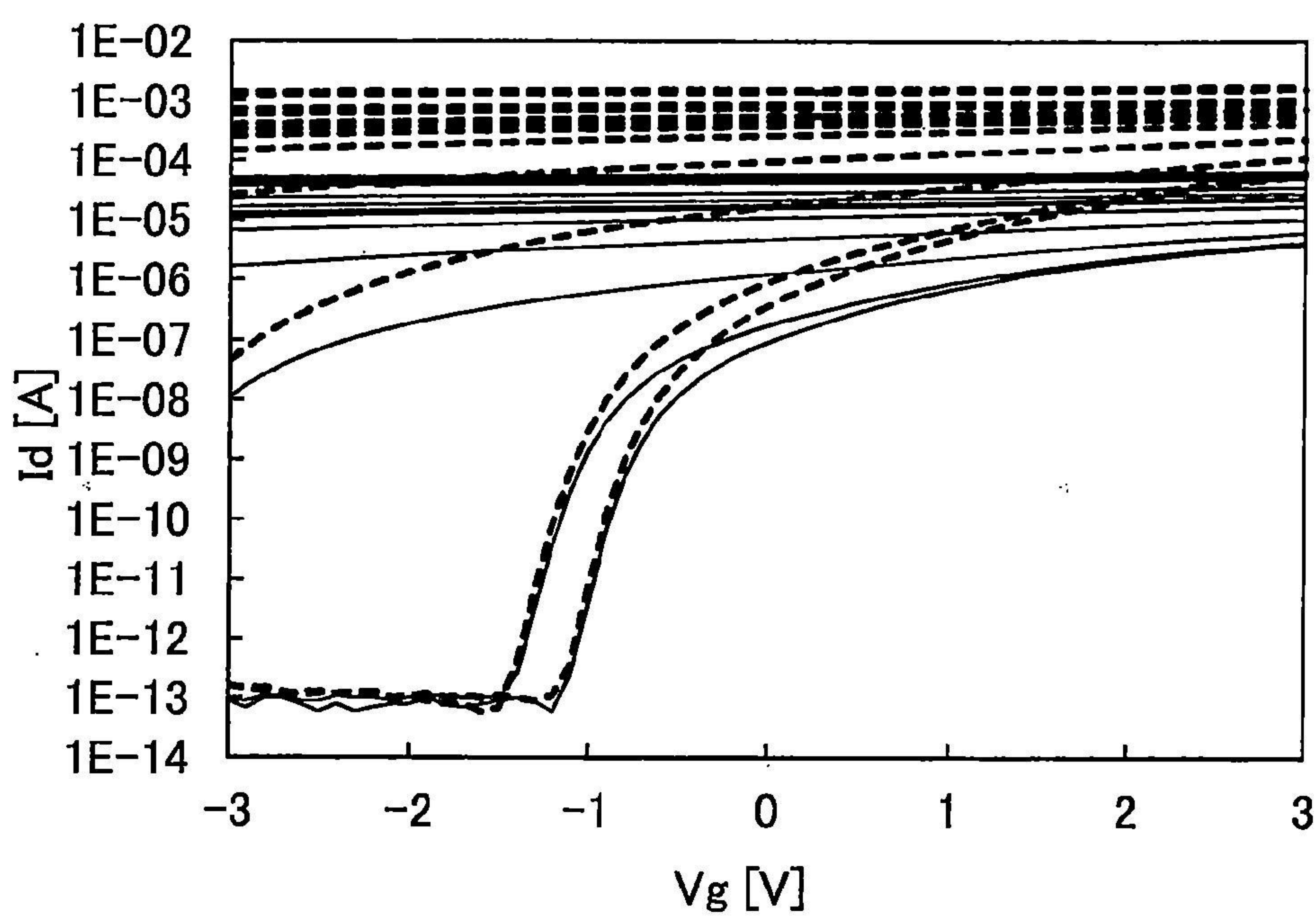


圖 18B

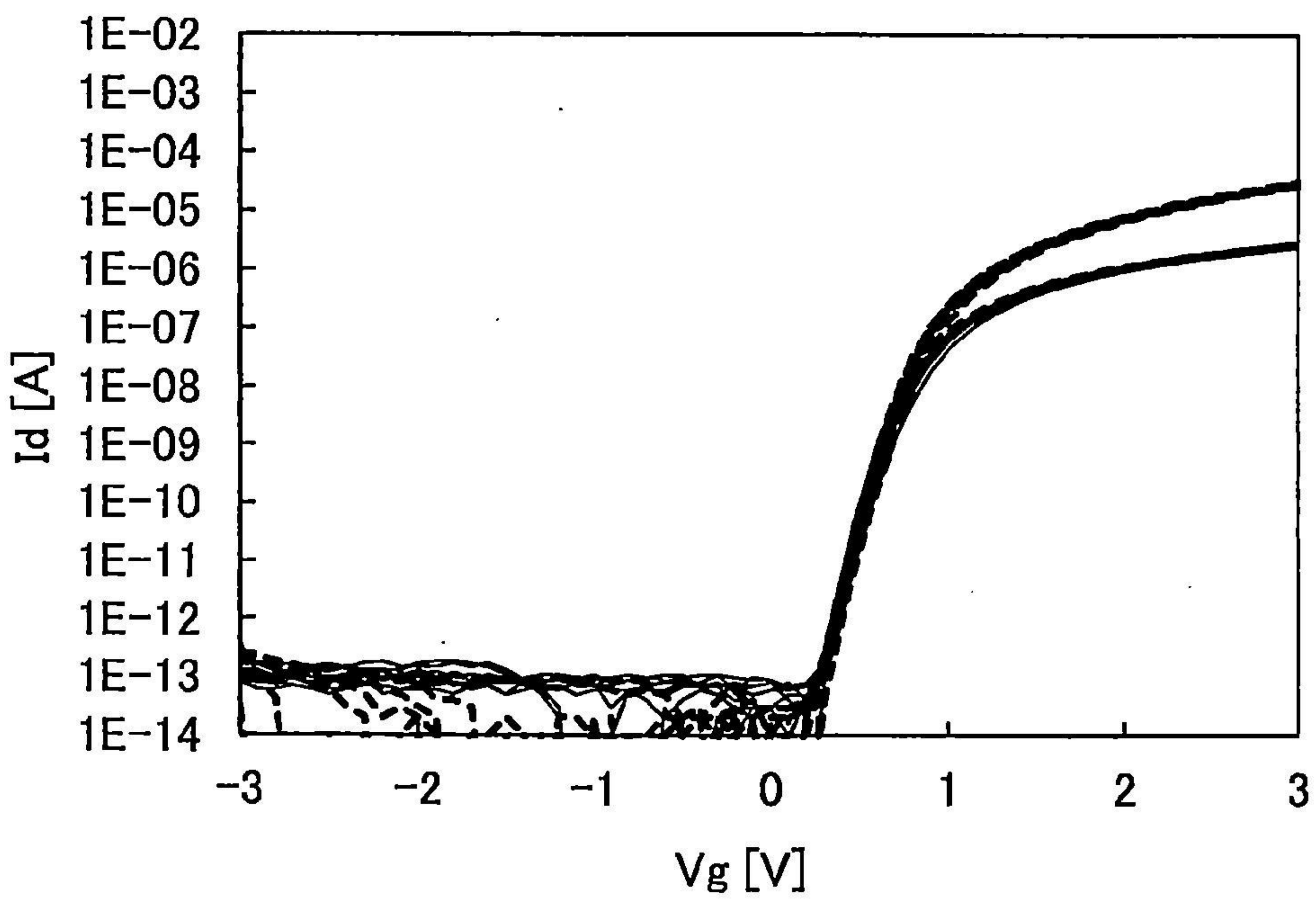


圖 19A

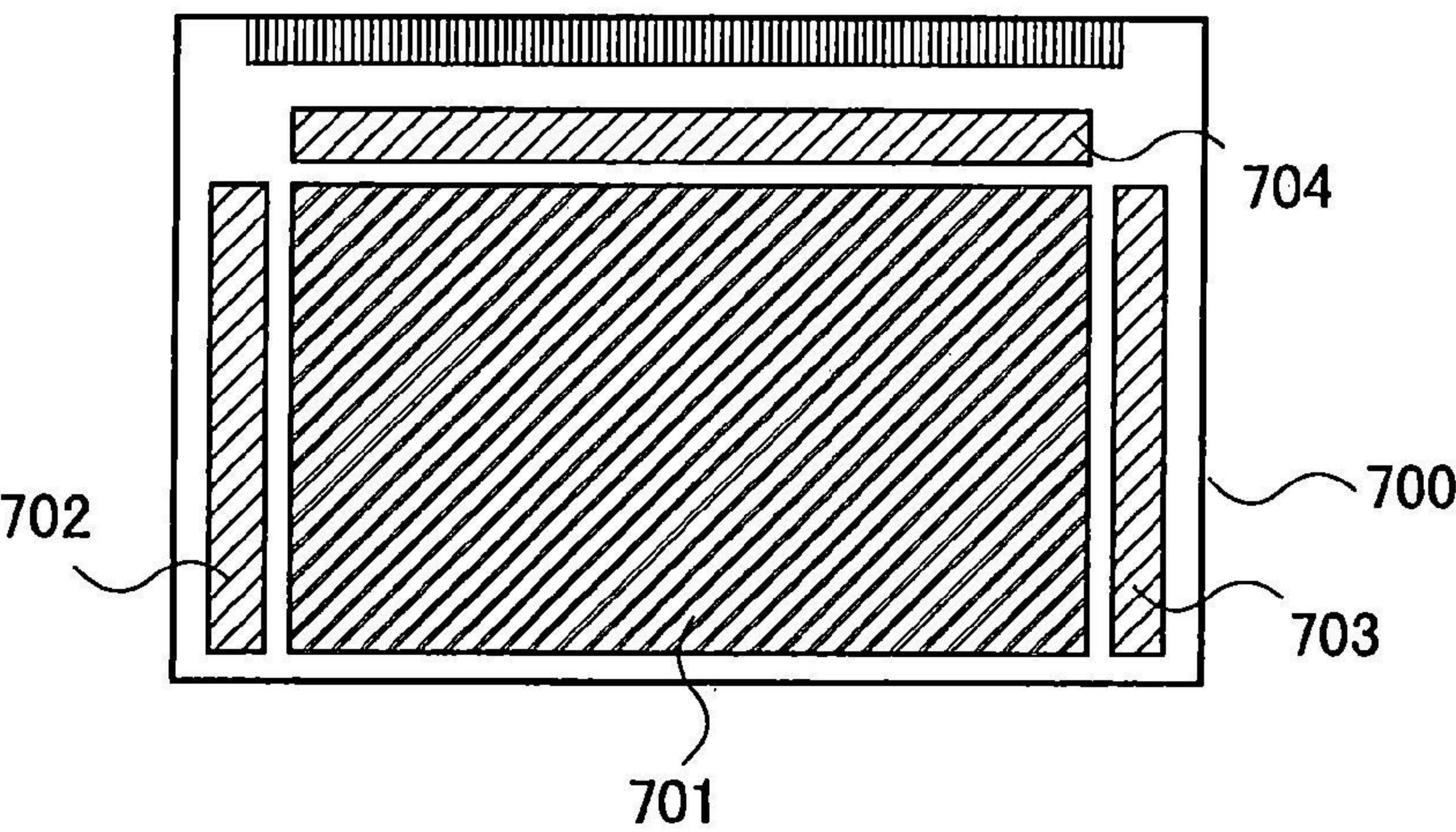


圖 19B

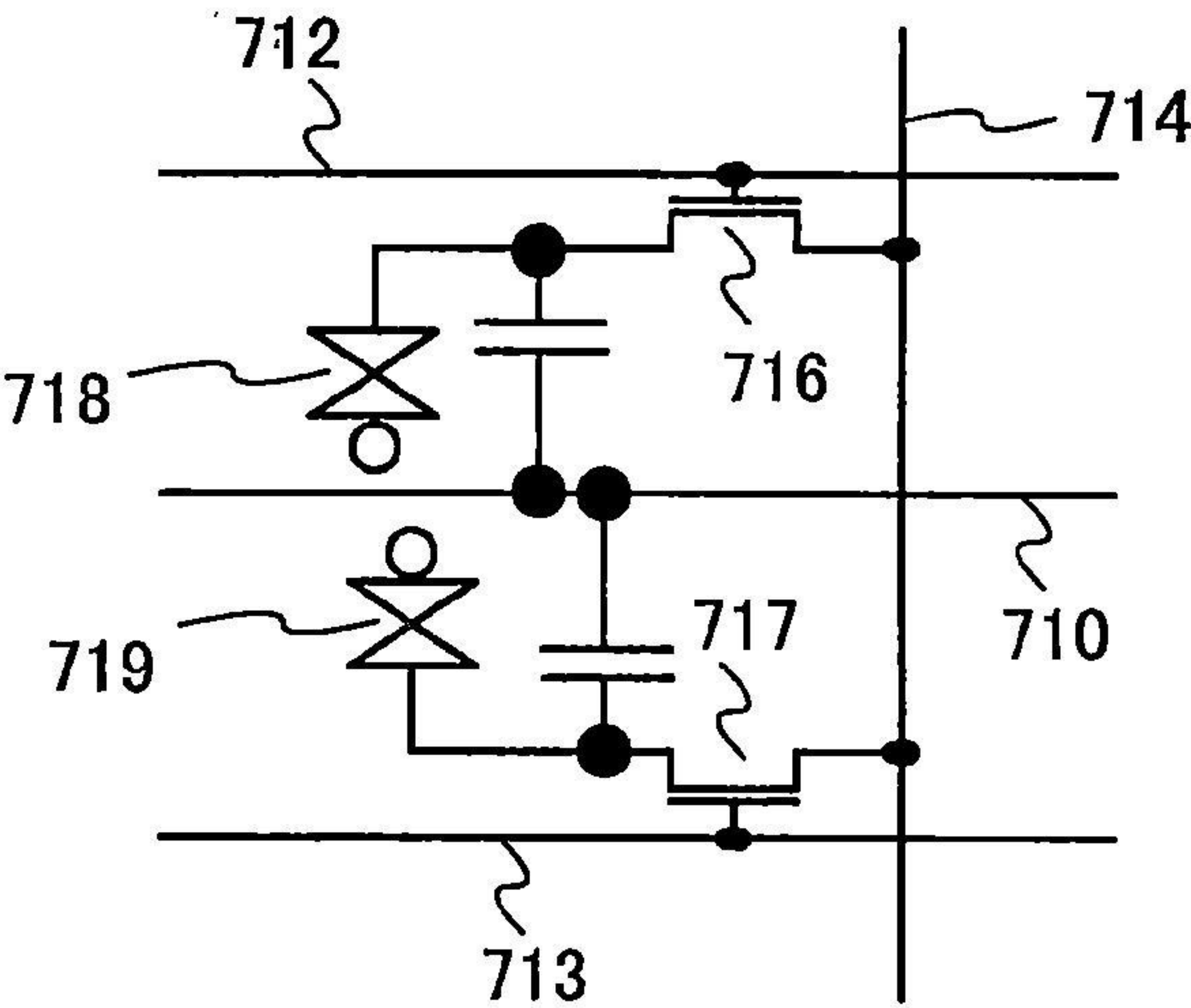


圖 19C

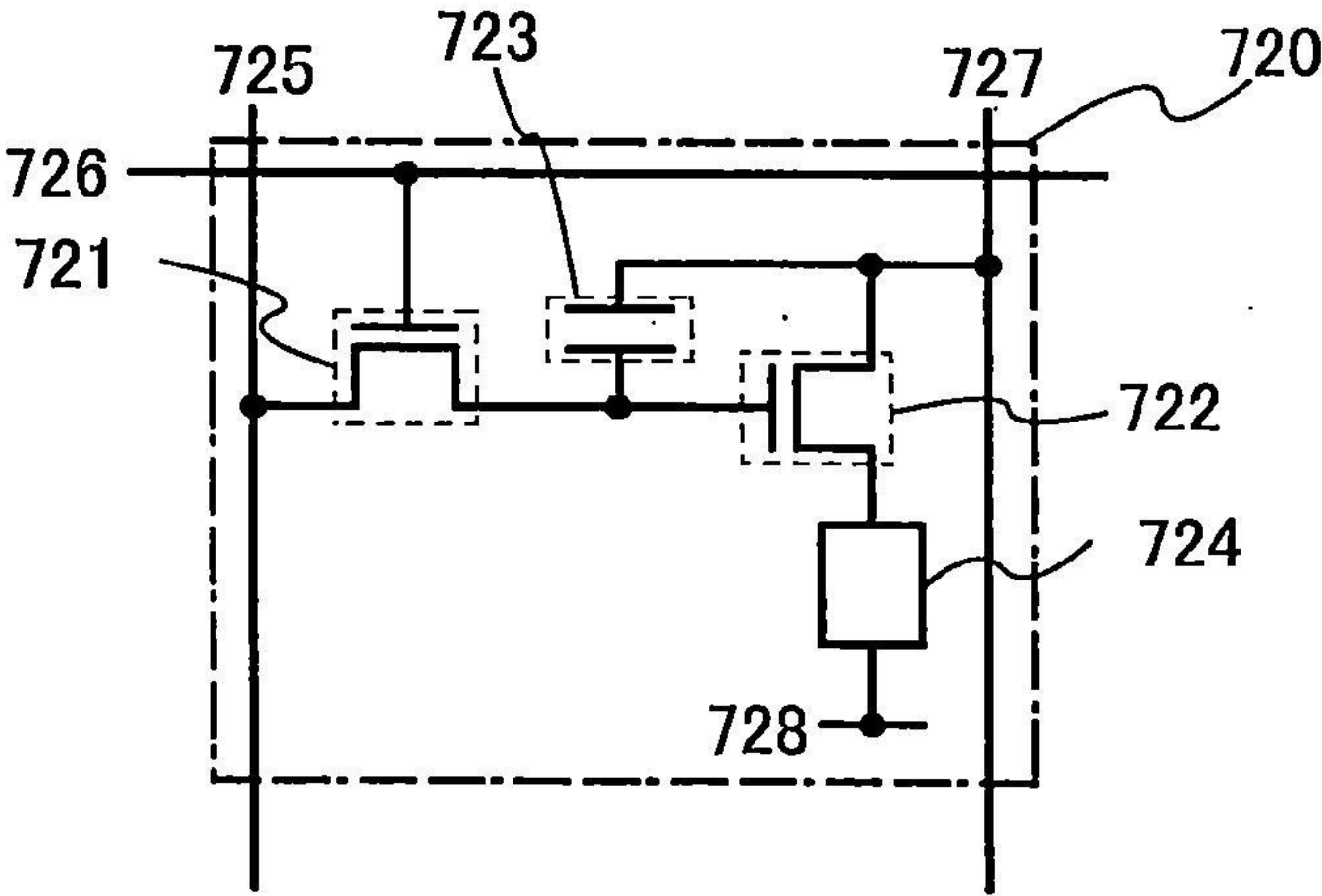


圖 20

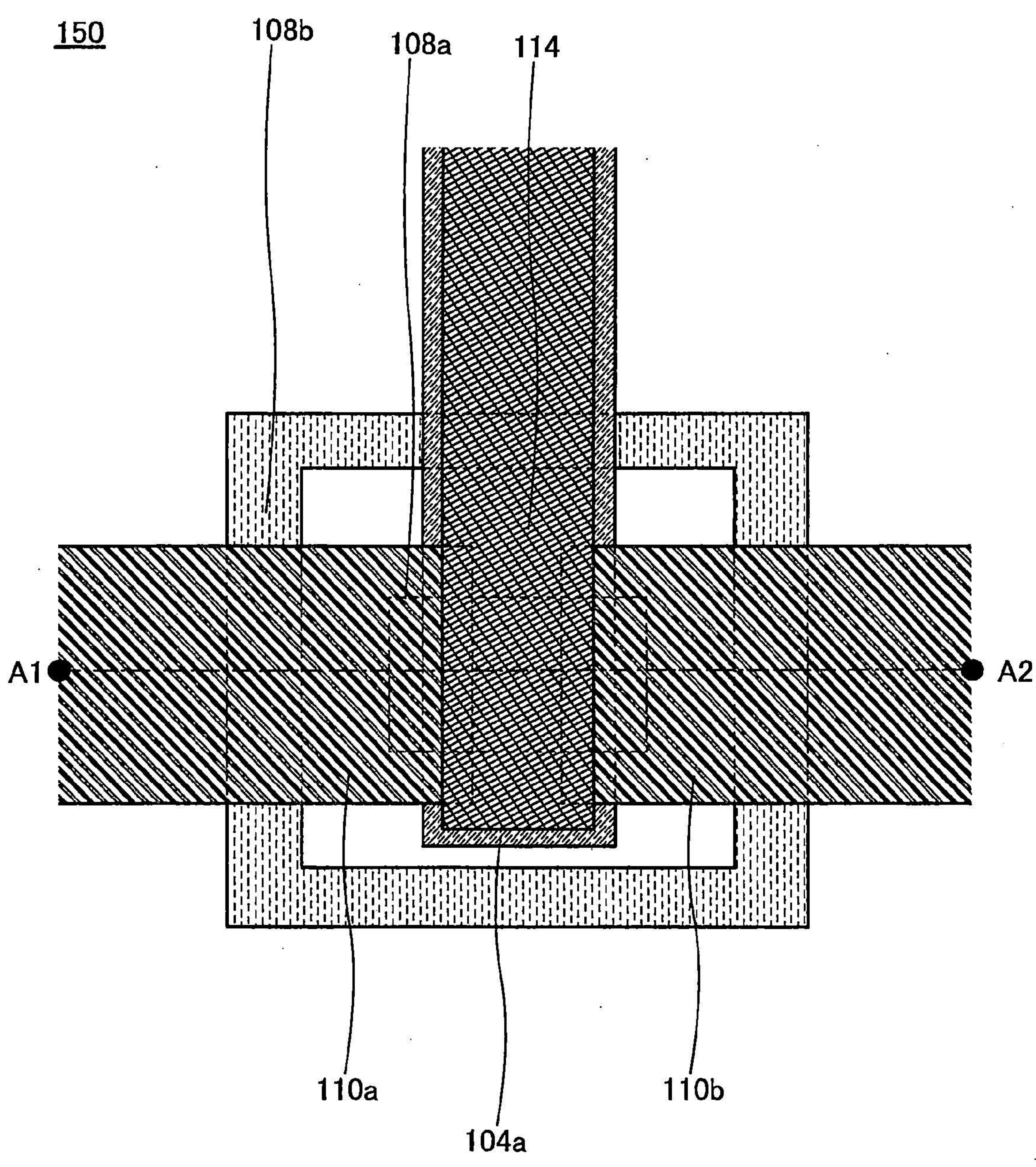


圖 21A

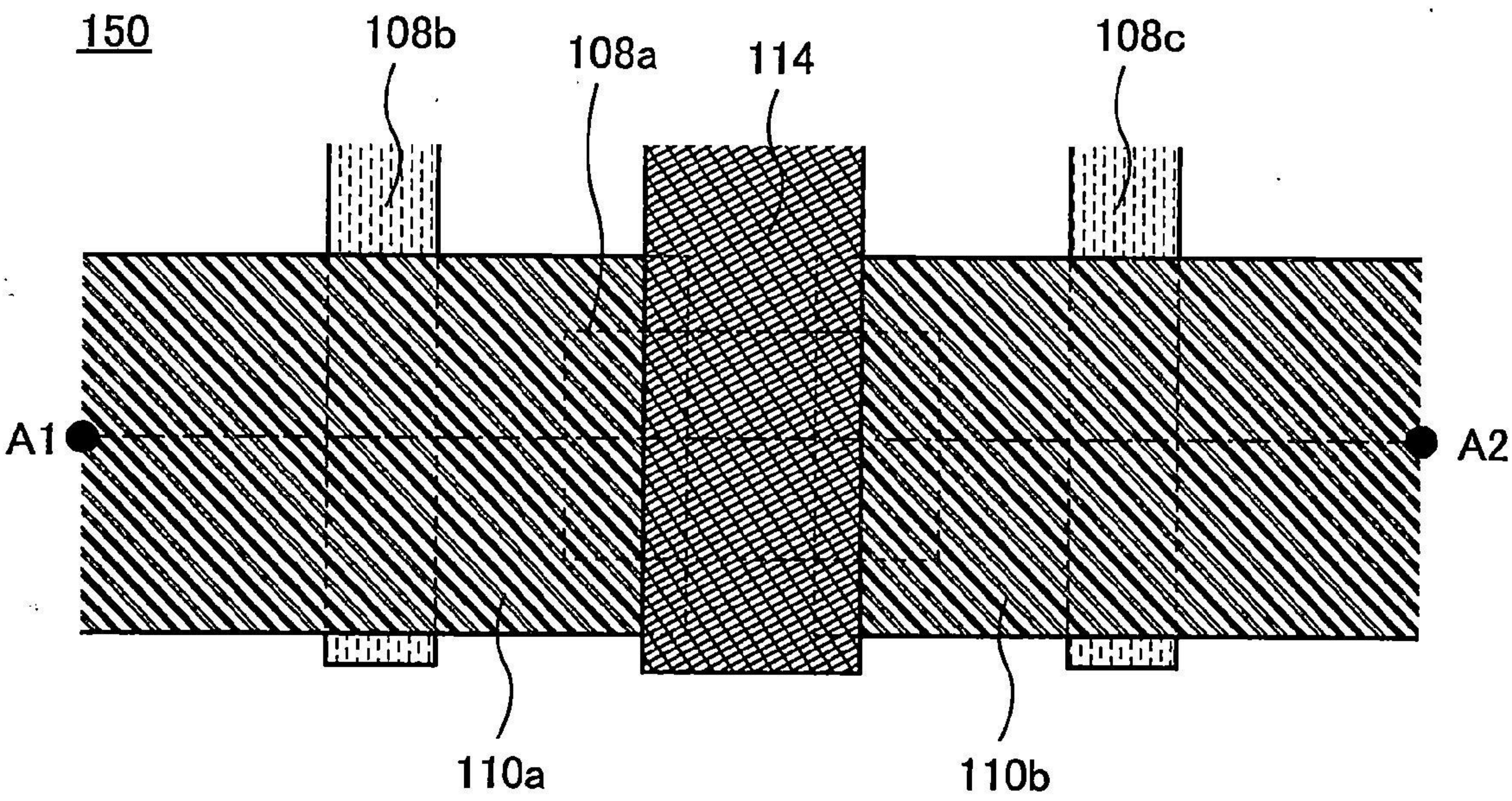


圖 21B

