

⑫

BREVET D'INVENTION

B1

⑤④ DISPOSITIF ÉLECTRONIQUE COMPORTANT UN MODULE ÉLECTRONIQUE ET UN CIR-
CUIT DE COMPENSATION.

②② Date de dépôt : 23.02.22.

③③ Priorité :

⑥⑥ Références à d'autres documents nationaux
apparentés :

☐ Demande(s) d'extension :

⑦① Demandeur(s) : *STMICROELECTRONICS
(ROUSSET) SAS Société par actions simplifiée (SAS)*
— FR.

④③ Date de mise à la disposition du public
de la demande : 25.08.23 Bulletin 23/34.

④⑤ Date de la mise à disposition du public du
brevet d'invention : 08.11.24 Bulletin 24/45.

⑤⑥ Liste des documents cités dans le rapport de
recherche :

Se reporter à la fin du présent fascicule

⑦② Inventeur(s) : DEMANGE Nicolas.

⑦③ Titulaire(s) : *STMICROELECTRONICS (ROUSSET)
SAS Société par actions simplifiée (SAS).*

⑦④ Mandataire(s) : Casalunga.



Description

Titre de l'invention : DISPOSITIF ÉLECTRONIQUE COMPORTANT UN MODULE ÉLECTRONIQUE ET UN CIRCUIT DE COMPENSATION

- [0001] Des modes de mise en œuvre et de réalisation de l'invention concernent les systèmes sur puce, et notamment la protection de ces systèmes sur puce contre des attaques extérieures du type analyse simple de la consommation d'énergie (connu également par l'acronyme « SPA » de l'anglais « Simple Power Analysis »).
- [0002] Les systèmes sur puce peuvent être la cible d'attaques visant à la récupération d'informations sécurisées, et en particulier d'attaques par analyse de consommation ou SPA.
- [0003] En fonctionnement, un système sur puce consomme plus ou moins en fonction des opérations qu'il effectue. L'attaque SPA comporte l'analyse de ces variations de consommation afin notamment d'en déduire des indications sur les opérations effectuées et/ou sur leurs occurrences.
- [0004] Dans les applications sécurisées, il est donc recommandé de lisser autant que possible la consommation vue de l'alimentation de façon à ce qu'un attaquant potentiel puisse difficilement déterminer l'activité des différents composants du système sur puce par des attaques SPA.
- [0005] La demande de brevet français ayant pour numéro de dépôt le n°19.14244 décrit une solution contre les attaques SPA. La solution proposée décrit un dispositif électronique comprenant des premiers moyens d'élaboration connectés à une borne d'alimentation d'un module électronique, notamment un microprocesseur. Le module est configuré pour consommer un courant de module. Les premiers moyens d'élaboration sont configurés pour élaborer pour chaque module un courant auxiliaire de module égal à une première fraction du courant de module correspondant. Le dispositif électronique comprend également un premier étage, connecté à la borne d'alimentation, comportant au moins une source de courant configurée pour fournir un courant d'étage supérieur à la somme des valeurs maximales de chaque courant auxiliaire de module. Le dispositif comprend en outre des deuxièmes moyens d'élaboration configurés pour élaborer un courant intermédiaire égal à une différence entre le courant d'étage et un courant secondaire égal à la somme de chaque courant auxiliaire de module. Le dispositif électronique comprend également un étage de régulation connecté à la borne d'alimentation comprenant une première branche configurée pour élaborer un potentiel de référence à partir du courant intermédiaire, une deuxième branche comprenant un moyen de régulation et des moyens de comparaison configurés pour piloter en tension

le moyen de régulation de sorte qu'un potentiel de la deuxième branche soit égal au potentiel de référence, ledit potentiel étant obtenu en multipliant un courant circulant dans ladite branche par une impédance égale à ladite première fraction. Le dispositif comprend en outre un étage terminal connecté à la borne d'alimentation et configuré pour multiplier le courant intermédiaire par un facteur de multiplication égal à un.

- [0006] Un tel dispositif permet d'élaborer de manière simple une pluralité de courants consommés par l'alimentation, dont la somme ne dépend pas du courant consommé par le module électronique mais seulement en théorie du courant fourni par l'étage de source de courant. La somme des courants consommés est alors relativement constante. La consommation du circuit intégré est donc lissée, et cette consommation globale lissée vue de l'extérieur est supérieure à la somme des consommations maximales de chaque module.
- [0007] Pour avoir de bonnes performances, il est important que les moyens de lissage du courant suivent rapidement le courant tiré par le régulateur de tension pour lisser au mieux le courant délivré par l'alimentation.
- [0008] Toutefois, le dispositif électronique présente plusieurs étages contrôlés par deux amplificateurs, qui encombrant le dispositif électronique, et engendrent des délais et une consommation d'énergie supplémentaires. Ces délais ne permettent pas d'obtenir une réponse suffisamment rapide pour le lissage du courant dans des applications à fréquence de fonctionnement du module électronique élevée, par exemple de l'ordre de 115MHz. La fréquence élevée entraîne un appel de courant plus abrupte entre des phases lentes et des phases plus rapides d'activité du module électronique. Le délai de compensation entraîne alors des pics dans le courant délivré par la source d'alimentation et génère donc une signature du fonctionnement du module électronique pouvant être utilisée pour effectuer une attaque par analyse de consommation.
- [0009] Il existe donc un besoin de proposer un circuit de compensation plus réactif aux variations de courant tiré par le module électronique.
- [0010] Selon un aspect, il est proposé un dispositif électronique comprenant :
 - une borne d'alimentation configurée pour pouvoir être connectée à une source d'alimentation,
 - au moins un régulateur de tension connecté à la borne d'alimentation,
 - au moins un module électronique, notamment un microprocesseur, connecté audit au moins un régulateur de tension et configuré pour pouvoir consommer un courant de module électronique provenant de la source d'alimentation,
 - un circuit de compensation connecté audit au moins un régulateur de tension et configuré pour recevoir un courant auxiliaire généré par ledit au moins un régulateur de tension et étant égal à une première fraction du courant de module électronique

consommé par ledit au moins un module électronique, le circuit de compensation comportant :

- une source de courant reliée audit au moins un régulateur de tension de façon à recevoir le courant auxiliaire et étant configurée pour fournir vers un point froid un courant de source supérieur à une valeur maximale du courant de module électronique consommé par ledit au moins un module électronique,
- un étage de compensation comportant :
 - une première résistance et une deuxième résistance présentant chacune une première borne reliée à ladite borne d'alimentation, la première résistance présentant une valeur résistive égale à une valeur résistive de la deuxième résistance multipliée par ledit facteur de multiplication, la première résistance présentant une deuxième borne reliée à la source de courant de façon à être traversée par un courant intermédiaire égal à une différence entre le courant de source et le courant auxiliaire,
 - un transistor présentant un drain relié à une deuxième borne de la deuxième résistance et une source connectée au point froid,
 - un amplificateur opérationnel configuré pour commander le transistor et présentant une entrée inverseuse connectée à la deuxième borne de la première résistance et une entrée non inverseuse connectée à la deuxième borne de la deuxième résistance, de sorte que la deuxième résistance est traversée par un courant complémentaire égal au courant intermédiaire multiplié par ledit facteur de multiplication.

[0011] Le circuit de compensation est configuré pour consommer un courant traversant l'étage de compensation en complément du courant tiré par le module électronique de sorte que la somme des courants tirés par le circuit de compensation et le module électronique est constante.

[0012] Un tel circuit de compensation permet de lisser le courant vu depuis la borne d'alimentation afin de dissimuler le courant tiré par ledit module électronique connecté audit au moins un régulateur de tension.

[0013] Un tel circuit de compensation comprend un nombre limité d'étage, ce qui lui permet d'améliorer sa réactivité aux variations de courant tiré par le module électronique, de réduire sa consommation d'énergie ainsi que son encombrement physique. Un tel circuit de compensation permet notamment d'éviter des erreurs de recopie des miroirs de courant utilisés dans le dispositif électronique décrit par la demande de brevet français ayant pour numéro de dépôt le n°19.14244. Un tel circuit de compensation est également peu coûteux.

[0014] Il est possible de prévoir un dispositif électronique comportant un unique régulateur de tension et un unique module électronique connecté au régulateur de tension. Bien entendu, il est également possible de prévoir un dispositif électronique comportant plusieurs régulateurs de tension et plusieurs modules électroniques connectés aux

différents régulateurs de tension. Le circuit de compensation présente alors une entrée pour chaque régulateur de tension de façon à recevoir les courants auxiliaires générés par les différents régulateurs de tension. La source de courant et l'étage de compensation sont alors reliés aux différents régulateurs de tension.

- [0015] Dans un mode de réalisation avantageux, la source de courant et l'étage de compensation sont reliés audit au moins un régulateur par l'intermédiaire d'un transistor commandé par un amplificateur opérationnel présentant une entrée inverseuse reliée à une source de ce transistor et une entrée non inverseuse configurée pour recevoir une tension délivrée par ledit au moins un régulateur au module électronique. Ce transistor et cet amplificateur permettent d'obtenir un potentiel au niveau d'un drain de ce transistor identique au potentiel entre ledit au moins un régulateur et ledit au moins un module électronique de façon à assurer un courant auxiliaire conforme au courant alimentant le module électronique.
- [0016] Lorsque le dispositif électronique comporte plusieurs régulateurs de tension et plusieurs modules électroniques, la source de courant et l'étage de compensation sont reliés aux différents régulateurs par l'intermédiaire de plusieurs branches parallèles comportant chacune un transistor commandé par un amplificateur opérationnel tels que décrit précédemment.
- [0017] De préférence, l'étage de compensation comporte :
- un premier transistor présentant un drain connecté à la deuxième borne de la première résistance et une source connectée à la source de courant de sorte que la deuxième borne de la première résistance est reliée à la source de courant par l'intermédiaire dudit premier transistor, et
 - un deuxième transistor présentant un drain connecté à la deuxième borne de la deuxième résistance et une source connectée au drain du transistor de sorte que la deuxième borne de la deuxième résistance est reliée au drain du transistor par l'intermédiaire dudit deuxième transistor,
- le premier transistor et le deuxième transistor présentant une grille configurée pour recevoir une tension fixe permettant au premier transistor et au deuxième transistor de fonctionner comme cascades. Cette tension fixe peut être celle délivrée par ledit au moins un régulateur au module électronique.
- [0018] Ce premier transistor permet au potentiel au niveau de la deuxième borne de la première résistance de varier librement en fonction du courant traversant cette première résistance. Ce deuxième transistor permet de protéger le transistor de l'étage de compensation commandé par l'amplificateur opérationnel des tensions élevées, et permet au potentiel au niveau de la deuxième borne de la deuxième résistance de varier librement en fonction du courant traversant cette deuxième résistance.

- [0019] Avantageusement, la source de courant comprend au moins un miroir de courant configuré pour générer le courant de source à partir d'un courant de référence. Ainsi, la source de courant peut comprendre un unique ou bien plusieurs miroirs de courant pour générer le courant de source. Lorsque la source de courant comporte plusieurs miroirs de courant, ces derniers peuvent être activés ou bien désactivés selon la valeur souhaitée du courant de source.
- [0020] Dans un mode de réalisation avantageux, la source de courant comporte :
- une branche de référence comprenant :
 - un transistor de référence dudit au moins miroir de courant,
 - un transistor de cascode présentant un drain configuré pour recevoir ledit courant de référence et connecté à une grille du transistor de référence, une source connectée à un drain du transistor de référence, et une grille configurée pour recevoir une tension fixe,
 - un transistor présentant un drain connecté à une source du transistor de référence, une source connectée au point froid et une grille configurée pour recevoir une tension délivrée par ledit au moins un régulateur au module électronique,
 - une branche de génération de courant auxiliaire pour chaque miroir de courant comportant :
 - un transistor de copie dudit miroir de courant présentant une grille connectée à une grille du transistor de référence et étant configuré pour générer au moins en partie le courant de source,
 - un transistor de cascode présentant un drain relié à la deuxième sortie dudit au moins un régulateur, une source connectée à un drain du transistor de copie,
 - un transistor sélection présentant un drain connecté à une source du transistor de copie, une source connectée au point froid et une grille configurée pour être commandée par un signal de sélection.
- [0021] Le courant de référence peut être de l'ordre de $5\mu\text{A}$ par exemple. Chaque miroir de courant comporte le transistor de référence et un transistor de copie permettant de multiplier le courant de référence. La somme des courants générés par chaque miroir de courant correspond au courant de source généré par la source de courant.
- [0022] Chaque transistor de sélection permet d'activer ou bien de désactiver le miroir de courant auquel il est associé pour modifier la valeur du courant de source généré par la source de courant.
- [0023] Avantageusement, le transistor de cascode de la branche de génération de chaque miroir de courant présente une grille configurée pour recevoir une tension fixe.
- [0024] De préférence, le transistor de cascode est commun à chaque branche de génération, la source de courant comportant en outre un amplificateur opérationnel présentant une entrée non inverseuse connectée au drain du transistor de référence, une entrée inverseuse connectée à la source du transistor commun, et une sortie connectée à la

grille du transistor. L'amplificateur opérationnel permet alors d'obtenir une tension de drain du transistor de copie du miroir de courant identique à la tension au niveau du drain du transistor de référence du miroir de courant. Il est ainsi possible d'utiliser un transistor de cascode commun plus petit permettant de réduire les capacités parasites de sorte que le circuit de compensation est plus réactif aux variations de courant.

[0025] D'autres avantages et caractéristiques de l'invention apparaîtront à l'examen de la description détaillée de modes de réalisation, nullement limitatifs, et des dessins annexés sur lesquels :

[0026] [Fig.1]

[0027] [Fig.2]

[0028] [Fig.3] illustrent des modes de réalisation et de mise en œuvre de l'invention.

[0029] La [Fig.1] illustre un dispositif électronique DIS, notamment un système sur puce, comportant un module électronique, notamment un microprocesseur CPU, et un régulateur de tension LDO. Le régulateur LDO est configuré pour adapter une tension VCC fournie par une source d'alimentation électrique ALIM à une tension souhaitée pour alimenter le microprocesseur CPU. Par exemple, le régulateur LDO peut être adapté pour fournir une tension de 1,2V au microprocesseur CPU à partir d'une tension de 3V générée par la source d'alimentation électrique ALIM. Le régulateur de tension LDO peut être de type à faible chute de tension (connu également par l'expression « low-dropout regulator » ou « LDO regulator »).

[0030] Le régulateur de tension LDO présente une entrée I1 connectée à une borne d'alimentation BA du dispositif électronique DIS. La borne d'alimentation BA est configurée pour pouvoir être connectée à ladite source d'alimentation électrique ALIM. Le régulateur LDO présente également une première sortie O1 connectée à une borne d'alimentation du microprocesseur CPU. De la sorte le régulateur de tension LDO est configuré pour tirer un courant I_{vdd} délivré par la source d'alimentation électrique ALIM et transmettre ce courant au microprocesseur CPU. La valeur du courant I_{vdd} peut varier en fonction des opérations pouvant être effectuées par le microprocesseur.

[0031] Le dispositif électronique DIS comporte également un circuit de compensation JSCR configuré pour pouvoir tirer un courant I_{JSCR} délivré par la source d'alimentation ALIM, de sorte que le courant total I_{VCC} tiré depuis la source d'alimentation soit constant quel que soit la valeur du courant I_{vdd} requis par le microprocesseur CPU.

[0032] En particulier, le circuit de compensation JSCR comporte une première entrée IN1 connectée à une deuxième sortie O2 du régulateur de tension LDO, et une deuxième entrée IN2 connectée à la borne d'alimentation BA du dispositif électronique DIS de façon à pouvoir être reliée à la source d'alimentation ALIM.

- [0033] La deuxième sortie O2 du régulateur de tension est configurée pour délivrer au circuit de compensation JSCR un courant auxiliaire I_{aux} égal à $I_{vdd}/100$, c'est-à-dire à un centième du courant I_{vdd} . Pour ce faire, le régulateur de tension LDO peut comprendre un miroir de courant. Le miroir de courant peut alors comporter une première branche ayant un premier transistor présentant des dimensions données, et une deuxième branche ayant un deuxième transistor de dimensions cent fois plus petites que celles du premier transistor. Le miroir de courant peut également comporter sur sa première branche un nombre de transistors identiques montés en parallèle cent fois supérieur à un nombre de transistors identiques montés en parallèle prévus sur sa deuxième branche.
- [0034] Le régulateur LDO est donc configuré pour tirer un courant total I_{VDD} égal à la somme du courant I_{vdd} requis par le microprocesseur et du courant I_{aux} égal à $I_{vdd}/100$ délivré au circuit de compensation.
- [0035] Le circuit de compensation JSCR peut comprendre un premier amplificateur AMP_LDO configuré pour contrôler une grille d'un premier transistor PCASLDO de type PMOS. L'amplificateur AMP_LDO comporte une entrée inverseuse reliée à la deuxième sortie O2 du régulateur LDO par l'intermédiaire de la première entrée IN1 du circuit de compensation et à la source du transistor PCASLDO. L'amplificateur AMP_LDO comporte également une entrée non inverseuse reliée à la première sortie O1 du régulateur LDO de façon à recevoir une tension v_{dd} en entrée du microprocesseur CPU. Ainsi, le premier amplificateur AMP_LDO et le transistor PCASLDO permettent d'obtenir un potentiel au niveau de la deuxième sortie O2 du régulateur LDO identique au potentiel au niveau de la première sortie O1 du régulateur LDO de façon à assurer un courant $I_{vdd}/100$ conforme au courant I_{vdd} alimentant le microprocesseur CPU.
- [0036] Le circuit de compensation JSCR comprend en outre une source de courant SC présentant une première borne connectée au drain du transistor PCASLDO et une deuxième borne connectée à un point froid, notamment à une masse GND. La source de courant SC est de type NMOS et est ainsi configurée pour générer un courant I_{src} égal à $I_{set}/100$ vers le point froid GND. La valeur du courant I_{set} est choisi pour être supérieure à un maximum du courant I_{vdd} . Le rapport entre le courant I_{src} et le courant I_{set} est choisi pour être identique au rapport entre le courant I_{aux} et I_{vdd} . Des modes de réalisation d'une telle source de courant sont décrits ci-après en relation avec les figures 2 et 3.
- [0037] Le circuit de compensation JSCR comprend en outre un étage de compensation. L'étage de compensation comprend un transistor CASMINUS de type NMOS. Le transistor CASMINUS présente une grille reliée à la première sortie du régulateur

LDO de façon à recevoir une tension fixe permettant au transistor CASMINUS de fonctionner comme cascode. Cette tension fixe peut être la tension v_{dd} !. Le transistor CASMINUS comporte en outre une source reliée à la première borne de la source de courant et au drain du transistor PCASLDO.

- [0038] L'étage de compensation CSTG comporte une résistance R_0 présentant une première borne connectée à la deuxième entrée IN2 du circuit de compensation JSCR de façon à pouvoir être reliée à la source d'alimentation ALIM et une deuxième borne reliée à un drain du transistor CASMINUS. L'étage de compensation comporte également une résistance R_1 présentant une première borne connectée à la première borne de la résistance R_0 et à la deuxième entrée IN2 du circuit de compensation JSCR de façon à pouvoir être reliée à la source d'alimentation ALIM. La valeur de la résistance R_1 est choisie de sorte que le rapport entre la résistance R_1 et la résistance R_0 soit le même que le rapport entre le courant I_{aux} et I_{vdd} , et le même que le rapport entre le courant I_{src} et le courant I_{set} . Par exemple, la résistance R_1 présente une valeur égale à $R_0/100$. Le transistor CASMINUS permet au potentiel au niveau de la deuxième borne de la résistance R_0 de varier librement en fonction du courant traversant cette résistance R_0 .
- [0039] L'étage de compensation CSTG comporte également un transistor CASPLUS de type NMOS. Le transistor CASPLUS présente une grille reliée à la première sortie du régulateur LDO de façon à recevoir une tension fixe permettant au transistor CASPLUS de fonctionner comme cascode. Cette tension fixe peut être la tension v_{dd} !. Le transistor CASPLUS présente également un drain relié à une deuxième borne de la résistance R_1 .
- [0040] L'étage de compensation CSTG comporte également un transistor LV de type NMOS. Le transistor LV présente un drain relié à la source du transistor CASPLUS et une source reliée au point froid, notamment à la masse. Le transistor CASPLUS permet de protéger le transistor LV des tensions élevées, et permet au potentiel au niveau de la deuxième borne de la résistance R_1 de varier librement en fonction du courant traversant cette résistance R_1 .
- [0041] L'étage de compensation CSTG comprend en outre un amplificateur opérationnel AMP3 présentant une entrée inverseuse reliée à la deuxième borne de la résistance R_0 et une entrée non inverseuse reliée à la deuxième borne de la résistance R_1 . L'amplificateur opérationnel AMP3 présente également une sortie reliée à la grille du transistor LV de façon à pouvoir commander le transistor LV. Ainsi, l'amplificateur AMP3 permet d'obtenir un potentiel au niveau de la deuxième borne de la résistance R_1 identique au potentiel au niveau de la deuxième borne de la résistance R_0 .
- [0042] De la sorte, la résistance R_0 est traversée par un courant I_{int} égal à $(I_{set}-I_{vdd})/100$, et la résistance R_1 est traversée par un courant I_{SMT} égal à $I_{set}-I_{vdd}$.

- [0043] Ainsi, le courant I_{VCC} délivré par la source d'alimentation ALIM est égale à la somme du courant I_{vdd} requis par le microprocesseur CPU, du courant $I_{vdd}/100$ délivré au niveau de la deuxième sortie O2 du régulateur LDO et du courant I_{JSCR} correspondant à la somme du courant I_{int} traversant la résistance R_0 et I_{SMT} traversant la résistance R_1 . Ainsi, le courant I_{VCC} s'exprime selon la formule suivante :
- [0044]
$$I_{VCC} = I_{VDD} + I_{JSCR} = I_{vdd} + \frac{I_{set}}{100} + (I_{set} - I_{vdd}) = 1,01 * I_{set}$$
- [0045] Le courant I_{VCC} ayant pour valeur $1,01 * I_{set}$ ne dépend plus du courant I_{vdd} requis par le microprocesseur CPU, et est donc constant.
- [0046] Un tel circuit de compensation JSCR présente l'avantage d'être relativement simple tout en permettant un lissage du courant tiré depuis source d'alimentation et étant réactif aux variations du courant I_{vdd} requis par le microprocesseur CPU.
- [0047] La [Fig.2] illustre un dispositif électronique DIS tel que décrit précédemment dont la source de courant SC permettant de générer le courant I_{src} est représentée selon un premier mode de réalisation.
- [0048] Dans ce mode de réalisation, la source de courant SC comporte une branche BREF de référence et au moins une branche BGEN de génération de courant I_{src} .
- [0049] La branche de référence comporte un transistor de cascode MCREF de type NMOS et chaque branche de génération BGEN de courant comporte un transistor de cascode MCDAC de type NMOS. Les transistors MCREF et MCDAC présentent chacun une grille configurée pour recevoir tension fixe v_{cas5u} . Le drain MCREF est configuré pour recevoir un courant de référence I_{ref} , de $5\mu A$ par exemple.
- [0050] La source de courant SC comporte en outre un miroir de courant MIR pour chaque branche BGEN de génération de courant. Chaque miroir de courant MIR permet de multiplier le courant de référence I_{ref} afin d'obtenir le courant I_{src} égal à $I_{set}/100$ en sortie de la source de courant. En particulier, la branche de génération comporte un transistor MMREF de type NMOS. Ce transistor MMREF présente un drain relié à une source du transistor MCREF, une grille reliée à un drain du transistor MCREF et une source reliée à un drain d'un transistor MSREF de la branche de référence. Ce transistor MSREF comporte également une source reliée au point froid, notamment à la masse, et une grille configurée pour recevoir la tension v_{dd} !
- [0051] Chaque branche de génération de courant comporte un transistor MMDAC<n:0> de type NMOS et un transistor MSDAC<n :0> de type NMOS. Le transistor MMDAC<n :0> de chaque branche de génération de courant présente une grille reliée à la grille du transistor MMREF, un drain relié à une source du transistor MCDAC <n:0> de cette même branche de génération de courant, et une source reliée à un drain du transistor MSDAC<n:0> de cette même branche de génération de courant. Ainsi,

chaque miroir de courant comprend le transistor MMREF de la branche de référence et un transistor MMDAC<n :0> d'une branche de génération de courant.

[0052] Chaque transistor MSDAC<n:0> présente une grille permettant de recevoir un signal de sélection SEL<n:0>, et une source reliée au point froid, notamment à la masse. Les signaux de sélection permettent d'activer ou non les différents miroirs de courant MIR.

[0053] Le courant total consommé par le circuit de de compensation est alors égal à la somme du courant I_{src} égal à $I_{set}/100$ généré par la source de courant SC, un courant consommé par l'amplificateur opérationnel AMP_LDO et un courant consommé par l'amplificateur opérationnel AMP3. Le courant total consommé est donc relativement faible, et présente donc un avantage, notamment pour les produits nécessitant une consommation d'énergie élevée.

[0054] En outre, il est également possible d'augmenter le courant de polarisation de l'amplificateur AMP3 afin d'améliorer les performances du circuit de compensation JSCR.

[0055] La [Fig.3] illustre un dispositif électronique DIS tel que décrit précédemment dont la source de courant SC permettant de générer le courant I_{src} égal à $I_{set}/100$ est représenté selon un deuxième mode de réalisation.

[0056] Ce deuxième mode de réalisation diffère du premier mode de réalisation en ce qu'il comprend un unique transistor MCDAC commun pour chaque branche de génération de courant. Ce transistor MCDAC est commandé par un amplificateur opérationnel AMP_CAS et non pas par le signal v_{cas5u} .

[0057] En particulier l'amplificateur opérationnel AMP_CAS présente une entrée non inverseuse reliée au drain du transistor MMREF, et une entrée inverseuse reliée au drain du transistor MMDAC.

[0058] De la sorte, la tension de drain du transistor MMDAC est identique à la tension au niveau du drain du transistor MCREF. Il est ainsi possible d'utiliser un transistor MCDAC plus petit permettant de réduire les capacités parasites de sorte que le circuit de compensation est plus réactif aux variations de courant I_{vdd} . La bande passante de l'amplificateur n'impacte pas le circuit de compensation car le courant I_{ref} est constant.

[0059] Le courant total consommé par le circuit de de compensation est alors égal à la somme du courant $I_{set}/100$ généré par la source de courant, le courant alimentant l'amplificateur opérationnel AMP_LDO, le courant consommé par l'amplificateur opérationnel AMP3 et le courant I_{amp_cas} alimentant l'amplificateur AMP_CAS. Un tel courant total est également relativement faible par rapport aux circuits de compensation connus.

[0060] Bien entendu, la présente invention est susceptible de diverses variantes et modifications qui apparaîtront à l'homme de l'art. Par exemple, il est également

possible de prévoir un dispositif électronique comportant plusieurs régulateurs de tension LDO et plusieurs modules électroniques connectés aux différents régulateurs de tension. Le circuit de compensation présente alors plusieurs entrées IN1 pour les différents régulateurs de tension de façon à recevoir les courants auxiliaires générés par les différents régulateurs. La source de courant SC et l'étage de compensation CSTG sont alors reliés aux différents régulateurs LDO par l'intermédiaire de plusieurs branches parallèles reliées aux entrées IN1, chaque branche comportant un transistor PCAS_LDO commandé par un amplificateur opérationnel AMP_LDO tels que décrit précédemment.

Revendications

[Revendication 1]

Dispositif électronique comprenant :

- une borne d'alimentation (BA) configurée pour pouvoir être connectée à une source d'alimentation (ALIM),
- au moins un régulateur de tension (LDO) connecté à la borne d'alimentation,
- au moins un module électronique (CPU) connecté audit au moins un régulateur de tension (LDO) et configuré pour pouvoir consommer un courant de module électronique (I_{vdd}) provenant de la source d'alimentation,
- un circuit de compensation (JSCR) connecté audit au moins un régulateur de tension et configuré pour recevoir un courant auxiliaire (I_{aux}) généré par ledit au moins un régulateur de tension et étant égal à une première fraction du courant de module électronique (I_{vdd}) consommé par ledit au moins un module électronique (CPU), le circuit de compensation comportant :
 - une source de courant (SC) reliée audit au moins un régulateur de tension de façon à recevoir le courant auxiliaire (I_{aux}) et étant configurée pour fournir vers un point froid un courant de source (I_{src}) de sorte que le courant de source multiplié par un facteur de multiplication inverse de la première fraction est supérieur à une valeur maximale du courant de module électronique (I_{vdd}) consommé par ledit au moins un module électronique (CPU),
 - un étage de compensation (CSTG) comportant :
 - une première résistance (R0) et une deuxième résistance (R1) présentant chacune une première borne reliée à ladite borne d'alimentation, la première résistance (R0) présentant une valeur résistive égale à une valeur résistive de la deuxième résistance (R1) multipliée par un facteur de multiplication inverse de ladite première fraction, la première résistance présentant une deuxième borne reliée à la source de courant de façon à être traversée par un courant intermédiaire (I_{int}) égal à une différence entre le courant de source (I_{src}) et le courant auxiliaire (I_{aux}),
 - un transistor (LV) présentant un drain relié à une deuxième borne de la deuxième résistance (R1) et une source connectée au point froid,

● un amplificateur opérationnel (AMP3) configuré pour commander le transistor (LV) et présentant une entrée inverseuse connectée à la deuxième borne de la première résistance et une entrée non inverseuse connectée à la deuxième borne de la deuxième résistance, de sorte que la deuxième résistance est traversée par un courant complémentaire (I_{SMT}) égal au courant intermédiaire multiplié (I_{int}) par ledit facteur de multiplication.

[Revendication 2]

Dispositif selon la revendication 1, dans lequel la source de courant et l'étage de compensation sont reliés audit au moins un régulateur (LDO) par l'intermédiaire d'un transistor (PCASLDO) commandé par un amplificateur opérationnel (AMP_LDO) présentant une entrée inverseuse reliée à une source de ce transistor (PCASLDO) et une entrée non inverseuse configurée pour recevoir une tension (v_{dd} !) délivrée par ledit au moins un régulateur (LDO) audit au moins un module électronique (CPU).

[Revendication 3]

Dispositif selon l'une des revendications 1 ou 2, dans lequel l'étage de compensation (CSTG) comporte :

- un premier transistor (CASMINUS) présentant un drain connecté à la deuxième borne de la première résistance (R_0) et une source connectée à la source de courant de sorte que la deuxième borne de la première résistance est reliée à la source de courant par l'intermédiaire dudit premier transistor (CASMINUS), et
 - un deuxième transistor (CASPLUS) présentant un drain connecté à la deuxième borne de la deuxième résistance (R_1) et une source connectée au drain du transistor (LV) de sorte que la deuxième borne de la deuxième résistance est reliée au drain du transistor (LV) par l'intermédiaire dudit deuxième transistor (CASMINUS),
- le premier transistor (CASMINUS) et le deuxième transistor (CASPLUS) présentant une grille configurée pour recevoir une tension fixe (v_{dd} !).

[Revendication 4]

Dispositif selon l'une des revendications 1 à 3, dans lequel la source de courant comprend au moins un miroir de courant configuré pour générer le courant de source (I_{src}) à partir d'un courant de référence (I_{ref}).

[Revendication 5]

Dispositif selon la revendication 4 dans lequel la source de courant comporte :

- une branche de référence (BREF) comprenant :

- un transistor de référence (MMREF) dudit au moins miroir de courant,
- un transistor de cascode (MCREF) présentant un drain configuré pour recevoir ledit courant de référence et connecté à une grille du transistor de référence (MMREF), une source connectée à un drain du transistor de référence (MCREF), et une grille configurée pour recevoir une tension fixe (v_{cas5u}),
- un transistor (MSREF) présentant un drain connecté à une source du transistor de référence (MMREF), une source connectée au point froid et une grille configurée pour recevoir une tension (v_{dd} !) délivrée par ledit au moins un régulateur (LDO) audit au moins un module électronique (CPU),
- une branche (BGEN) de génération de courant auxiliaire pour chaque miroir de courant comportant :
 - un transistor de copie (MMDAC<n:0>) dudit miroir de courant présentant une grille connectée à une grille du transistor de référence et étant configuré pour générer au moins en partie le courant de source (I_{src}),
 - un transistor de cascode (MCDAC<n:0>) présentant un drain relié à la deuxième sortie dudit au moins un régulateur (LDO), une source connectée à un drain du transistor de copie (MMDAC<n:0>),
 - un transistor sélection (MSDAC<n:0>) présentant un drain connecté à une source du transistor de copie (MMDAC<n:0>), une source connectée au point froid et une grille configurée pour être commandée par un signal de sélection (SEL<n:0>).

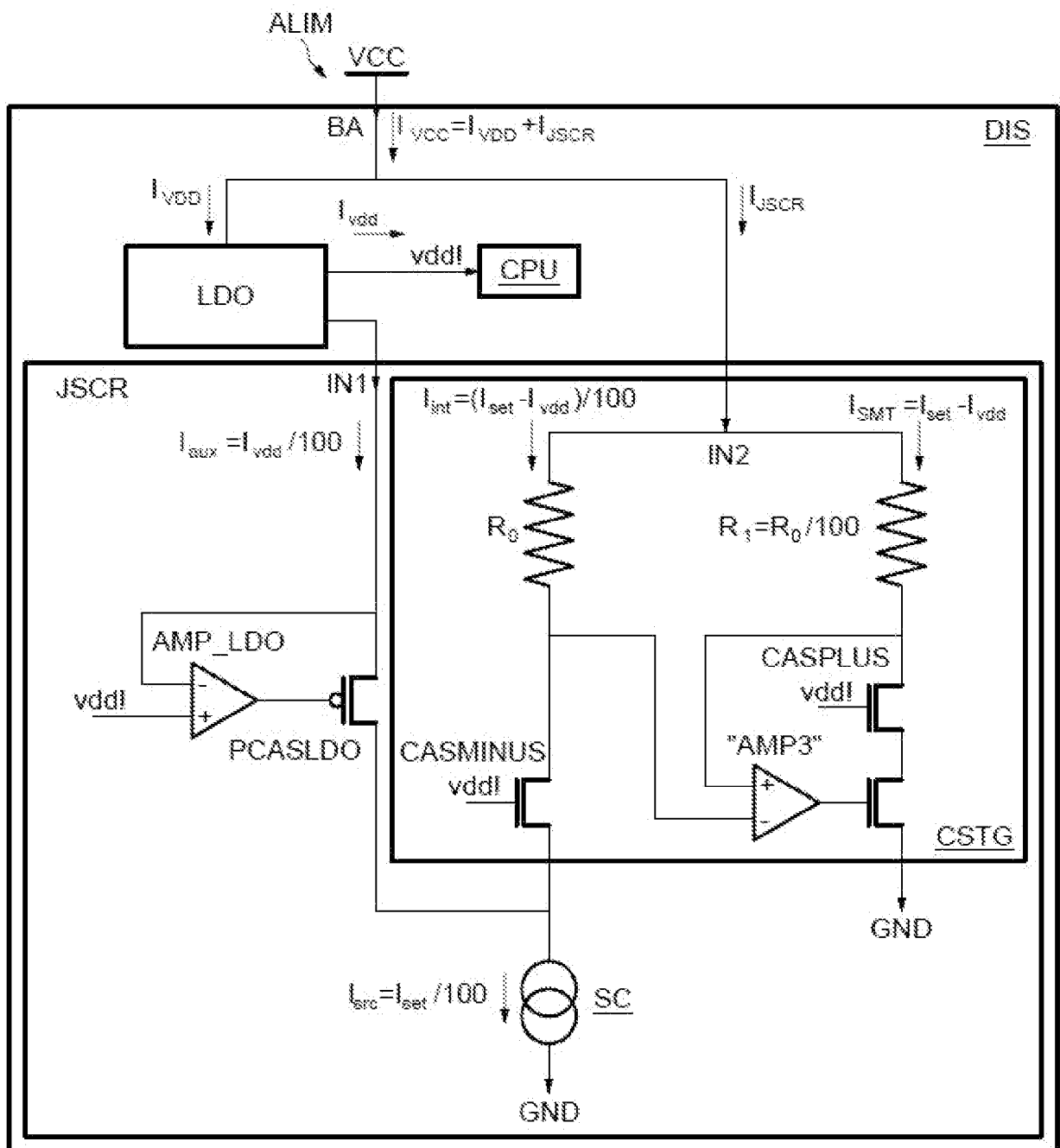
[Revendication 6]

Dispositif selon la revendication 5 dans lequel le transistor (MCDAC<n:0>) de la branche de génération de chaque miroir de courant présente une grille configurée pour être commandée par le signal (v_{cas5u}).

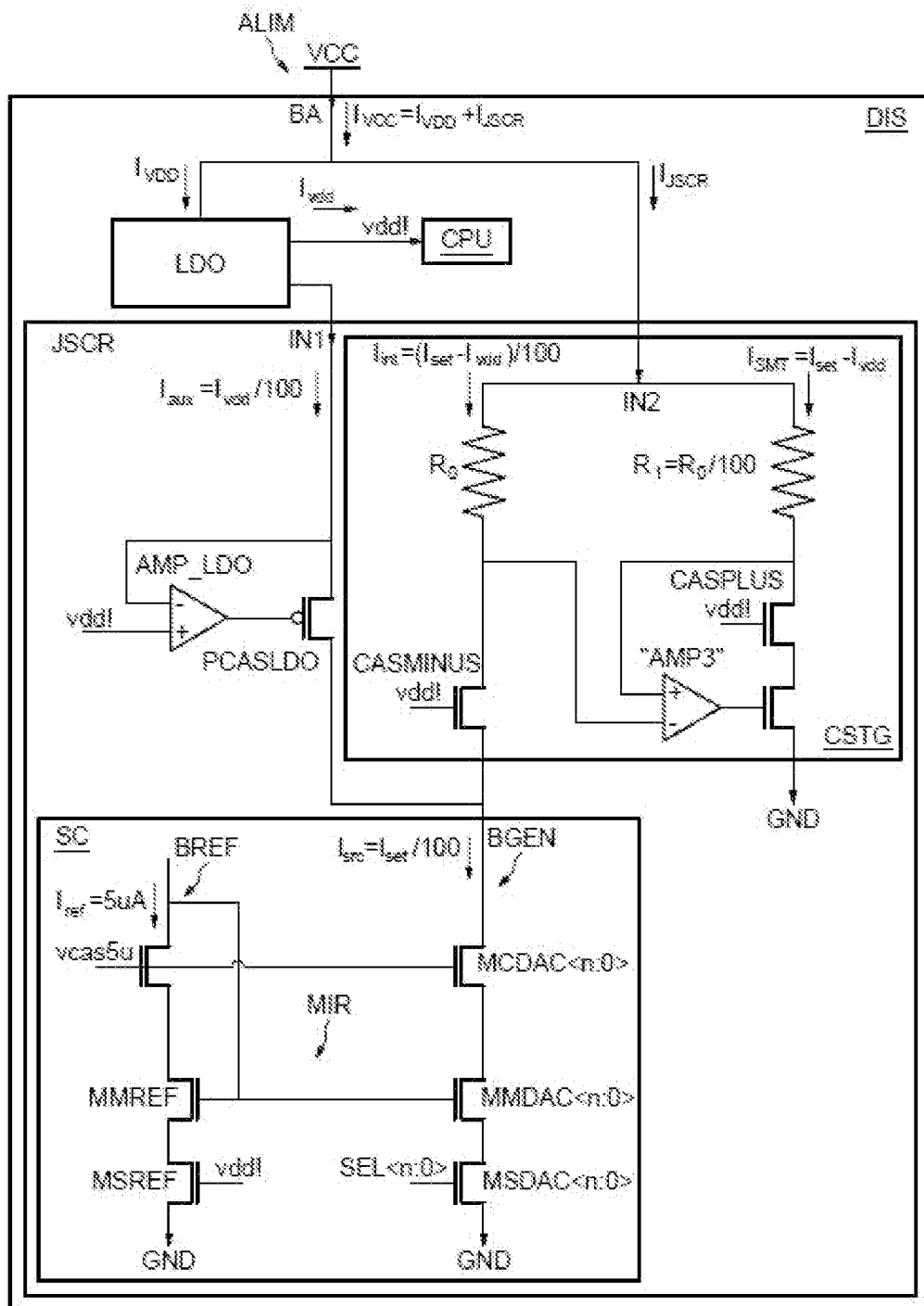
[Revendication 7]

Dispositif selon la revendication 5 dans lequel le transistor (MCDAC) est commun à chaque branche de génération, la source de courant comportant en outre un amplificateur opérationnel présentant une entrée non inverseuse connectée au drain du transistor de référence (MMREF), une entrée inverseuse connectée à la source du transistor (MCDAC) commun, et une sortie connectée à la grille du transistor (MCDAC).

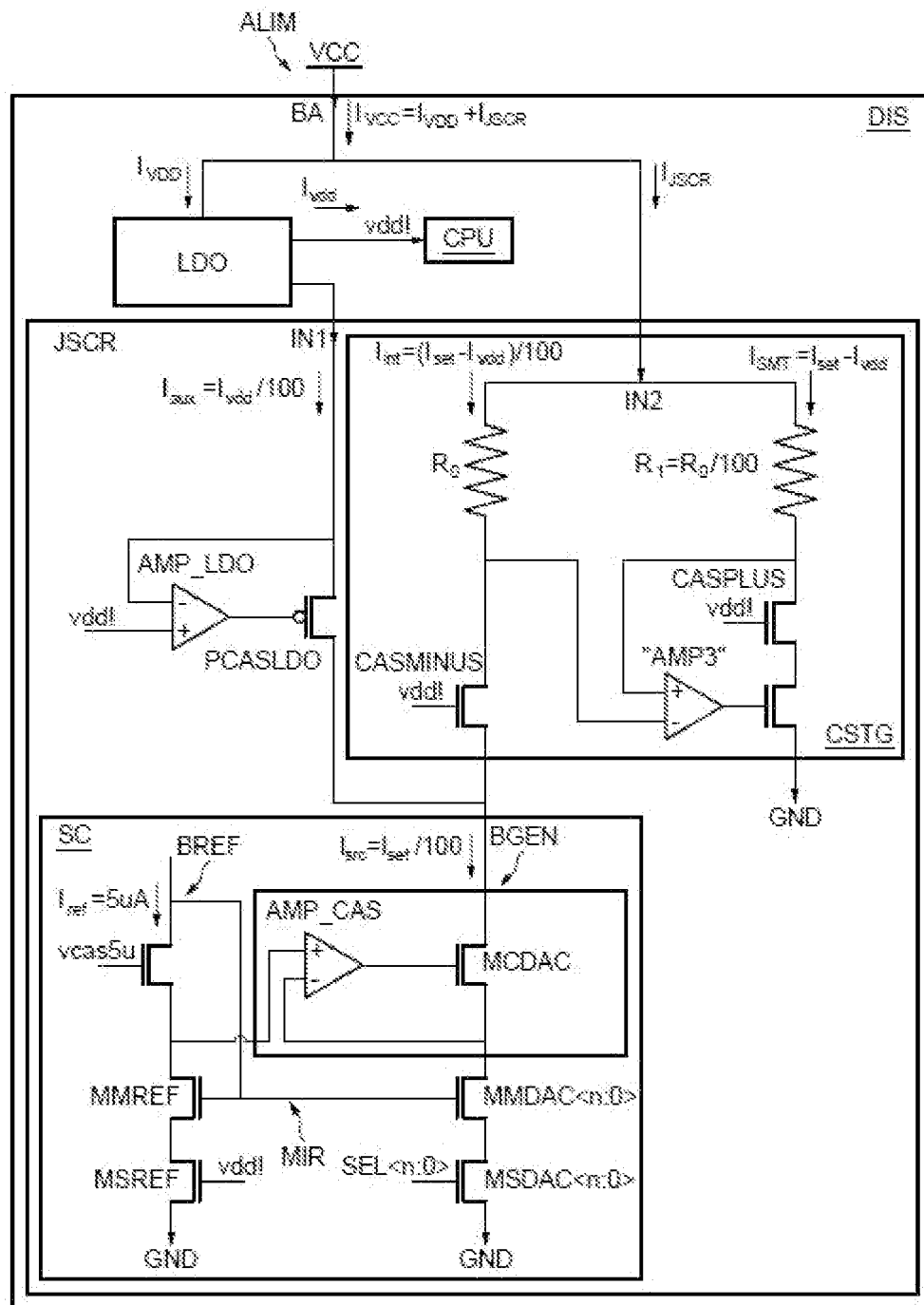
[Fig. 1]



[Fig. 2]



[Fig. 3]



RAPPORT DE RECHERCHE

articles L.612-14, L.612-53 à 69 du code de la propriété intellectuelle

OBJET DU RAPPORT DE RECHERCHE

L'I.N.P.I. annexe à chaque brevet un "RAPPORT DE RECHERCHE" citant les éléments de l'état de la technique qui peuvent être pris en considération pour apprécier la brevetabilité de l'invention, au sens des articles L. 611-11 (nouveau) et L. 611-14 (activité inventive) du code de la propriété intellectuelle. Ce rapport porte sur les revendications du brevet qui définissent l'objet de l'invention et délimitent l'étendue de la protection.

Après délivrance, l'I.N.P.I. peut, à la requête de toute personne intéressée, formuler un "AVIS DOCUMENTAIRE" sur la base des documents cités dans ce rapport de recherche et de tout autre document que le requérant souhaite voir prendre en considération.

CONDITIONS D'ETABLISSEMENT DU PRESENT RAPPORT DE RECHERCHE

☒ Le demandeur a présenté des observations en réponse au rapport de recherche préliminaire.

☐ Le demandeur a maintenu les revendications.

☒ Le demandeur a modifié les revendications.

☐ Le demandeur a modifié la description pour en éliminer les éléments qui n'étaient plus en concordance avec les nouvelles revendications.

☐ Les tiers ont présenté des observations après publication du rapport de recherche préliminaire.

☐ Un rapport de recherche préliminaire complémentaire a été établi.

DOCUMENTS CITES DANS LE PRESENT RAPPORT DE RECHERCHE

La répartition des documents entre les rubriques 1, 2 et 3 tient compte, le cas échéant, des revendications déposées en dernier lieu et/ou des observations présentées.

☐ Les documents énumérés à la rubrique 1 ci-après sont susceptibles d'être pris en considération pour apprécier la brevetabilité de l'invention.

☒ Les documents énumérés à la rubrique 2 ci-après illustrent l'arrière-plan technologique général.

☐ Les documents énumérés à la rubrique 3 ci-après ont été cités en cours de procédure, mais leur pertinence dépend de la validité des priorités revendiquées.

☐ Aucun document n'a été cité en cours de procédure.

1. ELEMENTS DE L'ETAT DE LA TECHNIQUE SUSCEPTIBLES D'ETRE PRIS EN CONSIDERATION POUR APPRECIER LA BREVETABILITE DE L'INVENTION

NEANT

2. ELEMENTS DE L'ETAT DE LA TECHNIQUE ILLUSTRANT L'ARRIERE-PLAN TECHNOLOGIQUE GENERAL

US 8 780 517 B2 (FUKAMI IKUO [JP]; RENESAS ELECTRONICS CORP [JP])
15 juillet 2014 (2014-07-15)

DAS DEBAYAN ET AL: "EM and Power SCA-Resilient AES-256 Through >350x Current-Domain Signature Attenuation and Local Lower Metal Routing",
IEEE JOURNAL OF SOLID-STATE CIRCUITS, IEEE, USA,
vol. 56, no. 1,
24 novembre 2020 (2020-11-24), pages 136-150, XP011827680,
ISSN: 0018-9200, DOI:
10.1109/JSSC.2020.3032975
[extrait le 2020-12-23]

MICHAEL KARAGOUNIS ET AL: "An integrated Shunt-LDO regulator for serial powered systems",
ESSCIRC, 2009. ESSCIRC '09. PROCEEDINGS OF, IEEE, PISCATAWAY, NJ, USA,
14 septembre 2009 (2009-09-14), pages 276-279, XP031563372,
ISBN: 978-1-4244-4354-3

3. ELEMENTS DE L'ETAT DE LA TECHNIQUE DONT LA PERTINENCE DEPEND DE LA VALIDITE DES PRIORITES

NEANT