



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

227 440

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 21 12 82
(21) PV 9424-82

(51) Int. Cl.³
G 06 F 15/12

(40) Zveřejněno 26 08 83
(45) Vydáno 01 06 84

(75)
Autor vynálezu

BUREŠ JAROSLAV ing., BRNO

(54)

Zapojení aritmetické a logické jednotky procesoru,
zejména pro inteligentní terminál

Vynález se týká zapojení aritmetické a logické jednotky procesoru, zejména pro inteligentní terminál.

Známa zapojení aritmetických a logických jednotek procesoru umožňují většinou kromě logických operací provádění aritmetické operace, na příklad sčítání, pouze v binárním tvaru. Nemožnost provádění binárně-dekadických operací znamená značnou nevýhodu, neboť převody na dekadický tvar a zpět do binárního tvaru je nutno zajistit programem, což znamená velké zpomalení operací. Jsou známa též zapojení, umožňující kromě logických operací provádění aritmetické operace, na příklad sčítání, pouze v binárně-dekadickém tvaru s použitím některého známého kódu, na příklad kódu 8421. U těchto zapojení je nevýhodou nemožnost provádění binárních operací. Známa zapojení, která představují kombinaci předchozích uvedených zapojení, jsou buď rozsáhlá a složitá nebo nevyhovují svou rychlostí.

Uvedené nevýhody odstraňuje zapojení aritmetické a logické jednotky procesoru, zejména pro inteligentní terminál podle vynálezu, jehož podstatou je, že první výstup pro urychlení přenosu prvního centrálního procesorového obvodu je připojen na první vstup první dvojice vstupů pro urychlení přenosu obvodu pro urychlení přenosu, druhý výstup pro urychlení přenosu prvního centrálního procesorového obvodu je připojen na druhý vstup první dvojice vstupů pro urychlení přenosu obvodu pro urychlení přenosu, výstup posuvu vpravo prvního centrálního procesorového obvodu je připojen na vstup pro nastavení do logické jedničky druhého klopného obvodu typu J-K, přes čtvrtý invertor na vstup pro nastavení do logické nuly druhého klopného obvodu typu J-K, na osmý výstup přenosu obvodu pro urychlení přenosu a tvoří současně třicátý třetí výstup zapojení, první datový výstup prvního centrálního procesorového obvodu tvoří současně sedmnáctý vý-

stup zapojení, druhý datový výstup prvního centrálního procesorového obvodu je připojen na třetí vstup dvanáctého třívstupového obvodu typu negace logického součinu a tvoří současně osmnáctý výstup zapojení, první výstup adresy paměti prvního centrálního procesorového obvodu tvoří současně první výstup zapojení, druhý výstup adresy paměti prvního centrálního procesorového obvodu tvoří současně druhý výstup zapojení, první výstup pro urychlení přenosu druhého centrálního procesorového obvodu je připojen na první vstup druhé dvojice vstupů pro urychlení přenosu obvodu pro urychlení přenosu, druhý výstup pro urychlení přenosu druhého centrálního procesorového obvodu je připojen na druhý vstup druhé dvojice vstupů pro urychlení přenosu obvodu pro urychlení přenosu, výstup posuvu vpravo druhého centrálního procesorového obvodu je připojen na vstup posuvu vpravo prvního centrálního procesorového obvodu, první datový výstup druhého centrálního procesorového obvodu je připojen na druhý vstup dvanáctého třívstupového obvodu typu negace logického součinu a tvoří současně devatenáctý výstup zapojení, druhý datový výstup druhého centrálního procesorového obvodu je připojen na třetí vstup desátého třívstupového obvodu typu negace logického součinu a tvoří současně dvacátý výstup zapojení, první výstup adresy paměti druhého centrálního procesorového obvodu tvoří současně třetí výstup zapojení, druhý výstup adresy paměti druhého centrálního procesorového obvodu tvoří současně čtvrtý výstup zapojení, první výstup pro urychlení přenosu třetího centrálního procesorového obvodu je připojen na první vstup třetí dvojice vstupů pro urychlení přenosu obvodu pro urychlení přenosu, druhý výstup pro urychlení přenosu třetího centrálního procesorového obvodu je připojen na druhý vstup třetí dvojice vstupů pro urychlení přenosu obvodu pro urychlení přenosu, výstup posuvu vpravo třetího centrálního procesorového obvodu je připojen na vstup posuvu vpravo druhého centrálního procesorového obvodu, první datový výstup třetího centrálního procesorového obvodu tvoří současně dvacátý první výstup zapojení, druhý datový výstup třetího centrálního procesorového obvodu je připojen na třetí vstup devátého třívstupového obvodu typu negace logického součinu a tvoří současně dvacátý druhý výstup zapojení, první výstup adresy paměti třetího centrálního procesorového obvodu tvoří současně pátý výstup zapojení, druhý výstup adresy paměti třetího centrálního procesorového obvodu tvoří současně šestý výstup zapojení, první výstup pro urychlení

přenosu čtvrtého centrálního procesorového obvodu je připojen na první vstup čtvrté dvojice vstupů pro urychlení přenosu obvodu pro urychlení přenosu, druhý výstup pro urychlení přenosu čtvrtého centrálního procesorového obvodu je připojen na druhý vstup čtvrté dvojice vstupů pro urychlení přenosu obvodu pro urychlení přenosu, výstup posuvu vpravo čtvrtého centrálního procesorového obvodu je připojen na vstup posuvu vpravo třetího centrálního procesorového obvodu, první datový výstup čtvrtého centrálního procesorového obvodu je připojen na druhý vstup devátého třívstupového obvodu typu negace logického součinu a tvoří současně dvacátý třetí výstup zapojení, druhý datový výstup čtvrtého centrálního procesorového obvodu je připojen na třetí vstup sedmého třívstupového obvodu typu negace logického součinu a tvoří současně dvacátý čtvrtý výstup zapojení, první výstup adresy paměti čtvrtého centrálního procesorového obvodu tvoří současně sedmý výstup zapojení, druhý výstup adresy paměti čtvrtého centrálního procesorového obvodu tvoří současně osmý výstup zapojení, první výstup pro urychlení přenosu pátého centrálního procesorového obvodu je připojen na první vstup páté dvojice vstupů pro urychlení přenosu obvodu pro urychlení přenosu, druhý výstup pro urychlení přenosu pátého centrálního procesorového obvodu je připojen na druhý vstup páté dvojice vstupů pro urychlení přenosu obvodu pro urychlení přenosu, výstup posuvu vpravo pátého centrálního procesorového obvodu je připojen na vstup posuvu vpravo čtvrtého centrálního procesorového obvodu, první datový výstup pátého centrálního procesorového obvodu tvoří současně dvacátý pátý výstup zapojení, druhý datový výstup pátého centrálního procesorového obvodu je připojen na třetí vstup šestého třívstupového obvodu typu negace logického součinu a tvoří současně dvacátý šestý výstup zapojení, první výstup adresy paměti pátého centrálního procesorového obvodu tvoří současně devátý výstup zapojení, druhý výstup adresy paměti pátého centrálního procesorového obvodu tvoří současně desátý výstup zapojení, první výstup pro urychlení přenosu šestého centrálního procesorového obvodu je připojen na první vstup šesté dvojice vstupů pro urychlení přenosu obvodu pro urychlení přenosu, druhý výstup pro urychlení přenosu šestého centrálního procesorového obvodu je připojen na druhý vstup šesté dvojice vstupů pro urychlení přenosu obvodu pro urychlení přenosu, výstup posuvu vpravo šestého centrálního procesorového obvodu je připojen na vstup posuvu vpravo pátého centrálního procesorového obvodu,

první datový výstup šestého centrálního procesorového obvodu je připojen na druhý vstup šestého třívstupového obvodu typu negace logického součinu a tvoří současně dvacátý sedmý výstup zapojení, druhý datový výstup šestého centrálního procesorového obvodu je připojen na třetí vstup čtvrtého třívstupového obvodu typu negace logického součinu a tvoří současně dvacátý osmý výstup zapojení, první výstup adresy paměti šestého centrálního procesorového obvodu tvoří současně jedenáctý výstup zapojení, druhý výstup adresy paměti šestého centrálního procesorového obvodu tvoří současně dvanáctý výstup zapojení, první výstup pro urychlení přenosu sedmého centrálního procesorového obvodu je připojen na první vstup sedmé dvojice vstupů pro urychlení přenosu obvodu pro urychlení přenosu, druhý výstup pro urychlení přenosu sedmého centrálního procesorového obvodu je připojen na druhý vstup sedmé dvojice vstupů pro urychlení přenosu obvodu pro urychlení přenosu, výstup posuvu vpravo sedmého centrálního procesorového obvodu je připojen na vstup posuvu vpravo šestého centrálního procesorového obvodu, první datový výstup sedmého centrálního procesorového obvodu tvoří současně dvacátý devátý výstup zapojení, druhý datový výstup sedmého centrálního procesorového obvodu je připojen na třetí vstup třetího třívstupového obvodu typu negace logického součinu a tvoří současně třicátý výstup zapojení, první výstup adresy paměti sedmého centrálního procesorového obvodu tvoří současně třináctý výstup zapojení, druhý výstup adresy paměti sedmého centrálního procesorového obvodu tvoří současně čtrnáctý výstup zapojení, první výstup pro urychlení přenosu osmého centrálního procesorového obvodu je připojen na první vstup osmé dvojice vstupů pro urychlení přenosu obvodu pro urychlení přenosu, druhý výstup pro urychlení přenosu osmého centrálního procesorového obvodu je připojen na druhý vstup osmé dvojice vstupů pro urychlení přenosu obvodu pro urychlení přenosu, výstup posuvu vpravo osmého centrálního procesorového obvodu je připojen na vstup posuvu vpravo sedmého centrálního procesorového obvodu, první datový výstup osmého centrálního procesorového obvodu je připojen na druhý vstup třetího třívstupového obvodu typu negace logického součinu a tvoří současně třicátý první výstup zapojení, druhý datový výstup osmého centrálního procesorového obvodu je připojen na třetí vstup prvního třívstupového obvodu typu negace logického součinu a tvoří současně třicátý druhý výstup zapojení, první výstup adresy paměti osmého centrálního procesorového obvodu tvoří současně

patnáctý výstup zapojení, druhý výstup adresy paměti osmého centrálního procesorového obvodu tvoří současně šestnáctý výstup zapojení, nulový výstup prvního klopného obvodu typu J-K tvoří současně třicátý čtvrtý výstup zapojení, druhý vstup konstant a maskovacích bitů prvního centrálního procesorového obvodu tvoří současně první vstup zapojení, první vstup konstant a maskovacích bitů druhého centrálního procesorového obvodu tvoří současně čtvrtý vstup zapojení, první vstup prvního multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru tvoří současně druhý vstup zapojení, první vstup druhého multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru tvoří současně třetí vstup zapojení, první vstup třetího multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru tvoří šestý vstup zapojení, první vstup čtvrtého multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru tvoří současně sedmý vstup zapojení, druhý vstup konstant a maskovacích bitů třetího centrálního procesorového obvodu tvoří současně pátý vstup zapojení, první vstup konstant a maskovacích bitů čtvrtého centrálního procesorového obvodu tvoří současně osmý vstup zapojení, druhý vstup konstant a maskovacích bitů pátého centrálního procesorového obvodu tvoří současně devátý vstup zapojení, první vstup konstant a maskovacích bitů šestého centrálního procesorového obvodu tvoří současně dvanáctý vstup zapojení, první vstup prvního multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru tvoří současně desátý vstup zapojení, první vstup druhého multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru tvoří současně jedenáctý vstup zapojení, první vstup třetího multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru tvoří současně čtrnáctý vstup zapojení, první vstup čtvrtého multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru tvoří současně patnáctý vstup zapojení, druhý vstup konstant a maskovacích bitů sedmého centrálního procesorového obvodu tvoří současně třináctý vstup zapojení, první vstup konstant a maskovacích bitů osmého centrálního procesorového obvodu tvoří současně šestnáctý vstup zapojení, výběrové vstupy prvního a druhého čtyřnásobného dvouvstupového multiplexoru jsou připojeny jednak na první vstup druhého dvouvstupového obvodu typu negace logického součinu, jednak přes druhý invertor na první vstup prvního dvouvstupového obvodu typu negace logického součinu a tvoří současně sedmnáctý vstup zapojení, první vstupy pro určení mikroinstrukcí prvního až osmého centrálního procesorového obvodu tvoří součas-

ně osmnáctý vstup zapojení, druhé vstupy pro určení mikroinstrukcí prvního až osmého centrálního procesorového obvodu jsou připojeny na první vstup osmivstupového obvodu typu negace logického součinu a tvoří současně devatenáctý vstup zapojení, třetí vstupy pro určení mikroinstrukcí prvního až osmého centrálního procesorového obvodu jsou připojeny na druhý vstup osmivstupového obvodu typu negace logického součinu a tvoří současně dvacátý vstup zapojení, čtvrté vstupy pro určení mikroinstrukcí prvního až osmého centrálního procesorového obvodu jsou připojeny na třetí vstup osmivstupového obvodu typu negace logického součinu a tvoří současně dvacátý první vstup zapojení, páté vstupy pro určení mikroinstrukcí prvního až osmého centrálního procesorového obvodu jsou připojeny přes osmý invertor na čtvrtý vstup osmivstupového obvodu typu negace logického součinu a tvoří současně dvacátý druhý vstup zapojení, šesté vstupy pro určení mikroinstrukcí prvního až osmého centrálního procesorového obvodu jsou připojeny přes devátý invertor na pátý a šestý vstup osmivstupového obvodu typu negace logického součinu a tvoří současně dvacátý třetí vstup zapojení, sedmé vstupy pro určení mikroinstrukcí prvního až osmého centrálního procesorového obvodu jsou připojeny přes desátý invertor na sedmý a osmý vstup osmivstupového obvodu typu negace logického součinu a tvoří současně dvacátý čtvrtý vstup zapojení, vstup přenosu obvodu pro urychlení přenosu je připojen na vstup posuvu vpravo osmého centrálního procesorového obvodu, na vstup přenosu prvního centrálního procesorového obvodu a tvoří současně dvacátý pátý vstup zapojení, hodinový vstup prvního klopného obvodu typu J-K tvoří současně dvacátý šestý vstup zapojení, hodinové vstupy druhého až pátého klopného obvodu typu J-K jsou připojeny jednak přes třetí invertor na druhý vstup prvního a druhého obvodu typu negace logického součinu, jednak na hodinové vstupy prvního až osmého centrálního procesorového obvodu a tvoří současně dvacátý sedmý vstup zapojení, druhý vstup dat z paměti prvního centrálního procesorového obvodu tvoří současně dvacátý osmý vstup zapojení, první vstup dat z paměti prvního centrálního procesorového obvodu tvoří současně dvacátý devátý vstup zapojení, druhý vstup dat z paměti druhého centrálního procesorového obvodu tvoří současně třicátý vstup zapojení, první vstup dat z paměti druhého centrálního procesorového obvodu tvoří současně třicátý první vstup zapojení, druhý vstup dat z paměti třetího centrálního procesorového obvodu tvoří současně třicátý druhý

vstup zapojení, první vstup dat z paměti třetího centrálního procesorového obvodu tvoří současně třicátý třetí vstup zapojení, druhý vstup dat z paměti čtvrtého centrálního procesorového obvodu tvoří současně třicátý čtvrtý vstup zapojení, první vstup dat z paměti čtvrtého centrálního procesorového obvodu tvoří současně třicátý pátý vstup zapojení, druhý vstup dat z paměti pátého centrálního procesorového obvodu tvoří současně třicátý šestý vstup zapojení, první vstup dat z paměti pátého centrálního procesorového obvodu tvoří současně třicátý sedmý vstup zapojení, druhý vstup dat z paměti šestého centrálního procesorového obvodu tvoří současně třicátý osmý vstup zapojení, první vstup dat z paměti šestého centrálního procesorového obvodu tvoří současně třicátý devátý vstup zapojení, druhý vstup dat z paměti sedmého centrálního procesorového obvodu tvoří současně čtyřicátý vstup zapojení, první vstup dat z paměti sedmého centrálního procesorového obvodu tvoří současně čtyřicátý první vstup zapojení, druhý vstup dat z paměti osmého centrálního procesorového obvodu tvoří současně čtyřicátý druhý vstup zapojení, první vstup dat z paměti osmého centrálního procesorového obvodu tvoří současně čtyřicátý třetí vstup zapojení, druhý vstup vnějších zařízení prvního centrálního procesorového obvodu tvoří současně čtyřicátý čtvrtý vstup zapojení, první vstup vnějších zařízení prvního centrálního procesorového obvodu tvoří současně čtyřicátý pátý vstup zapojení, druhý vstup vnějších zařízení druhého centrálního procesorového obvodu tvoří současně čtyřicátý šestý vstup zapojení, první vstup vnějších zařízení druhého centrálního procesorového obvodu tvoří současně čtyřicátý sedmý vstup zapojení, druhý vstup vnějších zařízení třetího centrálního procesorového obvodu tvoří současně čtyřicátý osmý vstup zapojení, první vstup vnějších zařízení třetího centrálního procesorového obvodu tvoří současně čtyřicátý devátý vstup zapojení, druhý vstup vnějších zařízení čtvrtého centrálního procesorového obvodu tvoří současně padesátý vstup zapojení, první vstup vnějších zařízení čtvrtého centrálního procesorového obvodu tvoří současně padesátý první vstup zapojení, druhý vstup vnějších zařízení pátého centrálního procesorového obvodu tvoří současně padesátý druhý vstup zapojení, první vstup vnějších zařízení pátého centrálního procesorového obvodu tvoří současně padesátý třetí vstup zapojení, druhý vstup vnějších zařízení šestého centrálního procesorového obvodu tvoří současně padesátý čtvrtý vstup zapoje-

ní, první vstup vnějších zařízení šestého centrálního procesorového obvodu tvoří současně padesátý pátý vstup zapojení, druhý vstup vnějších zařízení sedmého centrálního procesorového obvodu tvoří současně padesátý šestý vstup zapojení, první vstup vnějších zařízení sedmého centrálního procesorového obvodu tvoří současně padesátý sedmý vstup zapojení, druhý vstup vnějších zařízení osmého centrálního procesorového obvodu tvoří současně padesátý osmý vstup zapojení, první vstup vnějších zařízení osmého centrálního procesorového obvodu tvoří současně padesátý devátý vstup zapojení, vstupy pro vybavení výstupů dat prvního až osmého centrálního procesorového obvodu tvoří současně šedesátý vstup zapojení, vstupy pro vybavení adresace pamětí prvního až osmého centrálního procesorového obvodu jsou připojeny na vstupní svorku nulového potenciálu, zemnicí vstupy prvního až osmého centrálního procesorového obvodu jsou připojeny na vstupní svorku nulového potenciálu, napájecí vstupy prvního až osmého centrálního procesorového obvodu jsou připojeny na vstupní svorku kladného napětí, první výstup přenosu obvodu pro urychlení přenosu je připojen na vstup přenosu druhého centrálního procesorového obvodu, druhý výstup přenosu obvodu pro urychlení přenosu je připojen na vstup přenosu třetího centrálního procesorového obvodu, dále na vstup pro nastavení do logické jedničky pátého klopného obvodu typu J-K a přes sedmý invertor na vstup pro nastavení do logické nuly pátého klopného obvodu typu J-K, třetí výstup přenosu obvodu pro urychlení přenosu je připojen na vstup přenosu čtvrtého centrálního procesorového obvodu, čtvrtý výstup přenosu obvodu pro urychlení přenosu je připojen na vstup přenosu pátého centrálního procesorového obvodu, dále na vstup pro nastavení do logické jedničky čtvrtého klopného obvodu typu J-K a přes šestý invertor na vstup pro nastavení do logické nuly čtvrtého klopného obvodu typu J-K, pátý výstup přenosu obvodu pro urychlení přenosu je připojen na vstup přenosu šestého centrálního procesorového obvodu, šestý výstup přenosu obvodu pro urychlení přenosu je připojen na vstup přenosu sedmého centrálního procesorového obvodu, dále na vstup pro nastavení do logické jedničky třetího klopného obvodu typu J-K a přes pátý invertor na vstup pro nastavení do logické nuly třetího klopného obvodu typu J-K, sedmý výstup přenosu obvodu pro urychlení přenosu je připojen na vstup přenosu osmého centrálního procesorového obvodu, výstup osmivstupového obvodu typu negace logického součinu je připojen na vstup pro vybavení

výstupu přenosu obvodu pro urychlení přenosu, zemnicí vstup obvodu pro urychlení přenosu je připojen na vstupní svorku nulového potenciálu a jeho napájecí vstup je připojen na vstupní svorku kladného napětí, výstup prvního multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru je připojen na první vstup konstant a maskovacích bitů prvního centrálního procesorového obvodu, výstup druhého multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru je připojen na druhý vstup konstant a maskovacích bitů druhého centrálního procesorového obvodu, výstup třetího multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru je připojen na první vstup konstant a maskovacích bitů třetího centrálního procesorového obvodu, výstup čtvrtého multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru je připojen na druhý vstup konstant a maskovacích bitů čtvrtého centrálního procesorového obvodu, výstup prvního multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru je připojen na první vstup konstant a maskovacích bitů pátého centrálního procesorového obvodu, výstup druhého multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru je připojen na druhý vstup konstant a maskovacích bitů šestého centrálního procesorového obvodu, výstup třetího multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru je připojen na první vstup konstant a maskovacích bitů sedmého centrálního procesorového obvodu, výstup čtvrtého multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru je připojen na druhý vstup konstant a maskovacích bitů osmého centrálního procesorového obvodu, vstupy pro řízení výstupů multiplexorů prvního a druhého čtyřnásobného dvouvstupového multiplexoru jsou připojeny na vstupní svorku nulového potenciálu, zemnicí vstupy prvního a druhého čtyřnásobného dvouvstupového multiplexoru jsou připojeny na vstupní svorku nulového potenciálu a jejich napájecí vstupy jsou připojeny na vstupní svorku kladného napětí, výstup prvního dvouvstupového obvodu typu negace logického součinu je připojen na nulovací vstup prvního klopného obvodu typu J-K, jehož vstup pro nastavení do logické nuly je připojen na vstupní svorku nulového potenciálu, výstup druhého dvouvstupového obvodu typu negace logického součinu je připojen na nastavovací vstupy druhého až pátého klopného obvodu typu J-K, jedničkový výstup druhého klopného obvodu typu J-K je připojen na první a druhý vstup prvního třívstupového obvodu typu negace logického součinu a na první vstup třetího třívstupového obvodu ty-

pu negace logického součinu, jehož výstup je připojen na třetí vstup druhého třívstupového obvodu typu negace logického součinu, výstup prvního dvouvstupového obvodu typu negace logického součinu je připojen na první a druhý vstup druhého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na druhý vstup třetího multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru, na druhý vstup čtvrtého multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru a přes první invertor na vstup pro nastavení do logické jedničky prvního klopného obvodu typu J-K, jedničkový výstup třetího klopného obvodu typu J-K je připojen na první a druhý vstup čtvrtého třívstupového obvodu typu negace logického součinu a na první vstup šestého třívstupového obvodu typu negace logického součinu, jehož výstup je připojen na třetí vstup pátého třívstupového obvodu typu negace logického součinu, výstup čtvrtého třívstupového obvodu typu negace logického součinu je připojen na první a druhý vstup pátého třívstupového obvodu typu negace logického součinu, jehož výstup je připojen na druhý vstup prvního multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru a na druhý vstup druhého multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru, jedničkový výstup čtvrtého klopného obvodu typu J-K je připojen na první a druhý vstup sedmého třívstupového obvodu typu negace logického součinu a na první vstup devátého třívstupového obvodu typu negace logického součinu, jehož výstup je připojen na třetí vstup osmého třívstupového obvodu typu negace logického součinu, výstup sedmého třívstupového obvodu typu negace logického součinu je připojen na první a druhý vstup osmého třívstupového obvodu typu negace logického součinu, jehož výstup je připojen na druhý vstup třetího multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru a na druhý vstup čtvrtého multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru, jedničkový výstup pátého klopného obvodu typu J-K je připojen na první a druhý vstup desátého třívstupového obvodu typu negace logického součinu a na první vstup dvanáctého třívstupového obvodu typu negace logického součinu, jehož výstup je připojen na třetí vstup jedenáctého třívstupového obvodu typu negace logického součinu, výstup desátého třívstupového obvodu typu negace logického součinu je připojen na první a druhý vstup jedenáctého třívstupového obvodu typu negace logického součinu, jehož výstup je připojen na druhý vstup prvního multiplexoru prvního čtyřnásobného

dvouvstupového multiplexoru a na druhý vstup druhého multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru.

Zapojení aritmetické a logické jednotky procesoru, zejména pro inteligentní terminál, podle vynálezu má výhodu v tom, že umožňuje provádění všech základních logických operací a kromě binárního sčítání umožňuje sčítání v binárně dekadickém kódu 8421, přičemž všechny operace se provádějí paralelním způsobem. Celé zapojení je přitom velmi jednoduché a má další velkou výhodu v tom, že využívá běžnou aritmetickou a logickou jednotku velké integrace s centrálními procesorovými obvody, i když sama o sobě neumožňuje binárně dekadické operace. Uvedených vlastností je dosaženo tím, že operace dekadického sčítání je pomocí zapojení realizována v několika krocích, ve kterých je opakovaně prováděna elementární operace binárního přičítání generované konstanty. Tím je všech částí zapojení mnohonásobně využito a zapojení má minimální počet logických prvků, přestože všechny operace se provádějí rychlým paralelním způsobem.

Příklad zapojení aritmetické a logické jednotky procesoru, zejména pro inteligentní terminál, podle vynálezu je znázorněn na připojených výkresech, na nichž

- obr. 1 představuje aritmetickou a logickou jednotku procesoru a její spojení s řídicí jednotkou procesoru, s hlavní pamětí a s řadičem vstupu a výstupu, v blokovém schématu,
- obr. 2a až 2d schéma zapojení aritmetické a logické jednotky procesoru,
- obr. 3 časový diagram mikroinstrukce v programovatelné paměti typu ROM a
- obr. 4 časový diagram časového zdroje.

První výstup 132 pro urychlení přenosu prvního centrálního procesorového obvodu CP01 pro signál X0 je připojen na první vstup 715 první dvojice vstupů pro urychlení přenosu obvodu OUP pro urychlení přenosu. Druhý výstup 131 pro urychlení přenosu prvního centrálního procesorového obvodu CP01 pro signál Y0 je připojen na druhý vstup 716 první dvojice vstupů pro urychlení přenosu obvodu OUP pro urychlení přenosu. Výstup 133 posuvu vpravo prvního centrálního procesorového obvodu CP01 pro signál FIF je připojen na vstup 76 pro nastavení do logické jedničky druhého klopného obvodu KJK2 typu J-K, přes čtvrtý invertor IN4 na vstup 78 pro nastavení do logické nuly druhého klopného obvodu KJK2 typu J-K, na osmý výstup 738 přenosu obvodu OUP pro

urychlení přenosu a tvoří současně třicátý třetí výstup O33 zapojení pro připojení na řídicí jednotku RJP procesoru. První datový výstup 134 prvního centrálního procesorového obvodu CP01 pro signál D0 tvoří současně sedmnáctý výstup O17 zapojení pro připojení na hlavní paměť HP. Druhý datový výstup 135 prvního centrálního procesorového obvodu CP01 pro signál D1 je připojen na třetí vstup dvanáctého třívstupového obvodu NT12 typu negace logického součinu a tvoří současně osmnáctý výstup O18 zapojení pro připojení na hlavní paměť HP. První výstup 136 adresy paměti prvního centrálního procesorového obvodu CP01 pro signál A0 tvoří současně první výstup O1 zapojení pro připojení na hlavní paměť HP. Druhý výstup 137 adresy paměti prvního centrálního procesorového obvodu CP01 pro signál A1 tvoří současně druhý výstup O2 zapojení pro připojení na hlavní paměť HP. První výstup 182 pro urychlení přenosu druhého centrálního procesorového obvodu CP02 pro signál X1 je připojen na první vstup 713 druhé dvojice vstupů pro urychlení přenosu obvodu OUP pro urychlení přenosu. Druhý výstup 181 pro urychlení přenosu druhého centrálního procesorového obvodu CP02 pro signál Y1 je připojen na druhý vstup 714 druhé dvojice vstupů pro urychlení přenosu obvodu OUP pro urychlení přenosu. Výstup 183 posuvu vpravo druhého centrálního procesorového obvodu CP02 je připojen na vstup 109 posuvu vpravo prvního centrálního procesorového obvodu CP01. První datový výstup 184 druhého centrálního procesorového obvodu CP02 pro signál D2 je připojen na druhý vstup dvanáctého třívstupového obvodu NT12 typu negace logického součinu a tvoří současně devatenáctý výstup O19 zapojení pro připojení na hlavní paměť HP. Druhý datový výstup 185 druhého centrálního procesorového obvodu CP02 pro signál D3 je připojen na třetí vstup desátého třívstupového obvodu NT10 typu negace logického součinu a tvoří současně dvacátý výstup O20 zapojení pro připojení na hlavní paměť HP. První výstup 186 adresy paměti druhého centrálního procesorového obvodu CP02 pro signál A2 tvoří současně třetí výstup O3 zapojení pro připojení na hlavní paměť HP. Druhý výstup 187 adresy paměti druhého centrálního procesorového obvodu CP02 pro signál A3 tvoří současně čtvrtý výstup O4 zapojení pro připojení na hlavní paměť HP. První výstup 232 pro urychlení přenosu třetího centrálního procesorového obvodu CP03 pro signál X2 je připojen na první vstup 711 třetí dvojice vstupů pro urychlení přenosu obvodu OUP pro urychlení přenosu. Druhý výstup 231 pro urychlení přenosu třetího centrálního pro-

cesorového obvodu CPO3 pro signál Y2 je připojen na druhý vstup 712 třetí dvojice vstupů pro urychlení přenosu obvodu OUP pro urychlení přenosu. Výstup 233 posuvu vpravo třetího centrálního procesorového obvodu CPO3 je připojen na vstup 159 posuvu vpravo druhého centrálního procesorového obvodu CPO2. První datový výstup 234 třetího centrálního procesorového obvodu CPO3 pro signál D4 tvoří současně dvacátý první výstup 021 zapojení pro připojení na hlavní paměť HP. Druhý datový výstup 235 třetího centrálního procesorového obvodu CPO3 pro signál D5 je připojen na třetí vstup devátého třívstupového obvodu NT9 typu negace logického součinu a tvoří současně dvacátý druhý výstup 022 zapojení pro připojení na hlavní paměť HP. První výstup 236 adresy paměti třetího centrálního procesorového obvodu CPO3 pro signál A4 tvoří současně pátý výstup 05 zapojení pro připojení na hlavní paměť HP. Druhý výstup 237 adresy paměti třetího centrálního procesorového obvodu CPO3 pro signál A5 tvoří současně šestý výstup 06 zapojení pro připojení na hlavní paměť HP. První výstup 282 pro urychlení přenosu čtvrtého centrálního procesorového obvodu CPO4 pro signál X3 je připojen na první vstup 709 čtvrté dvojice vstupů pro urychlení přenosu obvodu OUP pro urychlení přenosu. Druhý výstup 281 pro urychlení přenosu čtvrtého centrálního procesorového obvodu CPO4 pro signál Y3 je připojen na druhý vstup 710 čtvrté dvojice vstupů pro urychlení přenosu obvodu OUP pro urychlení přenosu. Výstup 283 posuvu vpravo čtvrtého centrálního procesorového obvodu CPO4 je připojen na vstup 209 posuvu vpravo třetího centrálního procesorového obvodu CPO3. První datový výstup 284 čtvrtého centrálního procesorového obvodu CPO4 pro signál D6 je připojen na druhý vstup devátého třívstupového obvodu NT9 typu negace logického součinu a tvoří současně dvacátý třetí výstup 023 zapojení pro připojení na hlavní paměť HP. Druhý datový výstup 285 čtvrtého centrálního procesorového obvodu CPO4 pro signál D7 je připojen na třetí vstup sedmého třívstupového obvodu NT7 typu negace logického součinu a tvoří současně dvacátý čtvrtý výstup 024 zapojení pro připojení na hlavní paměť HP. První výstup 286 adresy paměti čtvrtého centrálního procesorového obvodu CPO4 pro signál A6 tvoří současně sedmý výstup 07 zapojení pro připojení na hlavní paměť HP. Druhý výstup 287 adresy paměti čtvrtého centrálního procesorového obvodu CPO4 pro signál A7 tvoří současně osmý výstup 08 zapojení pro připojení na hlavní paměť HP. První výstup 332 pro urychlení přenosu pátého centrálního procesorového obvodu CPO5 pro

signál X4 je připojen na první vstup 707 páté dvojice vstupů pro urychlení přenosu obvodu OUP pro urychlení přenosu. Druhý výstup 331 pro urychlení přenosu pátého centrálního procesorového obvodu CPO5 pro signál Y4 je připojen na druhý vstup 708 páté dvojice vstupů pro urychlení přenosu obvodu OUP pro urychlení přenosu. Výstup 333 posuvu vpravo pátého centrálního procesorového obvodu CPO5 je připojen na vstup 259 posuvu vpravo čtvrtého centrálního procesorového obvodu CPO4. První datový výstup 334 pátého centrálního procesorového obvodu CPO5 pro signál $\overline{D8}$ tvoří současně dvacátý pátý výstup 025 zapojení pro připojení na hlavní paměť HP. Druhý datový výstup 335 pátého centrálního procesorového obvodu CPO5 pro signál $\overline{D9}$ je připojen na třetí vstup šestého třívstupového obvodu NT6 typu negace logického součinu a tvoří současně dvacátý šestý výstup 026 zapojení pro připojení na hlavní paměť HP. První výstup 336 adresy paměti pátého centrálního procesorového obvodu CPO5 pro signál $\overline{A8}$ tvoří současně devátý výstup 09 zapojení pro připojení na hlavní paměť HP. Druhý výstup 337 adresy paměti pátého centrálního procesorového obvodu CPO5 pro signál $\overline{A9}$ tvoří současně desátý výstup 010 zapojení pro připojení na hlavní paměť HP. První výstup 382 pro urychlení přenosu šestého centrálního procesorového obvodu CPO6 pro signál X5 je připojen na první vstup 705 šesté dvojice vstupů pro urychlení přenosu obvodu OUP pro urychlení přenosu. Druhý výstup 381 pro urychlení přenosu šestého centrálního procesorového obvodu CPO6 pro signál Y5 je připojen na druhý vstup 706 šesté dvojice vstupů pro urychlení přenosu obvodu OUP pro urychlení přenosu. Výstup 383 posuvu vpravo šestého centrálního procesorového obvodu CPO6 je připojen na vstup 309 posuvu vpravo pátého centrálního procesorového obvodu CPO5. První datový výstup 384 šestého centrálního procesorového obvodu CPO6 pro signál $\overline{D10}$ je připojen na druhý vstup šestého třívstupového obvodu NT6 typu negace logického součinu a tvoří současně dvacátý sedmý výstup 027 zapojení pro připojení na hlavní paměť HP. Druhý datový výstup 385 šestého centrálního procesorového obvodu CPO6 pro signál $\overline{D11}$ je připojen na třetí vstup čtvrtého třívstupového obvodu NT4 typu negace logického součinu a tvoří současně dvacátý osmý výstup 028 zapojení pro připojení na hlavní paměť HP. První výstup 386 adresy paměti šestého centrálního procesorového obvodu CPO6 pro signál $\overline{A10}$ tvoří současně jedenáctý výstup 011 zapojení pro připojení na hlavní paměť HP. Druhý výstup 387 adresy paměti šestého centrálního procesorového

ho obvodu CP06 pro signál A11 tvoří současně dvanáctý výstup 012 zapojení pro připojení na hlavní paměť HP. První výstup 432 pro urychlení přenosu sedmého centrálního procesorového obvodu CP07 pro signál X6 je připojen na první vstup 703 sedmé dvojice vstupů pro urychlení přenosu obvodu OUP pro urychlení přenosu. Druhý výstup 431 pro urychlení přenosu sedmého centrálního procesorového obvodu CP07 pro signál Y6 je připojen na druhý vstup 704 sedmé dvojice vstupů pro urychlení přenosu obvodu OUP pro urychlení přenosu. Výstup 433 posuvu vpravo sedmého centrálního procesorového obvodu CP07 je připojen na vstup 359 posuvu vpravo šestého centrálního procesorového obvodu CP06. První datový výstup 434 sedmého centrálního procesorového obvodu CP07 pro signál D12 tvoří současně dvacátý devátý výstup 029 zapojení pro připojení na hlavní paměť HP. Druhý datový výstup 435 sedmého centrálního procesorového obvodu CP07 pro signál D13 je připojen na třetí vstup třetího třívstupového obvodu NT3 typu negace logického součinu a tvoří současně třicátý výstup 030 zapojení pro připojení na hlavní paměť HP. První výstup 436 adresy paměti sedmého centrálního procesorového obvodu CP07 pro signál A12 tvoří současně třináctý výstup 013 zapojení pro připojení na hlavní paměť HP. Druhý výstup 437 adresy paměti sedmého centrálního procesorového obvodu CP07 pro signál A13 tvoří současně čtrnáctý výstup 014 zapojení pro připojení na hlavní paměť HP. První výstup 482 pro urychlení přenosu osmého centrálního procesorového obvodu CP08 pro signál X7 je připojen na první vstup 701 osmé dvojice vstupů pro urychlení přenosu obvodu OUP pro urychlení přenosu. Druhý výstup 481 pro urychlení přenosu osmého centrálního procesorového obvodu CP08 pro signál Y7 je připojen na druhý vstup 702 osmé dvojice vstupů pro urychlení přenosu obvodu OUP pro urychlení přenosu. Výstup 483 posuvu vpravo osmého centrálního procesorového obvodu CP08 je připojen na vstup 409 posuvu vpravo sedmého centrálního procesorového obvodu CP07. První datový výstup 484 osmého centrálního procesorového obvodu CP08 pro signál D14 je připojen na druhý vstup třetího třívstupového obvodu NT3 typu negace logického součinu a tvoří současně třicátý první výstup 031 zapojení pro připojení na hlavní paměť HP. Druhý datový výstup 485 osmého centrálního procesorového obvodu CP08 pro signál D15 je připojen na třetí vstup prvního třívstupového obvodu NT1 typu negace logického součinu a tvoří současně třicátý druhý výstup 032 zapojení pro připojení na hlavní paměť HP. První výstup 486 adresy paměti osmého

centrálního procesorového obvodu CPO8 pro signál A14 tvoří současně patnáctý výstup 015 zapojení pro připojení na hlavní paměť HP. Druhý výstup 487 adresy paměti osmého centrálního procesorového obvodu CPO8 pro signál A15 tvoří současně šestnáctý výstup 016 zapojení pro připojení na hlavní paměť HP. Nulový výstup 072 prvního klopného obvodu KJK1 typu J-K pro signál DCF tvoří současně třicátý čtvrtý výstup 034 zapojení pro připojení na řídicí jednotku ŘJP procesoru. Druhý vstup 117 konstant a maskovacích bitů prvního centrálního procesorového obvodu CPO1 pro signál K0 tvoří současně první vstup 1 zapojení pro připojení na řídicí jednotku ŘJP procesoru. První vstup 166 konstant a maskovacích bitů druhého centrálního procesorového obvodu CPO2 pro signál K3 tvoří současně čtvrtý vstup 4 zapojení pro připojení na řídicí jednotku ŘJP procesoru. První vstup 508 prvního multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru ČMP1 pro signál K1 tvoří současně druhý vstup 2 zapojení pro připojení na řídicí jednotku ŘJP procesoru. První vstup 506 druhého multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru ČMP1 pro signál K2 tvoří současně třetí vstup 3 zapojení pro připojení na řídicí jednotku ŘJP procesoru. První vstup 504 třetího multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru ČMP1 pro signál K5 tvoří současně šestý vstup 6 zapojení pro připojení na řídicí jednotku ŘJP procesoru. První vstup 502 čtvrtého multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru ČMP1 pro signál K6 tvoří současně sedmý vstup 7 zapojení pro připojení na řídicí jednotku ŘJP procesoru. Druhý vstup 217 konstant a maskovacích bitů třetího centrálního procesorového obvodu CPO3 pro signál K4 tvoří současně pátý vstup 5 zapojení pro připojení na řídicí jednotku ŘJP procesoru. První vstup 266 konstant a maskovacích bitů čtvrtého centrálního procesorového obvodu CPO4 pro signál K7 tvoří současně osmý vstup 8 zapojení pro připojení na řídicí jednotku ŘJP procesoru. Druhý vstup 317 konstant a maskovacích bitů pátého centrálního procesorového obvodu CPO5 pro signál K8 tvoří současně devátý vstup 9 zapojení pro připojení na řídicí jednotku ŘJP procesoru. První vstup 366 konstant a maskovacích bitů šestého centrálního procesorového obvodu CPO6 pro signál K11 tvoří současně dvanáctý vstup 12 zapojení pro připojení na řídicí jednotku ŘJP procesoru. První vstup 608 prvního multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru ČMP2 pro signál K9 tvoří současně desátý vstup 10 zapojení pro připojení na řídicí jednotku ŘJP procesoru. Prv-

ní vstup 606 druhého multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru ČMP2 pro signál K10 tvoří současně jedenáctý vstup 11 zapojení pro připojení na řídicí jednotku ŘJP procesoru. První vstup 604 třetího multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru ČMP2 pro signál K13 tvoří současně čtrnáctý vstup 14 zapojení pro připojení na řídicí jednotku ŘJP procesoru. První vstup 602 čtvrtého multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru ČMP2 pro signál K14 tvoří současně patnáctý vstup 15 zapojení pro připojení na řídicí jednotku ŘJP procesoru. Druhý vstup 417 konstant a maskovacích bitů sedmého centrálního procesorového obvodu CP07 pro signál K12 tvoří současně třináctý vstup 13 zapojení pro připojení na řídicí jednotku ŘJP procesoru. První vstup 466 konstant a maskovacích bitů osmého centrálního procesorového obvodu CP08 pro signál K15 tvoří současně šestnáctý vstup 16 zapojení pro připojení na řídicí jednotku ŘJP procesoru. Výběrové vstupy 501, 601 prvního a druhého čtyřnásobného dvouvstupového multiplexoru ČMP1, ČMP2 pro signál DEC jsou připojeny jednak na první vstup druhého dvouvstupového obvodu ND2 typu negace logického součinu, jednak přes druhý invertor IN2 na první vstup prvního dvouvstupového obvodu ND1 typu negace logického součinu a tvoří současně sedmnáctý vstup 17 zapojení pro připojení na řídicí jednotku ŘJP procesoru. První vstupy 102, 152, 202, 252, 302, 352, 402, 452 pro určení mikroinstrukcí prvního až osmého centrálního procesorového obvodu CP01 až CP08 pro signál F0 tvoří současně osmnáctý vstup 18 zapojení pro připojení na řídicí jednotku ŘJP procesoru. Druhé vstupy 103, 153, 203, 253, 303, 353, 403, 453 pro určení mikroinstrukcí prvního až osmého centrálního procesorového obvodu CP01 až CP08 pro signál F1 jsou připojeny na první vstup osmivstupového obvodu NO typu negace logického součinu a tvoří současně devatenáctý vstup 19 zapojení pro připojení na řídicí jednotku ŘJP procesoru. Třetí vstupy 104, 154, 204, 254, 304, 354, 404, 454 pro určení mikroinstrukcí prvního až osmého centrálního procesorového obvodu CP01 až CP08 pro signál F2 jsou připojeny na druhý vstup osmivstupového obvodu NO typu negace logického součinu a tvoří současně dvacátý vstup 20 zapojení pro připojení na řídicí jednotku ŘJP procesoru. Čtvrté vstupy 105, 155, 205, 255, 305, 355, 405, 455 pro určení mikroinstrukcí prvního až osmého centrálního procesorového obvodu CP01 až CP08 pro signál F3 jsou připojeny na třetí vstup osmivstupového obvodu NO typu negace logického součinu a tvoří současně dvacátý prv-

ní vstup 21 zapojení pro připojení na řídicí jednotku ŘJP procesoru. Páté vstupy 106, 156, 206, 256, 306, 356, 406, 456 pro určení mikroinstrukcí prvního až osmého centrálního procesorového obvodu CP01 až CP08 pro signál F4 jsou připojeny přes osmý invertor IN8 na čtvrtý vstup osmivstupového obvodu NO typu negace logického součinu a tvoří současně dvacátý druhý vstup 22 zapojení pro připojení na řídicí jednotku ŘJP procesoru. Šesté vstupy 107, 157, 207, 257, 307, 357, 407, 457 pro určení mikroinstrukcí prvního až osmého centrálního procesorového obvodu CP01 až CP08 pro signál F5 jsou připojeny přes devátý invertor IN9 na pátý a šestý vstup osmivstupového obvodu NO typu negace logického součinu a tvoří současně dvacátý třetí vstup 23 zapojení pro připojení na řídicí jednotku ŘJP procesoru. Sedmé vstupy 108, 158, 208, 258, 308, 358, 408, 458 pro určení mikroinstrukcí prvního až osmého centrálního procesorového obvodu CP01 až CP08 pro signál F6 jsou připojeny přes desátý invertor IN10 na sedmý a osmý vstup osmivstupového obvodu NO typu negace logického součinu a tvoří současně dvacátý čtvrtý vstup 24 zapojení pro připojení na řídicí jednotku ŘJP procesoru. Vstup přenosu 717 obvodu OUP pro urychlení přenosu pro signál F0 je připojen na vstup 459 posuvu vpravo osmého centrálního procesorového obvodu CP08, na vstup 118 přenosu prvního centrálního procesorového obvodu CP01 a tvoří současně dvacátý pátý vstup 25 zapojení pro připojení na řídicí jednotku ŘJP procesoru. Hodinový vstup 72 prvního klopného obvodu KJK1 typu J-K pro signál TB tvoří současně dvacátý šestý vstup 26 zapojení pro připojení na řídicí jednotku ŘJP procesoru. Hodinové vstupy 77, 82, 87, 92 druhého až pátého klopného obvodu KJK2 až KJK5 typu J-K pro signál CLK2 jsou připojeny jednak přes třetí invertor IN3 na druhý vstup prvního a druhého obvodu ND1, ND2 typu negace logického součinu, jednak na hodinové vstupy 101, 151, 201, 251, 301, 351, 401, 451 prvního až osmého centrálního procesorového obvodu CP01 až CP08 a tvoří současně dvacátý sedmý vstup 27 zapojení pro připojení na řídicí jednotku ŘJP procesoru. Druhý vstup 113 dat z paměti prvního centrálního procesorového obvodu CP01 pro signál M0 tvoří současně dvacátý osmý vstup 28 zapojení pro připojení na hlavní paměť HP. První vstup 112 dat z paměti prvního centrálního procesorového obvodu CP01 pro signál M1 tvoří současně dvacátý devátý vstup 29 zapojení pro připojení na hlavní paměť HP. Druhý vstup 163 dat z paměti druhého centrálního procesorového obvodu CP02 pro signál M2 tvoří současně třicátý vstup 30 zapo-

jení pro připojení na hlavní paměť HP. První vstup 162 dat z paměti druhého centrálního procesorového obvodu CPO2 pro signál M3 tvoří současně třicátý první vstup 31 zapojení pro připojení na hlavní paměť HP. Druhý vstup 213 dat z paměti třetího centrálního procesorového obvodu CPO3 pro signál M4 tvoří současně třicátý druhý vstup 32 zapojení pro připojení na hlavní paměť HP. První vstup 212 dat z paměti třetího centrálního procesorového obvodu CPO3 pro signál M5 tvoří současně třicátý třetí vstup 33 zapojení pro připojení na hlavní paměť HP. Druhý vstup 263 dat z paměti čtvrtého centrálního procesorového obvodu CPO4 pro signál M6 tvoří současně třicátý čtvrtý vstup 34 zapojení pro připojení na hlavní paměť HP. První vstup 262 dat z paměti čtvrtého centrálního procesorového obvodu CPO4 pro signál M7 tvoří současně třicátý pátý vstup 35 zapojení pro připojení na hlavní paměť HP. Druhý vstup 313 dat z paměti pátého centrálního procesorového obvodu CPO5 pro signál M8 tvoří současně třicátý šestý vstup 36 zapojení pro připojení na hlavní paměť HP. První vstup 312 dat z paměti pátého centrálního procesorového obvodu CPO5 pro signál M9 tvoří současně třicátý sedmý vstup 37 zapojení pro připojení na hlavní paměť HP. Druhý vstup 363 dat z paměti šestého centrálního procesorového obvodu CPO6 pro signál M10 tvoří současně třicátý osmý vstup 38 zapojení pro připojení na hlavní paměť HP. První vstup 362 dat z paměti šestého centrálního procesorového obvodu CPO6 pro signál M11 tvoří současně třicátý devátý vstup 39 zapojení pro připojení na hlavní paměť HP. Druhý vstup 413 dat z paměti sedmého centrálního procesorového obvodu CPO7 pro signál M12 tvoří současně čtyřicátý vstup 40 zapojení pro připojení na hlavní paměť HP. První vstup 412 dat z paměti sedmého centrálního procesorového obvodu CPO7 pro signál M13 tvoří současně čtyřicátý první vstup 41 zapojení pro připojení na hlavní paměť HP. Druhý vstup 463 dat z paměti osmého centrálního procesorového obvodu CPO8 pro signál M14 tvoří současně čtyřicátý druhý vstup 42 zapojení pro připojení na hlavní paměť HP. První vstup 462 dat z paměti osmého centrálního procesorového obvodu CPO8 pro signál M15 tvoří současně čtyřicátý třetí vstup 43 zapojení pro připojení na hlavní paměť HP. Druhý vstup 115 vnějších zařízení prvního centrálního procesorového obvodu CPO1 pro signál I0 tvoří současně čtyřicátý čtvrtý vstup 44 zapojení pro připojení na řadič ŘVV vstupu a výstupu. První vstup 114 vnějších zařízení prvního centrálního procesorového obvodu CPO1 pro signál I1 tvoří sou-

časně čtyřicátý pátý vstup 45 zapojení pro připojení na radič ŘVV vstupu a výstupu. Druhý vstup 165 vnějších zařízení druhého centrálního procesorového obvodu CP02 pro signál I2 tvoří současně čtyřicátý šestý vstup 46 zapojení pro připojení na radič ŘVV vstupu a výstupu. První vstup 164 vnějších zařízení druhého centrálního procesorového obvodu CP02 pro signál I3 tvoří současně čtyřicátý sedmý vstup 47 zapojení pro připojení na radič ŘVV vstupu a výstupu. Druhý vstup 215 vnějších zařízení třetího centrálního procesorového obvodu CP03 pro signál I4 tvoří současně čtyřicátý osmý vstup 48 zapojení pro připojení na radič ŘVV vstupu a výstupu. První vstup 214 vnějších zařízení třetího centrálního procesorového obvodu CP03 pro signál I5 tvoří současně čtyřicátý devátý vstup 49 zapojení pro připojení na radič ŘVV vstupu a výstupu. Druhý vstup 265 vnějších zařízení čtvrtého centrálního procesorového obvodu CP04 pro signál I6 tvoří současně padesátý vstup 50 zapojení pro připojení na radič ŘVV vstupu a výstupu. První vstup 264 vnějších zařízení čtvrtého centrálního procesorového obvodu CP04 pro signál I7 tvoří současně padesátý první vstup 51 zapojení pro připojení na radič ŘVV vstupu a výstupu. Druhý vstup 315 vnějších zařízení pátého centrálního procesorového obvodu CP05 pro signál I8 tvoří současně padesátý druhý vstup 52 zapojení pro připojení na radič ŘVV vstupu a výstupu. První vstup 314 vnějších zařízení pátého centrálního procesorového obvodu CP05 pro signál I9 tvoří současně padesátý třetí vstup 53 zapojení pro připojení na radič ŘVV vstupu a výstupu. Druhý vstup 365 vnějších zařízení šestého centrálního procesorového obvodu CP06 pro signál II0 tvoří současně padesátý čtvrtý vstup 54 zapojení pro připojení na radič ŘVV vstupu a výstupu. První vstup 364 vnějších zařízení šestého centrálního procesorového obvodu CP06 pro signál II1 tvoří současně padesátý pátý vstup 55 zapojení pro připojení na radič ŘVV vstupu a výstupu. Druhý vstup 415 vnějších zařízení sedmého centrálního procesorového obvodu CP07 pro signál II2 tvoří současně padesátý šestý vstup 56 zapojení pro připojení na radič ŘVV vstupu a výstupu. První vstup 414 vnějších zařízení sedmého centrálního procesorového obvodu CP07 pro signál II3 tvoří současně padesátý sedmý vstup 57 zapojení pro připojení na radič ŘVV vstupu a výstupu. Druhý vstup 465 vnějších zařízení osmého centrálního procesorového obvodu CP08 pro signál II4 tvoří současně padesátý osmý vstup 58 zapojení pro připojení na radič ŘVV vstupu a výstupu. První vstup 464 vněj-

ších zařízení osmého centrálního procesorového obvodu CP08 pro signál TI5 tvoří současně padesátý devátý vstup 59 zapojení pro připojení na radič ŘVV vstupu a výstupu. Vstupy 119, 169, 219, 269, 319, 369, 419, 469 pro vybavení výstupů dat prvního až osmého centrálního procesorového obvodu CP01 až CP08 pro signál ED tvoří současně šedesátý vstup 60 zapojení pro připojení na radič ŘVV vstupu a výstupu. Vstupy 120, 170, 220, 270, 320, 370, 420, 470 pro vybavení adresace pamětí prvního až osmého centrálního procesorového obvodu CP01 až CP08 jsou připojeny na vstupní svorku 61 nulového potenciálu. Zemnicí vstupy 110, 160, 210, 260, 310, 360, 410, 460 prvního až osmého centrálního procesorového obvodu CP01 až CP08 jsou připojeny na vstupní svorku 61 nulového potenciálu. Napájecí vstupy 111, 161, 211, 261, 311, 361, 411, 461 prvního až osmého centrálního procesorového obvodu CP01 až CP08 jsou připojeny na vstupní svorku 62 kladného napětí. První výstup 731 přenosu obvodu OUP pro urychlení přenosu pro signál CI1 je připojen na vstup 168 přenosu druhého centrálního procesorového obvodu CP02. Druhý výstup 732 přenosu obvodu OUP pro urychlení přenosu pro signál CI2 je připojen na vstup 218 přenosu třetího centrálního procesorového obvodu CP03, dále na vstup 91 pro nastavení do logické jedničky pátého klopného obvodu KJK5 typu J-K a přes sedmý invertor IN7 na vstup 93 pro nastavení do logické nuly pátého klopného obvodu KJK5 typu J-K. Třetí výstup 733 přenosu obvodu OUP pro urychlení přenosu pro signál CI3 je připojen na vstup 268 přenosu čtvrtého centrálního procesorového obvodu CP04. Čtvrtý výstup 734 přenosu obvodu OUP pro urychlení přenosu pro signál CI4 je připojen na vstup 318 přenosu pátého centrálního procesorového obvodu CP05, dále na vstup 86 pro nastavení do logické jedničky čtvrtého klopného obvodu KJK4 typu J-K a přes šestý invertor IN6 na vstup 88 pro nastavení do logické nuly čtvrtého klopného obvodu KJK4 typu J-K. Pátý výstup 735 přenosu obvodu OUP pro urychlení přenosu pro signál CI5 je připojen na vstup 368 přenosu šestého centrálního procesorového obvodu CP06. Šestý výstup 736 přenosu obvodu OUP pro urychlení přenosu pro signál CI6 je připojen na vstup 418 přenosu sedmého centrálního procesorového obvodu CP07, dále na vstup 81 pro nastavení do logické jedničky třetího klopného obvodu KJK3 typu J-K a přes pátý invertor IN5 na vstup 83 pro nastavení do logické nuly třetího klopného obvodu KJK3 typu J-K. Sedmý výstup 737 přenosu obvodu OUP pro urychlení přenosu pro signál CI7 je připojen na vstup 468 přenosu osmého centrálního

procesorového obvodu CP08. Výstup osmivstupového obvodu NO typu negace logického součinu je připojen na vstup 720 pro vybavení výstupu přenosu obvodu OUP pro urychlení přenosu. Zemnicí vstup 719 obvodu OUP pro urychlení přenosu je připojen na vstupní svorku 61 nulového potenciálu a jeho napájecí vstup 718 je připojen na vstupní svorku 62 kladného napětí. Výstup 531 prvního multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru ČMP1 je připojen na první vstup 116 konstant a maskovacích bitů prvního centrálního procesorového obvodu CP01. Výstup 532 druhého multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru ČMP1 je připojen na druhý vstup 167 konstant a maskovacích bitů druhého centrálního procesorového obvodu CP02. Výstup 533 třetího multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru ČMP1 je připojen na první vstup 216 konstant a maskovacích bitů třetího centrálního procesorového obvodu CP03. Výstup 534 čtvrtého multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru ČMP1 je připojen na druhý vstup 267 konstant a maskovacích bitů čtvrtého centrálního procesorového obvodu CP04. Výstup 631 prvního multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru ČMP2 je připojen na první vstup 316 konstant a maskovacích bitů pátého centrálního procesorového obvodu CP05. Výstup 632 druhého multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru ČMP2 je připojen na druhý vstup 367 konstant a maskovacích bitů šestého centrálního procesorového obvodu CP06. Výstup 633 třetího multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru ČMP2 je připojen na první vstup 416 konstant a maskovacích bitů sedmého centrálního procesorového obvodu CP07. Výstup 634 čtvrtého multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru ČMP2 je připojen na druhý vstup 467 konstant a maskovacích bitů osmého centrálního procesorového obvodu CP08. Vstupy 512, 612 pro řízení výstupů multiplexorů prvního a druhého čtyřnásobného dvouvstupového multiplexoru ČMP1, ČMP2 jsou připojeny na vstupní svorku 61 nulového potenciálu. Zemnicí vstupy 511, 611 prvního a druhého čtyřnásobného dvouvstupového multiplexoru ČMP1, ČMP2 jsou připojeny na vstupní svorku 61 nulového potenciálu a jejich napájecí vstupy 510, 610 jsou připojeny na vstupní svorku 62 kladného napětí. Výstup prvního dvouvstupového obvodu ND1 typu negace logického součinu je připojen na nulovací vstup 74 prvního klopného obvodu KJK1 typu J-K, jehož vstup 73 pro nastavení do logické nuly je připojen na vstupní svorku 61 nulového potenciálu. Výstup

druhého dvouvstupového obvodu ND2 typu negace logického součinu je připojen na nastavovací vstup 79, 84, 89, 94 druhého až pátého klopného obvodu KJK2 až KJK4 typu J-K. Jedničkový výstup 076 druhého klopného obvodu KJK2 typu J-K pro signál $\overline{C4}$ je připojen na první a druhý vstup prvního třívstupového obvodu NT1 typu negace logického součinu a na první vstup třetího třívstupového obvodu NT3 typu negace logického součinu, jehož výstup je připojen na třetí vstup druhého třívstupového obvodu NT2 typu negace logického součinu. Výstup prvního dvouvstupového obvodu NT1 typu negace logického součinu je připojen na první a druhý vstup druhého dvouvstupového obvodu NT2 typu negace logického součinu, jehož výstup je připojen na druhý vstup 605 třetího multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru ČMP2, na druhý vstup 603 čtvrtého multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru ČMP2 a přes první invertor IN1 na vstup 71 pro nastavení do logické jedničky prvního klopného obvodu KJK1 typu J-K. Jedničkový výstup 081 třetího klopného obvodu KJK3 typu J-K pro signál $\overline{C3}$ je připojen na první a druhý vstup čtvrtého třívstupového obvodu NT4 typu negace logického součinu a na první vstup šestého třívstupového obvodu NT6 typu negace logického součinu, jehož výstup je připojen na třetí vstup pátého třívstupového obvodu NT6 typu negace logického součinu. Výstup čtvrtého třívstupového obvodu NT4 typu negace logického součinu je připojen na první a druhý vstup pátého třívstupového obvodu NT5 typu negace logického součinu, jehož výstup je připojen na druhý vstup 609 prvního multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru ČMP2 a na druhý vstup 607 druhého multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru ČMP2. Jedničkový výstup 086 čtvrtého klopného obvodu KJK4 typu J-K pro signál $\overline{C2}$ je připojen na první a druhý vstup sedmého třívstupového obvodu NT7 typu negace logického součinu a na první vstup devátého třívstupového obvodu NT9 typu negace logického součinu, jehož výstup je připojen na třetí vstup osmého třívstupového obvodu NT8 typu negace logického součinu. Výstup sedmého třívstupového obvodu NT7 typu negace logického součinu je připojen na první a druhý vstup osmého třívstupového obvodu NT8 typu negace logického součinu, jehož výstup je připojen na druhý vstup 505 třetího multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru ČMP1 a na druhý vstup 503 čtvrtého multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru ČMP1. Jedničkový výstup 091 pátého

klopného obvodu KJK5 typu J-K pro signál $\overline{CI}$ je připojen na první a druhý vstup desátého třívstupového obvodu NT10 typu negace logického součinu a na první vstup dvanáctého třívstupového obvodu NT12 typu negace logického součinu, jehož výstup je připojen na třetí vstup jedenáctého třívstupového obvodu NT11 typu negace logického součinu. Výstup desátého třívstupového obvodu NT10 typu negace logického součinu je připojen na první a druhý vstup jedenáctého třívstupového obvodu NT11 typu negace logického součinu, jehož výstup je připojen na druhý vstup 509 prvního multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru ČMP1 a na druhý vstup 507 druhého multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru ČMP1.

Aritmetická a logická jednotka ALJ procesoru je spojena s hlavní pamětí HP (obr. 1) pomocí signálů: $\overline{M0}$ až $\overline{M15}$ pro vstup dat čtených z hlavní paměti HP, $\overline{A0}$ až $\overline{A14}$ pro výstup adresy, $\overline{D0}$ až $\overline{D15}$ pro výstup dat pro zápis do hlavní paměti HP. Aritmetická a logická jednotka ALJ procesoru je spojena s řídicí jednotkou ŘJP procesoru pomocí signálů: $\overline{K0}$ až $\overline{K15}$ pro vstup konstanty, $\overline{DEC}$ pro přepnutí aritmetické a logické jednotky ALJ procesoru do režimu přímého dekadického sčítání, $\overline{F0}$ až $\overline{F6}$ pro vstup kódu operace v aritmetické a logické jednotce ALJ procesoru, $\overline{F0}$ pro vstup binárního nebo dekadického přenosu, $\overline{FIF}$ pro výstup binárního přenosu, $\overline{DCF}$ pro výstup dekadického přenosu, $\overline{TB}$ pro vstup časového signálu pro řízení dekadických operací a $\overline{CLK2}$ pro hodinový signál pro aritmetickou a logickou jednotku ALJ procesoru. Aritmetická a logická jednotka ALJ procesoru je spojena s řadičem ŘVV vstupu a výstupu pomocí signálů: $\overline{D0}$ až $\overline{D15}$ pro výstup dat, $\overline{I0}$ až $\overline{I15}$ pro vstup dat, $\overline{ED}$ pro vstup pro řízení třístavových budičů datových signálů $\overline{D0}$ až $\overline{D15}$.

Zapojení aritmetické a logické jednotky ALJ procesoru sestává z centrálních procesorových obvodů, zahrnujících první až osmý centrální procesorový obvod CP01 až CP08, z multiplexoru konstanty, obsahujícího první a druhý čtyřnásobný dvouvstupový multiplexor ČMP1 a ČMP2, z generátoru konstanty, obsahujícího první až dvanáctý třívstupový obvod NT1 až NT12 typu negace logického součinu, druhý až pátý klopný obvod KJK2 až KJK5 typu J-K, třetí až sedmý invertor IN3 až IN7 a druhý dvouvstupový obvod ND2 typu negace logického součinu, z obvodu pro dekadický přenos, obsahujícího první klopný obvod KJK1 typu J-K, první a druhý invertor IN1 a IN2 a první dvouvstupový obvod ND1 typu

negace logického součinu, z obvodu pro urychlení přenosu, obsahujícího obvod OUP pro urychlení přenosu, osmivstupový obvod NO typu negace logického součinu, osmý až desátý invertor IN8 až IN10.

Řídicí jednotka ŘJP procesoru generuje ve své řídicí paměti typu ROM mikroinstrukci podle obr. 3. Z této mikroinstrukce jsou do aritmetické a logické jednotky ALJ procesoru přivedeny řídicí signály FO až F6 pro vstup kódu operace, která se má provést v centrálních procesorových obvodech CPO1 až CPO8. Centrální procesorové obvody nemohou samy o sobě provádět dekadické operace, ale pouze binární sčítání nebo kompletní soubor logických operací. Řídicí signály FO až F6 se nastaví na vstupech aritmetické a logické jednotky ALJ procesoru v čase T3 (obr. 4). V čase T7 vyšle řídicí jednotka ŘJP procesoru signál CLK2, který způsobí přepis výsledku operace na příklad do neznázorněného vnitřního registru AC v centrálních procesorových obvodech a tento výsledek se objeví jako signály D0 až D15, případně A0 až A15 podle požadované operace. Dále jsou z řídicí jednotky ŘJP procesoru přivedeny signály K0 až K15 a signál DEC. Signál DEC rozhoduje o tom, zda se má v aritmetické a logické jednotce ALJ procesoru provádět binární nebo dekadická operace. Je-li v čase T3 signál DEC ve stavu logické nuly, provede se standardní binární operace. V tom případě signál DEC ve stavu logické nuly způsobí nastavení multiplexoru konstanty tak, že všech šestnáct bitů konstanty K0 až K15 je přes tento multiplexor konstanty přivedeno přímo na vstupy centrálních procesorových obvodů. Při dekadické operaci sčítání se sčítají vždy dvě dekadická čísla, z nichž každé číslo má čtyři číslice v kódu 8421. Před zahájením operace je první dekadické číslo v neznázorněném vnitřním registru R1 a druhé dekadické číslo ve vnitřním registru AC centrálních procesorových obvodů. Obě číslice nejnižšího řádu budou sčítány pomocí obvodů CPO1, CPO2, ČMP1, NT10, NT11, NZ12 a KJK5, další dvě číslice vyššího řádu pomocí obvodů CPO3, CPO4, ČMP1, NT7, NT8, NT9 a KJK4, další dvě číslice pomocí obvodů CPO5, CPO6, ČMP2, NT4, NT5, NT6 a KJK3 a poslední číslice nejvyššího řádu pomocí obvodů CPO7, CPO8, ČMP2, NT1, NT2, NT3 a KJK2. Dekadické sečtení je provedeno v pěti krocích. V prvním kroku se v čase T3 nastaví pomocí signálů FO až F6 operace R1 + AC → AC a signálem DEC se nastaví logická nula. Příchodem signálu CLK2 se v tomto prvním kroku uvedená dvě dekadická čísla binárně sečtou a výsledek bude v registru AC a v

signálech $\overline{D0}$ až $\overline{D15}$. Současně se signálem $\overline{CLK2}$ uloží čtyři přenosy, vzniklé mezi jednotlivými dekadickými řády do jednobitových pamětí KJK5, KJK4, KJK3, KJK2 pomocí obvodu pro urychlení přenosu a pomocí jeho signálů $\overline{CI2}$, $\overline{CI4}$, $\overline{CI6}$, $\overline{FIF}$. Ve druhém kroku se v čase $T3$ nastaví pomocí signálů $F0$ až $F6$ operace $AC + K \rightarrow AC$ a signál DEC se nastaví do logické jedničky. Příchodem signálu $\overline{CLK2}$ se v tomto druhém kroku provede pomocí generátoru konstanty oprava $+6$ pouze v těch dekadických řádech, ve kterých vznikl přenos signálů $\overline{CI}$, $\overline{C2}$, $\overline{C3}$, $\overline{C4}$ nebo ve kterých je výsledek předchozího kroku větší než 9. Současně se ve druhém kroku znulují obvody KJK5, KJK4, KJK3, KJK2. Jestliže po druhém kroku je některý dekadický řád větší než 9, provede se ve třetím kroku opět pomocí generátoru konstanty oprava $+6$. Analogicky se provádí čtvrtý a pátý krok. Po ukončení pátého kroku signálem $\overline{CLK2}$ je na signálech $\overline{D0}$ až $\overline{D15}$ výsledek dekadického sčítání a na signálu $\overline{DCF}$ případný dekadický přenos. Opakováním uvedeného procesu je možno provádět operaci s libovolným počtem dekadických řádů, přičemž postupně vznikající výsledky mohou být ukládány a vybírány z hlavní paměti HP procesoru pomocí datových signálů $\overline{M0}$ až $\overline{M15}$, $\overline{D0}$ až $\overline{D15}$ a adresových signálů $\overline{A0}$ až $\overline{A14}$. Pro lepší porozumění je v časovém diagramu dle obr. 4 použito pozitivního vyjádření některých signálů.

Zapojení aritmetické a logické jednotky ALJ procesoru podle vynálezu lze použít ve stolních počítačích a zejména v inteligentních terminálech.

PŘEDMĚT VYNÁLEZU

227 440

Zapojení aritmetické a logické jednotky procesoru, zejména pro inteligentní terminál, s centrálními procesorovými obvody a s obvodem pro urychlení přenosu, vyznačené tím, že první výstup (132) pro urychlení přenosu prvního centrálního procesorového obvodu (CP01) je připojen na první vstup (715) první dvojice vstupů pro urychlení přenosu obvodu (OUP) pro urychlení přenosu, druhý výstup (131) pro urychlení přenosu prvního centrálního procesorového obvodu (CP01) je připojen na druhý vstup (716) první dvojice vstupů pro urychlení přenosu obvodu (OUP) pro urychlení přenosu, výstup (133) posuvu vpravo prvního centrálního procesorového obvodu (CP01) je připojen na vstup (76) pro nastavení do logické jedničky druhého klopného obvodu (KJK2) typu J-K, přes čtvrtý invertor (IN4) na vstup (78) pro nastavení do logické nuly druhého klopného obvodu (KJK2) typu J-K, na osmý výstup (738) přenosu obvodu (OUP) pro urychlení přenosu a tvoří současně třicátý třetí výstup (033) zapojení, první datový výstup (134) prvního centrálního procesorového obvodu (CP01) tvoří současně sedmnáctý výstup (017) zapojení, druhý datový výstup (135) prvního centrálního procesorového obvodu (CP01) je připojen na třetí vstup dvanáctého třívstupového obvodu (NT12) typu negace logického součinu a tvoří současně osmnáctý výstup (018) zapojení, první výstup (136) adresy paměti prvního centrálního procesorového obvodu (CP01) tvoří současně první výstup (01) zapojení, druhý výstup (137) adresy paměti prvního centrálního procesorového obvodu (CP01) tvoří současně druhý výstup (02) zapojení, první výstup (182) pro urychlení přenosu druhého centrálního procesorového obvodu (CP02) je připojen na první vstup (713) druhé dvojice vstupů pro urychlení přenosu obvodu (OUP) pro urychlení přenosu, druhý výstup (181) pro urychlení přenosu druhého centrálního procesorového obvodu (CP02) je připojen na druhý vstup (714) druhé dvojice vstupů pro urychlení přenosu obvodu (OUP) pro urychlení přenosu, výstup (183) posuvu vpravo druhého centrálního procesorového obvodu (CP02) je připojen na vstup (109) posuvu vpravo prvního centrálního procesorového obvodu (CP01), první datový výstup (184) druhého centrálního procesorového obvodu (CP02) je připojen na druhý vstup dvanáctého třívstupového obvodu (NT12) typu negace logického součinu a tvoří současně devatenáctý výstup (019) zapojení, druhý datový výstup (185) druhého centrálního procesorové-

ho obvodu (CP02) je připojen na třetí vstup desátého třívstupového obvodu (NT10) typu negace logického součinu a tvoří současně dvacátý výstup (020) zapojení, první výstup (186) adresy paměti druhého centrálního procesorového obvodu (CP02) tvoří současně třetí výstup (03) zapojení, druhý výstup (187) adresy paměti druhého centrálního procesorového obvodu (CP02) tvoří současně čtvrtý výstup (04) zapojení, první výstup (232) pro urychlení přenosu třetího centrálního procesorového obvodu (CP03) je připojen na první vstup (711) třetí dvojice vstupů pro urychlení přenosu obvodu (OUP) pro urychlení přenosu, druhý výstup (231) pro urychlení přenosu třetího centrálního procesorového obvodu (CP03) je připojen na druhý vstup (712) třetí dvojice vstupů pro urychlení přenosu obvodu (OUP) pro urychlení přenosu, výstup (233) posuvu vpravo třetího centrálního procesorového obvodu (CP03) je připojen na vstup (159) posuvu vpravo druhého centrálního procesorového obvodu (CP02), první datový výstup (234) třetího centrálního procesorového obvodu (CP03) tvoří současně dvacátý první výstup (021) zapojení, druhý datový výstup (235) třetího centrálního procesorového obvodu (CP03) je připojen na třetí vstup devátého třívstupového obvodu (NT9) typu negace logického součinu a tvoří současně dvacátý druhý výstup (022) zapojení, první výstup (236) adresy paměti třetího centrálního procesorového obvodu (CP03) tvoří současně pátý výstup (05) zapojení, druhý výstup (237) adresy paměti třetího centrálního procesorového obvodu (CP03) tvoří současně šestý výstup (06) zapojení, první výstup (282) pro urychlení přenosu čtvrtého centrálního procesorového obvodu (CP04) je připojen na první vstup (709) čtvrté dvojice vstupů pro urychlení přenosu obvodu (OUP) pro urychlení přenosu, druhý výstup (281) pro urychlení přenosu čtvrtého centrálního procesorového obvodu (CP04) je připojen na druhý vstup (710) čtvrté dvojice vstupů pro urychlení přenosu obvodu (OUP) pro urychlení přenosu, výstup (283) posuvu vpravo čtvrtého centrálního procesorového obvodu (CP04) je připojen na vstup (209) posuvu vpravo třetího centrálního procesorového obvodu (CP03), první datový výstup (284) čtvrtého centrálního procesorového obvodu (CP04) je připojen na druhý vstup devátého třívstupového obvodu (NT9) typu negace logického součinu a tvoří současně dvacátý třetí výstup (023) zapojení, druhý datový výstup (285) čtvrtého centrálního procesorového obvodu (CP04) je připojen na třetí vstup sedmého třívstupového obvodu (NT7) typu negace lo-

gického součinu a tvoří současně dvacátý čtvrtý výstup (024) zapojení, první výstup (286) adresy paměti čtvrtého centrálního procesorového obvodu (CP04) tvoří současně sedmý výstup (07) zapojení, druhý výstup (287) adresy paměti čtvrtého centrálního procesorového obvodu (CP04) tvoří současně osmý výstup (08) zapojení, první výstup (332) pro urychlení přenosu pátého centrálního procesorového obvodu (CP05) je připojen na první vstup (707) páté dvojice vstupů pro urychlení přenosu obvodu (OUP) pro urychlení přenosu, druhý výstup (331) pro urychlení přenosu pátého centrálního procesorového obvodu (CP05) je připojen na druhý vstup (708) páté dvojice vstupů pro urychlení přenosu obvodu (OUP) pro urychlení přenosu, výstup (333) posuvu vpravo pátého centrálního procesorového obvodu (CP05) je připojen na vstup (259) posuvu vpravo čtvrtého centrálního procesorového obvodu (CP04), první datový výstup (334) pátého centrálního procesorového obvodu (CP05) tvoří současně dvacátý pátý výstup (025) zapojení, druhý datový výstup (335) pátého centrálního procesorového obvodu (CP05) je připojen na třetí vstup šestého třívstupového obvodu (NT6) typu negace logického součinu a tvoří současně dvacátý šestý výstup (026) zapojení, první výstup (336) adresy paměti pátého centrálního procesorového obvodu (CP05) tvoří současně devátý výstup (09) zapojení, druhý výstup (337) adresy paměti pátého centrálního procesorového obvodu (CP05) tvoří současně desátý výstup (010) zapojení, první výstup (382) pro urychlení přenosu šestého centrálního procesorového obvodu (CP06) je připojen na první vstup (705) šesté dvojice vstupů pro urychlení přenosu obvodu (OUP) pro urychlení přenosu, druhý výstup (381) pro urychlení přenosu šestého centrálního procesorového obvodu (CP06) je připojen na druhý vstup (706) šesté dvojice vstupů pro urychlení přenosu obvodu (OUP) pro urychlení přenosu, výstup (383) posuvu vpravo šestého centrálního procesorového obvodu (CP06) je připojen na vstup (309) posuvu vpravo pátého centrálního procesorového obvodu (CP05), první datový výstup (384) šestého centrálního procesorového obvodu (CP06) je připojen na druhý vstup šestého třívstupového obvodu (NT6) typu negace logického součinu a tvoří současně dvacátý sedmý výstup (027) zapojení, druhý datový výstup (385) šestého centrálního procesorového obvodu (CP06) je připojen na třetí vstup čtvrtého třívstupového obvodu (NT4) typu negace logického součinu a tvoří současně dvacátý osmý výstup (028) zapojení, první výstup (386) adresy paměti šestého centrálního

procesorového obvodu (CP06) tvoří současně jedenáctý výstup (011) zapojení, druhý výstup (387) adresy paměti šestého centrálního procesorového obvodu (CP06) tvoří současně dvanáctý výstup (012) zapojení, první výstup (432) pro urychlení přenosu sedmého centrálního procesorového obvodu (CP07) je připojen na první vstup (703) sedmé dvojice vstupů pro urychlení přenosu obvodu (OUP) pro urychlení přenosu, druhý výstup (431) pro urychlení přenosu sedmého centrálního procesorového obvodu (CP07) je připojen na druhý vstup (704) sedmé dvojice vstupů pro urychlení přenosu obvodu (OUP) pro urychlení přenosu, výstup (433) posuvu vpravo sedmého centrálního procesorového obvodu (CP07) je připojen na vstup (359) posuvu vpravo šestého centrálního procesorového obvodu (CP06), první datový výstup (434) sedmého centrálního procesorového obvodu (CP07) tvoří současně dvacátý devátý výstup (029) zapojení, druhý datový výstup (435) sedmého centrálního procesorového obvodu (CP07) je připojen na třetí vstup třetího třívstupového obvodu (NT3) typu negace logického součinu a tvoří současně třicátý výstup (030) zapojení, první výstup (436) adresy paměti sedmého centrálního procesorového obvodu (CP07) tvoří současně třináctý výstup (013) zapojení, druhý výstup (437) adresy paměti sedmého centrálního procesorového obvodu (CP07) tvoří současně čtrnáctý výstup (014) zapojení, první výstup (482) pro urychlení přenosu osmého centrálního procesorového obvodu (CP08) je připojen na první vstup (701) osmé dvojice vstupů pro urychlení přenosu obvodu (OUP) pro urychlení přenosu, druhý výstup (481) pro urychlení přenosu osmého centrálního procesorového obvodu (CP08) je připojen na druhý vstup (702) osmé dvojice vstupů pro urychlení přenosu obvodu (OUP) pro urychlení přenosu, výstup (483) posuvu vpravo osmého centrálního procesorového obvodu (CP08) je připojen na vstup (409) posuvu vpravo sedmého centrálního procesorového obvodu (CP07), první datový výstup (484) osmého centrálního procesorového obvodu (CP08) je připojen na druhý vstup třetího třívstupového obvodu (NT3) typu negace logického součinu a tvoří současně třicátý první výstup (031) zapojení, druhý datový výstup (485) osmého centrálního procesorového obvodu (CP08) je připojen na třetí vstup prvního třívstupového obvodu (NT1) typu negace logického součinu a tvoří současně třicátý druhý výstup (032) zapojení, první výstup (486) adresy paměti osmého centrálního procesorového obvodu (CP08) tvoří současně patnáctý výstup (015) zapojení, druhý výstup (487) adresy pamě-

ti osmému centrálnímu procesorovému obvodu (CP08) tvoří současně šestnáctý výstup (016) zapojení, nulový výstup (072) prvního klopného obvodu (KJK1) typu J-K tvoří současně třicátý čtvrtý výstup (034) zapojení, druhý vstup (117) konstant a maskovacích bitů prvního centrálního procesorového obvodu (CP01) tvoří současně první vstup (1) zapojení, první vstup (166) konstant a maskovacích bitů druhého centrálního procesorového obvodu (CP02) tvoří současně čtvrtý vstup (4) zapojení, první vstup (508) prvního multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru (ČMP1) tvoří současně druhý vstup (2) zapojení, první vstup (506) druhého multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru (ČMP1) tvoří současně třetí vstup (3) zapojení, první vstup (504) třetího multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru (ČMP1) tvoří současně šestý vstup (6) zapojení, první vstup (502) čtvrtého multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru (ČMP1) tvoří současně sedmý vstup (7) zapojení, druhý vstup (217) konstant a maskovacích bitů třetího centrálního procesorového obvodu (CP03) tvoří současně pátý vstup (5) zapojení, první vstup (266) konstant a maskovacích bitů čtvrtého centrálního procesorového obvodu (CP04) tvoří současně osmý vstup (8) zapojení, druhý vstup (317) konstant a maskovacích bitů pátého centrálního procesorového obvodu (CP05) tvoří současně devátý vstup (9) zapojení, první vstup (366) konstant a maskovacích bitů šestého centrálního procesorového obvodu (CP06) tvoří současně dvanáctý vstup (12) zapojení, první vstup (608) prvního multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru (ČMP2) tvoří současně desátý vstup (10) zapojení, první vstup (606) druhého multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru (ČMP2) tvoří současně jedenáctý vstup (11) zapojení, první vstup (604) třetího multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru (ČMP2) tvoří současně čtrnáctý vstup (14) zapojení, první vstup (602) čtvrtého multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru (ČMP2) tvoří současně patnáctý vstup (15) zapojení, druhý vstup (417) konstant a maskovacích bitů sedmého centrálního procesorového obvodu (CP07) tvoří současně třináctý vstup (13) zapojení, první vstup (466) konstant a maskovacích bitů osmému centrálnímu procesorovému obvodu (CP08) tvoří současně šestnáctý vstup (16) zapojení, výběrové vstupy (501, 601) prvního a druhého čtyřnásobného dvouvstupového multiplexoru (ČMP1, ČMP2) jsou připojeny jednak na první vstup dru-

hého dvouvstupového obvodu (ND2) typu negace logického součinu, jednak přes druhý invertor (IN2) na první vstup prvního dvouvstupového obvodu (ND1) typu negace logického součinu a tvoří současně sedmnáctý vstup (17) zapojení, první vstupy (102,152,202,252,302,352,402,452) pro určení mikroinstrukcí prvního až osmého centrálního procesorového obvodu (CP01 až CP08) tvoří současně osmnáctý vstup (18) zapojení, druhé vstupy (103,153,203,253,303,353,403,453) pro určení mikroinstrukcí prvního až osmého centrálního procesorového obvodu (CP01 až CP08) jsou připojeny na první vstup osmivstupového obvodu (NO) typu negace logického součinu a tvoří současně devatenáctý vstup (19) zapojení, třetí vstupy (104,154,204,254,304,354,404,454) pro určení mikroinstrukcí prvního až osmého centrálního procesorového obvodu (CP01 až CP08) jsou připojeny na druhý vstup osmivstupového obvodu (NO) typu negace logického součinu a tvoří současně dvacátý vstup (20) zapojení, čtvrté vstupy (105,155,205,255,305,355,405,455) pro určení mikroinstrukcí prvního až osmého centrálního procesorového obvodu (CP01 až CP08) jsou připojeny na třetí vstup osmivstupového obvodu (NO) typu negace logického součinu a tvoří současně dvacátý první vstup (21) zapojení, páté vstupy (106,156,206,256,306,356,406,456) pro určení mikroinstrukcí prvního až osmého centrálního procesorového obvodu (CP01 až CP08) jsou připojeny přes osmý invertor (IN8) na čtvrtý vstup osmivstupového obvodu (NO) typu negace logického součinu a tvoří současně dvacátý druhý vstup (22) zapojení, šesté vstupy (107,157,207,257,307,357,407,457) pro určení mikroinstrukcí prvního až osmého centrálního procesorového obvodu (CP01 až CP08) jsou připojeny přes devátý invertor (IN9) na pátý a šestý vstup osmivstupového obvodu (NO) typu negace logického součinu a tvoří současně dvacátý třetí vstup (23) zapojení, sedmé vstupy (108,158,208,258,308,358,408,458) pro určení mikroinstrukcí prvního až osmého centrálního procesorového obvodu (CP01 až CP08) jsou připojeny přes desátý invertor (IN10) na sedmý a osmý vstup osmivstupového obvodu (NO) typu negace logického součinu a tvoří současně dvacátý čtvrtý vstup (24) zapojení, vstup přenosu (717) obvodu (OUP) pro urychlení přenosu je připojen na vstup (459) posuvu vpravo osmého centrálního procesorového obvodu (CP08), na vstup (118) přenosu prvního centrálního procesorového obvodu (CP01) a tvoří současně dvacátý pátý vstup (25) zapojení, hodinový vstup (72) prvního klopného obvodu (KJK1) typu J-K tvoří současně dvacátý šestý vstup (26) za-

pojení, hodinové vstupy (77,82,87,92) druhého až pátého klopného obvodu (KJK2 až KJK5) typu J-K jsou připojeny jednak přes třetí invertor (IN3) na druhý vstup prvního a druhého obvodu (ND1,ND2) typu negace logického součinu, jednak na hodinové vstupy (101,151,201,251,301,351,401,451) prvního až osmého centrálního procesorového obvodu (CP01 až CP08) a tvoří současně dvacátý sedmý vstup (27) zapojení, druhý vstup (113) dat z paměti prvního centrálního procesorového obvodu (CP01) tvoří současně dvacátý osmý vstup (28) zapojení, první vstup (112) dat z paměti prvního centrálního procesorového obvodu (CP01) tvoří současně dvacátý devátý vstup (29) zapojení, druhý vstup (163) dat z paměti druhého centrálního procesorového obvodu (CP02) tvoří současně třicátý vstup (30) zapojení, první vstup (162) dat z paměti druhého centrálního procesorového obvodu (CP02) tvoří současně třicátý první vstup (31) zapojení, druhý vstup (213) dat z paměti třetího centrálního procesorového obvodu (CP03) tvoří současně třicátý druhý vstup (32) zapojení, první vstup (212) dat z paměti třetího centrálního procesorového obvodu (CP03) tvoří současně třicátý třetí vstup (33) zapojení, druhý vstup (263) dat z paměti čtvrtého centrálního procesorového obvodu (CP04) tvoří současně třicátý čtvrtý vstup (34) zapojení, první vstup (262) dat z paměti čtvrtého centrálního procesorového obvodu (CP04) tvoří současně třicátý pátý vstup (35) zapojení, druhý vstup (313) dat z paměti pátého centrálního procesorového obvodu (CP05) tvoří současně třicátý šestý vstup (36) zapojení, první vstup (312) dat z paměti pátého centrálního procesorového obvodu (CP05) tvoří současně třicátý sedmý vstup (37) zapojení, druhý vstup (363) dat z paměti šestého centrálního procesorového obvodu (CP06) tvoří současně třicátý osmý vstup (38) zapojení, první vstup (362) dat z paměti šestého centrálního procesorového obvodu (CP06) tvoří současně třicátý devátý vstup (39) zapojení, druhý vstup (413) dat z paměti sedmého centrálního procesorového obvodu (CP07) tvoří současně čtyřicátý vstup (40) zapojení, první vstup (412) dat z paměti sedmého centrálního procesorového obvodu (CP07) tvoří současně čtyřicátý první vstup (41) zapojení, druhý vstup (463) dat z paměti osmého centrálního procesorového obvodu (CP08) tvoří současně čtyřicátý druhý vstup (42) zapojení, první vstup (462) dat z paměti osmého centrálního procesorového obvodu (CP08) tvoří současně čtyřicátý třetí vstup (43) zapojení, druhý vstup (115) vnějších zařízení prvního centrálního procesorového obvo-

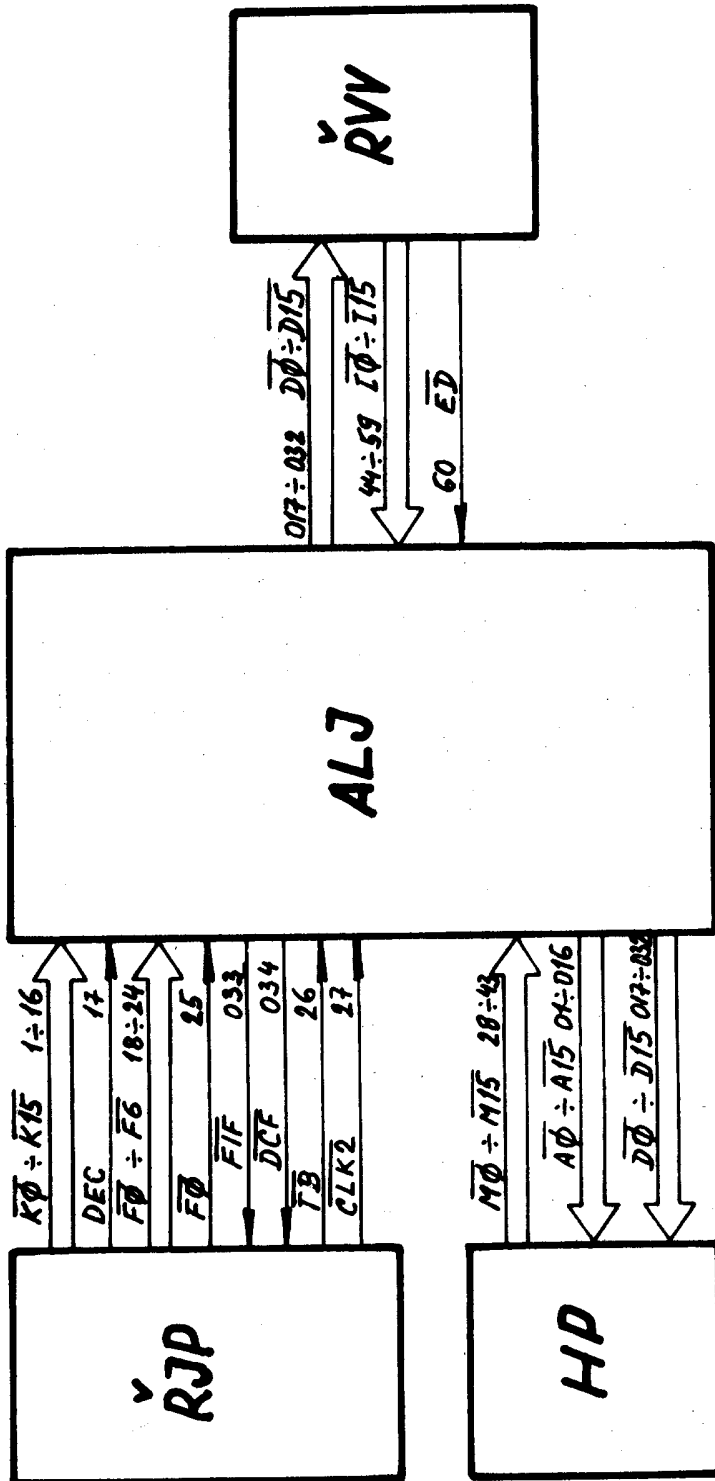
du (CP01) tvoří současně čtyřicátý čtvrtý vstup (44) zapojení, první vstup (114) vnějších zařízení prvního centrálního procesorového obvodu (CP01) tvoří současně čtyřicátý pátý vstup (45) zapojení, druhý vstup (165) vnějších zařízení druhého centrálního procesorového obvodu (CP02) tvoří současně čtyřicátý šestý vstup (46) zapojení, první vstup (164) vnějších zařízení druhého centrálního procesorového obvodu (CP02) tvoří současně čtyřicátý sedmý vstup (47) zapojení, druhý vstup (215) vnějších zařízení třetího centrálního procesorového obvodu (CP03) tvoří současně čtyřicátý osmý vstup (48) zapojení, první vstup (214) vnějších zařízení třetího centrálního procesorového obvodu (CP03) tvoří současně čtyřicátý devátý vstup (49) zapojení, druhý vstup (265) vnějších zařízení čtvrtého centrálního procesorového obvodu (CP04) tvoří současně padesátý vstup (50) zapojení, první vstup (264) vnějších zařízení čtvrtého centrálního procesorového obvodu (CP04) tvoří současně padesátý první vstup (51) zapojení, druhý vstup (315) vnějších zařízení pátého centrálního procesorového obvodu (CP05) tvoří současně padesátý druhý vstup (52) zapojení, první vstup (314) vnějších zařízení pátého centrálního procesorového obvodu (CP05) tvoří současně padesátý třetí vstup (53) zapojení, druhý vstup (365) vnějších zařízení šestého centrálního procesorového obvodu (CP06) tvoří současně padesátý čtvrtý vstup (54) zapojení, první vstup (364) vnějších zařízení šestého centrálního procesorového obvodu (CP06) tvoří současně padesátý pátý vstup (55) zapojení, druhý vstup (415) vnějších zařízení sedmého centrálního procesorového obvodu (CP07) tvoří současně padesátý šestý vstup (56) zapojení, první vstup (414) vnějších zařízení sedmého centrálního procesorového obvodu (CP07) tvoří současně padesátý sedmý vstup (57) zapojení, druhý vstup (465) vnějších zařízení osmého centrálního procesorového obvodu (CP08) tvoří současně padesátý osmý vstup (58) zapojení, první vstup (464) vnějších zařízení osmého centrálního procesorového obvodu (CP08) tvoří současně padesátý devátý vstup (59) zapojení, vstupy (119,169,219,269,319,369,419,469) pro vybavení výstupů dat prvního až osmého centrálního procesorového obvodu (CP01 až CP08) tvoří současně šedesátý vstup (60) zapojení, vstupy (120,170,220,270,320,370,420,470) pro vybavení adresace pamětí prvního až osmého centrálního procesorového obvodu (CP01 až CP08) jsou připojeny na vstupní svorku (61) nulového potenciálu, zemnicí vstupy (110,160,210,260,310,360,410,460) prvního až osmého centrálního pro-

cesorového obvodu (CP01 až CP08) jsou připojeny na vstupní svorku (61) nulového potenciálu, napájecí vstupy (111,161,211,261,311,361,411,461) prvního až osmého centrálního procesorového obvodu (CP01 až CP08) jsou připojeny na vstupní svorku (62) kladného napětí, první výstup (731) přenosu obvodu (OUP) pro urychlení přenosu je připojen na vstup (168) přenosu druhého centrálního procesorového obvodu (CP02), druhý výstup (732) přenosu obvodu (OUP) pro urychlení přenosu je připojen na vstup (218) přenosu třetího centrálního procesorového obvodu (CP03), dále na vstup (91) pro nastavení do logické jedničky pátého klopného obvodu (KJK5) typu J-K a přes sedmý invertor (IN7) na vstup (93) pro nastavení do logické nuly pátého klopného obvodu (KJK5) typu J-K, třetí výstup (733) přenosu obvodu (OUP) pro urychlení přenosu je připojen na vstup (268) přenosu čtvrtého centrálního procesorového obvodu (CP04), čtvrtý výstup (734) přenosu obvodu (OUP) pro urychlení přenosu je připojen na vstup (318) přenosu pátého centrálního procesorového obvodu (CP05), dále na vstup (86) pro nastavení do logické jedničky čtvrtého klopného obvodu (KJK4) typu J-K a přes šestý invertor (IN6) na vstup (88) pro nastavení do logické nuly čtvrtého klopného obvodu (KJK4) typu J-K, pátý výstup (735) přenosu obvodu (OUP) pro urychlení přenosu je připojen na vstup (368) přenosu šestého centrálního procesorového obvodu (CP06), šestý výstup (736) přenosu obvodu (OUP) pro urychlení přenosu je připojen na vstup (418) přenosu sedmého centrálního procesorového obvodu (CP07), dále na vstup (81) pro nastavení do logické jedničky třetího klopného obvodu (KJK3) typu J-K a přes pátý invertor (IN5) na vstup (83) pro nastavení do logické nuly třetího klopného obvodu (KJK3) typu J-K, sedmý výstup (737) přenosu obvodu (OUP) pro urychlení přenosu je připojen na vstup (468) přenosu osmého centrálního procesorového obvodu (CP08), výstup osmivstupového obvodu (NO) typu negace logického součinu je připojen na vstup (720) pro vybavení výstupu přenosu obvodu (OUP) pro urychlení přenosu, zemnicí vstup (719) obvodu (OUP) pro urychlení přenosu je připojen na vstupní svorku (61) nulového potenciálu a jeho napájecí vstup (718) je připojen na vstupní svorku (62) kladného napětí, výstup (531) prvního multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru (ČMP1) je připojen na první vstup (116) konstant a maskovacích bitů prvního centrálního procesorového obvodu (CP01), výstup (532) druhého multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru (ČMP1) je při-

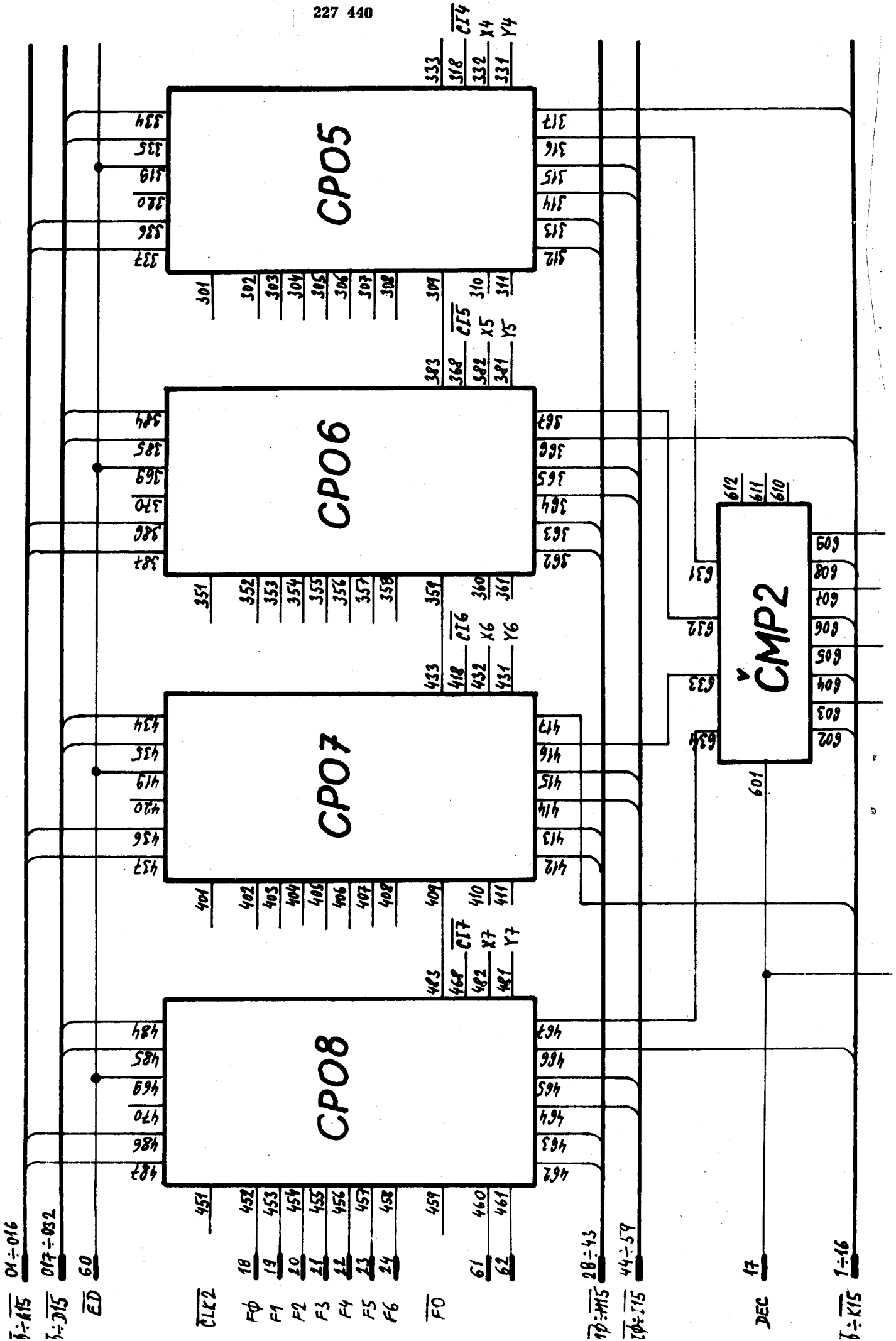
pojen na druhý vstup (167) konstant a maskovacích bitů druhého centrálního procesorového obvodu (CPO2), výstup (533) třetího multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru (ČMP1) je připojen na první vstup (216) konstant a maskovacích bitů třetího centrálního procesorového obvodu (CPO3), výstup (534) čtvrtého multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru (ČMP1) je připojen na druhý vstup (267) konstant a maskovacích bitů čtvrtého centrálního procesorového obvodu (CPO4), výstup (631) prvního multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru (ČMP2) je připojen na první vstup (316) konstant a maskovacích bitů pátého centrálního procesorového obvodu (CPO5), výstup (632) druhého multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru (ČMP2) je připojen na druhý vstup (367) konstant a maskovacích bitů šestého centrálního procesorového obvodu (CPO6), výstup (633) třetího multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru (ČMP2) je připojen na první vstup (416) konstant a maskovacích bitů sedmého centrálního procesorového obvodu (CPO7), výstup (634) čtvrtého multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru (ČMP2) je připojen na druhý vstup (467) konstant a maskovacích bitů osmého centrálního procesorového obvodu (CPO8), vstupy (512,612) pro řízení výstupů multiplexorů prvního a druhého čtyřnásobného dvouvstupového multiplexoru (ČMP1,ČMP2) jsou připojeny na vstupní svorku (61) nulového potenciálu, zemnicí vstupy (511,611) prvního a druhého čtyřnásobného dvouvstupového multiplexoru (ČMP1,ČMP2) jsou připojeny na vstupní svorku (61) nulového potenciálu a jejich napájecí vstupy (510,610) jsou připojeny na vstupní svorku (62) kladného napětí, výstup prvního dvouvstupového obvodu (ND1) typu negace logického součinu je připojen na nulovací vstup (74) prvního klopného obvodu (KJK1) typu J-K, jehož vstup (73) pro nastavení do logické nuly je připojen na vstupní svorku (61) nulového potenciálu, výstup druhého dvouvstupového obvodu (ND2) typu negace logického součinu je připojen na nastavovací vstupy (79, 84, 89, 94) druhého až pátého klopného obvodu (KJK2 až KJK5) typu J-K, jedničkový výstup (076) druhého klopného obvodu (KJK2) typu J-K je připojen na první a druhý vstup prvního třívstupového obvodu (NT1) typu negace logického součinu a na první vstup třetího třívstupového obvodu (NT3) typu negace logického součinu, jehož výstup je připojen na třetí vstup druhého třívstupového obvodu (NT2) typu negace logického součinu, výstup první-

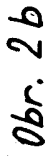
ho dvouvstupového obvodu (NT1) typu negace logického součinu je připojen na první a druhý vstup druhého dvouvstupového obvodu (NT2) typu negace logického součinu, jehož výstup je připojen na druhý vstup (605) třetího multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru (ČMP2), na druhý vstup (603) čtvrtého multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru (ČMP2) a přes první invertor (IN1) na vstup (71) pro nastavení do logické jedničky prvního klopného obvodu (KJK1) typu J-K, jedničkový výstup (081) třetího klopného obvodu (KJK3) typu J-K je připojen na první a druhý vstup čtvrtého třívstupového obvodu (NT4) typu negace logického součinu a na první vstup šestého třívstupového obvodu (NT6) typu negace logického součinu, jehož výstup je připojen na třetí vstup pátého třívstupového obvodu (NT5) typu negace logického součinu, výstup čtvrtého třívstupového obvodu (NT4) typu negace logického součinu je připojen na první a druhý vstup pátého třívstupového obvodu (NT5) typu negace logického součinu, jehož výstup je připojen na druhý vstup (609) prvního multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru (ČMP2) a na druhý vstup (607) druhého multiplexoru druhého čtyřnásobného dvouvstupového multiplexoru (ČMP2), jedničkový výstup (086) čtvrtého klopného obvodu (KJK4) typu J-K je připojen na první a druhý vstup sedmého třívstupového obvodu (NT7) typu negace logického součinu a na první vstup devátého třívstupového obvodu (NT9) typu negace logického součinu, jehož výstup je připojen na třetí vstup osmého třívstupového obvodu (NT8) typu negace logického součinu, výstup sedmého třívstupového obvodu (NT7) typu negace logického součinu je připojen na první a druhý vstup osmého třívstupového obvodu (NT8) typu negace logického součinu, jehož výstup je připojen na druhý vstup (505) třetího multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru (ČMP1) a na druhý vstup (503) čtvrtého multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru (ČMP1), jedničkový výstup (091) pátého klopného obvodu (KJK5) typu J-K je připojen na první a druhý vstup desátého třívstupového obvodu (NT10) typu negace logického součinu a na první vstup dvanáctého třívstupového obvodu (NT12) typu negace logického součinu, jehož výstup je připojen na třetí vstup jedenáctého třívstupového obvodu (NT11) typu negace logického součinu, výstup desátého třívstupového obvodu (NT10) typu negace logického součinu je připojen na první a druhý vstup jedenáctého třívstupového obvodu

(NT11) typu negace logického součinu, jehož výstup je připojen na druhý vstup (509) prvního multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru (ČMP1) a na druhý vstup (507) druhého multiplexoru prvního čtyřnásobného dvouvstupového multiplexoru (ČMP1).

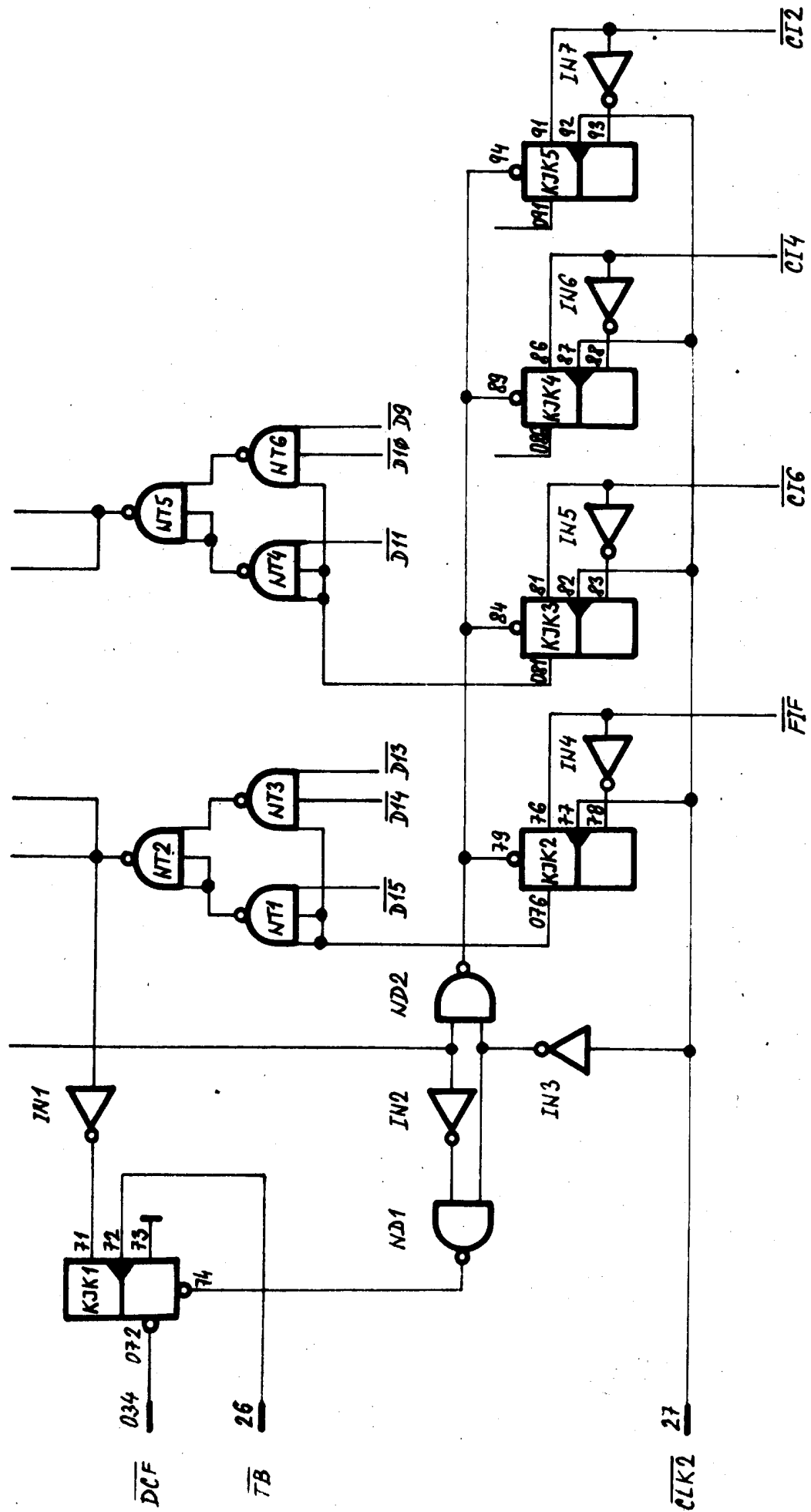


Obr. 1





Obr. 2b



Obr. 2c

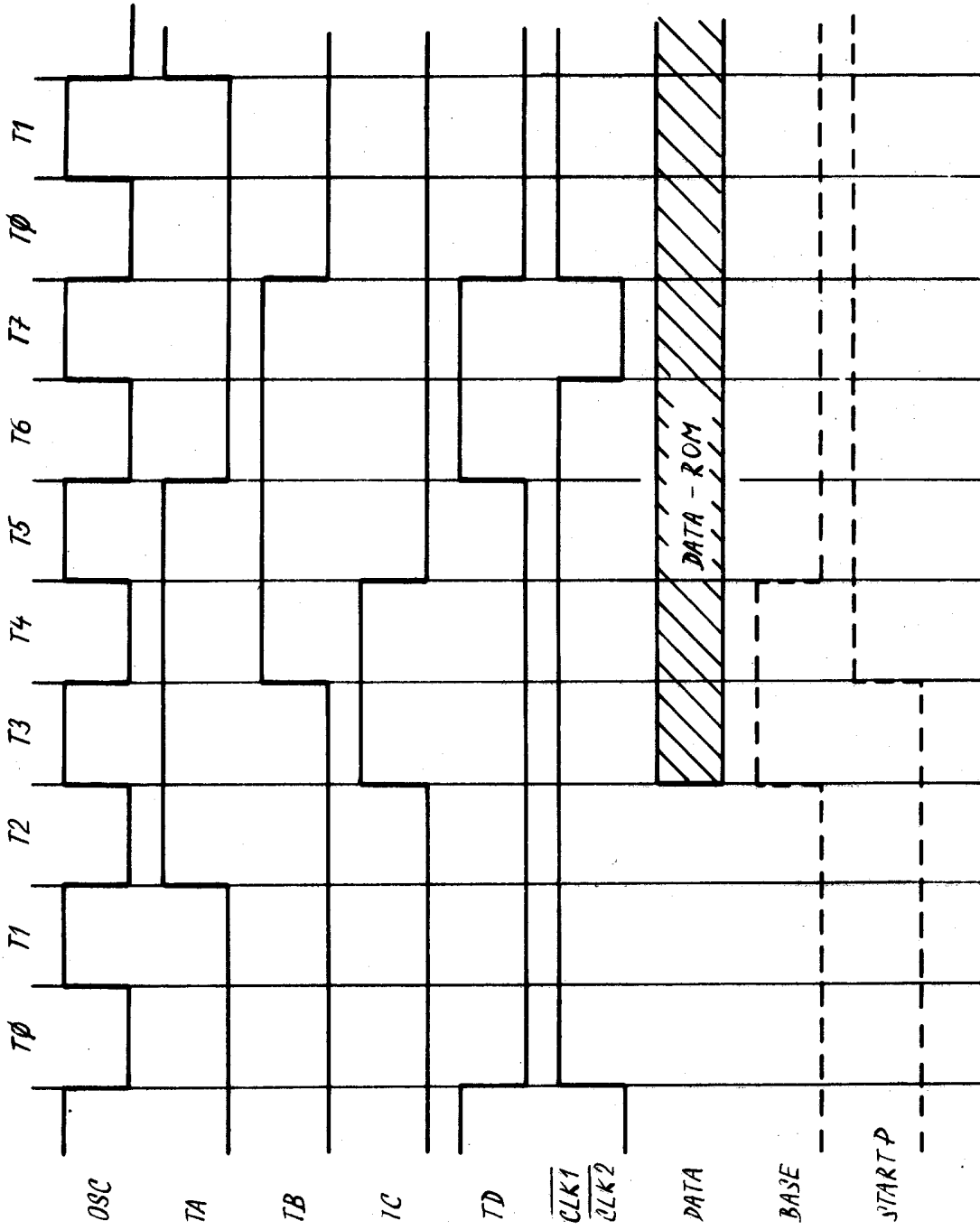
[illegible]

CS	IHP	STAV
0	0	DMO
0	1	DMI
1	0	CSDMO
1	1	CSDMI

P2	P1	P0	FUNCTION
0	0	0	FI $\rightarrow$ FI
0	0	1	DC $\rightarrow$ FI
0	1	0	IOF $\rightarrow$ FI
0	1	1	PRER $\rightarrow$ FI
1	0	0	DMAF $\rightarrow$ FI
1	0	1	RPD1 $\rightarrow$ FI
1	1	0	RPD2 $\rightarrow$ FI
1	1	1	M10 $\rightarrow$ FI

Z/C	START	FUNKCE
0	0	X
0	1	WTM
1	0	HOP
1	1	RDM

M11-14	SETPX	FUNKCE
0	0	NOP PX
0	1	M7-10 → PX
1	0	X
1	1	M11-14 → PX



obr. 4