

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年5月6日(06.05.2010)

PCT

(10) 国際公開番号
WO 2010/050440 A1

- (51) 国際特許分類:
H03K 19/173 (2006.01) H03K 19/177 (2006.01)
H01L 21/82 (2006.01)
- (21) 国際出願番号: PCT/JP2009/068347
- (22) 国際出願日: 2009年10月26日(26.10.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-279573 2008年10月30日(30.10.2008) JP
- (71) 出願人 (米国を除く全ての指定国について): 独立行政法人産業技術総合研究所(NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND TECHNOLOGY) [JP/JP]; 〒1008921 東京都千代田区霞が関1丁目3番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 日置 雅和 (HIOKI Masakazu) [JP/JP]; 〒3058568 茨城県つくば市梅園1-1-1 中央第2 独立行政法人産業技術総合研究所内 Ibaraki (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

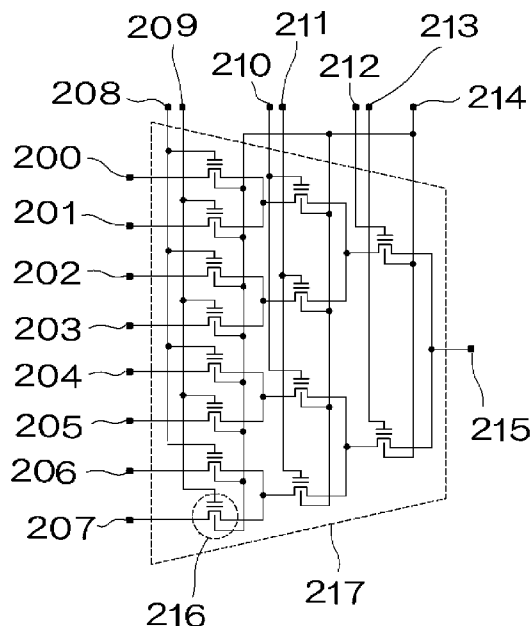
— 国際調査報告 (条約第21条(3))

[続葉有]

(54) Title: RECONFIGURABLE INTEGRATED CIRCUIT

(54) 発明の名称: 再構成可能集積回路

[図3]



(57) Abstract: Provided is a reconfigurable integrated circuit having a plurality of programmable wiring switches formed by nonvolatile storage elements for setting a wiring state between basic tiles of a basic circuit element. The reconfigurable integrated circuit includes a plurality of nonvolatile storage elements constituting a multiplexer type programmable wiring switch having a plurality of input terminals and output terminals. A nonvolatile storage element of the field effect transistor structure having a switch function is arranged on a propagation path of a signal voltage from the input terminals to the output terminals. A control circuit is arranged to constitute a multiplexer type programmable wiring switch for the nonvolatile storage element to selectively transmit the signal voltage from the input terminals to the output terminals. The control circuit directly performs a write-in operation for storing line connection information to set a conductive state or a nonconductive state for the nonvolatile storage element, a delete operation for deleting the line connection information, and a read-out operation for confirming the conductive state or the nonconductive state for the nonvolatile storage element.

(57) 要約:

[続葉有]



基本の回路要素の基本タイルの間の配線状態を設定する複数のプログラマブル配線スイッチが不揮発性記憶素子で構成される再構成可能集積回路を提供する。再構成可能集積回路は、複数の入力端子と出力端子を備えるマルチプレクサ型のプログラマブル配線スイッチを構成する複数の不揮発性記憶素子を備える。入力端子から出力端子への信号電圧の伝搬経路にスイッチ機能を有する電界効果トランジスタ構造の不揮発性記憶素子が配置されており、不揮発性記憶素子が入力端子からの信号電圧を選択的に出力端子に伝搬するマルチプレクサ型のプログラマブル配線スイッチを構成するため、不揮発性記憶素子に対して導通状態もしくは非導通状態とする結線情報を記憶する書き込み動作、結線情報を消去する消去動作と、不揮発性記憶素子の導通状態もしくは非導通状態を確認する読み出し動作を直接行う制御回路を備える。

明 細 書

発明の名称：再構成可能集積回路

技術分野

[0001] 本発明は、半導体集積回路により構成される再構成可能集積回路に関し、特に、基本の回路要素の基本タイルの間の配線状態を設定する複数のプログラマブル配線スイッチが不揮発性記憶素子で構成される再構成可能集積回路に関する。

背景技術

[0002] 自在に回路構成を変更できるFPGA（Filed Programmable Gate Array）に代表される再構成可能集積回路は、デバイスに内蔵された記憶素子に回路構成情報を記憶することによって、ルーティング配線の結線状態やロジックブロックにおける論理機能、ルーティング配線とロジックブロックの相互接続状態を自由かつ柔軟に変更することが可能なデバイスである。ユーザは、デバイス内部の記憶素子に外部から回路構成情報を書き込むことによって、所望の規模、所望の機能を有する論理回路を構成することができる。

[0003] 再構成可能集積回路における柔軟な再構成機能を実現するため、再構成可能集積回路においては、複数の基本回路ブロックおよび当該基本回路ブロックの間の結線状態を制御する複数の配線スイッチブロックに複数のプログラマブル配線スイッチが実装される。

[0004] プログラマブル配線スイッチは、スイッチ機能の電界効果トランジスタ（スイッチFET）と、スイッチFETの導通状態もしくは非導通状態を記憶するための記憶素子から構成されている。

[0005] ルーティング配線同士もしくはルーティング配線とロジックブロックとの配線を、プログラマブル配線スイッチを介して接続することによって、ルーティング配線同士もしくはルーティング配線とロジックブロックの接続もしくは非接続を、プログラマブル配線スイッチに内蔵される記憶素子の記憶状

態で決定することができる。

[0006] プログラマブル配線スイッチは、複数の入力端子と1つの出力端子を有し、この複数の入力への信号電圧を選択的に出力することが可能なマルチプレクサ回路を構成する複数のスイッチFETと、このマルチプレクサ回路を構成するスイッチFETの導通状態もしくは非導通状態を記憶するための複数の記憶素子とを有する。この記憶素子としてはSRAM (Static Random Access Memory) が用いられる。

[0007] このようなプログラマブル配線スイッチについては、FPGAのコンフィギュレーション情報の盗聴防止や、プログラマブル配線スイッチ、特に記憶素子の消費電力低減を目的として、特許文献1, 2, 3, 4, 5, 6に示されるように、情報記憶素子としては、不揮発性記憶素子を用いたプログラマブル配線スイッチが提案されている。

[0008] 例えば、特許文献1または特許文献2に記載の不揮発性記憶素子が設けられているプログラマブル配線スイッチでは、スイッチFETと、電子をトンネリングする機能かつフローティングゲート蓄積電荷量を確認する機能を有する素子が、フローティングゲートを共有し、2つのFETが一つの基本素子を構成しているものが用いられる。

[0009] また、特許文献3, 特許文献4, 特許文献5, または特許文献6に記載の不揮発性記憶素子が設けられているプログラマブル配線スイッチでは、スイッチFETと、電子をトンネリングする機能を有する素子と、フローティングゲート蓄積電荷量を確認する機能を有する素子が、フローティングゲートを共有し、3つのFETが一つの基本素子を構成しているものが用いられる。

先行技術文献

特許文献

[0010] 特許文献1：米国特許第5838040号明細書

特許文献2：米国特許第5633518号明細書

特許文献3：米国特許第5773862号明細書

特許文献4：米国特許第5894148号明細書

特許文献5：米国特許第5764096号明細書

特許文献6：米国特許第6252273号明細書

発明の概要

発明が解決しようとする課題

- [0011] 特許文献1または特許文献2に記載の不揮発性記憶素子が設けられているプログラマブル配線スイッチにおいては、2つのFETが一つの基本素子を構成しているので、スイッチ面積が増加するという問題点がある。
- [0012] また、特許文献3、特許文献4、特許文献5、または特許文献6に記載の不揮発性記憶素子が設けられているプログラマブル配線スイッチにおいては、3つのFETが一つの基本素子を構成しているので、スイッチ面積が増加するという問題点がある。
- [0013] さらに、特許文献1、特許文献2、特許文献3、特許文献4、特許文献5、特許文献6に記載されている不揮発性記憶素子を有するプログラマブル配線スイッチは、マルチプレクサ型のプログラマブル配線スイッチに対応していないという問題点がある。マルチプレクサ型のプログラマブル配線スイッチは、FPGAで現在主流となっている。
- [0014] 本発明は、上記のような問題を解決するためになされたものであり、本発明の目的は、基本の回路要素の基本タイルの間の配線状態を設定する複数のプログラマブル配線スイッチが不揮発性記憶素子で構成される再構成可能集積回路を提供することにある。

課題を解決するための手段

- [0015] 上記のような目的を達成するため、本発明による再構成可能集積回路は、基本的な構成として、複数の入力端子と出力端子を備えるマルチプレクサ型のプログラマブル配線スイッチを構成する複数の不揮発性記憶素子を備えた再構成可能集積回路であって、前記入力端子から前記出力端子への信号電圧の伝搬経路にスイッチ機能を有する電界効果トランジスタ構造の不揮発性記憶素子が配置されており、前記不揮発性記憶素子が前記入力端子からの信号

電圧を選択的に出力端子に伝搬するマルチプレクサ型のプログラマブル配線スイッチを構成し、前記不揮発性記憶素子に対して導通状態もしくは非導通状態とする結線情報を記憶するための制御信号線を備える。

[0016] 本発明の再構成可能集積回路においては、マルチプレクサ型のプログラマブル配線スイッチを構成する複数段の不揮発性記憶素子に対して、導通状態もしくは非導通状態とする結線情報を記憶する書き込み動作、結線情報を消去する消去動作と、不揮発性記憶素子の導通状態もしくは非導通状態を確認する読み出し動作を直接行う制御回路を備える。

[0017] また、本発明による再構成可能集積回路は、一つの態様として、基本の回路要素である基本タイルの複数個がアレイ状に配置された構造であり、前記基本タイルの間を結線するルーティング配線、前記ルーティング配線の間を結線するスイッチマトリックス、前記スイッチマトリックスに接続された機能ブロックから前記基本タイルが構成されている再構成可能集積回路において、前記スイッチマトリックスにスイッチ機能を有する複数段の電界効果トランジスタ構造の不揮発性記憶素子から構成されるマルチプレクサ型のプログラマブル配線スイッチを備え、前記マルチプレクサ型のプログラマブル配線スイッチを構成する各段の不揮発性記憶素子に対して導通状態もしくは非導通状態とする結線情報を記憶する書き込み動作、前記結線情報を読み出す確認読み出し動作、および前記結線情報を消去する消去動作のための制御信号線および制御回路を備える。

[0018] また、本発明による再構成可能集積回路は、別の態様として、基本の回路要素である基本タイルの複数個がアレイ状に配置された構造であり、前記基本タイルの間を結線するルーティング配線、前記ルーティング配線の間を結線するスイッチマトリックス、前記スイッチマトリックスに接続された機能ブロックから前記基本タイルが構成されている再構成可能集積回路において、前記機能ブロックにスイッチ機能を有する複数段の電界効果トランジスタ構造の不揮発性記憶素子から構成されるマルチプレクサ型のプログラマブル配線スイッチを備え、前記マルチプレクサ型のプログラマブル配線スイッチ

を構成する不揮発性記憶素子に対して導通状態もしくは非導通状態とする結線情報を記憶する書き込み動作、前記結線情報を読み出す確認読み出し動作、および前記結線情報を消去する消去動作のための制御信号線および制御回路を備える。

- [0019] この場合に、本発明の再構成可能集積回路において、消去動作を行う場合には、プログラマブル配線スイッチを構成するすべての不揮発性記憶素子を選択し、不揮発性記憶素子に対して一括して消去動作を行う。

発明の効果

- [0020] 従来の不揮発性記憶素子を備えたプログラマブル配線スイッチが、スイッチFET、確認読み出し用FETと、書き込み動作、消去動作用デバイスの3種類、もしくは、スイッチFETと書き込み動作、消去動作かつ確認読み出し用FETの2種類のFETが必要であったのに対して、本発明によるプログラマブル配線スイッチでは、スイッチFET、書き込み動作、消去動作、確認読み出し動作のすべての機能を一つの電界効果トランジスタ構造の不揮発性記憶素子で行うことができるので、プログラマブル配線スイッチの面積を小さくすることができる。

- [0021] 本発明によるマルチプレクサ型のプログラマブル配線スイッチを構成する不揮発性記憶素子を備えた再構成可能集積回路は、プログラマブル配線スイッチを構成する不揮発性記憶素子に対して直接的に消去動作、書き込み動作、確認読み出し動作を行うことが可能であり、それと同時に、不揮発性記憶素子は、プログラマブル配線スイッチとしての機能を有しているので、従来の不揮発性記憶装置を有する再構成可能集積回路と比べて専有面積を小さくすることができる。

図面の簡単な説明

- [0022] [図1]本発明による再構成可能集積回路を構成する基本の回路要素である基本タイルの構造を説明する図である。

[図2]本発明による再構成可能集積回路の全体の構成を説明する図である。

[図3]本発明の再構成可能集積回路のマルチプレクサ型のプログラマブル配線

スイッチの構成を説明する図である。

[図4]本発明の再構成可能集積回路で用いられるプログラマブル配線スイッチを構成する不揮発性記憶素子のドレイン電流－制御ゲート電圧特性を説明する図である。

[図5]本発明の再構成可能集積回路におけるプログラマブル配線スイッチのスイッチマトリックスへの適用例を説明する図である。

発明を実施するための最良の形態

[0023] 以下、本発明を実施する一形態について、図面を参照して説明する。図1は、本発明による再構成可能集積回路を構成する基本の回路要素である基本タイルの構造を説明する図である。基本タイル100は、機能ブロック101、スイッチマトリックス102、ルーティング配線103、およびプログラマブル配線スイッチを構成する不揮発性記憶素子のための制御信号線105から構成される。機能ブロック101は、論理機能を外部から書き換え可能なロジックブロックを用いたロジックブロックまたはI/Oブロックとして構成される。プログラマブル配線スイッチを構成する不揮発性記憶素子はスイッチマトリックス102に内蔵されるが、機能ブロック101の一部にプログラマブル配線スイッチが内蔵されるような構成とされても良い。

[0024] スwitchマトリックス102には、複数のプログラマブル配線スイッチが内蔵される。機能ブロック101とスイッチマトリックス102とは、図示されていないが配線で相互に接続されている。スイッチマトリックス102の内部のプログラマブル配線スイッチの導通状態もしくは非導通状態により、電圧信号をルーティング配線103の間で伝搬させたり、ルーティング配線103から機能ブロック101へ伝搬させたり、機能ブロック101で処理した電圧信号をルーティング配線103へ伝搬させたりする。

[0025] スwitchマトリックス102および機能ブロック101に内蔵されているプログラマブル配線スイッチを構成する複数の不揮発性記憶素子は、この不揮発性記憶素子の導通状態もしくは非導通状態を設定するため、制御信号線105によって書き込み、消去、確認読み出し動作が行われる。

- [0026] 図2は、本発明による再構成可能集積回路の全体の構成を説明する図である。本発明の再構成可能集積回路は、基本タイル100をアレイ状に配置した構造である。不揮発性記憶素子を制御するための制御信号線105は、制御回路104に接続される。
- [0027] 制御回路104は、プログラマブル配線スイッチを構成する不揮発性記憶素子の導通状態もしくは非導通状態を設定するための書き込み回路、消去回路、確認読み出し回路を備えている。制御回路104は、典型的には、従来から公知の不揮発性記憶装置を構成する不揮発性記憶素子に対する書き込みおよび読み出しを制御する制御回路を用いる。このような制御回路の構成は公知であり、ここでの詳細な説明は省略する。
- [0028] 制御回路104は、再構成可能集積回路の全体の不揮発性記憶素子を制御するように構成される。または、所定の数の基本タイルの区画に対して、複数の不揮発性記憶素子の集合を形成し、その複数の不揮発性記憶素子の集合に対して、その不揮発性記憶素子の集合のそれぞれに対して制御回路を設け、それぞれの集合を個別に制御するように構成されても良い。
- [0029] 図3は、本発明の再構成可能集積回路のマルチプレクサ型のプログラマブル配線スイッチの構成を説明する図であり、図4は、本発明の再構成可能集積回路で用いられるプログラマブル配線スイッチを構成する不揮発性記憶素子のドレイン電流－制御ゲート電圧特性を説明する図である。これらの図を参照して説明する。
- [0030] 図3に示すように、プログラマブル配線スイッチ217は、複数の不揮発性記憶素子216がマルチプレクサ型のスイッチング回路を構成するように配置されたスイッチ構造となっている。プログラマブル配線スイッチを構成する個々の不揮発性記憶素子216としては、フラッシュメモリセルタイプの不揮発性記憶素子を用いる。このフラッシュメモリセルタイプの不揮発性記憶素子は、フローティングゲート構造を有しており、フローティングゲートに対して、もしくはフローティングゲートから電子をトンネリングすることにより、図4に示すように、フローティングゲートに蓄積された電荷量に

対応した正のしきい値電圧 $+V_t$ と負のしきい値電圧 $-V_t$ の状態となっており、導通状態もしくは非導通状態が制御されるものである。このような特性については、フラッシュメモリセルタイプの不揮発性記憶素子として周知である。

[0031] ここでのマルチプレクサ型のプログラマブル配線スイッチ217を構成する不揮発性記憶素子216は、正のしきい値電圧と負のしきい値電圧を、制御端子によって選択的に書き込み可能である不揮発性記憶素子であれば、いずれのタイプのトランジスタ構造でも利用できる。

[0032] マルチプレクサ型のプログラマブル配線スイッチ217は、複数の信号入力端子200-207と、1つの信号出力端子215と、複数の不揮発性記憶素子216と、複数の不揮発性記憶素子216の導通状態または非導通状態を制御するための制御信号を入力する制御端子208-214とを有しており、複数の不揮発性記憶素子216が入力端子から出力端子の方向に多段に接続された構造となっているスイッチである。

[0033] プログラマブル配線スイッチ217では、複数の信号入力端子200-207に入力される電圧信号の1つが選択されて1つの信号出力端子215に出力される信号の伝搬経路をスイッチング機能により形成する。この選択される信号の伝搬経路は、各スイッチ機能の要素の不揮発性記憶素子216に記憶される回路情報により設定される。

[0034] プログラマブル配線スイッチ217においては、信号入力端子200-207から信号出力端子215への信号の伝搬経路にスイッチ機能の不揮発性記憶素子216を複数段の二分木構造で配置する。各段において、二つの制御端子(208-209, 210-211, 212-213)を設け、一つの制御端子に、各段のそれぞれの子の一方の不揮発性記憶素子216の制御ゲートを共通に接続する。残りの不揮発性記憶素子216の制御ゲートを共通としてもう一方の制御端子に接続する。

[0035] また、すべての不揮発性記憶素子216の基板領域(しきい値制御端子)は制御端子214に共通に接続される。不揮発性記憶素子216の制御ゲート

トに接続される制御端子 208-213 に適切な制御信号を入力することにより、信号経路に配置した不揮発性記憶素子の導通状態もしくは非導通状態が設定され、信号入力端子 200-207 からのいずれかの入力信号が、選択的に信号出力端子 215 へ出力されるように配線経路が設定される。この配線経路の設定は、各不揮発性記憶素子 216 に記憶された記憶情報により設定される。

[0036] 次に、具体的な不揮発性記憶素子 216 に配線経路を設定する記憶情報を記憶する動作について、消去動作、書き込み動作、確認読み出し動作、プログラマブル配線動作の順に説明する。まず、消去動作を行い、消去動作を行ってから書き込み動作を行い、書き込まれた内容は確認読み出し動作により読み出しする。

[0037] 消去動作について説明する。消去動作では、信号入力端子 200-207 と信号出力端子 215 をフローティングとし、制御端子 208-213 は 0V とする。制御端子 214 に正の高電圧である消去電圧 $+V_{era}$ を印加することによって、すべての不揮発性記憶素子 216 のフローティングゲートから基板へ電子がトンネルし、すべての不揮発性記憶素子 216 のしきい値電圧は負のしきい値電圧 $-V_t$ となる。これにより、消去動作が完了する。

[0038] 次に、書き込み動作について説明する。書き込み動作は、消去動作が行われた後に行われる。書き込み動作は、二分木構造を構成している不揮発性記憶素子 216 の各段で順次に行われる。各段はそれぞれ二つの制御端子を設けているので、各段の各制御端子に接続されている複数の不揮発性記憶素子 216 ごとに書き込み動作を行う。ある段において、一方の制御端子 (208 または 209) に接続される複数の不揮発性記憶素子 216 に、しきい値電圧を負の電圧 $-V_t$ として書き込んだ場合、もう一方の制御端子 (209 または 208) に接続する複数の不揮発性記憶素子 216 には、しきい値電圧を正のしきい値電圧 $+V_t$ となるように書き込む。この動作を、信号入力端子 200-207 に近い側の段から出力信号端子 215 の方向へ順番に行う。

- [0039] 具体的に説明する。信号入力端子200-207はフローティングとする。制御端子214は0Vとする。書き込み選択段の書き込み対象となっている選択された不揮発性記憶素子216の制御ゲートが共通して接続する制御端子(208または209)は、正の高電圧である書き込み電圧 $+V_{pgm}$ を印加し、書き込み選択段の書き込み対象となっていない非選択の不揮発性記憶素子216の制御ゲートが共通して接続する制御端子(209または208)は0Vを印加する。書き込み非選択段のすべての不揮発性記憶素子216の制御ゲートが共通して接続する制御端子(210-213)については正の電圧 $+V_{pass}$ を印加する。
- [0040] 書き込み選択段の書き込み対象となっている選択された不揮発性記憶素子216に正のしきい値電圧 $+V_t$ を書き込む場合、信号出力端子215を0Vとする。制御端子(210-213)は正の電圧 $+V_{pass}$ を印加しているので、信号出力端子215に印加した0Vが書き込み非選択段の不揮発性記憶素子216を経由して書き込み選択段の書き込み選択不揮発性記憶素子216まで転送される。これにより、書き込み選択段の書き込み対象となっている選択された不揮発性記憶素子216の基板からフローティングゲートへ電子がトンネルし、その結果、書き込み選択段の書き込み対象となっている選択された不揮発性記憶素子216のしきい値電圧は正の電圧 $+V_t$ となる。
- [0041] 書き込み選択段の書き込み対象となっている選択された不揮発性記憶素子216に負のしきい値電圧 $-V_t$ を書き込む場合には、信号出力端子215を書き込み禁止電圧 $+V_{ihit}$ を印加する。この信号出力端子215に印加した $+V_{ihit}$ は、書き込み非選択段の不揮発性記憶素子216を経由して書き込み選択段の書き込み選択不揮発性記憶素子216まで転送される。これにより、書き込み選択段の書き込み対象となっている選択された不揮発性記憶素子216の基板からフローティングゲートへの電子のトンネルを抑制し、その結果、書き込み選択段の書き込み対象となっている選択された不揮発性記憶素子216のしきい値電圧は負の電圧 $-V_t$ を維持する。

- [0042] この場合において、書き込み非選択段のすべての不揮発性記憶素子 216 の制御ゲートに共通して接続する制御端子 (210-213) に印加する正の電圧 +V_{pass} は、信号出力端子 215 に印加する書き込み禁止電圧 +V_{ih} を、書き込み選択段の書き込み対象となっている選択された不揮発性記憶素子 216 に対して、電圧が減衰することなく転送できるだけの十分な電圧値であり、かつ正のしきい値電圧 +V_t を有する不揮発性記憶素子 216 が十分に導通状態となる電圧である。
- [0043] 次に、確認読み出し動作について説明する。確認読み出し動作の場合には、読み出し選択段のすべての不揮発性記憶素子 216 に接続されている二つの制御端子を 0V とする。制御端子 214 は 0V とする。読み出し非選択段のすべての不揮発性記憶素子 216 の制御ゲートが共通して接続する制御端子は正の電圧 +V_{pass} を印加する。信号出力端子 215 には読み出し電圧 +V_{read} を印加する。読み出し選択段の読み出し対象となっている選択された不揮発性記憶素子 216 が電氣的に導通している信号入力端子の一つを 0V とし、それ以外の信号入力端子をフローティングとする。
- [0044] この状態で、読み出し選択段の読み出し対象となっている選択された不揮発性記憶素子 216 の導通状態、もしくは非導通状態を判断し、読み出し選択段の読み出し対象となっている選択された不揮発性記憶素子 216 に所望のしきい値電圧 (+V_t または -V_t) が書き込まれたかどうかを、プログラマブル配線スイッチ 217 を構成するすべての不揮発性記憶素子 216 に対して確認する。読み出し選択段の読み出し対象となっている選択された不揮発性記憶素子 216 に電氣的に導通する信号入力端子が複数ある場合は、そのすべてを 0V としてもよいし、そのいずれか一つだけを 0V としてもよい。
- [0045] 次に、プログラマブル配線スイッチの動作について説明する。プログラマブル配線スイッチは、当該プログラマブル配線スイッチを構成している不揮発性記憶素子に記憶されている記憶状態にしたがって縦方向および横方向のルーティング配線の間で、電気信号を伝搬させる伝搬経路を形成する。動作

において、まず、制御端子 208-214 を 0V とする。この状態で、入力信号端子 200-207 から信号を入力する。二分木構造のプログラマブル配線スイッチ 217 において、ある段においては一方の不揮発性記憶素子 216 は正のしきい値電圧 $+V_t$ を有し、もう一方の不揮発性記憶素子 216 は負のしきい値電圧を有するので、どちらか一方が導通状態であり、もう一方は非導通状態となっている。これによって、信号入力端子 200-207 のいずれか一つからの電圧信号が信号出力端子 215 へ伝搬する信号の伝搬経路が形成され、入力信号が信号出力端子 215 へ出力される。

[0046] 図 5 は、本発明の再構成可能集積回路におけるプログラマブル配線スイッチ 217 のスイッチマトリックス 102 への適用例を説明する図である。

[0047] 図 5 を参照すると、ルーティング配線 326 とルーティング配線 327 と間で信号伝搬の機能を提供するスイッチマトリックス 102 は、図 3 により説明したようなマルチプレクサ型のプログラマブル配線スイッチ 300-303 が設けられ、これらのプログラマブル配線スイッチ 300-303 を制御するための制御信号線 316-323 が設けられている。この制御に関係して、スイッチ電界効果トランジスタ 304-307, 312-315、マルチプレクサ回路 308-310 が設けられている。

[0048] プログラマブル配線スイッチ 300 およびプログラマブル配線スイッチ 301 の制御端子は、制御信号線 316 に共通に接続されると共に、プログラマブル配線スイッチ 300 およびプログラマブル配線スイッチ 301 の信号入力端子は、制御信号線 322 により制御されるルーティング配線 327 からの信号線が共通にスイッチ電界効果トランジスタ 312, 313 を介して接続されている。

[0049] また、プログラマブル配線スイッチ 302 およびプログラマブル配線スイッチ 303 の制御端子は、制御信号線 317 に共通に接続されると共に、プログラマブル配線スイッチ 302 およびプログラマブル配線スイッチ 303 の信号入力端子は、制御信号線 323 により制御されるルーティング配線 326 からの信号線が共通にスイッチ電界効果トランジスタ 314, 315 を

介して接続されている。

- [0050] プログラマブル配線スイッチ 300-303 の信号入力端子にはそれぞれスイッチ電界効果トランジスタ（以下、スイッチ FET と略称する）312-315 が接続される。スイッチ FET 312 と 313 のそれぞれのゲートは制御信号線 322 に共通に接続され、スイッチ FET 314 と 315 のそれぞれのゲートは制御信号線 323 に共通に接続される。
- [0051] プログラマブル配線スイッチ 300 およびプログラマブル配線スイッチ 302 の信号出力端子にはスイッチ FET 304 と 306 がそれぞれ接続され、これらを介して制御信号線 324 に共通に接続される。プログラマブル配線スイッチ 301 およびプログラマブル配線スイッチ 303 の信号出力端子にはスイッチ FET 305 と 307 がそれぞれ接続され、これらを介して制御信号線 325 に共通に接続される。
- [0052] プログラマブル配線スイッチ 300 およびプログラマブル配線スイッチ 302 の信号出力端子は、マルチプレクサ回路 308 と 310 の入力端子の一方に、それぞれ接続される。プログラマブル配線スイッチ 301 およびプログラマブル配線スイッチ 303 の信号出力端子は、マルチプレクサ回路 309 と 311 の入力端子の一方に、それぞれ接続される。マルチプレクサ回路 308-311 の一方の入力端子は 0V に接地される。マルチプレクサ回路 308 と 309 の制御端子は制御信号線 320 に共通に接続され、制御信号線 320 からの信号によって、ルーティング配線 326 にプログラマブル配線スイッチ 300 およびプログラマブル配線スイッチ 301 からの出力信号か 0V を選択的に出力する。
- [0053] また、マルチプレクサ回路 310 と 311 は制御信号線 321 に共通に接続され、制御信号線 321 からの信号によって、ルーティング配線 327 にプログラマブル配線スイッチ 302 およびプログラマブル配線スイッチ 303 からの出力信号か 0V を選択的に出力する。
- [0054] 制御信号線 316-325 は、図 2 において説明した制御回路 104 と同様な制御回路に接続されており、消去動作、書き込み動作、確認読み出し動

作を行うために、プログラマブル配線スイッチ動作ごとに適切な信号をプログラマブル配線スイッチに伝搬する。

[0055] 次に、消去動作、書き込み動作、確認読み出し動作、プログラマブル配線スイッチ動作について説明する。

[0056] まず、消去動作について説明する。消去動作において、プログラマブル配線スイッチ300-303を構成する不揮発性記憶素子の制御ゲートに接続される制御端子316と317には0Vを印加する。制御端子322と323を0Vとすることにより、スイッチFET312-315を非導通状態とし、その結果、プログラマブル配線スイッチ300-303の信号入力端子をフローティングとする。

[0057] 制御信号線318と319には0Vを印加し、制御信号線320と321には、マルチプレクサ回路308-311が0Vを出力するように選択する信号を印加する。これにより、プログラマブル配線スイッチ300-303の信号出力端子をフローティングとする。この状態でプログラマブル配線スイッチ300-303を構成する不揮発性記憶素子の基板に接続されている制御信号線（図示せず）に正の高電圧である消去電圧+V_{era}を印加する。これにより、不揮発性記憶素子のフローティングゲートから基板へ電子をトンネルする。

[0058] 消去動作は、消去動作制御信号線を共通に接続するプログラマブル配線スイッチごとに行ってもよいし、チップ全体で一括して行ってもよい。

[0059] 次に書き込み動作について説明する。書き込みは、制御信号線316または317に共通に接続されている複数のプログラマブル配線スイッチ300-303ごとに行う。プログラマブル配線スイッチ300-303は、図3により説明したようなマルチプレクサ型のスイッチを構成するように不揮発性記憶素子が多段に配置されているので、各段の不揮発性記憶素子ごとに行う。

[0060] 書き込み動作では、制御信号線322と323に0Vを印加し、スイッチFET312-315を非導通状態とすることにより、プログラマブル配線

スイッチ 300-303 の信号入力端子をフローティングとする。

[0061] 制御信号線 320 と 321 には、マルチプレクサ回路 308-311 が 0V を出力するように選択する信号を印加する。これによって、ルーティング配線 326 と 327 はすべて 0V となる。書き込み対象となっている選択されたプログラマブル配線スイッチが、共通に接続される制御信号線、例えば制御信号線 316 には、図 3 で説明したように、それぞれに書き込み電圧 +V_{pgm} および +V_{pass} の電圧を印加すると共に、スイッチ FET 304 と 305 を導通状態とするような信号電圧を制御信号線 318 に印加し、制御信号線 324 と 325 には 0V または書き込み禁止電圧 +V_{ih} を印加することにより、プログラマブル配線スイッチ 300-301 の選択された不揮発性記憶素子に書き込み動作を行う。

[0062] 書き込み対象となっていない非選択のプログラマブル配線スイッチ 302-303 が共通に接続される制御信号線、例えば制御信号線 317 には 0V を印加すると共に、スイッチ FET 306 と 307 が非導通状態となるように制御信号線 319 に 0V を印加することにより、制御信号線 324 と 325 に印加した 0V もしくは書き込み禁止電圧 +V_{ih} が、書き込み対象となっていない非選択のプログラマブル配線スイッチ 302-303 の信号出力端子への伝搬を遮断し、書き込み対象となっていない非選択のプログラマブル配線スイッチ 302-303 の誤書き込みを防止する。

[0063] 次に、確認読み出し動作について説明する。読み出し動作においては、書き込み動作と同様に、制御信号線 316 および制御線 317 のそれぞれで共通に接続されている複数のプログラマブル配線スイッチごとに行う。読み出し動作において、制御信号線 320 と 321 には、マルチプレクサ回路 308-311 が 0V を出力するように選択する信号を印加する。これによって、ルーティング配線 326 と 327 はすべて 0V となる。

[0064] 確認読み出しのために選択されたプログラマブル配線スイッチに共通に接続される制御信号線、例えば、制御信号線 316 には、図 3 で説明したように、電圧 +V_{pass} または 0V の電圧を印加すると共に、スイッチ FET

304と305を導通状態とするような信号電圧を制御信号線318に印加し、制御信号線324と325に読み出し電圧+V_{read}を印加する。

[0065] 確認読み出しのために選択されたプログラマブル配線スイッチ内の、読み出しのために選択された不揮発性記憶素子に対応した読み出し対象となっている選択されたプログラマブル配線スイッチの信号入力端子を0Vにするため、スイッチFET312や313を順次導通状態となるように制御信号線322に適切な信号を入力する。読み出し対象となっていない非選択のプログラマブル配線スイッチが共通に接続される制御信号線、例えば、制御信号線317には0Vを印加すると共に、スイッチFET306と307が非導通状態となるように制御信号線319に0Vを印加する。これにより、制御信号線324と325には、印加した読み出し電圧+V_{read}が、読み出し対象となっていない非選択のプログラマブル配線スイッチ302と303の信号出力端子への伝搬を遮断し、読み出し非選択プログラマブル配線スイッチ302と303の誤読み出しを防止する。

[0066] 次に、プログラマブル配線スイッチの動作について説明する。プログラマブル配線スイッチを動作状態とするには、制御信号線316-319は0Vを印加する。プログラマブル配線スイッチ300-303内の不揮発性記憶素子に書き込んだ正のしきい値電圧+V_tと負のしきい値電圧-V_tに従って、複数の信号入力端子の一つから信号出力端子への信号伝搬経路が設定されるとともに、スイッチFET304-307を非導通状態とする。制御信号線324と325は0Vとする。

[0067] 制御信号線322と323は、スイッチFET312-315が導通状態となるような電圧を印加し、すべてのプログラマブル配線スイッチの信号入力端子をルーティング配線326と327に接続する。制御信号線320と321には、マルチプレクサ回路308-311が選択的に、プログラマブル配線スイッチ300-303からの出力信号を出力するような制御信号を入力する。

[0068] 本発明の再構成可能集積回路において、機能ブロック101の内部のプロ

グラマブル配線スイッチは、上述したようなスイッチマトリックスにおけるプログラマブル配線スイッチと同様の回路構成であるので、スイッチマトリックス 102 の場合と同様に動作させることにより、消去動作、書き込み動作、確認読み出し動作、プログラマブル配線スイッチ動作を機能ブロック 101 内部でも行うことができる。

符号の説明

- [0069] 100 再構成可能集積回路の基本構造
- 101 機能ブロック
- 102 スwitchマトリックス
- 103 ルーティング配線
- 104 制御回路
- 105 制御信号線
- 200－207 信号入力端子
- 208－214 制御信号線
- 215 信号出力端子
- 216 不揮発性記憶素子
- 217 プログラマブル配線スイッチ
- 300－303 プログラマブル配線スイッチ
- 304－307 スwitchFET
- 308－311 マルチプレクサ回路
- 312－315 スwitchFET
- 316－325 制御信号線
- 326、327 ルーティング配線

請求の範囲

[請求項1] 複数の入力端子と出力端子を備えるマルチプレクサ型のプログラマブル配線スイッチを構成する複数の不揮発性記憶素子を備えた再構成可能集積回路であって、

前記入力端子から前記出力端子への信号電圧の伝搬経路にスイッチ機能を有する電界効果トランジスタ構造の不揮発性記憶素子が配置されて、前記不揮発性記憶素子が前記入力端子からの信号電圧を選択的に出力端子に伝搬するマルチプレクサ型のプログラマブル配線スイッチを構成し、前記不揮発性記憶素子に対して導通状態もしくは非導通状態とする結線情報を記憶するための制御信号線を備えることを特徴とする再構成可能集積回路。

[請求項2] 請求項1に記載の再構成可能集積回路において、

マルチプレクサ型のプログラマブル配線スイッチを構成する複数段の不揮発性記憶素子に対して、導通状態もしくは非導通状態とする結線情報を記憶する書き込み動作、結線情報を消去する消去動作と、不揮発性記憶素子の導通状態もしくは非導通状態を確認する読み出し動作を直接行う制御回路を備えることを特徴とする再構成可能集積回路。

[請求項3] 基本の回路要素である基本タイルの複数個がアレイ状に配置された構造であり、前記基本タイルの間を結線するルーティング配線、前記ルーティング配線の間を結線するスイッチマトリックス、前記スイッチマトリックスに接続された機能ブロックから前記基本タイルが構成されている再構成可能集積回路において、

前記スイッチマトリックスにスイッチ機能を有する複数段の電界効果トランジスタ構造の不揮発性記憶素子から構成されるマルチプレクサ型のプログラマブル配線スイッチを備え、

前記マルチプレクサ型のプログラマブル配線スイッチを構成する各段の不揮発性記憶素子に対して導通状態もしくは非導通状態とする結

線情報を記憶する書き込み動作、前記結線情報を読み出す確認読み出し動作、および前記結線情報を消去する消去動作のための制御信号線および制御回路を備える

ことを特徴とする再構成可能集積回路。

[請求項4]

基本の回路要素である基本タイルの複数個がアレイ状に配置された構造であり、前記基本タイルの間を結線するルーティング配線、前記ルーティング配線の間を結線するスイッチマトリックス、前記スイッチマトリックスに接続された機能ブロックから前記基本タイルが構成されている再構成可能集積回路において、

前記機能ブロックにスイッチ機能を有する複数段の電界効果トランジスタ構造の不揮発性記憶素子から構成されるマルチプレクサ型のプログラマブル配線スイッチを備え、

前記マルチプレクサ型のプログラマブル配線スイッチを構成する不揮発性記憶素子に対して導通状態もしくは非導通状態とする結線情報を記憶する書き込み動作、前記結線情報を読み出す確認読み出し動作、および前記結線情報を消去する消去動作のための制御信号線および制御回路を備える

ことを特徴とする再構成可能集積回路。

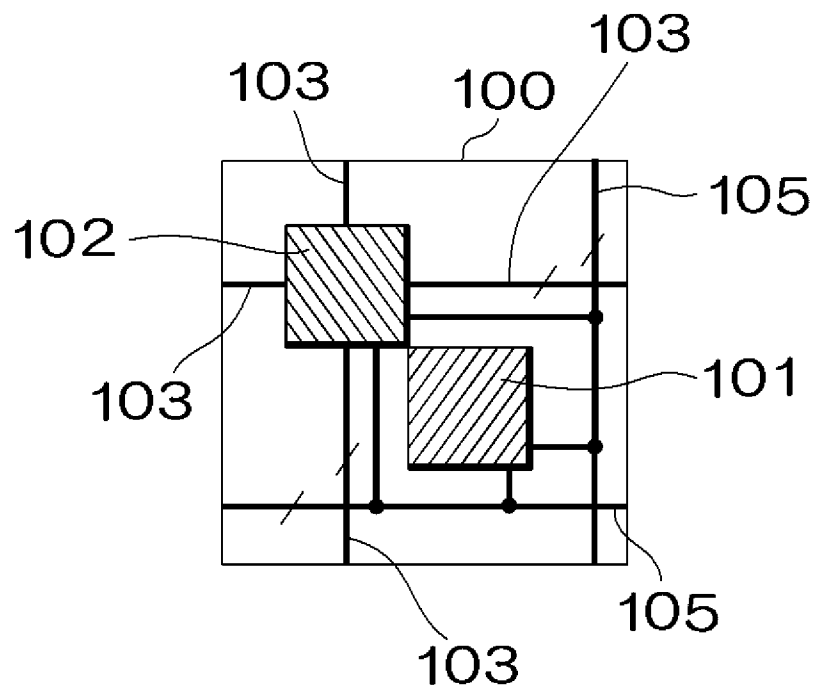
[請求項5]

請求項2乃至4に記載の再構成可能集積回路において、

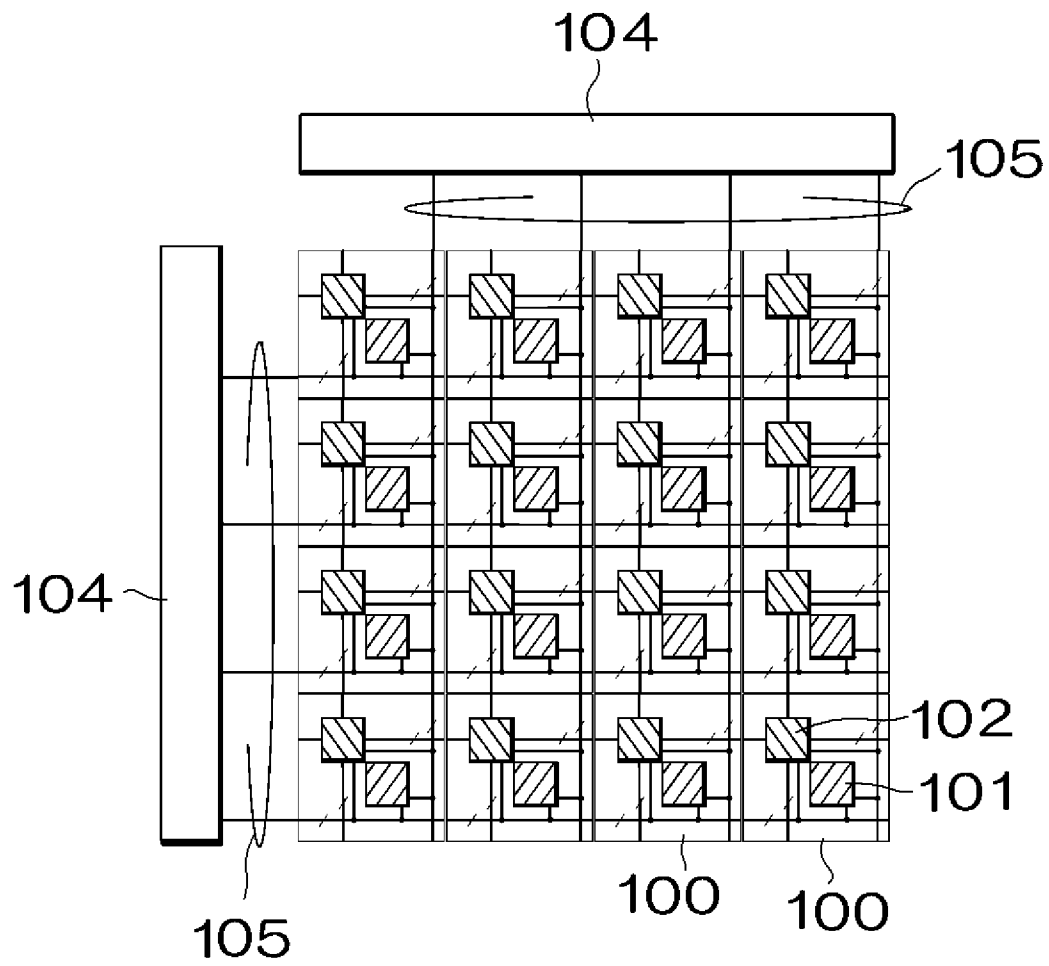
消去動作を行う場合には、プログラマブル配線スイッチを構成するすべての不揮発性記憶素子を選択し、不揮発性記憶素子に対して一括して消去動作を行う

ことを特徴とする再構成可能集積回路。

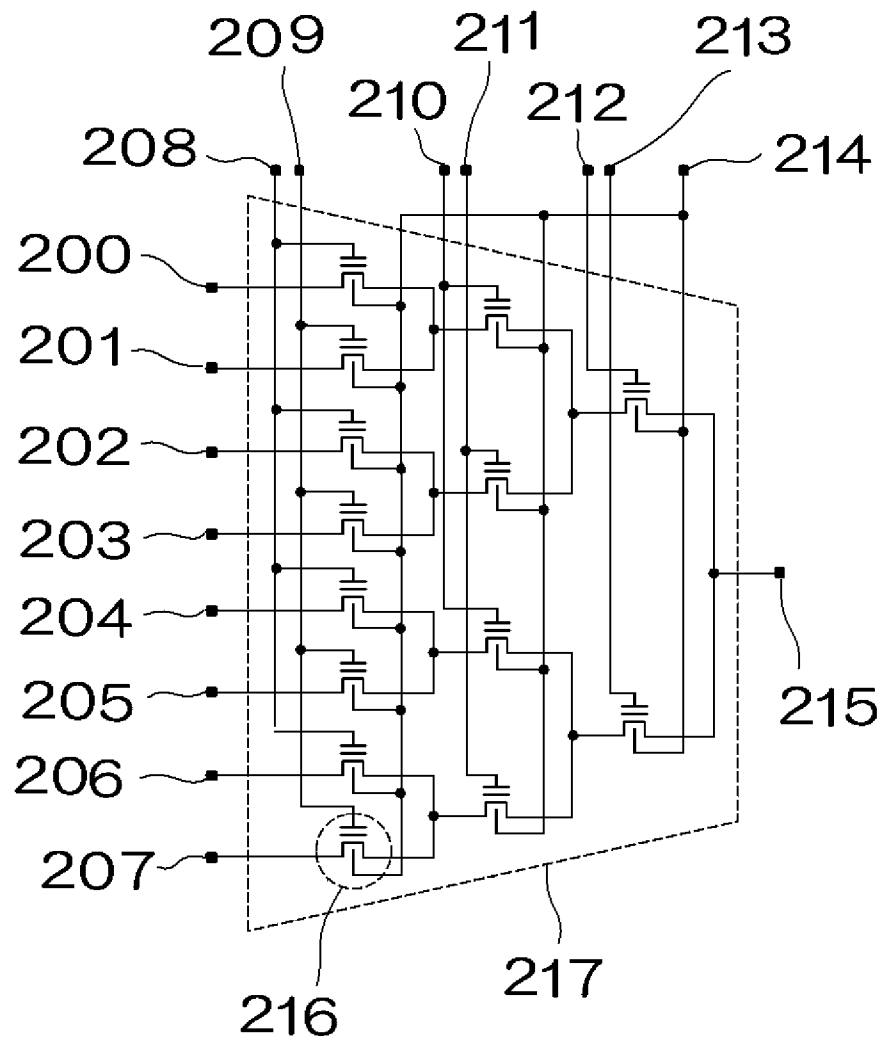
[図1]



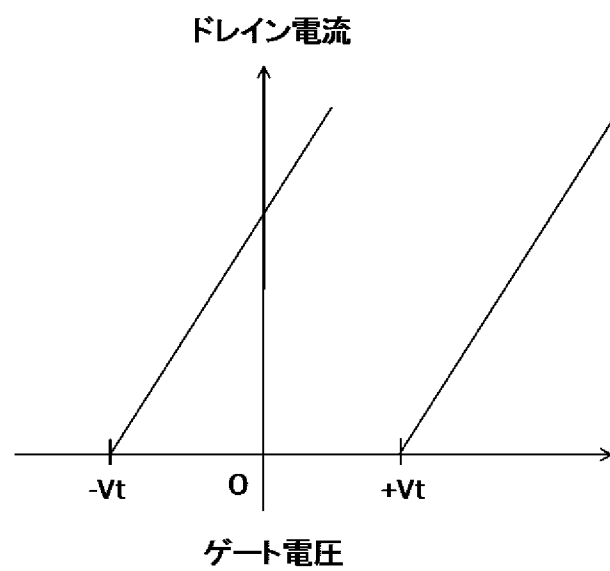
[図2]



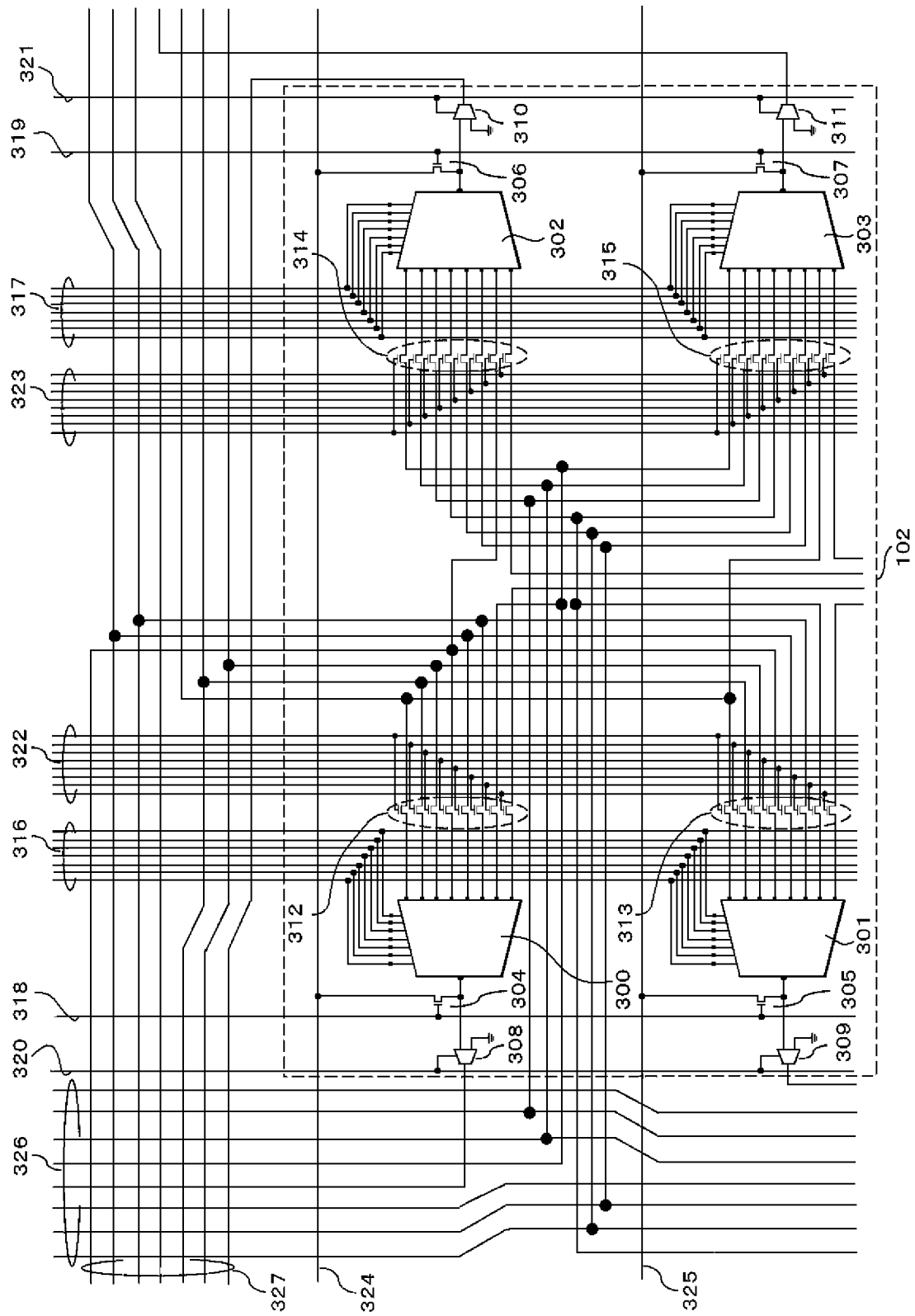
[図3]



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/068347

A. CLASSIFICATION OF SUBJECT MATTER

H03K19/173(2006.01)i, H01L21/82(2006.01)i, H03K19/177(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K19/173, H01L21/82, H03K19/177

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-115754 A (Matsushita Electric Industrial Co., Ltd.), 18 April 2003 (18.04.2003), paragraphs [0006] to [0014], [0032] to [0037], [0083], [0087]; fig. 1, 6, 11 & US 2004/0095181 A1 & WO 2002/101928 A1 & TW 548803 B	1-5
Y	JP 2000-323671 A (Rohm Co., Ltd.), 24 November 2000 (24.11.2000), paragraphs [0060], [0061], [0070] to [0073]; fig. 3 & US 6233169 B1	1-5

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
17 December, 2009 (17.12.09)

Date of mailing of the international search report
28 December, 2009 (28.12.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/068347

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2004/059838 A1 (Matsushita Electric Industrial Co., Ltd.), 15 July 2004 (15.07.2004), all pages; fig. 1 to 10 & JP 3692450 B & US 2004/0164778 A1 & CN 1742431 A	1-5

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H03K19/173 (2006.01)i, H01L21/82 (2006.01)i, H03K19/177 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H03K19/173, H01L21/82, H03K19/177

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2003-115754 A (松下電器産業株式会社) 2003.04.18, 【0006】 - 【0014】, 【0032】 - 【0037】, 【0083】, 【0087】, 図1, 6, 11 & US 2004/0095181 A1 & WO 2002/101928 A1 & TW 548803 B	1 - 5
Y	JP 2000-323671 A (ローム株式会社) 2000.11.24, 【0060】, 【0061】, 【0070】 - 【0073】, 図3 & US 6233169 B1	1 - 5

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 7 . 1 2 . 2 0 0 9

国際調査報告の発送日

2 8 . 1 2 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

宮島 郁美

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 6

5 X

8 5 2 3

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2004/059838 A1 (松下電器産業株式会社) 2004.07.15, 全頁, 図 1 - 1 0 & JP 3692450 B & US 2004/0164778 A1 & CN 1742431 A	1 - 5