



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

217638
(11) (B1)

(51) Int. Cl.³
G 06 F 3/14

(22) Přihlášeno 24 04 81
(21) (PV 3075-81)

(40) Zveřejněno 30 04 82

(45) Vydáno 15 09 84

(75)

Autor vynálezu

HRDLIČKA DRAHOMÍR ing., BRNO

(54) Zapojení obvodů pro řízení paměti obrazkového displeje

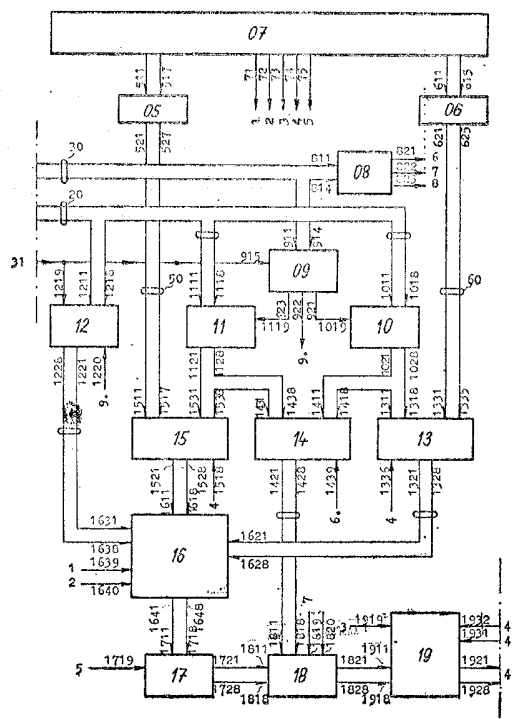
1

Vynález řeší problém řízení paměti obrazkového displeje, kdy styk paměti obrazkového displeje s procesorem je pouze v době přenosu dat mezi hlavní pamětí a pamětí obrazkového displeje, přičemž v době zobrazování fixního obsahu dat paměti displeje jsou obvody pro řízení paměti ovládány jednoduchým časovým zdrojem.

Podstatou vynálezu je multiplexní obslužení adresových vstupů paměti obrazkového displeje, kdy je užito dvou registrů ukazovátka. Zapojení obvodů pro řízení paměti obrazkového displeje umožňuje zápis dat z hlavní paměti do paměti displeje a zpětné čtení dat z paměti displeje do hlavní paměti zařízení.

Vynálezu může být užito i pro jiná zapojení pamětí číslicových zařízení, zejména koncových, kde je výhodné multiplexní zapojení adresových vstupů, datových vstupů nebo datových výstupů.

2



Vynález se týká zapojení obvodů pro řízení paměti obrazovkového displeje, přičemž kapacita paměti odpovídá kapacitě znaků zobrazovaných na stínítku obrazovky. Zapojení obvodů pro řízení paměti obrazovkového displeje dále umožňuje vzájemný přenos dat mezi pamětí displeje a hlavní pamětí počítačového zařízení.

Dosud užívané zobrazovací jednotky s obrazovkou obsahují zpravidla paměťový blok, který má část kapacity vyčleněnou pro zobrazování znaků na stínítku obrazovky, přičemž ovládací a řídicí obvody pro paměťový blok jsou spořádány. Toto uspořádání má podstatnou nevýhodu v tom, že část paměťového bloku vyhrazená pro zobrazování musí být neustále obsluhována řídicími obvody, popřípadě mikroprocesorem, neboť zobrazování znaků na obrazovce se děje v dynamickém pracovním režimu. Má-li dojít k obsluze zbývající části paměťového bloku, je nutné zobrazování znaků přerušit, to jest obrazovku zatemnit a řízení paměťového bloku přesunout do jiného místa paměti. Obsloužení probíhá v reálném čase a představuje vždy určitý časový úsek, přičemž přerušování zobrazování znaků působí rušivě. Z tohoto důvodu je zpravidla potřebné rozdělit řízení paměťového bloku na dvě části, přičemž jedna část, například pro zobrazovací jednotku, je řízena speciálními mikroprocesorovými obvody, druhá část paměti, vyčleněná například pro řízení aritmetických a logických operací, uložení programu, uložení přijímaných dat a podobně, vyžaduje druhou jednotku procesoru. Nevýhodou zobrazovacích jednotek takto uspořádaných je značná obvodová složitost, zvýšené nároky na objem zařízení a s tím spojená i vyšší cena zařízení.

Uvedené nevýhody odstraňuje zapojení obvodů pro řízení paměti obrazovkového displeje podle vynálezu, jehož podstata spočívá v tom, že první část vstupní sběrnice je připojena na první až osmý vstup paměti dat a současně na první až osmý vstup prvního registru ukazovátko a současně na první až osmý vstup druhého registru ukazovátko, přičemž druhá část vstupní sběrnice je připojena na první až čtvrtý vstup paměti kódu operací a současně na první až čtvrtý vstup dekódéru kódu operací, zatímco jeho pátý vstup pro příkaz k přepisu sběrnice je připojen na devátý vstup paměti dat, přičemž první výstup dekódéru kódu operací je připojen na devátý vstup druhého registru ukazovátko, zatímco druhý výstup dekódéru operací je spojen s desátým vstupem paměti dat, přičemž třetí výstup dekódéru kódu operací je připojen na devátý vstup prvního registru ukazovátko, přičemž první až osmý výstup tohoto registru je připojen na osmý až patnáctý vstup prvního multiplexeru adresy a současně na devátý až šestnáctý vstup prvního multiplexeru dat, zatímco první až osmý výstup druhého registru ukazovátko je připojen na šestý až třiná-

tý vstup druhého multiplexeru adresy a současně na první až osmý vstup prvního multiplexeru dat, přičemž na sedmnáctý vstup tohoto multiplexeru dat je připojen první výstup paměti kódu operací, zatímco první až osmý výstup prvního multiplexeru dat je připojen na první až osmý vstup druhého multiplexeru dat, přičemž na první až sedmý vstup prvního multiplexeru adresy je připojen první až sedmý výstup první paměti adresy, zatímco na šestnáctý vstup prvního multiplexeru adresy je připojen čtvrtý výstup časového zdroje, který je současně připojen na čtrnáctý vstup druhého multiplexeru adresy, přičemž první až osmý výstup prvního multiplexeru adresy je připojen na první až osmý vstup paměti obrazovkového displeje, zatímco první až pátý vstup druhého multiplexeru adresy je připojen na první až pátý výstup druhé paměti adresy, přičemž první až osmý výstup druhého multiplexeru adresy je připojen na devátý až šestnáctý vstup paměti obrazovkového displeje, zatímco na sedmnáctý až dvacátý čtvrtý vstup je připojen první až osmý výstup paměti dat, přičemž na dvacátý pátý a dvacátý šestý vstup paměti obrazovkového displeje je připojen první a druhý výstup časového zdroje, zatímco první až osmý výstup paměti obrazovkového displeje je připojen na první až osmý vstup vyrovnávací paměti displeje, přičemž na devátý vstup této vyrovnávací paměti displeje je připojen pátý výstup časového zdroje, zatímco první až osmý výstup je připojen na první až osmý vstup druhého multiplexeru dat, přičemž jeho devátý a desátý vstup je propojen s druhým a třetím výstupem paměti kódu operací, zatímco první až osmý výstup druhého multiplexeru dat je připojen na první až osmý vstup paměti čtených dat, přičemž na její devátý a desátý vstup je přiveden první a druhý příkaz čtení dat, zatímco její jedenáctý vstup je propojen s třetím výstupem časového zdroje, přičemž první až osmý výstup paměti čtených dat je připojen na výstupní sběrnici.

Výhodou zapojení obvodů pro řízení paměti obrazovkového displeje je skutečnost, že styk obrazovkového displeje s procesorem je pouze v době jednorázového plnění paměti displeje nebo v době výměny dat mezi hlavní pamětí a pamětí obrazovkového displeje, přičemž v době zobrazování fixního obsahu dat paměti displeje jsou obvody pro řízení paměti ovládány jednoduchým časovým zdrojem. Zapojení obvodů pro řízení paměti obrazovkového displeje umožňuje zápis dat z hlavní paměti zařízení do paměti obrazovkového displeje i zpětné čtení dat z paměti obrazovkového displeje do hlavní paměti zařízení. Činnost zobrazovací jednotky není přerušována, neboť výměna dat se uskutečňuje v době zpětného běhu řádku rastru. Další výhoda spočívá v tom, že obrazovkový displej se vnějším chováním

jeví procesorové jednotce jako běžná periferní jednotka, kterou je možno umístit i mimo prostor centrální jednotky.

Příklad zapojení obvodů pro řízení paměti obrazovkového displeje je znázorněn na připojeném výkrese, kde je příklad zapojení obvodů pro řízení paměti obrazovkového displeje z časového zdroje a styk paměti s procesorem.

Na schématu je z neznázorněného procesoru přivedena první část vstupní sběrnice **20**, která je připojena na první **1211** až osmý **1218** vstup paměti dat **12** a současně na první **1111** až osmý **1118** vstup prvního registru ukazovátka **11** a současně na první **1011** až osmý **1018** vstup druhého registru ukazovátka **10**, přičemž druhá část vstupní sběrnice **30** je připojena na první **811** až čtvrtý **814** vstup paměti kódu operací **08** a současně na první **911** až čtvrtý **914** vstup dekódéru kódu operací **09**. Na jeho pátý vstup **915** je připojen příkaz k přepisu sběrnice **31**, který je současně připojen na devátý vstup **1219** paměti dat **12**, přičemž první výstup **921** dekódéru kódu operací **09** je připojen na devátý vstup **1019** druhého registru ukazovátka **10**, zatímco druhý výstup **922** dekódéru kódu operací **09** je spojen s desátým vstupem **1220** paměti dat **12**, přičemž třetí výstup **923** dekódéru kódu operací **09** je připojen na devátý vstup **1119** prvního registru ukazovátka **11**. První **1121** až osmý **1128** výstup tohoto registru je připojen na osmý **1531** až patnáctý **1538** vstup prvního multiplexeru adresy **15** a současně na devátý **1431** až šestnáctý **1438** vstup prvního multiplexeru dat **14**, zatímco první **1021** až osmý **1028** výstup druhého registru ukazovátka **10** je připojen na šestý **1311** až třináctý **1318** vstup druhého multiplexeru adresy **13** a současně na první **1411** až osmý **1418** vstup prvního multiplexeru dat **14**, přičemž na sedmáctý vstup **1439** tohoto multiplexeru dat je připojen první výstup **821** paměti kódu operací **08**, zatímco první **1421** až osmý **1428** výstup prvního multiplexeru dat **14** je připojen na první **1811** až osmý **1818** vstup druhého multiplexeru dat **18**, přičemž na první **1511** až sedmý **1517** vstup prvního multiplexeru adresy **15** je připojen první **521** až sedmý **527** výstup první paměti adresy **05**. Na šestnáctý vstup **1518** prvního multiplexeru adresy **15** je připojen čtvrtý výstup **74** časového zdroje **07**, který je současně připojen na čtrnáctý vstup **1336** druhého multiplexeru adresy **13**, přičemž první **1521** až osmý **1528** výstup prvního multiplexeru adresy **15** je připojen na první **1611** až osmý **1618** vstup paměti obrazovkového displeje **16**, zatímco první **1331** až pátý **1335** vstup druhého multiplexeru adresy **13** je připojen na první **621** až pátý **625** vstup druhé paměti adresy **06**, přičemž první **1321** až osmý **1328** výstup druhého multiplexeru adresy **13** je připojen na devátý **1621** až šestnáctý **1628** vstup paměti obrazovkového displeje **16**, zatímco na sedmáctý **1631** až dvacátý čtvrtý **1638**

vstup je připojen první **1221** až osmý **1228** výstup paměti dat **12**, přičemž na dvacátý pátý **1639** a dvacátý šestý **1640** vstup paměti obrazovkového displeje **16** je připojen první **71** a druhý **72** výstup časového zdroje **07**, zatímco první **1641** až osmý **1648** výstup paměti obrazovkového displeje **16** je připojen na první **1711** až osmý **1718** vstup vyrovnávací paměti displeje **17**. Na devátý vstup **1719** této vyrovnávací paměti displeje je připojen pátý výstup **75** časového zdroje **07**, zatímco první **1721** až osmý **1728** výstup je připojen na první **1811** až osmý **1818** vstup druhého multiplexeru dat **18**, přičemž jeho devátý **1819** a desátý **1820** vstup je propojen s druhým **822** a třetím **823** výstupem paměti kódu operací **08**. První **1821** až osmý **1828** výstup druhého multiplexeru dat **18** je připojen na první **1911** až osmý **1918** vstup paměti čtených dat **19**, přičemž na její devátý **1931** a desátý **1932** vstup je přiveden první **41** a druhý **42** příkaz čtení dat, zatímco jedenáctý vstup **1919** je propojen s třetím výstupem **73** časového zdroje **07**, přičemž první **1921** až osmý **1928** výstup paměti čtených dat **19** je připojen na výstupní sběrnici **40**.

Činnost zapojení pro řízení paměti obrazovkového displeje je následující:

První **521** až sedmý **527** výstup první paměti adresy **05** je přiveden na vstupy prvního multiplexeru adresy **15** a přes něj je první dynamická část adresy přivedena na první **1611** až osmý **1618** vstup paměti obrazovkového displeje **16**. Druhá část adresy **60** je přivedena z prvního **621** až pátého **625** výstupu druhé paměti adresy **06** a přes druhý multiplexer adresy **13** na devátý **1621** až šestnáctý **1628** vstup paměti obrazovkového displeje **16**. Výstup této paměti je zachycen ve vyrovnávací paměti displeje **17** a přes první **1721** až osmý **1728** výstup je signál odváděn do neznázorněné pevné paměti znaků. Současně je výstup vyrovnávací paměti **17** přiváděn přes druhý multiplexer dat **18** do paměti čtených dat **19**. Není-li vyslán první **41** a druhý **42** příkaz čtení dat, pak data uložená v paměti čtených dat **19** nejsou přítomna na výstupní sběrnici **40**.

Dosud popsáná činnost ukazuje výběr obsahu paměti obrazovkového displeje **16** na stínítko obrazovky, přičemž je zaručena synchronizace mezi výběrem dat a rozkladem paprsku na stínítku obrazovky. Pro činnost řídicích obvodů paměti obrazovkového displeje **16** není třeba žádné součinnosti se základním procesorem.

Při režimu zápis do paměti obrazovkového displeje **16** je vyslán po druhé části sběrnice **30** příkaz k zápisu, který je dekódován v dekódéru kódu operací **09**. První část sběrnice **20** přenáší postupně adresu sloupce, adresu řádku a kód znaku, přičemž tyto informace jsou postupně ukládány do prvního registru ukazovátka **11**, druhého registru ukazovátka **10** a paměti dat **12**. Adresové vstupy paměti obrazovkového displeje **16** se

pomocí prvního 15 a druhého 13 multiplexeru adresy přepnou na první a druhou část adresy, uloženou v první 11 a druhém 10 registru ukazovátka. Na datové vstupy 1631 až 1638 paměti obrazkového displeje 16 se přivede kód znaku, přítomný na výstupu paměti dat 12, a pomocí prvního 71 a druhého 72 výstupu časového zdroje 07 se provede zápis na adresu, určenou registry ukazovátka. Ovládací signály pro zápis do paměti obrazkového displeje 16 jsou z časového zdroje 07 vyslány v době zpětného běhu řádku, to jest v době, kdy je obrazovka zatemněna, takže vlastní zobrazovací proces není zápisem do paměti obrazkového displeje 16 časově narušen.

V režimu čtení z paměti obrazkového displeje 16 na výstupní sběrnici 40 je vyslán po druhé vstupní části sběrnice 30 příkaz ke čtení dat z paměti obrazkového displeje 16, který je dekódován v dekóderu kódu operací 09. Adresové vstupy paměti obrazkového displeje 16 jsou pomocí prv-

ního 15 a druhého 13 multiplexeru adresy přepnuty na výstupy prvního 11 a druhého 10 registru ukazovátka. Čtený obsah paměti obrazkového displeje 16 je přepsán do vyrovnávací paměti displeje 17 a přes druhý multiplexer dat 18 jsou data převedena do paměti čtených dat 19 a přes výstupní sběrnici 40 převedena do hlavní paměti procesoru. Tímto způsobem je možné číst obsah kterékoliv buňky paměti obrazkového displeje 16 a převádět prostřednictvím výstupní sběrnice 40 do procesorové jednotky.

Prostřednictvím prvního multiplexeru dat 14 a druhého multiplexeru dat 18 lze rovněž číst obsah prvního 11 nebo druhého 10 registru ukazovátka a čtené údaje převádět přes paměť čtených dat 19 na sběrnici 40 a do procesorové jednotky.

Zapojení obvodů pro řízení paměti obrazkového displeje lze užít i pro jiná zapojení pamětí číslicových zařízení, kde je výhodné multiplexní zapojení adresových vstupů, datových vstupů nebo datových výstupů.

PŘEDMĚT VYNÁLEZU

Zapojení obvodů pro řízení paměti obrazkového displeje, vyznačené tím, že první část vstupní sběrnice (20) je připojena na první (1211) až osmý (1218) vstup paměti (12) dat a současně na první (1111) až osmý (1118) vstup prvního registru (11) ukazovátka a současně na první (1011) až osmý (1018) vstup druhého registru (10) ukazovátka, přičemž druhá část vstupní sběrnice (30) je připojena na první (811) až čtvrtý (814) vstup paměti (08) kódu operací a současně na první (911) až čtvrtý (914) vstup dekóderu (09) kódu operací, zatímco jeho pátý vstup (915) pro příkaz k přepisu sběrnice (31) je připojen na devátý vstup (1219) paměti (12) dat, přičemž první výstup (921) dekóderu (09) kódu operací je připojen na devátý vstup (1019) druhého registru (10) ukazovátka, zatímco druhý výstup (922) dekóderu (09) kódu operací je spojen s desátým vstupem (1220) paměti (12) dat, přičemž třetí výstup (923) dekóderu (09) kódu operací je připojen na devátý vstup (1119) prvního registru (11) ukazovátka, přičemž první (1121) až osmý (1128) výstup tohoto registru (11) je připojen na osmý (1531) až patnáctý (1538) vstup prvního multiplexeru (15) adresy a současně na devátý (1431) až šestnáctý (1438) vstup prvního multiplexeru (14) dat, zatímco první (1021) až osmý (1028) výstup druhého registru (10) ukazovátka je připojen na šestý (1311) až třináctý (1318) vstup druhého multiplexeru (13) adresy a současně na první (1411) až osmý (1418) vstup prvního multiplexeru (14) dat, přičemž na sedmáctý vstup (1439) tohoto multiplexeru (14) dat je připojen první výstup (821) paměti (08) kódu operací, zatímco první

(1421) až osmý (1428) výstup prvního multiplexeru (14) dat je připojen na první (1811) až osmý (1818) vstup druhého multiplexeru (18) dat, přičemž na první (1511) až sedmý (1517) vstup prvního multiplexeru (15) adresy je připojen první (521) až sedmý (527) výstup první paměti (05) adresy, zatímco na šestnáctý vstup (1518) prvního multiplexeru (15) adresy je připojen čtvrtý výstup (74) časového zdroje (07), který je současně připojen na čtrnáctý vstup (1336) druhého multiplexeru (13) adresy, přičemž první (1521) až osmý (1528) výstup prvního multiplexeru (15) adresy je připojen na první (1611) až osmý (1618) vstup paměti (16) obrazkového displeje, zatímco první (1331) až pátý (1335) vstup druhého multiplexeru (13) adresy je připojen na první (621) až pátý (625) výstup druhé paměti (06) adresy, přičemž první (1321) až osmý (1328) výstup druhého multiplexeru (13) adresy je připojen na devátý (1621) až šestnáctý (1628) vstup paměti (16) obrazkového displeje, zatímco na její sedmáctý (1631) až dvacátý čtvrtý (1638) vstup je připojen první (1221) až osmý (1228) výstup paměti (12) dat, přičemž na dvacátý pátý (1639) a dvacátý šestý (1640) vstup paměti (16) obrazkového displeje je připojen první (71) a druhý (72) výstup časového zdroje (07), zatímco první (1641) až osmý (1648) výstup paměti (16) obrazkového displeje je připojen na první (1711) až osmý (1718) vstup vyrovnávací paměti (17) displeje, přičemž na devátý vstup (1719) této vyrovnávací paměti (17) displeje je připojen pátý výstup (75) časového zdroje (07), zatímco její první (1721) až osmý (1728) výstup jsou

připojeny na první (1811) až osmý (1818) vstup druhého multiplexeru (18) dat, přičemž jeho devátý (1819) a desátý (1820) vstup je propojen s druhým (822) a třetím (823) výstupem paměti (08) kódu operací, zatímco první (1821) až osmý (1828) výstup druhého multiplexeru (18) dat jsou připojeny na první (1911) až osmý (1918) vstup

paměti (19) čtených dat, přičemž na její devátý (1931) a desátý (1932) vstup je přiveden první (41) a druhý (42) příkaz čtení dat, zatímco její jedenáctý vstup (1919) je propojen s třetím výstupem (73) časového zdroje (07), přičemž první (1921) až osmý (1928) výstup paměti (19) čtených dat je připojen na výstupní sběrnici (40).

1 list výkresů

