

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5154105号  
(P5154105)

(45) 発行日 平成25年2月27日(2013.2.27)

(24) 登録日 平成24年12月14日(2012.12.14)

(51) Int.Cl.

H01L 27/14 (2006.01)  
H04N 5/374 (2011.01)

F 1

H01L 27/14  
H04N 5/335 740

請求項の数 22 (全 27 頁)

(21) 出願番号 特願2007-60401 (P2007-60401)  
 (22) 出願日 平成19年3月9日 (2007.3.9)  
 (65) 公開番号 特開2007-243197 (P2007-243197A)  
 (43) 公開日 平成19年9月20日 (2007.9.20)  
 審査請求日 平成22年3月5日 (2010.3.5)  
 (31) 優先権主張番号 10-2006-0022726  
 (32) 優先日 平成18年3月10日 (2006.3.10)  
 (33) 優先権主張国 韓国 (KR)  
 (31) 優先権主張番号 11/593,663  
 (32) 優先日 平成18年11月7日 (2006.11.7)  
 (33) 優先権主張国 米国 (US)

(73) 特許権者 390019839  
 三星電子株式会社  
 Samsung Electronics  
 Co., Ltd.  
 大韓民国京畿道水原市靈通区三星路129  
 129, Samsung-ro, Yeongtong-gu, Suwon-si, Gyeonggi-do, Republic  
 of Korea  
 (74) 代理人 100064908  
 弁理士 志賀 正武  
 (74) 代理人 100089037  
 弁理士 渡邊 隆  
 (74) 代理人 100108453  
 弁理士 村山 靖彦

最終頁に続く

(54) 【発明の名称】高いフィルファクターを持つ画素を備えるイメージセンサー及びイメージセンサーの形成方法

## (57) 【特許請求の範囲】

## 【請求項 1】

基板内に第1方向及び第2方向にそれぞれ延びる行及び列に配列される光電変換素子のアレイと、

第1接合分離領域それは共通行内で互いに隣接する光電変換素子の側部を分離し、第2接合分離領域それは共通列内で互いに隣接する光電変換素子の側部を分離する前記基板内に位置する複数の第1接合分離領域及び第2接合分離領域と、

絶縁分離領域それは互いに隣接する光電変換素子のコーナー部を分離する前記基板内に備わる複数の絶縁分離領域と、を備えることを特徴とするイメージセンサー。

## 【請求項 2】

前記光電変換素子は第1方向に第1ピッチを持ち、第2方向に第2ピッチを持つが、前記第1ピッチは、共通行内の前記光電変換素子で実質的に同一であり、前記第2ピッチは、共通列内の前記光電変換素子で実質的に同一であることを特徴とする請求項1に記載のイメージセンサー。

## 【請求項 3】

前記光電変換素子上に形成されたマイクロレンズのアレイをさらに備えるが、前記マイクロレンズは行及び列に配列され、前記マイクロレンズそれは、対応する光電変換素子に整列された焦点を持ち、前記マイクロレンズの焦点は、第1方向に第1ピッチを持つように配列され、第2方向に第2ピッチを持つように配列され、前記第1ピッチ及び前記第2ピッチは、前記光電変換素子の第1ピッチと実質的に同一であることを特徴とする請

10

20

求項 1 または 2 に記載のイメージセンサー。

【請求項 4】

前記光電変換素子は、前記基板内に形成された光電活性領域を備えることを特徴とする請求項 1 から 3 のいずれか一項に記載のイメージセンサー。

【請求項 5】

前記基板はエピタキシャル層を備え、前記光電変換素子は前記エピタキシャル層内に形成された光電活性領域を備えることを特徴とする請求項 1 から 4 のいずれか一項に記載のイメージセンサー。

【請求項 6】

前記第 1 方向及び前記第 2 方向は、互いに垂直となる水平方向と垂直方向とを含むことを特徴とする請求項 1 から 5 のいずれか一項に記載のイメージセンサー。 10

【請求項 7】

行及び列のうち少なくとも一つの内に互いに隣接する少なくとも二つの光電変換素子は、共通光電活性領域を共有することを特徴とする請求項 1 から 6 のいずれか一項に記載のイメージセンサー。

【請求項 8】

前記隣接する光電変換素子それぞれは光電活性領域を備えるが、前記光電活性領域は、その上下左右部分に位置する接合分離領域及びそのコーナー部で前記接合分離領域の間に位置する絶縁分離領域により分離され、前記絶縁分離領域のうち一つは二つの絶縁分離領域セグメントに分割されて、前記絶縁分離領域セグメントの間を通じて前記光電活性領域は隣接する他の光電素子に連結され、前記絶縁分離領域セグメントのうち一つは第 1 接合分離領域に隣接し、前記絶縁分離領域セグメントのうち残りの一つは第 2 接合分離領域に隣接し、前記共通光電活性領域の連結部分は、前記絶縁分離領域セグメントの間に延びることを特徴とする請求項 7 に記載のイメージセンサー。 20

【請求項 9】

前記活性領域上に少なくとも二つの伝送素子をさらに備えるが、前記伝送素子は、少なくとも二つの隣接する前記光電変換素子の共通活性領域を第 1 及び第 2 光電変換素子の第 1 及び第 2 光電活性領域に分割することを特徴とする請求項 8 に記載のイメージセンサー。 30

【請求項 10】

共通行または共通列内の互いに隣接する二つの光電変換素子それぞれは、対応する伝送素子を持ち、共通りセット素子、選択素子及びドライブ素子を共有することを特徴とする請求項 1 に記載のイメージセンサー。

【請求項 11】

前記絶縁分離領域のうち少なくとも一つは孤立活性領域部分を取り囲み、前記選択素子及び前記ドライブ素子は、前記光電変換素子のうち一つのコーナー部に位置する共通孤立活性領域に形成されることを特徴とする請求項 10 に記載のイメージセンサー。

【請求項 12】

共通行または共通列内の隣接する二つの光電変換素子それぞれは、対応する伝送素子及びリセット素子を備え、共通選択素子及びドライブ素子を共有することを特徴とする請求項 1 に記載のイメージセンサー。 40

【請求項 13】

前記絶縁分離領域のうち少なくとも一つは孤立活性領域を取り囲み、前記選択素子及び前記ドライブ素子は、前記光電変換素子のうち一つのコーナー部に位置する共通孤立活性領域に形成されることを特徴とする請求項 12 に記載のイメージセンサー。

【請求項 14】

共通行または共通列内の隣接する 4 つの光電変換素子それぞれは、対応する伝送素子を備え、共通りセット素子、選択素子及びドライブ素子を共有することを特徴とする請求項 1 に記載のイメージセンサー。

【請求項 15】

50

前記絶縁分離領域のうち少なくとも一つは孤立活性領域を取り囲み、前記選択素子及び前記ドライブ素子は、前記光電変換素子のうち一つのコーナー部に位置する相異なる孤立活性領域に形成されることを特徴とする請求項1\_4に記載のイメージセンサー。

【請求項16】

共通行または共通列内の隣接する4つの光電変換素子それぞれは、対応する伝送素子及びリセット素子を備え、共通選択素子及びドライブ素子を共有することを特徴とする請求項1に記載のイメージセンサー。

【請求項17】

前記絶縁分離領域のうち少なくとも一つは孤立活性領域を取り囲み、前記選択素子及び前記ドライブ素子は、前記光電変換素子のコーナー部に位置する相異なる孤立活性領域に形成されることを特徴とする請求項1\_6に記載のイメージセンサー。10

【請求項18】

共通行または共通列内の隣接する4つの光電変換素子それぞれは、対応する伝送素子を備え、共通リセット素子、選択素子及びドライブ素子を共有することを特徴とする請求項1に記載のイメージセンサー。

【請求項19】

前記絶縁分離領域のうち少なくとも一つは孤立活性領域を取り囲み、前記選択素子及び前記ドライブ素子は共通の第1孤立活性領域に形成され、リセット素子は、第1孤立活性領域とは分離された第2孤立活性領域に形成され、前記第1及び第2孤立活性領域は、対応する光電変換素子のコーナー部に位置することを特徴とする請求項1\_8に記載のイメージセンサー。20

【請求項20】

隣接する二つの行または列内の隣接する4つの光電変換素子それぞれは対応する伝送素子を備え、共通リセット素子、選択素子及びドライブ素子を共有することを特徴とする請求項1に記載のイメージセンサー。

【請求項21】

前記絶縁分離領域のうち少なくとも一つは孤立活性領域を取り囲み、前記リセット素子、選択素子及び前記ドライブ素子は、前記光電変換素子のコーナー部に位置する相異なる孤立活性領域に形成されることを特徴とする請求項2\_0に記載のイメージセンサー。

【請求項22】

前記絶縁分離領域のうち少なくとも一つは孤立活性領域を取り囲み、前記選択素子、前記ドライブ素子及び前記リセット素子のうち2つは共通の第1孤立活性領域に形成され、前記選択素子、前記ドライブ素子及び前記リセット素子のうち残りの一つは、前記第1孤立活性領域とは分離された第2孤立活性領域に形成され、前記第1及び第2孤立活性領域は、対応する光電変換素子のコーナー部に位置することを特徴とする請求項2\_0に記載のイメージセンサー。30

【発明の詳細な説明】

【技術分野】

【0001】

半導体イメージセンシング素子は、デジタルカメラ、カムコーダ、プリンタ、スキャナーなど多様な分野でイメージを記録する用途で広く使われている。これらの装置は、光学情報を獲得して前記光学情報を電気信号に変換するイメージセンサーを備える。前記電気信号は処理され、保存され、または操作されて獲得されたイメージを表示装置またはプリント物上に投影する。40

【背景技術】

【0002】

イメージセンサー素子の広く使われる一般的な二つのカテゴリーは、CCD (Charge Coupled Device)とCMOSイメージセンサー (CMOS Image Sensor; CIS)である。CCDイメージセンサーは動作時に低いノイズと高い均一度を表すが、CIS素子に比べて高い電力消耗と低い動作速度を表す。低い電力消50

耗と高い動作能力とは、イメージセンサーが集積デジタルカメラを備える無線ホンのような携帯電子装置に使われた時に重要な要素である。このような装置では、CIS素子がCCD素子より好まれている。

#### 【0003】

CIS素子は、2次元に配列された光電変換素子を備えるアクティブピクセルセンサー・アレイ (active pixel sensor array; APS array)、前記APSの読出信号のためのタイミング信号を発生させるタイミング発生器、読出するための画素を選択するための行ドライバー、選択された画素の出力信号に対して相関する二重サンプリング過程を行う相関二重サンプラー (Correlated Double Sampler; CDS)、前記CDS-較正信号を基準信号と比較する比較器、前記比較器により出力されたアナログ信号をデジタル信号に変換するアナログデジタルコンバータ (Analog to Digital Converter; ADC)、前記変換されたデジタル信号をデジタルイメージ信号に変換するデジタル信号処理装置 (digital signal processor; DSP)、及び前記出力素子から命令信号を受けて前記デジタルイメージ信号を前記出力素子に出力するインターフェースを備える。他の構成で、前記DSP装置は、前記CISユニットと統合されるか、前記CISユニットから物理的に分離された装置上に提供されうる。10

#### 【0004】

現在の高品質CIS素子において、前記APSの各単位画素は、入射された信号のエネルギーを集めるための、フォトダイオードまたはフォトゲートのような、光電変換素子、及び技術形態による3つまたは4つの読出トランジスタを備える。4つのトランジスタを備えるCIS素子において、前記読出トランジスタは、伝送トランジスタ、選択トランジスタ、ドライブトランジスタ及びリセットトランジスタを備える。前記読出トランジスタは、前記光電変換素子が受けたエネルギーを管理して輸送し、それに対応するデータをイメージ処理用処理装置に提供する役割を行う。マイクロレンズのアレイが前記APSピクセルアレイの上部に形成される。前記各マイクロレンズは、入射するエネルギーを対応する光電変換素子に集中させるために、前記アレイの一つのピクセルに対応して形成される。20

#### 【0005】

イメージング素子の解像度上昇と共に半導体素子の集積が続くにつれて、素子フィルファクター (fill factor) の重要度が向上しつつある。イメージング素子の前記フィルファクターは、1つのピクセル面積に対して光電変換素子が占める面積の比に比例する。光学信号の実質的光電変換に寄与する素子の使用可能な活性領域の大きさに比例し、信号の読出に寄与する使用可能な活性領域の大きさに反比例するフィルファクターは大きいことが望ましい。なぜなら、CIS素子は、ユニットピクセル当たり3つまたは4つの読出素子を必要として、CCD素子に比べて低いフィルファクターを持つためである。CIS素子の解像度が、例えば、ユニット領域当たり1メガピクセルから5メガピクセルに増加するにつれて、CIS素子のユニットピクセル領域は減少するしかない。しかし、各ピクセルに必要な前記3つまたは4つの読出素子に必要な領域の減少は制限される。なぜなら、素子サイズが小さくなるほどノイズは増加するために、読出素子のトランジスタのサイズの減少には限界があるためである。したがって、CIS素子の解像度が上昇するにつれて、素子フィルファクターは大体減少する。3040

#### 【0006】

高解像度CIS素子の相対的に低いフィルファクターを向上させるために、シェアド・タイプ (shared-type) のCISセンサーが開発されている。このようなシェアド・タイプ素子で、隣接する光電変換素子は一つ以上の読出素子を共有する。このようなシェアド・タイプは、素子フィルファクターを向上させるのに効果的であるが、前記素子上に形成されたマイクロレンズとこれに対応する光電変換素子との間の誤整列問題を引き起こす。これは、通常のシェアド・タイプCISセンサーが、前記共有された読出素子によって列方向、行方向または列方向と行方向の両方で互いに隣接する光電変換素子の間50

に相異なるピッチを持つためである。これと同時に、前記マイクロレンズは、列方向と行方向でいずれも一定のピッチで配列されることが一般的である。したがって、マイクロレンズアレイとピクセルアレイとの間に誤整列が発生し、イメージ品質を低下させる。

#### 【発明の開示】

##### 【発明が解決しようとする課題】

##### 【0007】

本発明が解決しようとする技術的課題は、高いフィルファクターを持ち、かつ高い解像度のイメージデータを提供するイメージセンサーを提供するところにある。これは、シェアド・タイプ画素構成を持ち、行方向に一定のピッチで配列され、列方向に一定のピッチで配列された光電変換素子を備えるイメージセンサーを提供することにより達成できる。これにより、シェアド・タイプ素子の構成を利用して高いフィルファクターを達成しつつも、マイクロレンズの整列をなしうる。

10

##### 【課題を解決するための手段】

##### 【0008】

一側面で、本発明はイメージセンサーを提供する。イメージセンサーは、基板内に第1方向及び第2方向にそれぞれ延びる行及び列に配列される光電変換素子のアレイを備える。前記基板内に複数の第1接合分離領域及び第2接合分離領域とが位置する。前記第1接合分離領域それぞれは共通行内で互いに隣接する光電変換素子の側部を分離し、前記第2接合分離領域それぞれは共通列内で互いに隣接する光電変換素子の側部を分離する。前記基板内に複数の絶縁分離領域が位置する。前記絶縁分離領域それぞれは互いに隣接する光電変換素子のコーナー部を分離する。

20

##### 【0009】

一実施形態で、前記光電変換素子は第1方向に第1ピッチを持ち、第2方向に第2ピッチを持つ。前記第1ピッチは、共通行内の前記光電変換素子で実質的に同一であり、前記第2ピッチは、共通列内の前記光電変換素子で実質的に同一である。

##### 【0010】

他の実施形態で、前記イメージセンサーは、前記光電変換素子上に形成されたマイクロレンズのアレイをさらに備えるが、前記マイクロレンズは行及び列に配列され、前記マイクロレンズそれぞれは、対応する光電変換素子に整列された焦点を持ち、前記マイクロレンズの焦点は、第1方向に第1ピッチを持つように配列され、第2方向に第2ピッチを持つように配列され、前記第1ピッチ及び前記第2ピッチは、前記光電変換素子の第1ピッチと実質的に同一である。

30

##### 【0011】

他の実施形態で、前記第1ピッチは、前記第2ピッチと同じである。

##### 【0012】

他の実施形態で、前記光電変換素子は、前記基板内に形成された光電活性領域を備える。

##### 【0013】

他の実施形態で、前記基板はエピタキシャル層を備え、前記光電変換素子は前記エピタキシャル層内に形成された光電活性領域を備える。

40

##### 【0014】

他の実施形態で、前記接合分離領域は、不純物でドーピングされた領域を備える。

##### 【0015】

他の実施形態で、前記絶縁分離領域は、前記基板内に提供された絶縁物質の部分を備える。

##### 【0016】

他の実施形態で、前記絶縁分離領域は、S T I 法またはL O C O S 法を使用して形成される。

##### 【0017】

他の実施形態で、前記第1方向及び前記第2方向は、互いに垂直となる水平方向と垂直

50

方向とを含む。

【0018】

他の実施形態で、行及び列のうち少なくとも一つの内に互いに隣接する少なくとも二つの光電変換素子は、共通光電活性領域を共有する。

【0019】

他の実施形態で、前記隣接する光電変換素子それぞれは光電活性領域を備える。前記光電活性領域は、その上下左右部分に位置する接合分離領域及びそのコーナー部で前記接合分離領域の間に位置する絶縁分離領域により分離される。前記絶縁分離領域のうち一つは二つの絶縁分離領域セグメントに分割されて、前記絶縁分離領域セグメントの間を通じて前記光電活性領域は隣接する他の光電素子に連結される。前記絶縁分離領域セグメントのうち一つは第1接合分離領域に隣接し、前記絶縁分離領域セグメントのうち残りの一つは第2接合分離領域に隣接する。前記共通光電活性領域の連結部分は、前記絶縁分離領域セグメントの間に延びる。10

【0020】

他の実施形態で、前記イメージセンサーは、前記活性領域上に少なくとも二つの伝送素子をさらに備える。前記伝送素子は、少なくとも二つの隣接する前記光電変換素子の共通活性領域を第1及び第2光電変換素子の第1及び第2光電活性領域に分割する。

【0021】

他の実施形態で、共通行または共通列内の互いに隣接する二つの光電変換素子それぞれは、対応する伝送素子を持ち、共通リセット素子、選択素子及びドライブ素子を共有する20。

【0022】

他の実施形態で、前記絶縁分離領域のうち少なくとも一つは孤立活性領域部分を取り囲み、前記選択素子及び前記ドライブ素子は、前記光電変換素子のうち一つのコーナー部に位置する。

【0023】

他の実施形態で、共通行または共通列内の隣接する二つの光電変換素子それぞれは、対応する伝送素子及びリセット素子を備え、共通選択素子及びドライブ素子を共有する。

【0024】

他の実施形態で、前記絶縁分離領域のうち少なくとも一つは孤立活性領域を取り囲み、前記選択素子及び前記ドライブ素子は、前記光電変換素子のうち一つのコーナー部に位置する共通孤立活性領域に形成される。30

【0025】

他の実施形態で、共通行または共通列内の隣接する4つの光電変換素子それぞれは、対応する伝送素子を備え、共通リセット素子、選択素子及びドライブ素子を共有する。

【0026】

他の実施形態で、前記絶縁分離領域のうち少なくとも一つは孤立活性領域を取り囲み、前記選択素子及び前記ドライブ素子は、前記光電変換素子のうち一つのコーナー部に位置する相異なる孤立活性領域に形成される。

【0027】

他の実施形態で、共通行または共通列内の隣接する4つの光電変換素子それぞれは、対応する伝送素子及びリセット素子を備え、共通選択素子及びドライブ素子を共有する。40

【0028】

他の実施形態で、前記絶縁分離領域のうち少なくとも一つは孤立活性領域を取り囲み、前記選択素子及び前記ドライブ素子は、前記光電変換素子のコーナー部に位置する相異なる孤立活性領域に形成される。

【0029】

他の実施形態で、共通行または共通列内の隣接する4つの光電変換素子それぞれは、対応する伝送素子を備え、共通リセット素子、選択素子及びドライブ素子を共有する。

【0030】

10

20

30

40

50

他の実施形態で、前記絶縁分離領域のうち少なくとも一つは孤立活性領域を取り囲み、前記選択素子及び前記ドライブ素子は共通の第1孤立活性領域に形成され、リセット素子は、第1孤立活性領域とは分離された第2孤立活性領域に形成され、前記第1及び第2孤立活性領域は、対応する光電変換素子のコーナー部に位置する。

#### 【0031】

他の実施形態で、隣接する二つの行または列内の隣接する4つの光電変換素子それぞれは対応する伝送素子を備え、共通リセット素子、選択素子及びドライブ素子を共有する。

#### 【0032】

他の実施形態で、前記絶縁分離領域のうち少なくとも一つは孤立活性領域を取り囲み、前記リセット素子、選択素子及び前記ドライブ素子は、前記光電変換素子のコーナー部に位置する相異なる孤立活性領域に形成される。 10

#### 【0033】

他の実施形態で、前記絶縁分離領域のうち少なくとも一つは孤立活性領域を取り囲み、前記選択素子、前記ドライブ素子及び前記リセット素子のうち2つは共通の第1孤立活性領域に形成され、前記選択素子、前記ドライブ素子及び前記リセット素子のうち残りの一つは、前記第1孤立活性領域とは分離された第2孤立活性領域に形成され、前記第1及び第2孤立活性領域は、対応する光電変換素子のコーナー部に位置する。

#### 【0034】

他の実施形態で、前記隣接する4つの光電素子は、共通光電活性領域を共有する。 20  
他の実施形態で、前記イメージセンサーは、前記光電変換素子上に形成されたマイクロレンズのアレイをさらに備える。前記マイクロレンズは行及び列に配列され、前記マイクロレンズそれぞれは対応する光電変換素子に整列された焦点を持つ。

#### 【0035】

他の側面で、本発明はイメージセンシングシステムを提供する。前記システムは、データバスに連結されて、イメージセンサーから出力されたイメージデータ信号を処理するプロセッサーを備える。前記データバスに、前記イメージセンサーから出力されたイメージデータ信号を保存して回収するメモリが連結される。前記データバスに、前記イメージデータ信号を発生させるイメージセンサーが連結される。前記イメージセンサーは、基板内に第1方向及び第2方向にそれぞれ延びる行及び列に配列される光電変換素子のアレイを備える。前記基板内に複数の第1接合分離領域及び第2接合分離領域が位置する。前記第1接合分離領域それぞれは、共通行内で互いに隣接する光電変換素子の側部を分離し、前記第2接合分離領域それぞれは、共通列内で互いに隣接する光電変換素子の側部を分離する。前記基板内に互いに隣接する光電変換素子のコーナー部を分離する複数の絶縁分離領域が位置する。前記光電変換素子のそれぞれは、前記光電変換素子に収集された光子エネルギーに対する反応で電気信号を生成し、前記イメージデータ信号は複数の光電変換素子の出力信号を備える。 30

#### 【0036】

一実施形態で、前記システムは、前記データバスに連結されて、媒体上にイメージデータ信号を保存するメディアドライブと、前記データバスに連結されて、前記イメージデータ信号の処理を制御するために制御信号が前記プロセッサーに入力される入力装置と、前記データバスに連結されて、前記イメージデータ信号を外部装置に伝送するデータポートのうち少なくとも一つをさらに備える。 40

#### 【0037】

他の実施形態で、前記光電変換素子は第1方向に第1ピッチを持ち、第2方向に第2ピッチを持つが、前記第1ピッチは、共通行内の前記光電変換素子で実質的に同一であり、前記第2ピッチは、共通列内の前記光電変換素子で実質的に同一である。

#### 【0038】

他の実施形態で、前記システムは、前記光電変換素子上に形成されたマイクロレンズのアレイをさらに備えるが、前記マイクロレンズは行及び列に配列され、前記マイクロレンズそれぞれは対応する光電変換素子に整列された焦点を持ち、前記マイクロレンズの焦点 50

は、第1方向に第1ピッチを持つように配列され、第2方向に第2ピッチを持つように配列され、前記第1ピッチ及び前記第2ピッチは、前記光電変換素子の第1ピッチと実質的に同一である。

**【0039】**

他の実施形態で、前記第1ピッチは、前記第2ピッチと同じである。

**【0040】**

他の実施形態で、前記光電変換素子は、前記基板内に形成された光電活性領域を備える。

**【0041】**

他の実施形態で、前記基板はエピタキシャル層を備え、前記光電変換素子は前記エピタキシャル層内に形成された光電活性領域を備える。 10

**【0042】**

他の実施形態で、前記接合分離領域は、不純物でドーピングされた領域を備える。

**【0043】**

他の実施形態で、前記絶縁分離領域は、前記基板内に提供された絶縁物質の部分を備える。

**【0044】**

他の実施形態で、前記絶縁分離領域は、STI法またはLOCOS法を使用して形成される。

**【0045】**

他の実施形態で、前記第1方向及び前記第2方向は、互いに垂直となる水平方向と垂直方向とを含む。 20

**【0046】**

他の実施形態で、行及び列のうち少なくとも一つの内に互いに隣接する少なくとも二つの光電変換素子は、共通光電活性領域を共有する。

**【0047】**

他の実施形態で、前記隣接する光電変換素子それぞれは光電活性領域を備えるが、前記光電活性領域は、その上下左右部分に位置する接合分離領域及びそのコーナー部で前記接合分離領域の間に位置する絶縁分離領域により分離され、前記絶縁分離領域のうち一つは二つの絶縁分離領域セグメントに分割されて、前記絶縁分離領域セグメントの間を通じて前記光電活性領域は隣接する他の光電素子に連結され、前記絶縁分離領域セグメントのうち一つは第1接合分離領域に隣接し、前記絶縁分離領域セグメントのうち残りの一つは第2接合分離領域に隣接し、前記共通光電活性領域の連結部分は、前記絶縁分離領域セグメントの間に延びる。 30

他の実施形態で、前記システムは、前記活性領域上に少なくとも二つの伝送素子をさらに備えるが、前記伝送素子は、前記少なくとも二つの隣接する光電変換素子の共通活性領域を第1及び第2光電変換素子の第1及び第2光電活性領域に分割する。

**【0048】**

他の実施形態で、共通行または共通列内の互いに隣接する二つの光電変換素子それぞれは、対応する伝送素子を持ち、共通りセット素子、選択素子及びドライブ素子を共有する。 40

**【0049】**

他の実施形態で、前記絶縁分離領域のうち少なくとも一つは孤立活性領域部分を取り囲み、前記選択素子及び前記ドライブ素子は、前記光電変換素子のうち一つのコーナー部に位置する共通孤立活性領域に形成される。

**【0050】**

他の実施形態で、共通行または共通列内の隣接する二つの光電変換素子それぞれは、対応する伝送素子及びリセット素子を備え、共通選択素子及びドライブ素子を共有する。

**【0051】**

他の実施形態で、前記絶縁分離領域のうち少なくとも一つは孤立活性領域を取り囲み、 50

前記選択素子及び前記ドライブ素子は、前記光電変換素子のうち一つのコーナー部に位置する共通孤立活性領域に形成される。

**【0052】**

他の実施形態で、共通行または共通列内の隣接する4つの光電変換素子それぞれは、対応する伝送素子を備え、共通リセット素子、選択素子及びドライブ素子を共有する。

**【0053】**

他の実施形態で、前記絶縁分離領域のうち少なくとも一つは孤立活性領域を取り囲み、前記選択素子及び前記ドライブ素子は、前記光電変換素子のうち一つのコーナー部に位置する相異なる孤立活性領域に形成される。

**【0054】**

他の実施形態で、共通行または共通列内の隣接する4つの光電変換素子それぞれは、対応する伝送素子及びリセット素子を備え、共通選択素子及びドライブ素子を共有する。

**【0055】**

他の実施形態で、前記絶縁分離領域のうち少なくとも一つは孤立活性領域を取り囲み、前記選択素子及び前記ドライブ素子は、前記光電変換素子のコーナー部に位置する相異なる孤立活性領域に形成される。

**【0056】**

他の実施形態で、共通行または共通列内の隣接する4つの光電変換素子それぞれは、対応する伝送素子を備え、共通リセット素子、選択素子及びドライブ素子を共有する。

**【0057】**

他の実施形態で、前記絶縁分離領域のうち少なくとも一つは孤立活性領域を取り囲み、前記選択素子及び前記ドライブ素子は、共通の第1孤立活性領域に形成され、リセット素子は、第1孤立活性領域とは分離された第2孤立活性領域に形成され、前記第1及び第2孤立活性領域は、対応する光電変換素子のコーナー部に位置する。

**【0058】**

他の実施形態で、隣接する二つの行または列内の隣接する4つの光電変換素子それぞれは、対応する伝送素子を備え、共通リセット素子、選択素子及びドライブ素子を共有する。

**【0059】**

他の実施形態で、前記絶縁分離領域のうち少なくとも一つは孤立活性領域を取り囲み、前記リセット素子、選択素子及び前記ドライブ素子は、前記光電変換素子のコーナー部に位置する相異なる孤立活性領域に形成される。

**【0060】**

他の実施形態で、前記絶縁分離領域のうち少なくとも一つは孤立活性領域を取り囲み、前記選択素子、前記ドライブ素子及び前記リセット素子のうち二つは、共通の第1孤立活性領域に形成され、前記選択素子、前記ドライブ素子及び前記リセット素子のうち残りの一つは前記第1孤立活性領域とは分離された第2孤立活性領域に形成され、前記第1及び第2孤立活性領域は対応する光電変換素子のコーナー部に位置する。

**【0061】**

他の実施形態で、前記隣接する4つの光電素子は共通光電活性領域を共有する。

**【0062】**

他の実施形態で、前記光電変換素子上に形成されたマイクロレンズのアレイをさらに備えるが、前記マイクロレンズは行及び列に配列され、前記マイクロレンズそれぞれは対応する光電変換素子に整列された焦点を持つ。

**【0063】**

他の側面で、本発明は、イメージセンサーの製造方法を提供する。前記製造方法は、基板内に第1方向及び第2方向にそれぞれ延びる行及び列に配列される光電変換素子のアレイを提供する工程と、前記基板内に複数の第1接合分離領域及び第2接合分離領域を提供するが、前記第1接合分離領域それぞれは、共通行内で互いに隣接する光電変換素子の側部を分離し、前記第2接合分離領域それぞれは、共通列内で互いに隣接する光電変換素子

10

20

30

40

50

の側部を分離する工程と、前記基板内に複数の絶縁分離領域を提供するが、前記絶縁分離領域それぞれは、互いに隣接する光電変換素子のコーナー部を分離する工程と、を含む。

#### 【0064】

一実施形態で、前記光電変換素子は第1方向に第1ピッチを持ち、第2方向に第2ピッチを持つが、前記第1ピッチは、共通行内の前記光電変換素子で実質的に同一であり、前記第2ピッチは、共通列内の前記光電変換素子で実質的に同一である。

#### 【0065】

他の実施形態で、前記方法は、前記光電変換素子上にマイクロレンズのアレイを形成する工程をさらに含む。前記マイクロレンズは行及び列に配列され、前記マイクロレンズそれぞれは、対応する光電変換素子に整列された焦点を持ち、前記マイクロレンズの焦点は、第1方向に第1ピッチを持つように配列され、第2方向に第2ピッチを持つように配列され、前記第1ピッチ及び前記第2ピッチは、前記光電変換素子の第1ピッチと実質的に同一である。10

#### 【0066】

他の実施形態で、前記第1ピッチは、前記第2ピッチと同じである。

他の側面で、本発明は、イメージセンサーの光電変換素子アレイを提供する。基板内に素子が提供される。光電変換素子それぞれは、交互に配置された基板内の接合分離領域と基板内の絶縁分離領域とを使用して、アレイの行方向及び列方向に隣接する光電変換素子と分離される。

#### 【0067】

一実施形態で、前記接合分離領域は、隣接する光電変換素子の側部を分離し、絶縁分離領域は、隣接する光電変換素子のコーナー部を分離する。20

#### 【0068】

他の実施形態で、前記光電変換素子は行方向に第1ピッチを持ち、列方向に第2ピッチを持ち、前記第1ピッチは、前記アレイの共通行内の光電変換素子で実質的に同一であり、前記第2ピッチは、前記アレイの共通列内の光電変換素子で実質的に同一である。

#### 【発明の効果】

#### 【0069】

このような方法で、実施形態はシェアド・タイプイメージング素子構造を提供することにより増大した素子フィルファクターを提供しつつ、行方向への一定のピッチ及び列方向への一定のピッチを維持する。したがって、光電変換素子上に提供されたマイクロレンズと前記光電変換素子間の整列が確保される。DIR (Dielectric Isolation Resins) 及びJIR (Junction Isolation Resins) 分離構造は隣接する光電変換素子を分離させるために提供される。DIR及びJIR分離構造によって高いフィルファクターを達成でき、行及び列方向の両方で一定のピッチを提供できる。その結果、素子感度が向上し、クロストークが減少し、獲得されたイメージの解像度が向上する。30

#### 【発明を実施するための最良の形態】

#### 【0070】

本発明の望ましい実施形態を示した図面を参照して本発明をさらに詳細に説明する。本発明は、ここで記述される実施形態に限定されると解釈されてはならず、他の形態に具体化できる。明細書全体にわたって同じ参照番号は実質的に同じ構成要素を表す。40

#### 【0071】

図1は本発明の一実施形態によるCISイメージセンサーを示すブロックダイヤグラムである。図1を参照すれば、CISイメージセンサー100は、APS (Active Pixel Sensor) 10、タイミング発生器20、行デコーダ30、行ドライバ-40、CDS 50、ADC 60、ラッチ部70及び列デコーダ80を備える。前記APS 10は、個別的にアドレス化された画素のアレイを備え、各画素は、光電変換素子、複数の読出素子を備える。前記読出素子は、伝送素子、選択素子、ドライブ素子及びセット素子を備える。一実施形態で、前記光電変換素子は、フォトダイオードまたはフォ50

トゲートを備える。他の実施形態で、前記読出素子はトランジスタを備える。

#### 【0072】

図2は、図1のCISイメージセンサーのAPSアレイ回路を示す概略図である。図2を参照すれば、複数の単位画素P\_unit(i,j)が行方向及び列方向に2次元行列形態で配列される。前記各単位画素P\_unit(i,j)は、第1光電変換素子11a、第2光電変換素子11b及び複数の読出素子を備える。前記読出素子は、第1伝送素子15a及び第2伝送素子15b、共有された選択素子19、ドライブ素子17及びリセット素子18を備える。このような構成で、互いに隣接する二つの光電変換素子それぞれは伝送素子を備え、互いに対応する二つの光電変換素子/伝送素子対は、共通の選択素子19、ドライブ素子17及びリセット素子18を共有する。前記リセット素子18は、電源Vddとフローティング拡散領域FDとの間に連結されて、前記フローティング拡散領域FDをリセットする。前記フローティング拡散領域FDは、両側伝送素子15a、15bの出力端に接続される。前記リセット素子18は、リセット信号RX(i)に反応して活性化され、前記伝送素子15a、15bは、第1伝送信号TX(i)a及び第2伝送信号TX(i)bに反応して活性化される。前記選択素子19及びドライブ素子17は、電源Vddと出力信号線Vout(j)との間に直列に連結される。前記選択素子19は、選択信号SEL(i)に反応して活性化され、前記ドライブ素子17は、前記フローティング拡散領域FDに保存された電荷に反応して前記出力信号線Vout(j)をドライブする。前記伝送素子15a、15bは、交互に活性化されて蓄積された電荷を対応する光電変換素子11a、11bからフローティング拡散領域FDに伝送し、結局出力信号線Vout(j)に伝送する。このような過程で、シェアド・タイプCISイメージセンサーは、シェアド・タイプ素子構造を利用して高いフィルファクターを持つことができる。さらに、本発明の実施形態は、後述するようにマイクロレンズアレイと下部の光電変換素子との整列を確保することによって、素子イメージング正確度を向上させることができる。

#### 【0073】

図3A及び図3Bは、図2のAPSアレイ回路の一実施形態を示すレイアウトである。図3Aは、APSアレイ回路の画素の光電変換素子のレイアウトであり、隣接する画素を分離する分離領域を示す。図3Bは、前記画素に対する読出素子のゲートのレイアウトを追加的に示す。

#### 【0074】

本発明の例示的な実施形態による図3A及び図3Bを参照すれば、マイクロレンズアレイと下部の光電変換素子との整列は、画素間の行方向ピッチP2を実質的に一定にし、画素間の列方向ピッチP1を実質的に一定に一つの素子構造により具現できる。例えば、前記行方向ピッチP2は、前記光電変換素子の有効中心点Pc間の行方向距離を表し、前記列方向ピッチP1は、前記光電変換素子の有効中心点Pc間の列方向距離を表す。各行及び列方向で一定のピッチP1、P2を維持することは、行及び列方向でレンズ間の対応する周期性を持つマイクロレンズアレイを提供することを可能にし、マイクロレンズアレイと下部の光電変換素子アレイとの正確な整列を可能にする。本発明の実施形態で行方向の一定のピッチP2及び列方向の一定のピッチP1が要求されるが、行方向のピッチP2は列方向のピッチP1と同一である必要はない。しかし、同じピッチP1=P2は、垂直対水平イメージの対称が必要な場合では望ましい。

#### 【0075】

図3A及び図3Bを参照すれば、二次元のAPS画素アレイが行及び列方向に配列される。各画素は光電変換素子を備える。行方向に隣接するフォトダイオードは電気的に分離される。行方向に隣接するフォトダイオードの中心は一定のピッチP2を持つ。列方向に隣接する光電変換素子11a、11bの対は、共通に連結された読出活性領域C-RoAを共有する。前記列方向に隣接するフォトダイオードの隣接する対は互いに電気的に分離される。列方向に隣接するフォトダイオードの中心は一定のピッチP1を持ち、隣接するフォトダイオードは共通で連結された読出活性領域C-RoAを共有し、隣接するフォトダイオードは互いに電気的に分離される。

10

20

30

40

50

## 【0076】

図3A及び図3Bの例示的な実施形態として、第1画素は、第1光電変換素子活性領域PA\_u1を備え、前記第1画素に列方向に隣接した第2画素は、第2光電変換素子活性領域PA\_u2を備える。前記第1光電変換素子PA\_u1及び前記第2光電変換素子PA\_u2は単位画素P\_unitを含み、前記単位画素P\_unitは、図2の単位画素P\_unit(i,j)に対応する。前記単位画素P\_unitは、第1光電変換素子PA\_u1、第2光電変換素子PA\_u2、連結読出活性領域C\_RoA及び孤立読出活性領域I\_RoAを備える。前記読出素子は、前記光電変換素子PA\_u1、PA\_u2に蓄積された電荷を読み取るのに使われ、連結読出活性領域C\_RoA及び孤立読出活性領域I\_RoAに位置する。

10

## 【0077】

共通単位画素P\_unitの前記第1光電変換素子PA\_u1及び第2光電変換素子PA\_u2は、前記連結読出活性領域C\_RoAに連結される。前記連結読出活性領域C\_RoAには、前記第1伝送素子15a及び第2伝送素子15bの第1伝送素子活性領域TA1上の第1伝送ゲートTG1及び第2伝送素子活性領域TA2上の第2伝送ゲートTG2が、それぞれ前記第1光電変換素子PA\_u1及び第2光電変換素子PA\_u2と共にフローティング拡散領域FDAとの間の電荷フローを制御する。前記リセット素子18の前記リセット素子活性領域RA上の共有されたリセットゲートRGは、電源Vddと共にフローティング拡散領域FDAとの間の電荷フローを制御し、前記共通フローティング拡散領域FDAをリセットする。

20

## 【0078】

孤立読出活性領域I-RoAには、共通単位画素P\_unitに共有された選択素子19及びドライブ素子17が位置する。前記ドライブ素子17は、ソースフォロアー素子と呼ばれることができる。前記選択素子19の前記選択素子活性領域SA上の共有された選択ゲートSG及び前記ドライブ素子17のドライブ素子活性領域SFA上の共有されたドライブゲートSFGは、孤立読出活性領域I-RoA上に位置する。

## 【0079】

共通単位画素P\_unitの前記第1光電変換素子PA\_u1及び第2光電変換素子PA\_u2は、2つの形態の分離領域、すなわち、絶縁分離領域DIR及び接合分離領域JIRによって隣接した単位画素の光電変換素子から分離される。DIR分離の例には、STIT(Shallow Trench Isolation)とLOCOS(Local Oxidation of Silicon)がある。このようなDIR分離技術で、酸化物を含有する物質のような分離物質は、互いに隣接する素子の分離をはっきりとするために、所定深さに素子基板内に形成されたトレンチ内に提供されうる。JIR分離で、基板の領域はPまたはNドーピング物質でドーピングされるが、隣接する素子の分離をはっきりとするために所定深さ及び強度でドーピングされる。例えば、JIR分離領域では、CIS光電変換素子が前記素子基板内に所定深さに形成されたn型フォトダイオードと、前記n型フォトダイオード上に形成されたP型領域とを備える。互いに隣接する光電変換素子の隣接するn型フォトダイオードは、それらを互いに分離させる分離領域を必要とする。したがって、ボロンまたはBF<sub>2</sub>のようなP型ドープ剤は、n型フォトダイオードをカバーできる程度の十分な深さに注入されてJIR分離領域を形成できる。

30

## 【0080】

DIR分離は、第1伝送素子15a及び第2伝送素子15b、共有されたリセット素子18、選択素子19及びドライブ素子17を備える多様な読出素子のための効果的な分離手段であるという点で有効である。しかし、DIR分離は、現在の工程技術を使用しては縮め難い幅を持つトレンチを形成することが要求される。これに加えて、DIR分離構造のトレンチの界面には基板欠陥が存在する。前記基板欠陥は、熱エネルギーによる暗電流を誘発させる。したがって、DIR分離構造を形成するためには、前記DIR分離構造のトレンチを包む不純物ウェルであるバッファ領域を形成することが一般的である。これにより、トレンチの基板欠陥内に誘発された暗電流がDIR分離構造外に伝播されないよう

40

50

にすることができる。このようなバッファ領域は、図3Aの参照番号Sで表示される。

#### 【0081】

このような理由で、JIR分離は、隣接する光電変換素子を分離させるのに有効である。言い換れば、JIR分離の分離領域は、DIR分離構造のトレンチの相対的な幅より相対的に狭い幅を持つように形成されうる。これに加えて、JIR分離構造は基板欠陥のソースにならず、したがって、JIR分離構造はDIR分離構造に比べて暗電流が少なく発生する。したがって、DIR分離構造の側部に必要なバッファ領域SはJIR分離構造には必要なく、前記光電変換素子のための表面積が増大し、これにより、最終素子のフィルファクターが増大しうる。JIR構造は、行方向に延び、例えば、図3BのJIR構造356a、356b及び356gは、工程プロセスのデザインルールで定義される幅Wcを持つ。これと類似して、JIR構造は列方向に延び、例えば、JIR構造356c、356d、356e及び356fは、工程プロセスのデザインルールで定義される幅W1を持つ。一部の実施形態では、W1はWcと同じであるが、これは選択事項であるだけで必須事項ではない。  
10

#### 【0082】

図3A及び図3Bを参照すれば、本実施形態の例示的な構造として、前記光電変換素子PA\_u1、PA\_u2は、基板の第1及び第2方向にそれぞれ延びた行及び列に配列される。

#### 【0083】

基板内に形成された複数の第1接合分離領域JIR356a、356b、356gは、それぞれ共通行内で隣接する光電変換素子PA\_u1、PA\_u1の側部を分離させ、基板内に形成された複数の第2接合分離領域JIR356c、356d、356e、356fは、それぞれ共通列内で隣接する光電変換素子PA\_u1、PA\_u1の側部を分離させる。例えば、アレイ構造が現れた図3Bを参照すれば、光電変換素子354は、列方向でその上側部で光電変換素子355aと隣接し、その下側部で光電変換素子355dと隣接する。JIR構造356aは、光電変換素子354をその上側部で隣接する光電変換素子355aと分離させ、JIR構造356bは、光電変換素子354をその下側部で隣接する光電変換素子355dと分離させる。同じ光電変換素子354は、行方向にその左側部で光電変換素子355cと隣接し、その右側部で光電変換素子355bと隣接する。JIR構造356cは、光電変換素子354をその左側部で隣接する光電変換素子355cと分離させ、JIR構造356dは、光電変換素子354をその右側部で隣接する光電変換素子355bと分離させる。  
20  
30

#### 【0084】

複数の絶縁分離領域DIRが基板内に提供されて、前記隣接する光電変換素子のコーナー部を分離させる。例えば、アレイ構造が現れた図3Bを参照すれば、光電変換素子354は、その左側上部コーナーで光電変換素子355c、355e、355aと隣接する。前記DIR構造357aは、前記光電変換素子354をその左側上部コーナーで隣接する光電変換素子355c、355e、355aから分離させる。同様に、光電変換素子354は、その右側上部コーナーで光電変換素子355a、355f、355bと隣接する。前記DIR構造357bは、前記光電変換素子354をその右側上部コーナーで隣接する光電変換素子355a、355f、355bから分離させる。また、光電変換素子354は、その右側下部コーナーで光電変換素子355b、355h、355dと隣接する。前記DIR構造357dは、前記光電変換素子354をその右側下部コーナーで隣接する光電変換素子355b、355h、355dから分離させる。追加的に、光電変換素子354は、その左側下部コーナーで光電変換素子355c、355g、355dと隣接する。前記DIR構造357cは、前記光電変換素子354をその左側下部コーナーで隣接する光電変換素子355c、355g、355dから分離させる。  
40

#### 【0085】

このような実施形態で、前記JIR構造356a、356c、356b、356dは、DIR構造357a、357c、357d、357bの間で延びてこれらに隣接する。例  
50

えば、J I R 構造 356a は D I R 構造 357a、357b の間で延び、J I R 構造 356c は、D I R 構造 357a、357c の間で延びるなど、各光電変換素子 354 に対する連続的な分離構造を形成する。このように、前記 J I R 構造 356a、356c、356b、356d 及び D I R 構造 357a、357c、357d、357b は、互いに隣接して前記光電変換素子 354 を取り囲んで隣接する光電変換素子 355a ないし 355h から分離させる。前記 J I R 構造 356a、356c、356b、356d は、前記光電変換素子 354 の側部を行及び列方向に隣接する光電変換素子 355a、355b、355c、355d から分離する。前記 D I R 構造 357a、357b、357c、357d は、前記光電変換素子 354 の左側上部、右側上部、左側下部、右側下部コーナー部を隣接する光電変換素子 355e、355f、355g、355h から分離し、前記 D I R 構造の間で延びる J I R 構造 356a、356d、356b、356c と共に、前記光電変換素子 354 を隣接する光電変換素子 355a、355b、355c、355d から部分的に分離する。前記光電変換素子 355e、355f、355g、355h は、アレイから前記素子 354 に対して対角線に位置し、前記光電変換素子 355a、355b、355c、355d は、前記素子 354 の側部に位置する。  
10

#### 【0086】

このような構造で分かるように、前記光電変換素子 P A\_u1、P A\_u2 は、第1方向、すなわち、行方向で第1ピッチ P 2 を持ち、第2方向、すなわち、列方向で第2ピッチ P 1 を持つ。前記第1ピッチ P 2 は実質的に一定であるか、または共通行内の前記光電変換素子 P A\_u1、P A\_u1 で実質的に同一である。前記第2ピッチ P 1 は実質的に一定であるか、または共通列内の前記光電変換素子 P A\_u1、P A\_u2 で実質的に同一である。前記光電変換素子 354、前記 D I R 分離構造及び前記 J I R 分離構造の形態は、前記第1ピッチ P 2 を実質的に一定にし、また前記第2ピッチ P 1 を実質的に一定にするために選択されうる。  
20

#### 【0087】

前記 D I R 分離構造のうち一部、例えば、D I R 構造 357d は、前記光電変換素子 P A\_u1、P A\_u2 のコーナー領域に位置する。隣接する光電変換素子、例えば、光電変換素子 344、355d の活性領域は連結されて共通のフローティング拡散領域 F D A を共有する。D I R 構造のうち一部は、活性領域 P A\_u1、P A\_u2 を連結する光電変換素子に I 連結部が位置する領域で、互いに離隔した第1セグメント 310a 及び第2セグメント 310b を備える。このような連結部で、光電変換素子と F D 領域との間の電荷フローは、前記光電変換素子に関連した各伝送ゲート T G により制御される。このような意味で、この領域で前記隣接する光電変換素子は、D I R 分離構造または J I R 分離構造により正確に分離されるものではない。前記 D I R 構造 357d の第1セグメント 310a は、列方向に隣接する J I R 分離構造の間で延び、前記 D I R 構造の第2セグメント 310b は、行方向に隣接する J I R 分離構造から延びて前記第1セグメント 310a と離隔される。  
30

#### 【0088】

図 4A 及び図 4B は、図 2 の A P S アレイ回路の断面図であり、図 3A の切断線 4a - 4a' 及び図 3B の切断線 4b - 4b' に沿ってそれぞれ切り取られた図面であり、本発明の一実施形態によるイメージング素子を形成する方法を示す。  
40

#### 【0089】

図 4A を参照すれば、半導体基板 101 上にポテンシャルバリヤー層 102 が提供される。一実施形態で、前記基板 101 は、暗電流の影響を低減させる P 型基板でありうる。前記ポテンシャルバリヤー層 102 は、前記基板 101 上にまたは内に形成された光電変換素子内に暗電流が注入されることを防止する役割を行う。ここで、“基板”は、バルク半導体基板、S O I ( s i l i c o n - o n - i n s u l a t o r ) 基板またはエピタキシャル層、例えば、バルク基板上に成長された単結晶層のようないろいろな基板形態のうち一つであるが、これに限定されるものではない。本実施形態で、前記基板 101 上にエピタキシャル層 103 が形成される。高い結晶純度はさらに効率的な光電変換を可能にす  
50

るので、単結晶エピタキシャル層は、光電変換素子の活性領域の形成のために必要である。

#### 【0090】

S T I と L O C O S 技術を含む通常の形成技術を使用して、前記基板上に D I R 型の分離構造を形成する。その後、フォトレジスト層 P R が形成されてパターニングされて光電変換素子が形成される領域を覆い、D I R 及び J I R 分離領域が形成される領域を露出させる。本実施形態で、前記フォトレジストパターン P R は、前記 D I R 分離領域で発生しうる暗電流のフローを除去するために、前記 D I R に隣接して幅 S を持つチャンネルトップ領域 108 を露出させるように形成される。

#### 【0091】

その後、前記エピタキシャル層 103 内に不純物をドーピングして、連結読出活性領域 C - R o A 及び孤立読出活性領域 I - R o A 内にそれぞれ P ウェル領域 106、107 を形成する。これと同時に、前記 P ウェル領域 106、107 は、前記 D I R 分離構造を取り囲む幅 S のチャンネルトップ領域 108 を含むように形成される。また、前記エピタキシャル層内にフィールド領域 104 を形成して J I R 分離構造を提供する。一実施形態で、前記不純物は P 型ドープ剤を含むことができる。前記ドーピングは、二つ以上のドーピング工程を使用した高エネルギードーピング及び低エネルギードーピングを含む二つの工程で行われうる。

#### 【0092】

図 4 B を参照すれば、伝送素子の伝送ゲート T G が形成されるエピタキシャル層 103 の表面上にチャンネル領域 112 が形成されうる。その後、伝送素子 15 a、15 b の伝送ゲート T G、リセット素子 18 のリセットゲート R G、選択素子 19 の選択ゲート S G 及びドライブ素子 17 のソースフォロアーゲート S F G のゲートを、通常の製造工程を使用して形成してパターニングする。前記ゲートそれぞれはゲート酸化膜 134 及びゲート電極 T G、R G、S G、S F G を備える。

#### 【0093】

その後、N 型不純物と P 型不純物とをフォトダイオード領域にドーピングして、光電変換素子 P A - u 1、P A \_ u 2 の N P D 及び P P D 領域を形成する。前記 N P D 領域は約 1 E 15 ないし 1 E 18 のドーピング濃度範囲で形成され、前記 P P D 領域は、約 1 E 17 ないし 1 E 20 のドーピング濃度範囲で形成されうる。P 型領域 P P D は、前記フォトダイオード領域内の暗電流の影響を低減するためにエピタキシャル層 103 の表面に形成されることが望ましい。

#### 【0094】

通常の技術を使用して前記ゲート T G、R G、S G、S F G の側壁に側壁スペーサ 138 を形成する。その後、適切な濃度で N 型ドープ剤を注入して、フローティング拡散領域 F D とソース / ドレーン領域 116 とを形成する。

#### 【0095】

図 5 は、図 2 の A P S アレイ回路の一実施形態を示すレイアウトであり、前記ピクセルアレイ上に形成されたマイクロレンズアレイの前記ピクセルに対する相対的な位置を示す。図 6 は、図 5 の A P S アレイ回路の断面図であり、図 5 の切断線 6 - 6' に沿って取られた断面図である。図 5 を参照すれば、ピクセルアレイ上部にマイクロレンズアレイ 200 が形成される。前記マイクロレンズアレイ 200 は、行方向に一定のピッチ P 2 を持ち、列方向に一定のピッチ P 1 を持つ。前記行方向のピッチ P 2 と前記列方向のピッチ P 1 とは、行方向に隣接するマイクロレンズ 200 の焦点 F - 200 間の距離がピクセルアレイの隣接する光電変換素子間の行方向ピッチ P 2 と同じに、列方向に隣接するマイクロレンズの焦点間の距離がピクセルアレイの隣接する光電変換素子間の列方向ピッチ P 1 と同じく選択されうる。このように、アレイの各ピクセルは対応するマイクロレンズ 200 を持ち、その焦点 F - 200 は、前記ピクセルの前記光電変換素子 P A \_ u 1、P A \_ u 2 の中心と実質的に整列される。

#### 【0096】

10

20

30

40

50

図6を参照すれば、図4の工程に後続して、複数の水平配線145、155及び垂直プラグ140、150を備える多層の層間絶縁膜170が提供される。前記水平配線145、155及び垂直プラグ140、150は、素子のいろいろな構成要素間の電気的連結を提供する。前記層間絶縁膜170内に遮光層160が提供されて、入射光エネルギーが読出素子の動作に影響を与えることを防止する。通常の技術を使用して、前記層間絶縁膜170上に下部平坦化層180、カラーフィルターアレイ190、及び上部平坦化層195を形成する。マイクロレンズ200は、前記上部平坦化層上に形成される。各マイクロレンズはそれに対応する光電変換素子の幾何学的中心Pcのような有効中心に整列される焦点F-200を持つように形成される。

## 【0097】

10

図7は、図2のAPSアレイ回路の他の一実施形態を示すレイアウトであり、APSアレイ回路の画素の光電変換素子のレイアウト、隣接する画素を分離する分離領域、及び前記画素に対する読出素子のゲートのレイアウトを示す。本実施形態は、図3A及び図3Bを参照して説明した実施形態と類似した点を持つ。このような類似した点についての説明は省略する。本実施形態の異なる点は、第1光電変換素子PA\_u1の活性層と第2光電変換素子PA\_u2の活性層とが共通フローティング拡散領域FDで電気的に連結されないという点である。その代りに、本実施形態では、各单位画素P\_unitの第1及び第2光電変換素子の活性層がDIR分離構造により分離される。例えば、前記第1光電変換素子PA\_u1の右側下部コーナー部及び前記第2光電変換素子PA\_u2の右側上部コーナー部は、DIR分離構造320により電気的に分離される。このような実施形態で、前記DIR分離構造320は、行方向に隣接するJIR分離領域の間で延びたボディ部320aを備え、列方向に隣接するJIR分離領域の間でそれぞれ延びた第1及び第2ウイング部分320bを備える。

20

## 【0098】

図7の例示的な実施形態で、第1連結読出活性領域C\_RoA1は第1光電変換素子PA\_u1の活性領域に連結され、第2連結読出活性領域C\_RoA2は、第2光電変換素子PA\_u2の活性領域に連結される。前記第1連結読出活性領域C\_RoA1内に、第1伝送素子の第1伝送ゲートTG1及び第1リセット素子の第1リセットゲートRG1が第1フローティング拡散領域FDA1の両側に位置する。前記第2連結読出活性領域C\_RoA2内に、第2伝送素子の第2伝送ゲートTG2及び第2リセット素子の第2リセットゲートRG2が第2フローティング拡散領域FDA2の両側に位置する。前記図3A及び図3Bの実施形態のように、選択素子の共有された選択ゲートSGとドライブ素子の共有されたドライブゲートSFGとは、孤立読出活性領域I-RoA内に位置する。本実施形態は、以前の実施形態で叙述されたような多くの利点を提供する。

30

## 【0099】

図8は、図1のCISイメージセンサーのAPSアレイ回路を示す概略図であり、本発明の他の実施形態を示す。本実施形態は、後述することを除いては前述した図2の実施形態と類似している。単位画素P\_unit(i,j)は、4つの光電変換素子11a、11b、11c、11d及び読出素子を備える。前記読出素子は個別的に対応する第1ないし第4伝送素子15a、15b、15c、15d、及び共有された選択素子19、ドライブ素子17及びリセット素子18を備える。このような構造で、4つの隣接する光電変換素子それぞれは対応する伝送素子を備え、4つの光電変換素子/伝送素子対は、共通選択素子19、ドライブ素子17及びリセット素子18を共有する。また、フローティング拡散領域FDは、第1ないし第4伝送素子15a、15b、15c、15dの出力部に共通する。前記第1ないし第4伝送信号TX(i)a、TX(i)b、TX(i)c、TX(i)dは、対応する第1ないし第4伝送素子15a、15b、15c、15dに反応して活性化される。

40

## 【0100】

図9A及び図9Bは、図8のAPSアレイ回路の一実施形態を示すレイアウトである。図9Aは、APSアレイ回路の画素の光電変換素子のレイアウトであり、隣接する画素を

50

分離する分離領域を示す。図 9 B は、前記画素に対する読出素子のゲートのレイアウトを追加的に示す。

#### 【 0 1 0 1 】

図 9 A 及び図 9 B を参照すれば、本実施形態は後述するところを除いては図 3 A 及び図 3 B の実施形態と類似している。本実施形態の単位画素 P\_u n i t は、第 1 光電変換素子 P\_A\_u 1、第 2 光電変換素子 P\_A\_u 2、第 3 光電変換素子 P\_A\_u 3、及び第 4 光電変換素子 P\_A\_u 4 を備える。前記第 1 ないし第 4 光電変換素子 P\_A\_u 1 ないし P\_A\_u 4 及び読出素子のレイアウトは後で詳細に記述される。

#### 【 0 1 0 2 】

図 3 A 及び図 3 B の実施形態で記述されたように、図 9 A 及び図 9 B の本実施形態では 10 、マイクロレンズアレイと下部の光電変換素子との整列は画素間の行方向ピッチ P\_2 を実質的に一定にし、画素間の列方向ピッチ P\_1 を実質的に一定にした素子構造により具現されうる。例えば、前記行方向ピッチ P\_2 は、前記光電変換素子の有効中心点 P\_c 間の行方向距離を表し、前記列方向ピッチ P\_1 は、前記光電変換素子の有効中心点 P\_c 間の列方向距離を表す。前述したように、各行及び列方向で一定のピッチ P\_1、P\_2 を維持することは、行及び列方向でレンズ間の対応する周期性を持つマイクロレンズアレイを提供することを可能にし、マイクロレンズアレイと下部の光電変換素子アレイとの正確な整列を可能にする。前述したように、行方向の一定のピッチ P\_2 及び列方向の一定のピッチ P\_1 が要求されるが、行方向のピッチ P\_2 は列方向のピッチ P\_1 と同一である必要はない。しかし、同じピッチ P\_1 = P\_2 は垂直対水平イメージ対称が必要な場合では望ましい。

#### 【 0 1 0 3 】

図 9 A 及び図 9 B を参照すれば、二次元の A\_P\_S 画素アレイが行及び列方向に配列される。各画素は、光電変換素子 P\_A\_u 1、P\_A\_u 2、P\_A\_u 3、P\_A\_u 4 を備える。行方向に隣接するフォトダイオードは電気的に分離される。行方向に隣接する光電変換素子の中心は一定のピッチ P\_2 を持つ。図 3 A 及び図 3 B の実施形態のように、列方向に隣接する光電変換素子の対、例えば、光電変換素子の対 P\_A\_u 1、P\_A\_u 2 及び光電変換素子の対 P\_A\_u 3、P\_A\_u 4 は、共通に連結された読出活性領域 C\_R\_o\_A\_1、C\_R\_o\_A\_2 をそれぞれ共有する。前記列方向に隣接するフォトダイオードの隣接する対は互いに電気的に分離される。例えば、第 1 対 P\_A\_u 1、P\_A\_u 2 は、第 2 対 P\_A\_u 3、P\_A\_u 4 から電気的に分離される。列方向に隣接するフォトダイオードの中心は一定のピッチ P\_1 を持ち、隣接するフォトダイオードは共通に連結された読出活性領域 C\_R\_o\_A\_1、C\_R\_o\_A\_2 を共有し、隣接するフォトダイオードは互いに電気的に分離される。

#### 【 0 1 0 4 】

図 9 A 及び図 9 B の例示的な実施形態として、第 1 画素は第 1 光電変換素子 P\_A\_u 1 を備え、前記第 1 画素に列方向に隣接した第 2 画素は第 2 光電変換素子 P\_A\_u 2 を備え、前記第 2 画素に列方向に隣接した第 3 画素は第 3 光電変換素子 P\_A\_u 3 を備え、前記第 3 画素に列方向に隣接した第 4 画素は第 4 光電変換素子 P\_A\_u 4 を備える。前記第 1 光電変換素子 P\_A\_u 1、前記第 2 光電変換素子 P\_A\_u 2、前記第 3 光電変換素子 P\_A\_u 3 及び前記第 4 光電変換素子 P\_A\_u 4 は、単位画素 P\_u n i t を含み、前記単位画素 P\_u n i t は図 8 の単位画素 P\_u n i t (i, j) に対応する。前記単位画素 P\_u n i t は、第 1 光電変換素子 P\_A\_u 1、第 2 光電変換素子 P\_A\_u 2、第 3 光電変換素子 P\_A\_u 3、第 4 光電変換素子 P\_A\_u 4、第 1 連結読出活性領域 C\_R\_o\_A\_1、第 2 連結読出活性領域 C\_R\_o\_A\_2 及び第 1 孤立読出活性領域 I\_R\_o\_A\_1、第 2 孤立読出活性領域 I\_R\_o\_A\_2 を備える。前記読出素子は、前記光電変換素子 P\_A\_u 1、P\_A\_u 2、P\_A\_u 3、P\_A\_u 4 に蓄積された電荷を読み取るのに使われ、第 1 連結読出活性領域 C\_R\_o\_A\_1、第 2 連結読出活性領域 C\_R\_o\_A\_2 及び第 1 孤立読出活性領域 I\_R\_o\_A\_1、第 2 孤立読出活性領域 I\_R\_o\_A\_2 に位置する。

#### 【 0 1 0 5 】

共通単位画素 P\_u n i t の前記第 1 光電変換素子 P\_A\_u 1 及び第 2 光電変換素子 P

10

20

30

40

50

A\_u\_2 は、前記第 1 連結読出活性領域 C\_RoA\_1 に連結される。前記第 1 連結読出活性領域 C\_RoA\_1 には、前記第 1 伝送素子 15\_a 及び第 2 伝送素子 15\_b の第 1 伝送素子活性領域 TA\_1 上の第 1 伝送ゲート TG\_1 及び第 2 伝送素子活性領域 TA\_2 上の第 2 伝送ゲート TG\_2 が、それぞれ前記第 1 光電変換素子 PA\_u\_1 及び第 2 光電変換素子 PA\_u\_2 と共に第 1 フローティング拡散領域 FDA\_1 間の電荷フローを制御する。共通単位画素 P\_unit の前記第 3 光電変換素子 PA\_u\_3 及び第 4 光電変換素子 PA\_u\_4 は、前記第 2 連結読出活性領域 C\_RoA\_2 に連結される。前記第 2 連結読出活性領域 C\_RoA\_2 には、前記第 3 伝送素子 15\_c 及び第 4 伝送素子 15\_d の第 3 伝送素子活性領域 TA\_3 上の第 3 伝送ゲート TG\_3 及び第 4 伝送素子活性領域 TA\_4 上の第 4 伝送ゲート TG\_4 がそれぞれ前記第 3 光電変換素子 PA\_u\_3 及び第 4 光電変換素子 PA\_u\_4 と共に第 2 フローティング拡散領域 FDA\_2 間の電荷フローを制御する。10 前記第 1 フローティング拡散領域 FDA\_1 及び第 2 フローティング拡散領域 FDA\_2 は上部層により電気的に連結され、単位画素 P\_unit の共通フローティング拡散ノード FD を形成する。

#### 【0106】

前記リセット素子 18 の前記リセット素子活性領域 RA 上の共有されたリセットゲート RG は、電源 Vdd と共にフローティング拡散ノード FD 間の電荷フローを制御し、前記共通フローティング拡散ノード FD をリセットする。第 1 孤立読出活性領域 I-RoA\_1 には、共通単位画素 P\_unit に共有した選択素子 19 が位置する。前記選択素子 19 の前記選択素子活性領域 SA 上の共有された選択ゲート SG は、第 1 孤立読出活性領域 I-RoA\_1 上に位置する。第 2 孤立読出活性領域 I-RoA\_2 には、共通単位画素 P\_unit に共有されたドライブ素子 17 が位置する。前記ドライブ素子 17 の前記ドライブ素子活性領域上の共有されたドライブゲート SFG は、第 2 孤立読出活性領域 I-RoA\_2 上に位置する。ダミーゲート DG は、第 2 連結読出活性領域 C-RoA\_2 に対応する DIR 構造上に提供される。これにより、前記伝送ゲート TG\_1、TG\_2、TG\_3、TG\_4 を形成する時、パターン信頼性を向上させることができる。前記ダミーゲートがない場合、光学近接効果によって第 3 伝送ゲート TG\_3 及び第 4 伝送ゲート TG\_4 は、第 1 伝送ゲート TG\_1 及び第 2 伝送ゲート TG\_2 とは異なる面積を持つように形成されうる。20

#### 【0107】

図 3 A 及び図 3 B の実施形態のように、共通単位画素 P\_unit の前記第 1 ないし第 4 光電変換素子 PA\_u\_1、PA\_u\_2、PA\_u\_3、PA\_u\_4 は、2 つの形態の分離領域、すなわち、絶縁分離領域 DIR 及び接合分離領域 JIR によって隣接した単位画素の光電変換素子から分離される。30

#### 【0108】

図 9 A 及び図 9 B を参照すれば、本実施形態の例示的な構造として、前記光電変換素子 PA\_u\_1、PA\_u\_2 は、基板の第 1 及び第 2 方向にそれぞれ伸びた行及び列に配列される。基板内に形成された複数の第 1 接合分離領域 JIR は、それぞれ共通行内で隣接する光電変換素子、例えば、PA\_u\_1 と PA\_u\_1、または PA\_u\_2 と PA\_u\_2、または PA\_u\_3 と PA\_u\_3、または PA\_u\_4 と PA\_u\_4 の側部を分離させる。基板内に形成された複数の第 2 接合分離領域 JIR は、それぞれ共通列内で隣接する光電変換素子、例えば、PA\_u\_1、PA\_u\_2、PA\_u\_3、PA\_u\_4 の側部を分離させる。40 複数の絶縁分離領域 DIR が基板内に提供されて、前記隣接する光電変換素子のコーナー部を分離させる。前記光電変換素子 PA\_u\_1、PA\_u\_2、PA\_u\_3、PA\_u\_4 は行方向で第 1 ピッチ P2 を持ち、列方向で第 2 ピッチ P1 を持つ。前記第 1 ピッチ P2 は実質的に一定であるか、または共通行内の前記光電変換素子 PA\_u\_1、PA\_u\_2、PA\_u\_3、PA\_u\_4 で実質的に同一である。前記第 2 ピッチ P1 は実質的に一定であるか、または共通列内の前記光電変換素子 PA\_u\_1、PA\_u\_2、PA\_u\_3、PA\_u\_4 で実質的に同一である。本実施形態は以前の実施形態で記述された利点のような多くの利点を提供する。

#### 【0109】

図 10 は、図 8 の APS アレイ回路の他の一実施形態を示すレイアウトであり、APS50

アレイ回路の画素の光電変換素子のレイアウト、隣接する画素を分離する分離領域、及び前記画素に対する読出素子のゲートのレイアウトを示す。本実施形態は、図9A及び図9Bを参照して説明した実施形態と類似した点を持つ。このような類似した点についての説明は省略する。本実施形態の異なる点は、第1光電変換素子PA\_u1の活性層と第2光電変換素子PA\_u2の活性層とが共通フローティング拡散領域FDで電気的に連結されないという点である。その代りに、本実施形態では、各単位画素P\_unitの第1及び第2光電変換素子の活性層がDIR分離構造により分離される。例えば、前記第1光電変換素子PA\_u1の右側下部コーナー部及び前記第2光電変換素子PA\_u2の右側上部コーナー部は、DIR分離構造420により電気的に分離される。このような実施形態で、前記DIR分離構造420は行方向に隣接するJIR分離領域の間で延びたボディ部420aを備え、列方向に隣接するJIR分離領域の間でそれぞれ延びた第1及び第2ウイング部分420bを備える。これと類似したDIR構造を使用した分離構造が、第3光電変換素子PA\_u3の活性層と第4光電変換素子PA\_u4の活性層との間に提供される。  
。

#### 【0110】

図10の例示的な実施形態で、第1連結読出活性領域C\_RoA1は第1光電変換素子PA\_u1の活性領域に連結され、第2連結読出活性領域C\_RoA2は第2光電変換素子PA\_u2の活性領域に連結され、第3連結読出活性領域C\_RoA3は第3光電変換素子PA\_u3の活性領域に連結され、第4連結読出活性領域C\_RoA4は第4光電変換素子PA\_u4の活性領域に連結される。前記第1連結読出活性領域C\_RoA1内に、第1伝送素子の第1伝送ゲートTG1及び第1リセット素子の第1リセットゲートRG1が、第1フローティング拡散領域FDA1の両側に位置する。前記第2連結読出活性領域C\_RoA2内に、第2伝送素子の第2伝送ゲートTG2及び第2リセット素子の第2リセットゲートRG2が、第2フローティング拡散領域FDA2の両側に位置する。前記第3連結読出活性領域C\_RoA3内に、第3伝送素子の第3伝送ゲートTG3及び第3リセット素子の第3リセットゲートRG3が、第3フローティング拡散領域FDA3の両側に位置する。前記第4連結読出活性領域C\_RoA4内に、第4伝送素子の第4伝送ゲートTG4及び第4リセット素子の第4リセットゲートRG4が、第4フローティング拡散領域FDA4の両側に位置する。前記図9A及び図9Bの実施形態のように、選択素子の共有された選択ゲートSGとドライブ素子の共有されたドライブゲートSFGとは、第1孤立読出活性領域I-RoA1及び第2孤立読出活性領域I-RoA2内に位置する。本実施形態は、以前実施形態で叙述されたような多くの利点を提供する。  
。

#### 【0111】

図11は、図8のAPSアレイ回路の他の一実施形態を示すレイアウトであり、APSアレイ回路の画素の光電変換素子のレイアウト、隣接する画素を分離する分離領域、及び前記画素に対する読出素子のゲートのレイアウトを示す。本実施形態は、図9A及び図9Bを参照して説明した実施形態と類似した点を持つ。このような類似した点についての説明は省略する。本実施形態の異なる点は、リセット素子18のリセットゲートRGは、第1孤立読出活性領域I-RoA1上に提供され、選択素子19の選択ゲートSG及びドライブ素子17のドライブゲートSFGは、第2孤立読出活性領域I-RoA2上に提供される。本実施形態は、以前実施形態で叙述されたような多くの利点を提供する。  
。

#### 【0112】

図12は、図8のAPSアレイ回路の他の一実施形態を示すレイアウトであり、APSアレイ回路の画素の光電変換素子のレイアウト、隣接する画素を分離する分離領域、及び前記画素に対する読出素子のゲートのレイアウトを示す。本実施形態は、互いに隣接する4つの光電変換素子が共通の読出素子を共有するシェアド・タイプイメージセンサー、例えば、図8の概略図と関連したイメージセンサーの他の例示である。しかし、本実施形態では、図9A、図9B、図10及び図11を参照して説明した実施形態とは異なって、単位画素P\_unitは、共通列内の4つの光電変換素子を持つように配列されない。その代りに、本実施形態では、図示されたように、4つの隣接する光電変換素子PA\_u1、PA\_u2、PA\_u3、PA\_u4が、各々独立して配置される。  
。

P A \_ u 2、P A \_ u 3、P A \_ u 4が行と列方向の両方に延びるように配列される。例えば、第1光電変換素子P A \_ u 1及び第2光電変換素子P A \_ u 2は、共通の第1行内で互いに隣接し、第3光電変換素子P A \_ u 3及び第4光電変換素子P A \_ u 4は共通の第2行内で互いに隣接する。これと同時に、第1光電変換素子P A \_ u 1及び第3光電変換素子P A \_ u 3は、共通の第1列内で互いに隣接し、第2光電変換素子P A \_ u 2及び第4光電変換素子P A \_ u 4は、共通の第2列内で互いに隣接する。

#### 【0113】

前記第1光電変換素子P A \_ u 1、前記第2光電変換素子P A \_ u 2、前記第3光電変換素子P A \_ u 3及び前記第4光電変換素子P A \_ u 4は、単位画素P \_ u n i tを構成し、前記単位画素P \_ u n i tは、図8の単位画素P \_ u n i t(i, j)に対応する。  
前記単位画素P \_ u n i tは、第1光電変換素子P A \_ u 1、第2光電変換素子P A \_ u 2、第3光電変換素子P A \_ u 3、第4光電変換素子P A \_ u 4、連結読出活性領域C \_ R o A、第1孤立読出活性領域I \_ R o A 1、第2孤立読出活性領域I \_ R o A 2、及び第3孤立読出活性領域I \_ R o A 3を備える。前記読出素子は、前記光電変換素子P A \_ u 1、P A \_ u 2、P A \_ u 3、P A \_ u 4に蓄積された電荷を読み取るのに使われ、前記連結読出活性領域C \_ R o A及び第1ないし第3孤立読出活性領域I \_ R o A 1、I \_ R o A 2、I \_ R o A 3に位置する。

#### 【0114】

前記単位画素P \_ u n i tの前記第1ないし第4光電変換素子P A \_ u 1、P A \_ u 2、P A \_ u 3、P A \_ u 4は、前記連結読出活性領域C \_ R o Aに連結される。前記連結読出活性領域C \_ R o Aには、前記第1ないし第4伝送素子15a、15b、15c、15dの第1伝送ゲートT G 1、第2伝送ゲートT G 2、第3伝送ゲートT G 3及び第4伝送ゲートT G 4が位置し、前記第1ないし第4光電変換素子P A \_ u 1、P A \_ u 2、P A \_ u 3、P A \_ u 4と共にフローティング拡散領域F D Aとの電荷フローをそれぞれ制御する。

#### 【0115】

前記第1孤立読出活性領域I - R o A 1内に、リセット素子18の共有されたリセットゲートR Gが位置する。前記リセット素子18の共有されたリセットゲートR Gは、電源V d dと共にフローティング拡散領域F D A間の電荷フローを制御して、前記共通フローティング拡散領域F D Aをリセットする。前記第2孤立読出活性領域I - R o A 2には、共通単位画素P \_ u n i tに共有された選択素子19が位置する。前記選択素子19の共有された選択ゲートS Gは、第2孤立読出活性領域I - R o A 2上に位置する。前記第3孤立読出活性領域I - R o A 3には、共通単位画素P \_ u n i tに共有されたドライブ素子17が位置する。前記ドライブ素子17の共有されたドライブゲートS F Gは、第3孤立読出活性領域I - R o A 3上に位置する。本実施形態の他の構造で、前記共有されたゲートのうち二つは、孤立読出活性領域I - R o A 1、I - R o A 2、I - R o A 3のうちいずれか一つ上に位置でき、前記共有されたゲートのうち残りの一つは孤立読出活性領域I - R o A 1、I - R o A 2、I - R o A 3のうち残りのいずれか一つ上に位置できる。これとは異なって、前記共有されたゲートは、いずれも孤立読出活性領域D E L I - R o A 1、I - R o A 2、I - R o A 3のうちいずれか一つ上に位置できる。

#### 【0116】

前記実施形態のように、共通単位画素P \_ u n i tの第1ないし第4光電変換素子P A \_ u 1、P A \_ u 2、P A \_ u 3、P A \_ u 4は、2形態の分離領域、すなわち、絶縁分離領域D I R及び接合分離領域J I Rによって隣接した単位画素の光電変換素子から分離される。図12を参照すれば、基板内に形成された複数の第1接合分離領域J I Rそれぞれは、共通行内で隣接する光電変換素子の側部を分離し、共通列内で隣接する光電変換素子の側部を分離する。複数の絶縁分離領域D I Rが基板内に提供されて、前記隣接する光電変換素子のコーナー部を分離させる。前記光電変換素子P A \_ u 1、P A \_ u 2、P A \_ u 3、P A \_ u 4は、行方向で第1ピッチP 2を持ち、列方向で第2ピッチP 1を持つ。前記第1ピッチP 2は実質的に一定であるか、または共通行内の前記光電変換素子P A

10

20

30

40

50

\_u 1、P A\_u 2、P A\_u 3、P A\_u 4で実質的に同一である。前記第2ピッチP 1は実質的に一定であるか、または共通列内の前記光電変換素子P A\_u 1、P A\_u 2、P A\_u 3、P A\_u 4で実質的に同一である。

#### 【0117】

図13は、前記実施形態によるAPSアレイ回路を持つイメージセンサーを備えるシステムのロックダイヤグラムである。前記システム200は、データバス205を通じてメモリ240に連結されたプロセッサー220を備える。前記プロセッサー220は、イメージセンサー210から出力されたイメージデータ信号を処理する。前記メモリ240は、前記イメージセンサー210から出力されたイメージデータ信号を保存して回収する。例えば、フロッピー(登録商標)ディスクドライブ250またはCD/CVDドライブ255を備えるメディアドライブは、前記データバスに連結されて、媒体上にイメージデータ信号を保存する。入出力素子230及びデータポートは、前記データバスに連結されて外部装置から前記プロセッサー220に制御信号を提供し、ディスプレイのような外部装置に前記イメージデータ信号を伝送する。このような方法で、前記実施形態で現れた前記イメージング素子210は、イメージングシステム200に含まれて前述した有用性を提供する。前述した前記イメージングシステム200は、コンピュータシステム、カメラシステム、ナビゲーションシステム、ビデオシステム、スキャナーシステム及びCCTVシステムを含むいろいろな種類の電子システムに適用される。

#### 【0118】

前記では本発明の望ましい実施形態を参照して説明したが、当業者ならば特許請求の範囲に記載された本発明の思想及び領域から逸脱しない範囲内で本発明を多様に修正及び変更させうるということを理解できるであろう。

#### 【0119】

例えば、前記例示的な実施形態は、二つまたは四つの光電変換素子が共通読出素子を共有するシェアド・タイプイメージセンサーを表すが、共有された光電変換素子の数はこれに限定されず、3つまたは5つの奇数または6、8またはそれ以上の偶数でありうる。

#### 【産業上の利用可能性】

#### 【0120】

本発明は、デジタルカメラ、カムコーダ、プリンタ、スキャナーなどに好適に用いられる。

#### 【図面の簡単な説明】

#### 【0121】

【図1】本発明の一実施形態によるCISイメージセンサーを示すロックダイヤグラムである。

【図2】図1のCISイメージセンサーのAPSアレイ回路を示す概略図である。

【図3A】図2のAPSアレイ回路の画素の光電変換素子のレイアウトであり、隣接する画素を分離する分離領域を示す。

【図3B】図2のAPSアレイ回路の画素の光電変換素子のレイアウトであり、前記画素に対する読出素子のゲートのレイアウトを追加的に示す。

【図4A】図2のAPSアレイ回路の断面図であり、図3Aの切断線4a-4a'に沿って取られた図面であり、本発明の一実施形態によるイメージング素子を形成する方法を示す。

【図4B】図2のAPSアレイ回路の断面図であり、図3Bの切断線4b-4b'に沿って取られた図面であり、本発明の一実施形態によるイメージング素子を形成する方法を示す。

【図5】図2のAPSアレイ回路の一実施形態を示すレイアウトであり、前記ピクセルアレイ上に形成されたマイクロレンズアレイの前記ピクセルに対する相対的な位置を示す。

【図6】図5のAPSアレイ回路の断面図であり、図5の切断線6-6'に沿って取られた断面図である。

【図7】図2のAPSアレイ回路の他の一実施形態を示すレイアウトであり、APSアレ

10

20

30

40

50

イ回路の画素の光電変換素子のレイアウト、隣接する画素を分離する分離領域、及び前記画素に対する読み出素子のゲートのレイアウトを示す。

【図8】図1のCISイメージセンサーのAPSアレイ回路を示す概略図である。

【図9A】図8のAPSアレイ回路の画素の光電変換素子のレイアウトであり、隣接する画素を分離する分離領域を示す。

【図9B】図8のAPSアレイ回路の画素の光電変換素子のレイアウトであり、前記画素に対する読み出素子のゲートのレイアウトを追加的に示す。

【図10】図8のAPSアレイ回路の他の一実施形態を示すレイアウトであり、APSアレイ回路の画素の光電変換素子のレイアウト、隣接する画素を分離する分離領域、及び前記画素に対する読み出素子のゲートのレイアウトを示す。

10

【図11】図8のAPSアレイ回路の他の一実施形態を示すレイアウトであり、APSアレイ回路の画素の光電変換素子のレイアウト、隣接する画素を分離する分離領域、及び前記画素に対する読み出素子のゲートのレイアウトを示す。

【図12】図8のAPSアレイ回路の他の一実施形態を示すレイアウトであり、APSアレイ回路の画素の光電変換素子のレイアウト、隣接する画素を分離する分離領域、及び前記画素に対する読み出素子のゲートのレイアウトを示す。

【図13】前記実施形態によるAPSアレイ回路を持つイメージセンサーを備えるシステムのプロックダイヤグラムである。

#### 【符号の説明】

【0122】

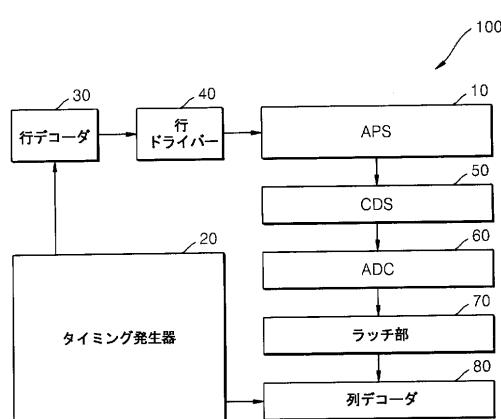
310a 第1セグメント

310b 第2セグメント

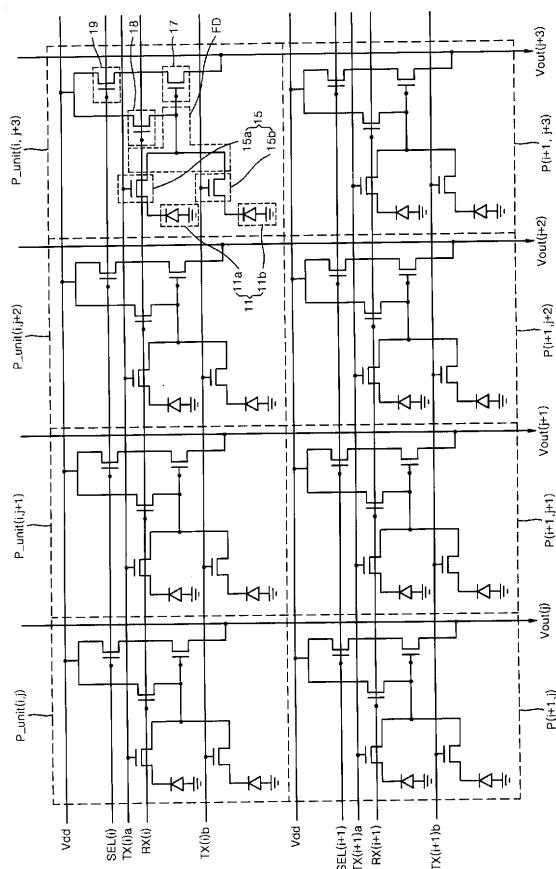
354 光電変換素子

20

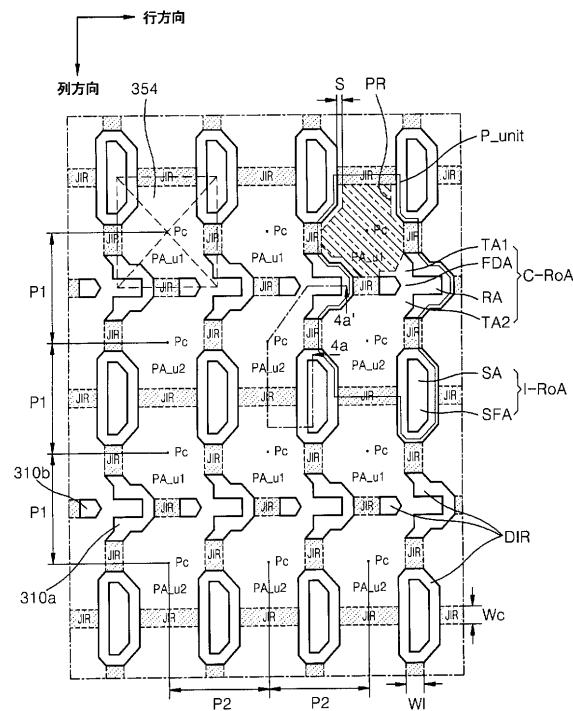
【図1】



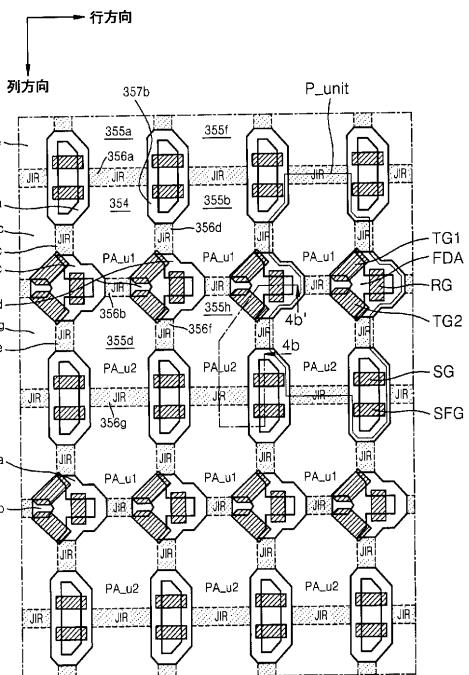
【図2】



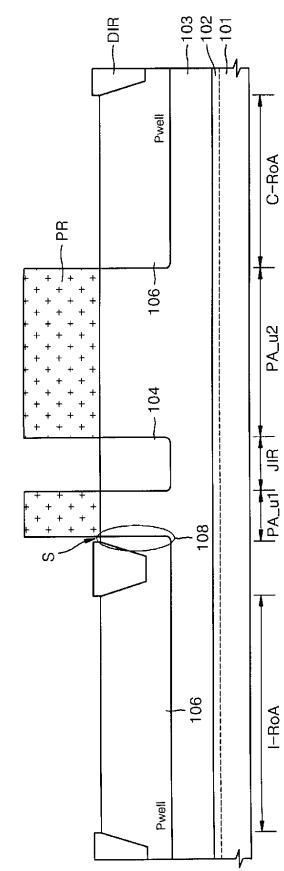
【図3A】



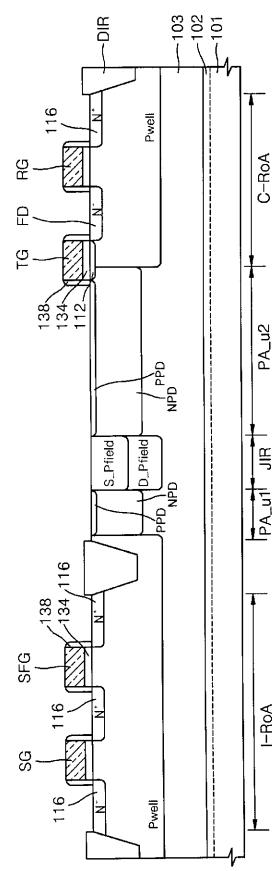
【 図 3 B 】



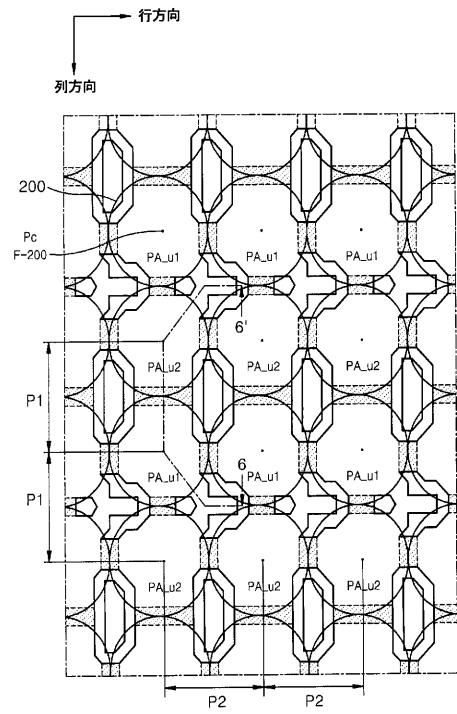
【図4A】



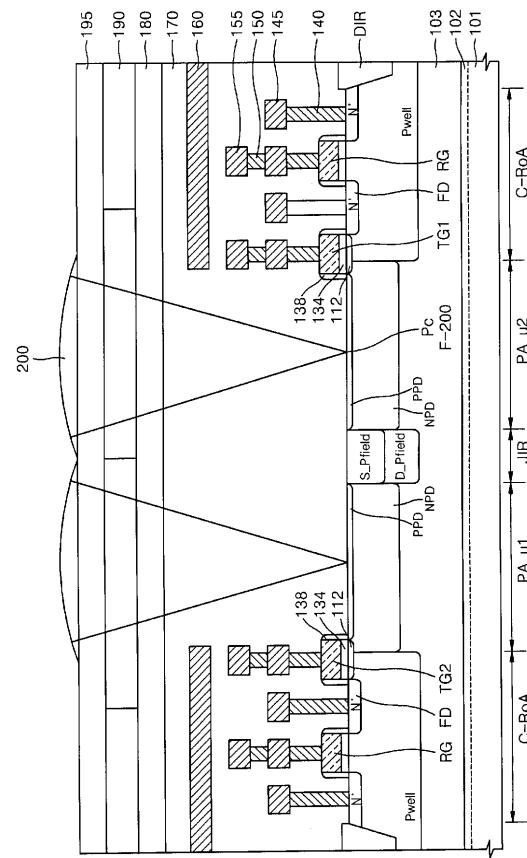
【図4B】



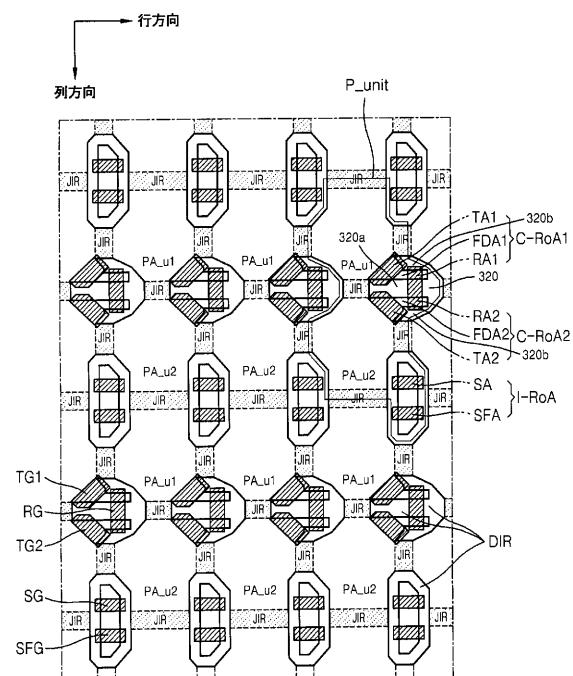
【図5】



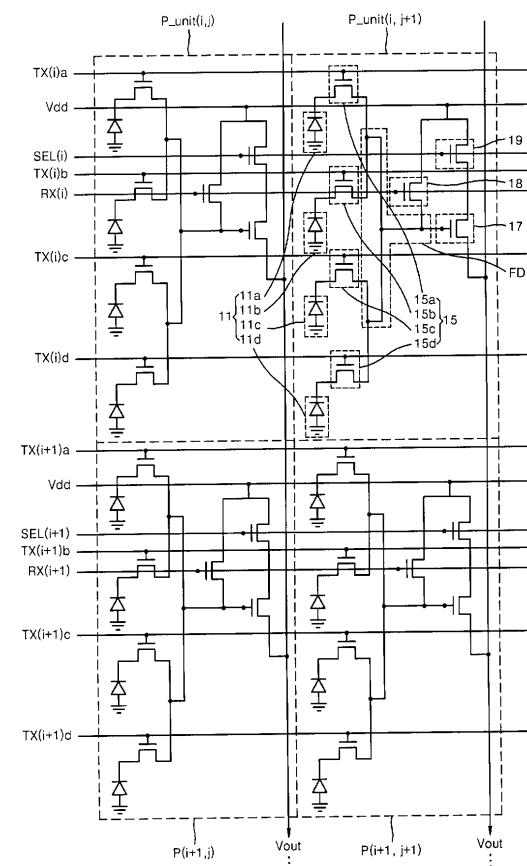
【図6】



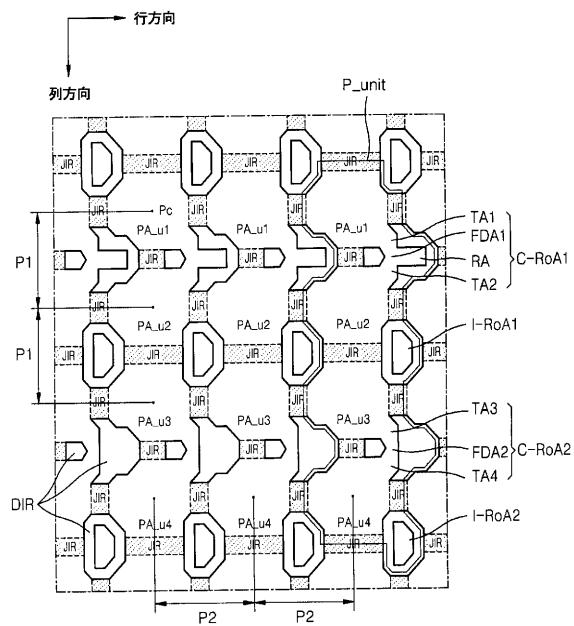
【図7】



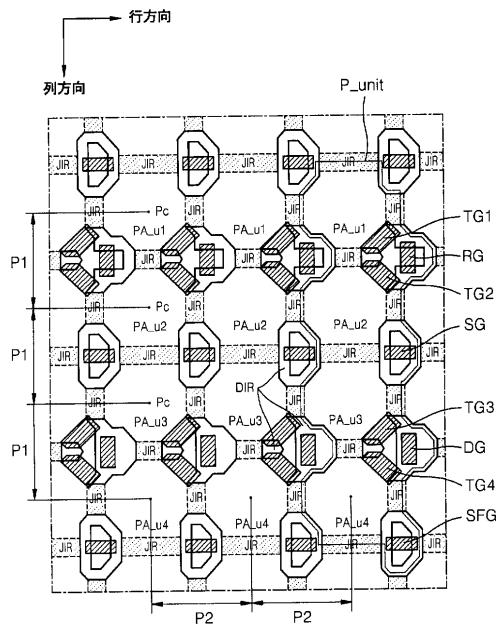
【図8】



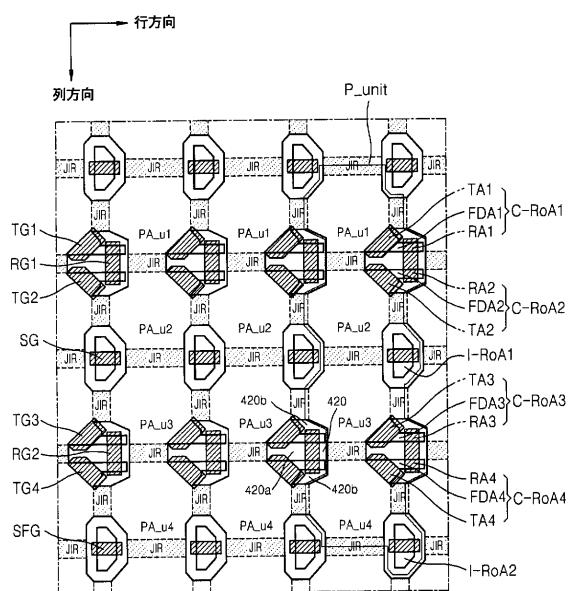
【図 9 A】



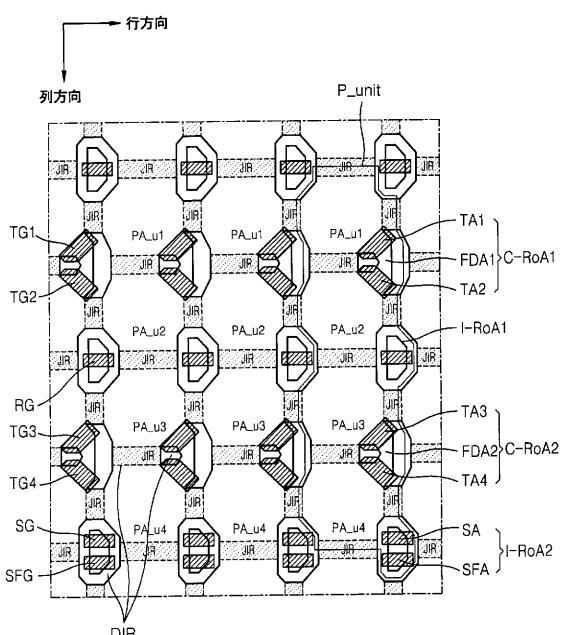
【図 9 B】



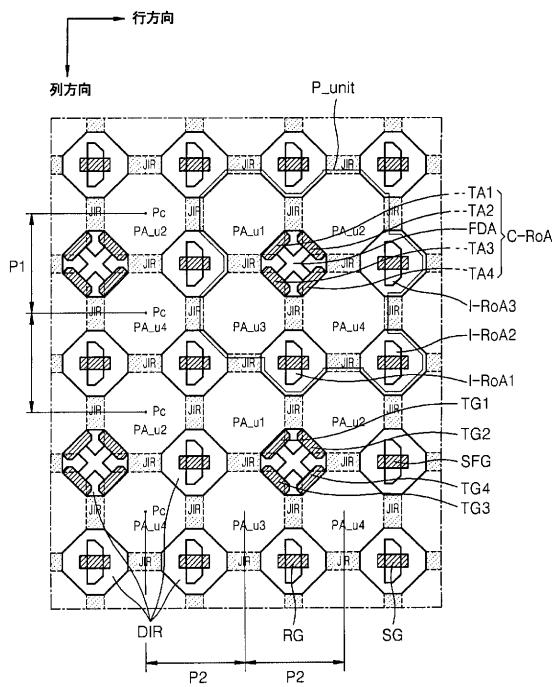
【図 10】



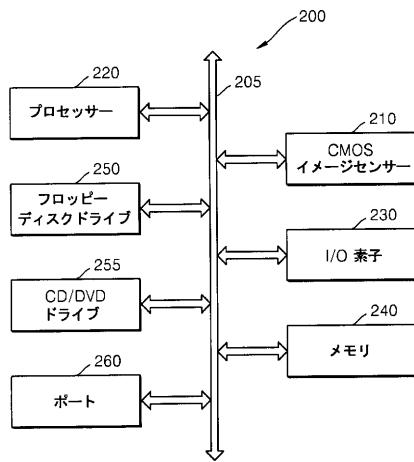
【図 11】



【図12】



【図13】



---

フロントページの続き

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 李 錫河

大韓民国ソウル特別市冠岳區南 ヒュン 洞602-329番地 ニュータウンA棟403號

(72)発明者 李 德炯

大韓民国京畿道龍仁市水枝區豊徳川洞1168番地 鎮山マウル三星5次アパート501棟503  
號

(72)発明者 憲 宗哲

大韓民国京畿道水原市靈通區梅灘洞18番地 梅灘ビリジ1棟204號

(72)発明者 李 康福

大韓民国京畿道水原市靈通區網浦洞686番地 東水原エルジービリジ1次103棟507號

審査官 多賀 和宏

(56)参考文献 特開2005-317581(JP,A)

特開2005-072097(JP,A)

特開2001-298177(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/14

H04N 5/374