



Patent dodatkowy
do patentu nr _____

Zgłoszono: 13.07.78 (P. 208379)

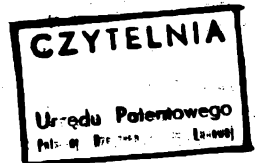
Pierwszeństwo _____

Zgłoszenie ogłoszono: 28.07.80

Opis patentowy opublikowano: 10.01.1984

Int. Cl.⁸

H04L 7/02
H04J 3/06



Twórcy wynalazku: Andrzej Duszyński, Jerzy Berezowski

Uprawniony z patentu: Zakłady Radiowe im. M. Kasprzaka,
Warszawa (Polska)

Sposób regeneracji przebiegów binarnych i układ do regeneracji przebiegów binarnych

1

Dziedzina techniki. Przedmiotem wynalazku jest sposób regeneracji przebiegów binarnych i układ do regeneracji przebiegów binarnych stosowany w systemach synchronicznych transmisji danych wykorzystujący do przesyłania informacji kanały telefoniczne, radiowe lub przewodowe.

Stan techniki. Obecnie, w celu regeneracji i synchronizacji przebiegów binarnych stosuje się do synchronizacji generatora taktującego dwa podstawowe sposoby.

W jednym ze znanych sposobów do każdego „słowa” przenoszącego informację zakodowaną w postaci cyfry binarnej dopisywana jest kombinacja „start” na początku „słowa”, a na końcu kombinacja „stop”. W drugiej metodzie kombinacja „start” dopisywana jest na początku grupy n „słów”, a kombinacja „stop” na końcu. Przesyłanie z każdym „słowem” informacyjnym kombinacji „start-stop” zwiększa ilość bitów w każdym „słowie”, a tym samym zmniejsza prędkość transmisji danych.

W drugim znanym sposobie ilość bitów potrzebnych do zsynchronizowania systemu zmniejszona jest n razy, przy czym dopuszczalna ilość „słów” zawarta między kombinacją „start” i „stop” wyznaczana jest niedokładnością częstotliwości generatorów taktujących po stronie nadawczej i odbiorczej systemu transmisji danych. Istnieje również duże prawdopodobieństwo wypadnięcia z synchronizmu części odbiorczej przy jakimkolwiek

2

zakłóceniu pracy generatora taktującego lub wadliwego przepisywania bitów informacji, gdy nastąpi zniekształcenie przesyłanych bitów spowodowane przesunięciami fazowymi wnoszonymi przez kanał telefoniczny.

Istota wynalazku. W sposobie według wynalazku, wykorzystującym do synchronizacji generatora impulsy zróżniczkowane każdym, pierwszym impulsem zróżniczkowanego przebiegu binarnego niesącego informację synchronizuje się generator taktujący z dokładnością do współczynnika podziału częstotliwości generatora taktującego, natomiast stan logiczny aktualnie odbieranego bitu przebiegu binarnego przepisuje się tylko raz w połowie jego czasu trwania do układu pamięci, przy czym na jego wejście podaje się synchroniczny sygnał taktujący zaś na drugie jego wejście informacyjny przebieg binarny.

W urządzeniu według wynalazku wejście, na które podawany jest informacyjny przebieg binarny połączone jest z wejściem układu różniczkującego i poprzez układ inwersyjny z wejściem drugiego układu różniczkującego oraz z wejściem układu pamięci typu D, na którego drugie wejście podawany jest z wyjścia generatora taktującego sygnał wzorcowy o dzielonej częstotliwości, natomiast wyjścia układów różniczkujących połączone są odpowiednio z wejściami układu realizującego sumę logiczną a ponadto do wejścia tego układu dołączone jest wyjście układu pamięci typu

RS zaś wyjście układu realizującego sumę połączone jest z wejściem zerującym układu realizującego funkcję dzielenia połączonym z generatorem wzorcowym taktu i z wejściem drugiego układu realizującego sumę, którego wyjście dołączone jest do wejścia układu pamięci typu RS a drugie wejście tegoż układu połączone jest z wejściem strobojącym generatora taktującego, przy czym między wyjściem pamięci typu D i jednym z wejść drugiego układu realizującego sumę włączony jest dekoder start-stop sterowany poprzez układ logiczny sygnałem drugiego wyjścia strobojącego generatora taktującego zaś kolejne wejście układu realizującego sumę połączone jest z pierwszym wyjściem strobojącym generatora taktującego.

Zaletą sposobu według wynalazku jest znaczne zmniejszenie wymagań na dokładność częstotliwości generatorów taktujących oraz wyeliminowanie możliwości wpisania fałszywego bitu informacji przy występowaniu zniekształceń fazowych w kanale telefonicznym. Ponadto, dzięki zastosowaniu w układzie według wynalazku układów scalonych TTL istnieje możliwość minimalizacji sieci połączeń oraz eliminacji z układu elementów biernych zwiększając tym samym stabilność parametrów w funkcji temperatury oraz poprawiając niezawodność pracy układu.

Przykład wykonania. Przedmiot wynalazku jest uwidoczony w przykładzie wykonania na rysunku stanowiącym schemat ideowy układu, w którym wykorzystano sposób według wynalazku.

Układ według wynalazku posiada wejście, na które podawany jest informacyjny przebieg binarny i które połączone jest z wejściem układu różniczkującego UR1 i poprzez układ inwersyjny UL1 z wejściem drugiego układu różniczkującego UR2 oraz z wejściem D układu pamięci typu D PD. Na drugie wejście T układu PD podawany jest z wyjścia generatora taktującego GT sygnał wzorcowy o dzielonej częstotliwości. Wyjścia układów różniczkujących UR1 i UR2 połączone są odpowiednio z wejściami układu realizującego sumę logiczną UL2 a ponadto do trzeciego wyjścia tego układu dołączone jest wyjście Q układu pamięci typu RS PRS zaś wyjście układu realizującego sumę UL2 połączone jest z wejściem zerującym Z układu realizującego funkcję dzielenia DZ.

Układ realizujący funkcję dzielenia DZ wraz z wzorcowym generatorem taktu GWT stanowi generator taktujący GT. Wejście drugiego układu realizującego sumę UL3 połączone jest kolejno z wyjściem układu realizującego sumę UL2, pierwszym wyjściem strobojącym Ts1 układu realizującego funkcję dzielenia DZ i wyjściem dekodera start-stop DSS natomiast wyjście układu UL3 połączone jest z wejściem S układu pamięci typu RS PRS zaś drugie wejście R układu pamięci PRS połączone jest z drugim wyjściem strobojącym Ts2 układu realizującego funkcję dzielenia DZ. Między wyjściem Q układu pamięci typu D PD stanowiącym wyjście układu według wynalazku i jednym z wejść układu realizującego sumę UL3 włączony jest dekoder start-stop DSS sterowany poprzez układ logiczny UL4 sygnałem z wyjścia drugiego strobojącego Ts2 generatora taktującego GT.

Informacyjny przebieg binarny podawany jest na wejścia układów różniczkujących UR1 i UR2 oraz na wejście D układu pamięci PD. Różniczkowane przebiegi podawane są na wejścia układu realizującego sumę UL2. Pierwszy impuls różniczkowanego przebiegu binarnego powoduje wyzerowanie układu realizującego funkcję dzielenia DZ a jednocześnie poprzez drugi układ realizujący sumę UL3 impuls ten podawany jest w postaci zanegowanej na wejście S układu pamięci PRS powodując przepisanie na jego wyjściu Q stanu logicznego „0”.

Podanie na wejście układu realizującego sumę UL2 stanu logicznego „0” uniemożliwia przepisywanie na jego wyjściu impulsów powstałych w wyniku zakłócenia przebiegu binarnego i zabezpiecza układ przed zakłóceniami. Jednocześnie układ realizujący funkcję dzielenia DZ po wyzerowaniu zaczyna dzielenie przebiegu wzorcowego. Pierwsze narastające zbocze przebiegu wzorcowego z wyjścia układu realizującego funkcję dzielenia DZ podawane jest na wejście T układu pamięci PD co powoduje przepisanie stanu logicznego „1” odbieranego przebiegu binarnego na jego wyjście Q.

Przepisanie stanu logicznego aktualnie odbieranego bitu przebiegu binarnego może nastąpić tylko raz w połowie jego czasu trwania co stanowi następne zabezpieczenie przed zakłóceniami i umożliwia regenerację przebiegu do stanu w jakim on został nadany. W następnej fazie dzielenia przebiegu z drugiego wyjścia strobojącego Ts2 generatora taktującego GT podawany jest na wejście R układu pamięci PRS powodując przepisanie na jego wyjściu Q stanu logicznego „1”, który podawany jest na wejście strobojące układu realizującego sumę UL2 co umożliwia przepisanie następnego impulsu różniczkowanego przebiegu na jego wyjście i ponowne zsynchronizowanie przebiegu taktującego względem przebiegu odbieranego. Przepisany przez układ realizujący sumę UL2 różniczkowany impuls ponownie zeruje układ realizujący funkcję dzielenia DZ i ustawia na wyjściu Q układu pamięci PRS stan logiczny „0” a proces realizacji funkcji logicznych powtarza się.

Dodatkowym zabezpieczeniem przed zakłóceniami impulsowymi jest przepisywanie na wyjściu Q układu pamięci PRS stanu logicznego „0” za pomocą zdekodowanej przez układ DZ funkcji logicznej, która wykorzystywana jest jedynie wówczas gdy w odbieranym przebiegu binarnym kolejne bity mają stan logiczny „11” lub „00” gdyż wówczas ze względu na brak zmiany stanu nie następuje różniczkowanie przebiegu binarnego a tym samym nie powstaje impuls, który przez drugi układ realizujący sumę UL3 powodowałby wpisywanie na wyjściu Q układu pamięci PRS stanu logicznego „0”. Warunkiem koniecznym do przepisania funkcji logicznej podawanej na pierwszym wyjściu strobojącym Ts1 układu generatora taktującego GT przez drugi układ realizujący sumę UL3 jest wcześniejsze odebranie i zdekodowanie słowa „start”, które strobuje pracę drugiego układu realizującego sumę UL3. Warunek ten zapewnia synchronizację ramkującą między słowem „start” i „stop”.

Zastrzeżenia patentowe

1. Sposób regeneracji przebiegów binarnych wykorzystujący do synchronizacji generatora impulsy zróżniczkowane, **znamienny tym**, że każdym pierwszym impulsem zróżniczkowanego przebiegu binarnego niosącego informację synchronizuje się generator taktujący (GT) z dokładnością do współczynnika podziału częstotliwości generatora taktującego (GT), natomiast stan logiczny aktualnie odbieranego bitu przebiegu binarnego przepisuje się tylko raz w połowie jego czasu trwania do układu pamięci (PD), przy czym na jego wejście (T) podaje się synchronizowany sygnał taktujący zaś na drugie jego wejście (D) informacyjny przebieg binarny.

2. Układ do regeneracji przebiegów binarnych, **znamienny tym**; że wejście, na które podawany jest informacyjny przebieg binarny połączone jest z wejściem układu różniczkującego (UR1) i poprzez układ inwersyjny (UL1) z wejściem drugiego układu różniczkującego (UR2) oraz z wejściem (D) układu pamięci typu D (PD), na którego drugie wejście (T) podawany jest z wyjścia generatora

taktującego (GT) sygnał wzorcowy o dzielonej częstotliwości, natomiast wyjścia układów różniczkujących (UR1) i (UR2) połączone są odpowiednio z wejściami układu realizującego sumę logiczną (UL2) a ponadto do wejścia strobujującego tego układu dołączone jest wyjście (Q) układu pamięci typu RS (PRS), zaś wyjście układu realizującego sumę logiczną (UL2) połączone jest z wejściem zerującym (Z) układu realizującego funkcję dzielenia (DZ), stanowiącego wraz z wzorcowym generatorem taktu (GWT) generator taktujący (GT) i z wejściem drugiego układu realizującego sumę (UL3), którego wyjście dołączone jest do wejścia (S) układu pamięci typu RS (PRS) a drugie wejście (R) tegoż układu połączone jest z drugim wyjściem strobujującym (Ts2) generatora taktującego (GT), przy czym między wyjściem pamięci typu D (PD) i jednym z wejść drugiego układu realizującego sumę logiczną (UL3) włączony jest dekodery start-stop (DSS) sterowany poprzez układ logiczny (UL4) sygnałem z wyjścia generatora taktującego (Ts2) zaś kolejne wejście układu realizującego sumę (UL3) połączone jest z pierwszym wejściem strobujującym (Ts1) generatora taktującego (GT).

