

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】令和2年8月13日(2020.8.13)

【公開番号】特開2019-8852(P2019-8852A)

【公開日】平成31年1月17日(2019.1.17)

【年通号数】公開・登録公報2019-002

【出願番号】特願2017-123121(P2017-123121)

【国際特許分類】

G 1 1 C	16/24	(2006.01)
G 1 1 C	7/18	(2006.01)
G 1 1 C	7/12	(2006.01)
G 1 1 C	16/04	(2006.01)
H 0 1 L	27/11529	(2017.01)
H 0 1 L	27/11573	(2017.01)
H 0 1 L	27/1157	(2017.01)
H 0 1 L	27/11524	(2017.01)
H 0 1 L	21/336	(2006.01)
H 0 1 L	29/788	(2006.01)
H 0 1 L	29/792	(2006.01)
H 0 1 L	29/786	(2006.01)

【F I】

G 1 1 C	16/24	1 0 0
G 1 1 C	7/18	
G 1 1 C	7/12	
G 1 1 C	16/04	1 7 0
H 0 1 L	27/11529	
H 0 1 L	27/11573	
H 0 1 L	27/1157	
H 0 1 L	27/11524	
H 0 1 L	29/78	3 7 1
H 0 1 L	29/78	6 1 3 B
H 0 1 L	29/78	6 1 8 B

【手続補正書】

【提出日】令和2年6月22日(2020.6.22)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリセルアレイを有する記憶装置であって、

グローバルビット線あたり第1ローカルビット線乃至第M(Mは2以上の整数)ローカルビット線が設けられ、

第k(kは1乃至Mの整数)ローカルビット線には、第1回路乃至第M回路が電気的に接続され、

第k回路は、第1トランジスタと、バッファアンプとを有し、

前記第1トランジスタは、前記第kローカルビット線と前記グローバルビット線との導

通を制御し、

前記バッファアンプは、前記第kローカルビット線の電流を増幅して、前記グローバルビット線に出力し、

前記第1回路乃至前記第M回路の前記第1トランジスタのオンオフは、互いに独立して制御され、

前記第1回路乃至前記第M回路の前記バッファアンプの活性状態は、互いに独立して制御されることを特徴とする記憶装置。

【請求項2】

請求項1において、

前記第1回路乃至第M回路は、前記メモリセルアレイが有するNANDセルアレイ上に積層されていることを特徴とする記憶装置。

【請求項3】

請求項1または請求項2において、

前記バッファアンプはソースフォロア回路であることを特徴とする記憶装置。

【請求項4】

請求項3において、

前記ソースフォロア回路は、第2トランジスタ乃至第4トランジスタを有し、

前記第2トランジスタ乃至前記第4トランジスタは、第1電源線と第2電源線との間に直列に電気的に接続され、

前記第k回路の前記第3トランジスタのゲートは、前記第kローカルビット線に電気的に接続され、

前記第1回路乃至前記第M回路の前記第2トランジスタへのバイアス電圧の入力は、互いに独立して制御され、

前記第1回路乃至前記第M回路の前記第4トランジスタのオンオフは、互いに独立して制御されることを特徴とする記憶装置。

【請求項5】

請求項4において、

前記第1トランジスタ乃至前記第4トランジスタのそれぞれの半導体層は、金属酸化物を有することを特徴とする記憶装置。

【請求項6】

請求項1乃至請求項5の何れか1項において、

前記メモリセルアレイは、複数のメモリストリングを有し、

前記複数のメモリストリングには、それぞれ、直列に電気的に接続されているメモリセルが設けられていることを特徴とする記憶装置。

【請求項7】

請求項6において、

前記メモリストリングを構成するトランジスタの半導体層は金属酸化物を有することを特徴とする記憶装置。