

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010 年 4 月 15 日(15.04.2010)

(10) 国際公開番号
WO 2010/041466 A1

PCT

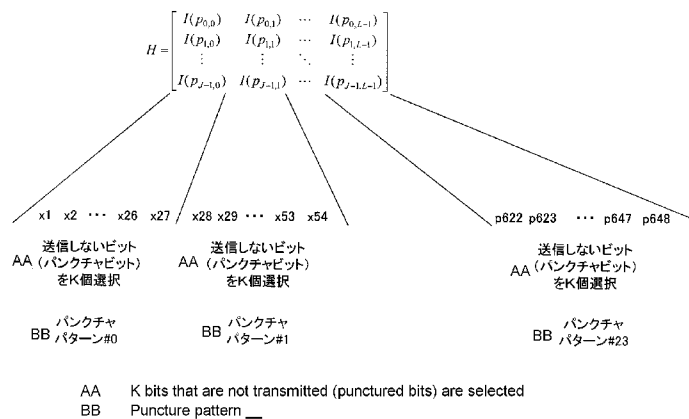
- (51) 国際特許分類:
H03M 13/19 (2006.01)
- (21) 国際出願番号: PCT/JP2009/005286
- (22) 国際出願日: 2009 年 10 月 9 日(09.10.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-264382 2008 年 10 月 10 日(10.10.2008) JP
特願 2008-290022 2008 年 11 月 12 日(12.11.2008) JP
- (71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社(PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真 1 0 0 6 番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 村上 豊 (MURAKAMI, Yutaka). 岡村 周太(OKAMURA, Shutai).
- (74) 代理人: 鷲田 公一 (WASHIDA, Kimihito); 〒2060034 東京都多摩市鶴牧 1 丁目 2 4 - 1 新都市センタービル 5 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: ENCODER, TRANSMISSION DEVICE, AND ENCODING METHOD

(54) 発明の名称: 符号化器、送信装置及び符号化方法

[図16A]



(57) Abstract: Disclosed are an encoder, a transmission device, and an encoding method with which the transmission amount is reduced and a deterioration in transmission efficiency is suppressed while improving reception quality when QC-LDPC or a like block encoding is used. A puncture pattern setting unit (620) searches for a puncture pattern for each integral multiple of the number of columns or for each divisor of the number of columns of a sub block matrix that forms a check matrix (H) of a QC-LDPC code, and a puncture unit (data reduction unit) (630) switches the puncture pattern for each integral multiple of the number of columns or for each divisor of the number of columns of the sub block matrix that forms the check matrix of the QC-LDPC code.

(57) 要約: QC-LDPC等のブロック符号を用いる場合に、受信品質を向上させつつ、伝送量を低減させ、伝送効率の劣化を抑圧する符号化器、送信装置及び符号化方法を開示する。パンクチャパターン設定部(620)は、QC-LDPC符号の検査行列Hを構成するサブブロック行列の列数の整数倍、又は、列数の約数ごとにパンクチャパターンを探索し、パンクチャ部(データ削減部)(630)は、QC-LDPC符号の検査行列を構成するサブブロック行列の列数の整数倍、又は、列数の約数ごとに、パンクチャパターンを切り替える。

WO 2010/041466 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 符号化器、送信装置及び符号化方法

技術分野

[0001] 本発明は、例えば、ＱＣ－ＬＤＰＣ（Quasi Cyclic Low Density Parity Check）符号等のように、ゼロ行列を部分的かつ規則的に含むパリティ生成行列を用いて符号化系列を形成する符号化器、送信装置及び符号化方法に関する。

背景技術

[0002] 近年、実現可能な回路規模で高い誤り訂正能力を発揮する誤り訂正符号として、低密度パリティ検査（ＬＤＰＣ：Low Density Parity Check）符号に注目が集まっている。ＬＤＰＣ符号は、低密度なパリティ検査行列Ｈで定義される誤り訂正符号である。なお、低密度とは、行列中に含まれる１の要素数が０の要素数に比べて大幅に少ないことである。ＬＤＰＣ符号は、検査行列Ｈの列数Ｎと等しいブロック長をもつブロック符号である。

[0003] ｌＤＰＣ符号は、その誤り訂正能力の高さと、実装の容易さことから、IEEE802.11nの高速無線ＬＡＮ（Local Area Network）システム、デジタル放送システムなどの誤り訂正符号化方式に採用されている。また、ホームネットワークでも、ＱＣ（Quasi Cyclic：擬似巡回）－ｌＤＰＣ符号の採用が検討されている。

[0004] ブロック符号では、ブロック符号長が長いほど、誤り訂正能力が向上するという特徴がある。例えば、ヘッダのように、制御情報等を送信するシンボルを確実に伝送したい場合には、ヘッダ長に比べ符号長が長いブロック符号を用いることで、ヘッダの受信品質を確保することができる。

[0005] また、誤り訂正符号は、情報を伝送するために用いる誤り訂正符号とヘッダを伝送するために用いる誤り訂正符号とを共通にした場合、回路規模の点で有利となる。なお、本願では、制御情報等を送信するシンボルを「ヘッダ」と呼び説明するが、制御情報等を送信するシンボルを、例えば、制御シン

ボル（制御チャネル又は制御信号）、プリアンブル、テイルシンボル、パイロットシンボル（パイロットチャネル又はパイロット信号）、トレーニングシンボル等と呼んでも良い。

[0006] このとき、図1に示すように、送信する必要がある情報ビット数（例えば、ヘッダ長）が、ブロック符号のブロック長に比べ短いような場合、ブロック長の残りの部分の情報ビットを“0”と仮定して、符号化を行い、パリティビットを生成する。

[0007] そして、実際に送信する符号化系列としては、例えば、図1に示すように、送信する必要がある情報ビット（例えば、ヘッダ）及びパリティビットのみを送信する。すなわち、“0”と仮定した情報ビットの部分は、実際には送信しないようにする。

[0008] 一般に、制御情報等のヘッダは、画像等の情報を伝送するペイロードデータに比べビット数が少ない。しかし、図1に示すようにして、ヘッダ及びパリティビットを送信するようにすることで、ヘッダとペイロードデータとを同一のブロック符号を用いて符号化することが可能となる。更に、ヘッダは、ヘッダ長より長いブロック長のブロック符号により符号化されるため、ヘッダの受信品質を確保することができる。この結果、ヘッダを通信相手に確実に伝送することができるようになるので、上述の通信方法は、通信を確立させるために有効である。

先行技術文献

非特許文献

[0009] 非特許文献1：「Rate-Compatible LDPC符号のレート推定法（Rate Estimation Techniques for Rate-Compatible LDPC Codes）」、電子情報通信学会論文誌2006/12 Vol. J89 A NO. 12 p. 1177

非特許文献2：M. P. C. Fossorier, “Quasi-cyclic low-density parity-check codes from circulant permutation matrices,” IEEE Trans. Inform. Theory, vol. 50, no. 8, pp. 1788-1793, Nov. 2001.

非特許文献3：L. Chen, J. Xu, I. Djurdjevic, and S. Lin, “Near-Shanno

n limit quasi-cyclic low-density parity-check codes,” IEEE Trans. Commun., vol. 52, no. 7, pp. 1038–1042, July 2004.

非特許文献4：IEEE Unapproved Draft Std P802.11n_D3.00, pp. 274, Sep 2007

非特許文献5：D. J. C. Mackay, “Good error-correcting codes based on very sparse matrices,” IEEE Trans. Inform. Theory, vol. 45, no. 2, pp. 399–431, March 1999.

非特許文献6：M. P. C. Fossorier, M. Mihaljevic, and H. Imai, “Reduced complexity iterative decoding of low density parity check codes based on belief propagation,” IEEE Trans. Commun., vol. 47, no. 5, pp. 673–680, May 1999.

非特許文献7：J. Chen, A. Dholakia, E. Eleftheriou, M. P. C. Fossorier, and X.-Yu Hu, “Reduced-complexity decoding of LDPC codes,” IEEE Trans. Commun., vol. 53, no. 8, pp. 1288–1299, Aug. 2005.

発明の概要

発明が解決しようとする課題

[0010] しかしながら、従来技術は、ヘッダのようにブロック長に比べデータ長が短いデータに対し、符号化を行うと、受信品質を向上することができるものの、情報ビットを“0”と仮定して符号化して得られたパリティビットをも送信しなくてはならない。そのため、ヘッダ長とブロック長とが同等で、その長さが短い場合には、送信しなければならないパリティビット数が少なくて済む。これに対し、従来技術は、ヘッダ長よりブロック長が長い場合には、送信しなければならないパリティビット数が増え、データの伝送効率が劣化してしまうという課題がある。したがって、データ伝送効率が劣化する点を改善すると、データ伝送効率の向上と、受信品質の向上との両立を図ることができるという利点をもつことになる。

[0011] 本発明の目的は、例えば、QC-LDPC符号等のブロック符号を用いる場合に、受信品質を向上させつつ、伝送量を低減させ、伝送効率の劣化を抑

圧することができる符号化器、送信装置及び符号化方法を提供することである。

課題を解決するための手段

- [0012] 本発明の符号化器は、情報ビット系列 u に対し、式 (14-1)、式 (14-2)、及び、式 (14-3) を満たす符号化系列 s を生成する符号化手段と、 $z \times y + 1$ (y は、0 から $(n_b - 1)$ までの整数) 列から $z \times (y + 1)$ 列までの前記列数 z に対応する第 y のパンクチャパターンであって、前記列数 z の約数の周期を持つ前記第 y のパンクチャパターンを設定する設定手段と、を具備し、1 番目から $z \times n_b$ 番目までの $z \times n_b$ 個のビットで構成される前記符号化系列 s のうち、前記第 y のパンクチャパターンに基づき、 $z \times y + 1$ 番目のビットから $z \times (y + 1)$ 番目までのビットにおいて削除するビットを決定し、前記符号化系列 s を構成する前記 $z \times n_b$ 個のビットから前記決定した削除するビットを削除して送信情報ビット系列を形成し、前記送信情報ビット系列を出力する。
- [0013] 本発明の送信装置は、上記符号化器を具備し、前記送信情報ビット系列を送信する送信手段と、を具備する構成を採る。
- [0014] 本発明の符号化方法は、情報ビット系列 u に対し、式 (16-1)、式 (16-2)、及び、式 (16-3) を満たす符号化系列 s を生成するステップと、 $z \times y + 1$ (y は、0 から $(n_b - 1)$ までの整数) 列から $z \times (y + 1)$ 列までの前記列数 z に対応する第 y のパンクチャパターンであって、前記列数 z の約数の周期を持つ前記第 y のパンクチャパターンを設定するステップと、を有し、1 番目から $z \times n_b$ 番目までの $z \times n_b$ 個のビットで構成される前記符号化系列 s のうち、前記第 y のパンクチャパターンに基づき、 $z \times y + 1$ 番目のビットから $z \times (y + 1)$ 番目までのビットにおいて削除するビットを決定し、前記符号化系列 s を構成する前記 $z \times n_b$ 個のビットから前記決定した削除するビットを削除して送信情報ビット系列を形成し、前記送信情報ビット系列を出力するようにした。

発明の効果

- [0015] 本発明の通信装置及び通信方法によれば、例えば、QC-LDPC符号等のブロック符号を用いる場合に、受信品質を向上させつつ、伝送量を低減させ、伝送効率の劣化を抑圧することができる。

図面の簡単な説明

- [0016] [図1] ブロック符号のブロック構成例及び実際に送信する符号化系列を示す図
[図2] 本発明の実施の形態1に係る通信装置に用いられる符号化器の入出力データを示す図
[図3] QC-LDPC符号のパリティ生成行列 g の一例を示す図
[図4] ゼロ行列の一例を示す図
[図5] ゼロ行列の別の一例を示す図
[図6] 実施の形態1に係る符号化器の構成例を示す図
[図7] 実施の形態1に係る復号化器の構成例を示す図
[図8] 通信装置#1が送信する変調信号のフレーム構成例を示す図
[図9] 実施の形態1に係る符号化器を有する通信装置#1の構成例を示す図
[図10] 実施の形態1に係る復号化器を有する通信装置#2の構成例を示す図
[図11] QC-LDPC符号の1ブロックの構成例を示す図
[図12] 本発明の実施の形態2に係る符号化器の構成例を示す図
[図13] 情報ビットの配置例を示す図
[図14] データ長 α と送信するパリティビットの削減方法との対応を示す図
[図15] 本発明の実施の形態3に係る符号化器の構成例を示す図
[図16A] パンクチャパターンの切り替え方法を説明するための図
[図16B] パンクチャパターンの切り替え方法を説明するための別の図
[図16C] パンクチャパターンの切り替え方法を説明するための別の図
[図17] 制御情報の配置例を示す図
[図18] 本発明の実施の形態4における制御情報の配置例を示す図
[図19A] 本発明の実施の形態5におけるパンクチャパターンの適用例を示す図
[図19B] 実施の形態5におけるパンクチャパターンの別の適用例を示す図
[図19C] 実施の形態5におけるパンクチャパターンの別の適用例を示す図

[図20A]実施の形態5におけるパンクチャパターンの別の適用例を示す図

[図20B]実施の形態5におけるパンクチャパターンの別の適用例を示す図

[図20C]実施の形態5におけるパンクチャパターンの別の適用例を示す図

[図21]本発明の実施の形態6におけるパンクチャパターンの適用例を示す図

[図22]実施の形態6におけるパンクチャパターンの別の適用例を示す図

[図23]本発明の実施の形態7におけるパンクチャパターンを説明するための図

[図24]符号化率5/6のQC-LDPC符号の検査行列 H_b を示す図

[図25]実施の形態7におけるパンクチャパターンの一例を示す図

[図26]実施の形態7におけるパンクチャパターンの別の一例を示す図

[図27]符号化率1/2のQC-LDPC符号の検査行列 H_b 及びパンクチャパターンの一例を示す図

発明を実施するための形態

[0017] 以下、本発明の実施の形態について、図面を参照して詳細に説明する。

[0018] (実施の形態1)

図2は、本発明の通信装置に用いられる符号化器の入出力データを示す。

図2の符号化器100は、QC-LDPC (Quasi Cyclic Low Density Parity Check) 符号を形成する。

[0019] 図2において、情報系列 $u = (x_1, x_2, \dots, x_m)$ は、符号化器100の入力データであり、符号化系列 $s = (x_1, x_2, \dots, x_m, p_1, p_2, \dots, p_n)$ は、符号化器の出力データを示す。

[0020] 式(1)は、QC-LDPC符号のパリティ検査行列 H を示す(非特許文献1、非特許文献2、非特許文献3参照)。

[数1]

$$H = \begin{bmatrix} I(p_{0,0}) & I(p_{0,1}) & \cdots & I(p_{0,L-1}) \\ I(p_{1,0}) & I(p_{1,1}) & \cdots & I(p_{1,L-1}) \\ \vdots & \vdots & \ddots & \vdots \\ I(p_{J-1,0}) & I(p_{J-1,1}) & \cdots & I(p_{J-1,L-1}) \end{bmatrix} \quad \cdots (1)$$

[0021] 式(1)において、 $0 \leq j \leq J-1$ 、 $0 \leq l \leq L-1$ であり、符号長 $N = p \times L$ (p は自然数)のパリティ検査行列 H である。また、サブブロック行列 $I(p_{j,l})$ は、 q 行 r 列 ($r = (q + p_{j,l}) \bmod p$ ($0 \leq q \leq p-1$))が1であり、その他は“0”であるような巡回置換行列である。なお、 $p_{j,l}$ は、乱数により“0”又は“1”に決定される。

[0022] 図2の符号化器100は、生成行列 G を用いて、符号化系列を生成する。ここで、生成行列 G は、パリティ検査行列 H と、式(2)の関係がある。

[数2]

$$GH^T = 0 \quad \cdots (2)$$

[0023] 符号化系列 s は、情報系列 u 及び生成行列 G より、 $s^T = Gu^T$ と示すことができる。QC-LDPC符号は、組織符号であるので、生成行列 G は、式(3)のように示すことができる。

[数3]

$$G = \begin{bmatrix} I \\ g \end{bmatrix} \quad \cdots (3)$$

[0024] ここで、 I は、 $m \times m$ の単位行列である。また、行列 g は、符号化系列 s のうち、パリティ系列 w のみを取り出し、 $w = (p_1, p_2, \dots, p_n)$ と定義した場合に、パリティ系列 w を求めるための行列(パリティ生成行列)である。パリティ生成系列 w は、 $w^T = gu^T$ を満たす。

[0025] 図3は、QC-LDPC符号のパリティ生成行列 g の一例を示す。図3に示すQC-LDPC符号は、非特許文献4のTable 20-14(LDPC parameters)に記載の符号化率(Coding rate(R))=1/2, LDPC符号情報ブロック長(LDPC code information block length(bits))=648, LDPC符号語ブロック長(LDPC codeword block length(bits))=1296のQC-LDPC符号である。

[0026] 図3に示すパリティ生成行列 g は、複数のサブブロック行列 $201, 202, \dots, 211, 212, \dots$ から構成される。例えば、図3のサブブロック行列 201 において、 $(i+1)$ 行目の各要素は、 i 行目の各要素を1ビット

ト（１列）右にシフトした値をとる（ i は自然数）。同様に、図３のサブブロック行列２１１において、（ $i+1$ ）行目の各要素は、 i 行目の各要素を１ビット右にシフトした値をとる（ i は自然数）。

[0027] また、図３のサブブロック行列２０２において、２行目の各要素は、１行目の各要素を１ビット右にシフトした値をとる。同様に、図３のサブブロック行列２１２において、２行目の各要素は、１行目の各要素を１ビット右にシフトした値をとる。

[0028] このように、サブブロック行列２０１，２０２，…，２１１，２１２は、巡回置換行列といえる。図３に示す例では、サブブロック行列２０１，２０２，…，２１１，２１２は、２７行２７列の行列である。

[0029] 更に、パリティ生成行列 g において列が同一のサブブロック行列同士は、関連性を有している。例えば、サブブロック行列２０１と、サブブロック行列２０１と列が同一のサブブロック行列２１１とを比較すると、サブブロック行列２１１の i 行目の要素は、サブブロック行列２０１の（ $i+1$ ）行目の要素と２ビット目が異なるだけである（ i は自然数）。

[0030] 同様に、サブブロック行列２０２と、サブブロック行列２０２の列とが同一のサブブロック行列２１２とを比較すると、サブブロック行列２１２の i 行目の要素は、サブブロック行列２０１の（ $i+1$ ）行目の要素と同じである（ i は自然数）。

[0031] なお、２７行２７列のサブブロック行列を縦に眺めた場合、例えば、サブブロック行列２０１とサブブロック行列２１１とを眺めた場合、上述したように、これらサブブロック行列は、関連性を有しているものの、必ずしも同一の行列であるとは限らない。

[0032] 更に、パリティ生成行列 g では、要素“０”が連続して配置されるのが特徴的である。そのため、図３と同一のパリティ生成行列 g を示す図４から分かるように、サブブロック行列２０２内に、行列を構成する要素が全て“０”の行列２２１を確保することができる。以下、行列を構成する要素が全て“０”の行列を、ゼロ行列と呼ぶ。

- [0033] また、サブブロック行列 2 1 2 内には、ゼロ行列 2 2 1 と同じ列から始まり、ゼロ行列 2 2 1 と列数が同じ大きさのゼロ行列 2 2 2 を確保することができる。ゼロ行列 2 2 1 と同じ列から始まり、ゼロ行列 2 2 1 と列数が同じ大きさのゼロ行列は、図示せぬパリティ生成行列 g 内に多数存在する。
- [0034] このように、QC-LDPC符号のパリティ生成行列は、ゼロ行列を含み、かつ、パリティ生成行列の同じ列から始まるゼロ行列が、多数存在するものが特徴的である。
- [0035] 本発明者らは、QC-LDPC符号のパリティ生成行列 g のこの特徴に着目した。すなわち、 m 行 n 列のゼロ行列以外の列に情報ビットとして“0”を配置すると、生成される m 個のパリティビットが、全てゼロになることに着目した。更に、パリティ生成行列 g において列が同一のサブブロック行列同士は、要素の配列に関連性があり、QC-LDPC符号のパリティ生成行列 g には、同じ列から始まるゼロ行列が多数存在するため、ゼロ行列以外の列に情報ビットとして“0”を配置することにより、全てゼロになるパリティビットが多数生成されることに着目した。
- [0036] つまり、送信する必要がある情報ビット数が、ブロック符号のブロック長に比べ短く、一部の情報ビットを“0”と仮定して符号化する場合に、送信する必要がある情報ビットをゼロ行列（ m 行 n 列）の列に配置し、仮想ビットとして“0”をゼロ行列（ m 行 n 列）以外に配置すると、値が“0”となる m 個のパリティビットが生成される。これらのパリティビットは、送信する必要がある情報ビットに依存せず、必ず“0”となる。
- [0037] したがって、受信側は、ゼロ行列の位置から、値が必ず“0”の m 個のパリティビットの位置が分かるので、送信側からは、値が必ず“0”の m 個のパリティビットが送信せずとも、受信側は全てのデータの復号することができる。また、受信側は、値が必ず“0”の m 個のパリティビット分を送信装置が送信しないビットと設定することができる、つまり、冗長ビットとして削減することができる。
- [0038] 再度、図 4 を用いて詳細に説明する。図 4 のゼロ行列 2 2 1 に着目する。

図4のゼロ行列221は、7行12列の行列であり、ゼロ行列221の列に対応する情報ビットは、 $x_{36} \sim x_{47}$ である。そこで、 $x_{36} \sim x_{47}$ に、送信する必要がある情報ビットを配置し、 $x_{36} \sim x_{47}$ 以外に情報ビット“0”を配置して符号化を行うと、 $p_1 \sim p_7$ は、 $x_{36} \sim x_{47}$ の値に関わらず、必ず“0”となる。

[0039] 同様に、パリティ生成行列 g における列の位置が、ゼロ行列221と同じであるゼロ行列222に着目すると、 $x_{36} \sim x_{47}$ 以外に情報ビット“0”を配置して符号化を行うと、 $p_{28} \sim p_{34}$ は、 $x_{36} \sim x_{47}$ の値に関わらず、必ず“0”となる。

[0040] したがって、パリティ生成行列 g により生成されたパリティビット $p_1 \sim p_{54}$ のうち、 $p_1 \sim p_7$ 及び $p_{28} \sim p_{34}$ は、値が必ず“0”となる。このため、送信装置が、パリティ生成行列 g により生成された、これら値が必ず“0”となるパリティビット $p_1 \sim p_{54}$ を送信しないようにすると、送信装置が送信する必要があるビットとしては、 $x_{36} \sim x_{47}$ 及び $p_8 \sim p_{27}$ 、 $p_{35} \sim p_{54}$ のみとすることができる。なお、以上の説明では、一例として、 $p_1 \sim p_{54}$ に着目して説明したが、 p_{55} 以降についても同様に考えることで、送信装置が送信するパリティビットの数の削減を行うことができる。

[0041] 図4のゼロ行列221は、7行12列であるため、送信する必要がある情報ビットが12ビット以下の場合には、ゼロ行列221の列に送信する必要がある情報ビットを配置すれば良い。

[0042] なお、送信する必要がある情報ビットが、12ビットを超える場合には、例えば、図5に示すように、更にゼロ行列231、232…の列に送信する必要がある情報ビットを配置するようにすれば良い。QC-LDPC符号のパリティ生成行列の特徴として、“0”が連続して配置されているため、図5に示すように、パリティ生成行列 g には、ゼロ行列221、222…以外にも、ゼロ行列231、232のようなゼロ行列が多数存在する。

[0043] ゼロ行列231、232は、7行7列の行列であり、 $x_{71} \sim x_{77}$ に送

信する必要がある情報ビットを配置した場合においても、 $p_1 \sim p_7$ 及び $p_{28} \sim p_{34}$ が全て “0” となる。そのため、送信装置は、ゼロ行列 2_{21} , 2_{22} を用いる場合と同様に、 $p_1 \sim p_7$ 及び $p_{28} \sim p_{34}$ を送信しなくても良い。

[0044] したがって、ゼロ行列 2_{21} , 2_{22} に加え、ゼロ行列 2_{31} , 2_{32} を利用する場合には、送信する必要がある情報ビットを、 $x_{36} \sim x_{47}$ 及び $x_{71} \sim x_{77}$ に配置することができる。これにより、最大ビット数が、19 (= 12 + 7) ビットとなり、ゼロ行列 2_{21} , 2_{22} のみを利用する場合に比べ、送信する必要がある情報ビットとして配置可能な最大ビット数を増加することができる。

[0045] 同様に、送信する必要がある情報ビット数が、19 ビットを超える場合には、他の部分行列に含まれるゼロ行列を利用すれば良い。図5には、QC-LDPC符号のパリティ生成行列 g の一部だけを示しており、QC-LDPCのパリティ生成行列 g には、27行27列の巡回置換行列が列方向に24 (= 648 / 27) 個存在するため、図示せぬ領域にもゼロ行列が多数含まれている。このため、送信装置は、ゼロ行列の部分において、上記と同様にゼロ行列を利用して、送信する必要がある情報ビットとして、配置することができる最大ビット数を増やすことができる。

[0046] このように、QC-LDPC符号のパリティ生成行列 g には、パリティ生成行列 g の同じ列から始まり、列数が同一のゼロ行列が、複数存在することに着目し、本実施の形態では、ゼロ行列の列に送信する必要がある情報ビットを配置し、ゼロ行列以外の列に仮想ビットとして “0” を配置する。これにより、ゼロ行列の行数と同じ数だけ値が “0” となるパリティビットが生成されるようになる。

[0047] このとき、送信装置及び受信装置は、パリティ生成行列 g に対するゼロ行列の位置を共有していれば、このゼロ行列の行に対応するパリティビットを実際に送信せずとも、受信側では “0” が送信されたとして復号処理を行うことにより、パリティ生成行列 g により符号化された符号化データを復号す

ることができる。このため、送信装置は、送信する必要があるパリティビット数を低減し、伝送効率を向上させることができる。

[0048] なお、ゼロ行列は、1行1列であっても良い。すなわち、同一行に1行1列のゼロ行列が複数あり、この複数のゼロ行列と同一列の要素がゼロの行があれば、同一列において要素がゼロとなる行数分だけ、常に“0”となるパリティビットが生成されることになる。

[0049] すなわち、送信装置は、情報ビットにゼロを挿入し、情報ビット及びゼロと、QC-LDPC符号のパリティ生成行列との行列演算によりパリティビットを生成する場合において、情報ビットを配置する位置とパリティ生成行列とに基づいて、パリティビットのうち、値が常にゼロとなるパリティビットを削除し、削除後のパリティ系列を出力し、削除後のパリティ系列を送信するようにすることで、送信する必要があるパリティビット数を低減し、伝送効率を向上させることができる。

[0050] なお、送信装置は、パリティ生成行列 g の同じ列から始まり、列数が同一のゼロ行列（1行1列のゼロ行列も含む）のうち、行数が最も多い行列を、設定するゼロ行列とし、設定したゼロ行列の列以外に“0”を配置することにより、値が“0”となるパリティビットを、設定したゼロ行列の行数分だけ生成するようになる。

[0051] したがって、送信装置は、値が“0”となるパリティビットを送信しないビットとしてパンクチャすることにより、伝送効率を向上させることができる。このとき、送信装置は、パリティ生成行列 g の同じ列から始まり、列数が同一のゼロ行列のうち、パリティ生成行列 g により多く含まれるような部分行列をゼロ行列として設定することにより、パリティビットをより削減することができる。

[0052] なお、このとき、送信装置は、送信する必要がある情報ビットとして、配置することができる最大ビット数を、ゼロ行列の列数とする。例えば、送信装置は、ゼロ行列として、ゼロ行列2 2 1, 2 2 2, …が設定された場合、送信する必要がある情報ビットを配置することができる最大ビット数は1 2

ビットとなる。

[0053] また、送信装置は、ゼロ行列として、ゼロ行列 2 2 1, 2 2 2 に加え、ゼロ行列 2 3 1, 2 3 2 が設定される場合には、送信する必要がある情報ビットを配置することができる最大ビット数は 1 9 ビットとなる。逆に言えば、送信装置は、送信する必要がある情報ビットのデータ長（ビット数）に応じて、ゼロ行列を設定するようすれば良い。なお、上述したように、ゼロ行列は、1 行 1 列でも良く、また、連続していなくても良い。

[0054] 図 6 には、上述のようなパリティ生成行列 g を用いて符号化を行う符号化器の構成例を示す。図 6 の符号化器 1 0 0 は、ゼロ行列設定部 1 1 0、配置部 1 2 0、符号化部 1 3 0 及びパンクチャ部（データ削減部） 1 4 0 を有する。以下では、ヘッダ等のように、データ長が一定の情報系列が、符号化器 1 0 0 に入力される場合を例に説明する。

[0055] ゼロ行列設定部 1 1 0 は、QC-LDPC のパリティ生成行列 g の部分行列であって、要素が全て “0” から構成されるゼロ行列を設定する。ゼロ行列の設定方法は、情報系列のデータ長がヘッダ等のように一意に決まっている場合、列数がヘッダ長以上のゼロ行列を設定する。なお、以下では、図 4 のゼロ行列 2 2 1, 2 2 2, … が、ゼロ行列として設定された場合を例に説明する。ゼロ行列設定部 1 1 0 は、パリティ生成行列 g におけるゼロ行列の位置の情報を、配置部 1 2 0 及びパンクチャ部（データ削減部） 1 4 0 に出力する。

[0056] 配置部 1 2 0 は、ヘッダ等の情報系列を入力し、ゼロ行列設定部 1 1 0 から通知されるゼロ行列の位置の情報に基づいて、ゼロ行列の列に情報ビット（入力ビット）を配置し、ゼロ行列以外の列に仮想ビットとして “0” を配置する。

[0057] 例えば、ゼロ行列設定部 1 1 0 からゼロ行列 2 2 1, 2 2 2 の位置が通知された場合、配置部 1 2 0 は、ゼロ行列 2 2 1 の列 $x_{36} \sim x_{47}$ に、情報ビット（入力ビット）を配置し、 $x_{36} \sim x_{47}$ 以外に、“0” を配置する。配置部 1 2 0 は、配置後のビットを符号化部 1 3 0 に出力する。

- [0058] 符号化部 130 は、パリティ生成行列 g を用いて、配置部 120 から出力されるビットを符号化して符号化系列（情報ビット及びパリティビット）を取得する。符号化部 130 は、符号化系列をパンクチャ部（データ削減部）140 に出力する。
- [0059] パンクチャ部（データ削減部）140 は、ゼロ行列設定部 110 から通知されるゼロ行列 221, 222 の位置の情報に基づいて、符号化系列から、 $x_{36} \sim x_{47}$ 以外に配置された“0”を送信しないビットとしてパンクチャ（削除）する。
- [0060] また、パンクチャ部（データ削減部）140 は、ゼロ行列設定部 110 から通知されるゼロ行列 221, 222 の位置の情報に基づいて、符号化系列から、ゼロ行列 221, 222 の行に対応するパリティビット $p_1 \sim p_7$, $p_{28} \sim p_{34}$, …を送信しないビットとしてパンクチャ（削除）する。
- [0061] パンクチャ部（データ削減部）140 は、符号化系列から送信しないビットとしてパンクチャ（削除）したビット以外の符号化系列を、送信する必要があるビットとして出力する。
- [0062] 図 7 は、上述した符号化器から送信された信号を復号する復号化器の構成例を示す。
- [0063] 復号化器 300 は、固定対数尤度比挿入部 310 及び BP (Belief Propagation) 復号部 320 を有している。
- [0064] 固定対数尤度比挿入部 310 は、図示せぬ対数尤度比算出部により算出される受信対数尤度比、及び、ゼロ行列の位置に関する情報を示す制御信号を入力し、ゼロ行列の位置に応じて、受信対数尤度比に既知の対数尤度比を挿入する。
- [0065] 例えば、符号化側で、ゼロ行列 221, 222, …が用いられた場合、固定対数尤度比挿入部 310 には、 $x_{36} \sim x_{47}$ 及び $p_8 \sim p_{27}$, $p_{35} \sim \dots$ に対応する受信対数尤度比 $LLR_{x_{36}} \sim LLR_{x_{47}}$, $LLR_{p_8} \sim LLR_{p_{27}}$, $LLR_{p_{35}} \sim \dots$ が入力される。そこで、固定対数尤度比挿入部 310 は、 $x_1 \sim x_{35}$, x_{48} , …に対応する受信対数尤度比 $LLR_{x_1} \sim LLR_{x_{35}}$,

$LLR_{x48} \dots, LLR_{p1} \sim LLR_{p7}, LLR_{p28} \sim LLR_{p34}$ を挿入する。

[0066] 具体的には、符号化側で、ゼロ行列 $221, 222, \dots$ が用いられた場合、 $x1 \sim x35, x48, \dots, p1 \sim p7, p28 \sim p34, \dots$ として “0” が送信されていることに相当するので、固定対数尤度比挿入部 310 は、既知ビット “0” に対応する固定の対数尤度比を、 $x1 \sim x35, x48 \dots$ の対数尤度比 $LLR_{x1} \sim LLR_{x35}, LLR_{x48} \dots, LLR_{p1} \sim LLR_{p7}, LLR_{p28} \sim LLR_{p34} \dots$ として挿入する。図 7 において、点線の丸で囲まれた受信対数尤度比は、固定対数尤度比挿入部 310 によって挿入された受信対数尤度比を示す。

[0067] 固定対数尤度比挿入部 310 は、挿入後の対数尤度比を BP 復号部 320 に出力する。

[0068] BP 復号部 320 は、例えば、非特許文献 5 から非特許文献 7 に記載された sum-product 復号、min-sum 復号、Normalized BP 復号、offset BP 復号などを用いて、復号する。

[0069] 以下には、上述のように構成された符号化器を有する通信装置 #1 の構成、及び、上述のように構成された復号化器を有し、通信装置 #1 から送信された信号を受信する通信装置 #2 の構成について説明する。

[0070] 図 8 には、通信装置 #1 が送信する変調信号のフレーム構成例を示す。制御情報シンボルは、通信相手（通信装置 #2）に、変調方式、使用している誤り訂正符号、符号化率、送信方法、データ長等の制御情報を伝送するためのシンボルである。情報シンボルは、QC-LDPC 符号化により得られた情報ビット及びパリティビットを伝送するためのシンボルである。

[0071] 図 9 には、通信装置 #1 の構成例を示す。図 9 の通信装置 400 において、符号化部 410 は、情報系列を入力し、符号化系列をインタリーバ 420 に出力する。符号化部 410 は、図 6 の符号化器 100 によって構成されている。

[0072] インタリーバ 420 は、符号化系列を入力し、インタリーブを行うことでインタリーブ後のデータを得る。なお、符号の種類によっては、インタリー

バ４２０を設けなくても良い。

- [0073] マッピング部４３０は、インタリーブ後のデータを入力し、ＱＰＳＫ（Quadrature Phase Shift Keying）、１６ＱＡＭ（Quadrature Amplitude Modulation）等の変調を行うことでベースバンド信号を得る。
- [0074] 送信部４４０は、ベースバンド信号を入力し、直交変調、周波数変換等の所定の信号処理を施すことで変調信号を得、変調信号を送信する。
- [0075] 図１０は、通信装置＃２の構成例を示す。図１０の通信装置５００において、受信部５１０は、受信信号を入力し、周波数変換等の所定の無線処理を施すことでベースバンド信号を得る。受信部５１０は、ベースバンド信号を、制御情報検出部５２０及び対数尤度比算出部５３０に出力する。
- [0076] 制御情報検出部５２０は、ベースバンド信号からゼロ行列に関する情報、インタリーブパターンの情報、符号化率に関する情報等を検出する。そして、制御情報検出部５２０は、インタリーブパターンの情報をデインタリーバ５４０に出力し、ゼロ行列に関する情報及び符号化率に関する情報を復号化部５５０に出力する。
- [0077] 対数尤度比算出部５３０は、ベースバンド信号を入力し、例えば非特許文献５に示されている方法を用いることで対数尤度比を算出し、ビットごとの対数尤度比を得る。対数尤度比算出部５３０は、ビットごとの対数尤度比をデインタリーバ５４０に出力する。
- [0078] デインタリーバ５４０は、ビットごとの対数尤度比を入力し、インタリーバ４２０に対応するデインタリーブの処理を施すことでデインタリーブ後の対数尤度比を得る。なお、復号化部５５０は、ＢＰ復号を行う場合に、デインタリーバ５４０を設けなくても、デインタリーブを考慮した検査行列を用意することで、復号することが可能である。
- [0079] 復号化部５５０は、図７の復号化器３００によって構成されている。復号化部５５０は、デインタリーブ後の対数尤度比を入力し、符号化部４１０に対応する復号を行うことで受信データを得る。
- [0080] 以上のように、本実施の形態では、ゼロ行列設定部１１０は、パリティ生

成行列 g の部分行列であって、要素が全て “0” のゼロ行列を設定する。配置部 120 は、ゼロ行列の列に入力ビットを配置し、ゼロ行列以外の列に “0” を配置する。符号化部 130 は、パリティ生成行列 g を用いて符号化してパリティビットを取得する。パンクチャ部（データ削減部）140 は、ゼロ行列設定部 110 から通知されるゼロ行列の位置の情報に基づいて、ゼロ行列以外の列に配置された “0” を送信しないビットとしてパンクチャ（削除）し、更に、得られたパリティビットのうち、ゼロ行列の行に対応するパリティビットを、送信しないビットとしてパンクチャ（削除）する。

[0081] これにより、符号化器 100 は、情報ビットを入力し、情報ビットとパリティ生成行列との行列演算によりパリティビットを生成する場合において、パリティ生成行列のうち、要素が全てゼロの部分行列の列に対応する位置に情報ビットを配置し、要素が全てゼロの部分行列以外の列に対応する位置にゼロを配置し、配置後の情報ビット及びゼロと、パリティ生成行列との行列演算をする。これにより、符号化器 100 は、パリティ系列を生成し、パリティ系列のうち、値が常にゼロとなるパリティビットを削除し、削除後のパリティ系列を出力する。

[0082] 換言すると、符号化器 100 は、情報ビットにゼロを挿入し、情報ビット及びゼロと、QC-LDPC のパリティ生成行列との行列演算によりパリティビットを生成し、ゼロを挿入する位置及びパリティ生成行列とに基づいて、パリティビットのうち、値が常にゼロとなるパリティビットを削除し、削除後のパリティ系列を出力する。

[0083] したがって、符号化器 100 を有する送信装置 400 において、送信部 440 が、入力ビットと、パリティビットのうち、ゼロ行列の行に対応する前記パリティビット以外と、を送信することにより、ゼロ行列の行に対応するパリティビットを受信側に送信せずとも、受信側では、ゼロ行列の行に対応するパリティビットの対数尤度比として既知の固定の対数尤度比を挿入して、復号を行うことができるため、送信するパリティビット数を低減し、伝送効率を向上させることができる。

[0084] なお、送信する必要がある情報ビットは、制御情報等を含むヘッダに限られず、ペイロードデータ（情報伝送用のシンボル）等であっても良い。要するに、送信する必要がある情報ビットの数が、QC-LDPC符号に含まれるゼロ行列の列数に比べ小さければ、本発明を適用することができる。送信する必要がある情報ビットがヘッダであり、ヘッダ長が固定の場合には、ゼロ行列設定部110は、ヘッダ長に応じて予め最適なゼロ行列を設定しておくことができる。

[0085] 一方、送信する必要がある情報ビットが、ペイロードデータの場合には、コンテンツ情報等の大きさによりデータ長が変動する。本発明は、送信する必要がある情報ビットのデータ長が、例えば、ペイロードデータのように変動する場合においても適用することができる。以下の実施の形態2では、送信する必要がある情報ビットのデータ長が変動する場合について説明する。

[0086] （実施の形態2）

本実施の形態では、送信する必要がある情報ビットのデータ長が変動する場合に、本発明を適用した場合の形態について説明する。

[0087] 図11は、QC-LDPC符号を用いた場合の1ブロックの構成例を示す。QC-LDPC符号は、ブロック符号であり、図11に示すように、1ブロックは、情報ビットとパリティビットとから構成される。ここで、1ブロック内の情報ビットのビット数がMビットであるとする。

[0088] 図12は、本実施の形態に係る符号化器の構成例を示す。なお、図12の本実施の形態に係る符号化器において、図6と共通する構成部分には、図6と同一の符号を付して説明を省略する。図12の符号化器100aは、図6の符号化器100に対し、ゼロ行列設定部110及び配置部120に代えて、ゼロ行列設定部110a及び配置部120aを有している。以下では、Nビットの情報系列が符号化器100aに入力される場合を例に説明する。

[0089] ゼロ行列設定部110aは、情報系列として入力される情報ビット（入力ビット）のデータ長Nに応じて、ゼロ行列を設定する。具体的には、ゼロ行列設定部110aは、まず、情報ビット（入力ビット）のデータ長Nをカウ

ントする。そして、ゼロ行列設定部 110a は、データ長 N を $QC-LDPC$ 符号の 1 ブロックあたりの情報ビット長 M で除算し、商 β 及び余り α を算出する。

[0090] 配置部 120a は、除算の結果、 $N = kM$ (k は整数) が成立する場合、図 13 に示すように、 k 個の全てのブロックの情報ビットの領域に、情報系列として入力される情報ビット (入力ビット) を配置する必要がある。すなわち、 k 個のブロックでは、 $QC-LDPC$ 符号のパリティ生成行列 g の全ての列に各情報ビット (入力ビット) を配置する必要がある。そのため、 $N = kM$ (k は自然数) が成立する場合は、ゼロ行列設定部 110a は、ゼロ行列を設定せず、パリティ生成行列 g の全ての列に情報ビット (入力ビット) を配置するよう配置部 120a に指示信号を出力する。

[0091] 配置部 120a は、除算の結果、 $N \neq kM = \beta M + \alpha$ (k は整数、 α 及び β は自然数) が成立する場合、図 13 に示すように、 β 個のブロックの情報ビットの領域には、情報ビット (入力ビット) を配置し、1 個のブロック (特殊ブロック) の情報ビットの領域には、 α ビットの情報ビット (入力ビット) を配置する必要がある。すなわち、配置部 120a は、 β 個のブロックでは、 $QC-LDPC$ 符号のパリティ生成行列 g の全ての列に各情報ビットを配置し、特殊ブロックでは、実施の形態 1 で述べたように、ゼロ行列の列に情報ビット (入力ビット) を配置するようにはする必要がある。

[0092] そのため、 $N \neq kM = \beta M + \alpha$ (k 、 α 及び β は自然数) が成立する場合には、ゼロ行列設定部 110a は、特殊ブロックで送信する必要がある情報ビット (入力ビット) のデータ長 α に応じて、ゼロ行列を設定する。このとき、ゼロ行列設定部 110a は、データ長 α の値に応じて、設定するゼロ行列を切り替える。具体的には、ゼロ行列設定部 110a は、余り α と所定の閾値との比較結果に応じて、設定するゼロ行列を切り替える。上述したように、符号化器 100a は、ゼロ行列によって、送信する必要がある情報ビットとして配置できるビット数の最大値が変動する。

[0093] なお、図 13 では、特殊ブロックを時間的に最後に配置しているが、配置

位置はこれに限ったものではない。

[0094] 以下、図 1 4 を用いて、データ長に応じてゼロ行列を設定する動作について説明する。図 1 4 は、ゼロ行列設定部 1 1 0 a が、2 つの閾値を a_1 、 a_2 を有し、データ長 α と 2 つの閾値との比較結果に応じて、ゼロ行列を切り替える場合の例である。送信しないビットとしてパンクチャできる（削減できる）パリティビット数は、ゼロ行列の行数と同じであるため、ゼロ行列を切り替えることは、換言すると、送信するパリティビットの削減方法を切り替えることになる。

[0095] $0 < \alpha \leq a_1$ の場合、ゼロ行列 # 1（削減方法 # 1）により、送信するパリティビットを削減する。例えば、 $0 < \alpha \leq a_1$ （ $= 12$ ）の場合、ゼロ行列設定部 1 1 0 a は、ゼロ行列 2 2 1, 2 2 2... をゼロ行列として設定する。

[0096] そして、 $\alpha = 10$ の場合、配置部 1 2 0 a は、10 ビットの情報に “0” を 2 ビット加え、12 ビットにする。そして、配置部 1 2 0 a は、この 12 ビットを、 $x_{36} \sim x_{47}$ に割り当て、 $x_1 \sim x_{35}$, $x_{48} \sim$ に “0” を割り当てる。この結果、符号化部 1 3 0 により得られるパリティビットのうち、パリティビット $p_1 \sim p_7$, $p_{28} \sim p_{34}$, ... は、 $x_{36} \sim x_{47}$ の値によらず常に “0” となる。

[0097] したがって、パンクチャ部（データ削減部）1 4 0 が、常に “0” となるパリティビット $p_1 \sim p_7$, $p_{28} \sim p_{34}$ を送信しないビットとしてパンクチャすることにより、復号特性を劣化させることなく、伝送効率を向上させることができる。

[0098] また、 $x_{36} \sim x_{47}$ 以外のビット（ $x_1 \sim x_{35}$, $x_{48} \sim$ ）には、既知ビット “0” が割り当てられているので、パンクチャ部（データ削減部）1 4 0 は、これら $x_{36} \sim x_{47}$ 以外のビットもパンクチャする（送信しないビットと設定する）。加えて、 $\alpha = 10$ の場合には、パンクチャ部（データ削減部）1 4 0 が、 $x_{36} \sim x_{47}$ に割り当てられた 2 ビットの “0” を送信しないビットとしてパンクチャする（送信しないビットと設定する）。

これにより、伝送効率を更に向上させることができる。

[0099] 例えば、配置部 1 2 0 a が、x 4 6, x 4 7 に“0”を割り当てた場合に、パンクチャ部（データ削減部）1 4 0 が、x 4 6, x 4 7 をパンクチャすることにより、送信系列は、x 3 6 ~ x 4 5、パリティ p 8 ~ p 2 7, p 3 5 ~ p 5 4, ...となり、伝送効率を更に向上させることができる。

[0100] $a_1 < \alpha \leq a_2$ の場合、ゼロ行列 # 2（削減方法 # 2）により、送信するパリティビットを削減する。例えば、 $a_1 = 12$, $a_2 = 19$ の場合、ゼロ行列設定部 1 1 0 a は、ゼロ行列 2 2 1, 2 2 2, ...に加え、ゼロ行列 2 3 1, 2 3 2, ...を、ゼロ行列として設定する。

[0101] そして、 $\alpha = 15$ の場合、配置部 1 2 0 a は、15 ビットの情報に“0”を4ビット加え、19ビットにする。そして、配置部 1 2 0 a は、この19ビットを、x 3 6 ~ x 4 7 及び x 7 1 ~ x 7 7 に割り当て、x 1 ~ x 3 5, x 4 8 ~ x 7 1, x 7 8 ~ に“0”を割り当てる。この結果、符号化部 1 3 0 により得られるパリティビットのうち、パリティビット p 1 ~ p 7, p 2 8 ~ p 3 4, ...は、x 3 6 ~ x 4 7 の値によらず常に“0”となる。

[0102] したがって、パンクチャ部（データ削減部）1 4 0 は、常に“0”となるパリティビット p 1 ~ p 7, p 2 8 ~ p 3 4 を送信しないビットとしてパンクチャすることにより、復号特性を劣化させることなく、伝送効率を向上させることができる。

[0103] また、x 3 6 ~ x 4 7, x 7 1 ~ x 7 7 以外のビット（x 1 ~ x 3 5, x 4 8 ~ x 7 1, x 7 8 ~）には既知ビット“0”が割り当てられているので、パンクチャ部（データ削減部）1 4 0 は、これら x 3 6 ~ x 4 7, x 7 1 ~ x 7 7 以外のビットをパンクチャする（送信しないビット）と設定する。加えて、 $\alpha = 15$ の場合には、パンクチャ部（データ削減部）1 4 0 が、x 3 6 ~ x 4 7, x 7 1 ~ x 7 7 のいずれかに割り当てられた4ビットの“0”を送信しないビットとしてパンクチャする（送信しないビットと設定する）。

[0104] これにより、送信装置は、伝送効率を更に向上させることができる。例え

ば、配置部 120a が、 $x_{74} \sim x_{77}$ に “0” を割り当てた場合に、パンクチャ部（データ削減部）140 が、 $x_{74} \sim x_{77}$ をパンクチャすることにより、送信系列は、 $x_{36} \sim x_{45}$ 、 $x_{71} \sim x_{73}$ 、 $p_8 \sim p_{27}$ 、 $p_{35} \sim p_{54}$ 、…となり、送信装置は、伝送効率を更に向上させることができる。

[0105] なお、図 14 に示す例では、 $a_2 < \alpha \leq M-1$ の場合、ゼロ行列を設定せず、パリティビットの削減は行わないようにした。すなわち、情報ビット（入力ビット）のデータ長 N をブロック長 M で除算した余り α が所定の閾値以上の場合には、 α 個の情報ビット（入力ビット）、及び、仮想ビットとして $(M-\alpha)$ 個の “0” を、パリティ生成行列 g の列に配置するようにする。

[0106] このようにして、ゼロ行列設定部 110a は、特殊ブロックで送信する必要がある情報ビット（入力ビット）のデータ長 α に応じて、ゼロ行列を設定する。そして、ゼロ行列設定部 110a は、パリティ生成行列 g におけるゼロ行列の位置の情報を配置部 120a 及びパンクチャ部（データ削減部）140 に通知する。

[0107] なお、ゼロ行列設定部 110a は、 $a_2 < \alpha \leq M-1$ の場合、ゼロ行列を設定せず、パリティビットの削減は行わないようにした。そのため、そのため、 $a_2 < \alpha \leq M-1$ の場合、ゼロ行列設定部 110a は、パリティビットをパンクチャしないようパンクチャ部（データ削減部）140 に通知する。

[0108] 以上のように、本実施の形態では、ゼロ行列設定部 110a は、パリティ生成行列 g の部分行列であって、要素が全て “0” のゼロ行列を、情報ビット（入力ビット）のデータ長 N に応じて設定するようにした。このようにすることで、送信装置は、送信する必要があるパリティビット数を低減しつつ、情報ビット（入力ビット）を確実に送信することができる。

[0109] なお、図 14 には、余り α の値に応じて、3 つのいずれかに場合分けを示した例を示したが、場合分け数は 3 つに限られない。例えば、ゼロ行列設定部 110a が、閾値を更に有し、 Z 個に場合分けするようにしても良い。

[0110] また、本実施の形態を実現するにあたり、復号化器を具備する受信装置が

、余り α の値を知っている必要がある。これを実現する簡単な方法としては、符号化器を具備する送信装置が、送信するデータのビット数の情報を、最初に受信装置に通知すれば良い。なおこのとき、受信装置は、 α を求めるための演算部を具備する必要がある。

[0111] (実施の形態3)

本実施の形態では、QC-LDPC符号におけるパンクチャ方法について説明する。

[0112] 図15は、本実施の形態に係る符号化器の構成例を示す。図15の符号化器600は、符号化部610、パンクチャパターン設定部620及びパンクチャ部（データ削減部）630を有している。

[0113] 符号化部610は、QC-LDPCのパリティ生成行列 g を用いて、情報系列に符号化を行う。

[0114] パンクチャパターン設定部620は、QC-LDPC符号の検査行列 H が、サブブロック行列を基本単位として構成されていることを利用して、パンクチャパターンを探索し、設定する。パンクチャパターンの探索方法については、後述する。パンクチャパターン設定部620は、設定したパンクチャパターンの情報を、パンクチャ部（データ削減部）630に出力する。

[0115] パンクチャ部（データ削減部）630は、パンクチャパターン設定部620から通知されるパンクチャパターンに従って、符号化部610から出力される符号化系列のうち、送信しないビットとして情報ビット又はパリティビットをパンクチャする（送信しないビットと設定する）。

[0116] 次に、パンクチャパターン設定部620が設定するパンクチャパターンの探索方法について説明する。パンクチャパターンは、QC-LDPC符号の検査行列 H が、サブブロック行列を基本単位として構成されていることを利用して、パンクチャパターンを探索する。

[0117] パンクチャパターン設定部620は、パンクチャパターンを探索する際、先ず、パンクチャパターンの周期を決定する。例えば、20ビットから送信しないビット（パンクチャビット）を K ビット選択する場合、パンクチャパ

ターンの周期は、20ビットとなる。なおこのとき、パンクチャパターンの周期の20ビット内に含まれる送信しないビット（パンクチャビット）の数は、K個とし、常に一定とする。

[0118] 本発明では、パンクチャパターンの周期を、QC-LDPC符号の検査行列の基本単位であるサブブロック行列 $I(p_{j,l})$ (q 行 r 列 ($r = (q + p_{j,l}) \bmod p$ ($0 \leq q \leq p - 1$)) が1であり、その他は“0”であるような巡回置換行列)の列数 L の整数倍、又は、列数 L の約数とする(式(1)参照)。

[0119] 例えば、図3に示すQC-LDPC符号の検査行列におけるサブブロック行列は、27行27列($L = 27$)の行列であるので、27の整数倍、又は、27の約数をパンクチャパターンの周期と設定し、送信しないビット（パンクチャビット）K個を設定することを提案する。

[0120] 一般に、ブロック符号では、ブロック長が長いほど良好な受信特性が得られる。しかし、ブロック長が長い場合には、ブロック長単位で、最良のパンクチャパターンを探索することは困難である。そのため、ブロック長が長い場合には、ランダムにパンクチャビットを選択する方式の採用が考えられる。しかし、この場合には、パンクチャ時の受信品質が大きく劣化する可能性がある。

[0121] これに対し、パンクチャパターン設定部620が、QC-LDPC符号の検査行列 H を構成するサブブロック行列が規則的であることに着目し、サブブロック行列の列数の整数倍、又は、列数の約数ごとに、パンクチャパターンを探索する場合には、比較的短い時間で特性が良好となるパンクチャパターンを確実に見つけ出すことができる。

[0122] パンクチャパターンの具体的な探索方法としては、例えば、所定のSNR (Signal-to-Noise power ratio: 信号電力対雑音電力比)を設定し、パンクチャパターンごとに誤り率を求め、誤り率が低くなるパンクチャパターンを求めれば良い。

[0123] 送信装置は、このようにして探索されたパンクチャパターンを用いて、符

号化系列をパンクチャすることにより、良好な受信品質を維持しつつ、伝送効率を向上させることができる。すなわち、図 15 の構成で重要な点は、パンクチャ部（データ削減部）630 は、符号化系列を QC-LDPC 符号の検査行列 H を構成するサブブロック行列の列数の整数倍、又は、列数の約数を単位として、パンクチャを行っている点である。

[0124] 一例として、パンクチャ部（データ削減部）630 が、パンクチャパターンの周期をサブブロック行列の列数 L とし、サブブロック行列の列数 L ごとに、送信しないビット（パンクチャビット）の数を K 個と一定とする場合について説明する。この場合、パンクチャ部（データ削減部）630 は、パンクチャパターンを、QC-LDPC 符号の検査行列 H を構成するサブブロック行列の列数の整数倍ごとに切り替える。

[0125] パンクチャパターンの切り替え方法について、図 16 A～図 16 C を用いて具体的に説明する。

[0126] 図 16 A は、図 3 の検査行列 H に対し、サブブロック行列の列数（列数の 1 倍）ごとにパンクチャパターンを切り替える様子を示している。図 3 の検査行列 H は、27 列のサブブロック行列から構成されるため、パンクチャ部（データ削減部）630 は、 $x_1 \sim x_{27}$ に対しては、パンクチャパターン #0 を用いて送信しないビット（パンクチャビット）を K 個選択する。また、パンクチャ部（データ削減部）630 は、 $x_{28} \sim x_{54}$ に対してはパンクチャパターン #1 を用いて、送信しないビット（パンクチャビット）を K 個選択する。また、パンクチャ部（データ削減部）630 は、 $p_{622} \sim p_{648}$ に対しては、パンクチャパターン #23 を用いて、送信しないビット（パンクチャビット）を K 個選択する。

[0127] 図 16 B は、図 3 の検査行列 H に対し、サブブロック行列の列数の 2 倍ごとにパンクチャパターンを切り替える様子を示している。図 3 の検査行列 H は、27 列のサブブロック行列から構成されるため、パンクチャ部（データ削減部）630 は、 $x_1 \sim x_{27}$ 、 $x_{28} \sim x_{54}$ に対しては、パンクチャパターン #0 を用いて送信しないビット（パンクチャビット）を K 個選択す

る。

- [0128] また、パンクチャ部（データ削減部）630は、 $x_{55} \sim x_{81}$, $x_{82} \sim x_{108}$ に対してはパンクチャパターン#1を用いて、送信しないビット（パンクチャビット）をK個選択する。また、パンクチャ部（データ削減部）630は、 $x_{109} \sim x_{135}$, $x_{136} \sim x_{162}$ に対しては、パンクチャパターン#2を用いて、送信しないビット（パンクチャビット）をK個選択する。
- [0129] 図16Cは、図3の検査行列Hに対し、サブブロック行列の列数の約数9列を基本周期として、9列ごとにパンクチャパターンを切り替える様子を示している。具体的には、パンクチャ部（データ削減部）630は、 $x_1 \sim x_9$ に対しては、パンクチャパターン#0を用いて送信しないビット（パンクチャビット）をK個選択する。
- [0130] パンクチャ部（データ削減部）630は、 $x_{10} \sim x_{18}$ に対しては、パンクチャパターン#1を用いて送信しないビット（パンクチャビット）をK個選択する。パンクチャ部（データ削減部）630は、 $x_{19} \sim x_{27}$ に対しては、パンクチャパターン#2を用いて送信しないビット（パンクチャビット）をK個選択する。
- [0131] 同様に、パンクチャ部（データ削減部）630は、 $x_{28} \sim x_{36}$ に対しては、パンクチャパターン#3を用いて送信しないビット（パンクチャビット）をK個選択する。パンクチャ部（データ削減部）630は、 $x_{37} \sim x_{45}$ に対しては、パンクチャパターン#4を用いて送信しないビット（パンクチャビット）をK個選択する。パンクチャ部（データ削減部）630は、 $x_{46} \sim x_{54}$ に対しては、パンクチャパターン#5を用いて送信しないビット（パンクチャビット）をK個選択する。
- [0132] 同様に、パンクチャ部（データ削減部）630は、 $x_{622} \sim x_{630}$ に対しては、パンクチャパターン#69を用いて送信しないビット（パンクチャビット）をK個選択する。パンクチャ部（データ削減部）630は、 $x_{631} \sim x_{639}$ に対しては、パンクチャパターン#70を用いて送信しない

ビット（パンクチャビット）をK個選択する。パンクチャ部（データ削減部）630は、x640～x648に対しては、パンクチャパターン#71を用いて送信しないビット（パンクチャビット）をK個選択する。

[0133] なお、パンクチャ部（データ削減部）630は、パンクチャパターン#0～#2から構成されるパンクチャパターン#S0を定義し、x1～x27に、パンクチャパターン#S0を用いて送信しないビット（パンクチャビット）を3K個選択するようにしても良い。同様に、パンクチャ部（データ削減部）630は、パンクチャパターン#3～#5から構成されるパンクチャパターン#S1を定義し、x28～x54に、パンクチャパターン#S1を用いて送信しないビット（パンクチャビット）を3K個選択するようにしても良い。

[0134] 同様に、パンクチャ部（データ削減部）630は、パンクチャパターン#69～#71から構成されるパンクチャパターン#S23を定義し、x622～x648に、パンクチャパターン#S23を用いて送信しないビット（パンクチャビット）を3K個選択するようにしても良い。

[0135] すなわち、サブブロック行列の列数の約数を基本周期としてパンクチャをすることは、QC-LDPC符号の検査行列Hを構成するサブブロック行列の列数を単位（周期）としてパンクチャすることと等価になる。

[0136] 以上のように、本実施の形態では、パンクチャパターン設定部620は、QC-LDPC符号の検査行列Hを構成するサブブロック行列の列数の整数倍、又は、列数の約数ごとにパンクチャパターンを探索し、パンクチャ部（データ削減部）630は、QC-LDPC符号の検査行列を構成するサブブロック行列の列数の整数倍、又は、列数の約数ごとに、パンクチャパターンを切り替える。これにより、良好な受信品質が得られるパンクチャパターンを、比較的短い時間で確実に探索することができ、良好な受信品質を維持しつつ、伝送効率を向上させることができる。

[0137] なお、以上の説明では、QC-LDPC符号の検査行列を構成するサブブロック行列の列数の整数倍、又は、列数の約数ごとに、パンクチャパターン

を切り替える場合を例に説明したが、パンクチャパターンを必ずしも切り替える必要はない。

[0138] 例えば、図 16 A は、「パンクチャパターン# 0」、「パンクチャパターン# 1」、・・・「パンクチャパターン# 23」が同一のパンクチャパターンであっても良い。また、図 16 B は、「パンクチャパターン# 0」、「パンクチャパターン# 1」、「パンクチャパターン# 2」、・・・が同一のパンクチャパターンであっても良い。

[0139] また、図 16 C は、「パンクチャパターン# 0」、「パンクチャパターン# 1」、・・・「パンクチャパターン# 71」が同一のパンクチャパターンであっても良い。要するに、パンクチャパターンの単位は、QC-LDPC 符号の検査行列を構成するサブブロック行列の列数の整数倍、又は、列数の約数となっていれば良い。

[0140] (実施の形態 4)

本実施の形態では、実施の形態 1 及び実施の形態 2 において説明した符号化方法を、制御情報に利用する場合の符号化方法の例を説明する。

[0141] 一例として、以下では、Coding rate(R)=1/2, LDPC code information block length(bits)=168, LDPC codeword block length(bits)=336のQC-LDPC符号を用い、200ビットの制御情報を符号化する場合について説明する。

[0142] 図 17 は、200ビットの制御情報を168ビットと32ビットとに分割し、168ビットをブロック#1に配置し、32ビットをブロック#2に配置する場合を示している。図 17 において、ブロック#2には、ブロック長168ビットに対し、制御情報が32ビットしか配置されない。

[0143] 以下、ブロック#2のように、送信する必要があるビットが、ブロック長より短いブロックは、実施の形態 2 において説明した特殊ブロックである。そのため、実施の形態 2 と同様に、ブロック#2では、情報ビットとして“0”が仮想ビットとして配置され、符号化される。この結果、ブロック#1とブロック#2とでは、受信品質にばらつきが発生し、結局、200ビット

の制御情報の受信品質は、受信品質が悪いブロックに依存してしまう。

[0144] そこで、本実施の形態では、図 18 に示すように、200 ビットの制御情報を、2 つのブロック # 1, # 2 にできるだけ均等に配置し、各ブロックに対し実施の形態 1 で述べた符号化を行う。具体的には、制御情報が 200 ビットの場合、ブロック # 1 及びブロック # 2 の双方に、100 ビットずつ制御情報を配置する。

[0145] これにより、ブロック # 1 及びブロック # 2 が共に、特殊ブロックになるため、ブロック # 1 及びブロック # 2 の双方で、情報ビットとして “0” が仮想ビットとして配置されて、実施の形態 1 における符号化方法により符号化される。これにより、ブロック # 1 とブロック # 2 との受信品質が均等になり、通信相手に的確に伝送できるようになる。

[0146] なお、制御情報が 201 ビットの場合には、ブロック # 1 には制御情報を 101 ビット配置し、ブロック # 2 には制御情報を 100 ビット配置するようにする。この場合、ブロック # 1 における制御情報のビットの数とブロック # 2 における制御情報のビットの数との差は、高々 1 ビットである。このように、送信装置は、2 つのブロックに、送信する必要がある情報をできるだけ均等に配置することにより、各ブロック間の受信品質を均等にするので、制御情報を通信相手に確実に伝送することができるようになる。

[0147] 以上のように、本実施の形態では、制御情報を複数のブロックにできるだけ均等に配置するようにした。これにより、送信装置は、配置後の各ブロックに対し、実施の形態 1 において説明した符号化方法を適用することにより、制御情報等の通信確立に必要な情報を確実に通信相手に伝送することができる。

[0148] なお、本実施の形態における特殊ブロックの生成方法は、実施の形態 2 で説明した特殊ブロックの生成方法と同様である。つまり、送信装置は、送信する必要のない情報ビット及びパリティビットの双方を送信しないビットと設定（パンクチャビットと設定）することになる。

[0149] (実施の形態 5)

本実施の形態では、QC-LDPC符号の一例を示すとともに、当該QC-LDPC符号に最適なパンクチャパターンについて説明する。

[0150] QC-LDPC符号の検査行列Hは、式(4)のように定義する。

[数4]

$$H = \begin{bmatrix} P_{0,0} & P_{0,1} & P_{0,2} & \cdots & P_{0,n_b-2} & P_{0,n_b-1} \\ P_{1,0} & P_{1,1} & P_{1,2} & \cdots & P_{1,n_b-2} & P_{1,n_b-1} \\ P_{2,0} & P_{2,1} & P_{2,2} & \cdots & P_{2,n_b-2} & P_{2,n_b-1} \\ \vdots & \vdots & \vdots & \cdots & \vdots & \vdots \\ P_{m_b-1,0} & P_{m_b-1,1} & P_{m_b-1,2} & \cdots & P_{m_b-1,n_b-2} & P_{m_b-1,n_b-1} \end{bmatrix} = P^{H_b} \quad \cdots (4)$$

[0151] 式(4)の検査行列Hは、 m 行 n 列の行列である。ここで、 n は、符号長であり、 m は、パリティビット数である。従って、システムティックビット数 k は、 $k = n - m$ となる。また、式(4)において、 $P_{i,j}$ は、 z 行 z 列の巡回置換行列又は z 行 z 列のゼロ行列である。

[0152] ここで、式(4)の検査行列Hは、 n_b 行 m_b 列の行列 H_b により展開する。なお、 $m = z \times m_b$ 、 $n = z \times n_b$ の関係が成り立つ。また、行列 H_b の各要素は、 $P_{i,j}$ において要素が“1”の場合、“1”とし、 $P_{i,j}$ において要素が“0”の場合、“0”とする。

[0153] ここで、 $P_{i,j}$ は、巡回置換行列として、 z 行 z 列の単位行列、又は、 z 行 z 列の単位行列を巡回シフトした行列の集合である。巡回置換行列は、単位行列、又は、単位行列を巡回シフトした行列の集合であるので、行列 H_b を、行列 H_b と大きさが同一の行列 $H_{b,m}$ に分解すると、行列 $H_{b,m}$ は、ゼロ行列、又は、単位行列を巡回シフトした行列で示される。

[0154] なお、以降、行列 $H_{b,m}$ において、ゼロ行列は“−1”と標記する。また、単位行列は“0”と標記する。また、単位行列の巡回置換行列は、その巡回シフト量 $p(i, j)$ (> 0)を用いて“ $p(i, j)$ ”と標記する。このようにコンパクトに標記された行列 $H_{b,m}$ の集合として、行列 H_b を表現することができる。

[0155] ところで、行列 H_b は、式(5)に示すように、2つのサブ行列 $H_{b,1}$ 、 $H_{b,2}$

に分けられる。サブ行列 H_{b1} は、情報ビットに関連する部分行列であり、サブ行列 H_{b2} は、パリティビットに関連する部分行列である。

[数5]

$$H_b = [(H_{b1})_{mb \times kb} | (H_{b2})_{mb \times mb}] = 0 \quad \dots (5)$$

[0156] サブ行列 H_{b2} は、式(6)に示すように、更に、ベクトル h_b とサブ行列 H'_{b2} に分けられる。

[数6]

$$H_{b2} = [h_b | H'_{b2}] = \left[\begin{array}{c|cccc} h_b(0) & 1 & & & \\ h_b(1) & 1 & 1 & & 0 \\ \cdots & | & 1 & \ddots & \\ \cdots & | & & \ddots & 1 \\ \cdots & | & 0 & & 1 & 1 \\ h_b(m_b-1) & | & & & & 1 \end{array} \right] \quad \dots (6)$$

[0157] 式(6)において、サブ行列 H'_{b2} は、 i 行 j 列($i = j$ 及び $i = j + 1$)の部分が“1”であり、他の部分は“0”の行列である。サブ行列 H'_{b2} において、“1”と標記される部分は、単位行列のシフト量が0であることを示す。つまり、サブ行列 H'_{b2} は、行列 H_b に展開される際、 z 行 z 列の単位行列によって置き換えられる。

[0158] また、ベクトル h_b の一番上($h_b(0)$)と一番下($h_b(m_b - 1)$)とは、同じ巡回シフト量が割り当てられるとする。

[0159] 以下では、式(7)により定義される行列 H_b を考える。式(7)により定義される検査行列 H は、各符号化率における最大符号長に対応することができる。

[数7]

$$p(f, i, j) = \begin{cases} p(i, j) & , \quad p(i, j) \leq 0 \\ \left\lfloor p(i, j) \cdot \frac{z_f}{96} \right\rfloor & , \quad p(i, j) > 0 \dots (7) \end{cases}$$

ここで、 $\left\lfloor p(i, j) \cdot \frac{z_f}{96} \right\rfloor$ は、 $p(i, j) \cdot \frac{z_f}{96}$ の整数部分を示す。

[0160] 式（７）において、 $p(f, i, j)$ は、単位行列の巡回シフト量を示し、 f は、各符号化率に対応する符号長のインデックスを示す。また、 z_f は、展開ファクタと呼ばれ、 $z_f = k/n$ の関係がある。

[0161] 式（７）に基づく符号化率 $1/2$ ($=k/n$) の行列 H_b を、式（８）に示す。

[数8]

```

-1 94 73 -1 -1 -1 -1 -1 55 83 -1 -1 7 0 -1 -1 -1 -1 -1 -1 -1 -1
-1 27 -1 -1 -1 22 79 9 -1 -1 -1 12 -1 0 0 -1 -1 -1 -1 -1 -1 -1
-1 -1 -1 24 22 81 -1 33 -1 -1 -1 0 -1 -1 0 0 -1 -1 -1 -1 -1 -1
61 -1 47 -1 -1 -1 -1 65 25 -1 -1 -1 -1 -1 0 0 -1 -1 -1 -1 -1 -1
-1 -1 39 -1 -1 -1 84 -1 -1 41 72 -1 -1 -1 -1 0 0 -1 -1 -1 -1 -1
-1 -1 -1 -1 46 40 -1 82 -1 -1 -1 79 0 -1 -1 -1 -1 0 0 -1 -1 -1 -1
-1 -1 95 53 -1 -1 -1 -1 14 18 -1 -1 -1 -1 -1 -1 0 0 -1 -1 -1 -1
-1 11 73 -1 -1 -1 2 -1 -1 47 -1 -1 -1 -1 -1 -1 -1 0 0 -1 -1 -1
12 -1 -1 -1 83 24 -1 43 -1 -1 -1 51 -1 -1 -1 -1 -1 -1 0 0 -1 -1
-1 -1 -1 -1 -1 94 -1 59 -1 -1 70 72 -1 -1 -1 -1 -1 -1 -1 0 0 -1
-1 -1 7 65 -1 -1 -1 39 49 -1 -1 -1 -1 -1 -1 -1 -1 -1 -1 0 0
43 -1 -1 -1 -1 66 -1 41 -1 -1 -1 26 7 -1 -1 -1 -1 -1 -1 -1 -1 -1

```

… (8)

[0162] 式（８）において、“０” は、単位行列を示す。また、“－１” は、ゼロ行列を示す。また、たとえば、１行２列目の“９４”は、単位行列を９４だけサイクリックシフトした行列を示す。同様に、４行１列目の“６１”は、単位行列を６１だけサイクリックシフトした行列を示す。

[0163] また、式（７）に基づく符号化率 $5/6$ ($=k/n$) の行列 H_b を、式（９）に示す。

[数9]

```

1 25 55 -1 47 4 -1 91 84 8 86 52 82 33 5 0 36 20 4 77 80 0 -1 -1
-1 6 -1 36 40 47 12 79 47 -1 41 21 12 71 14 72 0 44 49 0 0 0 -1
51 81 83 4 67 -1 21 -1 31 24 91 61 81 9 86 78 60 88 67 15 -1 -1 0 0
50 -1 50 15 -1 36 13 10 11 20 53 90 29 92 57 30 84 92 11 66 80 -1 -1 0

```

… (9)

[0164] 以上、符号化率 $1/2$ 及び $5/6$ の QC-LDPC の行列 H_b の一例を示した。以下、これら QC-LDPC の行列 H_b に適用可能なパンクチャパターンについて説明する。

[0165] 図 19A には、式（８）に示した符号化率 $1/2$ の QC-LDPC の行列 H_b を示す。図 19A に示されるように、符号化率 $1/2$ の行列 H_b は、情報ビットに関連する部分行列 $H_{b,1}$ が 12 行であるため、パリティビットに関連

する部分行列 H_{b_2} は12列となる。

[0166] 図19Aのパリティビットに関連する部分行列 H_{b_2} は、1行1列目及び12行1列目を除き、“-1”、“0”で構成されており、規則的な配列となっている。上述したように、“-1”は、ゼロ行列を示し、“0”は、単位行列を示す。また、1行1列目及び12行1列目の“7”は、単位行列を7だけサイクリックシフトした巡回置換行列である。

[0167] このとき、パリティビットに関連する部分行列 H_{b_2} の列において、単位行列、ゼロ行列により構成される部分は、同一のパンクチャパターンを用いるようにしても、受信品質に与える影響が低い。そのため、単位行列、ゼロ行列により構成される部分については、同一のパンクチャパターン#Aを用いても、良好な受信特性を得ることができる（図19A参照）。なお、単位行列、ゼロ行列により構成される部分に該当しない列については、異なるパンクチャパターンと設定するものとする。ただし、一部又は全てのパンクチャパターンが同一のパンクチャパターンとなっても良い。

[0168] 更に、符号化系列は、実施の形態3で述べたパンクチャ方法と組み合わせることも可能である。つまり、符号化系列は、QC-LDPC符号の検査行列 H を構成するサブブロック行列の列数の整数倍、又は、列数の約数を単位として、パンクチャを行うと更に効果的である。図19B、図19Cでは、パリティビットに関連する部分行列 H_{b_2} に対し、QC-LDPC符号の検査行列 H を構成するサブブロック行列の列数の整数倍、又は、列数の約数を単位として、パンクチャを行う場合の例を示している。

[0169] 図19Bには、式(8)に示した符号化率 $1/2$ のQC-LDPCの行列 H_b 及びパンクチャパターンの別の適用例について示す。図19Bは、QC-LDPC符号の検査行列を構成するサブブロック行列の列数の整数倍(2倍)に、パンクチャパターンの周期を設定した場合の例である。なお、図19Bは、単位行列、ゼロ行列により構成される部分には、同一のパンクチャパターン#Bを用いるようにした例である。

[0170] また、図19Cには、式(8)に示した符号化率 $1/2$ のQC-LDPC

の行列 H_b 及びパンクチャパターンの別の適用例について示す。図19Cは、QC-LDPC符号の検査行列を構成するサブブロック行列の列数の $1/2$ ごとにパンクチャパターンを生成した場合の例である。なお、図19Cは、単位行列、ゼロ行列により構成される部分には、同一のパンクチャパターンを用いるようにした例である。

[0171] 具体的には、図19Cは、100行100列のサブブロック行列から構成される検査行列 H に対し、サブブロック行列の列数の $1/2$ である約数50列を基本周期として、50列ごとにパンクチャパターンを切り替える様子を示している。

[0172] 具体的には、パンクチャ部（データ削減部）630は、 $p100 \sim p149$ に対しては、パンクチャパターン#1を用いて送信しないビット（パンクチャビット）を選択する。パンクチャ部（データ削減部）630は、 $p150 \sim p199$ に対しては、パンクチャパターン#2を用いて送信しないビット（パンクチャビット）を選択する。パンクチャ部（データ削減部）630は、 $p200 \sim p249$ に対しては、パンクチャパターン#3を用いて送信しないビット（パンクチャビット）を選択する。

[0173] パンクチャ部（データ削減部）630は、 $p250 \sim p299$ に対しては、パンクチャパターン#4を用いて送信しないビット（パンクチャビット）を選択する。パンクチャ部（データ削減部）630は、 $p1100 \sim p1149$ に対しては、パンクチャパターン#21を用いて送信しないビット（パンクチャビット）を選択する。パンクチャ部（データ削減部）630は、 $p1150 \sim p1199$ に対しては、パンクチャパターン#22を用いて送信しないビット（パンクチャビット）を選択する。

[0174] 図20Aは、式(9)に示した符号化率 $5/6$ のQC-LDPCの行列 H_b を示す。図20Aに示されるように、符号化率 $5/6$ の検査行列 H_b は、情報ビットに関連する部分行列 H_{b1} が4行であるため、パリティビットに関連する部分行列 H_{b2} は4列となる。

[0175] 図20Aのパリティビットに関連する部分行列 H_{b2} は、1行1列目及び4

行 1 列目を除き、“-1”，“0”で構成されており、規則的な配列となっている。また、1 行 1 列目及び 4 行 1 列目の“8 0”は、単位行列を 8 0 だけサイクリックシフトした巡回置換行列である。

[0176] このように、符号化率 5/6 の場合にも、パリティビットに関連する部分行列 H_{b_2} の列において、単位行列、ゼロ行列により構成される部分は、同一のパンクチャパターンを用いるようにしても、受信品質に与える影響が低い。そのため、単位行列、ゼロ行列により構成される部分の列については、同一のパンクチャパターン # A を用いても、受信装置は、良好な受信特性を得ることができる（図 20 A 参照）。なお、単位行列、ゼロ行列により構成される部分に該当しない列については、異なるパンクチャパターンと設定するものとするが、一部が同一のパンクチャパターンとなっても良い。

[0177] 図 20 B には、式 (9) に示した符号化率 5/6 の QC-LDPC の行列 H_b 及びパンクチャパターンの別の適用例について示す。図 20 B は、QC-LDPC 符号の検査行列を構成するサブブロック行列の列数の整数倍（3 倍）に、パンクチャパターンの周期を設定した場合の例である。

[0178] また、図 20 C には、式 (9) に示した符号化率 5/6 の QC-LDPC の行列 H_b 及びパンクチャパターンの別の適用例について示す。図 20 C は、QC-LDPC 符号の検査行列を構成するサブブロック行列の列数の 1/2 ごとにパンクチャパターンを生成した場合の例である。なお、図 20 B と同様に、図 20 C は、単位行列、ゼロ行列により構成される部分には、同一のパンクチャパターンを用いるようにした例である。

[0179] 具体的には、図 20 C は、100 行 100 列のサブブロック行列から構成される検査行列 H に対し、サブブロック行列の列数の 1/2 である約数 50 列を基本周期として、50 列ごとにパンクチャパターンを切り替える様子を示している。

[0180] 具体的には、パンクチャ部（データ削減部）630 は、 $p100 \sim p149$ に対しては、パンクチャパターン # 1 を用いて送信しないビット（パンクチャビット）を選択する。パンクチャ部（データ削減部）630 は、 $p15$

0～p 1 9 9に対しては、パンクチャパターン# 2を用いて送信しないビット（パンクチャビット）を選択する。パンクチャ部（データ削減部）6 3 0は、p 2 0 0～p 2 4 9に対しては、パンクチャパターン# 3を用いて送信しないビット（パンクチャビット）を選択する。

[0181] パンクチャ部（データ削減部）6 3 0は、p 2 5 0～p 2 9 9に対しては、パンクチャパターン# 4を用いて送信しないビット（パンクチャビット）を選択する。パンクチャ部（データ削減部）6 3 0は、p 3 0 0～p 3 4 9に対しては、パンクチャパターン# 5を用いて送信しないビット（パンクチャビット）を選択する。パンクチャ部（データ削減部）6 3 0は、p 3 5 0～p 3 9 9に対しては、パンクチャパターン# 6を用いて送信しないビット（パンクチャビット）を選択する。

[0182] このように、パリティビットに関連する部分行列 H_{b_2} の列において、単位行列、ゼロ行列により構成される部分は、同一のパンクチャパターンを設定し、単位行列、ゼロ行列により構成される部分に該当しない列については、異なるパンクチャパターンと設定する。

[0183] なお、単位行列、ゼロ行列により構成される部分に該当しない列は、例えば、実施の形態3で述べたように、QC-LDPC符号の検査行列を構成するサブブロック行列の列数の整数倍、又は、列数の約数ごとに、パンクチャパターンを切り替えるようにしても良い。

[0184] また、単位行列、ゼロ行列により構成される部分に該当しない列は、パンクチャパターンのパターン長が、QC-LDPC符号の検査行列を構成するサブブロック行列の列数の整数倍、又は、列数の約数ごとである同一のパンクチャパターンを適用するようにしても良い。

[0185] （実施の形態6）

実施の形態5で説明したQC-LDPC符号を用い、かつ、実施の形態4で説明したQC-LDPC符号の検査行列を構成するサブブロック行列の列数の整数倍、又は、列数の約数を単位として、パンクチャを行っていて、全てにおいて、同一のパンクチャパターンを用いたときの例を示す。

[0186] 実施の形態6は、符号化率 $1/2$ の式(8)の検査行列をもつQC-LDPC符号からパンクチャにより、符号化率約0.65を実現するためのパンクチャパターンについて説明する。ただし、QC-LDPC符号の検査行列を構成するサブブロック行列のサイズは、行数350、列数350とする。したがって、QC-LDPC符号のInformation block length(bits)は4200となり、LDPC codeword block length(bits)は8400となる。

[0187] このとき、LDPC符号のcodewordを以下のようにあらわす。

$$\begin{aligned} v &= [x_0, x_1, \dots, x_{4198}, x_{4199}, p_0, p_1, \dots, p_{4198}, p_{4199}] \\ &= [s_0, s_1, s_2, \dots, s_{8397}, s_{8398}, s_{8399}] \\ &= [v_0, v_1, v_2, \dots, v_{167}] \end{aligned}$$

ただし、 v はcodeword、 x は情報、 p はパリティを意味する。

[0188] なお、 $v_0, v_1, \dots, v_i, \dots, v_{167}$ は以下のようにあらわされる。

$$\begin{aligned} v_0 &= [s_0, s_1, \dots, s_{48}, s_{49}], \\ v_1 &= [s_{50}, s_{51}, \dots, s_{98}, s_{99}], \dots, \\ v_i &= [s_{50*i}, s_{50*i+1}, \dots, s_{50*i+48}, s_{50*i+49}], \dots, \\ v_{167} &= [s_{8350}, s_{8351}, \dots, s_{8398}, s_{8399}] \end{aligned}$$

[0189] 本発明者らは、パンクチャパターンを探索した結果、QC-LDPC符号の検査行列を構成するサブブロック行列の列数の約数である50をパンクチャパターンの周期とすると良好な受信品質を与えることを確認した。

[0190] 良好な受信品質を与えるパンクチャリングパターンは以下のとおりである。

$$(1, 8, 19, 20, 25, 28, 29, 31, 38, 40, 41)$$

[0191] 別の表現として、パンクチャテーブル w は、

$$w = [1011111101 \ 1111111110 \ 0111101100 \ 1011111101 \ 0011111111]$$

であらわされる。

[0192] このとき、 w に含まれる0が送信しないビットを意味する。つまり、パンクチャテーブル w は、 v_i に対して、図21に示すように送信しないビットを決定する。したがって、 $v_i = [s_{50*i}, s_{50*i+1}, \dots, s_{50*i+48}, s_{50*i+49}]$ に対

して、送信しないビットを除いた、送信するデータビット v_i' は、

$$v_i' = [s_{50*i}, s_{50*i+2}, s_{50*i+3}, s_{50*i+4}, s_{50*i+5}, s_{50*i+6}, s_{50*i+7}, s_{50*i+9}, s_{50*i+10}, s_{50*i+11}, s_{50*i+12}, s_{50*i+13}, s_{50*i+14}, s_{50*i+15}, s_{50*i+16}, s_{50*i+17}, s_{50*i+18}, s_{50*i+21}, s_{50*i+22}, s_{50*i+23}, s_{50*i+24}, s_{50*i+26}, s_{50*i+27}, s_{50*i+30}, s_{50*i+32}, s_{50*i+33}, s_{50*i+34}, s_{50*i+35}, s_{50*i+36}, s_{50*i+37}, s_{50*i+39}, s_{50*i+42}, s_{50*i+43}, s_{50*i+44}, s_{50*i+45}, s_{50*i+46}, s_{50*i+47}, s_{50*i+48}, s_{50*i+49}]$$
とあらわされる。

[0193] 符号化率 $5/6$ の式(9)の検査行列をもつQC-LDPC符号から、パンクチャにより、符号化率約 0.95 を実現するためのパンクチャパターンについて説明する。ただし、QC-LDPC符号の検査行列を構成するサブブロック行列のサイズは、行数 210 、列数 210 とする。したがって、QC-LDPC符号において、Information block length(bits)は 4200 となり、LDPC codeword block length(bits)は 5040 となる。

[0194] このとき、LDPC符号のcodewordを以下のようにあらわす。

$$\begin{aligned} v &= [x_0, x_1, \dots, x_{4198}, x_{4199}, p_0, p_1, \dots, p_{838}, p_{839}] \\ &= [s_0, s_1, s_2, \dots, s_{5037}, s_{5038}, s_{5039}] \\ &= [v_0, v_1, v_2, \dots, v_{79}] \end{aligned}$$

ただし、 v はcodeword、 x は情報、 p はパリティを意味する。

[0195] なお、 $v_0, v_1, \dots, v_i, \dots, v_{79}$ は以下のようにあらわされる。

$$\begin{aligned} v_0 &= [s_0, s_1, \dots, s_{61}, s_{62}], \\ v_1 &= [s_{63}, s_{64}, \dots, s_{124}, s_{125}], \dots, \\ v_i &= [s_{63*i}, s_{63*i+1}, \dots, s_{63*i+61}, s_{63*i+62}], \dots, \\ v_{79} &= [s_{4977}, s_{4978}, \dots, s_{5038}, s_{5039}]. \end{aligned}$$

[0196] 本発明者らは、パンクチャパターンを探索した結果、 63 をパンクチャパターンの周期とすると良好な受信品質を与えることを確認した。

[0197] 良好な受信品質を与えるパンクチャリングパターンは以下のとおりである。
(3, 18, 20, 27, 39, 50, 60)

[0198] 別の表現として、パンクチャテーブル w は

$w = [1110111111 \ 1111111101 \ 01111111011 \ 1111111110 \ 1111111111 \ 0111111111 \ 1 \ 011]$

であらわされる。

[0199] このとき、 w に含まれる0が送信しないビットを意味する。つまり、パンクチャテーブル w は、 v_i に対して、図22に示すように送信しないビットを決定する。したがって、 $v_i = [s_{63*i}, s_{63*i+1}, \dots, s_{63*i+61}, s_{63*i+62}]$ に対して送信しないビットを除いた、送信するデータビット v_i' は、

$$v_i' = [s_{63*i}, s_{63*i+1}, s_{63*i+2}, s_{63*i+4}, s_{63*i+5}, s_{63*i+6}, s_{63*i+7}, s_{63*i+8}, s_{63*i+9}, s_{63*i+10}, s_{63*i+11}, s_{63*i+12}, s_{63*i+13}, s_{63*i+14}, s_{63*i+15}, s_{63*i+16}, s_{63*i+17}, s_{63*i+19}, s_{63*i+21}, s_{63*i+22}, s_{63*i+23}, s_{63*i+24}, s_{63*i+25}, s_{63*i+26}, s_{63*i+28}, s_{63*i+29}, s_{63*i+30}, s_{63*i+31}, s_{63*i+32}, s_{63*i+33}, s_{63*i+34}, s_{63*i+35}, s_{63*i+36}, s_{63*i+37}, s_{63*i+38}, s_{63*i+40}, s_{63*i+41}, s_{63*i+42}, s_{63*i+43}, s_{63*i+44}, s_{63*i+45}, s_{63*i+46}, s_{63*i+47}, s_{63*i+48}, s_{63*i+49}, s_{63*i+51}, s_{63*i+52}, s_{63*i+53}, s_{63*i+54}, s_{63*i+55}, s_{63*i+56}, s_{63*i+57}, s_{63*i+58}, s_{63*i+59}, s_{63*i+61}, s_{63*i+62}]$$
とあらわされる。

[0200] このとき、パンクチャパターンの周期を20～90程度とすると、受信時のデータ品質が良好となる。なお、パンクチャパターンの周期とは、パンクチャパターンの最小周期をいう。例えば、パンクチャテーブル $w_1 = [001]$ のパンクチャパターンの周期は3である。又、パンクチャテーブル $w_2 = [001001]$ は、周期6の構成であるが、2つのパンクチャテーブル $w_1 = [001]$ から構成され、パンクチャテーブル w_1 のパンクチャパターンの周期は3であるため、パンクチャテーブル w_2 のパンクチャパターンの（最小）周期は、パンクチャテーブル w_1 と同様に3である。すなわち、パンクチャパターンの周期とは、パンクチャパターンを構成するパターンのうち、最小パターンのパターン長をいう。また、パンクチャテーブル $w_3 = [010]$ は、 w_1 をサイクリックシフトしたものと同一となるが、上記の w , v_i , v_i' の関係を考慮すると、 w_3 と w_1 は異なるパンクチャパターンといえることができる。すなわち、パンクチャテーブル w_x

とパンクチャテーブルw_yがあったとき、たとえw_xをサイクリックシフト（ただし、0ビットサイクリックシフトを除く）してw_yと同一となってもw_xとw_yは異なるパンクチャパターンである。

[0201] パンクチャパターンの周期が長すぎると、送信しないビット（パンクチャビット）の配置にランダム性が発生し、バイナリ消失チャネルにおいて、ランダムエラーが発生したモデルに近づくため、受信時のデータ品質は悪くなる。一方、パンクチャパターンの周期が短すぎると、送信しないビット（パンクチャビット）の配置が片寄るため、適切なパンクチャパターンとなる可能性が低くなり、受信時のデータ品質は悪くなる。このため、パンクチャパターンの周期を20～90程度とすることが重要となる。

[0202] また、パンクチャパターンの周期を20～90程度とした際、パンクチャテーブルwに0が3つ以上含まれるようにすると、受信時のデータ品質は良好となる（受信（復号）時に良好なデータ品質を得ることができるパンクチャパターンを生成できる可能性が高くなる）。パンクチャテーブルwに0が3つ以上含まれると、送信しないビット（パンクチャビット）の配置に規則性がなくなりランダム性が増すため、受信時のデータ品質が良好となる。

[0203] 更に、パンクチャパターンの周期を20～90程度とし、かつ、パンクチャテーブルwに0が3つ以上含まれるようにし、かつ、QC-LDPC符号の検査行列を構成するサブブロック行列の列数の整数倍、又は、列数の約数をパンクチャパターンの周期とすると、受信（復号）時に良好なデータ品質を得ることができるパンクチャパターンを生成できる可能性が高くなる。

[0204] 上記以外におけるパンクチャパターンは以下のとおりである。

QC-LDPC符号の検査行列を構成するサブブロック行列のサイズは、行数80、列数80とし、符号化率 $1/2$ の式（8）の検査行列をもつQC-LDPC符号（Information block length(bits)=960, LDPC codeword block length(bits)=1920）からパンクチャにより、符号化率約0.65、0.75を実現するためのパンクチャパターンは以下のとおりである。

符号化率約0.65の場合：w=[1111110110 0100111111]

符号化率約 0.75 の場合 : $w = [1100111111 \ 1101111110 \ 0111110001 \ 1110000111]$

- [0205] QC-LDPC 符号の検査行列を構成するサブブロック行列のサイズは、行数 48、列数 48 とし、符号化率 5/6 の式 (9) の検査行列をもつ QC-LDPC 符号 (Information block length(bits)=960, LDPC codeword block length(bits)=1152) から、パンクチャにより、符号化率約 0.95 を実現するためのパンクチャパターンは以下のとおりである。

$w = [1111111110 \ 1111111111 \ 0111101111 \ 1111001111 \ 11101111]$

- [0206] QC-LDPC 符号の検査行列を構成するサブブロック行列のサイズは、行数 180、列数 180 とし、符号化率 1/2 の式 (8) の検査行列をもつ QC-LDPC 符号 (Information block length(bits)=2160, LDPC codeword block length(bits)=4320) からパンクチャにより、符号化率約 0.65、0.75 を実現するためのパンクチャパターンは以下のとおりである。

符号化率約 0.65 の場合 : $w = [1011111100 \ 0011111101 \ 1111100111 \ 011111]$

符号化率約 0.75 の場合 : $w = [1111110100 \ 0001101001 \ 1111111110]$

- [0207] QC-LDPC 符号の検査行列を構成するサブブロック行列のサイズは、行数 108、列数 108 とし、符号化率 5/6 の式 (9) の検査行列をもつ QC-LDPC 符号 (Information block length(bits)=2160, LDPC codeword block length(bits)=2592) から、パンクチャにより、符号化率約 0.95 を実現するためのパンクチャパターンは以下のとおりである。

$w = [1011111111 \ 1111011111 \ 11101111]$

- [0208] (実施の形態 7)

実施の形態 5 では、パリティ検査行列 H_b において、単位行列及びゼロ行列により構成されるサブ行列 H'_{b_2} (式 (6) 参照) とサブ行列 H'_{b_2} 以外のサブ行列 (以下「 H'_{b_1} ($=H_{b_1} + h_b$)」) と表記する。式 (5) 及び (6) 参照) とで、異なるパンクチャパターンを用いる場合について説明した。その一例として、実施の形態 5 では、図 19A~図 19C、図 20A~図 20

Cに示すように、単位行列及びゼロ行列により構成されるサブ行列 H'_{b2} に、サブブロック行列の列数の整数倍、又は、列数の約数を単位として、同一のパンクチャパターンを用いる場合について説明した。

[0209] 本実施の形態では、実施の形態5と同様に、パリティ検査行列 H_b において、単位行列及びゼロ行列により構成されるサブ行列 H'_{b2} とサブ行列 H'_{b1} とで、異なるパンクチャパターンを用いる場合について説明する。具体的には、図20Bに対応する図23に示すように、サブ行列 H'_{b1} には、サブ行列 H'_{b1} の列数をパンクチャ周期とするパンクチャパターン#p1を用い、サブ行列 H'_{b2} には、サブ行列 H'_{b2} の列数をパンクチャパターン周期とするパンクチャパターン#p2を用いて、符号化率 $20/21$ を実現する場合について説明する。

[0210] 以下では、一例として、符号化率 $5/6$ の式(9)の検査行列をもつQC-LDPC符号から、パンクチャにより、符号化率 $20/21$ を実現するためのパンクチャパターンについて説明する。

[0211] 図24の検査行列 H_b は、式(9)に示した符号化率 $5/6$ のQC-LDPCの検査行列 H_b である。式(9)の検査行列 H_b は、4行24列のサブブロック行列から構成される。なお、以下では、QC-LDPC符号の検査行列を構成するサブブロック行列のサイズが、行数48、列数48とする。したがって、QC-LDPC符号において、Information block length(bits)は960となり、LDPC codeword block length(bits)は1152となる。

[0212] このとき、LDPC符号のcodewordを以下のようにあらわす。

$$\begin{aligned} v &= [x_0, x_1, \dots, x_{958}, x_{959}, p_0, p_1, \dots, p_{190}, p_{191}] \\ &= [s_0, s_1, s_2, \dots, s_{1149}, s_{1150}, s_{1151}] \\ &= [v_0, v_1, v_2, \dots, v_{24}] \end{aligned}$$

ただし、 v はcodeword、 x は情報、 p はパリティを意味する。

[0213] なお、 $v_0, v_1, \dots, v_i, \dots, v_{23}$ は以下のようにあらわされる。

$$\begin{aligned} v_0 &= [s_0, s_1, \dots, s_{46}, s_{47}], \\ v_1 &= [s_{48}, s_{48}, \dots, s_{94}, s_{95}], \dots, \end{aligned}$$

$v_i = [s_{48*i}, s_{48*i+1}, \dots, s_{48*i+46}, s_{48*i+47}], \dots,$
 $v_{23} = [s_{1104}, s_{1105}, \dots, s_{1150}, s_{1151}].$

- [0214] 図24において、#0は、 $x_0, x_1, \dots, x_{47}$ に対応する部分行列を示し、#1は、 $x_{48}, x_{49}, \dots, x_{95}$ に対応する部分行列を示す。また、#21は、 $p_{48}, p_{49}, \dots, p_{95}$ に対応する部分行列を示し、#22は、 $p_{96}, p_{97}, \dots, p_{143}$ に対応する部分行列を示し、#23は、 $p_{144}, p_{145}, \dots, p_{191}$ に対応する部分行列を示す。
- [0215] 図24において、サブ行列 H'_{b_1} は、#0~20により構成され、サブ行列 H'_{b_2} は、#21, #22, #23により構成される。#21, #22, #23は、単位行列（“0”）及びゼロ行列（“-1”）により構成される。このように、式（9）に示すQC-LDPC符号の検査行列 H_b は、単位行列及びゼロ行列で構成されるサブ行列 H'_{b_2} を含んでいる。
- [0216] 本実施の形態では、サブ行列 H'_{b_2} 及びBP復号の特徴を考慮して好適なパンクチャパターンを以下のようにして決定する。
- [0217] BP復号では、行演算と列演算とを反復して各ビットの対数尤度比を得る。
- [0218] BP復号の行演算では、対数尤度比が更新される。このとき、送信されなかった（パンクチャ）ビットは、復号時には、消失ビットとして扱われることになり、消失ビットに対しては、初期の対数尤度比が存在しないため、対数尤度比が0に設定される。初期の対数尤度比が存在しない消失ビットが、同一行に2つ以上含まれると、当該行では、列演算により消失ビットの対数尤度比が更新されるまで、行演算単独では対数尤度比が更新されない。そのため、消失ビットは同一行において2ビット未満であるのが好ましい。
- [0219] BP復号の列演算では、外部値が更新される。消失ビットの外部値は、同一列の自身を除く“1”の対数尤度比の加算結果により更新される。したがって、列重みが大きい場合には、消失ビットの外部値は、同一列の自身を除く複数の“1”の対数尤度比の加算結果により更新されるので、外部値における対数尤度比の絶対値は大きくなり、これにより、対数尤度比が収束しや

すい。一方、列重みが小さい場合には、加算される対数尤度比の数が少ないため、外部値における対数尤度比の絶対値は大きくなりづらく、これにより、対数尤度比が収束しにくいという性質をもつことになる。

[0220] 特に、列重みが2の場合には、検査行列における列重み2に相当する2つの“1”において、外部値が単に交換されるだけとなるため、対数尤度比の絶対値は大きくなりづらく、反復処理を何度行っても信頼度が伝播されず、受信品質の劣化を招く原因となる。したがって、外部値の大きさを適切に更新するためには、消失ビットの列重みが3以上であるのが好ましい。

[0221] このように、BP復号の特徴を考慮すると、行演算の観点からは、1) 同一行において消失ビットが2ビット未満となるのが好ましく、また、列演算の観点からは、2) 消失ビットの列重みが3以上であるのが好ましい。

[0222] 本実施の形態では、上記1) 及び2) を考慮してパンクチャパターンを設定する。なお、以下では、サブブロック行列の列数を単位として符号化系列をパンクチャする場合を例に説明する。

[0223] 式(9)のパリティ検査行列 H_b を、サブブロック行列を1単位として表現したとき、サブ行列 H'_{b_2} では、 j 列の i 行及び $(i+1)$ 行には単位行列(“0”)が配置され、 j 列の i 行及び $(i+1)$ 行以外の行にはゼロ行列(“-1”)が配置され、かつ、 $(j+1)$ 列の $(i+1)$ 行及び $(i+2)$ 行には単位行列(“0”)が配置され、 $(j+1)$ 列の $(i+1)$ 行及び $(i+2)$ 行以外の行にはゼロ行列(“-1”)が配置されるという関係が、 $j = q, q+1, q+2, \dots, q+s-1, q+s$ (ただし、 s は1以上の整数)で成立する。

[0224] 具体的には、図24から分かるように、22列の1行及び2行には単位行列(“0”)が配置され、22列の1行及び2行以外の行(3行及び4行)にはゼロ行列(“-1”)が配置され、かつ、23列の2行及び3行には単位行列(“0”)が配置され、23列の2行及び3行以外の行(1行及び4行)にはゼロ行列(“-1”)が配置され、かつ、24列の3行及び4行には単位行列(“0”)が配置され、24列の3行及び4行以外の行(1行及

び2行)にはゼロ行列(“−1”)が配置される。そのため、図24のサブ行列 H'_{b_2} に四角枠で囲まれた部分に示すように、単位行列(“0”)が同一行に隣接して配置される。

[0225] 単位行列は、行列の対角要素のみが“1”であり、他の要素は“0”である。そのため、単位行列の列に対応するビットを送信しないビット(パンクチャビット)とすると、消失ビットは単位行列の各行に1ビットずつのみとなる。しかし、単位行列が、同一行に隣接して配置された場合に、単位行列を含む列に対応するビットを送信しないビット(パンクチャビット)とすると、各行において消失ビットが2ビットとなる。

[0226] 具体的には、図24における22列、23列の2行目の単位行列(“0”)のように、単位行列が、同一行に隣接して配置される場合に、これら2つの単位行列を含む列に対応するビットを送信しないビット(パンクチャビット)とすると、22列の2行目の単位行列(“0”)の各行では消失ビットが1ビットであり、23列の2行目の単位行列(“0”)の各行では消失ビットが1ビットであり、各単位行列ごとでみると消失ビットは各行に1ビットとなるが、これら単位行列は同一行に隣接して配置されるため、単位行列が配置される同一行でみると、消失ビットは2ビットとなる。

[0227] 上記1)で説明したように、消失ビットは2ビット未満であるのが望ましい。したがって、2ビット消失を回避するために、単位行列が同一行に隣接して配置されていない#21及び#23の列に対応するビットを送信しないビット(パンクチャビット)とするようなパンクチャパターンを用いることとする。すなわち、#21の列に対応するビットを送信しないビット(パンクチャビット)とする場合、1サブブロック行列の列数以上離れた#23の列に対応するビットを送信しないビット(パンクチャビット)とする。このように、サブブロック行列の列数を単位として符号化系列をパンクチャする場合に、パンクチャする間隔を、1単位(1サブブロック行列の列数)以上とすることにより、単位行列又はゼロ行列から構成されるサブ行列 H'_{b_2} において、パンクチャにより消失するビットが、各行1ビットのみとなり、2

ビット消失を回避することができるため、受信品質の劣化を回避することができる。

[0228] 一方、# 2 1 及び # 2 2 の列に対応するビット、又は、# 2 2 及び # 2 3 の列に対応するビットを送信しないビット（パンクチャビット）とするようなパンクチャパターンを用いる場合には、同一行に隣接する単位行列の列に対応するビットが送信しないビット（パンクチャビット）とされるため、2 ビット消失が起こり、受信特性が劣化してしまう。

[0229] 更に、上記 2) を考慮すると、パリティ検査行列 H_b のうち、サブ行列 H'_{b_1} では、列重みが 3 以上であるため、サブ行列 H'_{b_1} の列に対応するビットを送信しないビット（パンクチャビット）とすることにより、列演算により外部値の対数尤度比の絶対値が大きくなるように更新され、消失ビットの対数尤度比が収束する可能性が高くなり、受信特性が改善される。

[0230] 図 2 5 には、# 2 1, # 2 3 に加えて、# 4 の列に対応するビットが送信しないビット（パンクチャビット）とされる例が示されている。# 4 には、# 2 3 において単位行列（“0”）が配置される行に、ゼロ行列（“−1”）が配置されているため、# 4, # 2 1, # 2 3 の列に対応するビットを送信しないビット（パンクチャビット）とした場合に、当該行の消失ビットが 1 ビットに維持されるので、受信品質の劣化を抑えることができる。

[0231] なお、# 4, # 2 1, # 2 3 の列に対応するビットを送信しないビット（パンクチャビット）とした場合のパンクチャテーブル（パンクチャパターン） w は、式（10）のようにあらわされる。

[数10]

$$w = \left[\underbrace{1 \ 1 \ \dots \ 1 \ 0}_{192} \ \underbrace{0 \ \dots \ 0 \ 1}_{48} \ \underbrace{1 \ 1 \ \dots \ 1 \ 0}_{768} \ \underbrace{0 \ \dots \ 0 \ 1}_{48} \ \underbrace{1 \ 1 \ \dots \ 1 \ 0}_{48} \ \underbrace{0 \ \dots \ 0 \ 1}_{48} \right] \\ \dots (10)$$

式（10）において、パンクチャテーブル w に含まれる 0 は、送信しないビット（パンクチャビット）を意味する。すなわち、図 2 5 に示す例では、# 4, # 2 1, # 2 3 の列に対応するビット、すなわち、 x_{192} , x_{193} , $\dots$, x_{238} , x_{239} , p_{48} , p_{49} , $\dots$, p_{94} , p_{95} , p_{100}

4 4, p 1 4 5, ..., p 1 9 0, p 1 9 1がパンクチャされる。

[0232] 以上のように、本実施の形態では、パリティ検査行列 H_b を、サブブロック行列を1単位として表現したとき、 j 列の i 行及び $(i+1)$ 行には単位行列(“0”)が配置され、 j 列の i 行及び $(i+1)$ 行以外の行にはゼロ行列(“−1”)が配置され、かつ、 $(j+1)$ 列の $(i+1)$ 行及び $(i+2)$ 行には単位行列(“0”)が配置され、 $(j+1)$ 列の $(i+1)$ 行及び $(i+2)$ 行以外の行にはゼロ行列(“−1”)が配置されるという関係が、 $j = q, q+1, q+2, \dots, q+s-1, q+s$ (ただし、 s は1以上の整数)で成立するサブ行列 H'_{b_2} に対し、サブブロック行列の列数を単位として送信しないビット(パンクチャビット)を選択する場合に、1単位(サブブロック行列の列数)以上間隔をあけて送信しないビット(パンクチャビット)とするようにした。

[0233] 更に、パリティ検査行列 H_b のうち、上記サブ行列 H'_{b_2} 以外のサブ行列 H'_{b_1} において、列重みが3以上の列に対応するビットを送信しないビット(パンクチャビット)とすることにより、列演算における外部値の対数尤度比の絶対値が大きくなるよう更新が行われるようになるため、受信品質の劣化を抑えることができるようになる。

[0234] なお、列重みが3以上の列に対応するビットを送信しないビット(パンクチャビット)とする場合、サブ行列 H'_{b_2} において、#21及び#23の列に対応するビットが送信しないビット(パンクチャビット)とされる場合には、例えば、#4のように、#21又は#23に含まれる単位行列のいずれかの行に配置されるゼロ行列の列に対応するビットを送信しないビット(パンクチャビット)とする。このようにして、#4、#21、#23の列に対応するビットを送信しないビット(パンクチャビット)とした場合、#4においてゼロ行列が配置される行の消失ビットを1ビットに抑えることができるため、受信品質の劣化を抑えることができる。

[0235] 以上、符号化率5/6の式(9)の検査行列をもつQC-LDPC符号から、パンクチャにより、符号化率20/21を実現するための好適なパンク

チャパターンについて説明した。また、別の例として、符号化率 5/6 の式 (9) の検査行列をもち、サブブロック行列 216×216 、つまり、Information size= 4320 ビットの QC-LDPC 符号から、パンクチャにより、符号化率 20/21 を実現するための好適なパンクチャテーブル（パンクチャパターン） w は、例えば、式 (11-1) ~ 式 (11-3) のようにあらわされる。

[数11]

$$\begin{aligned}
 w &= [\underbrace{0 \ 0 \ \cdots \ 0}_{216} \ \underbrace{1 \ 1 \ \cdots \ 1}_{4320} \ \underbrace{0 \ 0 \ \cdots \ 0}_{216} \ \underbrace{1 \ 1 \ \cdots \ 1}_{216} \ \underbrace{0 \ 0 \ \cdots \ 0}_{216}] \\
 &\quad \cdots (11-1) \\
 w &= [\underbrace{1 \ 1 \ \cdots \ 1}_{432} \ \underbrace{0 \ 0 \ \cdots \ 0}_{216} \ \underbrace{1 \ 1 \ \cdots \ 1}_{3888} \ \underbrace{0 \ 0 \ \cdots \ 0}_{216} \ \underbrace{1 \ 1 \ \cdots \ 1}_{216} \ \underbrace{0 \ 0 \ \cdots \ 0}_{216}] \\
 &\quad \cdots (11-2) \\
 w &= [\underbrace{1 \ 1 \ \cdots \ 1}_{864} \ \underbrace{0 \ 0 \ \cdots \ 0}_{216} \ \underbrace{1 \ 1 \ \cdots \ 1}_{3456} \ \underbrace{0 \ 0 \ \cdots \ 0}_{216} \ \underbrace{1 \ 1 \ \cdots \ 1}_{216} \ \underbrace{0 \ 0 \ \cdots \ 0}_{216}] \\
 &\quad \cdots (11-3)
 \end{aligned}$$

[0236] なお、以上の説明では、サブブロック行列の列数を単位として符号化系列をパンクチャする場合について説明したが、1 単位（サブブロック行列の列数）以上間隔を開けて、サブブロック行列の列数を単位として送信しないビット（パンクチャビット）の候補を設定し、この候補から、送信しないビット（パンクチャビット）を決定するようにしても良い。この場合において、送信しないビット（パンクチャビット）の候補は、サブブロック行列の列数を単位として設定し、かつ、上述したように、同一行に隣接する単位行列を含まない列に対応するビットとする。

[0237] 例えば、図 26 に示すように、#4、#21 及び #23 の列に対応するビットを送信しないビット（パンクチャビット）の候補とし、#4、#21 及び #23 の列に対応する $x192$, $x193$, $\cdots$, $x238$, $x239$, $p48$, $p49$, $\cdots$, $p94$, $p95$, $p144$, $p145$, $\cdots$, $p190$, $p191$ のうち、点線の丸で囲まれた一部のビットを送信しないビット（パ

ンクチャビット)に決定するようにしてもよい。

- [0238] この方法を用いて、符号化率5/6の式(9)の検査行列をもち、サブブロック行列 48×48 、つまり、Information size= 960ビットのQC-LDPC符号から、パンクチャにより、符号化率16/18を実現するための最適なパンクチャテーブル(パンクチャパターン) w は、式(12)のようにならわされる。

[数12]

$$w = \underbrace{[1 \ 1 \ \dots \ 1 \ 0 \ 0 \ \dots \ 0 \ 1 \ 1 \ \dots \ 1 \ 0 \ 0 \ \dots \ 0 \ 1 \ 1 \ \dots \ 1 \ 0 \ 0 \ \dots \ 0]}_{720} \underbrace{\quad}_{24} \underbrace{\quad}_{288} \underbrace{\quad}_{24} \underbrace{\quad}_{72} \underbrace{\quad}_{24} \dots (12)$$

- [0239] また、別の例として、符号化率5/6の式(9)の検査行列をもち、サブブロック行列 216×216 、つまり、Information size= 4320ビットのQC-LDPC符号から、パンクチャにより、符号化率16/18を実現するための最適なパンクチャテーブル(パンクチャパターン) w は、式(13)のようにならわされる。

[数13]

$$w = \underbrace{[1 \ 1 \ \dots \ 1 \ 0 \ 0 \ \dots \ 0 \ 1 \ 1 \ \dots \ 1 \ 0 \ 0 \ \dots \ 0 \ 1 \ 1 \ \dots \ 1 \ 0 \ 0 \ \dots \ 0]}_{2808} \underbrace{\quad}_{108} \underbrace{\quad}_{1620} \underbrace{\quad}_{108} \underbrace{\quad}_{432} \underbrace{\quad}_{108} \dots (13)$$

- [0240] これらの場合においても、各行に消失ビットが2ビット発生するのを回避することができるので、良好な受信品質を得ることができるとともに、パンクチャ後の符号化率を柔軟に設定することができる。

- [0241] また、以上の説明では、LDPC符号のcodeword v を、 $v=[x_0, x_1, \dots, x_{958}, x_{959}, p_0, p_1, \dots, p_{190}, p_{191}]$ とあらわし説明したが、情報系列及びパリティ系列の並び順は、これに限られず(例えば、 $v=[p_0, p_1, \dots, p_{190}, p_{191}, x_0, x_1, \dots, x_{958}, x_{959}]$ であつてもよく、情報とパリティの並び順は一意には決定しない。)、 $H_b v = 0$ の対応関係、換言すると、パリティ検査行列 H_b に対応するパンクチャパターンとcodeword v との対応

関係から、送信しないビット（パリティビット）を決定すれば良い。

[0242] 例えば、# 4, # 2 1, # 2 3の列に対応するビットを送信しないビット（パンクチャビット）とする場合に、codeword v が、 $v=[p144, p145, \dots, p190, p191, x0, x1, \dots, x958, x959, p0, p1, \dots, p46, p47]$ とあらわされる場合には、 $x144, x145, \dots, x190, x191, p0, p1, \dots, p46, p47, p96, p97, \dots, p142, p143$ を送信しないビット（パンクチャビット）とすれば良い。

[0243] 上述の例では、サブ行列 H'_{b_2} には、 j 列の i 行及び $(i+1)$ 行には単位行列（“0”）が配置され、 j 列の i 行及び $(i+1)$ 行以外の行にはゼロ行列（“−1”）が配置され、かつ、 $(j+1)$ 列の $(i+1)$ 行及び $(i+2)$ 行には単位行列（“0”）が配置され、 $(j+1)$ 列の $(i+1)$ 行及び $(i+2)$ 行以外の行にはゼロ行列（“−1”）が配置されるという関係が、 $j = q, q+1, q+2, \dots, q+s-1, q+s$ （ただし、 s は1以上の整数）で成立し、単位行列が同一行に隣接して配置される場合について説明したが、単位行列に代えて、単位行列の巡回シフト行列が同一行に隣接して配置される場合に対しても、上述のパンクチャパターンの生成方法を用いて、好適なパンクチャパターンを得ることができる。ただし、サブ行列 H'_{b_2} に、単位行列の巡回シフト行列が同一行に隣接して配置される場合には、符号化器の構成が複雑になる可能性がある。

[0244] なお、式（8）の符号化率 $1/2$ のQC-LDPC符号に対しても、同様の方法により、好適なパンクチャパターンを設定することができる。図27を用いて、符号化率 $1/2$ の場合について説明する。

[0245] 符号化率 $5/6$ の場合と同様に、式（8）の符号化率 $1/2$ のQC-LDPC符号のパリティ検査行列 H_b に対し、サブ行列 H'_{b_1} には、サブ行列 H'_{b_1} の列数をパンクチャ周期とするパンクチャパターン# p_1 を用い、サブ行列 H'_{b_2} には、サブ行列 H'_{b_2} の列数をパンクチャパターン周期とするパンクチャパターン# p_2 を用いる。

[0246] 図27は、式（8）の符号化率 $1/2$ のQC-LDPC符号のパリティ検

査行列 H_b である。式 (8) の検査行列 H_b は、1 2 行 2 4 列のサブブロック行列から構成される。図 2 7 において、サブ行列 H'_{b_2} は、単位行列及びゼロ行列により構成され、サブ行列 H'_{b_1} は、サブ行列 H'_{b_2} 以外である。

[0247] また、図 2 7 において、# 0 ~ # 2 3 は、各列に対応する部分行列を示し、サブ行列 H'_{b_1} は、# 0 ~ # 1 2 により構成され、サブ行列 H'_{b_2} は、# 1 3 ~ # 2 3 により構成される。# 1 3 ~ # 2 3 は、単位行列 (“0”) 及びゼロ行列 (“-1”) により構成される。このように、式 (8) に示す QC-LDPC 符号の検査行列 H_b は、単位行列及びゼロ行列で構成されるサブ行列 H'_{b_2} を含んでいる。

[0248] 以下では、サブブロック行列の列数を単位として符号化系列をパンクチャする場合を例に説明する。

[0249] 式 (8) のパリティ検査行列 H_b を、サブブロック行列を 1 単位として表現したとき、サブ行列 H'_{b_2} では、 j 列の i 行及び $(i+1)$ 行には単位行列 (“0”) が配置され、 j 列の i 行及び $(i+1)$ 行以外の行にはゼロ行列 (“-1”) が配置され、かつ、 $(j+1)$ 列の $(i+1)$ 行及び $(i+2)$ 行には単位行列 (“0”) が配置され、 $(j+1)$ 列の $(i+1)$ 行及び $(i+2)$ 行以外の行にはゼロ行列 (“-1”) が配置されるという関係が、 $j = q, q+1, q+2, \dots, q+s-1, q+s$ (ただし、 s は 1 以上の整数) で成立する。

[0250] 具体的には、図 2 7 から分かるように、1 4 列の 1 行及び 2 行には単位行列 (“0”) が配置され、1 4 列の 1 行及び 2 行以外の行 (3 ~ 1 2 行) にはゼロ行列 (“-1”) が配置され、かつ、1 5 列の 2 行及び 3 行には単位行列 (“0”) が配置され、1 5 列の 2 行及び 3 行以外の行 (1 行, 4 ~ 1 2 行) にはゼロ行列 (“-1”) が配置され、かつ、 $\dots$ 、2 4 列の 1 1 行及び 1 2 行には単位行列 (“0”) が配置され、2 4 列の 1 1 行及び 1 2 行以外の行 (1 ~ 1 0 行) にはゼロ行列 (“-1”) が配置される。そのため、図 2 7 のサブ行列 H'_{b_2} に四角枠で囲まれた部分に示すように、単位行列 (“0”) が同一行に隣接して配置される。

- [0251] 符号化率 $1/2$ の場合も符号化率 $5/6$ の場合と同様に、同一行に単位行列が隣接して配置されていない列に対応するビットを送信しないビット（パンクチャビット）とするようパンクチャパターンを設定する。例えば、サブブロック行列の列数を単位として符号化系列をパンクチャし、#20の列に対応するビットを送信しないビット（パンクチャビット）とする場合、1サブブロック行列の列数以上離れた#15及び#23の列に対応するビットを送信しないビット（パンクチャビット）とする。このように、サブブロック行列の列数を単位として符号化系列をパンクチャする場合に、パンクチャする間隔を、1単位（1サブブロック行列の列数）以上とする。これにより、単位行列又はゼロ行列から構成されるサブ行列 H'_{b_2} において、パンクチャにより消失するビットが、各行1ビットのみとなり、2ビット消失を回避することができ、受信品質の劣化を回避することができる。
- [0252] また、例えば、#15、#20の列に対応するビットを送信しないビット（パンクチャビット）としても良い。#15と#20とは、1単位以上離れている。また、#20、#23の列に対応するビットを送信しないビット（パンクチャビット）としても良い。#20と#23とは、1単位以上離れている。
- [0253] なお、#15、#20、#23の列に対応するビットの全てを送信しないビット（パンクチャビット）としなくても良く、#15、#20、#23の列に対応するビットを送信しないビット（パンクチャビット）の候補とし、符号化率に応じて、この候補から送信しないビット（パンクチャビット）を決定するようにしても良い。このようにすることで、各行の消失ビットを1ビットに抑え良好な受信品質を得ることができるとともに、パンクチャ後の符号化率を柔軟に設定することができる。
- [0254] また、更に、パリティ検査行列 H_b のうち、サブ行列 H'_{b_1} では、列重みが3以上であるため、サブ行列 H'_{b_1} の列に対応するビットを送信しないビット（パンクチャビット）とすることにより、列演算により外部値の大きさが適切に更新され、消失ビットの対数尤度比が適切に得られるようになり、受

信特性が改善される。

[0255] 図27には、サブ行列 H'_{b_1} において、#10の列に対応するビットが送信しないビット（パンクチャビット）とされる例が示されている。#10には、#15、#20、#23において単位行列（“0”）が配置される行に、ゼロ行列（“−1”）が配置されているため、#10、#15、#20、#23の列に対応するビットを送信しないビット（パンクチャビット）とした場合に、当該行の消失ビットが1ビットに維持され、受信品質の劣化を抑えることができると可能性が高い。

[0256] なお、以上の説明では、サブブロック行列の列数を単位として、サブ行列 H'_{b_1} から1サブブロック行列を選択し、サブ行列 H'_{b_2} から複数のサブブロック行列を選択し、選択したサブブロック行列の列に対応するビットを送信しないビット（パンクチャビット）又は送信しないビット（パンクチャビット）の候補とする場合について説明したが、各サブ行列からの選択数は、これに限られず、サブ行列 H'_{b_1} から複数のサブブロック行列を選択するようにしても良い。

[0257] 本発明は、QC-LDPC符号のように、検査行列、生成行列に規則性があるような場合に有効である。

[0258] 本発明は上記全ての実施の形態に限定されず、種々変更して実施することが可能である。例えば、上記実施の形態では、主に、符号化器で実現する場合について説明しているが、これに限られるものではなく、電灯線通信装置で実現する場合においても適用可能である。

[0259] また、この符号化方法は、ソフトウェアとして行うことも可能である。例えば、上記符号化方法を実行するプログラムは、予めROM（Read Only Memory）に格納しておき、そのプログラムをCPU（Central Processor Unit）によって動作させるようにしても良い。

[0260] また、上記符号化方法を実行するプログラムをコンピュータで読み取り可能な記憶媒体に格納し、記憶媒体に格納されたプログラムをコンピュータのRAM（Random Access Memory）に記録して、コンピュータをそのプログラ

ムにしたがって動作させるようにしても良い。

[0261] また、本発明は、無線通信に限らず、電灯線通信（P L C : Power Line Communication）、可視光通信、光通信においても有用であることは言うまでもない。

[0262] 本発明の符号化器の一つの態様は、情報ビット系列 u に対し、式（14-1）、式（14-2）、及び、式（14-3）を満たす符号化系列 s を生成する符号化手段と、 $z \times y + 1$ （ y は、0 から $(n_b - 1)$ までの整数）列から $z \times (y + 1)$ 列までの前記列数 z に対応する第 y のパンクチャパターンであって、前記列数 z の約数の周期を持つ前記第 y のパンクチャパターンを設定する設定手段と、を具備し、1 番目から $z \times n_b$ 番目までの $z \times n_b$ 個のビットで構成される前記符号化系列 s のうち、前記第 y のパンクチャパターンに基づき、 $z \times y + 1$ 番目のビットから $z \times (y + 1)$ 番目までのビットにおいて削除するビットを決定し、前記符号化系列 s を構成する前記 $z \times n_b$ 個のビットから前記決定した削除するビットを削除して送信情報ビット系列を形成し、前記送信情報ビット系列を出力する。

[数14]

$$GH^T = 0 \quad \dots (14-1)$$

$$s^T = Gu^T \quad \dots (14-2)$$

$$Hs = 0 \quad \dots (14-3)$$

ここで、 H は、 z 行 z 列のサブ行列が m_b 行 n_b 列に配置されて構成される $(z \times m_b)$ 行 $(z \times n_b)$ 列の LDPC 符号のパリティ検査行列であり、 G は、前記 LDPC 符号のパリティ検査行列 H と式（14-1）の関係にある生成行列であり、符号化系列 s は、 $z \times n_b$ ビットで構成される符号化系列である。

[0263] 本発明の符号化器の一つの態様は、前記 LDPC 符号のパリティ検査行列 H は、式（15）により定義される。

[数15]

$$H = \begin{bmatrix} P_{0,0} & P_{0,1} & P_{0,2} & \cdots & P_{0,n_b-2} & P_{0,n_b-1} \\ P_{1,0} & P_{1,1} & P_{1,2} & \cdots & P_{1,n_b-2} & P_{1,n_b-1} \\ P_{2,0} & P_{2,1} & P_{2,2} & \cdots & P_{2,n_b-2} & P_{2,n_b-1} \\ \vdots & \vdots & \vdots & \cdots & \vdots & \vdots \\ P_{m_b-1,0} & P_{m_b-1,1} & P_{m_b-1,2} & \cdots & P_{m_b-1,n_b-2} & P_{m_b-1,n_b-1} \end{bmatrix} \quad \cdots (15)$$

ここで、 P_{ij} は、 z 行 z 列の単位行列の巡回置換行列又は z 行 z 列のゼロ行列である。

[0264] 本発明の符号化器の一つの態様は、前記LDPC符号は、QC-LDPCブロック符号である。

[0265] 本発明の符号化器の一つの態様は、前記LDPC符号は、QC-LDPC符号である。

[0266] 本発明の送信装置の一つの態様は、上記符号化器を具備し、前記送信情報ビット系列を送信する送信手段と、を具備する。

[0267] 本発明の符号化方法の一つの態様は、情報ビット系列 u に対し、式(16-1)、式(16-2)、及び、式(16-3)を満たす符号化系列 s を生成するステップと、 $z \times y + 1$ (y は、0から $(n_b - 1)$ までの整数)列から $z \times (y + 1)$ 列までの前記列数 z に対応する第 y のパンクチャパターンであって、前記列数 z の約数の周期を持つ前記第 y のパンクチャパターンを設定するステップと、を有し、1番目から $z \times n_b$ 番目までの $z \times n_b$ 個のビットで構成される前記符号化系列 s のうち、前記第 y のパンクチャパターンに基づき、 $z \times y + 1$ 番目のビットから $z \times (y + 1)$ 番目までのビットにおいて削除するビットを決定し、前記符号化系列 s を構成する前記 $z \times n_b$ 個のビットから前記決定した削除するビットを削除して送信情報ビット系列を形成し、前記送信情報ビット系列を出力する。

[数16]

$$GH^T = 0 \quad \cdots (16-1)$$

$$s^T = Gu^T \quad \cdots (16-2)$$

$$Hs = 0 \quad \cdots (16-3)$$

ここで、Hは、 z 行 z 列のサブ行列が m_b 行 n_b 列に配置されて構成される（ $z \times m_b$ ）行（ $z \times n_b$ ）列のLDPC符号のパリティ検査行列であり、Gは、前記LDPC符号のパリティ検査行列Hと式（16-1）の関係にある生成行列であり、符号化系列 s は、 $z \times n_b$ ビットで構成される符号化系列である。

[0268] 本発明の符号化方法の一つの態様は、前記LDPC符号のパリティ検査行列Hは、式（17）により定義される。

[数17]

$$H = \begin{bmatrix} P_{0,0} & P_{0,1} & P_{0,2} & \cdots & P_{0,n_b-2} & P_{0,n_b-1} \\ P_{1,0} & P_{1,1} & P_{1,2} & \cdots & P_{1,n_b-2} & P_{1,n_b-1} \\ P_{2,0} & P_{2,1} & P_{2,2} & \cdots & P_{2,n_b-2} & P_{2,n_b-1} \\ \vdots & \vdots & \vdots & \cdots & \vdots & \vdots \\ P_{m_b-1,0} & P_{m_b-1,1} & P_{m_b-1,2} & \cdots & P_{m_b-1,n_b-2} & P_{m_b-1,n_b-1} \end{bmatrix} \quad \cdots (17)$$

[0269] 本発明の符号化方法の一つの態様は、前記LDPC符号は、QC-LDPCブロック符号である。

[0270] 本発明の符号化方法の一つの態様は、前記LDPC符号は、QC-LDPC符号である。

[0271] 本発明の送信方法の一つの態様は、上記符号化方法を有し、前記送信情報ビット系列を送信する。

[0272] 本発明の符号化器の一つの態様は、情報ビットにゼロを挿入して情報ビット系列 u を生成する配置手段と、情報ビット系列 u に対し、式（18-1）、式（18-2）、及び、式（18-3）を満たす符号化系列 s を生成する符号化手段と、を具備し、前記情報ビットを配置する位置及び前記LDPC符号のパリティ検査行列Hに基づいて、前記符号化系列 s のうち、値が常にゼロとなるビットを決定し、前記符号化系列 s から前記値が常にゼロとなるビットを削除して送信情報ビット系列を形成し、前記送信情報ビット系列を出力する。

[数18]

$$\begin{aligned}
 GH^T &= 0 & \dots (18-1) \\
 s^T &= Gu^T & \dots (18-2) \\
 Hs &= 0 & \dots (18-3)
 \end{aligned}$$

ここで、Hは、 z 行 z 列のサブ行列が m_b 行 n_b 列に配置されて構成される $(z \times m_b)$ 行 $(z \times n_b)$ 列のLDPC符号のパリティ検査行列であり、Gは、前記LDPC符号のパリティ検査行列Hと式(18-1)の関係にある生成行列であり、符号化系列 s は、 $z \times n_b$ ビットで構成される符号化系列である。

[0273] 本発明の送信装置の一つの態様は、上記符号化器を具備し、前記送信情報ビット系列を送信する送信手段と、を具備する。

[0274] 本発明の符号化方法の一つの態様は、情報ビットにゼロを挿入して情報ビット系列 u を生成するステップと、情報ビット系列 u に対し、式(19-1)、式(19-2)、及び、式(19-3)を満たす符号化系列 s を生成するステップと、を有し、前記情報ビットを配置する位置及び前記LDPC符号のパリティ検査行列Hに基づいて、前記符号化系列 s のうち、値が常にゼロとなるビットを決定し、前記符号化系列 s から前記値が常にゼロとなるビットを削除して送信情報ビット系列を形成し、前記送信情報ビット系列を出力する。

[数19]

$$\begin{aligned}
 GH^T &= 0 & \dots (19-1) \\
 s^T &= Gu^T & \dots (19-2) \\
 Hs &= 0 & \dots (19-3)
 \end{aligned}$$

ここで、Hは、 z 行 z 列のサブ行列が m_b 行 n_b 列に配置されて構成される $(z \times m_b)$ 行 $(z \times n_b)$ 列のLDPC符号のパリティ検査行列であり、Gは、前記LDPC符号のパリティ検査行列Hと式(19-1)の関係にある生成行列であり、符号化系列 s は、 $z \times n_b$ ビットで構成される符号化系列である。

[0275] 本発明の送信方法の一つの態様は、上記符号化方法を有し、前記送信情報ビット系列を送信する。

[0276] 2008年10月10日出願の特願2008-264382及び2008年11月12日出願の特願2008-290022に含まれる明細書、図面

及び要約書の開示内容は、すべて本願に援用される。

産業上の利用可能性

[0277] 本発明は、例えば、QC-LDPC符号等のブロック符号を用いる場合に、受信品質を向上させつつ、伝送量を低減させ、伝送効率の劣化を抑圧することができ、QC-LDPC等のように、ゼロ行列を部分的に含むパリティ生成行列を用いて符号化系列を形成する符号化器、送信装置及び符号化方法として有用である。

符号の説明

[0278] 100, 100a, 600 符号化器
110, 110a ゼロ行列設定部
120, 120a 配置部
130, 610 符号化部
140, 630 パンクチャ部（データ削減部）
300 復号化器
310 固定対数尤度比挿入部
320 BP復号部
400, 500 通信装置
410 符号化部
420 インタリーバ
430 マッピング部
440 送信部
510 受信部
520 制御情報検出部
530 対数尤度比算出部
540 デインタリーバ
550 復号化部
620 パンクチャパターン設定部

請求の範囲

[請求項1] 情報ビット系列 u に対し、式 (1-1)、式 (1-2)、及び、式 (1-3) を満たす符号化系列 s を生成する符号化手段と、

$z \times y + 1$ (y は、0 から $(n_b - 1)$ までの整数) 列から $z \times (y + 1)$ 列までの前記列数 z に対応する第 y のパンクチャパターンであって、前記列数 z の約数の周期を持つ前記第 y のパンクチャパターンを設定する設定手段と、を具備し、

1 番目から $z \times n_b$ 番目までの $z \times n_b$ 個のビットで構成される前記符号化系列 s のうち、前記第 y のパンクチャパターンに基づき、 $z \times y + 1$ 番目のビットから $z \times (y + 1)$ 番目までのビットにおいて削除するビットを決定し、前記符号化系列 s を構成する前記 $z \times n_b$ 個のビットから前記決定した削除するビットを削除して送信情報ビット系列を形成し、前記送信情報ビット系列を出力する、

符号化器。

[数1]

$$\begin{aligned} GH^T &= 0 & \cdots (1-1) \\ s^T &= Gu^T & \cdots (1-2) \\ Hs &= 0 & \cdots (1-3) \end{aligned}$$

ここで、 H は、 z 行 z 列のサブ行列が m_b 行 n_b 列に配置されて構成される ($z \times m_b$) 行 ($z \times n_b$) 列の LDPC 符号のパリティ検査行列であり、 G は、前記 LDPC 符号のパリティ検査行列 H と式 (1-1) の関係にある生成行列であり、符号化系列 s は、 $z \times n_b$ ビットで構成される符号化系列である。

[請求項2] 前記 LDPC 符号のパリティ検査行列 H は、式 (2) により定義される、

請求項 1 に記載の符号化器。

[数2]

$$H = \begin{bmatrix} P_{0,0} & P_{0,1} & P_{0,2} & \cdots & P_{0,n_b-2} & P_{0,n_b-1} \\ P_{1,0} & P_{1,1} & P_{1,2} & \cdots & P_{1,n_b-2} & P_{1,n_b-1} \\ P_{2,0} & P_{2,1} & P_{2,2} & \cdots & P_{2,n_b-2} & P_{2,n_b-1} \\ \vdots & \vdots & \vdots & \cdots & \vdots & \vdots \\ P_{m_b-1,0} & P_{m_b-1,1} & P_{m_b-1,2} & \cdots & P_{m_b-1,n_b-2} & P_{m_b-1,n_b-1} \end{bmatrix} \quad \cdots (2)$$

ここで、 $P_{i,j}$ は、 z 行 z 列の単位行列の巡回置換行列又は z 行 z 列のゼロ行列である。

- [請求項3] 前記LDPC符号は、QC-LDPCブロック符号である、
請求項2に記載の符号化器。
- [請求項4] 前記LDPC符号は、QC-LDPC符号である、
請求項2に記載の符号化器。
- [請求項5] 前記請求項1に記載の符号化器を具備し、
前記送信情報ビット系列を送信する送信手段と、
を具備する送信装置。
- [請求項6] 情報ビット系列uに対し、式(3-1)、式(3-2)、及び、式
(3-3)を満たす符号化系列sを生成するステップと、
 $z \times y + 1$ (yは、0から($n_b - 1$)までの整数)列から $z \times$
 $y + 1$ 列までの前記列数zに対応する第yのパンクチャパターンで
あって、前記列数zの約数の周期を持つ前記第yのパンクチャパター
ンを設定するステップと、を有し、
1番目から $z \times n_b$ 番目までの $z \times n_b$ 個のビットで構成される前
記符号化系列sのうち、前記第yのパンクチャパターンに基づき、 z
 $\times y + 1$ 番目のビットから $z \times (y + 1)$ 番目までのビットにおいて
削除するビットを決定し、前記符号化系列sを構成する前記 $z \times n_b$
個のビットから前記決定した削除するビットを削除して送信情報ビット
ト系列を形成し、前記送信情報ビット系列を出力する、
符号化方法。

[数3]

$$\begin{aligned} GH^T &= 0 && \dots (3-1) \\ s^T &= Gu^T && \dots (3-2) \\ Hs &= 0 && \dots (3-3) \end{aligned}$$

ここで、Hは、 z 行 z 列のサブ行列が m_b 行 n_b 列に配置されて構成される($z \times m_b$)
行($z \times n_b$)列のLDPC符号のパリティ検査行列であり、Gは、前記LDPC符号の
パリティ検査行列Hと式(3-1)の関係にある生成行列であり、符号化系列sは、 $z \times$
 n_b ビットで構成される符号化系列である。

- [請求項7] 前記LDPC符号のパリティ検査行列Hは、式(4)により定義さ
れる、

請求項 6 に記載の符号化方法。

[数4]

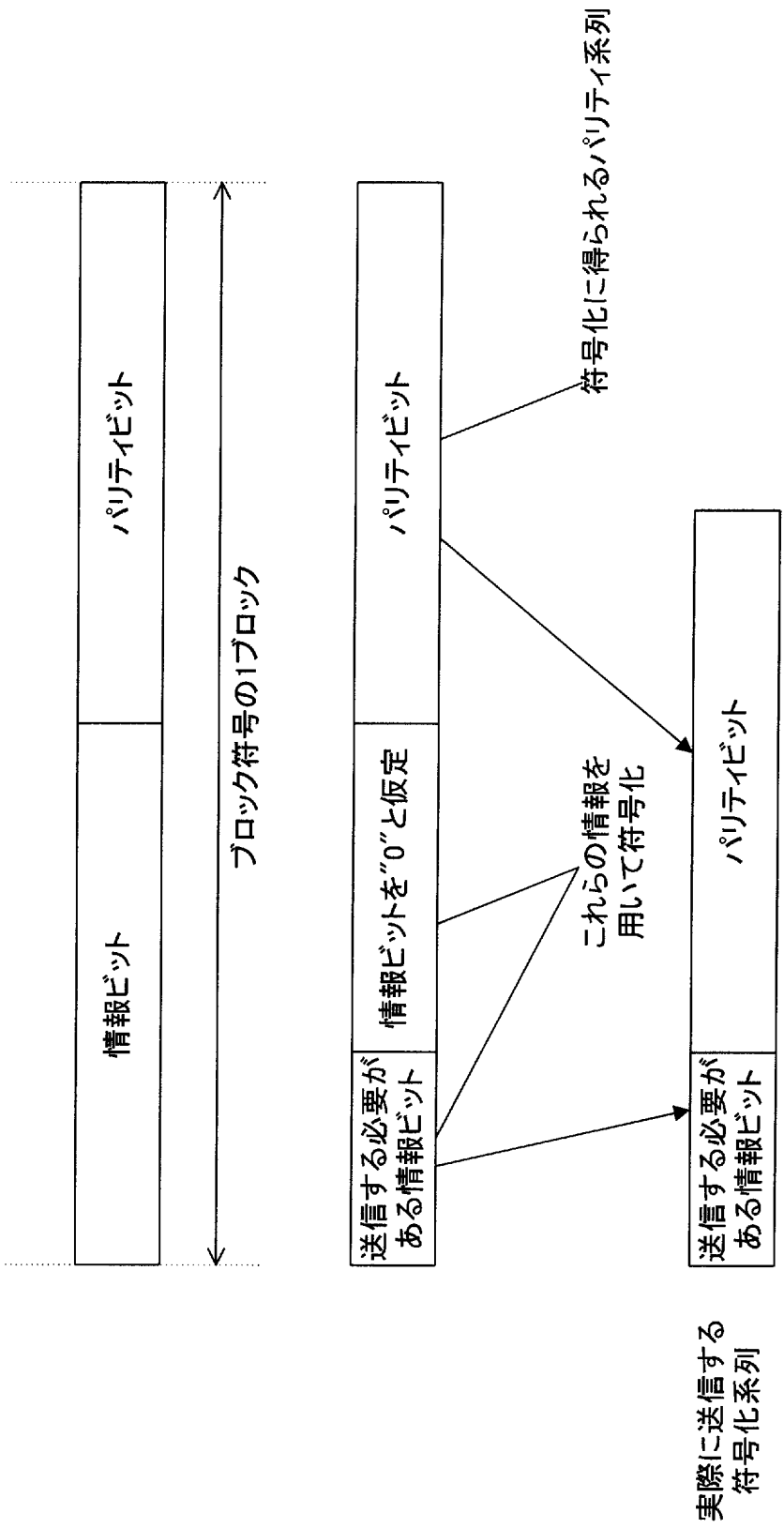
$$H = \begin{bmatrix} P_{0,0} & P_{0,1} & P_{0,2} & \cdots & P_{0,n_b-2} & P_{0,n_b-1} \\ P_{1,0} & P_{1,1} & P_{1,2} & \cdots & P_{1,n_b-2} & P_{1,n_b-1} \\ P_{2,0} & P_{2,1} & P_{2,2} & \cdots & P_{2,n_b-2} & P_{2,n_b-1} \\ \vdots & \vdots & \vdots & \cdots & \vdots & \vdots \\ P_{m_b-1,0} & P_{m_b-1,1} & P_{m_b-1,2} & \cdots & P_{m_b-1,n_b-2} & P_{m_b-1,n_b-1} \end{bmatrix} \quad \cdots (4)$$

[請求項8] 前記 LDPC 符号は、QC-LDPC ブロック符号である、
請求項 7 に記載の符号化方法。

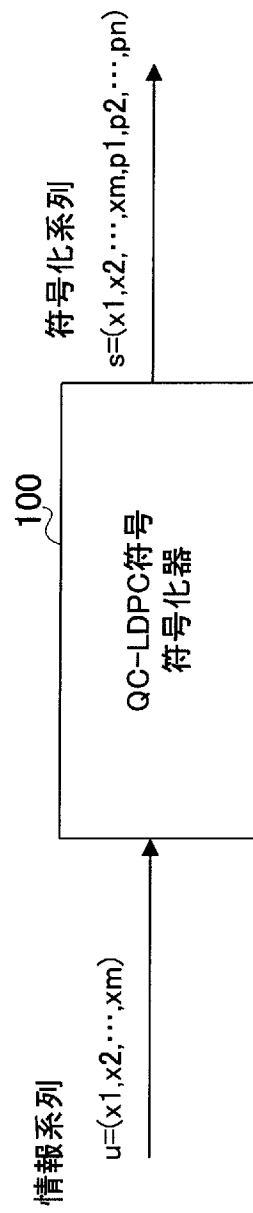
[請求項9] 前記 LDPC 符号は、QC-LDPC 符号である、
請求項 7 に記載の符号化方法。

[請求項10] 前記請求項 6 に記載の符号化方法を有し、
前記送信情報ビット系列を送信する、
送信方法。

[図1]



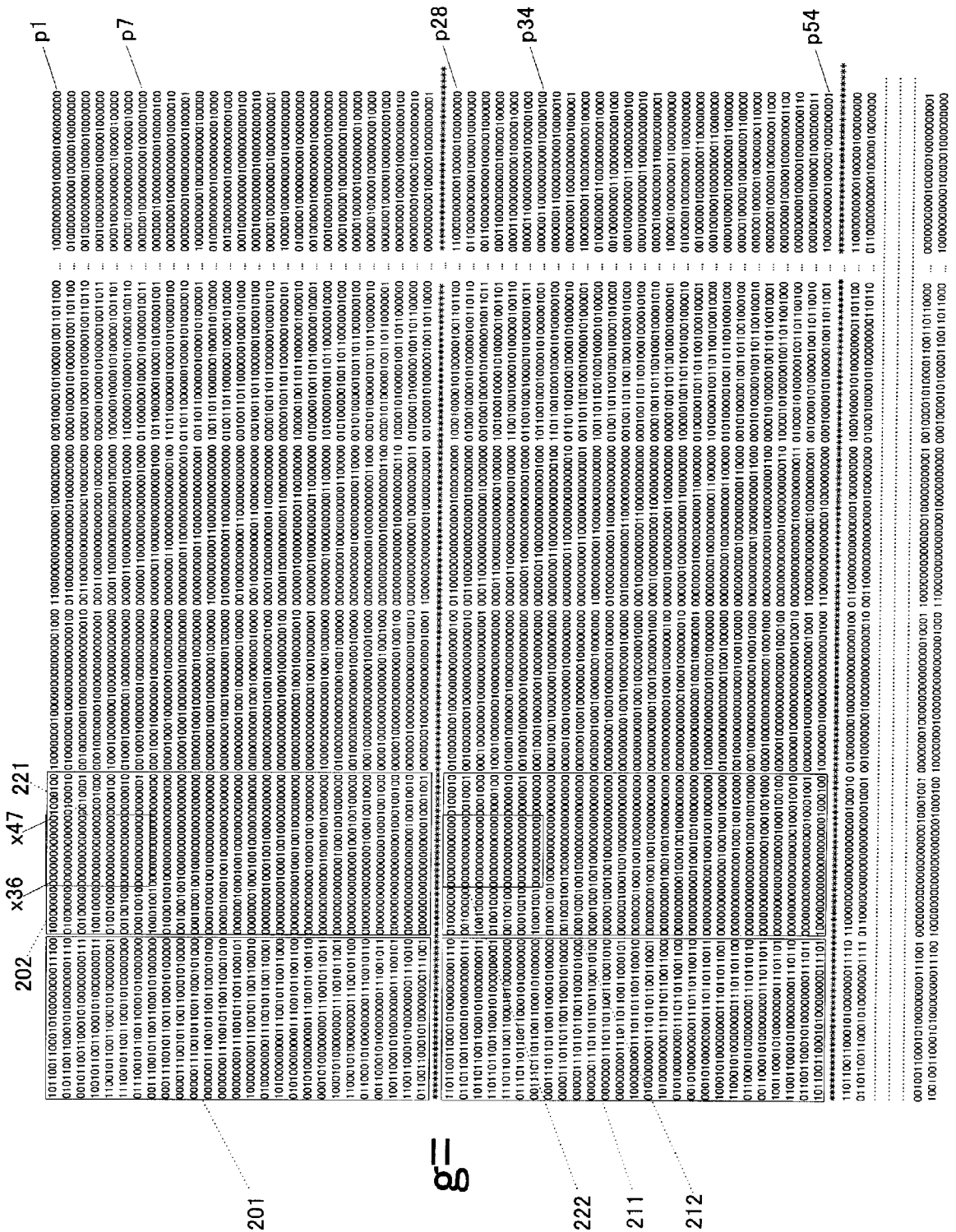
[図2]



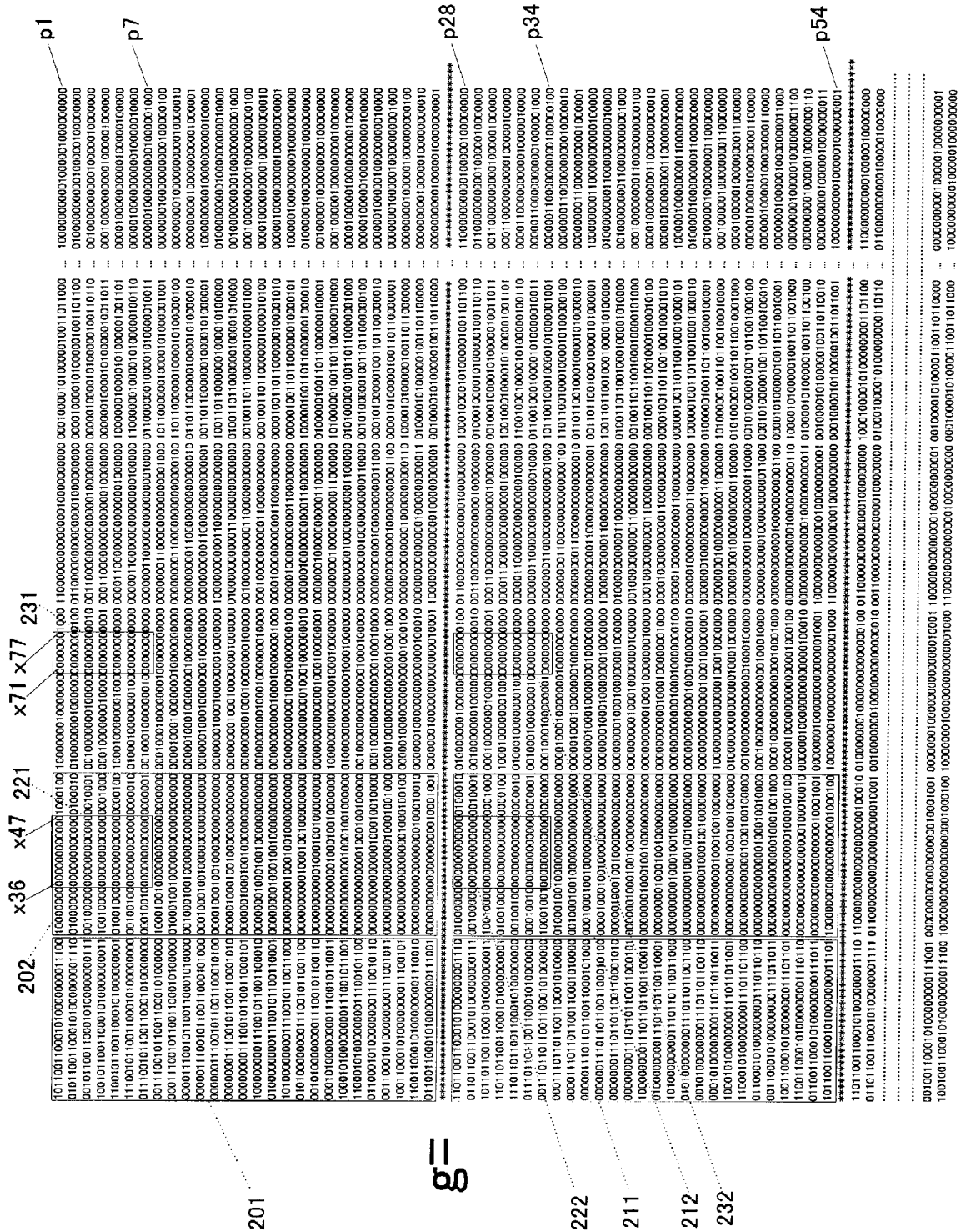
212

[illegible]

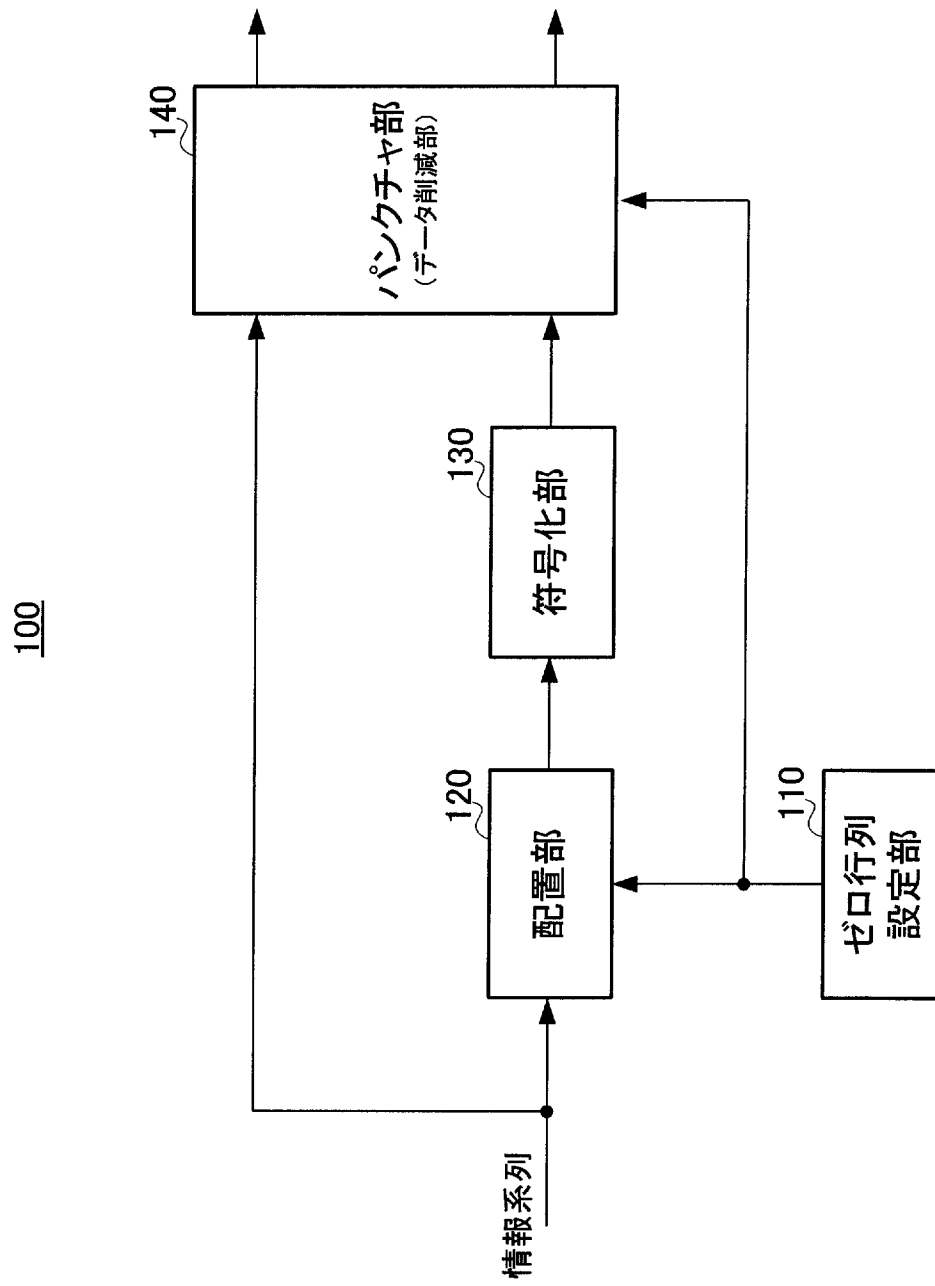
[図4]



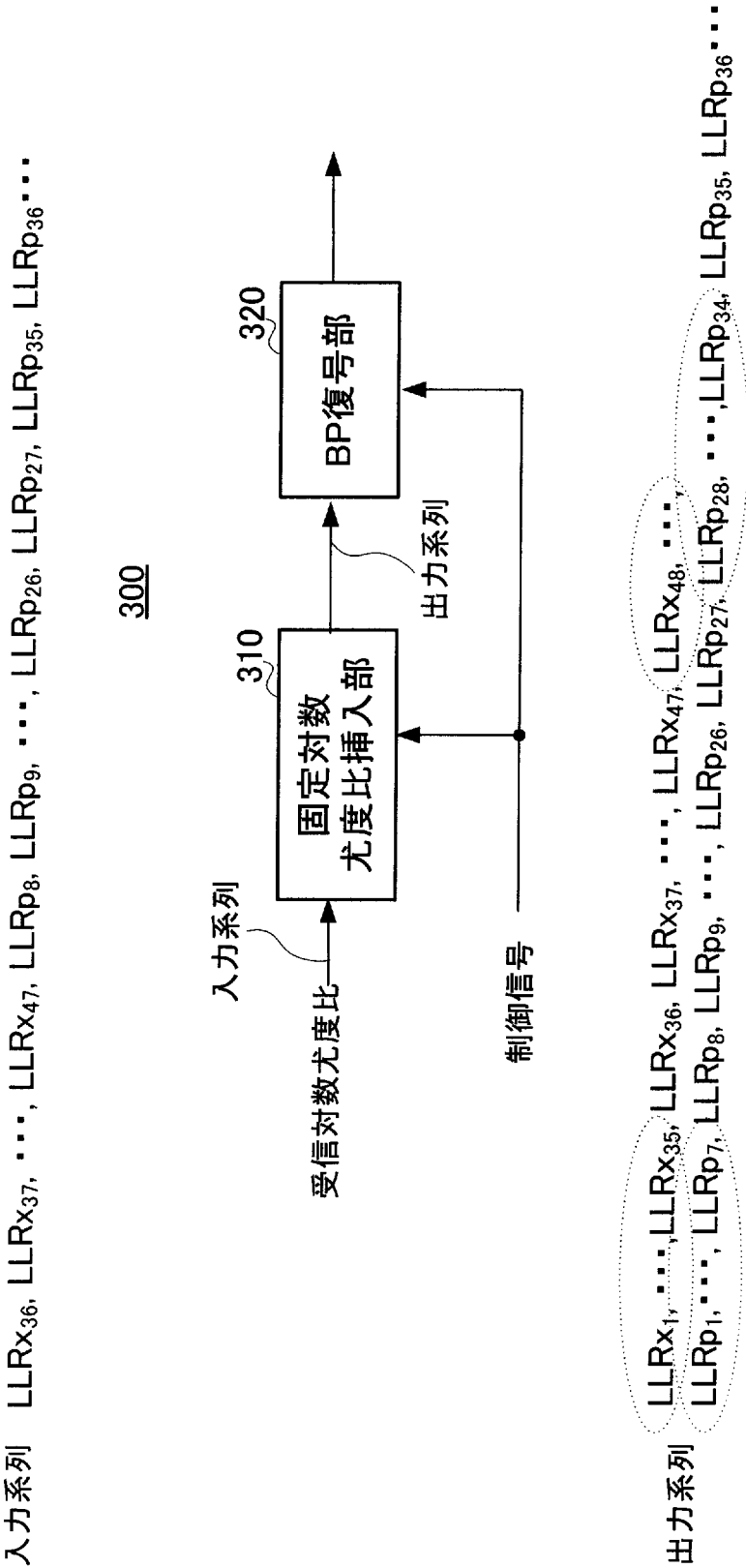
[図5]



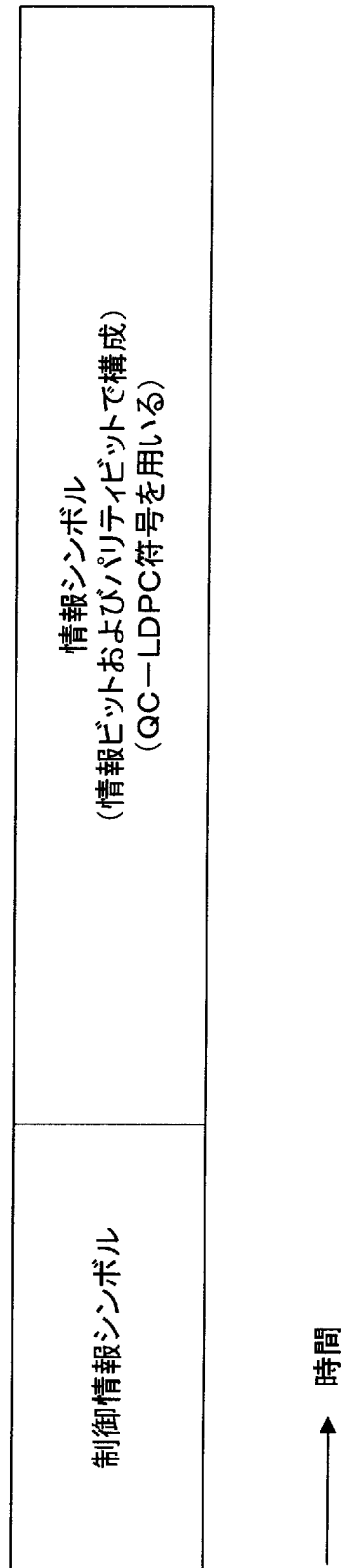
[図6]



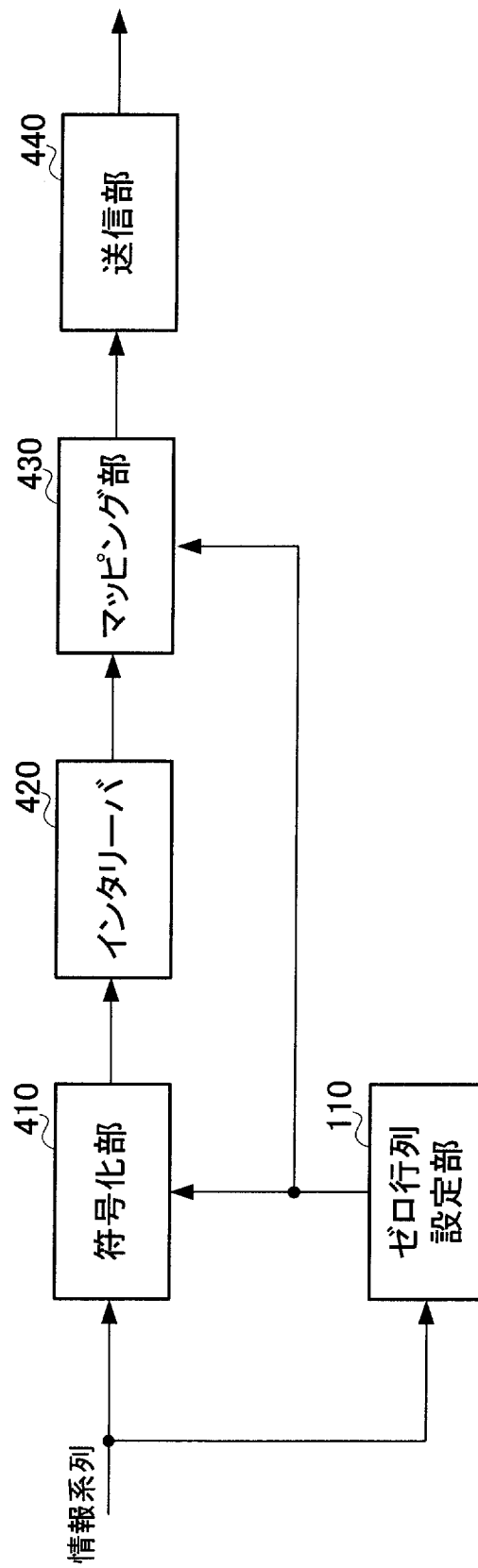
[図7]



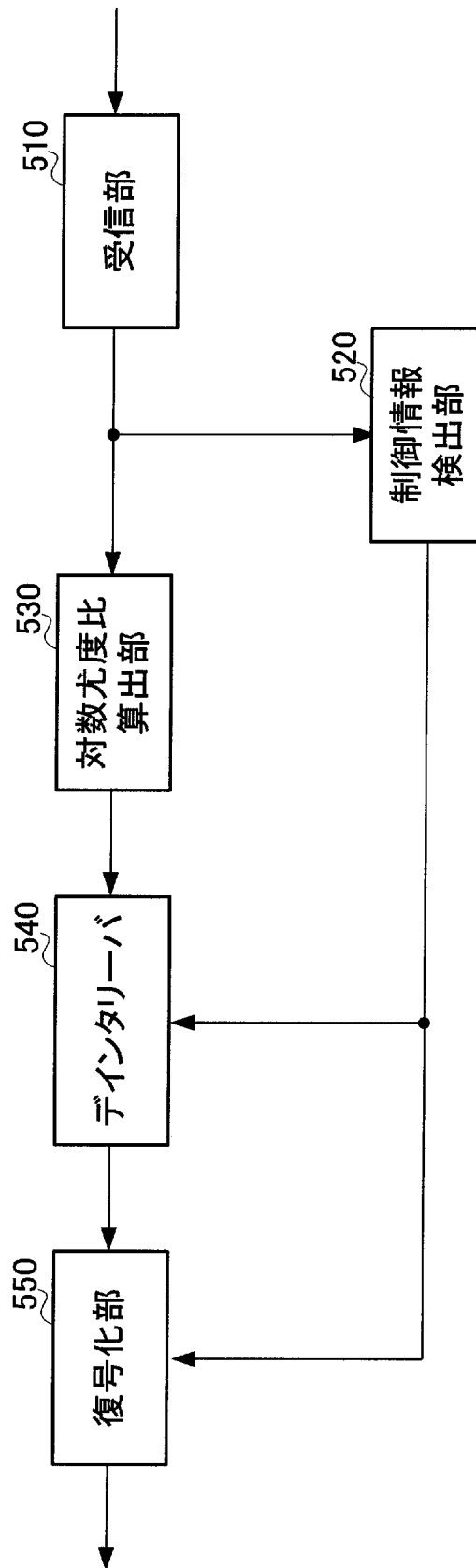
[図8]



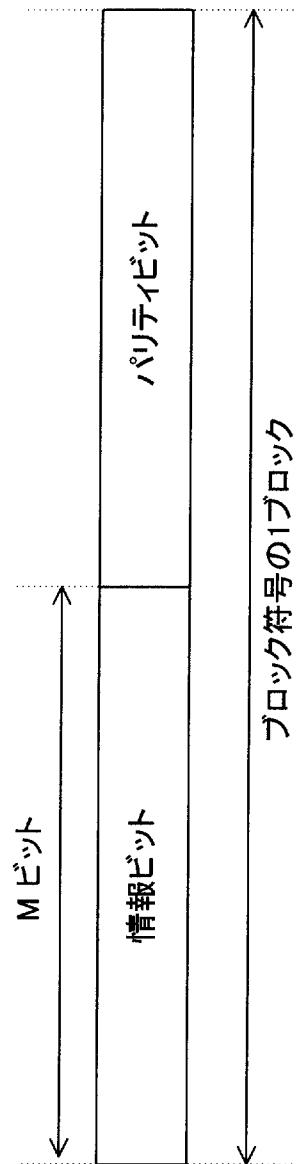
[図9]

400

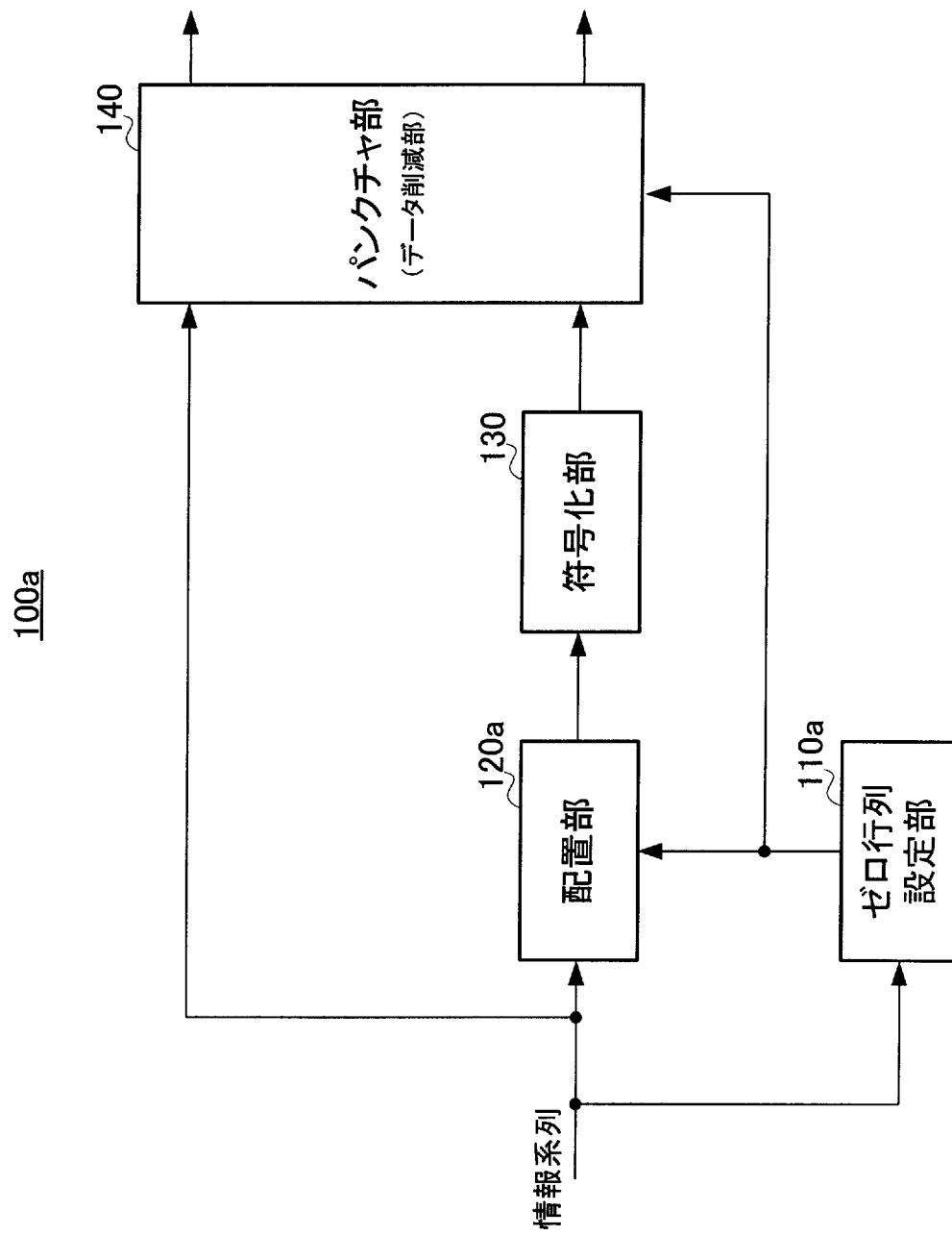
[図10]

500

[図11]

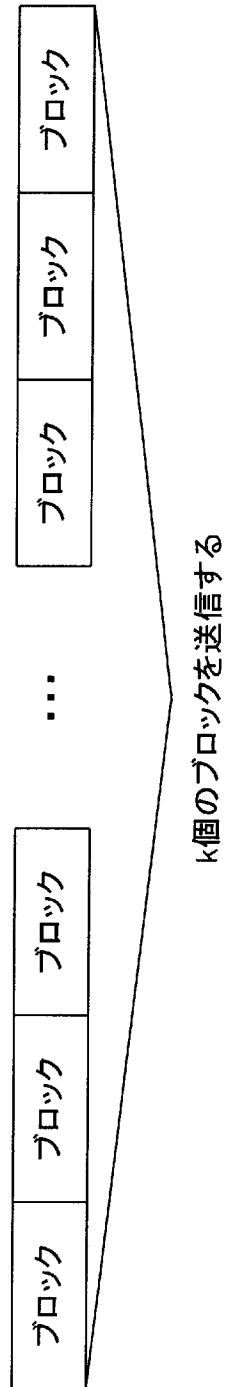


[図12]



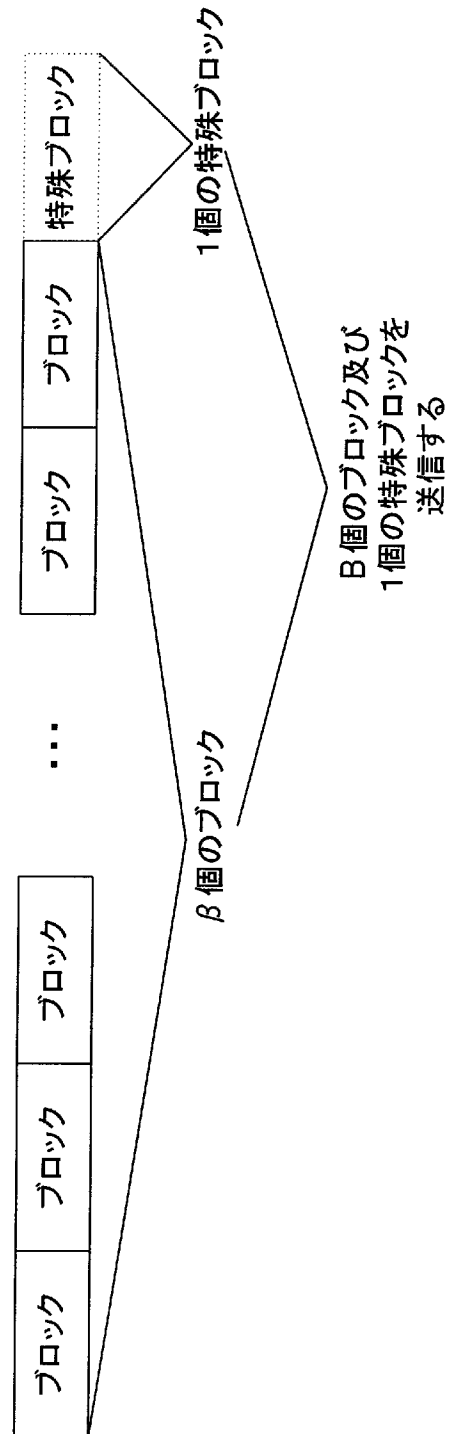
[図13]

$N=kM$ のとき (k は整数)



$N \neq kM$ のとき (k は整数)

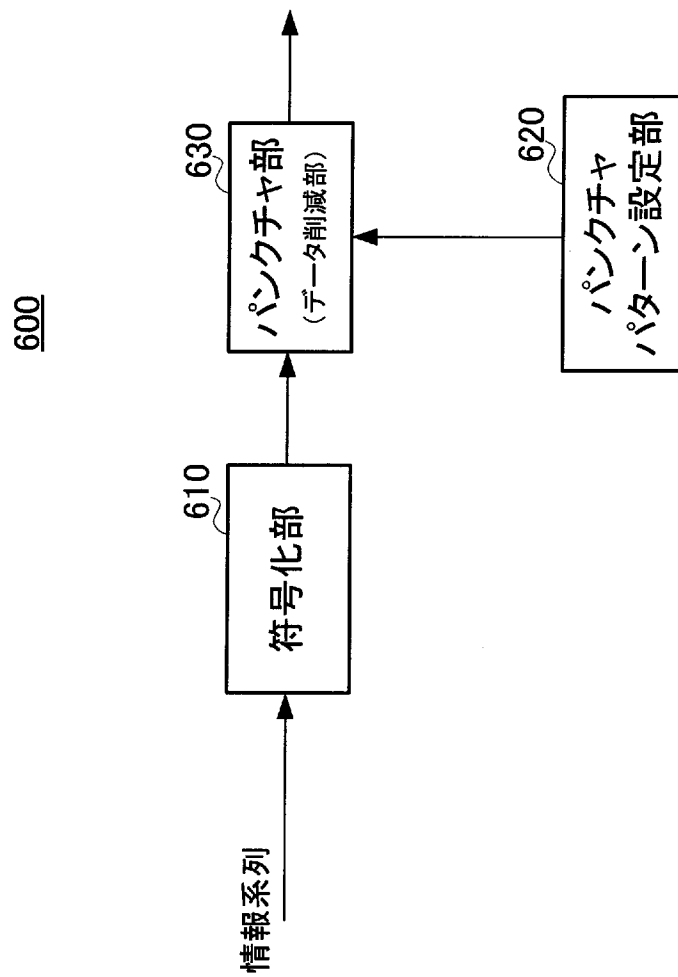
M を N で割ったときの商を β 、余り α とする。



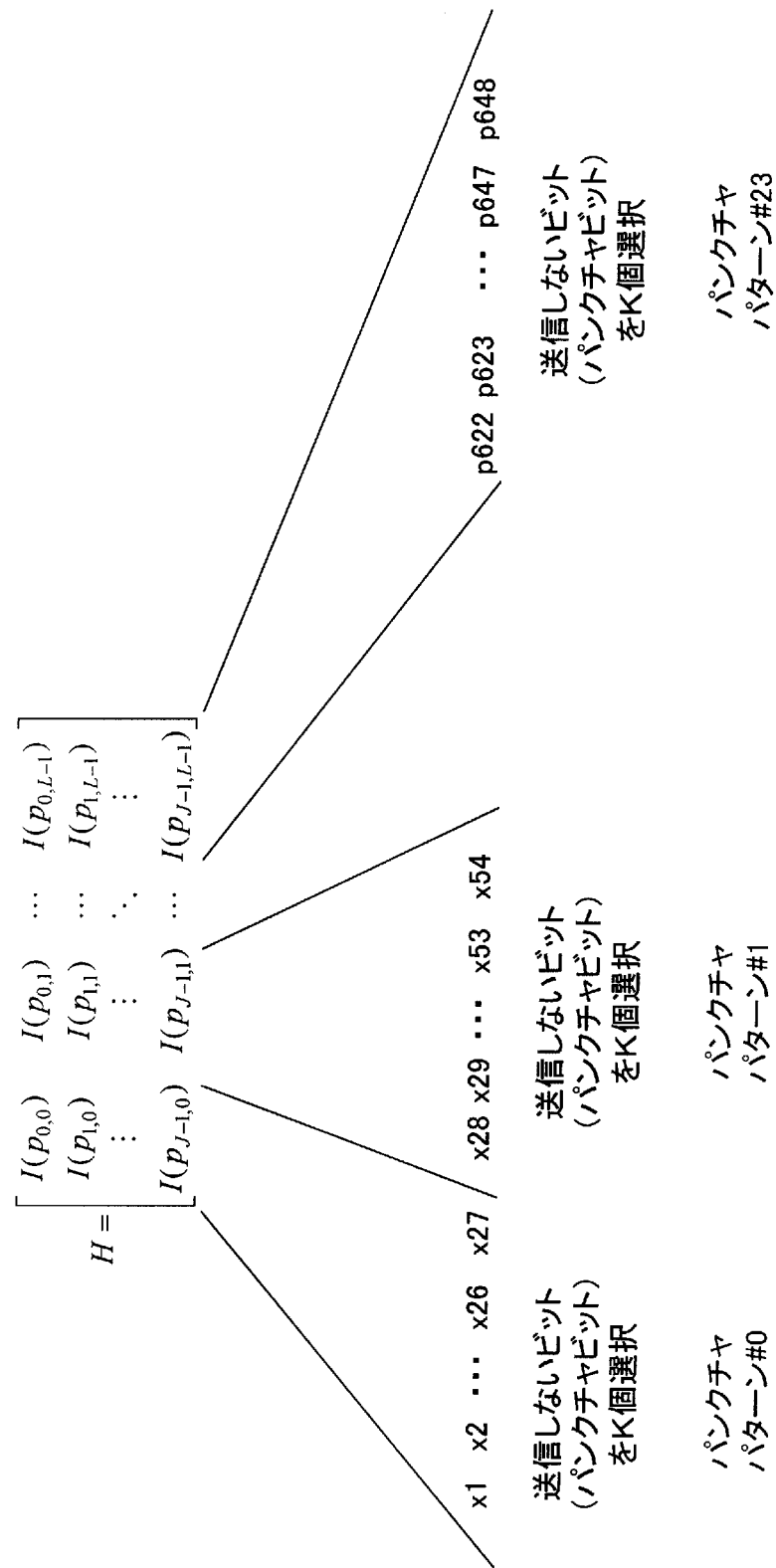
[図14]

$0 < \alpha \leq a_1$	$a_1 < \alpha \leq a_2$	$a_2 < \alpha \leq M-1$
ゼロ行列#1 (送信するパリテイビット 削減方法#1)	ゼロ行列#2 (送信するパリテイビット 削減方法#2)	ゼロ行列無し (送信するパリテイビット の削減は行わない)

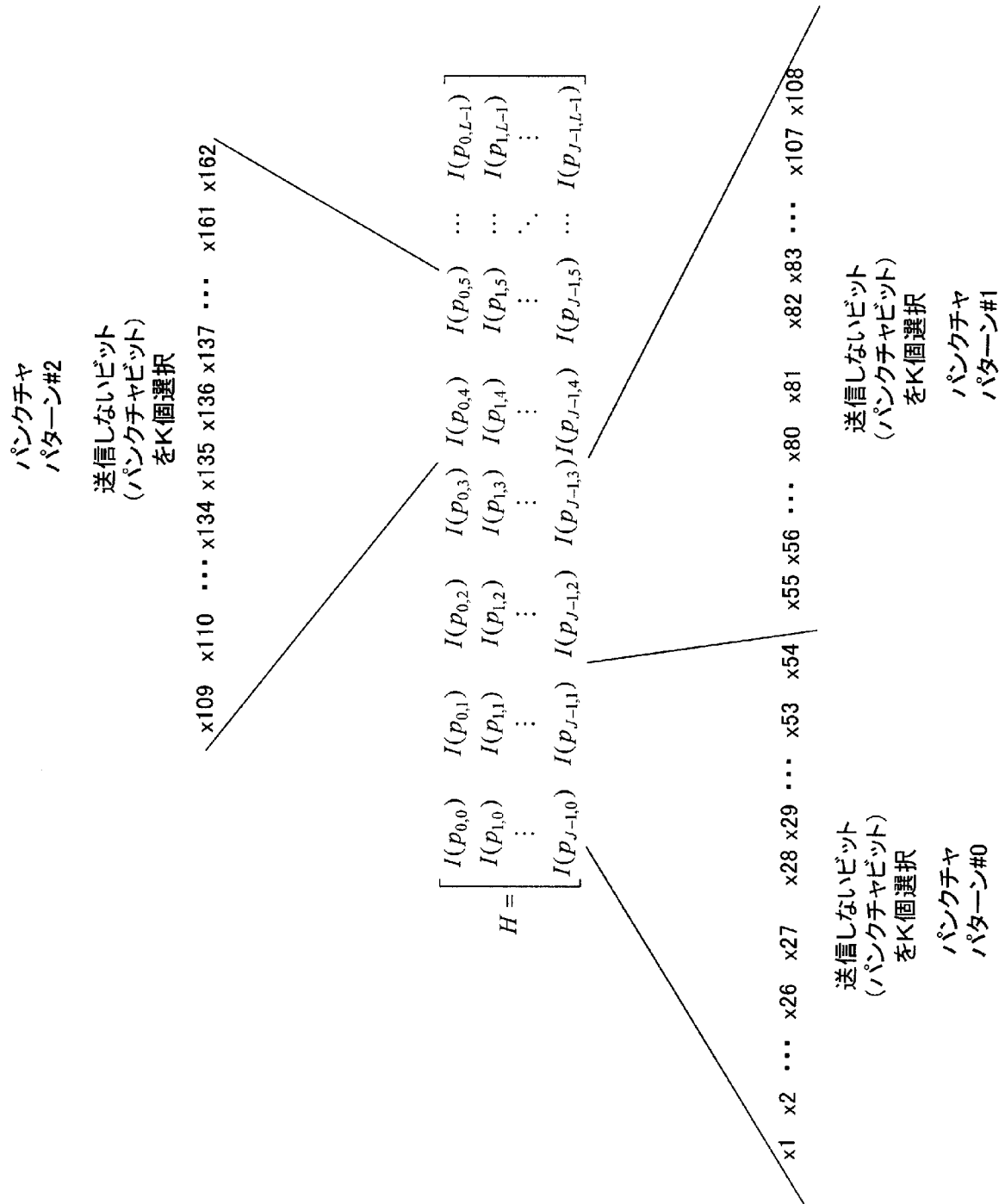
[図15]

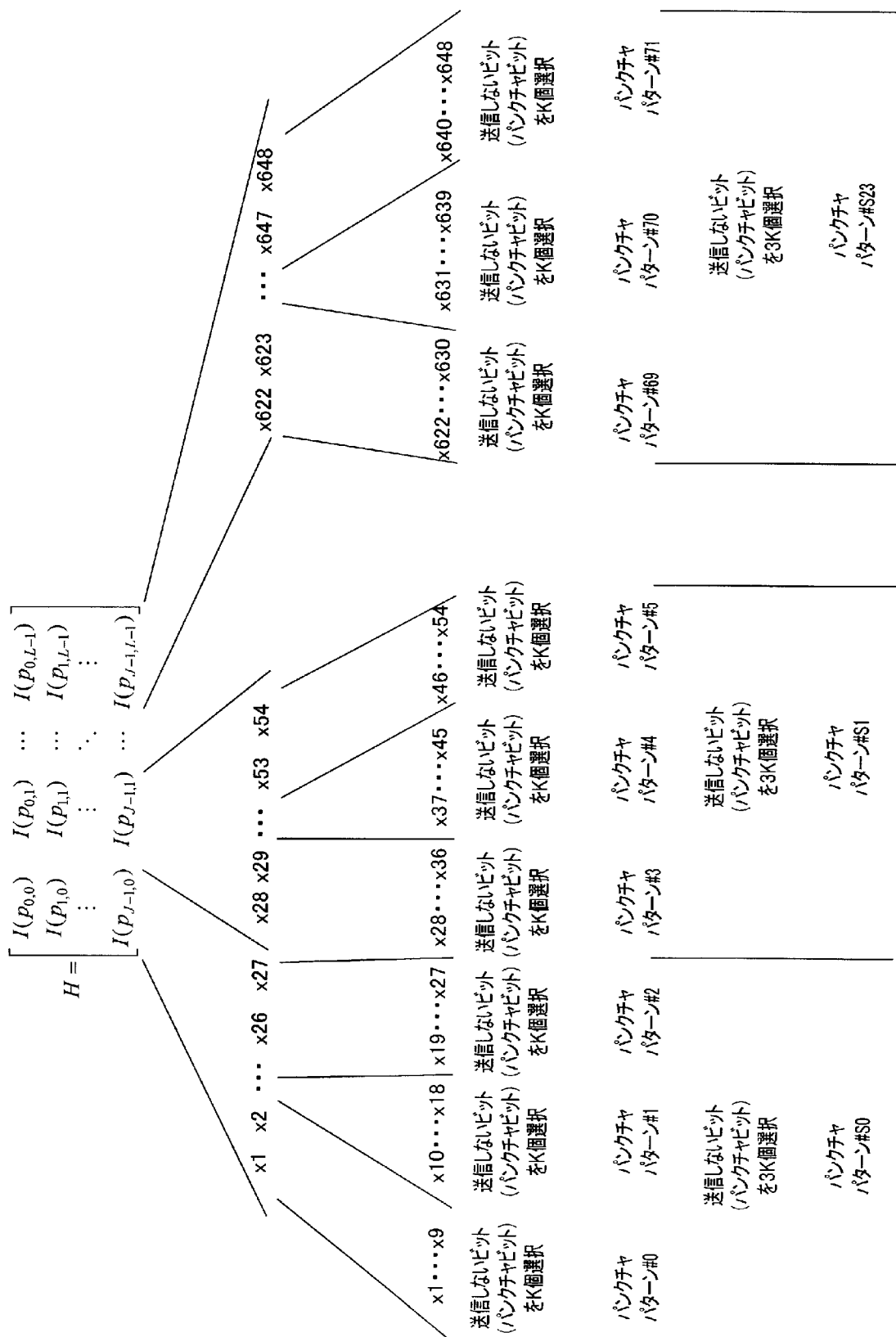


[図16A]

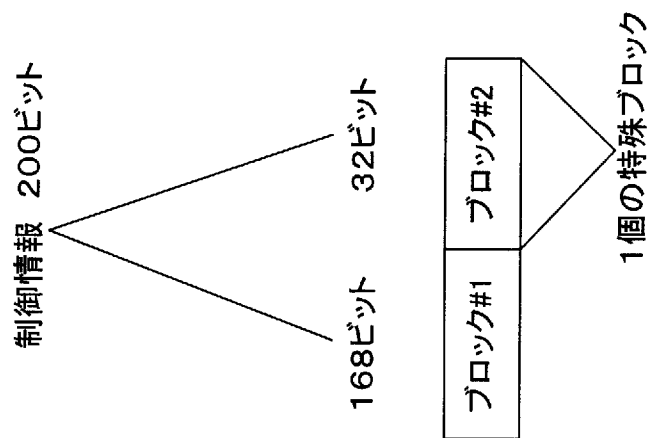


[図16B]

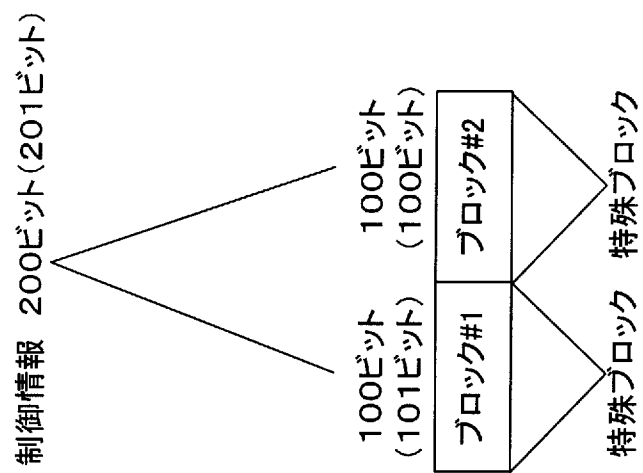




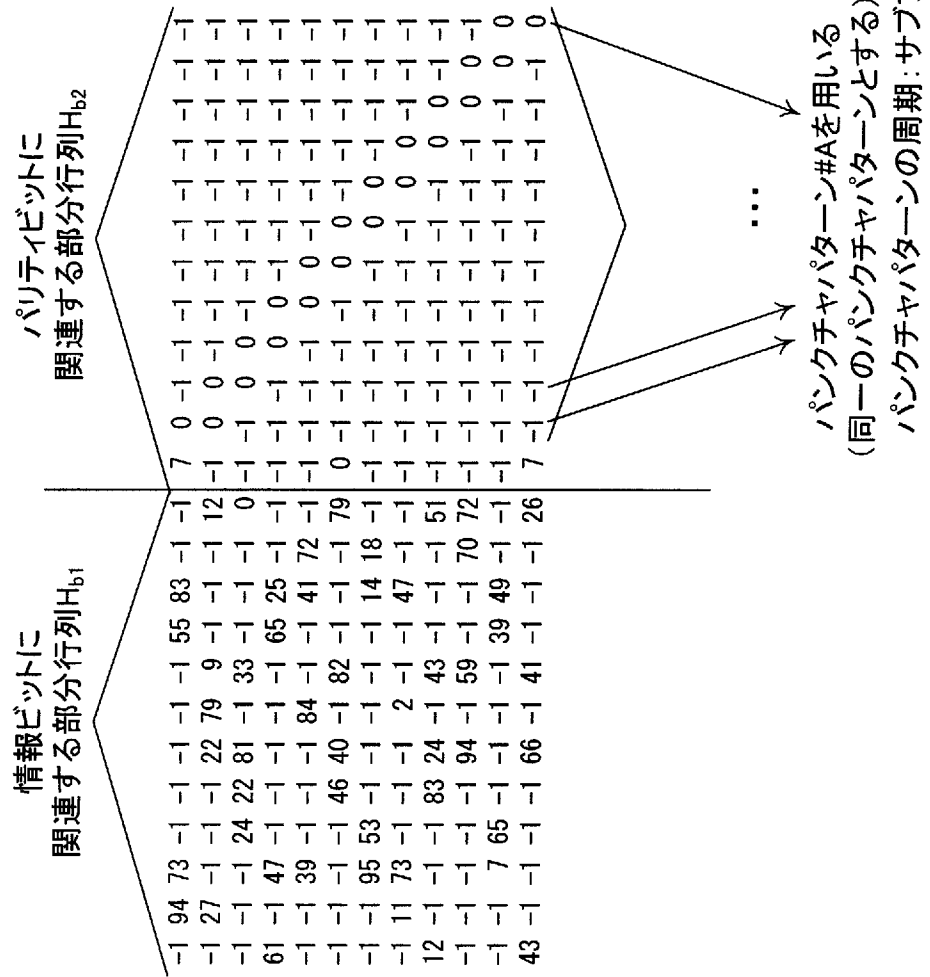
[図17]

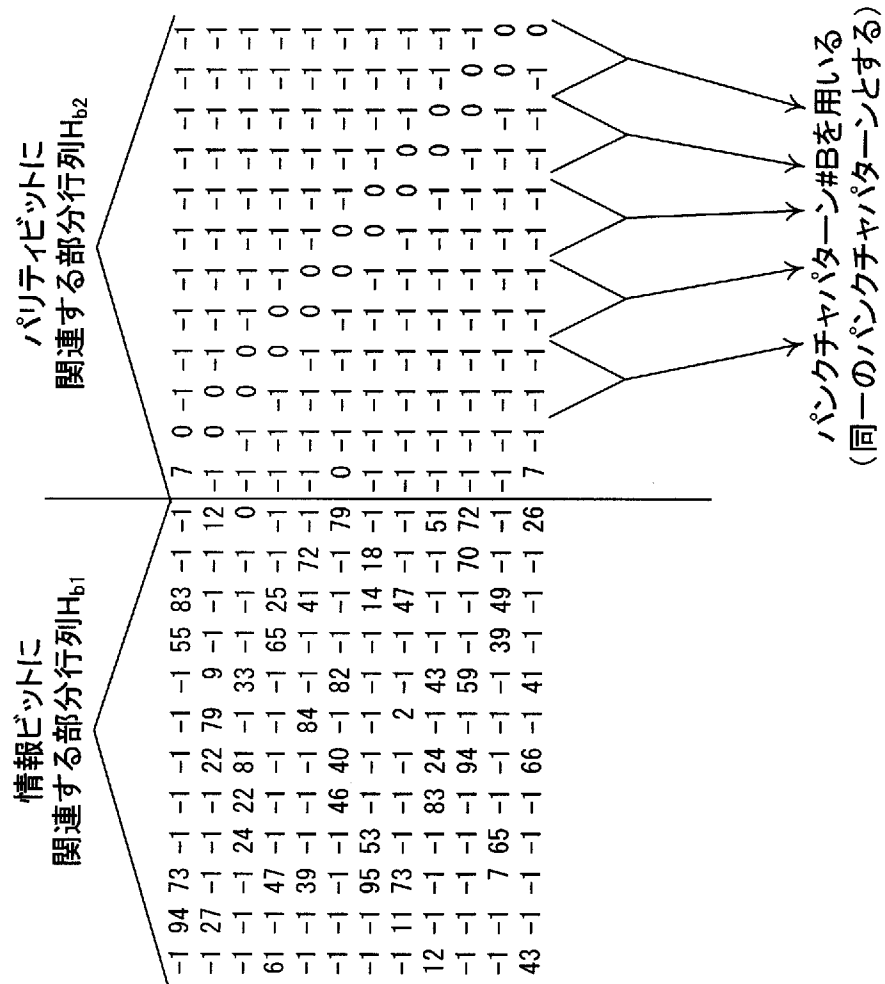


[図18]

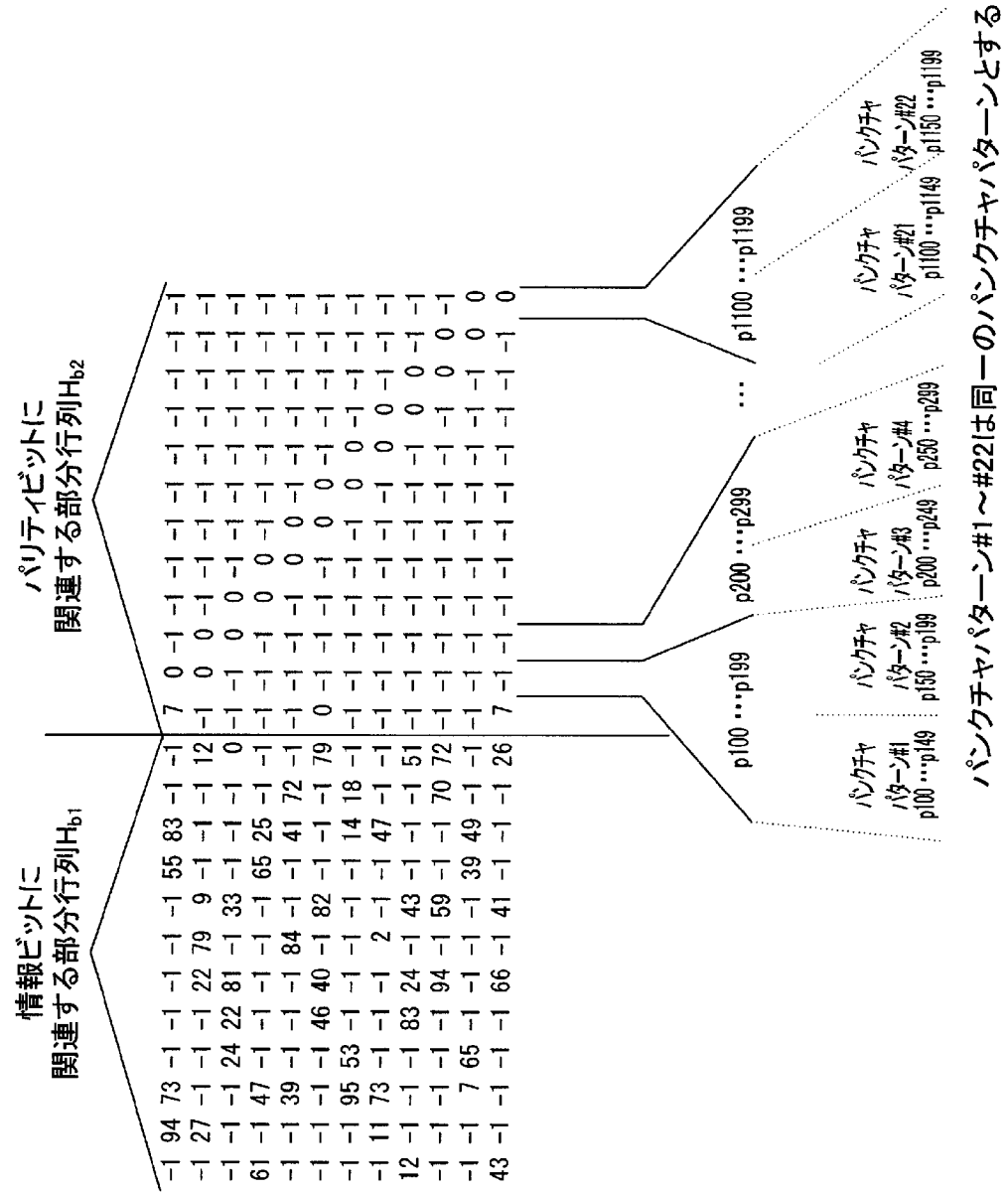


[図19A]

符号化率1/2の検査行列 H_b 

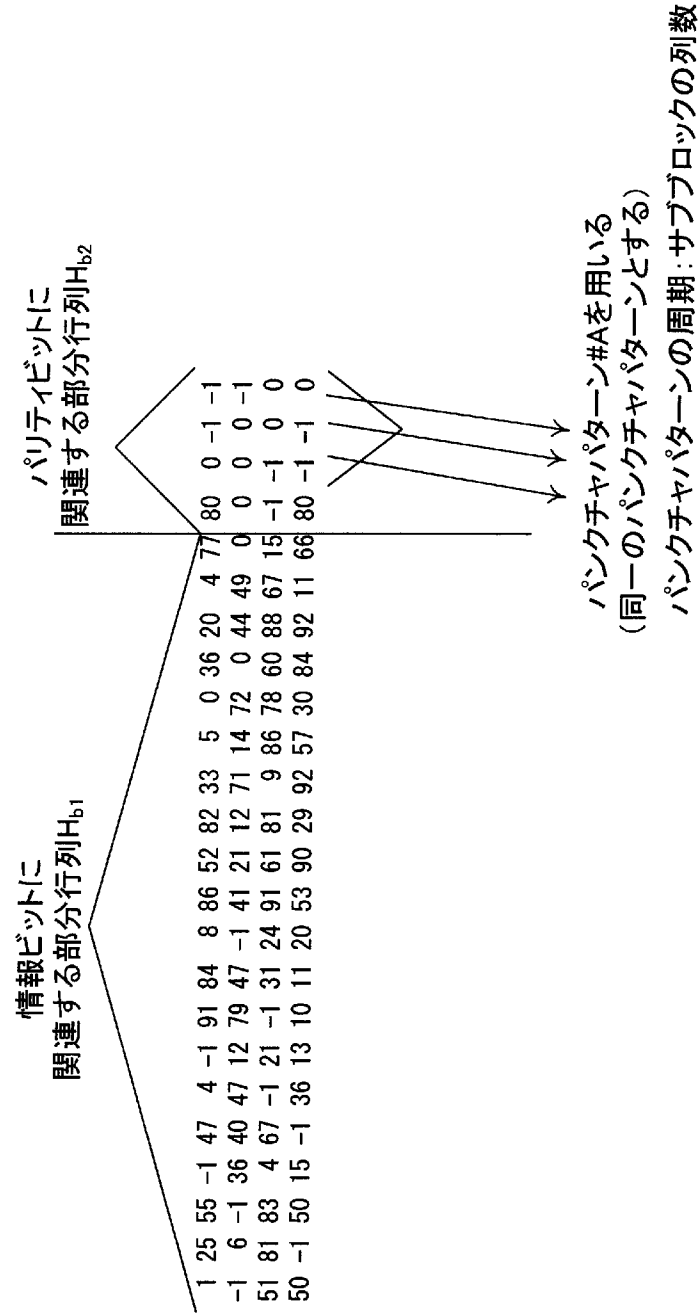
符号化率1/2の検査行列 H_b 

[図19C]

符号化率1/2の検査行列 H_b 

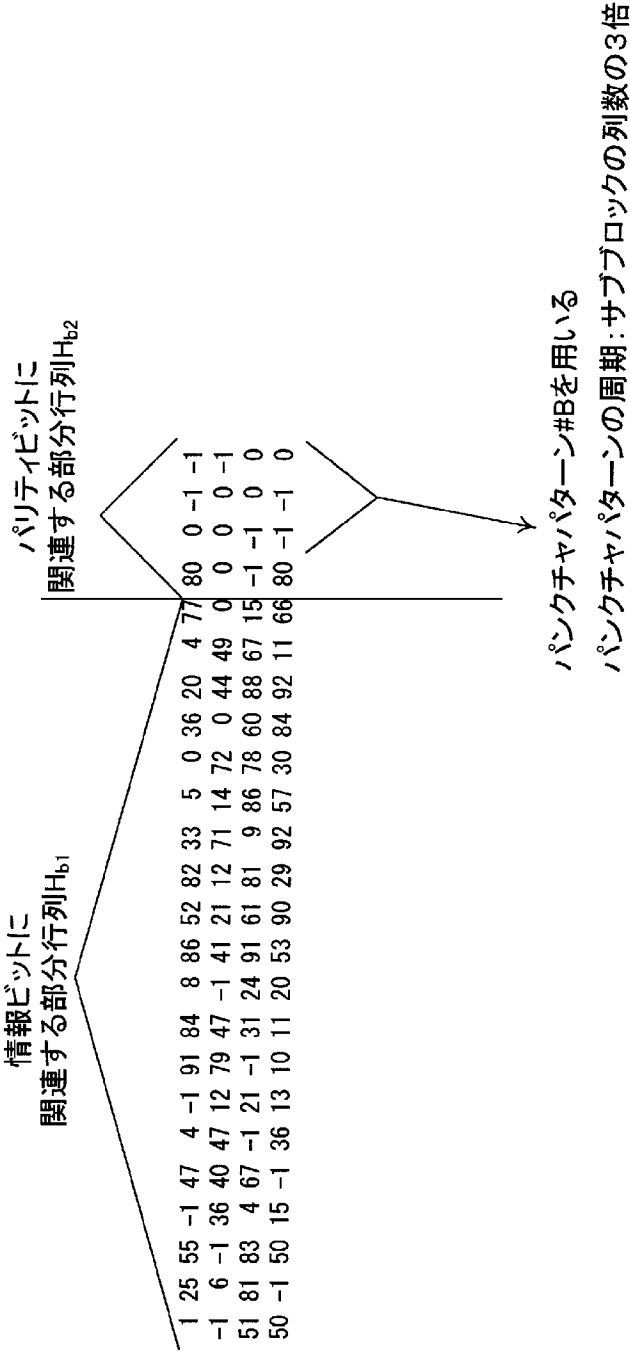
[図20A]

符号化率5/6の検査行列 H_b



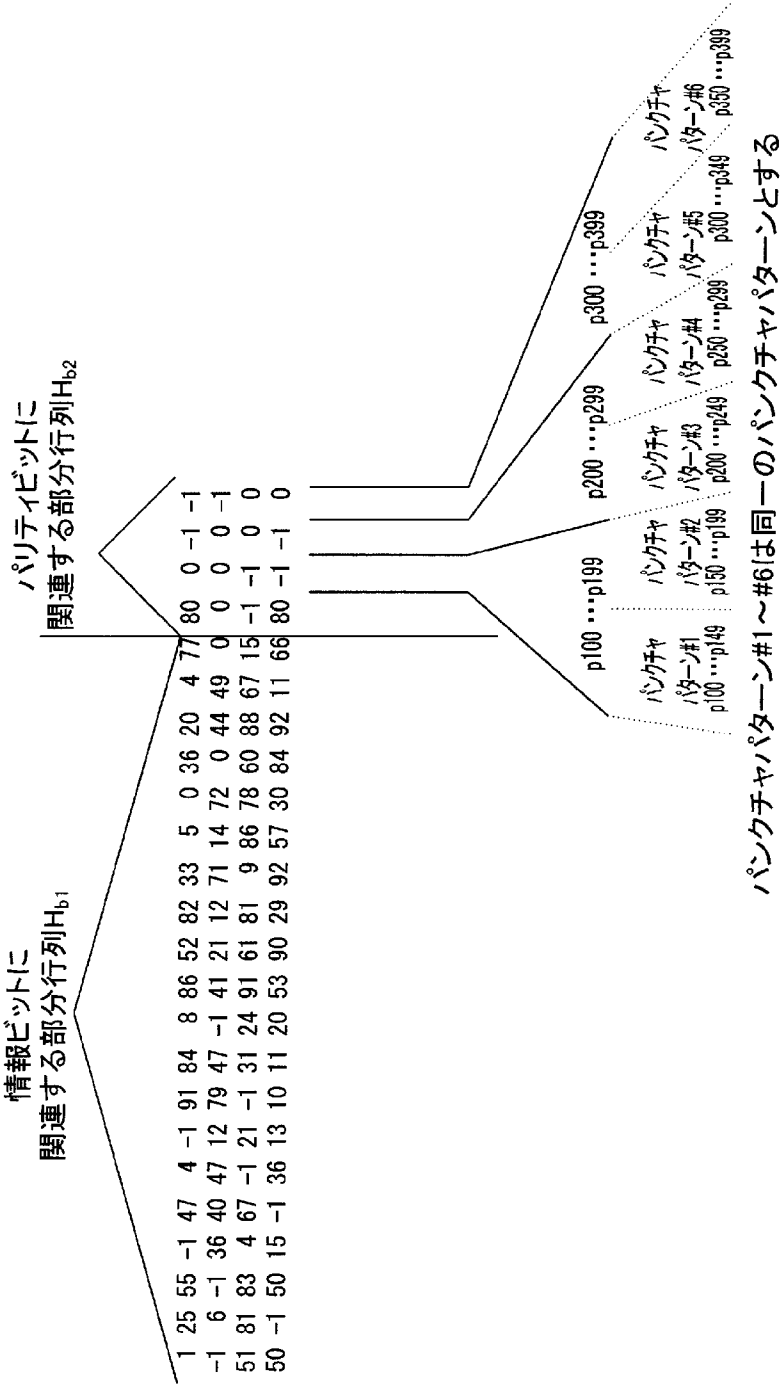
[図20B]

符号化率5/6の検査行列 H_b



[図20C]

符号化率5/6の検査行列 H_b



[図21]

$w = [1011111101 \ 1111111110 \ 0111101100 \ 1011111101 \ 0011111111]$
 $v_i = [\quad s_{50*i}, s_{50*i+1}, s_{50*i+2}, s_{50*i+3}, s_{50*i+4}, s_{50*i+5}, s_{50*i+6}, s_{50*i+7}, s_{50*i+8}, s_{50*i+9},$
 $s_{50*i+10}, s_{50*i+11}, s_{50*i+12}, s_{50*i+13}, s_{50*i+14}, s_{50*i+15}, s_{50*i+16}, s_{50*i+17}, s_{50*i+18}, s_{50*i+19},$
 $s_{50*i+20}, s_{50*i+21}, s_{50*i+22}, s_{50*i+23}, s_{50*i+24}, s_{50*i+25}, s_{50*i+26}, s_{50*i+27}, s_{50*i+28}, s_{50*i+29},$
 $s_{50*i+30}, s_{50*i+31}, s_{50*i+32}, s_{50*i+33}, s_{50*i+34}, s_{50*i+35}, s_{50*i+36}, s_{50*i+37}, s_{50*i+38}, s_{50*i+39},$
 $s_{50*i+40}, s_{50*i+41}, s_{50*i+42}, s_{50*i+43}, s_{50*i+44}, s_{50*i+45}, s_{50*i+46}, s_{50*i+47}, s_{50*i+48}, s_{50*i+49}]$

○:削除されるビット

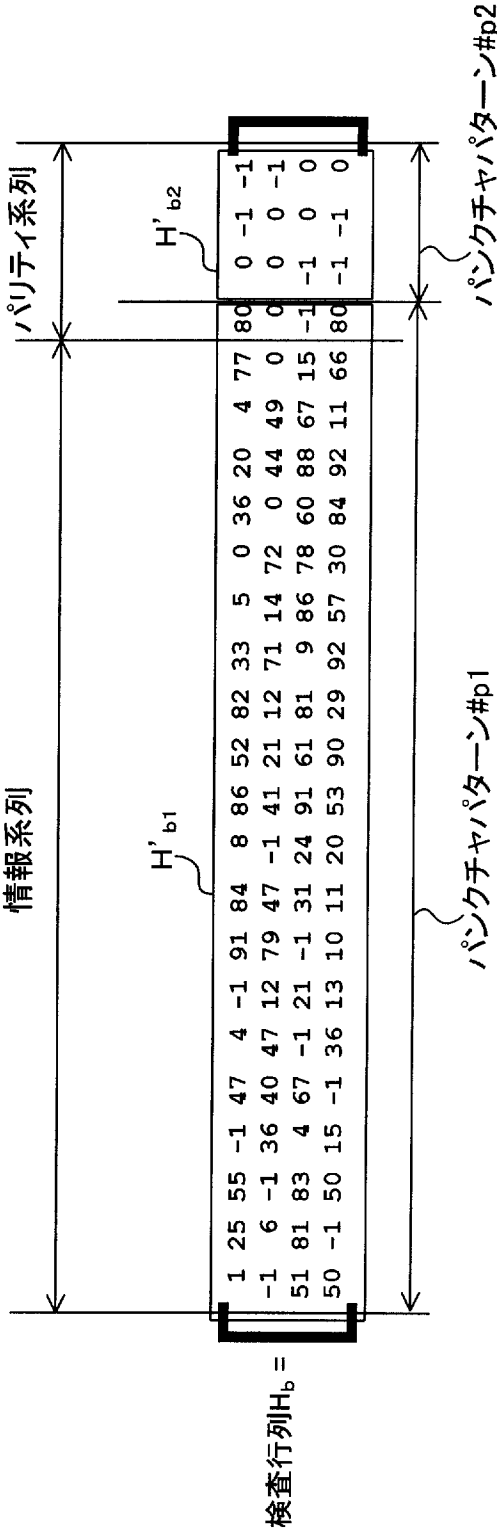
[図22]

$w = [1110111111 \ 1111111101 \ 01111111011 \ 1111111110 \ 1111111111 \ 0111111111 \ 0111]$
 $v_i = [\quad s_{63*i}, s_{63*i+1}, s_{63*i+2}, s_{63*i+3}, s_{63*i+4}, s_{63*i+5}, s_{63*i+6}, s_{63*i+7}, s_{63*i+8}, s_{63*i+9},$
 $s_{63*i+10}, s_{63*i+11}, s_{63*i+12}, s_{63*i+13}, s_{63*i+14}, s_{63*i+15}, s_{63*i+16}, s_{63*i+17}, s_{63*i+18}, s_{63*i+19},$
 $s_{63*i+20}, s_{63*i+21}, s_{63*i+22}, s_{63*i+23}, s_{63*i+24}, s_{63*i+25}, s_{63*i+26}, s_{63*i+27}, s_{63*i+28}, s_{63*i+29},$
 $s_{63*i+30}, s_{63*i+31}, s_{63*i+32}, s_{63*i+33}, s_{63*i+34}, s_{63*i+35}, s_{63*i+36}, s_{63*i+37}, s_{63*i+38}, s_{63*i+39},$
 $s_{63*i+40}, s_{63*i+41}, s_{63*i+42}, s_{63*i+43}, s_{63*i+44}, s_{63*i+45}, s_{63*i+46}, s_{63*i+47}, s_{63*i+48}, s_{63*i+49},$
 $s_{63*i+50}, s_{63*i+51}, s_{63*i+52}, s_{63*i+53}, s_{63*i+54}, s_{63*i+55}, s_{63*i+56}, s_{63*i+57}, s_{63*i+58}, s_{63*i+59},$
 $s_{63*i+60}, s_{63*i+61}, s_{63*i+62}]$

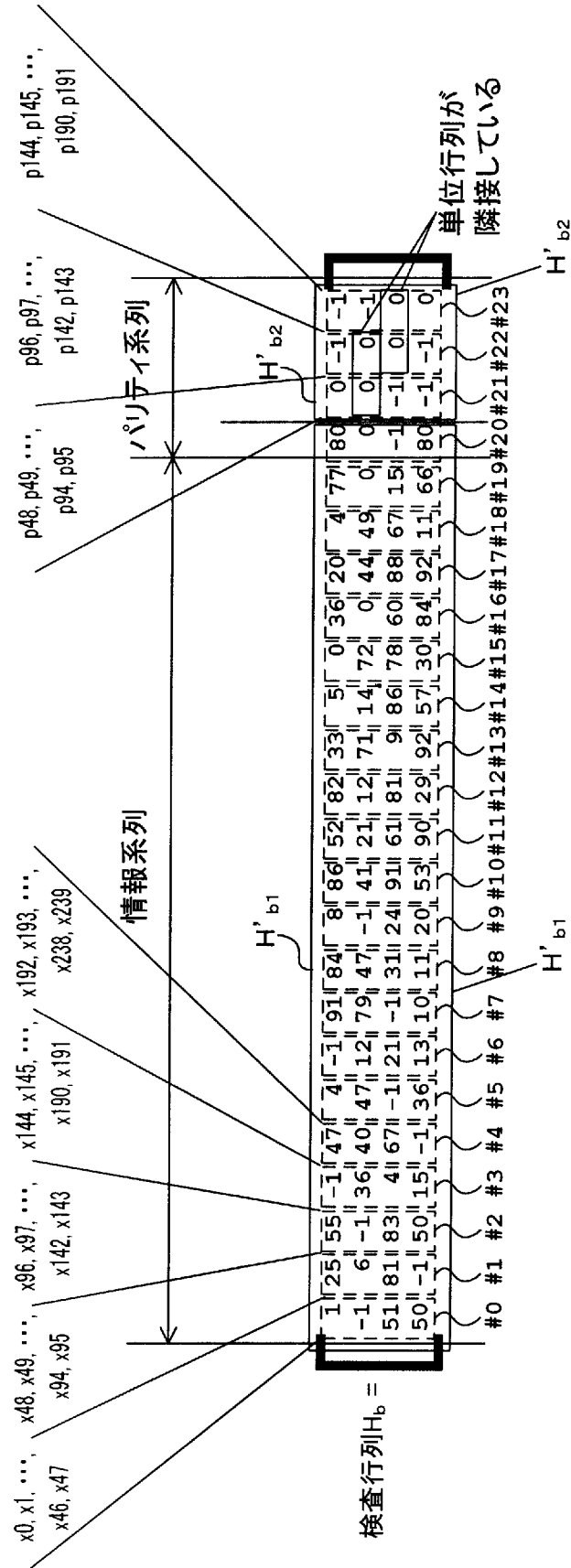
○: 削除されるビット

[図23]

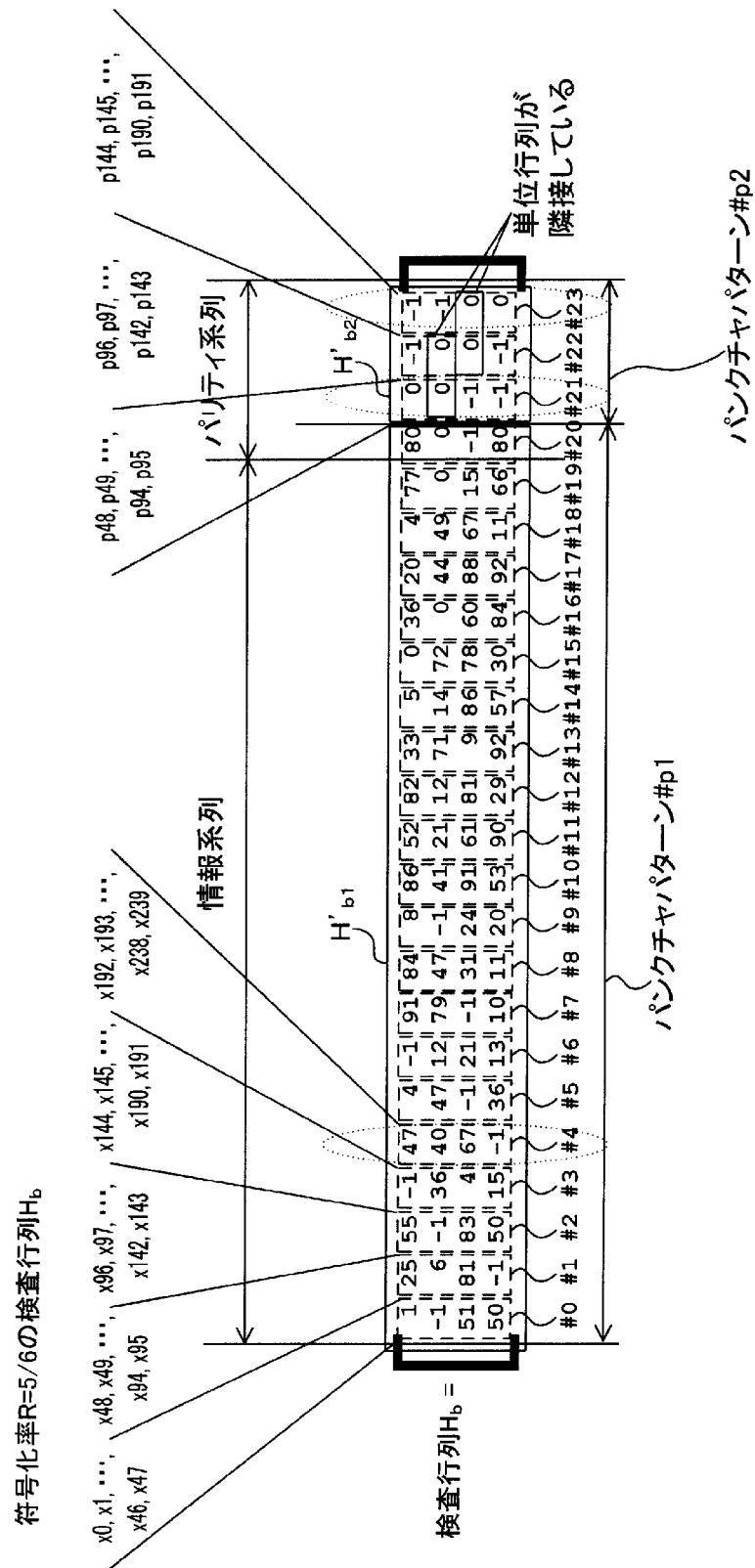
符号化率R=5/6の検査行列 H_b



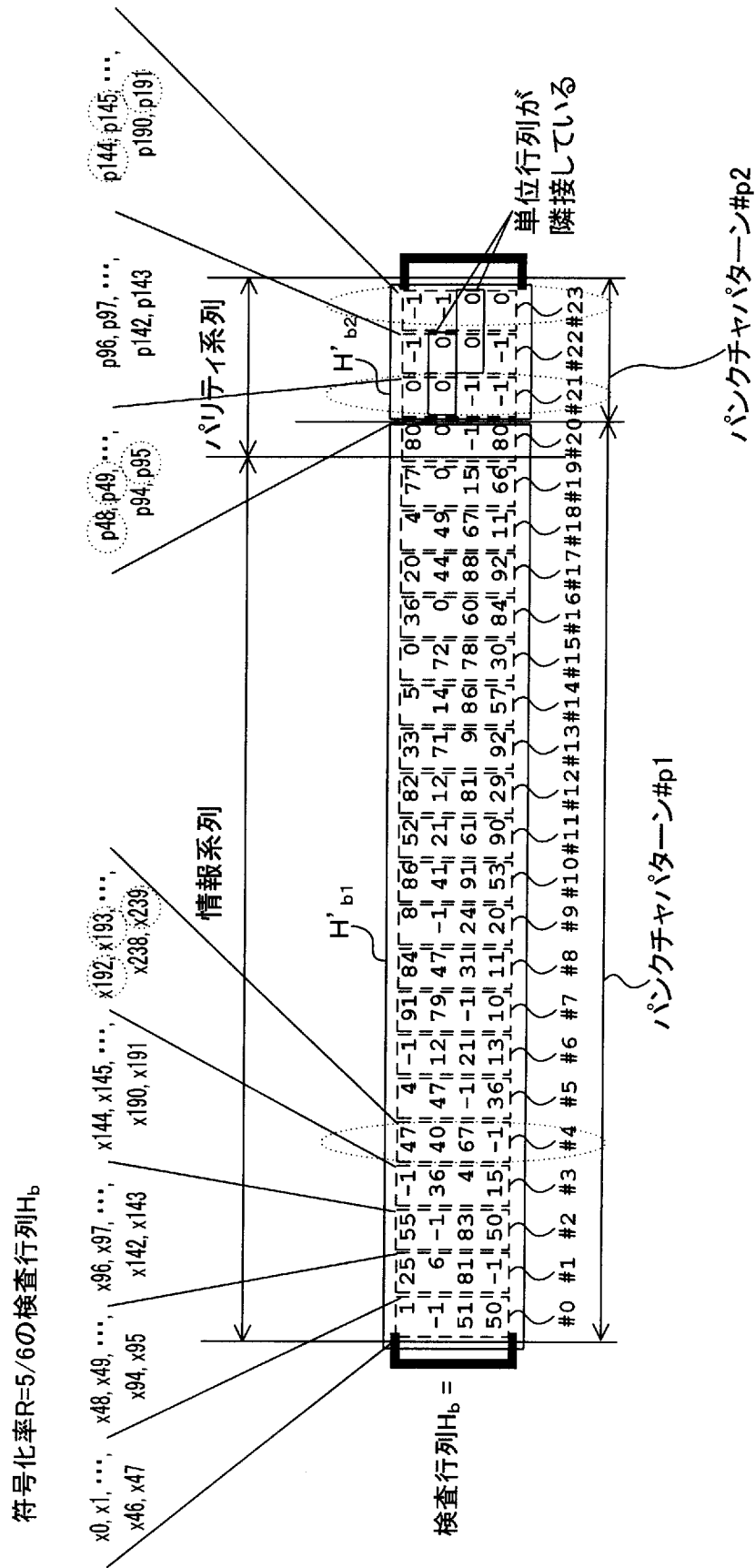
[図24]

符号化率 $R=5/6$ の検査行列 H_b 

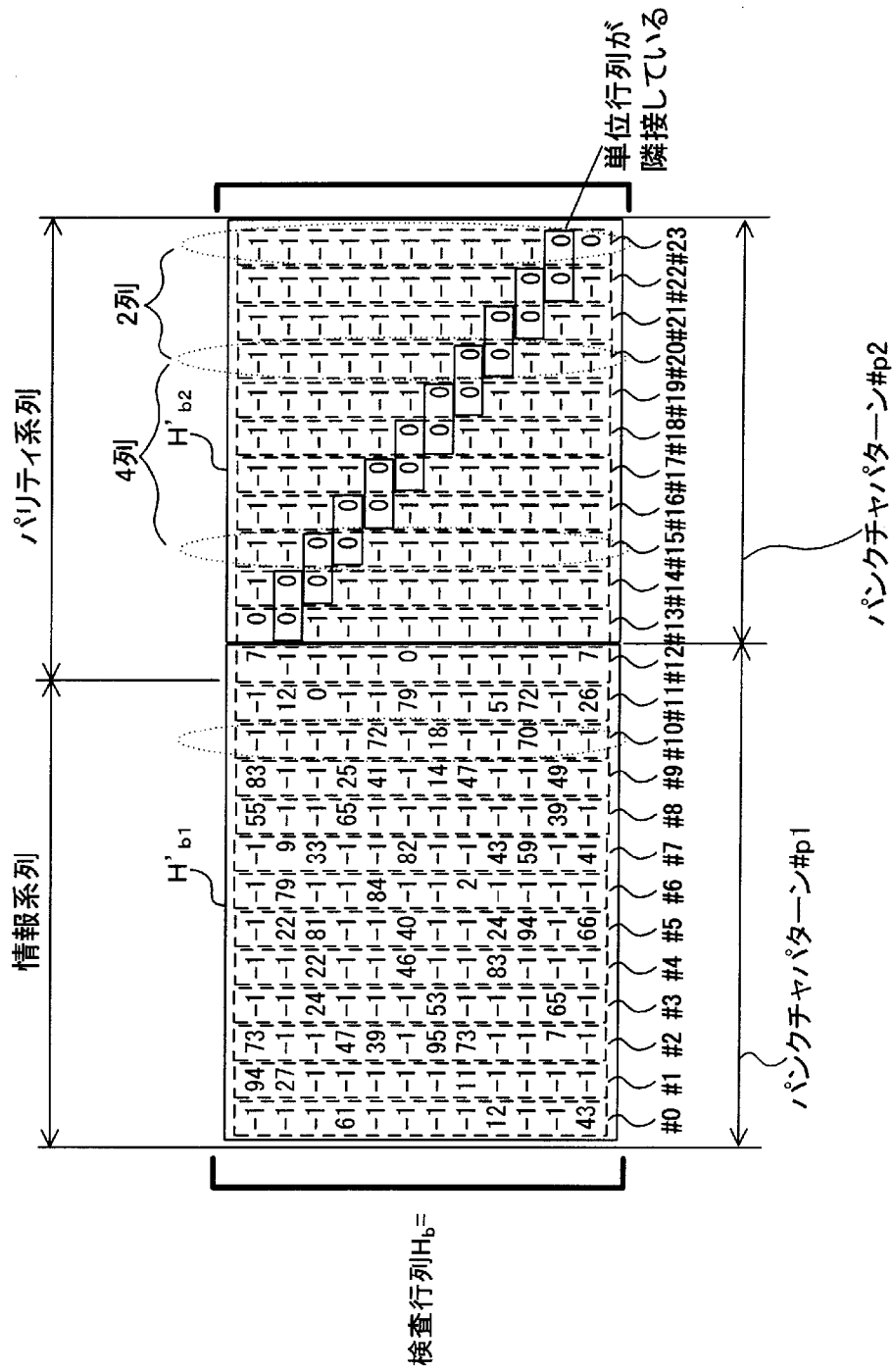
[図25]



[図26]



符号化率 $R=1/2$ の検査行列 H_b



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/005286

A. CLASSIFICATION OF SUBJECT MATTER

H03M13/19 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M13/19

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Sunghoon Choi, Youchul Shin, Jun Heo, Kihyoung Cho, Minseok Oh, Effective Puncturing Schemes for Block-type Low-Density Parity-Check Codes, Vehicular Technology Conference, 2007. VTC2007-Spring. IEEE 65th, 2007.04.22, pp.1841-1845	1-10
A	WO 2008/016117 A1 (Mitsubishi Electric Corp.), 07 February 2008 (07.02.2008), entire text; all drawings & EP 2053751 A1 & CA 2660060 A & KR 10-2009-0040311 A & CN 101502003 A	1-10
A	WO 2008/093717 A1 (Matsushita Electric Industrial Co., Ltd.), 07 August 2008 (07.08.2008), entire text; all drawings (Family: none)	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
22 December, 2009 (22.12.09)

Date of mailing of the international search report
12 January, 2010 (12.01.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H03M13/19(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H03M13/19

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	Sunghoon Choi, Youchul Shin, Jun Heo, Kihyoung Cho, Minseok Oh, Effective Puncturing Schemes for Block-type Low-Density Parity-Check Codes, Vehicular Technology Conference, 2007. VTC2007-Spring. IEEE 65th, 2007.04.22, pp.1841-1845	1-10
A	W0 2008/016117 A1 (三菱電機株式会社) 2008.02.07, 全文, 全図 & EP 2053751 A1 & CA 2660060 A & KR 10-2009-0040311 A & CN 101502003 A	1-10

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 2 . 1 2 . 2 0 0 9

国際調査報告の発送日

1 2 . 0 1 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

藤井 浩

5 K

8 6 2 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2008/093717 A1 (松下電器産業株式会社) 2008.08.07, 全文, 全図 (ファミリーなし)	1-10