

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：96175135

※ 申請日期：96.7.10

※IPC 分類：

一、發明名稱：(中文/英文)

H01L 29/792, 29/115

(2006.01)

具有變化通道區介面之非揮發性記憶體

NONVOLATILE MEMORY HAVING MODIFIED
CHANNEL REGION INTERFACE

二、申請人：(共1人)

姓名或名稱：(中文/英文)

旺宏電子股份有限公司

MACRONIX INTERNATIONAL CO., LTD.

代表人：(中文/英文) 吳敏求 Wu, Miin Chyou

住居所或營業所地址：(中文/英文)

新竹科學工業園區力行路16號

No. 16, Li-Hsin Rd., Hsinchu Science Park, Hsinchu, Taiwan, R.O.C.

國籍：(中文/英文) 中華民國 Taiwan(R.O.C.)

三、發明人：(共1人)

姓名：(中文/英文)

1. 廖意瑛 LIAO, YI-YING

國籍：(中文/英文)

1. 中華民國 (R.O.C.)

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事
實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. USA, 2006/7/10, 60/806,840

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【相關申請案之參考文獻】

本發明主張發明人廖意瑛於2006年7月10日申請之美國專利臨時申請案號60/806,840之優先權，該案的名稱為溝槽通道非揮發性記憶體單元結構、製造方法及操作方法 (Recess-Channel Non-Volatile Memory Cell Structure, Manufacturing Methods and Operating Methods)。

【發明所屬之技術領域】

本發明是有關於非揮發性記憶體，且特別是有關於具有一變化通道區介面之非揮發性記憶體，變化通道區介面例如是一舉升之源極與汲極或一凹入之通道區。

【先前技術】

稱為EEPROM與快閃記憶體之電荷儲存結構的電性可程式化與可抹除非揮發性記憶體技術，係被使用於各種的現代化應用。複數個記憶體單元結構係為EEPROM與快閃記憶體所使用。當積體電路之尺寸縮小時，基於電荷捕捉介電層之記憶體單元結構之重要性係逐漸興起，此乃因為可調尺寸之能力與製程簡化之緣故。基於電荷捕捉介電層之記憶體單元結構包含以譬如業界稱為PHINES，SONOS或NROM之結構。這些記憶體單元結構係藉由在一電荷捕捉介電層(例如氮化矽)中捕捉電荷來儲存資料。當負電荷被捕捉時，記憶體單元之臨限電壓會增加。記憶

體單元之臨限電壓係藉由從電荷捕捉層移除負電荷而減少。

習知之非揮發性氮化物單元結構是平面的，以使氧化物-氮化物-氧化物(ONO)結構形成於基板之表面上。然而，這種平面的結構係具有微縮尺寸之能力不佳、程式化及抹除操作功率高，以及高片狀電阻值的性質。這種結構係說明於 YEH, C. C.等人，"PHINES：嶄新之低功率程式化/抹除、小間隔、單記憶胞雙位元之快閃記憶體(PHINES: A Novel Low Power Program/Erase, Small Pitch, 2-Bit per Cell Flash Memory)"，電子裝置會議，2002 年，IEDM '02. Digest. International, 8-11, 2002 年 12 月，頁數：931 - 934。

因此，需要修改此習知之非揮發性氮化物單元結構之平面結構，以處理上述一個或多個缺點。

【發明內容】

本發明係有關於一種具有變化通道區介面之非揮發性記憶體。

根據本發明之一第一方面，提出一種非揮發性記憶體單元積體電路，其包含一電荷捕捉結構、源極與汲極區，以及介電結構。電荷捕捉結構儲存電荷以控制由非揮發性記憶體單元積體電路儲存之一邏輯狀態。於各種不同的實施例中，此電荷捕捉結構儲存一個位元或多重位元。源極區與汲極區係由一通道區分離，通道區係為經歷反轉以電連接源極與汲極區之電路之一部分。介電結構在缺乏一電

場之情況下電性隔離此電路之複數個部分，以克服介電結構。介電結構係至少部分位於電荷捕捉結構與通道區之間，且係至少部分位於電荷捕捉結構與一閘極電壓源之間。

一介面將所述一個或多個介電結構之一部分與此通道區分離。此介面之一第一端結束於源極區之一中間部分，而此介面之一第二端結束於汲極區之一中間部分。

為了實施此介面，一實施例將源極區與汲極區舉升離非揮發性記憶體單元積體電路之一基板。於另一實施例中，此通道區係凹入非揮發性記憶體單元積體電路之一基板。

根據本發明之一第二方面，提出一種非揮發性記憶體單元積體電路之製造方法，其包含以下步驟：

形成一電荷捕捉結構來儲存電荷以控制由非揮發性記憶體單元積體電路儲存之一邏輯狀態，其中於各種不同的實施例中，電荷捕捉結構儲存一個位元或多重位元；

形成由一通道區分離之源極區與汲極區；及

形成介電結構，其至少部分位於電荷捕捉結構與通道區之間，且至少部分位於電荷捕捉結構與一閘極電壓源之間。

一介面分離一個或多個介電結構之一部分與通道區，而此介面之一第一端結束於源極區之一中間部分，此介面之一第二端結束於汲極區之一中間部分。

為了實施此介面，一實施例添加一層材料至此積體電

路之一基板，將源極區與汲極區舉升離非揮發性記憶體單元積體電路之一基板。另一實施例形成一溝槽於一基板中，以使電荷捕捉結構與介電結構形成於此溝槽中。

於本發明其他實施例中，電荷儲存結構係一為奈米晶體結構而非一電荷捕捉結構。

於本發明之其他實施例中，至少部分位於電荷捕捉結構與通道區之間之介電結構包含例如揭露於此之一種ONO結構。

為讓本發明之上述內容能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

第1圖係為一非揮發性記憶體單元之示意圖，非揮發性記憶體單元在源極區與汲極區之間具有一凹入之通道。

閘極102，在多數實施例中為部分之字元線，具有一閘極電壓 V_g 。於某些實施例中，閘極結構包含一材料，其功函數大於N型矽之本徵功函數，或大於約4.1 eV，且最好是大於約4.25 eV，譬如大於約5 eV。代表性的閘極材料包含P型多晶矽、氮化鈦、鉕與其他高功函數金屬及材料。適合本發明之實施例之具有相當高的功函數之其他材料包含：金屬，其包含但不限於鈦(Ru)、銱(Ir)、鎳(Ni)與鈷(Co)；金屬合金，其包含但不限於鈦-鈦與鎳-鈦；金屬氮化物；以及金屬氧化物，其包含但不限於氧化鈦(RuO_2)。高功函數閘極材料產生比典型的N型多晶矽閘極

較高的電子隧穿之注入阻障。具有二氧化矽作為外介電層之 N 型多晶矽閘極之注入阻障係在 3.15 eV 左右。因此，本發明之實施例使用供閘極用與供外介電層用之材料，係具有一注入阻障，其高於約 3.15 eV，例如高於約 3.4 eV，且最好是高於約 4 eV。關於具有二氧化矽外介電層之 P 型多晶矽閘極，其注入阻障大約是 4.25 eV，且相對於具有含二氧化矽外介電層之 N 型多晶矽閘極之單元而言，所產生之收斂單元之閾值係被減少大約 2 伏特。

介電結構 104 係位於閘極 102 與電荷儲存結構 106 之間。另一介電結構 108 係位於電荷儲存結構 106 與通道區 114 之間。代表性介電材料包含具有大約 2 至 10 奈米之厚度之二氧化矽與氮氧化矽，或其他類似的高介電常數材料，其包含譬如氧化鋁(Al_2O_3)。

電荷儲存結構 106 儲存電荷以控制由非揮發性記憶體單元所儲存之邏輯狀態。較先之實施例之電荷儲存結構是會導電的，譬如多晶矽，以使儲存電荷擴展遍及此電荷儲存結構。較新的實施例之電荷儲存結構係為電荷捕捉與奈米晶體結構。這種較新的實施例不像導電材料，會將電荷儲存於電荷儲存結構之特定位置，藉以啟動不同位置之電荷儲存結構以儲存分別的邏輯狀態。代表性的電荷捕捉結構包含具有大約 3 至 9 奈米之厚度之氮化矽。

源極區 110 具有一源極電壓 V_s ，而汲極區 112 具有一汲極電壓 V_d 。源極區 110 與汲極區 112 在多數的實施例中為部分之位元線，且其特徵為一接面深度 120。本體區

122 在多數的實施例中是一基板或一井，且具有一本體電壓 V_b 。為因應被施加至閘極 102、源極 110、汲極 112 及本體 122 之適當的偏壓配置，形成一通道 114 電連接源極 110 與汲極 112。

源極與汲極區 116 之上邊緣係高於在通道 114 與介電結構 108 之間的介面 118。然而，在通道 114 與介電結構 108 之間的介面 118 維持在源極與汲極區之下邊緣上方。因此，在通道 114 與介電結構 108 之間之介面 118 結束於源極區 110 與汲極區 112 之中間區域。

源極區 110 與汲極區 112 之上邊緣係與本體區 122 之上邊緣排成一線。因此，第 1 圖之非揮發性記憶體單元係為凹入通道之實施例。

第 2 圖係為一非揮發性記憶體單元之示意圖，非揮發性記憶體單元具有舉升離半導體基板之源極區與汲極區。第 1 圖與 2 之非揮發性記憶體單元實質上是類似的。然而，源極區 210 與汲極區 212 之上邊緣係位於本體區 122 之上邊緣的上方。因此，第 2 圖之非揮發性記憶體單元係為舉升之源極與汲極之實施例。在通道 214 與介電結構 208 之間之介面 218 仍然結束於源極區 210 與汲極區 212 之中間區域。源極區 210 與汲極區 212 之特徵為一接面深度 220。

第 3A 圖係為在具有凹入通道之非揮發性記憶體單元中，電子從閘極注入至電荷儲存結構之示意圖。

閘極區 302 具有 $-10V$ 之閘極電壓 V_g 。源極區 304 具

有 10V 或浮動之源極電壓 V_s 。汲極區 306 具有 10V 或浮動之汲極電壓 V_d 。本體區 308 具有 10V 之本體電壓 V_b 。

第 3B 圖係為在具有舉升之源極區與汲極區之非揮發性記憶體單元中，電子從閘極注入至電荷儲存結構之示意圖。第 3B 圖之偏壓配置係類似於第 3A 圖。

第 4A 圖係為在具有凹入通道之非揮發性記憶體單元中，電子從基板注入至電荷儲存結構之示意圖。

閘極區 402 具有 10V 之閘極電壓 V_g 。源極區 404 具有 -10V 或浮動之源極電壓 V_s 。汲極區 406 具有 -10V 或浮動之汲極電壓 V_d 。本體區 408 具有 -10V 之本體電壓 V_b 。

第 4B 圖係為在具有舉升之源極區與汲極區之非揮發性記憶體單元中，電子從基板注入至電荷儲存結構之示意圖。第 4B 圖之偏壓配置係類似於第 4A 圖。

第 5A 圖係為在具有凹入通道之非揮發性記憶體單元中，帶間(band-to-band)熱電子注入至電荷儲存結構之示意圖。

閘極區 502 具有 10V 之閘極電壓 V_g 。p+型源極區 504 具有 -5V 之源極電壓 V_s 。p+型汲極區 506 具有 0V 或浮動之汲極電壓 V_d 。N 型本體區 508 具有 0V 之本體電壓 V_b 。

第 5B 圖係為在具有舉升之源極區與汲極區之非揮發性記憶體單元中，帶間熱電子注入至電荷儲存結構之示意圖。第 5B 圖之偏壓配置係類似於第 5A 圖。

第 6A 圖係為在具有凹入通道之非揮發性記憶體單元中，通道熱電子注入至電荷儲存結構之示意圖。

閘極區 602 具有 10V 之閘極電壓 V_g 。n+型源極區 604 具有 -5V 之源極電壓 V_s 。n+型汲極區 606 具有 0V 之汲極電壓 V_d 。P 型本體區 608 具有 0V 之本體電壓 V_b 。

第 6B 圖係為在具有舉升之源極區與汲極區之非揮發性記憶體單元中，通道熱電子注入至電荷儲存結構之示意圖。第 6B 圖之偏壓配置係類似於第 6A 圖。

第 7A 圖係為在具有凹入通道之非揮發性記憶體單元中，基板熱電子注入至電荷儲存結構之示意圖。

閘極區 702 具有 10V 之閘極電壓 V_g 。n+型源極區 704 具有 0V 之源極電壓 V_s 。n+型汲極區 706 具有 0V 之汲極電壓 V_d 。N 型本體區 708 具有 -6V 之本體電壓 V_b 。P 型井區 710 具有 -5V 之井電壓 V_w 。源極區 704 與汲極區 706 係位於此井區 710 中，而井區 710 位於本體區 708 中。

第 7B 圖係為在具有舉升之源極區與汲極區之非揮發性記憶體單元中，基板熱電子注入至電荷儲存結構之示意圖。第 7B 圖之偏壓配置係類似於第 7A 圖。

第 8A 圖係為在具有凹入通道之非揮發性記憶體單元中，電洞從閘極注入至電荷儲存結構之示意圖。

閘極區 802 具有 10V 之閘極電壓 V_g 。源極區 804 具有 -10V 或浮動之源極電壓 V_s 。汲極區 806 具有 -10V 或浮動之汲極電壓 V_d 。本體區 808 具有 -10V 之本體電壓 V_b 。

第 8B 圖係為在具有舉升之源極區與汲極區之非揮發性記憶體單元中，電洞從閘極注入至電荷儲存結構之示意圖。第 8B 圖之偏壓配置係類似於第 8A 圖。

第 9A 圖係為在具凹入通道之非揮發性記憶體單元中，電洞從基板注入至電荷儲存結構之示意圖。

閘極區 902 具有 -10V 之閘極電壓 V_g 。源極區 904 具有 10V 或浮動之源極電壓 V_s 。汲極區 906 具有 10V 或浮動之汲極電壓 V_d 。本體區 908 具有 10V 之本體電壓 V_b 。

第 9B 圖係為在具有舉升之源極區與汲極區之非揮發性記憶體單元中，電洞從基板注入至電荷儲存結構之示意圖。第 9B 圖之偏壓配置係類似於第 9A 圖。

第 10A 圖係為在具有凹入通道之非揮發性記憶體單元中，帶間熱電洞注入至電荷儲存結構之示意圖。

閘極區 1002 具有 -10V 之閘極電壓 V_g 。n+型源極區 1004 具有 5V 之源極電壓 V_s 。n+型汲極區 1006 具有 0V 或浮動之汲極電壓 V_d 。P 型本體區 1008 具有 0V 之本體電壓 V_b 。

第 10B 圖係為在具有舉升之源極區與汲極區之非揮發性記憶體單元中，帶間熱電洞注入至電荷儲存結構之示意圖。第 10B 圖之偏壓配置係類似於第 10A 圖。

第 11A 圖係為在具有凹入通道之非揮發性記憶體單元中，通道熱電洞注入至電荷儲存結構之示意圖。

閘極區 1102 具有 -10V 之閘極電壓 V_g 。p+型源極區 1104 具有 0V 之源極電壓 V_s 。p+型汲極區 1106 具有 5V 之汲極電壓 V_d 。N 型本體區 1108 具有 0V 之本體電壓 V_b 。

第 11B 圖係為在具有舉升之源極區與汲極區之非揮發性記憶體單元中，通道熱電洞注入至電荷儲存結構之示

意圖。第 11B 圖之偏壓配置係類似於第 11A 圖。

第 12A 圖係為在具有凹入通道之非揮發性記憶體單元中，基板熱電洞注入至電荷儲存結構之示意圖。

閘極區 1202 具有 -10V 之閘極電壓 V_g 。p+型源極區 1204 具有 0V 之源極電壓 V_s 。p+型汲極區 1206 具有 0V 之汲極電壓 V_d 。P 型本體區 1208 具有 6V 之本體電壓 V_b 。N 型井區 1210 具有 5V 之井電壓 V_w 。源極區 1204 與汲極區 1206 係位於井區 1210 中，而井區 1210 位於本體區 1208 中。

第 12B 圖係為在具有舉升之源極區與汲極區之非揮發性記憶體單元中，基板熱電洞注入至電荷儲存結構之示意圖。第 12B 圖之偏壓配置係類似於第 12A 圖。

第 13A 圖係為在具有凹入通道之非揮發性記憶體單元中，用以讀取儲存於電荷儲存結構之右側之資料之一反向讀取操作之示意圖。

閘極區 1302 具有 3V 之閘極電壓 V_g 。n+型源極區 1304 具有 1.5V 之源極電壓 V_s 。n+型汲極區 1306 具有 0V 之汲極電壓 V_d 。P 型本體區 1308 具有 0V 之本體電壓 V_b 。

第 13B 圖係為在具有舉升之源極區與汲極區之非揮發性記憶體單元中，用以讀取儲存於電荷儲存結構之右側之資料之反向讀取操作之示意圖。第 13B 圖之偏壓配置係類似於第 13A 圖。

第 14A 圖係為在具有凹入通道之非揮發性記憶體單元中，用以儲存位於電荷儲存結構之左側之資料之反向讀

取操作之示意圖。

閘極區 1402 具有 3V 之閘極電壓 V_g 。n+型源極區 1404 具有 0V 之源極電壓 V_s 。n+型汲極區 1406 具有 1.5V 之汲極電壓 V_d 。P 型本體區 1408 具有 0V 之本體電壓 V_b 。

第 14B 圖係為在具有舉升之源極區與汲極區之非揮發性記憶體單元中，用以儲存位於電荷儲存結構之左側之資料之反向讀取操作之示意圖。第 14B 圖之偏壓配置係類似於第 14A 圖。

第 15A 圖係為在具有凹入通道之非揮發性記憶體單元中，用以讀取儲存於電荷儲存結構之右側之資料之一帶間讀取操作之示意圖。

閘極區 1502 具有 -10V 之閘極電壓 V_g 。n+型源極區 1504 具有浮動之源極電壓 V_s 。n+型汲極區 1506 具有 2V 之汲極電壓 V_d 。P 型本體區 1508 具有 0V 之本體電壓 V_b 。

第 15B 圖係為在具有舉升之源極與汲極區之非揮發性記憶體單元中，用以讀取儲存於電荷儲存結構之右側之資料之一帶間讀取操作之示意圖。第 15B 圖之偏壓配置係類似於第 15A 圖。

第 16A 圖係為在具有凹入通道之非揮發性記憶體單元中，用以儲存位於電荷儲存結構之左側之資料之帶間讀取操作之示意圖。

閘極區 1602 具有 -10V 之閘極電壓 V_g 。n+型源極區 1604 具有 2V 之源極電壓 V_s 。n+型汲極區 1606 具有浮動之汲極電壓 V_d 。P 型本體區 1608 具有 0V 之本體電壓 V_b 。

第 16B 圖係為在具有舉升之源極區與汲極區之非揮發性記憶體單元中，用以儲存位於電荷儲存結構之左側之資料之帶間讀取操作之示意圖。第 16B 圖之偏壓配置係類似於第 16A 圖。

由於結合之垂直與橫向電場之緣故，流經非揮發性記憶體單元結構之帶間電流以高準確度決定電荷儲存結構之特定部分之電荷儲存狀態。較大的垂直與橫向電場導致較大的帶間電流。一種偏壓配置係被應用至各種不同的端子，以使這些能帶彎曲到足以在非揮發性記憶體單元結構中產生帶間電流，同時將在非揮發性記憶體單元節點之間之電位差保持為足夠低，以使程式化或抹除不會產生。

於偏壓配置之例子中，非揮發性記憶體單元結構係相對於主動源極區或汲極區與本體區被逆向偏壓，產生逆向偏壓之接面。此外，閘極結構之電壓導致這些能帶彎曲成足以使帶間隧穿經由非揮發性記憶體單元結構而產生。在其中一個非揮發性記憶體單元結構節點(於多數的實施例中是源極區或汲極區)中之高摻雜濃度。其中此結構節點具有所產生之空間電荷區域之高電荷密度，以及此空間電荷區域在短距離內之電壓改變，有助於產生急遽的能帶彎曲。位於逆向偏壓之接面之一側上之此價帶之電子經由被禁止的間隙遂穿至在逆向偏壓之接面之另一側上之導帶，並向下漂移至勢能丘(potential hill)，更深入至逆向偏壓之接面之 N 型節點。類似地，電洞漂移過勢能丘，遠離逆向偏壓之接面之 N 型節點，並朝向逆向偏壓之接面之 P

型節點。

閘極區之電壓控制位於電荷儲存結構附近之逆向偏壓之接面之部分之電壓。當閘極結構之電壓變成更負時，位於電荷儲存結構之附近之逆向偏壓之接面之此部分之電壓變成更負，導致二極體結構中之更深的能帶彎曲。因為以下(1)與(2)之至少某些組合之結果，更多帶間電流會流動：(1)在彎曲能帶之一側之被佔據的電子能階與彎曲能帶之另一側之未被佔據的電子能階之間漸增重疊量；以及(2)在被佔據的電子能階與未被佔據的電子能階之間之更狹小之阻絕寬度(Sze, Physics of Semiconductor Devices, 1981)。

儲存於電荷儲存結構上之淨負或淨正電荷更進一步影響能帶彎曲度。依據高斯定律，當負電壓相對於逆向偏壓之接面被施加至閘極區時，較強電場係由靠近具有相當高的淨負電荷之電荷儲存結構之部分之逆向偏壓之接面之部分所經歷。類似地，當正電壓相對於逆向偏壓之接面被施加至閘極區時，較強電場係由靠近具有相當高的淨正電荷之電荷儲存結構之部分之逆向偏壓之接面之部分所經歷。

關於讀取之不同的偏壓配置以及關於程式化與抹除之偏壓配置顯示出慎重之平衡。關於讀取，在逆向偏壓之接面節點之間之電位差不應導致載荷子之實質上的數目通過一介電材料至電荷儲存結構並影響電荷儲存狀態(亦即，程式化邏輯位準)。相較之下，關於程式化與抹除，在

逆向偏壓之接面節點之間之電位差足以導致載子之實質上的數目通過一介電材料並藉由帶間熱載子注入來影響電荷儲存狀態。

第 17 圖係具有一凹入通道之一非揮發性記憶體單元陣列之製造流程圖，其顯示第 19 至 23 圖之製程步驟之各種可能的組合。第 17 圖揭露下述的處理流程組合：第 19 與 22 圖；第 19 與 23 圖；第 20 與 22 圖；第 20 與 23 圖；第 21 與 22 圖；以及第 21 與 23 圖。這些組合伴隨著後端處理。

第 18A 與 18B 圖係為具有舉升之源極區與汲極區之非揮發性記憶體單元陣列之製造流程圖。

第 18A 圖係具有舉升之源極區與汲極區之一 NOR 非揮發性記憶體單元陣列之製造流程圖，其顯示第 24 至 27 圖之製程步驟之各種可能的組合。第 18A 圖揭露下述的處理流程組合：第 24、25 與 27 圖；以及第 24、26 與 27 圖。這些組合伴隨著後端處理。

第 18B 圖係具有舉升之源極區與汲極區之一 NAND 非揮發性記憶體單元陣列之製造流程圖，其顯示第 28 至 30 圖之製程步驟之各種可能的組合。第 18B 圖揭露下述的處理流程組合：第 28 與 29 圖；以及第 28 與 30 圖。這些組合伴隨著後端處理。

第 19A 至 19C 圖係為在第 22 或 23 圖之前，在具有刻有溝槽之通道之非揮發性記憶體單元中，用以形成一溝槽之製程步驟。於第 19A 圖中，氧化物 1910 係沈積於基

板 1900 上。光阻係被沈積並刻以圖案，且被刻以圖案之光阻係用以依據光阻圖案來移除氧化物之數個部分。於第 19B 圖中，殘留的光阻 1922 保護殘留的氧化物 1912。殘留的光阻係被移除，且未被氧化物覆蓋的基板係被蝕刻。於第 19C 圖中，溝槽 1930 係被蝕刻至未被氧化物 1912 覆蓋的基板 1900 中。

第 20A 至 20E 圖係為在第 22 或 23 圖以前，在非揮發性記憶體單元中形成一溝槽之前，用以縮小一閘極長度之製程步驟。第 20A 至 20E 圖係為在第 22 或 23 圖以前，用以在一非揮發性記憶體單元中形成一溝槽之前縮小一閘極長度之製程步驟。第 20A 至 20C 圖係類似於第 19A 至 19C 圖。於第 20D 圖中，一間隙壁 2040 係沈積至此溝槽中，殘留下一較小溝槽 1932。於第 20E 圖中，溝槽之底部旁之間隙壁部分係被蝕刻，殘留下間隙壁 2042。此種閘極長度縮小可留下相較於第 19 圖之較小閘極長度。

第 21A 至 21E 圖係為在第 22 或 23 圖以前，在非揮發性記憶體單元中形成一溝槽之前，用以擴大一閘極長度之製程步驟。第 21A 至 21B 圖係類似於第 19A 至 19B 圖。於第 21C 圖中，殘留的被刻以圖案之光阻係被移除，露出圖案化之氧化物 1912。於第 21D 圖中，此圖案化之氧化物係被蝕刻，殘留下較小的圖案化之氧化物 2112。於第 21E 圖中，溝槽 2132 係被蝕刻凹入至未被氧化物 2112 覆蓋的之基板 1900 中。此種閘極長度比例調整會留下相較於第 19 圖之較長的閘極長度。

第 22A 至 22K 圖係為在第 19、20 或 21 圖以後之結束製程步驟，用以形成一 NOR 非揮發性記憶體單元陣列，每個 NOR 非揮發性記憶體單元位於一溝槽中，以使每個非揮發性記憶體單元具有一凹入通道。在第 22A 圖中，例如 ONO 層之介電材料與電荷儲存結構 2250 係形成於溝槽中，從而殘留下較小溝槽 2232。在第 22B 圖中，沈積例如多晶矽之閘極材料 2260。在第 22C 圖中，閘極材料係被蝕刻，從而殘留下閘極材料 2262 在溝槽之內部。在第 22D 圖中，例如 SiN 之介電材料 2270 係沈積於閘極材料 2262 上。在第 22E 圖中，此介電材料係被蝕刻，而殘留下介電材料 2272 在溝槽之內部。在第 22F 圖中，殘留的圖案化之氧化物係被移除。於此時點，閘極材料 2262 與氧化物 2272 之堆疊上升高於基板之表面。在第 22G 圖中，離子植入法形成源極區 2280 與汲極區 2282。在第 22H 圖中，沈積例如 HDP 氧化物之氧化物 2290。在第 22I 圖中，例如藉由 CMP、回浸(dip-back)或回蝕來移除覆蓋氧化物 2272 之過剩的氧化物。在第 22J 圖中，移除氧化物 2272。在第 22K 圖中，沈積額外閘極材料而形成閘極區 2264。

第 23A 至 23E 圖係為在第 19、20 或 21 圖以後之結束製程步驟，用以形成一 NAND 非揮發性記憶體單元陣列，每個 NAND 非揮發性記憶體單元位於一溝槽中，以使每個非揮發性記憶體單元具有一凹入通道。在第 23A 圖中，例如 ONO 層之介電材料與電荷儲存結構 2250 係形成於溝槽中，從而殘留下較小溝槽 2232。在第 23B 圖中，沈

積例如多晶矽之閘極材料 2260。在第 23C 圖中，過剩的閘極材料係例如藉由 CMP 而被移除，從而暴露 ONO 層。在第 23D 圖中，殘留的圖案化之氧化物係被移除。於此時點，閘極材料 2262 上升高於基板之表面。在第 23E 圖中，離子植入法形成源極區 2380 與汲極區 2382。

第 24A 至 24D 圖係為在第 25 或 26 圖以前之開始製程步驟，用以形成在一 NOR 陣列中之一非揮發性記憶體單元之舉升之源極區與汲極區。在第 24A 圖中，例如 ONO 層之介電材料與電荷儲存結構 2410 係沈積於基板 2400 上。在第 24B 圖中，沈積例如多晶矽之閘極材料，例如 SiN 之氧化物材料係沈積於閘極材料上，而形成光刻 (photolithographic) 結構，殘留下 SiN 2430、多晶矽 2420 與 ONO 2412 之堆疊。在第 24C 圖中，形成間隙壁 2440。在第 24D 圖中，蝕刻間隙壁，而殘留下間隙壁側壁 2442。

第 25A 至 25B 圖係為在第 24 圖以後且在第 27 圖以前之結束製程步驟，其使用磊晶矽以形成在一 NOR 陣列中之一非揮發性記憶體單元之舉升之源極區與汲極區。在第 25A 圖中，沈積磊晶矽 2550。在第 25B 圖中，離子植入法形成源極區 2560 與汲極區 2562。

第 26A 至 26C 圖係在第 24 圖以後且在第 27 圖以前之結束製程步驟，其使用多晶矽以形成在一 NOR 陣列中之一非揮發性記憶體單元之舉升之源極區與汲極區。在第 26A 圖中，沈積多晶矽 2650。在第 26B 圖中，回蝕此多晶矽以留下多晶矽 2652。在第 26C 圖中，離子植入法形成源

極區 2660 與汲極區 2662。

第 27A 至 27D 圖係在第 25 或 26 圖以前之結束製程步驟，用以形成一 NOR 非揮發性記憶體單元陣列，每個 NOR 非揮發性記憶體單元都具有舉升之源極區與汲極區。在第 27A 圖中，沈積例如 HDP 氧化物之介電材料，而覆蓋包含間隙壁側壁與氧化物 2430 之結構。在第 27B 圖中，例如藉由 CMP、回浸(dip-back)或回蝕來移除覆蓋氧化物 2430 之過剩的氧化物，而殘留下氧化物 2772 圍繞間隙壁側壁。在第 27C 圖中，移除氧化物 2430。在第 27D 圖中，沈積額外閘極材料以形成閘極區 2722。

第 28A 至 28D 圖係為在第 29 或 30 圖以前之開始製程步驟，用以形成一 NAND 非揮發性記憶體單元陣列，每個 NAND 非揮發性記憶體單元具有舉升之源極區與汲極區。在第 28A 圖中，例如 ONO 層之介電材料與電荷儲存結構 2810 係沈積於基板 2800 上。在第 28B 圖中，沈積例如多晶矽之閘極材料，形成光刻結構，而殘留下多晶矽 2820 與 ONO 2812 之堆疊。於第 28C 圖中，形成一間隙壁 2840。於第 28D 圖，蝕刻此間隙壁，而殘留下間隙壁側壁 2842。

第 29A 至 29B 圖係為在第 28 圖以後之結束製程步驟，其使用磊晶矽以形成一 NAND 非揮發性記憶體單元陣列，每個 NAND 非揮發性記憶體單元都具有舉升之源極區與汲極區。在第 29A 圖中，沈積磊晶矽 2950。在第 29B 圖中，離子植入法形成源極區 2960 與汲極區 2962。

第 30A 至 30C 圖係為在第 28 圖以後之結束製程步驟，其使用多晶矽以形成一 NAND 非揮發性記憶體單元陣列，每個 NAND 非揮發性記憶體單元都具有舉升之源極區與汲極區。第 30A 至 30C 圖係為在第 24 圖以後且在第 27 圖以前之結束製程步驟，其使用多晶矽以形成在一 NOR 陣列中之一非揮發性記憶體單元之舉升之源極區與汲極區。在第 30A 圖中，沈積多晶矽 3050。在第 30B 圖中，回蝕多晶矽以留下多晶矽 3052。在第 30C 圖中，離子植入法形成源極區 3060 與汲極區 3062。

第 31 圖係為具有如揭露於此之變化通道區介面之例示的非揮發性記憶體積體電路之方塊圖。

積體電路 3150 包含位於半導體基板上之非揮發性記憶體單元之一記憶體陣列 3100。陣列 3100 之每個記憶體單元具有一變化通道區介面，例如凹入通道區，或舉升之源極區與汲極區。陣列 3100 之記憶體單元可能是個別的單元，其互相連接成一陣列，或互相連接成多重陣列。列解碼器 3101 係連接至複數條字線 3102，其沿著記憶體陣列 3100 之列配置。行解碼器 3103 係連接至複數條位元線 3104，其沿著記憶體陣列 3100 之行配置。於匯流排 3105 上之位址係提供至行解碼器 3103 與列解碼器 3101。感測放大器與資料輸入結構 3106 係經由資料匯流排 3107 而連接至行解碼器 3103。資料係經由資料輸入線 3111，而從積體電路 3150 上之輸入/輸出埠，或從在積體電路 3150 之內部或外部之其他資料源提供至方塊 3106 中之資料輸

入結構。資料係經由資料輸出線 3115 而從方塊 3106 上之感測放大器提供至積體電路 3150 上之輸入/輸出埠，或提供至在積體電路 3150 之內部或外部之其他資料目標。一偏壓配置狀態機 3109 控制偏壓配置供應電壓 3108(例如抹除確認與程式化確認電壓)之施加，以及用以程式化、抹除及讀取記憶體單元之配置。

第 32 圖係為在源極與汲極區之間具有一凹入通道之一非揮發性記憶體單元之示意圖，藉以使下介電結構具有三層薄 ONO 結構。此結構類似第 1 圖之非揮發性記憶體單元，但是此介電結構 108(在電荷儲存結構 108 與通道區 114 之間)係被三層薄 ONO 結構 3208 所置換。ONO 結構 3208 具有一小電洞隧穿阻絕位障，例如少於或等於大約 4.5 eV，或最好是少於或等於大約 1.9 eV。ONO 結構 3208 之接近例示的厚度範圍係如下。關於下氧化物： < 20 埃，5-20 埃，或 < 15 埃。關於中間的氮化物： < 20 埃或 10-20 埃。關於上氧化物： < 20 埃或 15-20 埃。第 32 圖之記憶體單元之某些實施例係以 SONONOS 或能帶隙工程 (bandgap engineered, BE)-SONOS 表示。三層薄 ONO 結構 3208 之各種不同的實施例之額外細節係揭露於美國專利申請案號 11/324,540，其於此併入作參考。

第 33 圖係為具有舉升離半導體基板之源極區與汲極區之非揮發性記憶體單元之示意圖，藉以使下介電結構具有三層薄 ONO 結構 3208。

綜上所述，雖然本發明已以一較佳實施例揭露如上，

然其並非用以限定本發明。本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾。因此，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖係為一非揮發性記憶體單元之示意圖，非揮發性記憶體單元在源極區與汲極區之間具有一凹入通道。

第 2 圖係為一非揮發性記憶體單元之示意圖，非揮發性記憶體單元具有舉升離半導體基板之源極區與汲極區。

第 3A 圖係為在具有凹入通道之非揮發性記憶體單元中，電子從閘極注入至電荷儲存結構之示意圖。

第 3B 圖係為在具有舉升之源極區與汲極區之非揮發性記憶體單元中，電子從閘極注入至電荷儲存結構之示意圖。

第 4A 圖係為在具有凹入通道之非揮發性記憶體單元中，電子從基板注入至電荷儲存結構之示意圖。

第 4B 圖係為在具有舉升之源極區與汲極區之非揮發性記憶體單元中，電子從基板注入至電荷儲存結構之示意圖。

第 5A 圖係為在具有凹入通道之非揮發性記憶體單元中，帶間熱電子注入至電荷儲存結構之示意圖。

第 5B 圖係為在具有舉升之源極區與汲極區之非揮發性記憶體單元中，帶間熱電子注入至電荷儲存結構之示意圖。

第 6A 圖係為在具有凹入通道之非揮發性記憶體單元中，通道熱電子注入至電荷儲存結構之示意圖。

第 6B 圖係為在具有舉升之源極區與汲極區之非揮發性記憶體單元中，通道熱電子注入至電荷儲存結構之示意圖。

圖。

第 7A 圖係為在具有凹入通道之非揮發性記憶體單元中，基板熱電子注入至電荷儲存結構之示意圖。

第 7B 圖係為在具有舉升之源極區與汲極區之非揮發性記憶體單元中，基板熱電子注入至電荷儲存結構之示意圖。

第 8A 圖係為在具有凹入通道之非揮發性記憶體單元中，電洞從閘極注入至電荷儲存結構之示意圖。

第 8B 圖係為在具有舉升之源極區與汲極區之非揮發性記憶體單元中，電洞從閘極注入至電荷儲存結構之示意圖。

第 9A 圖係為在具有凹入通道之非揮發性記憶體單元中，電洞從基板注入至電荷儲存結構之示意圖。

第 9B 圖係為在具有舉升之源極區與汲極區之非揮發性記憶體單元中，電洞從基板注入至電荷儲存結構之示意圖。

第 10A 圖係為在具有凹入通道之非揮發性記憶體單元中，帶間熱電洞注入至電荷儲存結構之示意圖。

第 10B 圖係為在具有舉升之源極區與汲極區之非揮發性記憶體單元中，帶間熱電洞注入至電荷儲存結構之示意圖。

第 11A 圖係為在具有凹入通道之非揮發性記憶體單元中，通道熱電洞注入至電荷儲存結構之示意圖。

第 11B 圖係為在具有舉升之源極區與汲極區之非揮

發性記憶體單元中，通道熱電洞注入至電荷儲存結構之示意圖。

第 12A 圖係為在具有凹入通道之非揮發性記憶體單元中，基板熱電洞注入至電荷儲存結構之示意圖。

第 12B 圖係為在具有舉升之源極區與汲極區之非揮發性記憶體單元中，基板熱電洞注入至電荷儲存結構之示意圖。

第 13A 圖係為在具有凹入通道之非揮發性記憶體單元中，用以讀取儲存於電荷儲存結構之右側之資料之一反向讀取操作之示意圖。

第 13B 圖係為在具有舉升之源極區與汲極區之非揮發性記憶體單元中，用以讀取儲存於電荷儲存結構之右側之資料之反向讀取操作之示意圖。

第 14A 圖係為在具有凹入通道之非揮發性記憶體單元中，用以儲存位於電荷儲存結構之左側之資料之反向讀取操作之示意圖。

第 14B 圖係為在具有舉升之源極區與汲極區之非揮發性記憶體單元中，用以儲存位於電荷儲存結構之左側之資料之反向讀取操作之示意圖。

第 15A 圖係為在具有凹入通道之非揮發性記憶體單元中，用以讀取儲存於電荷儲存結構之右側之資料之一帶間讀取操作之示意圖。

第 15B 圖係為在具有舉升之源極區與汲極區之非揮發性記憶體單元中，用以讀取儲存於電荷儲存結構之右側

之資料之一帶間讀取操作之示意圖。

第 16A 圖係為在具有凹入通道之非揮發性記憶體單元中，用以儲存位於電荷儲存結構之左側之資料之帶間讀取操作之示意圖。

第 16B 圖係為在具有舉升之源極區與汲極區之非揮發性記憶體單元中，用以儲存位於電荷儲存結構之左側之資料之帶間讀取操作之示意圖。

第 17 圖係具有一凹入通道之一非揮發性記憶體單元陣列之製造流程圖，其顯示第 19 至 23 圖之製程步驟之各種可能的組合。

第 18A 圖係具有舉升之源極區與汲極區之一 NOR 非揮發性記憶體單元陣列之製造流程圖，其顯示第 24 至 27 圖之製程步驟之各種可能的組合。

第 18B 圖係具有舉升之源極區與汲極區之一 NAND 非揮發性記憶體單元陣列之製造流程圖，其顯示第 28 至 30 圖之製程步驟之各種可能的組合。

第 19A 至 19C 圖係為在第 22 或 23 圖之前，在具有凹入通道之非揮發性記憶體單元中，用以形成一溝槽之製程步驟。

第 20A 至 20E 圖係為在第 22 或 23 圖以前，在非揮發性記憶體單元中形成一溝槽之前，用以縮小一閘極長度之製程步驟。

第 21A 至 21E 圖係為在第 22 或 23 圖以前，在非揮發性記憶體單元中形成一溝槽之前，用以擴大一閘極長度

之製程步驟。

第 22A 至 22K 圖係為在第 19、20 或 21 圖以後之結束製程步驟，用以形成一 NOR 非揮發性記憶體單元陣列，每個 NOR 非揮發性記憶體單元位於一溝槽中，以使每個非揮發性記憶體單元具有一凹入通道。

第 23A 至 23E 圖係為在第 19、20 或 21 圖以後之結束製程步驟，用以形成一 NAND 非揮發性記憶體單元陣列，每個 NAND 非揮發性記憶體單元位於一溝槽中，以使每個非揮發性記憶體單元具有一凹入通道。

第 24A 至 24D 圖係為在第 25 或 26 圖以前之開始製程步驟，用以形成在一 NOR 陣列中之一非揮發性記憶體單元之舉升之源極區與汲極區。

第 25A 至 25B 圖係為在第 24 圖以後且在第 27 圖以前之結束製程步驟，其使用磊晶矽以形成在一 NOR 陣列中之一非揮發性記憶體單元之舉升之源極區與汲極區。

第 26A 至 26C 圖係在第 24 圖以後且在第 27 圖以前之結束製程步驟，其使用多晶矽以形成在一 NOR 陣列中之一非揮發性記憶體單元之舉升之源極區與汲極區。

第 27A 至 27D 圖係在第 25 或 26 圖以前之結束製程步驟，用以形成一 NOR 非揮發性記憶體單元陣列，每個 NOR 非揮發性記憶體單元都具有舉升之源極區與汲極區。

第 28A 至 28D 圖係為在第 29 或 30 圖以前之開始製程步驟，用以形成一 NAND 非揮發性記憶體單元陣列，每個 NAND 非揮發性記憶體單元具有舉升之源極區與汲極

區。

第 29A 至 29B 圖係為在第 28 圖以後之結束製程步驟，其使用磊晶矽以形成一 NAND 非揮發性記憶體單元陣列，每個 NAND 非揮發性記憶體單元都具有舉升之源極區與汲極區。

第 30A 至 30C 圖係為在第 28 圖以後之結束製程步驟，其使用多晶矽以形成一 NAND 非揮發性記憶體單元陣列，每個 NAND 非揮發性記憶體單元都具有舉升之源極區與汲極區。

第 31 圖係為具有如揭露於此之變化通道區介面之例示的非揮發性記憶體積體電路之方塊圖。

第 32 圖係為在源極區與汲極區之間具有一凹入通道之一非揮發性記憶體單元之示意圖，藉以使下介電結構具有三層薄 ONO 結構。

第 33 圖係為具有舉升離半導體基板之源極區與汲極區之非揮發性記憶體單元之示意圖，藉以使下介電結構具有三層薄 ONO 結構。

【主要元件符號說明】

102、302、402、502、602、702、802、902、1002、
1102、1202、1302、1402、1502、1602、2264、2722：閘

極/閘極區

104：介電結構

106：電荷儲存結構

108：電荷儲存結構/介電結構

110、210、304、404、804、904、1204、2280、2380、
2560、2660、2960、3060：源極/源極區

112、212、306、406、806、906、1206、2282、2382、
2562、2662、2962、3062：汲極區/汲極

114、214：通道區/通道

116：源極與汲極區

118：介面

120：接面深度

122：本體/本體區

208：介電結構

218：介面

220：接面深度

308、408、808、908、1208：本體區

504、1104：p+型源極區

506、1106：p+型汲極區

508、708、1108：N型本體區

604、704、1004、1304、1404、1504、1604：n+型源

極區

606、706、1006、1306、1406、1506、1606：n+型汲

極區

608、1008、1308、1408、1508、1608：P型本體區

710、1210：井區

1900、2400、2800：基板

1910、1912、2112、2290、2772：氧化物

1922：光阻

1930、1932、2232：溝槽

2040、2042、2440、2840：間隙壁

2250：介電材料與電荷儲存結構

2260、2262：閘極材料

2270、2272：介電材料

2410：介電材料與電荷儲存結構

2412：ONO

2420、2650、2652、2820、3050、3052：多晶矽

2430：SiN/氧化物

2442、2842：間隙壁側壁

2550、2950：磊晶矽

2810：電荷儲存結構

2812：ONO

3100：記憶體陣列

3101：列解碼器

3102：字線

三達編號：TW3135PA

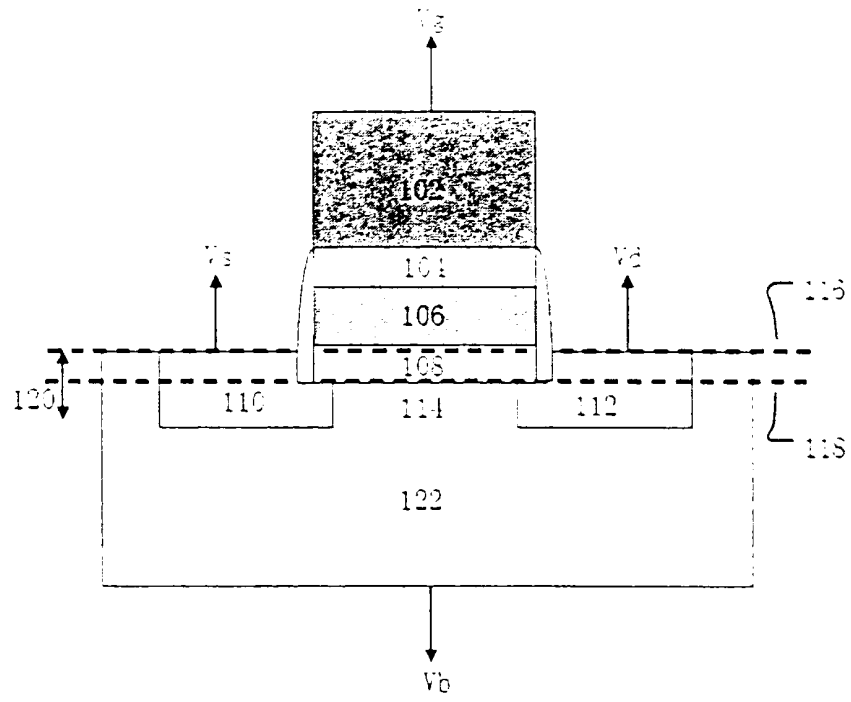
- 3103：行解碼器
- 3104：位元線
- 3105：匯流排
- 3106：感測放大器與資料輸入結構
- 3107：資料匯流排
- 3108：偏壓配置供應電壓
- 3109：偏壓配置狀態機
- 3111：資料輸入線
- 3115：資料輸出線
- 3150：積體電路
- 3208：ONO 結構

五、中文發明摘要：(中文案件名稱：具有變化通道區介面之非揮發性記憶體)

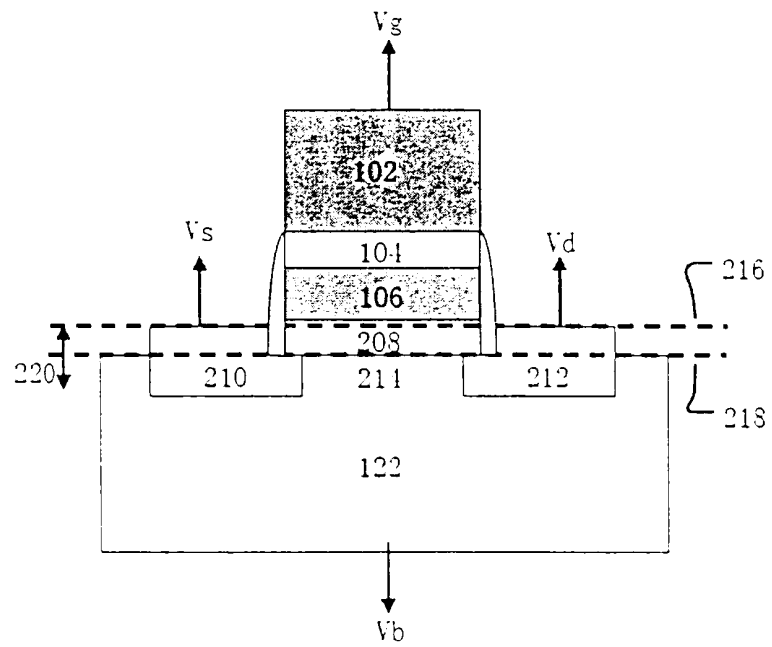
本發明是有關於一種非揮發性記憶體，其具有一變化通道區介面，例如一舉升之源極與汲極或一凹入通道區。

六、英文發明摘要：(英文案件名稱：NONVOLATILE MEMORY HAVING MODIFIED CHANNEL REGION INTERFACE)

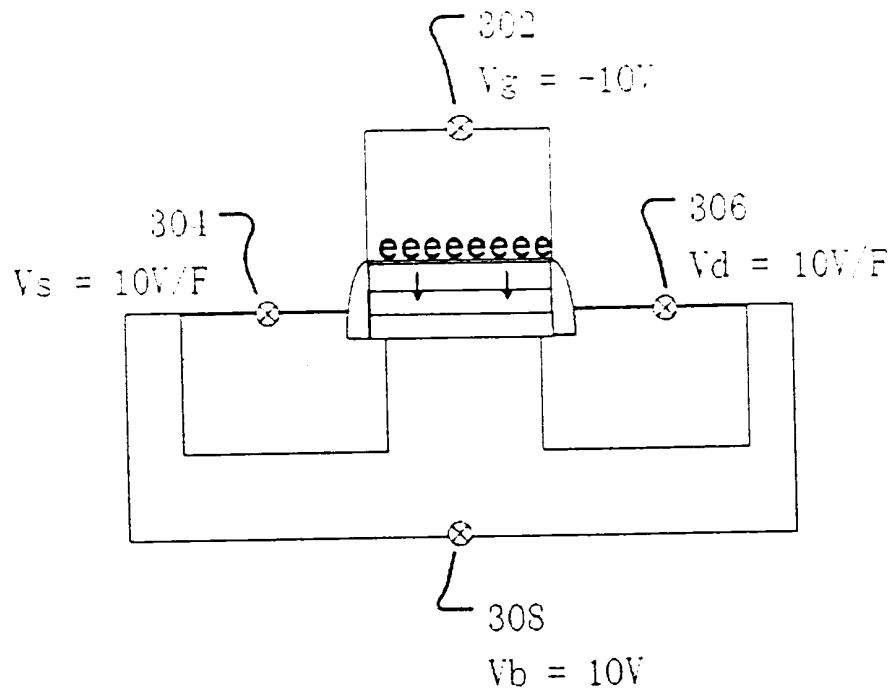
The technology relates to nonvolatile memory with a modified channel region interface, such as a raised source and drain or a recessed channel region.



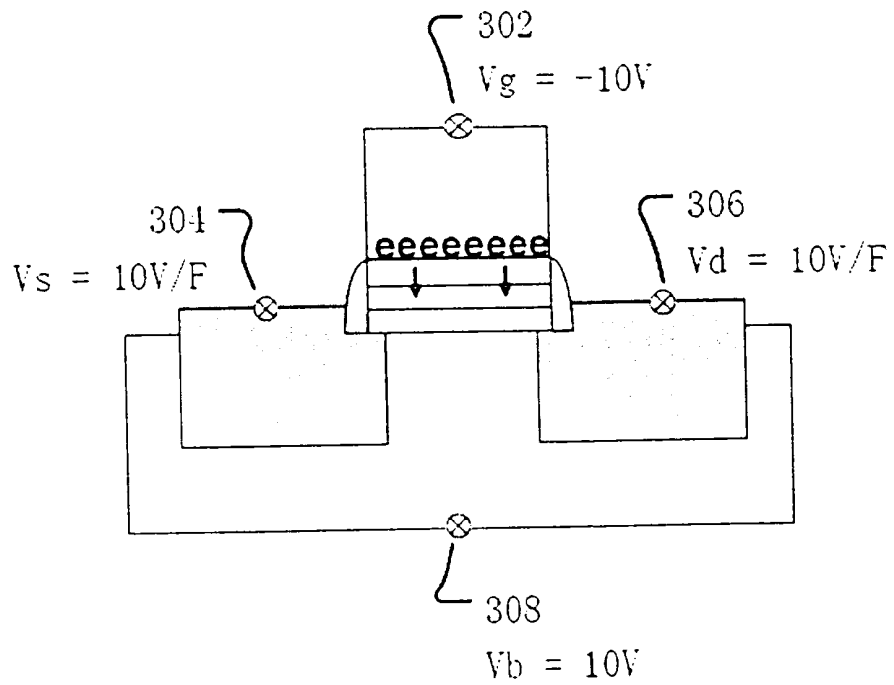
第 1 圖



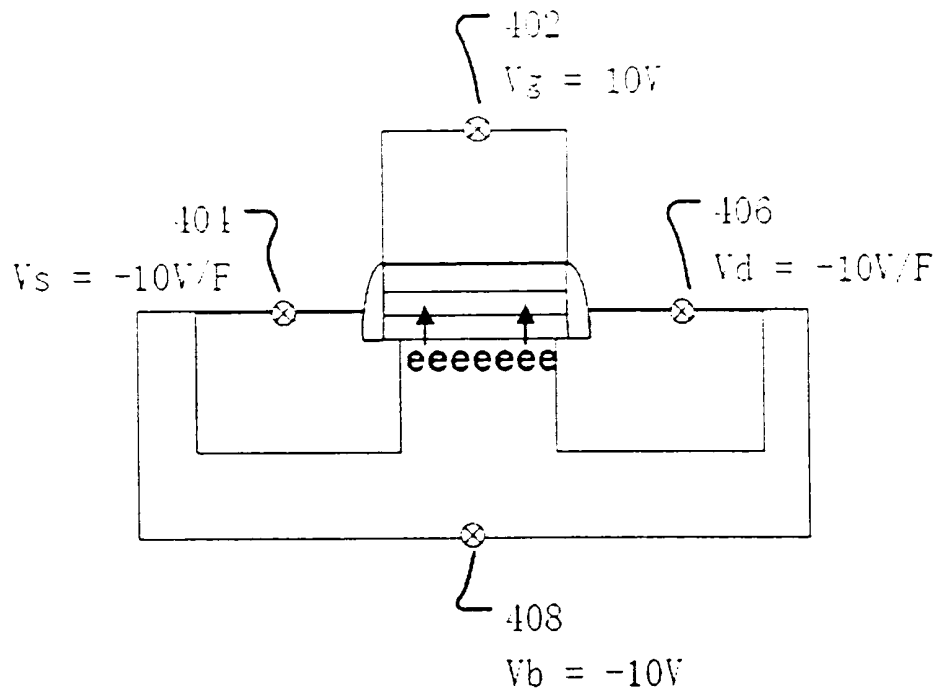
第 2 圖



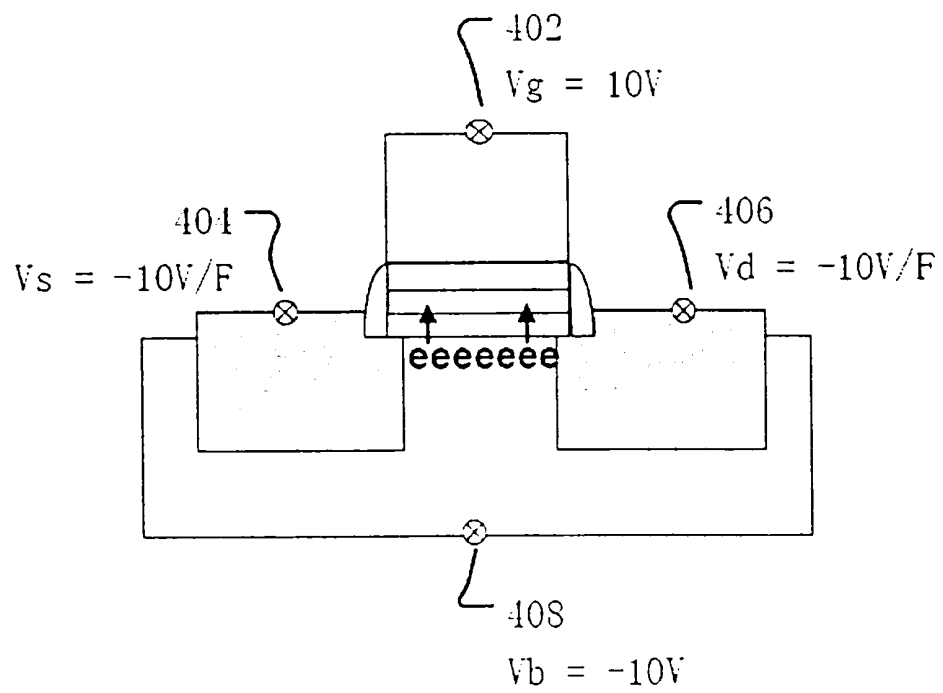
第 3A 圖



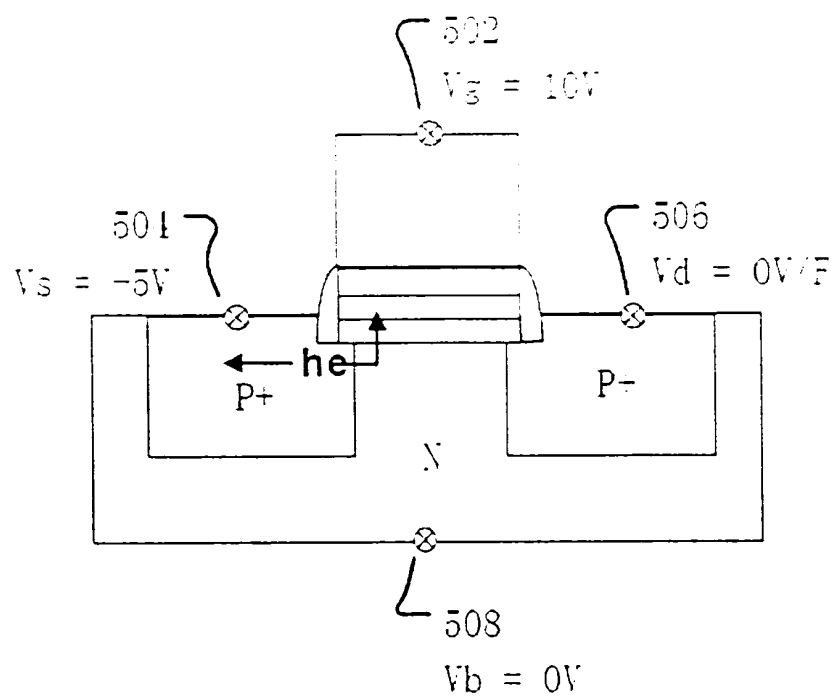
第 3B 圖



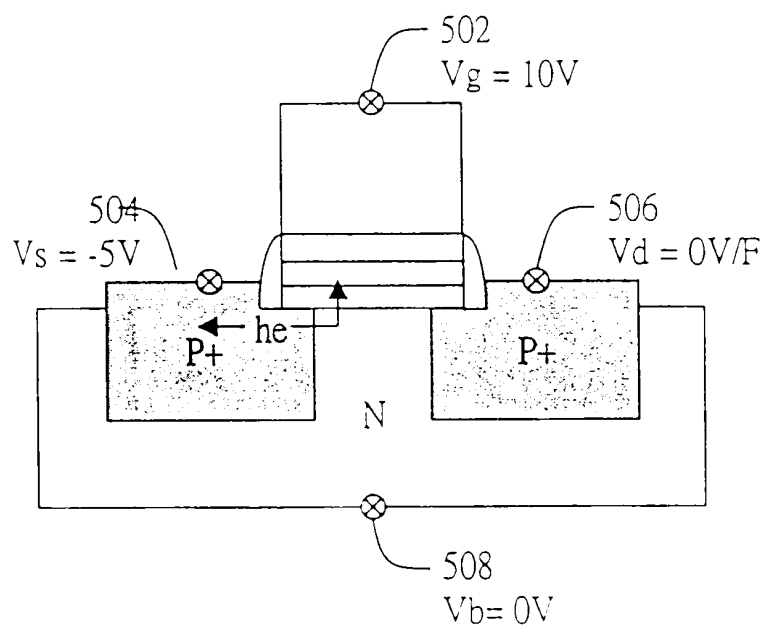
第 4A 圖



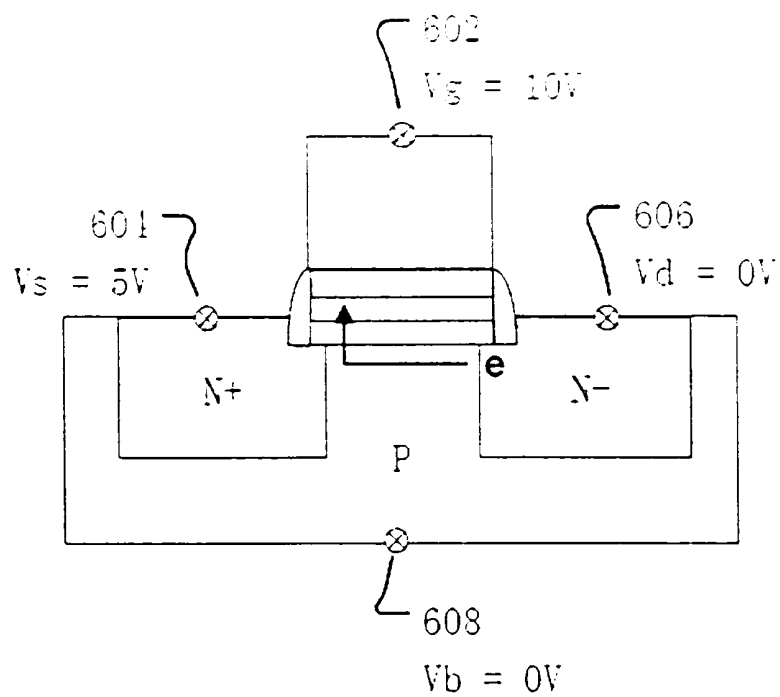
第 4B 圖



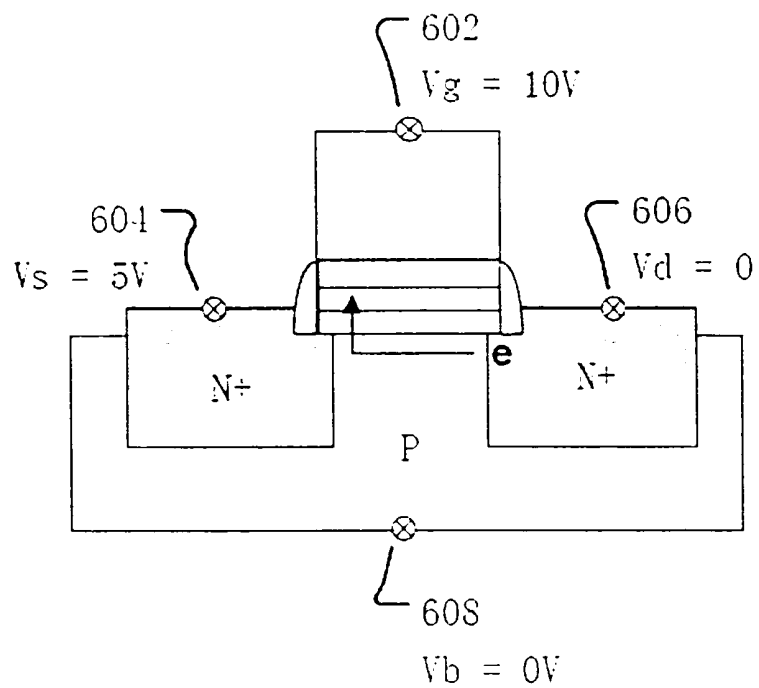
第 5A 圖



第 5B 圖



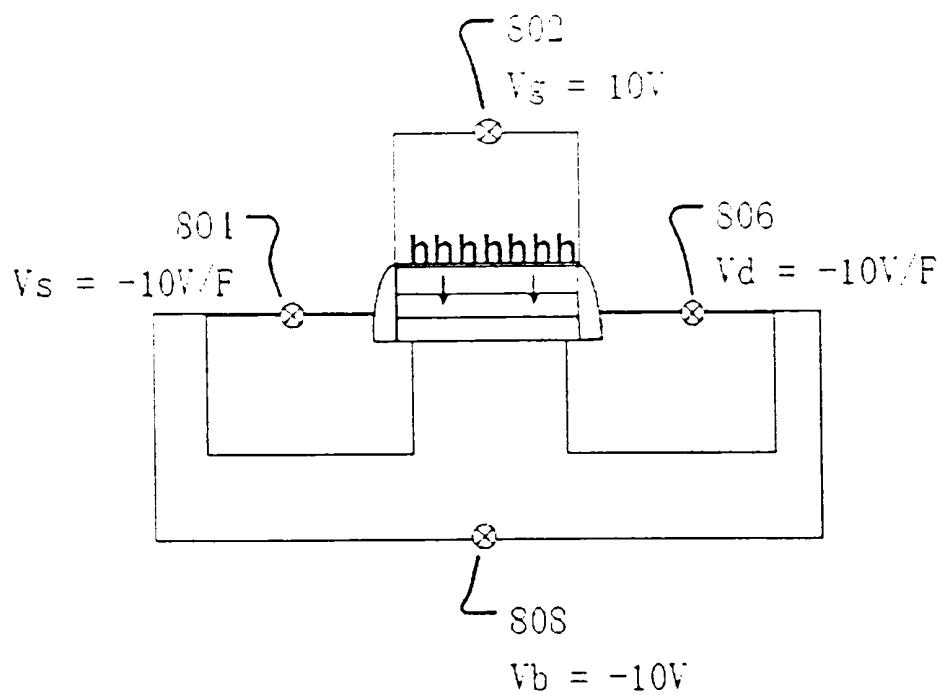
第 6A 圖



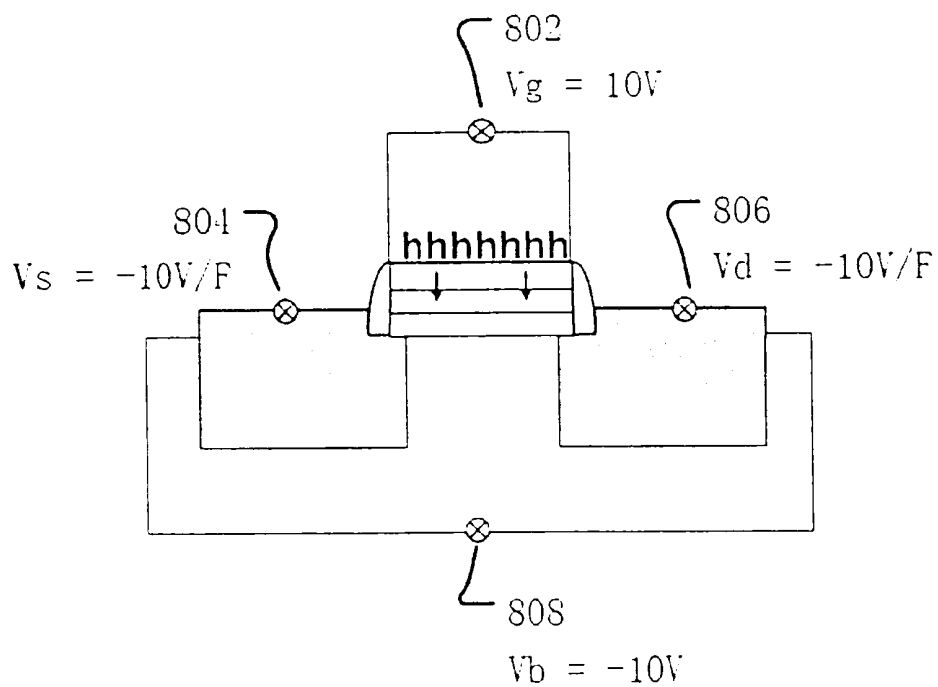
第 6B 圖

第 7A 圖

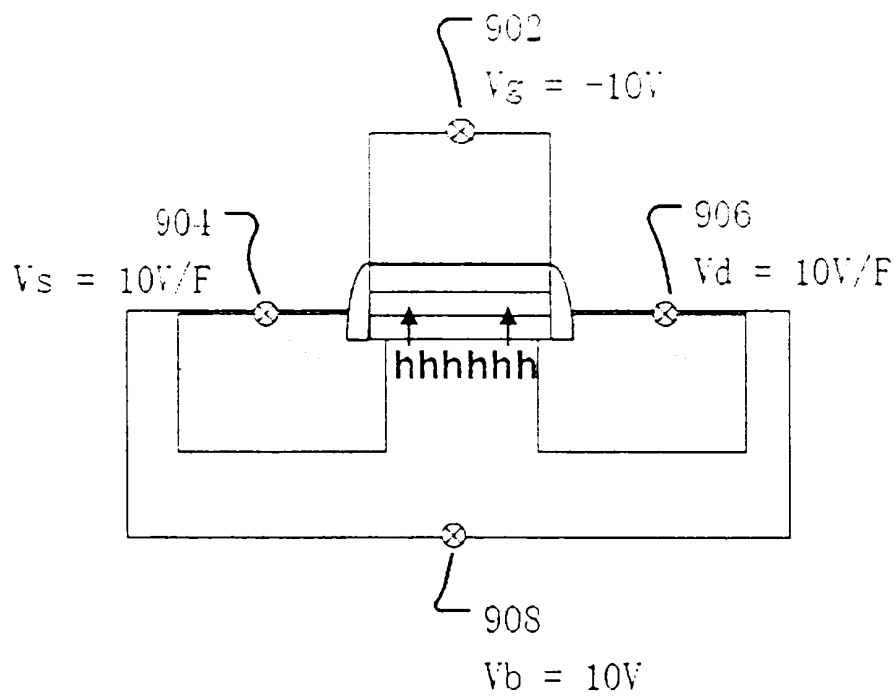
第 7B 圖



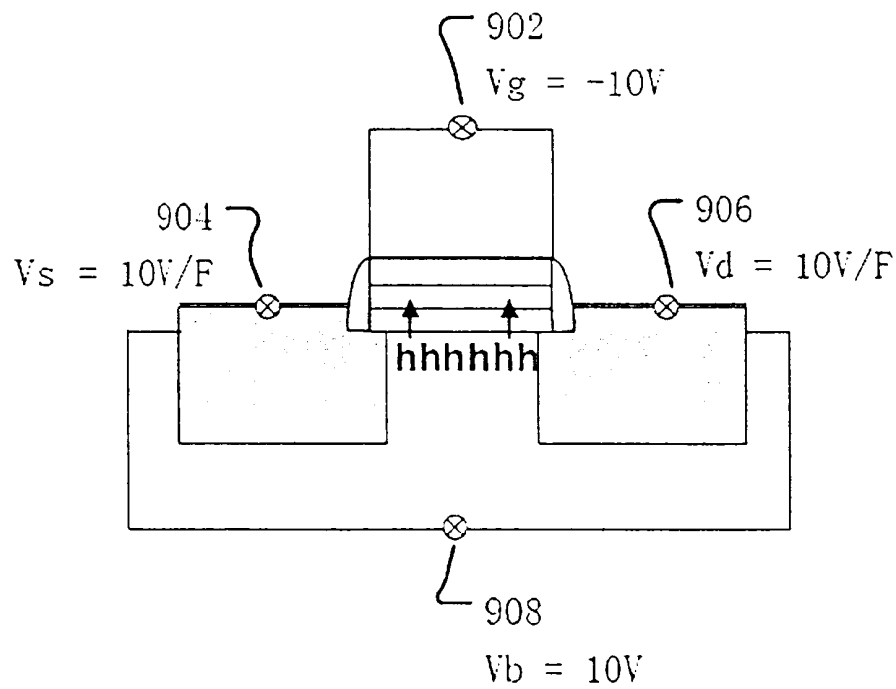
第 8A 圖



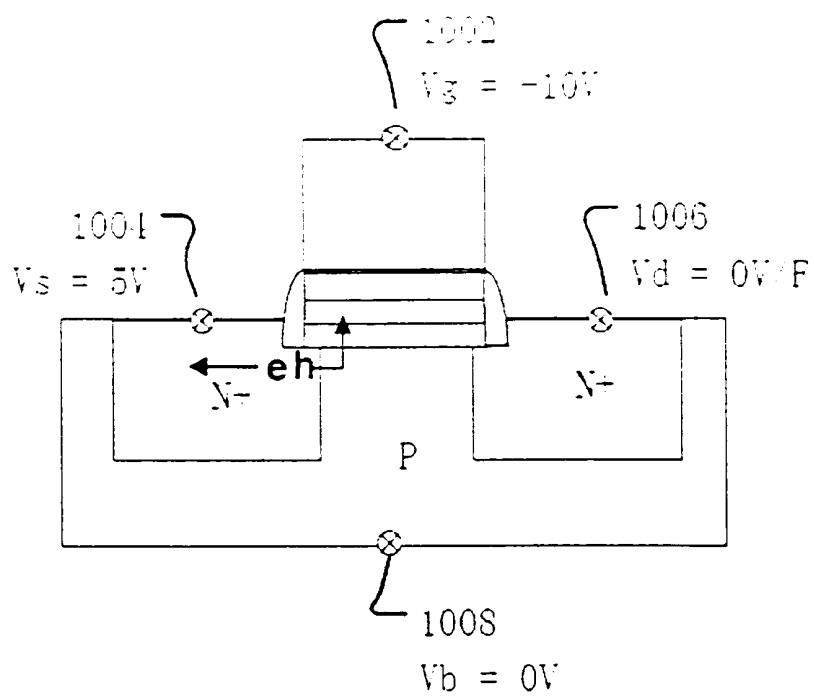
第 8B 圖



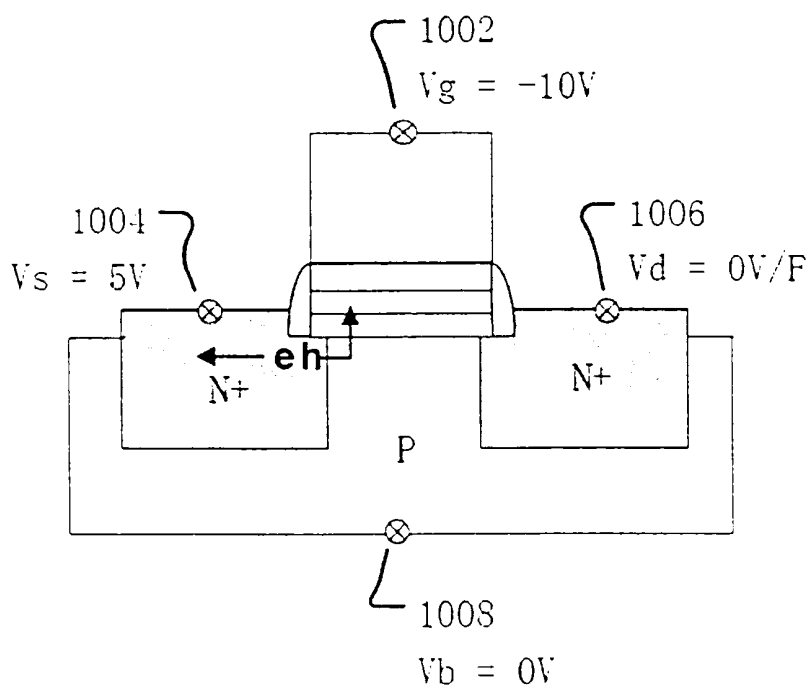
第 9A 圖



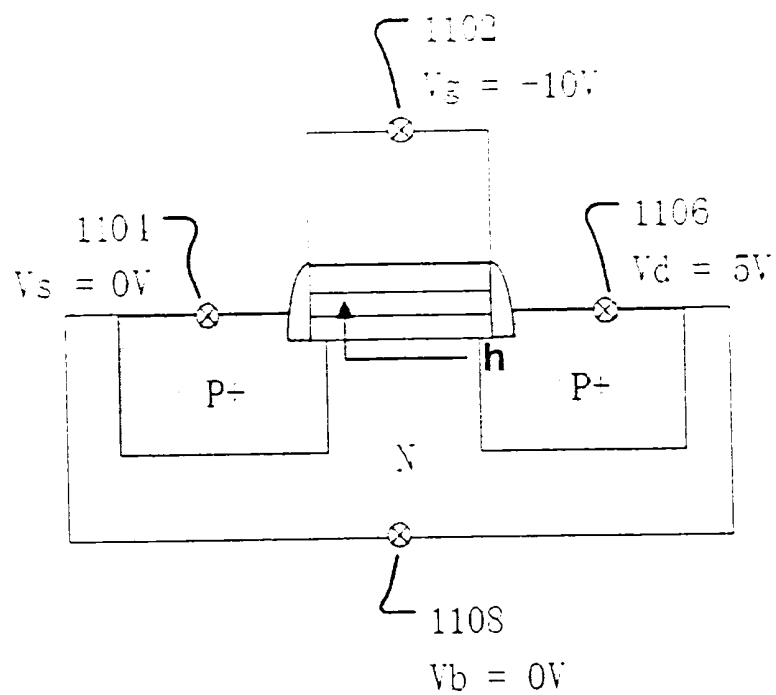
第 9B 圖



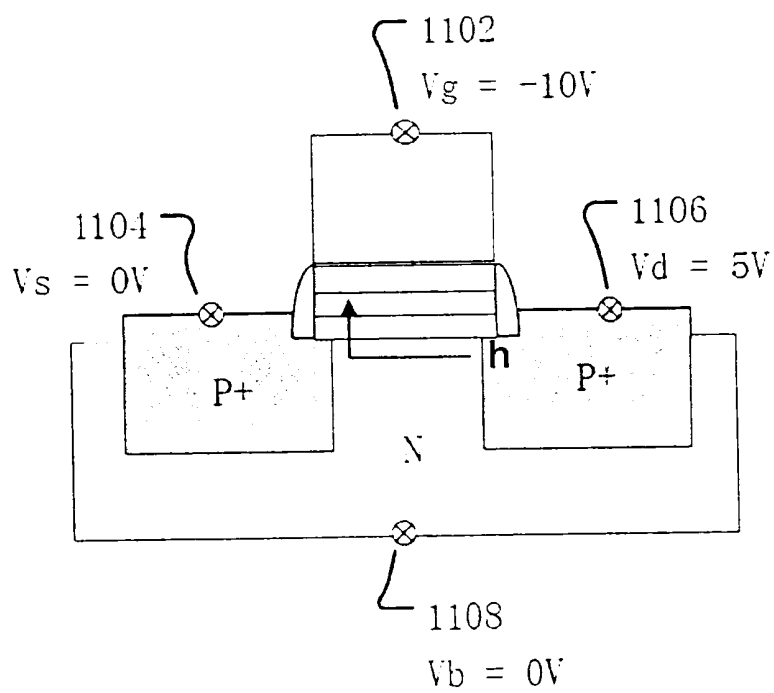
第 10A 圖



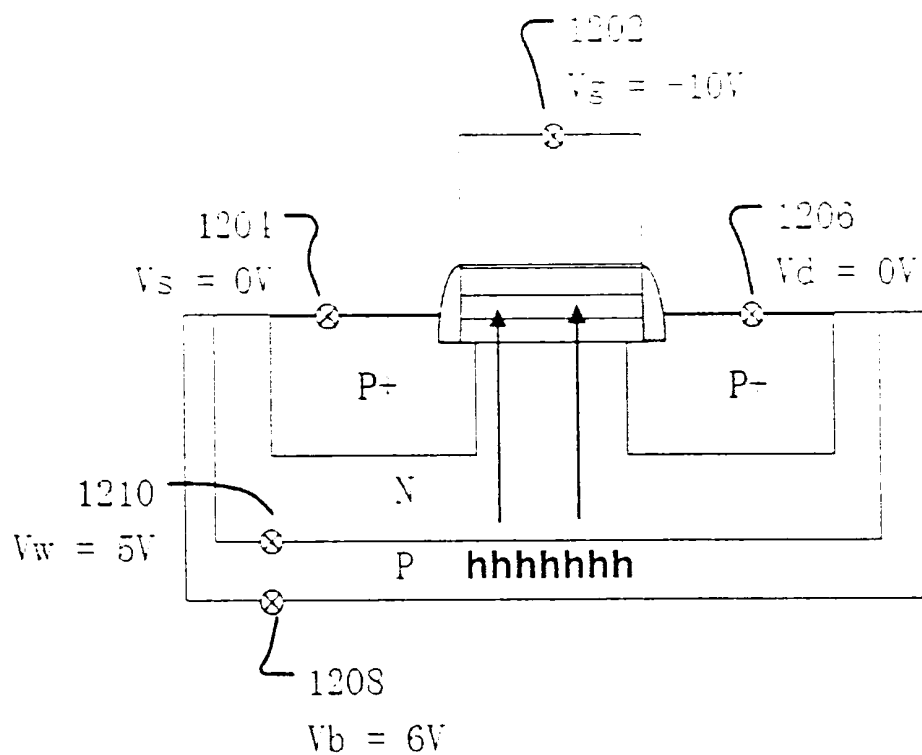
第 10B 圖



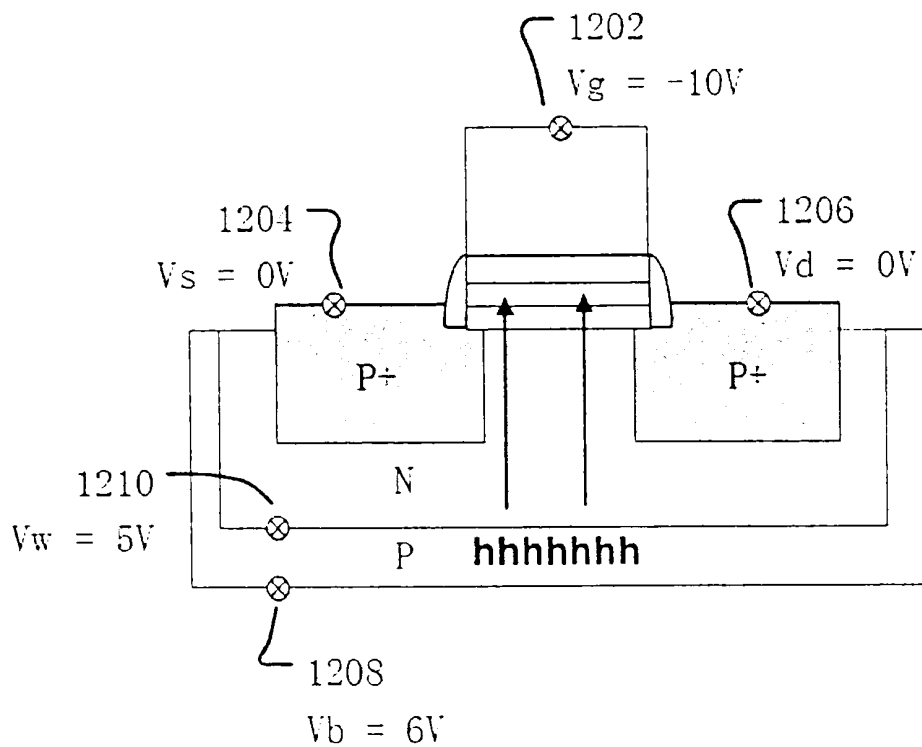
第 11A 圖



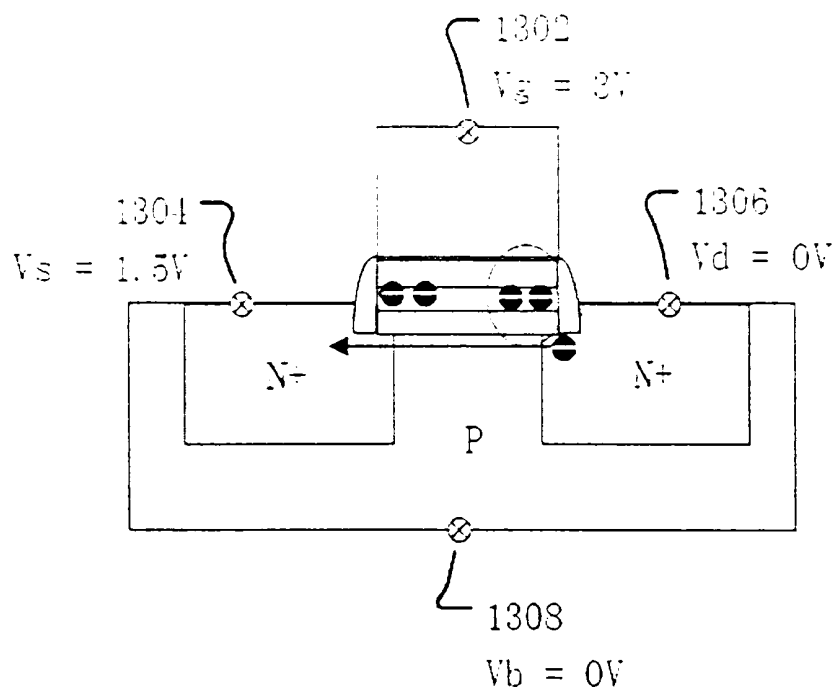
第 11B 圖



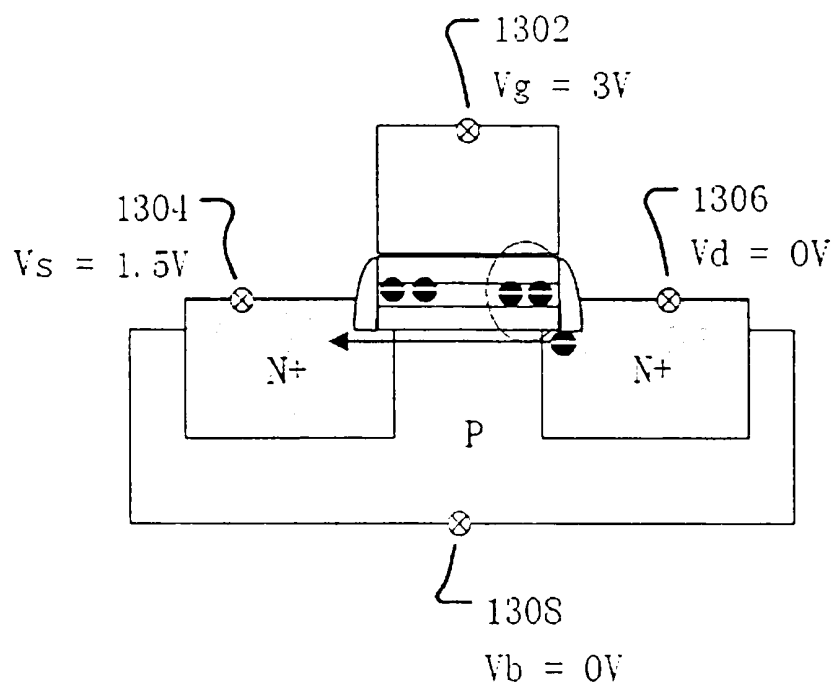
第 12A 圖



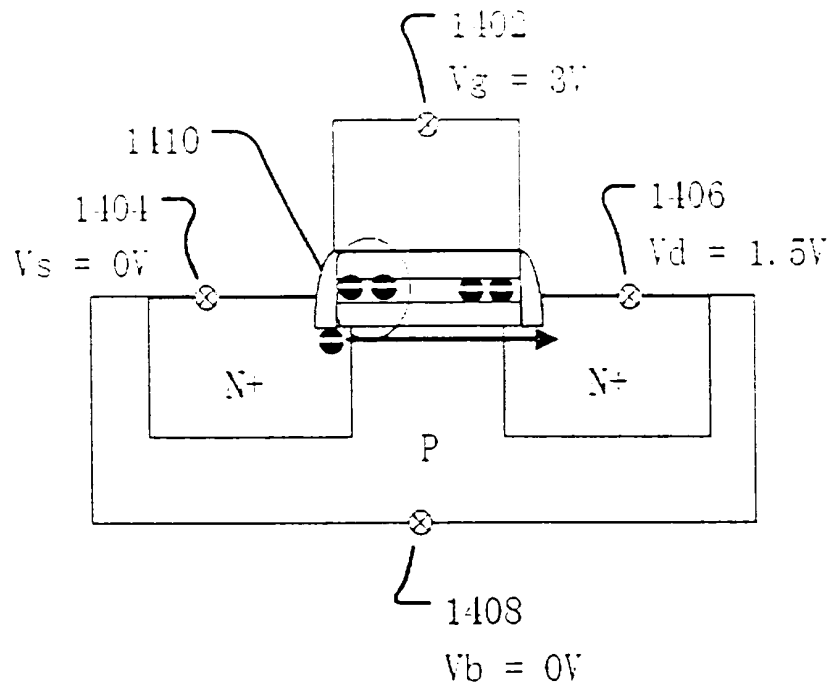
第 12B 圖



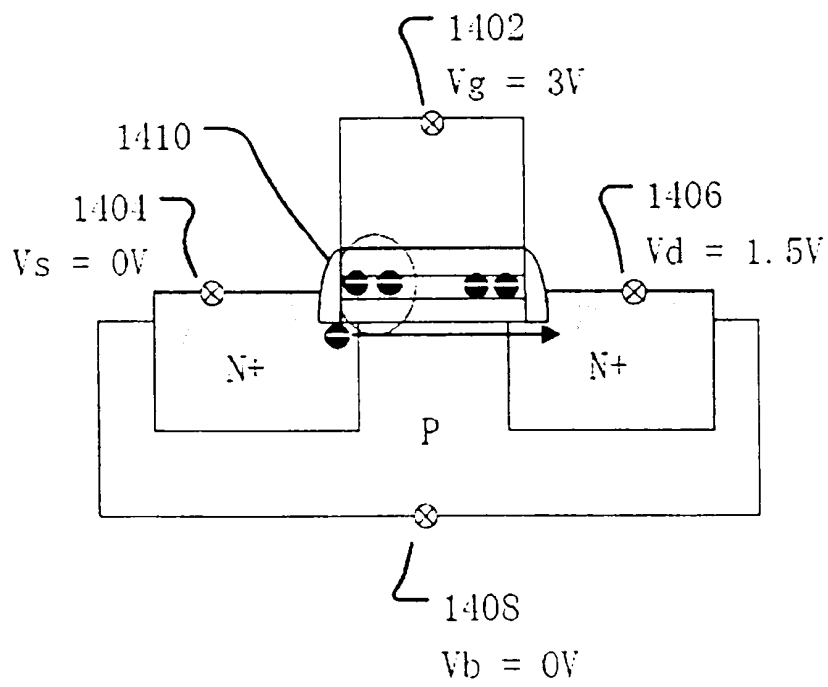
第 13A 圖



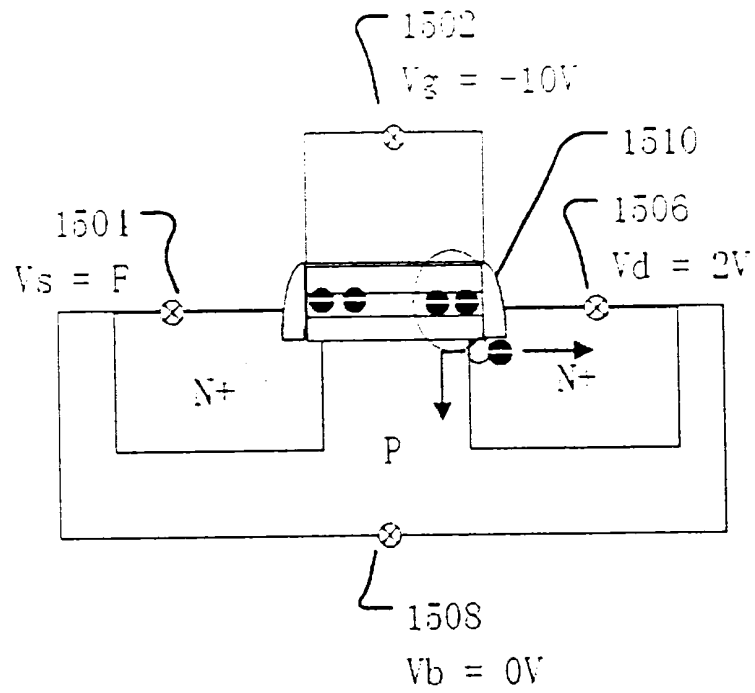
第 13B 圖



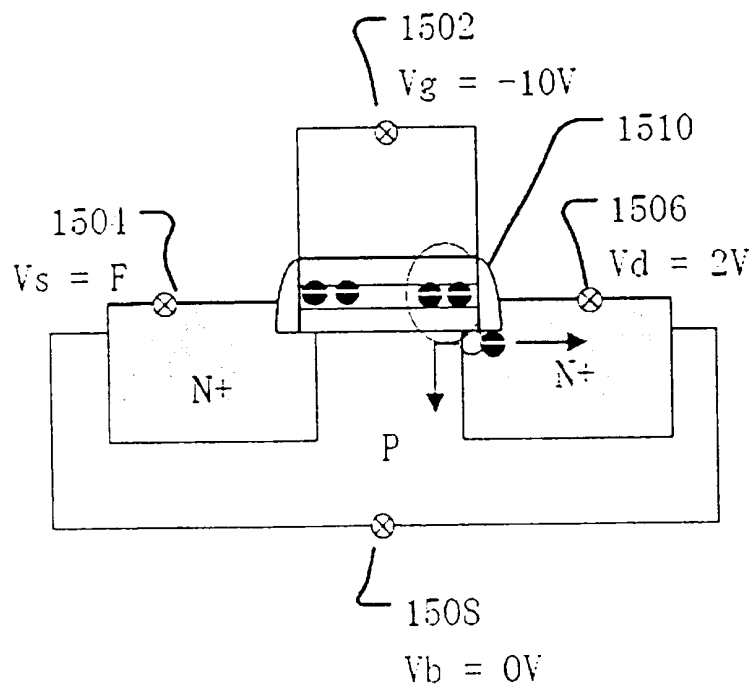
第 14A 圖



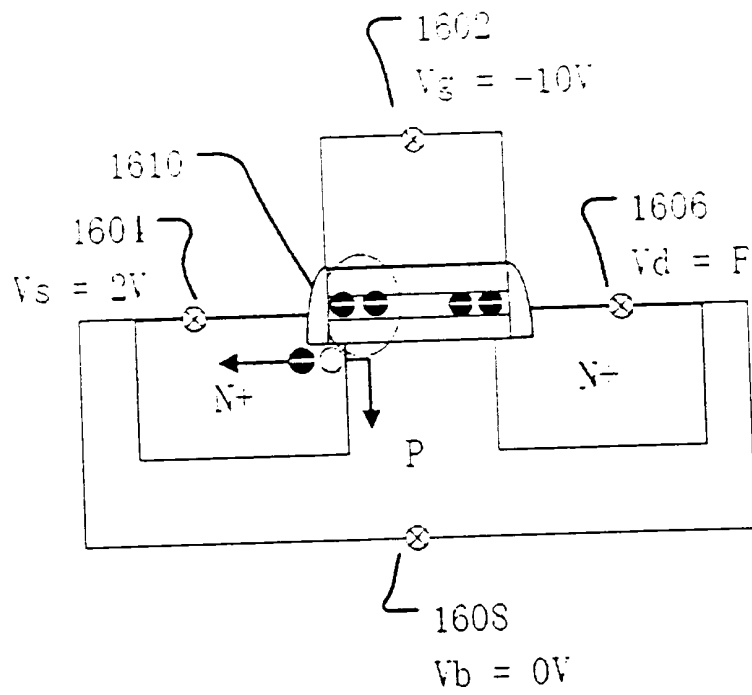
第 14B 圖



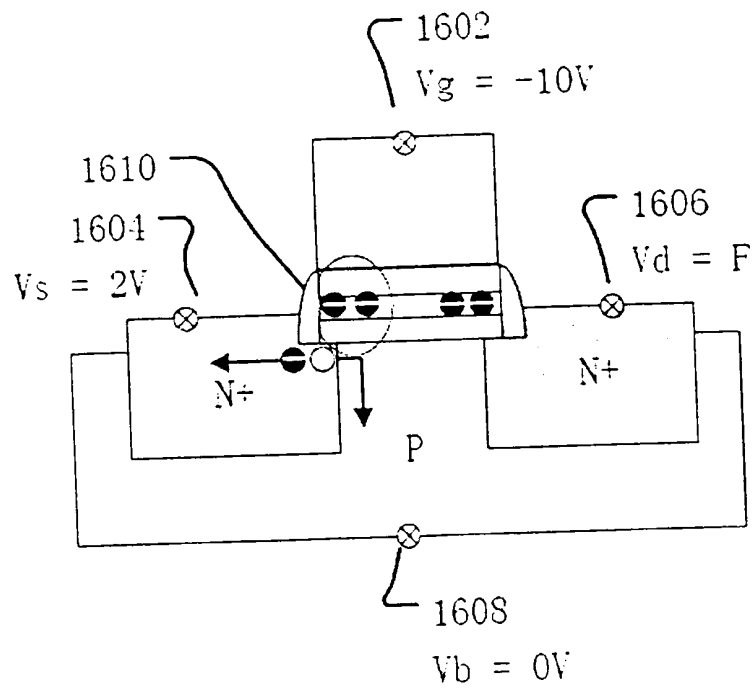
第 15A 圖



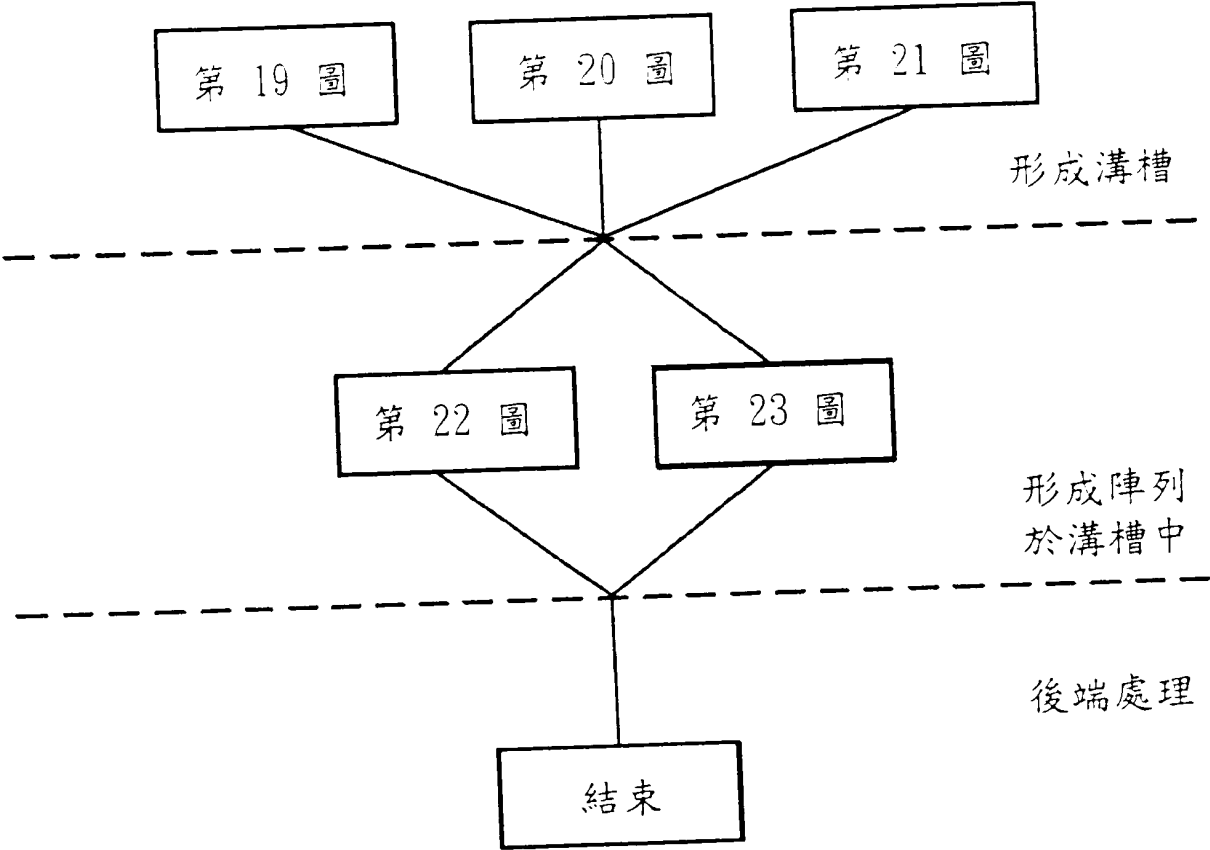
第 15B 圖



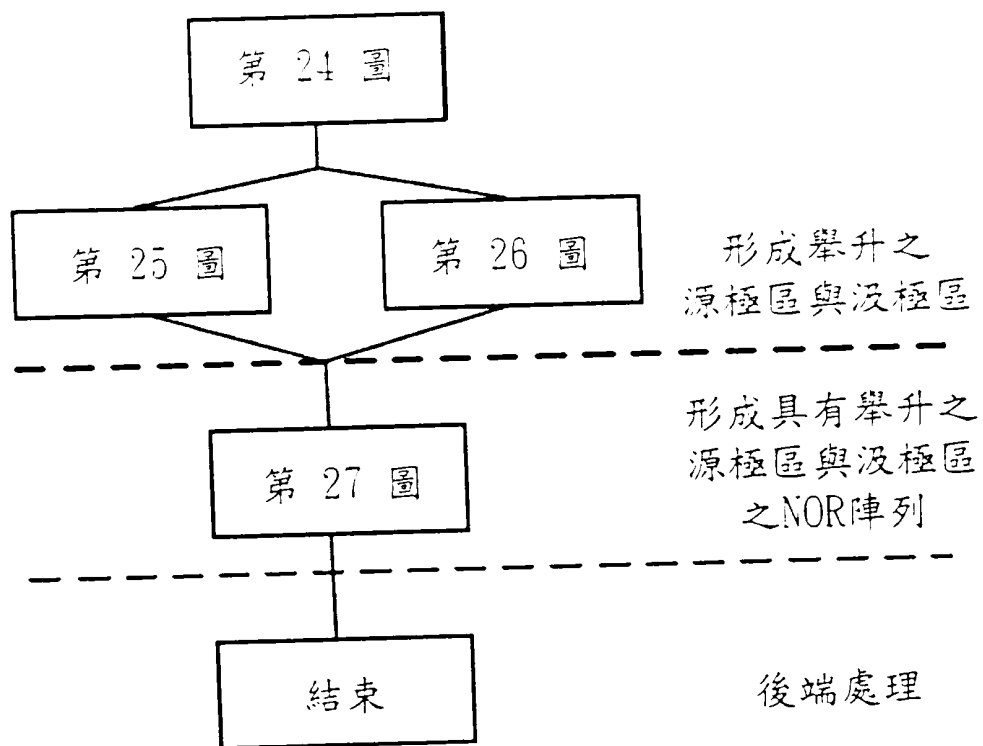
第 16A 圖



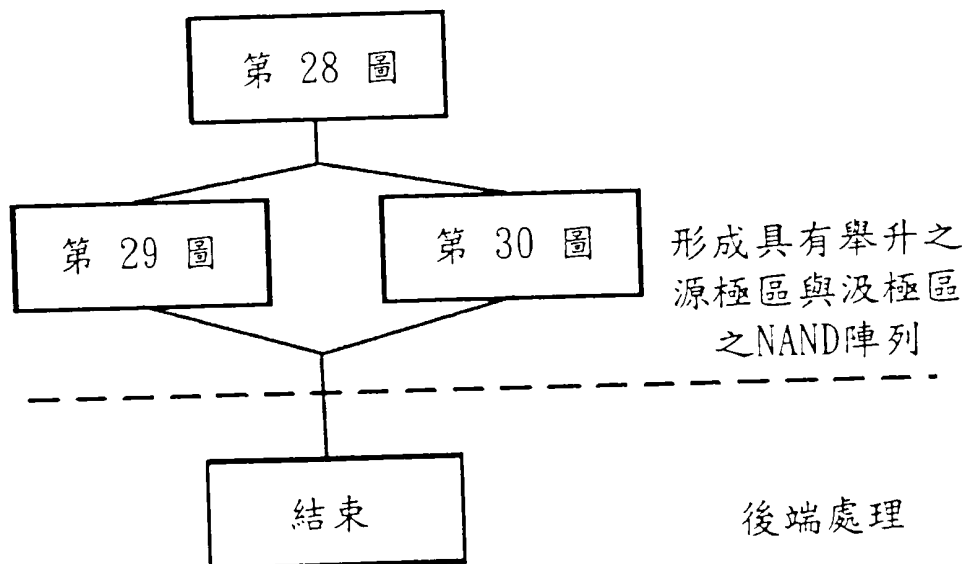
第 16B 圖



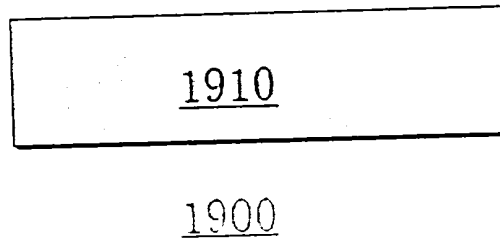
第 17 圖



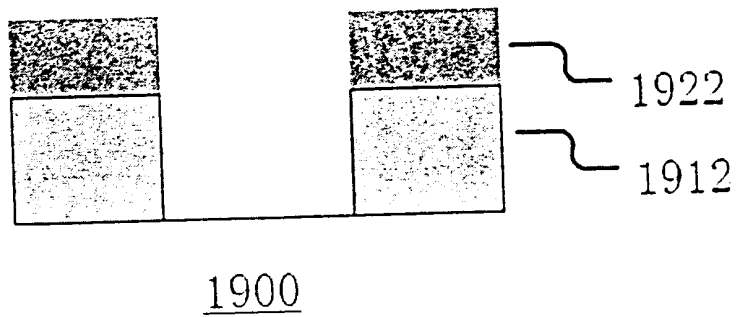
第 18A 圖



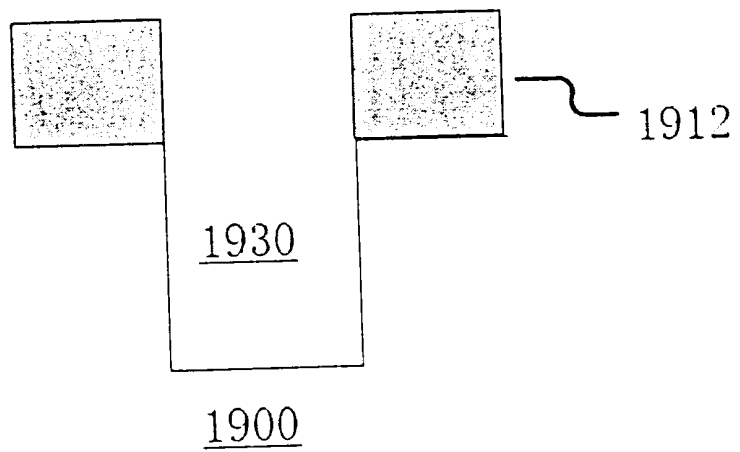
第 18B 圖



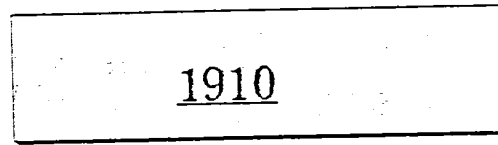
第 19A 圖



第 19B 圖

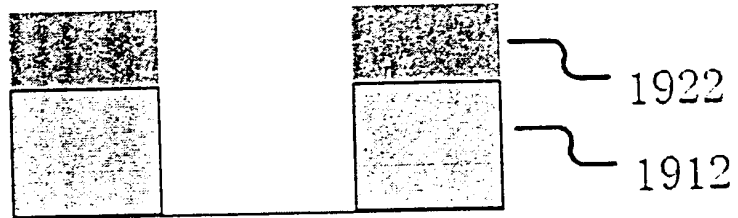


第 19C 圖



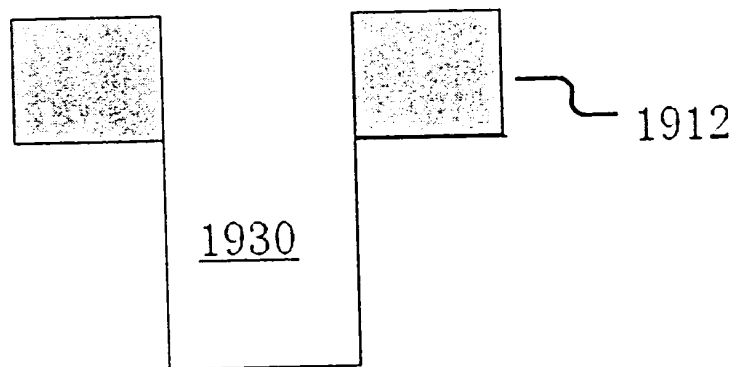
1900

第 20A 圖



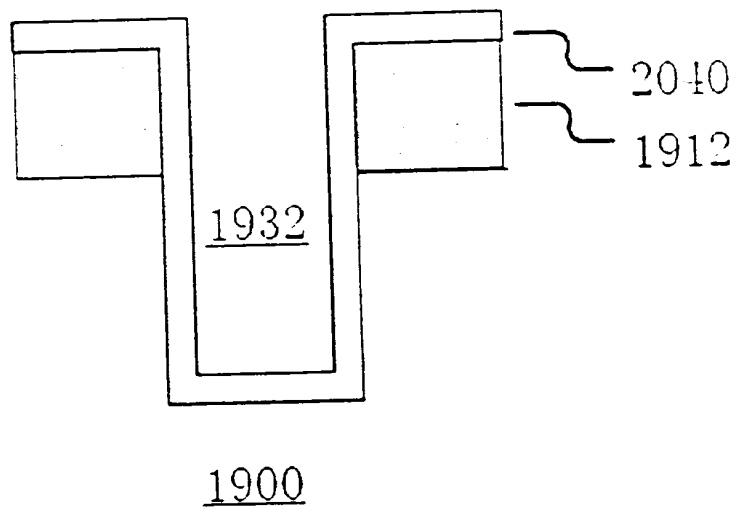
1900

第 20B 圖

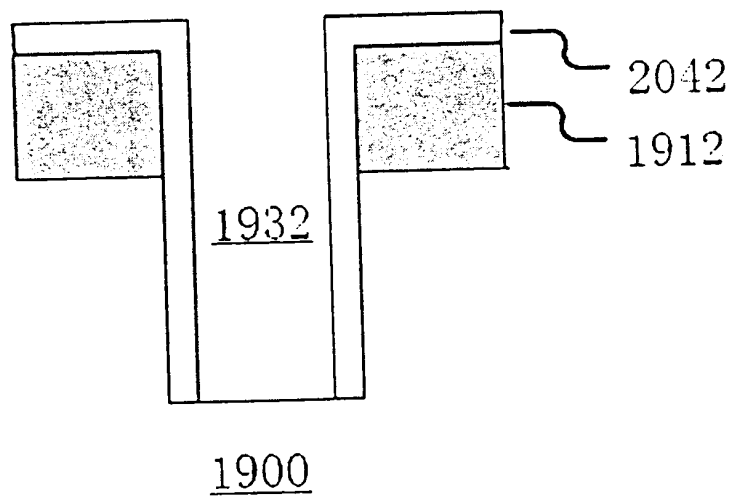


1900

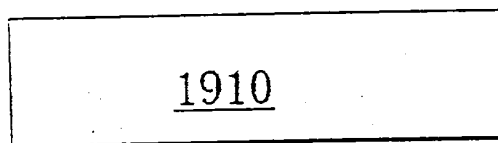
第 20C 圖



第 20D 圖

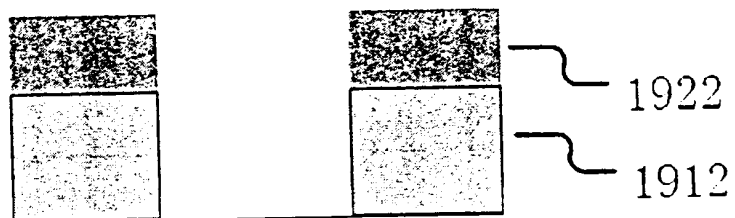


第 20E 圖



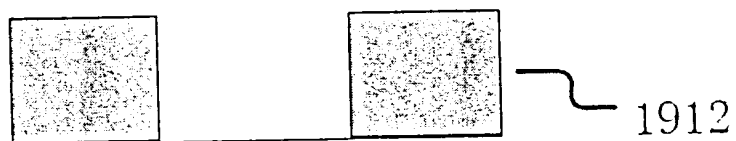
1900

第 21A 圖



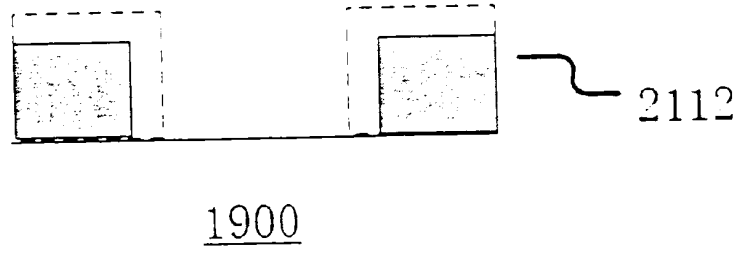
1900

第 21B 圖

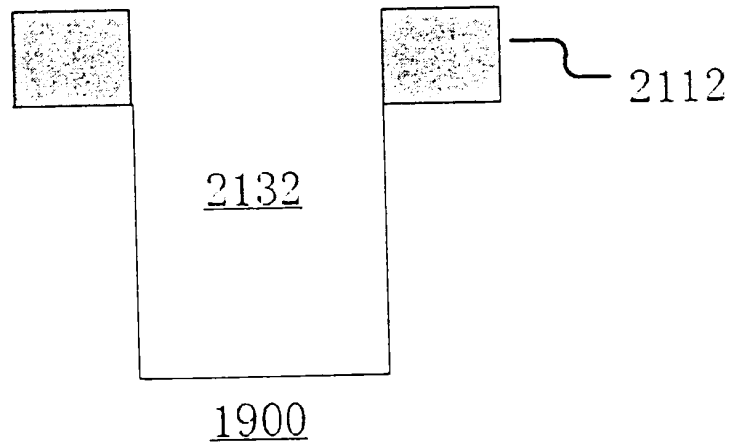


1900

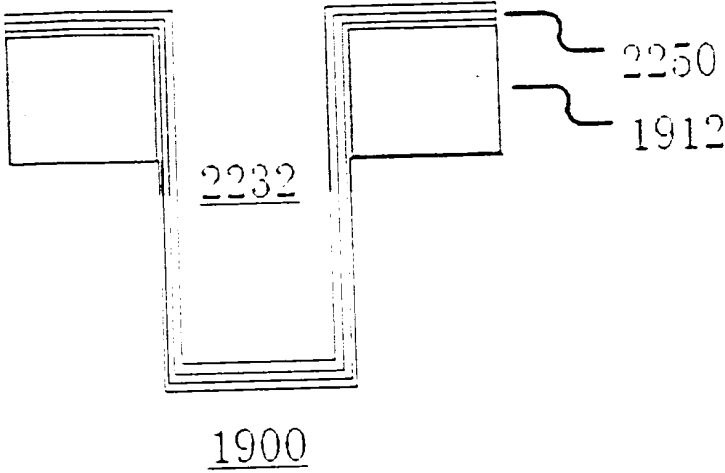
第 21C 圖



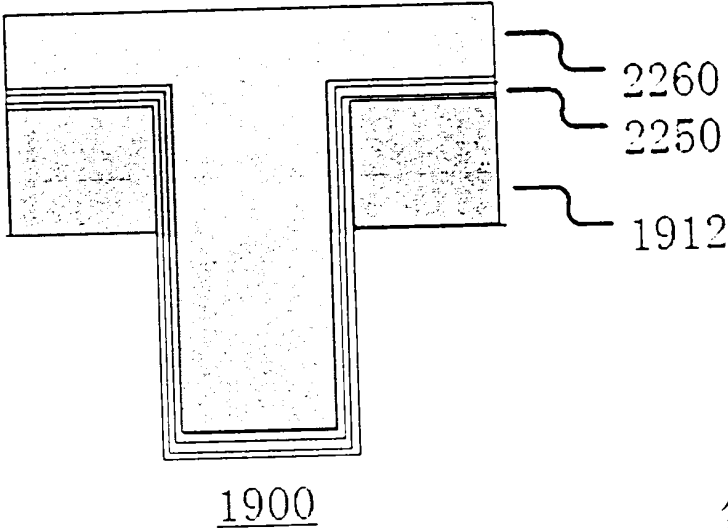
第 21D 圖



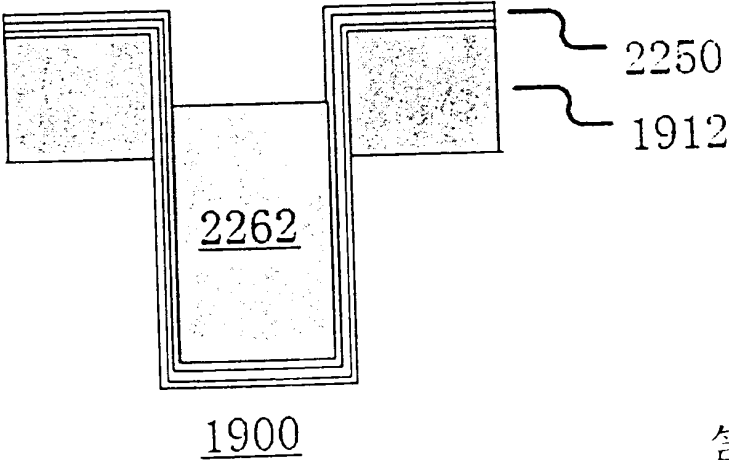
第 21E 圖



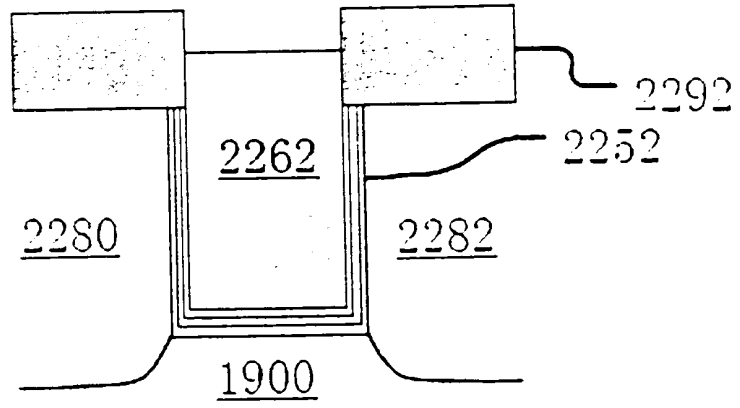
第 22A 圖



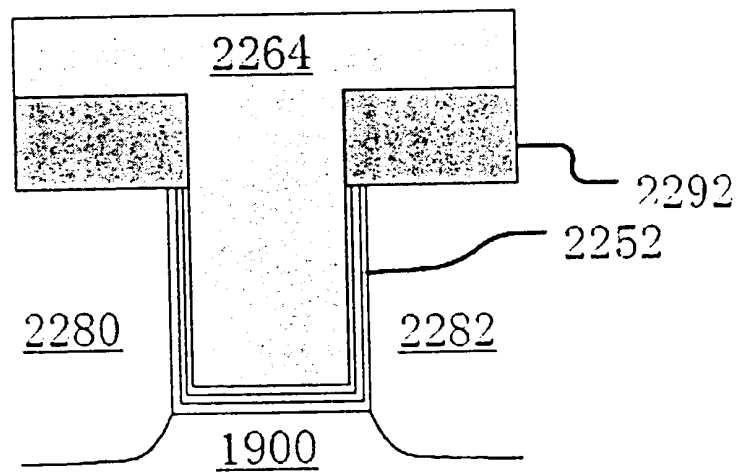
第 22B 圖



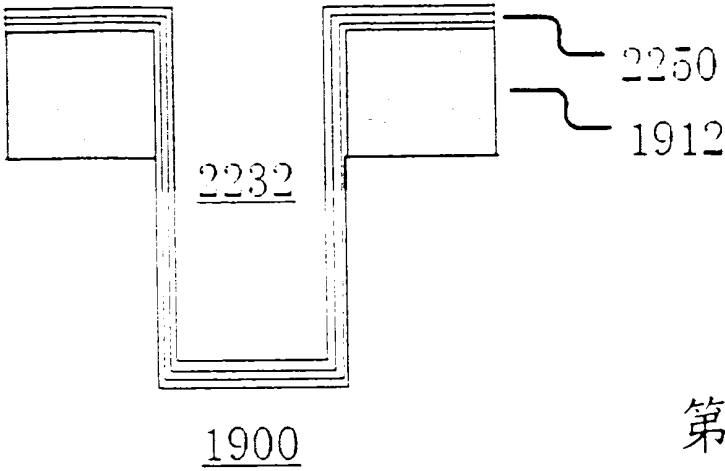
第 22C 圖



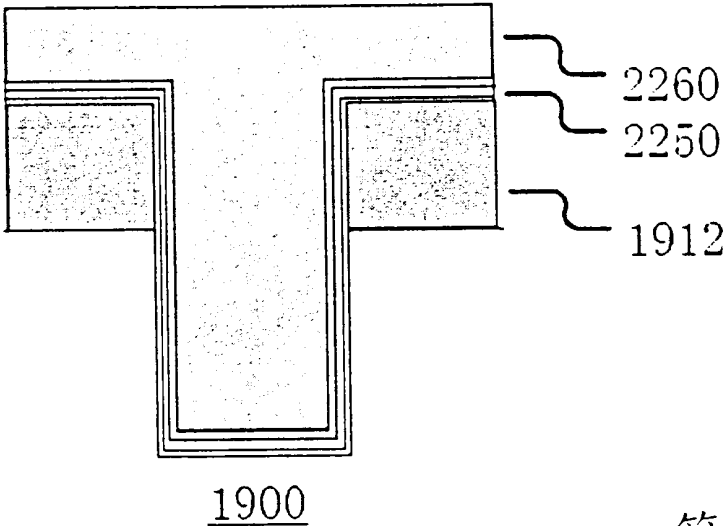
第 22J 圖



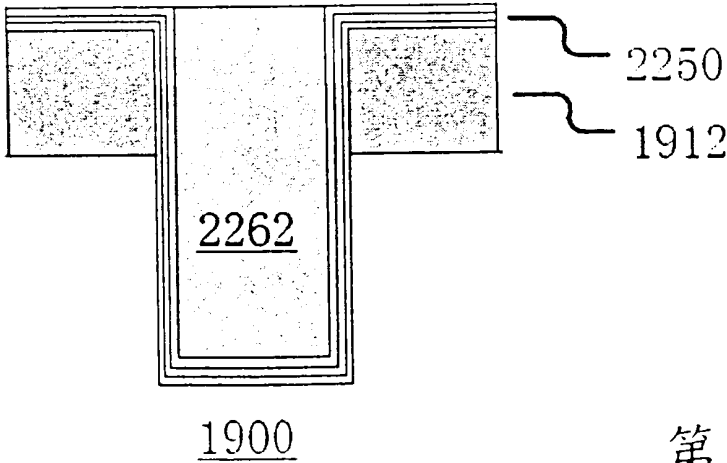
第 22K 圖



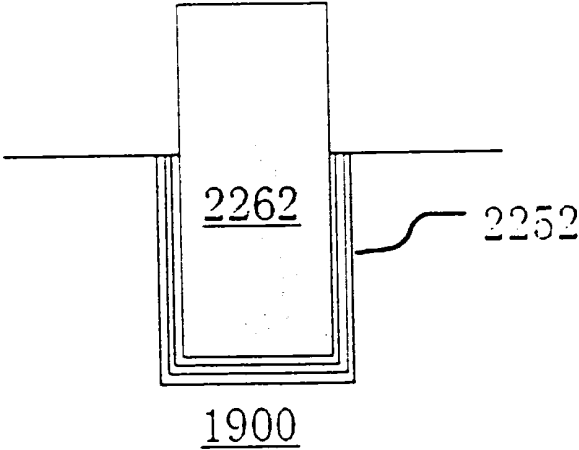
第 23A 圖



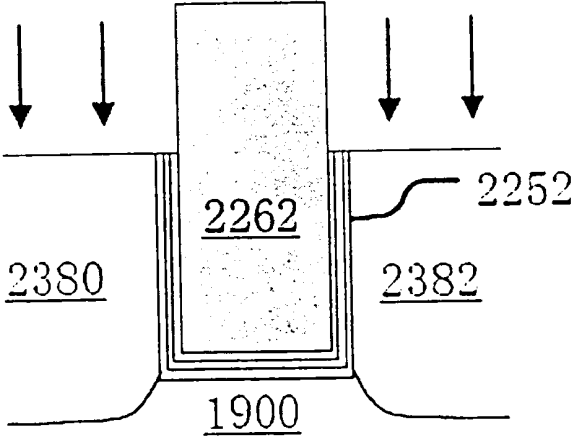
第 23B 圖



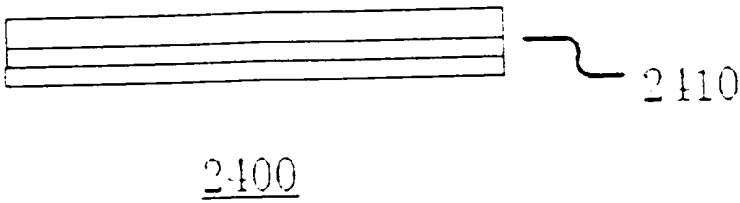
第 23C 圖



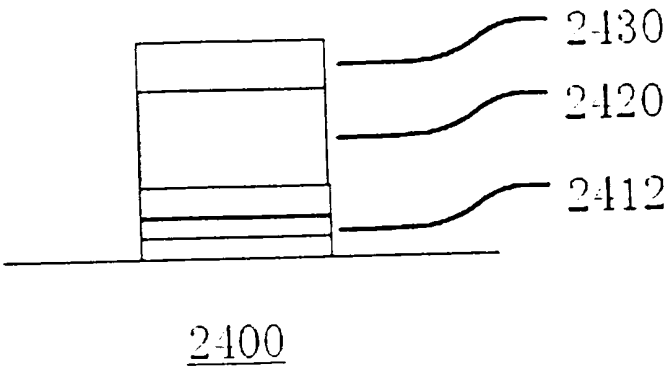
第 23D 圖



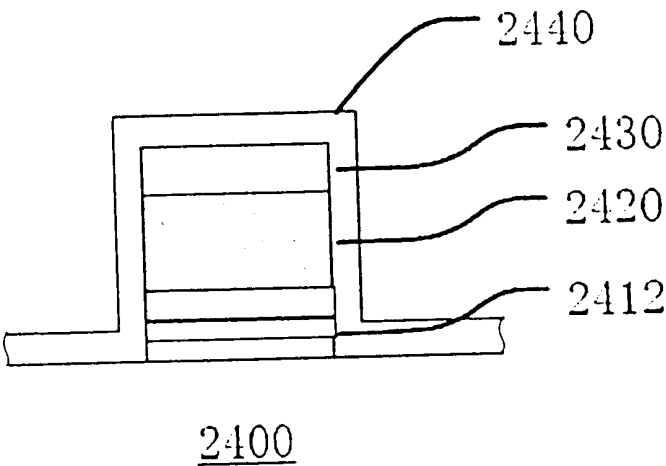
第 23E 圖



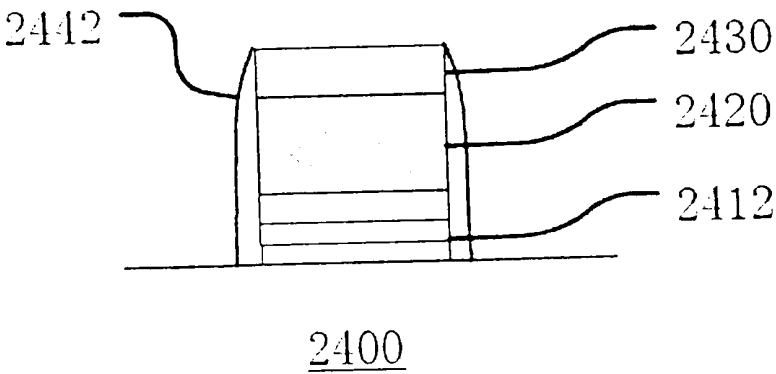
第 24A 圖



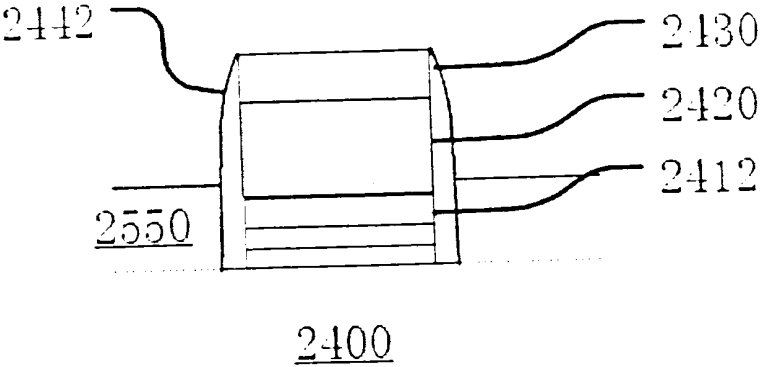
第 24B 圖



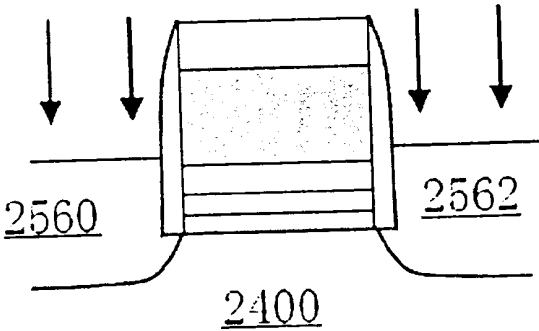
第 24C 圖



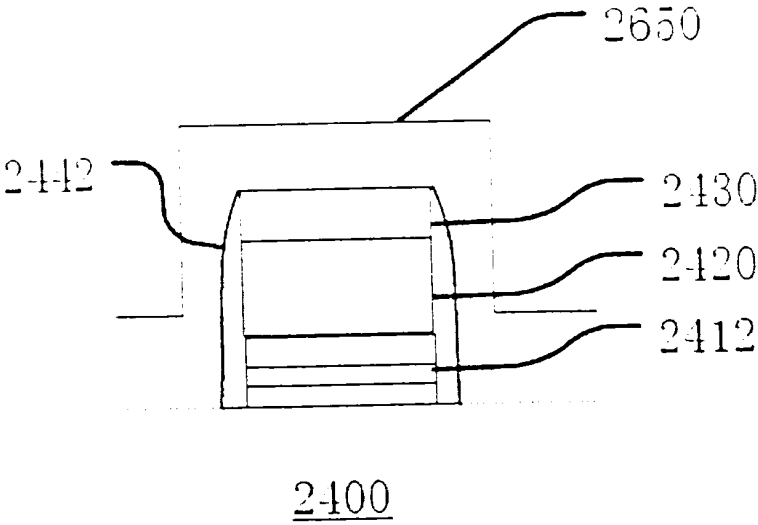
第 24D 圖



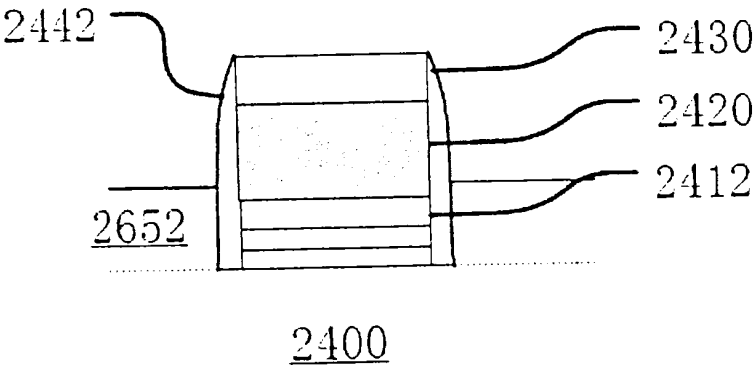
第 25A 圖



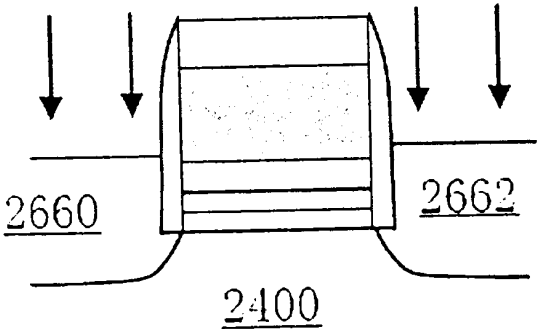
第 25B 圖



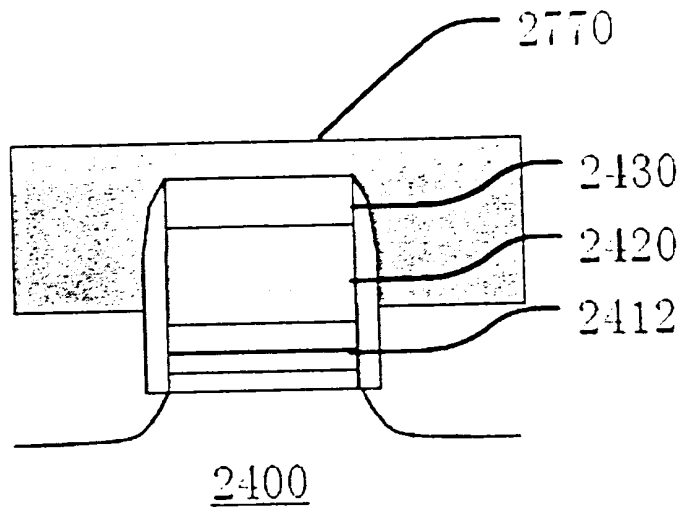
第 26A 圖



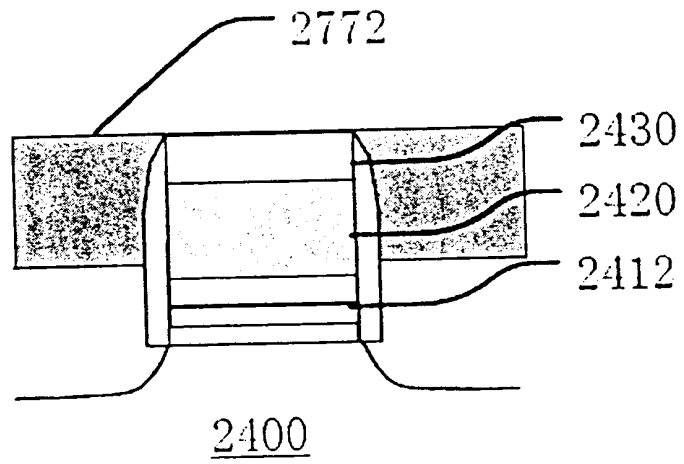
第 26B 圖



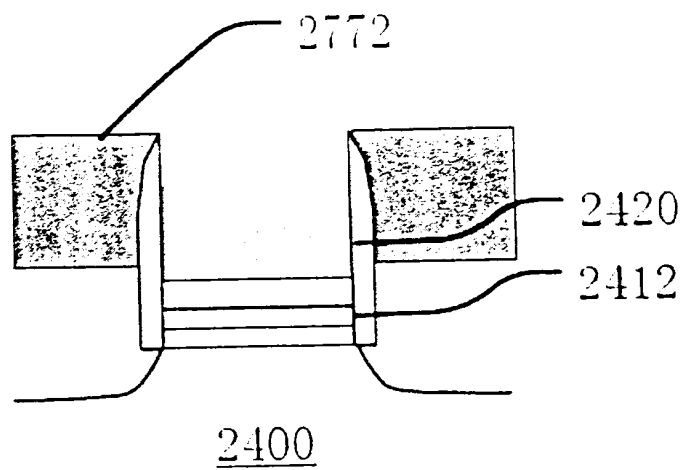
第 26C 圖



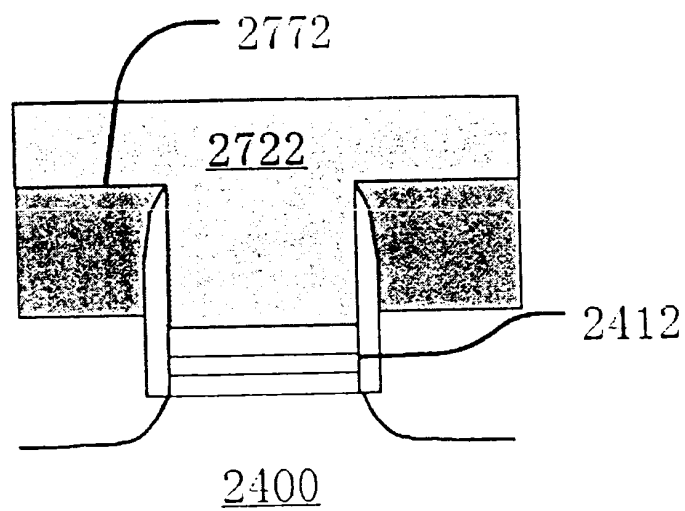
第 27A 圖



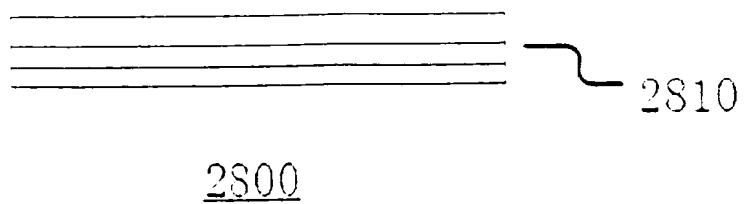
第 27B 圖



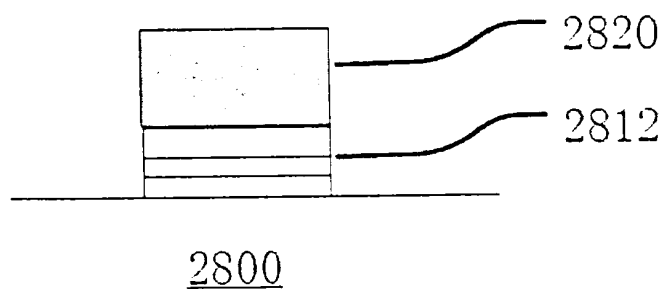
第 27C 圖



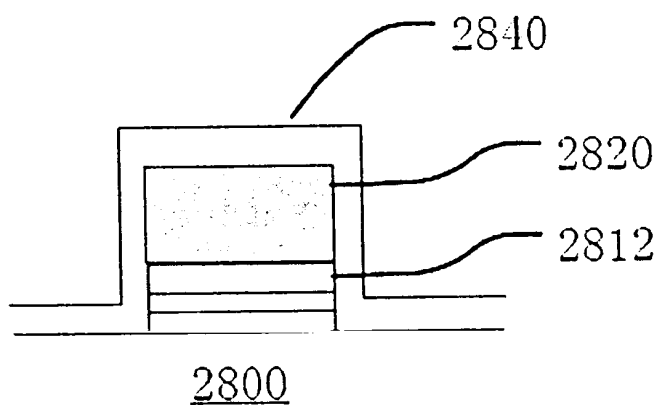
第 27D 圖



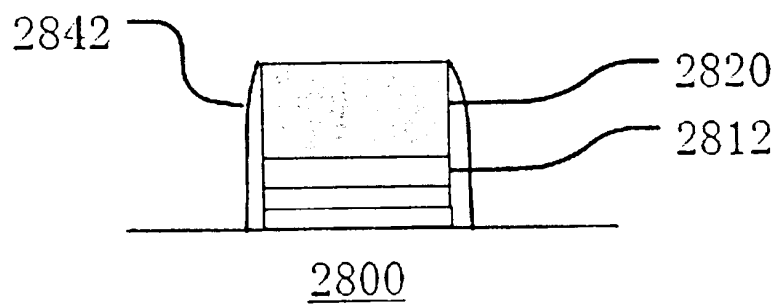
第 28A 圖



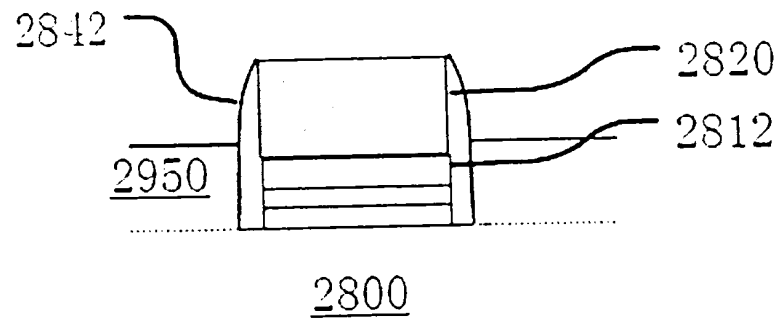
第 28B 圖



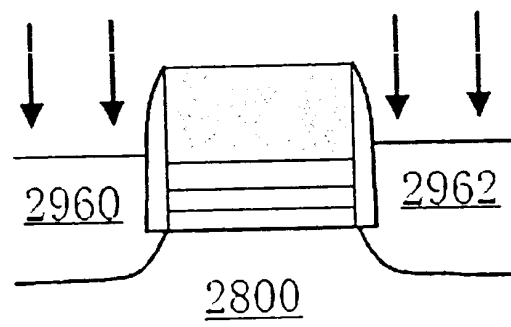
第 28C 圖



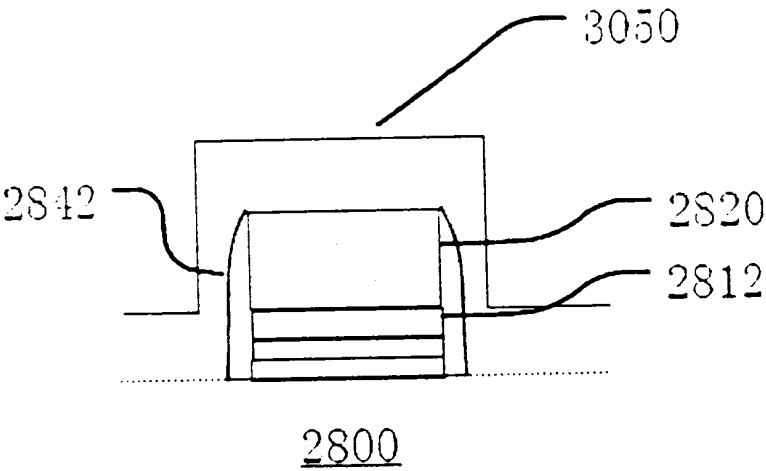
第 28D 圖



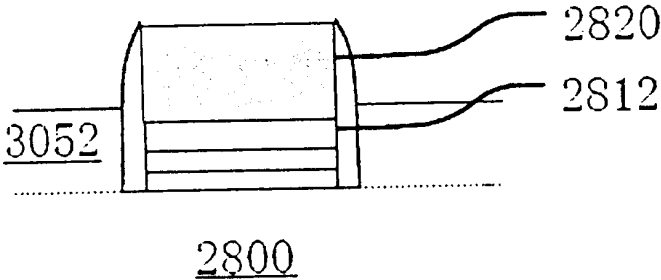
第 29A 圖



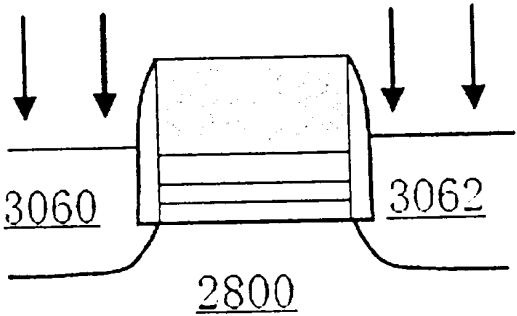
第 29B 圖



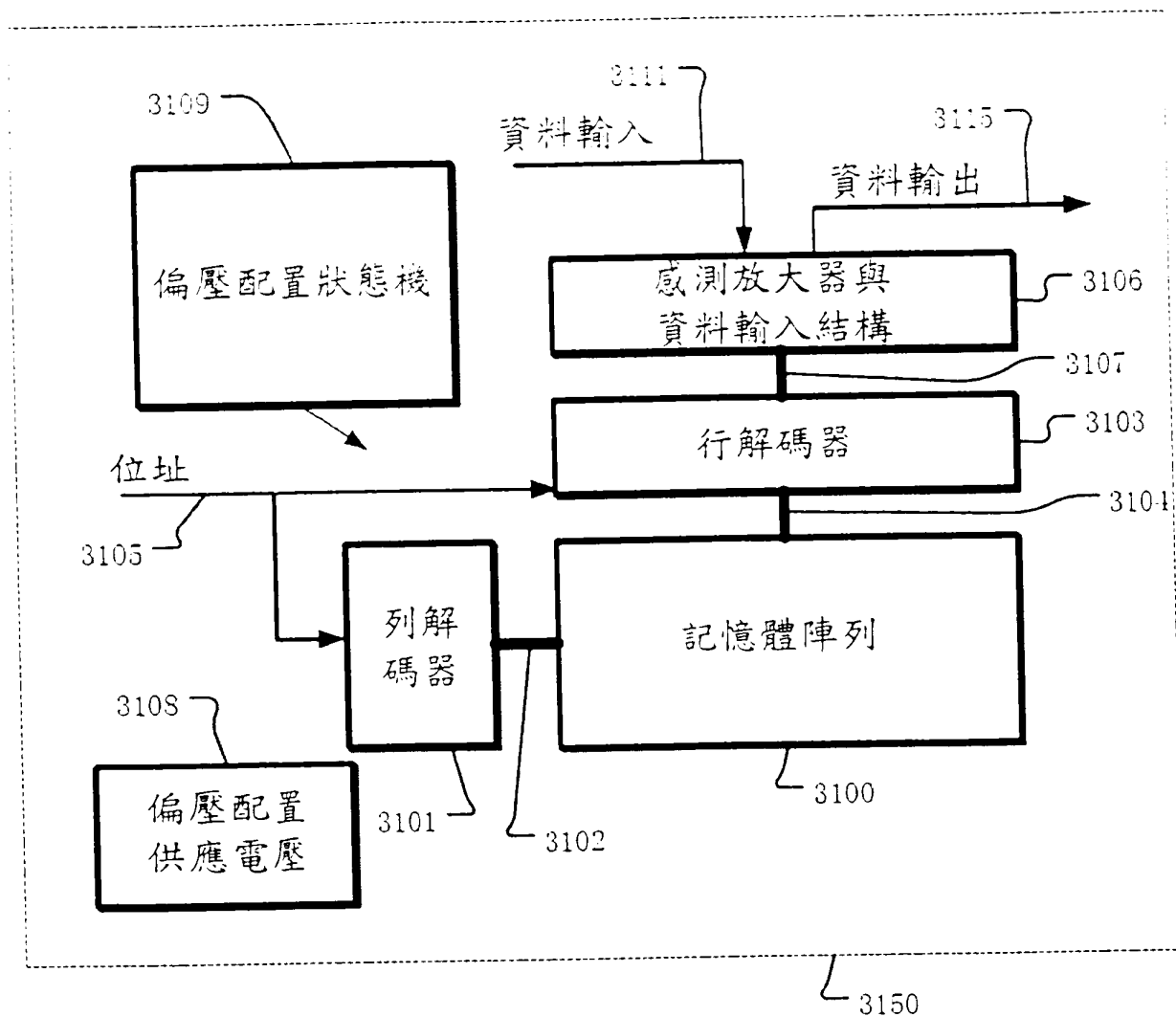
第 30A 圖



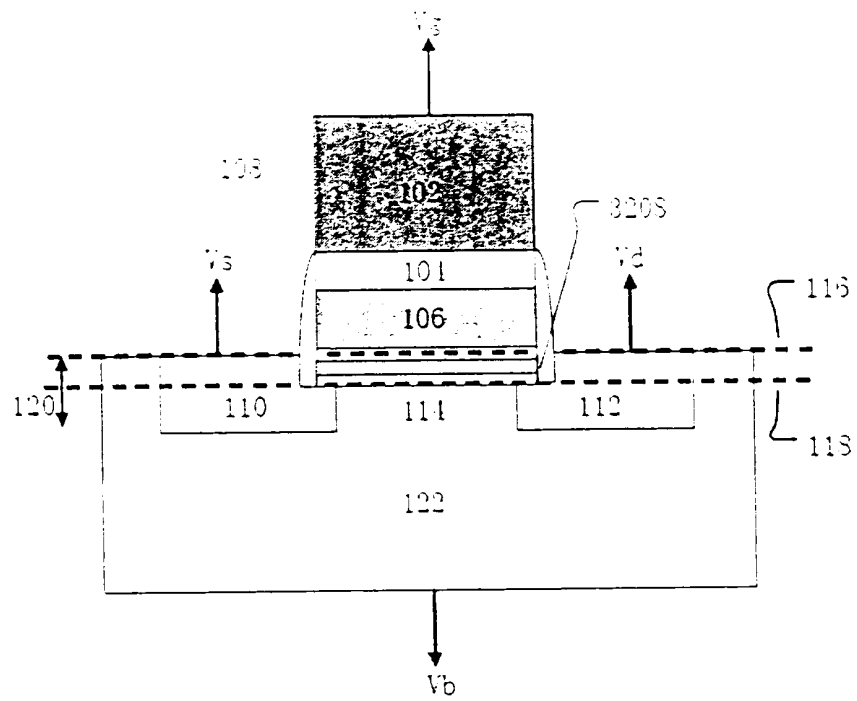
第 30B 圖



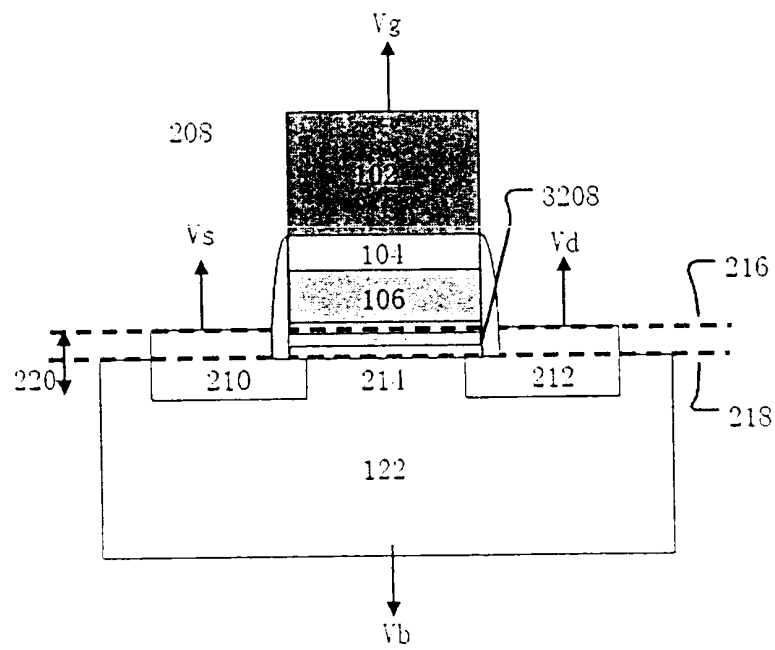
第 30C 圖



第 31 圖



第 32 圖



第 33 圖

七、指定代表圖：

(一)本案指定代表圖為：第 1 圖

(二)本代表圖之元件符號簡單說明：

102：閘極

104：介電結構

106：電荷儲存結構

108：介電結構

110：源極區

112：汲極區

114：通道

116：源極與汲極區

118：介面

120：接面深度

122：本體

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

十、申請專利範圍：

1. 一種非揮發性記憶體單元積體電路，包含：

一電荷捕捉結構，用來儲存電荷以控制由該非揮發性記憶體單元積體電路儲存之一邏輯狀態；

一源極區與一汲極區，係以一通道區分離；以及

一個或多個介電結構，至少部分位於該電荷捕捉結構與該通道區之間，並至少部分位於該電荷捕捉結構與一閘極電壓源之間，

其中一介面分離該一個或多個介電結構之一部分以及該通道區，該介面之一第一端位於該源極區之上邊緣及下邊緣之間並結束於該源極區之中間部分，且該介面之一第二端位於該汲極區之上邊緣及下邊緣之間並結束於該汲極區之中間部分。

2. 如申請專利範圍第1項所述之電路，其中由於該源極區與該汲極區係被舉升離開該非揮發性記憶體單元積體電路之一基板，使得該介面之該第一端結束於該源極區之中間部分，而該介面之該第二端結束於該汲極區之中間部分。

3. 如申請專利範圍第1項所述之電路，其中由於該通道區係凹入該非揮發性記憶體單元積體電路之一基板，使得該介面之該第一端結束於該源極區之中間部分，而該介面之該第二端結束於該汲極區之中間部分。

4. 如申請專利範圍第1項所述之電路，其中該電荷捕捉結構儲存一位元。

5. 如申請專利範圍第 1 項所述之電路，其中該電荷捕捉結構儲存多重位元。

6. 如申請專利範圍第 1 項所述之電路，其中至少部分位於該電荷捕捉結構與該通道區之間之該介電結構包含：

一下氧化矽層；

一中間氮化矽層，位於該下氧化矽層上；以及

一上氧化矽層，位於該中間氮化矽層上。

7. 如申請專利範圍第 6 項所述之電路，其中該下氧化矽層具有少於大約 20 埃之厚度。

8. 如申請專利範圍第 6 項所述之電路，其中該中間氮化矽層具有少於大約 20 埃之厚度。

9. 如申請專利範圍第 6 項所述之電路，其中該上氧化矽層具有少於大約 20 埃之厚度。

10. 如申請專利範圍第 6 項所述之電路，其中該下氧化矽層具有大約 5 至 20 埃之厚度。

11. 如申請專利範圍第 6 項所述之電路，其中該中間氮化矽層具有大約 10 至 20 埃之厚度。

12. 如申請專利範圍第 6 項所述之電路，其中該上氧化矽層具有大約 15 至 20 埃之厚度。

13. 如申請專利範圍第 6 項所述之電路，其中該下氧化矽層具有少於大約 15 埃之厚度。

14. 如申請專利範圍第 1 項所述之電路，更包括一閘極，其中該源極區與該汲極區係以該通道區與位於該

閘極之相對側邊上的該電荷捕捉結構分離。

15. 一種非揮發性記憶體單元積體電路之製造方法，包含以下步驟：

形成一電荷捕捉結構來儲存電荷，以控制由該非揮發性記憶體單元積體電路儲存之一邏輯狀態；

形成由一通道區分離之一源極區與一汲極區；以及

形成一個或多個介電結構，所述一個或多個介電結構至少部分位於該電荷捕捉結構與該通道區之間，且至少部分位於該電荷捕捉結構與一閘極電壓源之間，

其中一介面分離所述一個或多個介電結構之一部分與該通道區，該介面之一第一端位於該源極區之上邊緣及下邊緣之間並結束於該源極區之中間部分，且該介面之一第二端位於該汲極區之上邊緣及下邊緣之間並結束於該汲極區之中間部分。

16. 如申請專利範圍第 15 項所述之方法，其中該等源極與汲極區之該形成步驟包含：

添加一層材料至該積體電路之一基板，以使所述之源極與汲極區被舉升離開該非揮發性記憶體單元積體電路之該基板。

17. 如申請專利範圍第 15 項所述之方法，更包含以下步驟：

於一基板中形成一溝槽，以使該電荷捕捉結構之該形成步驟與所述一個或多個介電結構之該形成步驟發生於該溝槽中。

18. 如申請專利範圍第 15 項所述之方法，其中該電荷捕捉結構儲存一位元。

19. 如申請專利範圍第 15 項所述之方法，其中該電荷捕捉結構儲存多重位元。

20. 如申請專利範圍第 15 項所述之方法，其中至少部分位於該電荷捕捉結構與該通道區之間之該介電結構之該形成步驟包含：

形成一下氧化矽層；

形成一中間氮化矽層於該下氧化矽層上；以及

形成一上氧化矽層於該中間氮化矽層上。

21. 如申請專利範圍第 20 項所述之方法，其中該下氧化矽層具有少於大約 20 埃之厚度。

22. 如申請專利範圍第 20 項所述之方法，其中該中間氮化矽層具有少於大約 20 埃之厚度。

23. 如申請專利範圍第 20 項所述之方法，其中該上氧化矽層具有少於大約 20 埃之厚度。

24. 如申請專利範圍第 20 項所述之方法，其中該下氧化矽層具有大約 5 至 20 埃之厚度。

25. 如申請專利範圍第 20 項所述之方法，其中該中間氮化矽層具有大約 10 至 20 埃之厚度。

26. 如申請專利範圍第 20 項所述之方法，其中該上氧化矽層具有大約 15 至 20 埃之厚度。

27. 如申請專利範圍第 20 項所述之方法，其中該下氧化矽層具有少於大約 15 埃之厚度。

28. 如申請專利範圍第 15 項所述之方法，更包含以下步驟：

形成一閘極，其中該源極區與該汲極區由該通道區與位於該閘極之相對側邊上的該電荷捕捉結構分離。

29. 一種非揮發性記憶體單元積體電路，包含：

一奈米晶體結構，用來儲存電荷以控制由該非揮發性記憶體單元積體電路儲存之一邏輯狀態；

一源極區與一汲極區，其由一通道區分離；以及

一個或多個介電結構，其至少部分位於該奈米晶體結構與該通道區之間，且至少部分位於該奈米晶體結構與一閘極電壓源之間，

其中一介面分離所述一個或多個介電結構之一部分與該通道區，該介面之一第一端位於該源極區之上邊緣及下邊緣之間並結束於該源極區之中間部分，而該介面之一第二端位於該汲極區之上邊緣及下邊緣之間並結束於該汲極區之中間部分。

30. 如申請專利範圍第 29 項所述之電路，其中由於該源極區與該汲極區係被舉升離開該非揮發性記憶體單元積體電路之一基板，使得該介面之該第一端結束於該中間部分源極區之中間部分，而該介面之該第二端結束於該汲極區之中間部分。

31. 如申請專利範圍第 29 項所述之電路，其中由於該通道區係凹入該非揮發性記憶體單元積體電路之一基板，使得該介面之該第一端結束於該源極區之中間部

分，而該介面之該第二端結束於該汲極區之中間部分。

32. 如申請專利範圍第 29 項所述之電路，其中該奈米晶體結構儲存一位元。

33. 如申請專利範圍第 29 項所述之電路，其中該奈米晶體結構儲存多重位元。

34. 如申請專利範圍第 29 項所述之電路，更包括一閘極，其中該源極區與該汲極區係以該通道區與位於該閘極之相對側邊上的該奈米晶體結構分離。

35. 一種非揮發性記憶體單元積體電路之製造方法，包含以下步驟：

形成一奈米晶體結構來儲存電荷，以控制由該非揮發性記憶體單元積體電路儲存之一邏輯狀態；

形成由一通道區分離之一源極區與一汲極區；以及

形成一個或多個介電結構，其至少部分位於該奈米晶體結構與該通道區之間，且至少部分位於該奈米晶體結構與一閘極電壓源之間，

其中一介面分離所述一個或多個介電結構之一部分與該通道區，該介面之一第一端位於該源極區之上邊緣及下邊緣之間並結束於該源極區之中間部分，且該介面之一第二端位於該汲極區之上邊緣及下邊緣之間並結束於該汲極區之中間部分。

36. 如申請專利範圍第 35 項所述之方法，其中該源極區與該汲極區之該形成步驟包含：

添加一層材料至該積體電路之一基板，以使該源極

區與汲極區被舉升離開該非揮發性記憶體單元積體電路之該基板。

37. 如申請專利範圍第 35 項所述之方法，更包含以下步驟：

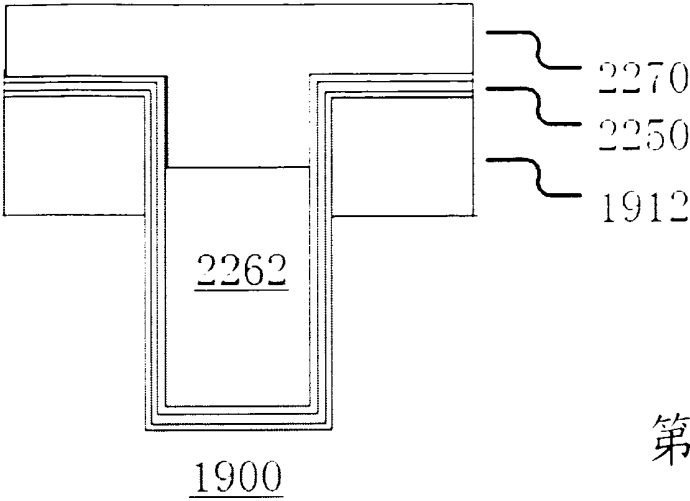
於一基板中形成一溝槽，以使該奈米晶體結構之該形成步驟與所述一個或多個介電結構之該形成步驟發生於該溝槽中。

38. 如申請專利範圍第 35 項所述之方法，其中該奈米晶體結構儲存一位元。

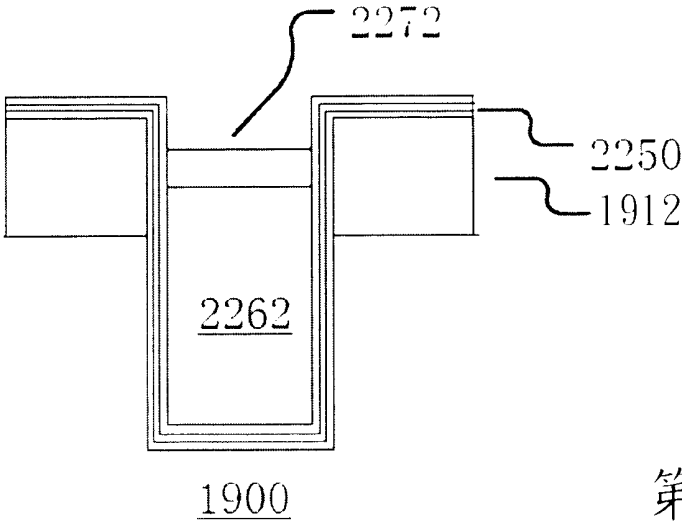
39. 如申請專利範圍第 35 項所述之方法，其中該奈米晶體結構儲存多重位元。

40. 如申請專利範圍第 35 項所述之方法，更包含以下步驟：

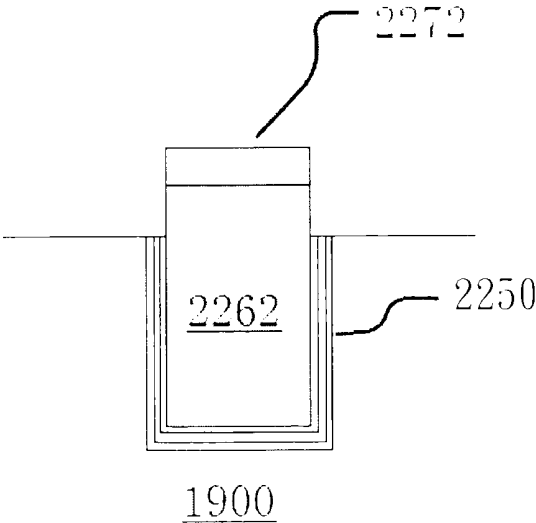
形成一閘極，其中該源極區與該汲極區由該通道區與位於該閘極之相對側邊上的該奈米晶體結構分離。



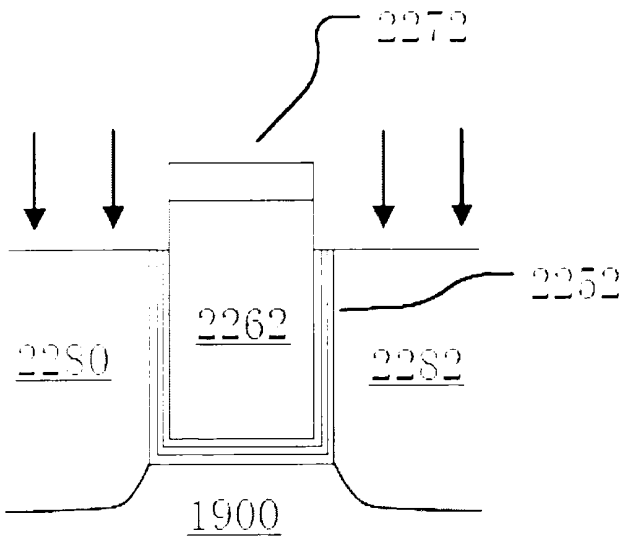
第 22D 圖



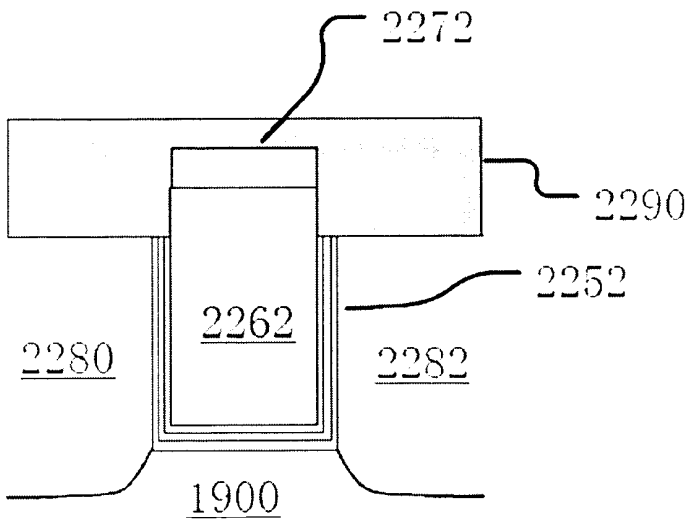
第 22E 圖



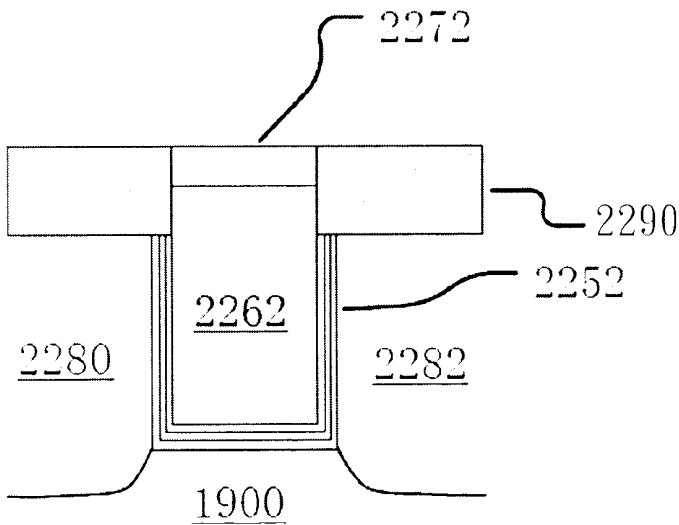
第 22F 圖



第 22G 圖



第 22H 圖



第 22I 圖