



[12] 发明专利申请公开说明书

[21] 申请号 97110212.0

[43]公开日 1997年12月10日

[11] 公开号 CN 1167338A

[22]申请日 97.3.25

[30]优先权

[32]96.3.25 [33]JP[31]067627/96

[71]申请人 东芝株式会社

地址 日本国神奈川県

[72]发明人 猪原正弘 亚南度M·B·
松能正

[74]专利代理机构 上海专利商标事务所

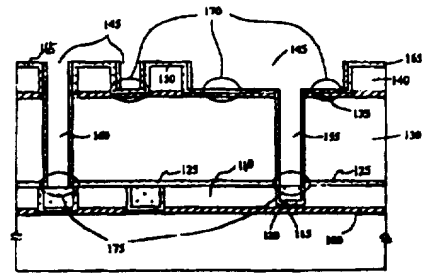
代理人 孙敬国

权利要求书 7 页 说明书 17 页 附图页数 11 页

[54]发明名称 半导体器件的制造方法

[57]摘要

本发明揭示一种半导体器件的制造方法，通过不用掩膜材料的各向异性蚀刻法除去层间连接孔底部的铜扩散防止膜之际，将不想除去铜扩散防止膜部分的铜扩散防止膜厚度做成比层间连接孔底的铜扩散防止膜厚度来得厚，借此来除去想要除去的铜扩散防止膜。本发明的制造方法通过除去层间连接孔底部的铜扩散防止膜，能实现布线的长寿命化及降低连接孔底部的电阻值。



权 利 要 求 书

1. 一种半导体器件的制造方法, 在半导体基板上, 使绝缘膜介于中间的不同层上形成的第 1 和第 2 铜布线相互电连接, 其特征在于, 包括下述工
5 序: 配设其周围由第 1 铜扩散防止膜包覆的所述第 1 铜布线的工序; 在所述第 1 铜布线上形成有布线沟的层间绝缘膜的工序; 在所述层间绝缘膜表面上形成第 2 铜扩散防止膜的工序; 形成从所述布线沟底部至所述第 1 铜布线的连接孔的工序; 在所述布线沟的底部和侧面与所述连接孔的底部和侧面上形成第 3 铜扩散防止膜的工序; 通过各向异性蚀刻在所述布线沟侧面和所述连接孔侧面上保留所述第 3 铜扩散防止膜, 但除去所述连接孔底部的所述第 3
10 铜扩散防止膜, 使所述第 1 铜布线露出的工序; 借助所述布线沟和所述连接孔中埋设的铜材料、形成与所述第 1 铜布线进行电气连接的所述第 2 铜布线的工序, 借助于前述工序, 能不通过所述第 3 铜扩散防止膜、直接连接所述第 1 铜布线与所述第 2 铜布线, 而且所述连接孔的所述铜材料由所述第 3 铜扩散防止膜所包覆。

2. 一种半导体器件的制造方法, 在半导体基片上, 使绝缘膜介于中间的不同层上形成的第 1 及第 2 铜布线相互电连接, 其特征在于, 包括下述工
序: 配设其周围由第 1 铜扩散防止膜包覆的所述第 1 铜布线的工序; 顺次形成在所述第 1 铜布线的上面的第 1 层间绝缘膜、连接孔预定区域开孔的第 2
20 铜扩散防止膜以及形成布线沟的第 2 层间绝缘膜的工序; 形成从所述布线沟底部通过所述第 2 铜扩散防止膜的开孔部分至所述第 1 铜布线的连接孔的工序; 在所述布线沟的底部和侧面与所述连接孔的底部和侧面上形成第 3 铜扩散防止膜的工序; 通过各向异性蚀刻在所述布线沟侧面和所述连接孔侧面上保留所述第 3 铜扩散防止膜, 除去所述连接孔底部的所述第 3 铜扩散防止
25 膜, 使所述第 1 铜布线露出的工序; 借助在所述布线沟和所述连接孔中埋设的铜材料、形成与所述第 1 铜布线进行电气连接的所述第 2 铜布线的工序, 借助于前述工序, 能不通过所述第 3 铜扩散防止膜直接连接所述第 1 铜布线与所述第 2 铜布线, 而且所述连接孔的所述铜材料由所述第 3 铜扩散防止膜所包覆。

30 3. 一种半导体器件的制造方法, 其特征在于, 包括下述工序: 在半导体基片上, 通过绝缘膜形成周围有由第 1 布线材料扩散防止膜包覆的第 1 布

线的布线层的工序；在所述布线层上面层积形成有绝缘性的第1层间绝缘膜层、蚀刻阻挡膜、第2层间绝缘膜层的工序；在所述第2层间绝缘膜上形成第1布线沟的同时，在该第2层间绝缘膜的上面及所述第1布线沟的内表面上形成第2布线材料扩散防止膜的工序；有选择地除去在所述第1布线沟的底部的所述第2材料扩散防止膜、所述蚀刻阻挡膜、所述第1层间绝缘膜及
5 包覆所述第1布线材料上面的所述第1布线材料扩散防止膜，使所述第1布线露出，由此形成层间连接孔的工序；在所述第2布线材料扩散防止膜表面及所述层间连接孔内侧面及所述第1布线材料的上面，形成第3布线材料扩散防止膜的工序；一边保留在所述层间连接孔内侧面及所述第1布线沟侧面上的所述第3布线材料扩散防止膜，一边除去所述第1布线材料上面的第2
10 布线材料扩散防止膜的工序；在所述层间连接孔及所述第1布线沟中埋入第2布线材料的工序。

4. 一种半导体器件的制造方法，其侧面有由布线材料扩散防止膜所包覆的布线的布线层通过绝缘膜进行层积形成，连接所述布线之间的导通孔，
15 其特征在于，包括下述工序：形成侧面有由布线材料扩散防止膜包覆的第1布线材料的布线层的工序；借助在所述布线层上形成第1层间绝缘膜形成层间绝缘膜的工序；在所述层间绝缘膜层上形成蚀刻阻挡膜的工序；在所述蚀刻阻挡膜上形成第2层间绝缘膜的工序；在所述第2层间绝缘膜上涂布第1保护膜，然后用光刻法对所述第1布线材料上方的所述第1保护膜制作布线
20 图案，以所述制成的布线图案的第1保护膜为掩膜，通过各向异性蚀刻法蚀刻除去第2层间绝缘膜直至所述蚀刻阻挡膜露出，由此，在所述第2层间绝缘膜上形成第1布线沟的工序；剥离所述第1保护膜之后，在所述第2层间绝缘膜上面及所述第1布线沟内面形成第1布线材料扩散防止膜的工序；在所述第1布线材料扩散防止膜上面涂布第2保护膜，通过光刻法对所述第1
25 布线沟内的所述第2保护膜制作布线图案，以所述制成的布线图案的第2保护膜为掩膜，采用各向异性蚀刻法，除去在所述第1布线沟底部的所述第1布线材料扩散防止膜、所述蚀刻阻挡膜、所述第1层间绝缘膜及包覆在所述第1布线材料上面的所述布线材料扩散防止膜，使第1布线材料露出，由此形成层间连接孔的工序；剥离所述第2保护膜之后，至少在所述第1布线材
30 料扩散防止膜表示面和所述层间连接孔侧面及所述第1布线材料的上面，形成第2布线材料扩散防止膜的工序；保留所述层间连接孔内侧面及所述第1

布线沟侧面的第 2 布线材料扩散防止膜, 并用各向异性蚀刻法除去所述第 1 布线材料的上面的第 2 布线材料扩散防止膜的工序; 将第 2 布线材料埋入所述层间连接孔及所述第 1 布线沟的工序。

5 5. 如权利要求 3 所述的半导体器件的制造方法, 其特征还在于, 形成所述布线层的工艺包括下列工序: 通过光刻法及各向异性蚀刻法在第 3 层间绝缘膜上形成第 2 布线沟的工序; 在所述第 2 布线沟中埋入所述第 1 布线材料之际, 形成仅将与所述第 1 布线材料的所述第 2 布线沟相接的面用第 3 布线材料扩散防止膜包覆的第 1 布线材料的工序; 在所述第 3 层间绝缘膜的上面和所述第 2 布线沟中埋入的所述第 1 布线材料的上面, 形成第 4 布线材料扩散防止膜的工序。

15 6. 如权利要求 4 所述的半导体器件的制造方法, 其特征还在于, 形成所述布线层的工艺包括下列工序: 通过光刻法及各向异性蚀刻法在第 3 层间绝缘膜上形成第 2 布线沟的工序; 在所述第 2 布线沟中埋入所述第 1 布线材料之际, 形成仅将与所述第 1 布线材料的所述第 2 布线沟相接的面用第 3 布线材料扩散防止膜包覆的第 1 布线材料的工序; 在所述第 3 层间绝缘膜的上面和所述第 2 布线沟中埋入的所述第 1 布线材料的上面, 形成第 4 布线材料扩散防止膜的工序。

20 7. 如权利要求 3 所述的半导体器件的制造方法, 其特征还在于, 形成所述布线层的工艺包括下列工序: 通过光刻法及各向异性蚀刻法在第 3 层间绝缘膜上形成第 2 布线沟的工序; 在所述第 2 布线沟的内面及所述第 3 层间绝缘膜的上面形成第 3 布线材料扩散防止膜的工序; 在所述第 1 布线材料扩散防止膜的上面层积形成所述第 1 布线材料的工序; 通过第 1 后退除去手段除去所述被层积形成的第 3 布线材料扩散防止膜及所述第 1 布线材料直至所述第 3 层间绝缘膜露出, 同时还后退除去所述第 2 布线沟内的第 3 布线材料扩散防止膜及所述第 1 材料的一部分的工序; 在至少一部分被除去的所述第 2 布线沟内的第 3 布线材料扩散防止膜及所述第 1 布线材料的上面, 形成第 4 布线材料扩散防止膜的工序; 仅在用第 2 后退除去手段部分除去所述第 4 布线材料扩散防止膜直至第 3 层间绝缘膜的所述布线沟内露出, 保留第 4 有线扩散防止膜的工序。

30 8. 如权利要求 4 所述的半导体器件制造方法, 其特征还在于, 形成所述布线层的工艺包括下列工序: 通过光刻法及各向异性蚀刻法在第 3 层间绝

缘膜上形成第 2 布线沟的工序; 在所述第 2 布线沟的内面及所述第 3 层间绝缘膜的上面形成第 3 布线材料扩散防止膜的工序; 在所述第 1 布线材料扩散防止膜的上面层积形成所述第 1 布线材料的工序; 通过第 1 后退除去手段除去所述被层积形成的第 3 布线材料扩散防止膜及所述第 1 布线材料直至所述第 3 层间绝缘膜露出, 同时还后退除去所述第 2 布线沟内的第 3 布线材料扩散防止膜及所述第 1 材料的一部分的工序; 在至少一部分被除去的所述第 2 布线沟内的第 3 布线材料扩散防止膜及所述第 1 布线材料的上面, 形成第 4 布线材料扩散防止膜的工序; 仅在用第 2 后退除去手段部分除去所述第 4 布线材料扩散防止膜直至第 3 层间绝缘膜的所述布线沟内露出, 保留第 4 有线扩散防止膜的工序布线扩散防止膜的工序。

9. 一种半导体器件的制造方法, 其特征在于, 包括下述工序: 在半导体基片上, 通过绝缘膜形成周围有由第 1 布线材料扩散防止膜包覆的第 1 布线的布线层的工序; 在所述布线层上面层积形成有绝缘性的第 1 层间绝缘膜层、连接孔预定区域开孔的第 2 布线材料扩散防止膜、第 2 层间绝缘膜层的工序; 在所述第 2 层间绝缘膜上形成有第 1 布线沟的工序; 通过所述第 1 布线沟底部的所述第 2 布线材料扩散防止膜的开孔区域, 有选择地除去所述第 1 层间绝缘膜及包覆所述第 1 布线材料上面的所述第 1 布线材料扩散防止膜, 使所述第 1 布线露出, 由此形成层间连接孔的工序; 在所述第 2 布线材料扩散防止膜表面及所述层间连接孔内侧面及所述第 1 布线材料的上面及第 2 层间绝缘膜表面上形成第 3 布线材料扩散防止膜的工序; 一边保留在所述层间连接孔内侧面及所述第 1 布线沟侧面上的所述第 3 布线材料扩散防止膜, 一边除去所述第 1 布线材料上面的第 3 布线材料扩散防止膜的工序; 在所述层间连接孔及所述第 1 布线沟中埋入第 2 布线材料的工序。

10. 一种半导体器件制造方法, 其侧面有由布线材料扩散防止膜所包覆的布线的布线层通过层间绝缘膜进行层积形成, 连接所述布线之间的导通孔, 其特征在于, 包括下述工序: 形成侧面有由布线材料扩散防止膜包覆的第 1 布线材料的布线层的工序; 借助在所述布线层上形成第 1 层间绝缘膜形成层间绝缘膜层的工序; 在所述层间绝缘层上形成具有铜扩散防止功能的蚀刻阻挡膜的工序; 在所述蚀刻阻挡膜上涂布第 1 保护膜, 采用光刻法对所述第 1 布线材料的上方部分的所述第 1 保护膜制作布线图案, 以制成的布线图案的第 1 保护膜为掩膜, 用各用异性法蚀刻除去所述蚀刻阻挡膜, 由此, 形

成层间连接孔形成用图案的工序；剥离所述第 1 保护膜之后，在所述层间连接孔形成用图案内及所述蚀刻阻挡膜的表面上形成第 2 层间绝缘膜的工序；在所述第 2 层间绝缘膜上涂布第 2 保护膜，用光刻法，至少对所述层间连接孔形成用图案上部的所述第 2 保护膜制作布线图案，用所述制成图案的第 2 保护膜作为掩膜，蚀刻除去第 2 层间绝缘膜，由此，形成第 1 布线沟，并且，以用于层间连接孔形成的制成图案的所述蚀刻阻挡膜及所述制成图案的第 2 保护膜作为掩膜，除去第 1 层间绝缘膜及包覆在所述第 1 布线材料上面的布线材料扩散防止膜，使所述第 1 布线材料露出，由此，形成层间连接孔的工序；剥离所述制成图案的第 2 保护膜后，在所述第 1 布线沟内面、所以第 2 层间绝缘膜的上面，所述层间连接孔的侧面以及所述已露出的第 1 布线材料的上面，形成第 1 布线材料扩散防止膜的工序；采用各向异性蚀刻法除去在所述第 2 层间绝缘膜的上面及所述第 1 布线材料上面的所述布线材料扩散防止膜的工序；在所述层间连接孔及所述第 1 布线沟中埋入第 2 布线材料的工序。

11. 如权利要求 9 所述的半导体器件的制造方法，其特征还在于，形成所述布线层的工序包括下述工序：在第 3 层间绝缘膜上用光刻法和各向异性蚀刻法形成第二布线沟的工序；在所述第 2 布线沟埋入第 1 布线材料之际，用第 3 布线材料扩散防止膜包覆所述第 1 布线材料的侧面的工序。

12. 如权利要求 10 所述的半导体器件制造方法，其特征还在于，形成所述布线层的工序包括下述工序：在第 3 层间绝缘膜上用光刻法和各向异性蚀刻法形成第二布线沟的工序；在所述第 2 布线沟埋入第 1 布线材料之际，用第 3 布线材料扩散防止膜包覆所述第 1 布线材料的侧面的工序。

13. 如权利要求 9 所述的半导体装置制造方法，其特征还在于，形成所述布线层的工序包括下述工序：在第 3 层间绝缘膜用光刻法和各向异性蚀刻法形成第 2 布线沟的工序；在所述第 2 布线沟的内面和所述第 3 层间绝缘膜的上面形成第 2 布线材料扩散防止膜的工序；在所述第 1 布线材料扩散防止膜的上面形成第 1 布线材料，用第 1 后退除去手段后退除去所述被积层形成的第 2 布线材料扩散防止膜第 1 布线材料直所述第 3 层间绝缘膜露出，同时也后退除去所述第 2 布线沟内的第 1 布线材料扩散防止膜与所述第 1 布线材料的一部分的工序；在至少一部分被除去的所述第 2 布线沟内的第 2 布线材料扩散防止膜与所述第 1 布线材料的上面，形成第 3 布线材料扩散

防止膜, 并仅在用第 2 后退除去手段部分除去所述第 3 布线材料扩散防止膜直至第 3 层间绝缘膜的所述布线沟内露出, 保留第 3 布线扩散防止膜的工序。

14. 如权利要求 10 所述的半导体器件制造方法, 其特征还在于, 形成所述布线层的工序包括下述工序: 在第 3 层间绝缘膜用光刻法和各向异性蚀刻法形成第 2 布线沟的工序; 在所述第 2 布线沟的内面和所述第 3 层间绝缘膜的上面形成第 2 布线材料扩散防止膜的工序; 在所述第 1 布线材料扩散防止膜的上面形成第 1 布线材料, 用第 1 后退除去手段后退除去所述被积层形成的第 2 布线材料扩散防止膜第 1 布线材料直所述第 3 层间绝缘膜露出, 同时也后退除去所述第 2 布线沟内的第 1 布线材料扩散防止膜与所述第 1 布线材料的一部分的工序; 在至少一部分被除去的所述第 2 布线沟内的第 2 布线材料扩散防止膜与所述第 1 布线材料的上面, 形成第 3 布线材料扩散防止膜, 并仅在用第 2 后退除去手段部分除去所述第 3 布线材料扩散防止膜直至第 3 层间绝缘膜的所述布线沟内露出, 保留第 3 布线扩散防止膜的工序。

15. 如权利要求 7 所述的半导体器件制造方法, 其特征还在于, 所述第 1 及第 2 后退除去手段是利用活性种的化学蚀刻法。

16. 如权利要求 8 所述的半导体器件制造方法, 其特征还在于, 所述第 1 及第 2 后退除去手段是利用活性种的化学蚀刻法。

17. 如权利要求 13 所述的半导体器件制造方法, 其特征还在于, 所述第 1 及第 2 后退除去手段是利用活性种的化学蚀刻法。

18. 如权利要求 14 所述的半导体器件制造方法, 其特征还在于, 所述第 1 及第 2 后退除去手段是利用活性种的化学蚀刻法。

19. 如权利要求 7 所述的半导体器件制造方法, 其特征还在于, 所述第 2 后退除去手段是研磨法。

20. 如权利要求 8 所述的半导体器件制造方法, 其特征还在于, 所述第 2 后退除去手段是研磨法。

21. 如权利要求 13 所述的半导体器件制造方法, 其特征还在于, 所述第 2 后退除去手段是研磨法。

22. 如权利要求 14 所述的半导体器件制造方法, 其特征还在于, 所述第 2 后退除去手段是研磨法。

23 . 如权利要求 3 所述的半导体器件制造方法, 其特征还在于, 所述蚀刻阻挡膜由氮化硅组成。

24 . 如权利要求 4 所述的半导体器件制造方法, 其特征还在于, 所述蚀刻阻挡膜由氮化硅组成。

5 25 . 如权利要求 9 所述的半导体器件制造方法, 其特征还在于, 所述蚀刻阻挡膜由氮化硅组成。

26 . 如权利要求 10 所述的半导体器件制造方法, 其特征还在于, 所述蚀刻阻挡膜由氮化硅组成。

说明书

半导体器件的制造方法

5 本发明涉及多层布线构造中半导体器件的制造方法，特别是涉及去除连接在金属布线侧面上形成的布线材料扩散防止膜的层间连接孔的部分的制造方法。

用图来详细说明已有技术。图 13(1)示出多层布线构造的半导体器件，图 13(2)示出图 13(1)的剖视图。在下层 1291 上形成的以铜为主要成分的金属布线 1201 的周围，形成为防止铜原子向层间绝缘膜 1221 扩散的铜扩散防止膜 1211 及 1212。如果没有该铜扩散防止膜，则铜流向周围的层间绝缘膜，引起半导体元件的特性劣化，因此，在使用铜作为布线材料的场合，前述铜扩散防止膜是必不可缺的。

15 如图 14 所示，在图 13 的状态的半导体器件的所有面上形成铜扩散防止膜 1213。在图 15 的层间绝缘膜 1092 上形成的层间连接孔 1205 和 1206，以及在上层 1293 上形成的布线沟 1294，均埋入以铜为主成分的布线材料(未图示)，由此，制造有多层布线构造的半导体器件。

图 15 是图 14 的半导体器件的层间连接孔 1205 和 1206 以及布线沟 1294 中埋入以铜为主成分的布线材料之后的层间连接孔 1205 附近的放大剖视图。如图 15 所示，在层间连接孔 1205 的底部 1299 有铜扩散防止膜。由于铜的扩散速度极慢，在如图 15 中的电流 I1 流动的场所，这一铜扩散防止膜妨碍了由电流流动产生的铜原子的移动，因此，在布线内 1200 和 1201 及层间连接孔内 1205 引起空隙(布线材料移动到布线中，在布线内引起的空隙现象)和希罗克斯电阻合金(ヒロツク)(布线材料在布线外发现的现象)，由此成
25 为布线及层间连接孔的断线原因，因此缩短了布线寿命。而且，在铜扩散防止膜的电阻率比以铜为主成分的金属布线 1200 和 1201 的电阻率来得大的场合，造成层间连接孔 1205 的电阻增加。

如上所述，多层布线构造的半导体器件中使用以铜为主要成分的金属布线的场合，为防止前述金属布线中含有的铜原子向周围扩散，必须在前述金属布线的周围形成铜扩散防止膜。然而，如前述那样的布线构造的场合，这种铜扩散防止膜会招致由电子迁移而引起的断线和层间连接孔部分电阻增
30

加的问题。

本发明的目的在于，通过除去层间连接孔底部的铜扩散防止膜，提供能使布线的长寿命化和连接孔底部的电阻值降低的半导体器件的制造方法。

为达到上述目的，本发明的特征在于，不采用掩膜材料而用各向异性蚀刻法除去层间连接孔底部的铜扩散防止膜的时候，将不想除去的铜扩散防止膜部分的铜扩散防止膜膜厚做得比层间连接孔底部的铜扩散防止膜的膜厚还要厚，借此，除去要想除去的铜扩散防止膜。

本发明能保留不想除去部分的铜扩散防止膜，而除去层间连接孔底部的铜扩散防止膜，因此，能解决因存在层间连接孔底部的铜扩散防止膜而引起的电子迁移和层间连接孔部分的电阻增大的问题。

图 1 表示本发明实施例 1 的半导体器件的制造工艺剖视图。

图 2 表示本发明实施例 1 的半导体器件的制造工艺剖视图。

图 3 表示本发明实施例 1 的半导体器件的制造工艺剖视图。

图 4 表示本发明实施例 1 的半导体器件的制造工艺剖视图。

图 5 表示本发明实施例 2 的半导体器件的制造工艺剖视图。

图 6 表示本发明实施例 2 的半导体器件的制造工艺剖视图。

图 7 表示本发明实施例 3 的半导体器件的制造工艺剖视图。

图 8 表示本发明实施例 3 的半导体器件的制造工艺剖视图。

图 9 表示本发明实施例 3 的半导体器件的制造工艺剖视图。

图 10 表示本发明实施例 3 的半导体器件的制造工艺剖视图。

图 11 表示本发明实施例 4 的半导体器件的制造工艺剖视图。

图 12 表示本发明实施例 5 的半导体器件的制造工艺剖视图。

图 13 表示以往的具有多层布线构造的半导体器件的制造工艺剖视图。

图 14 表示以往的具有多层布线构造的半导体器件的制造工艺剖视图。

图 15 表示以往的具有多层布线构造的半导体器件的层间连接孔附近的放大剖视图。

下面，参照附图对本发明的实施例进行说明。

实施例 1

如图 1(1)所示，用 VCD 法在半导体基片上形成由厚度为 $100\ \mu\text{m}$ 左右的氮化硅构成的蚀刻阻挡膜 100，在前述蚀刻阻挡膜 100 上用 VCD 法形成厚度为 $0.2 \sim 1.0\ \mu\text{m}$ 左右的二氧化硅组成的层间绝缘膜 105，在前述层间

绝缘膜 105 上用一般的光刻法和各向异性蚀刻法形成布线沟 110，用溅射法或 VCD 法在所述布线沟 110 的内面和前述层间绝缘膜 105 的表示形成厚为 50nm 左右的氮化硅组成的铜扩散防止膜 115，在所述铜扩散防止膜 115 上用溅射法形成以铜为主要成分的布线材料 120 之后，用后退手段使之后退(进行研磨)直至露出所述层间绝缘膜 105，在所述布线沟 110 上形成铜扩散防止膜和以铜为主要成分的金属布线(以下包括由纯铜构成的金属布线)，由此，形成作为布线使用的下层 191。

这里，蚀刻阻挡膜中一般具有由二氧化硅组成的层间绝缘膜和足够好的蚀刻选择比，而且采用绝缘性优良的氮化硅。

后退手段中采用各向异性和加工控制性优良的蚀刻法或是利用活性种的化学蚀刻法(RIE 法)。

在不想对半导体器件加多余热量时，也可用 CMP 装置研磨进行后退除去。

形成于布线沟内 110 的铜扩散防止膜，虽然使用能简便成膜的氮化硅膜是最有效果的一种，但铜是扩散速度极慢的一种材料，故也可采用电阻率高的非晶钛 SiN、非晶钨 SiN、氮化钛、钨、钼等。

其次如图 1(2)所示，在层间绝缘膜 105 的上面用溅射法或 CVD 法形成厚 50nm、由氮化硅组成的铜扩散防止膜 125，在所述铜扩散防止膜 125 上用 CVD 法形成厚 0.5 μ m 左右的由二氧化硅组成的层间绝缘膜 130，其上用 CVD 法形成厚 100nm 的由氮化硅组成的蚀刻阻挡膜 135，再在其上用 CVD 法形成层间绝缘膜 140，对所述层间的绝缘膜 140 采用一般光刻リングラフ法和各向异性法形成布线沟 145 之后，所述布线沟 145 的内表面和层间绝缘膜 140 的表面上用 CVD 法形成厚 50nm 左右的由氮化硅组成的铜扩散防止膜 150，借此，在层间绝缘膜 130 上面形成作为布线使用的上层 192。

接着，如图 2 所示，在图 1(2)的铜扩散防止膜 150 上涂布保护膜(未图示)，用一般的光刻法对该保护膜制作布线图案，以前述制成的布线图案为掩膜，采用各向异性蚀刻法，依次蚀刻除去铜扩散防止膜 150、蚀刻保护膜 135、层间绝缘膜 130 以及铜扩散保护膜 125，使露出前述金属布线 120，借此，形成连接上层 192 与下层 191 的层间连接孔 155 和 160。

然后，如图 3 所示，对图 2 状态用 CVD 法形成厚 50nm 左右的由氮化硅组成的铜扩散防止膜 165。而且这样一来，能够使布线沟底部 170 的铜扩

散防止膜厚比层间连接孔底部 175 的铜扩散防止膜厚还来得厚(约 2 倍), 并且层间连接孔 155 和 160 的侧面也能形成铜扩散防止膜。

接着, 如图 4 所示, 对图 3 状态, 不采用掩膜而采用各向异性蚀刻法除去层间连接孔底部 175 的铜扩散防止膜。这时, 虽然布线沟底部 170 的铜扩散防止膜的一部分也被除去, 但已如前所述, 与层间连接孔底部 175 的铜扩散防止膜相比, 布线沟底部 170 的铜扩散防止膜来得厚, 因此, 如图 4 所示, 除去层间连接孔底部 175 的铜扩散防止膜, 并能保留布线沟底部 170 的铜扩散防止膜。然后, 在层间连接孔 160 与 155、布线沟 145 中埋入以铜为主要成分的布线材料, 借此, 制造有多层布线构造的半导体器件。

如前述构成的本实施形态, 因能保留层间连接孔底部以外的铜扩散防止膜, 并能除去层间连接孔底部的铜扩散防止膜, 所以能够解决因存在层间连接孔底部的铜扩散防止膜而引起的电子迁移与层间连接孔的电阻增加的问题。

实施例 2

下面, 参照附图对实例 2 详细地进行说明。如图 5(1)所示, 在半导体基片上面用 CVD 法形成厚 100nm 程度的氮化硅组成的蚀刻阻挡膜 500, 在所述蚀刻阻挡膜 500 的上面用 CVD 法形成厚 0.2 ~ 1.0 μ m 左右的由二氧化硅组成的层间绝缘膜 505, 前述层间绝缘膜 505 上用一般的光刻法及各向异性蚀刻法形成布线沟 105, 布线沟 510 的内表面及层间绝缘膜 505 的表面上用溅射法或 CVD 法形成厚 50nm 左右由氮化硅组成的铜扩散防止膜 515 之后, 再在该铜扩散防止膜 515 上面用溅射法形成以铜为主要成分的布线材料 520。

接着如图 5(2)所示, 用后退手段蚀刻除去铜扩散防止膜 515 和布线材料 520, 由此使层间绝缘层 505 的表面露出, 并且也蚀刻除去一部分布线沟 510 内的铜扩散防止膜 515 与布线材料 520。

这里, 采用利用活性种的化学蚀刻法例如反应性离子蚀刻法(以下称作 RIE 法)作为后退手段。这种 RIE 法的各向异性与微细加工控制性均优。

其次如图 5(3)所示, 在露出的层间绝缘膜 505 与布线材料 520 的上面用 CVD 法形成由氮化硅组成的铜扩散防止膜 516。

接下来如图 5(4)所示, 通过用 RIE 法或 CMP 装置研磨铜扩散防止膜 516, 使之后退直至露出所述层间绝缘层 505, 在布线沟 510 中形成铜扩散

防止膜与以铜为主要成分的金属材料 520，由此形成作为布线使用的下层 591。

铜扩散防止膜 515、516，虽然使用可简便成膜的氮化硅特殊最有效的一种，但铜是扩散速度极慢的一种材料，故也可采用电阻率比氮化硅还要低的非晶钛 SiN、非晶钨 SiN、氮化钛、钨、钼等。

其次如图 6(1)所示，用与实施例 1 的图 1(2)至图 4 的相同的工序，制造有多层布线构造的半导体器件。

由于本实施例的构成如前所述，因此，与实施例 1 相同，能保留层间连接孔底部以外的铜扩散防止膜，并除去层间连接孔底部的铜扩散防止膜，因而能够解决因存在层间连接孔底部的铜扩散防止膜而引起的电子迁移与层间连接孔的电阻增加的问题。

而且，本实施例与实施例 1 不同，由于层间绝缘膜 505 与 530 之间不存在铜扩散防止膜、因此如图 6(2)所示那样，容易形成比下层 591 更为下层的连接通孔 595。

15 实施例 3

下面参照附图第三对实施例 3 详细地进行说明。如图 7(1)所示，用与实施例 1 中的图 1(1)相同的方法形成下层 791。

接着如图 7(2)所示，在层间绝缘膜 705 的上面用溅射法或 CVD 法形成厚 50nm、由氮化硅组成的铜扩散防止膜 725，铜扩散防止膜 725 的上面用 CVD 法形成厚 0.5 μm 左右的、由二氧化硅组成的层间绝缘膜 730，在其上用 CVD 法形成厚 200nm 左右的、由氮化硅组成的蚀刻阻挡膜 735，采用一般的光刻法与各向异性蚀刻法在所述蚀刻阻挡膜 735 上制作层间连接孔形成用的布线图案，再在其上用 CVD 法形成层间绝缘膜 740，由此，在层间绝缘膜 730 上形成作为布线用的上层 792。此外，蚀刻阻挡膜 735 取 200nm 左右，厚度比实施例 1 中的更厚(约 2 倍)。

接着，如图 8 所示，在图 7(2)状态下在层间绝缘膜 740 上涂布保护膜(未图示)，用一般的光刻法对上述保护膜制作布线图案，以制成布线图案的保护膜为掩膜，用各向异性蚀刻法蚀刻除去层间绝缘膜 740，借此，形成布线沟 745，与此同时，以蚀刻阻挡膜 735 为掩膜对层间绝缘膜 730 进行蚀刻除去，借此，同时形成层间接线孔 760 与 755，使布线材料 720 的表面露出来。

在该工艺中，由于在形成布线沟 745 之后连续形成层间连接孔 755 和

760，因此蚀刻阻挡膜 735 在形成布线沟 745 时起蚀刻阻挡膜作用，在形成层间连接孔 755 和 760 时起掩膜作用。为此，蚀刻阻挡膜 735 的膜厚在形成层间连接孔 755 和 760 时受到蚀刻除去，必须如前述那样将其厚度做得较厚，以免层间绝缘层 730 露出来，其膜厚决定于蚀刻条件(蚀刻气体种类和蚀刻时间等)和层间连接孔的蚀刻选择比等。

接着如图 9 所示，对图 8 的状态用溅射法或 CVD 法形成厚 50nm、由氮化硅组成的铜扩散防止膜 765。

接着，如图 10 所示，对图 9 的状态，不用掩膜而用各向异性蚀刻法蚀刻除去层间连接孔底部 775 的铜扩散防止膜 765。这时，层间绝缘膜 740 的上表面和布线沟底部 770 的铜扩散防止膜 765 虽也同时被除去，但布线沟底部 770 由于存在蚀刻阻挡膜 735，并不露出层间绝缘膜 730。而且，此后在层间连接孔 760 和 755 及布线沟 745 中埋入以铜为主要成分的布线材料，由此，制成多层布线构造的半导体器件。

而且，如前所述，由于蚀刻阻挡膜 735 由具有防止铜扩散作用的物质(本实施形态中为氮化硅)所组成，因此布线材料中所含有的铜原子不会从布线沟底部 770 扩散到层间绝缘膜 730 中。

本实施例如前述构成，因此能除去层间连接孔底部的铜扩散防止膜，从而能解决因存在层间连接孔底部的铜扩散防止膜而引起电子迁移造成断线和层间连接孔的电阻增加的问题。

20 实施例 4

下面，参照附图对实施例 4 详细地进行说明。如图 11 所，用与图 5(1)至(4)所示完全相同的工艺，在层间绝缘膜 1105 上形成布线沟 1110，在所述布线沟 1110 中埋入其周围由铜扩散防止膜 1116 和 1115 所被覆的布线材料 1120，形成下层 1191。

25 采用与实施例 3 所示的图 7(2)至图 10 所示的完全相同的工艺，制成如图 11(2)所示的多层布线构造的半导体器件。

铜扩散防止膜 1116，虽然使用可简便成膜的氮化硅是最为有效的一种，但铜是扩散速度极慢的一种材料，故也可采用电阻率比氮化硅还低的非晶钛 SiN、非晶钨 SiN、氮化钛、钨、钼等。

30 本实施形态如前述构成，因与实施例 3 相同，能除去层间连接孔底部的铜扩散防止膜，所以能解决因存在层间连接孔底部的铜扩散防止膜而引起电

子迁移造成断线和层间连接孔的电阻增加的问题。

前述的全部实施例，虽然在上层形成的布线沟 145 和 745 与下层形成的布线沟 110 和 710 是平行的，但也可如图 12 所示，上层布线 1196 与下层布线 1197 位置是扭曲的。

5 前述的实施例中虽然布线材料的主成份是铜，但也可以用铝作主成分(包括纯铝)。这种场合，使用壁垒金属代替铜扩散防止膜。

半导体器件的设计上，其布线的配置受到限制的场合，希望上层与下层的布线平走。

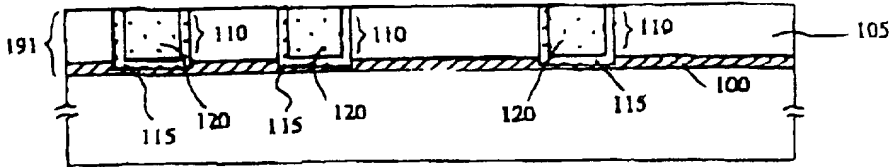
10 在下层布线与上层布线平走的场合，为了最短地连接上层布线与下层布线的层间连接，下层布线必须位于上层布线的正下面。然而，在上层和下层的布线做成扭曲位置时，因无其必要而增加了上层与下层的布线的配置自由度。

15 采用本发明，则因能够除去层间连接孔底部的铜扩散防止膜，所以能解决因存在层间连接孔底部的铜扩散防止膜而造成电子迁移及层间连接孔的电阻增加的问题，并能确实防止铜向层间绝缘膜的扩散。进而增加布线的配置自由度。

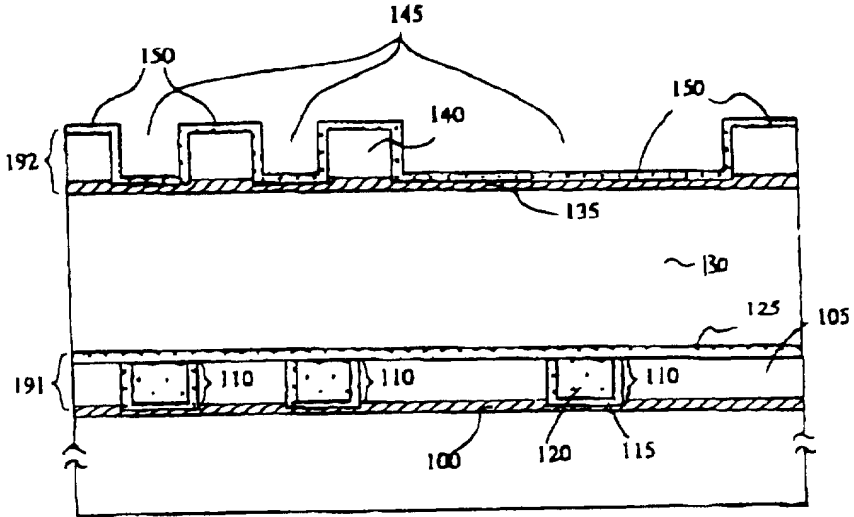
为此，本发明能用于要求布线低电阻化、长寿命化、配置自由度增加以及防止向铜等布线材料的周边流出的高集成度的 DRAM 中。

20 如前述那样构成的本发明，能够只除去层间连接孔底部的铜扩散防止膜。所以，能够抑制由于存在层间连接孔底部的铜扩散防止膜引起的电子迁移造成布线寿命缩短和层间连接孔的电阻增加使半导体器件的特性劣化。

说明书附图



(1)



(2)

图 1

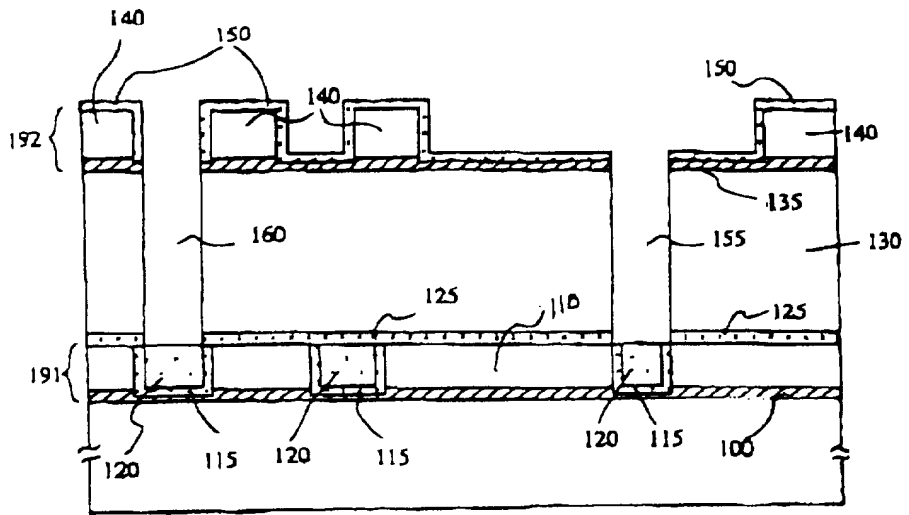


图 2

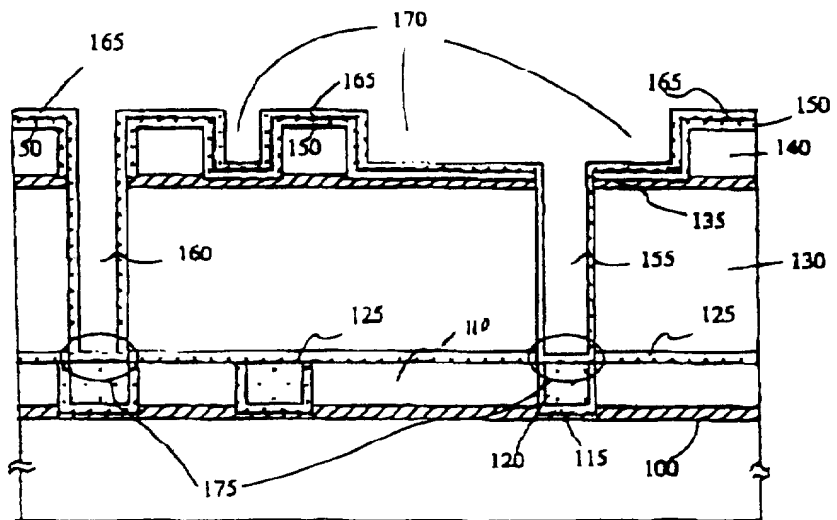


图 3

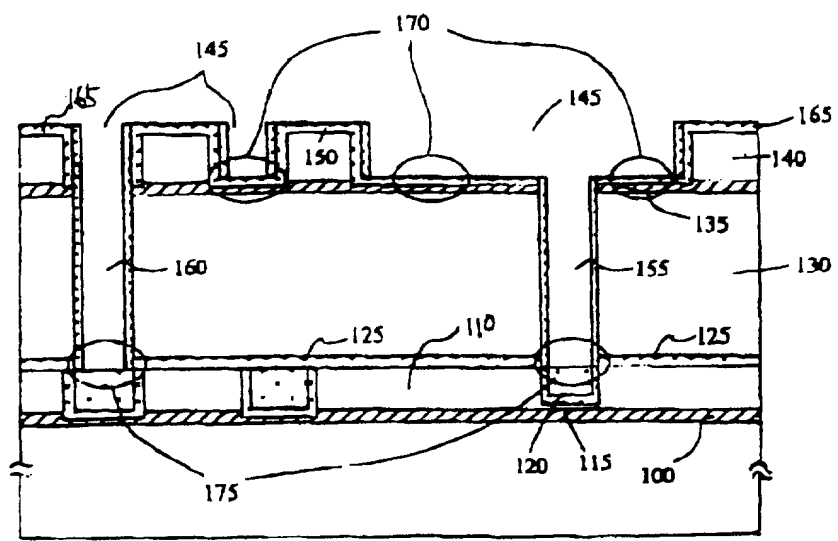


图 4

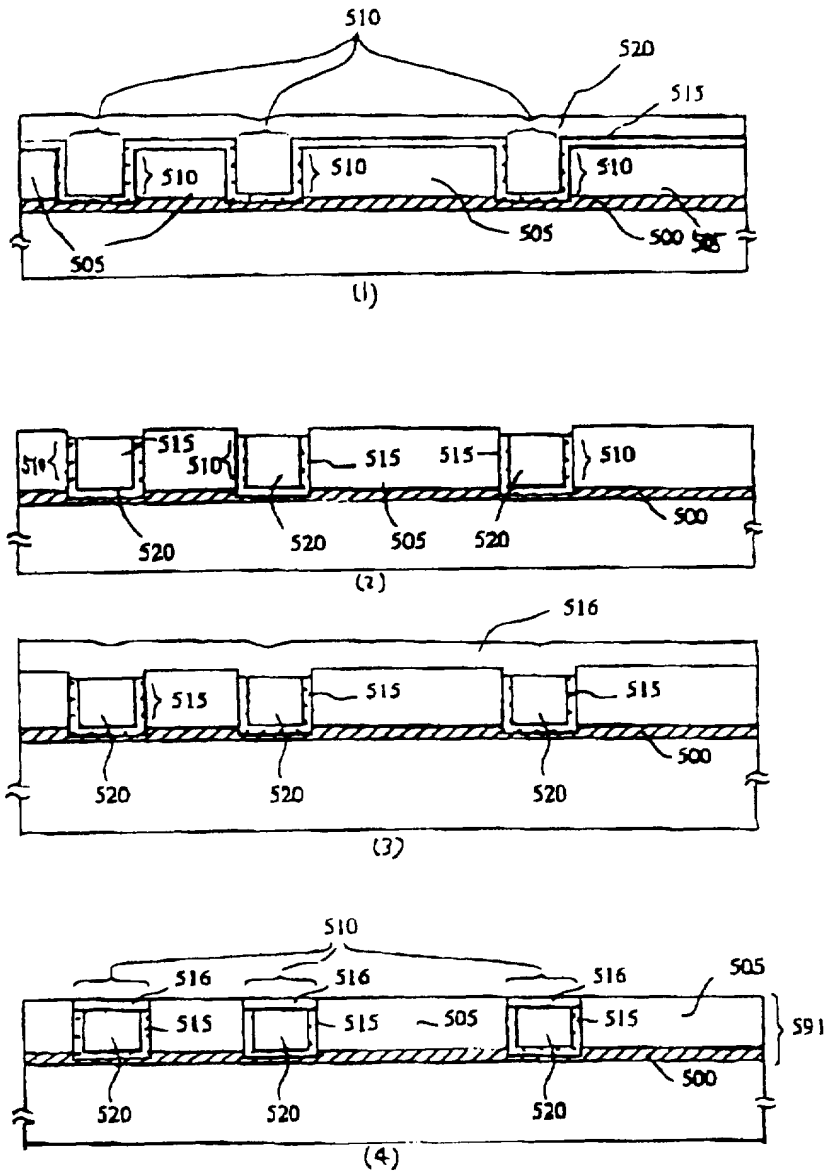
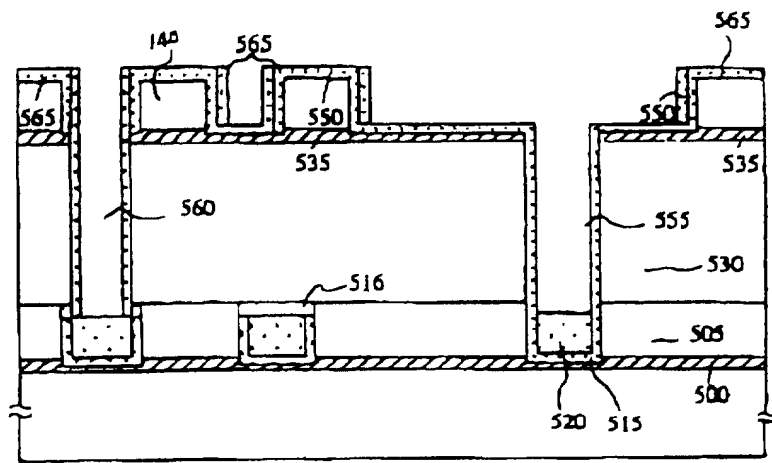
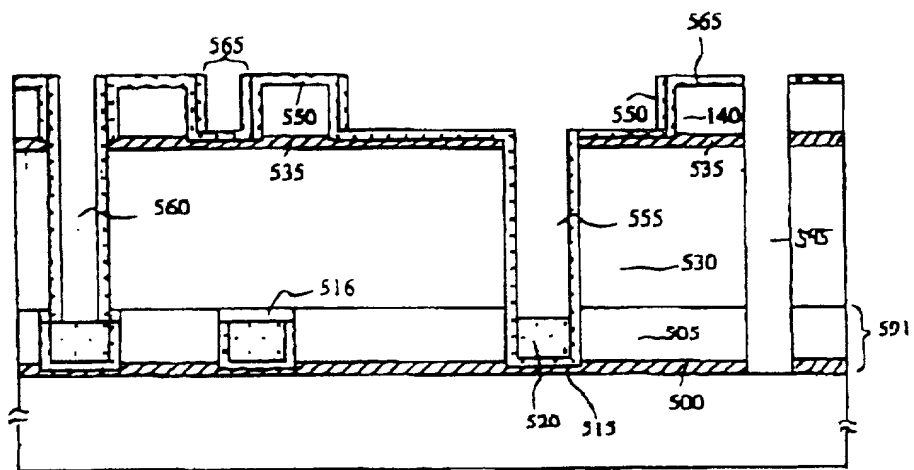


图 5

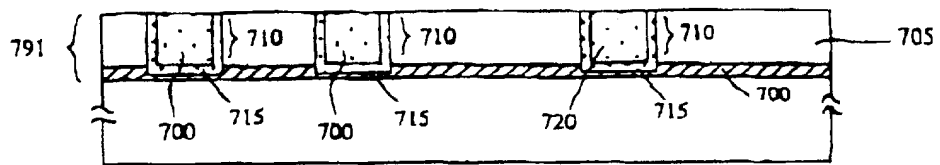


(1)

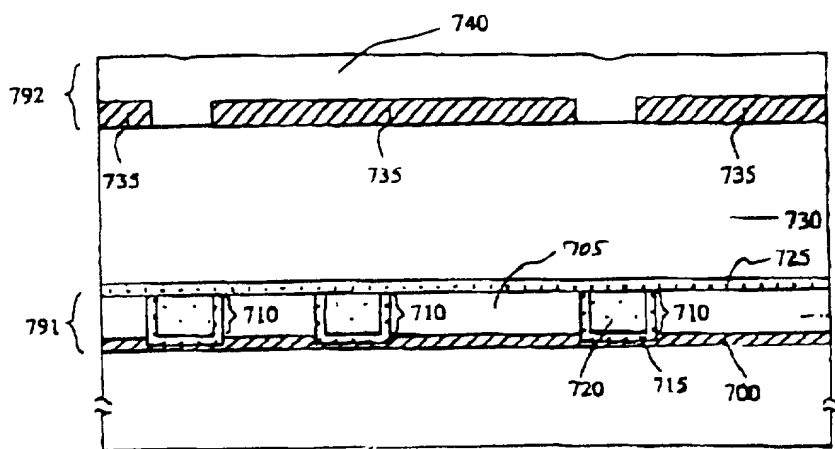


(2)

图 6



(1)



(2)

图 7

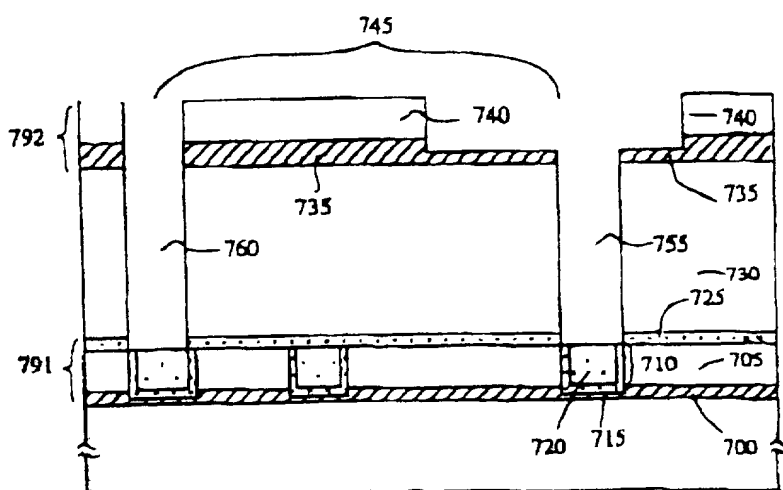


图 8

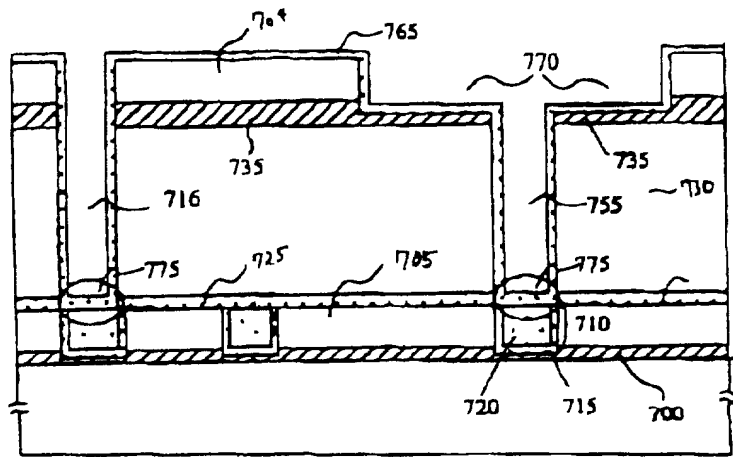


图 9

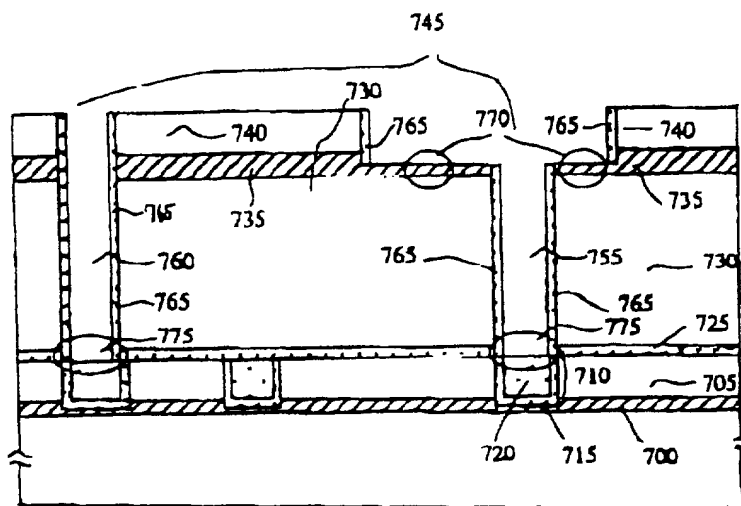


图 10

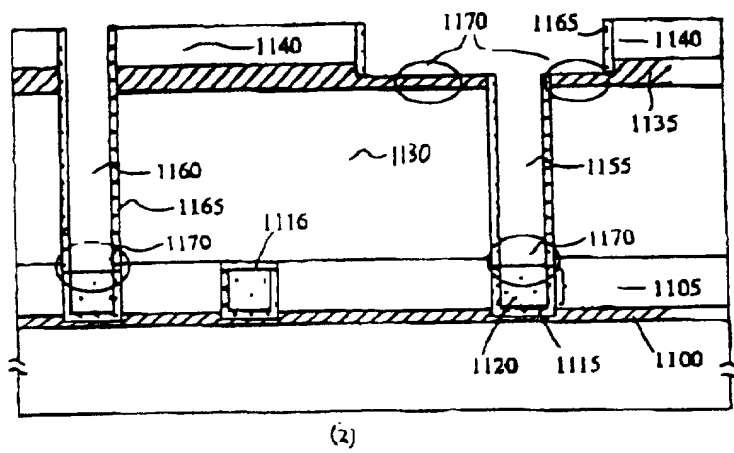
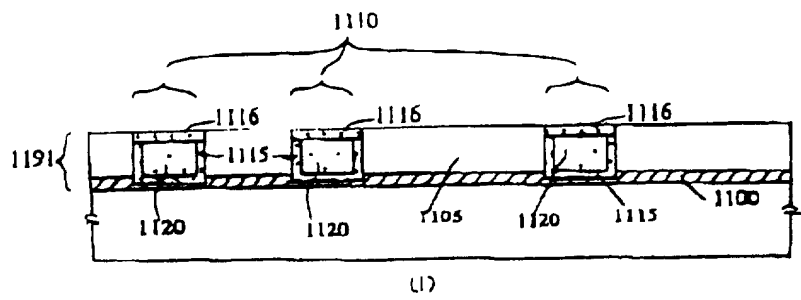


图 11

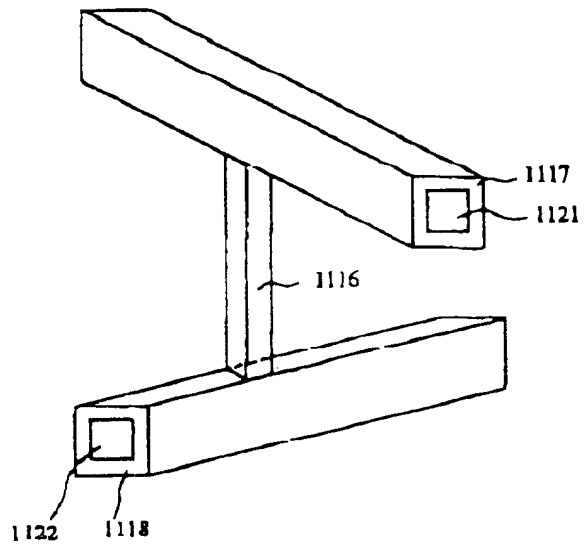
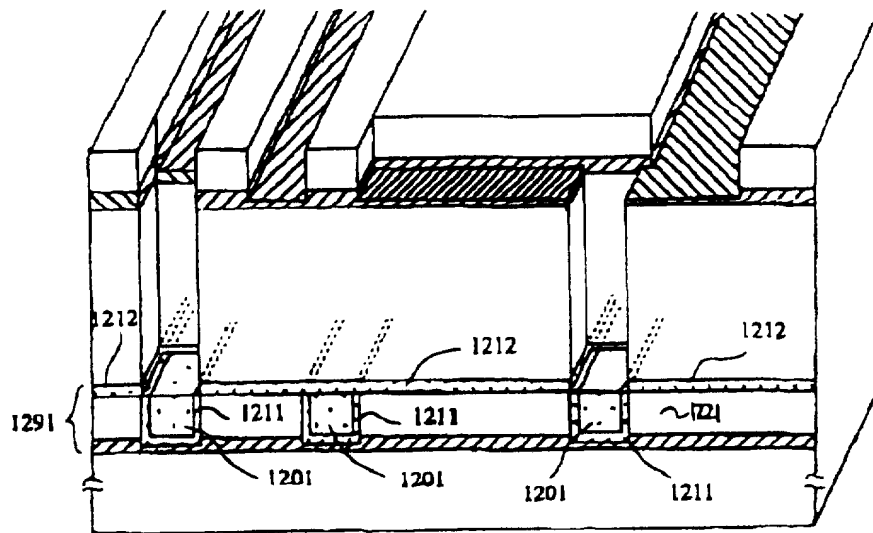
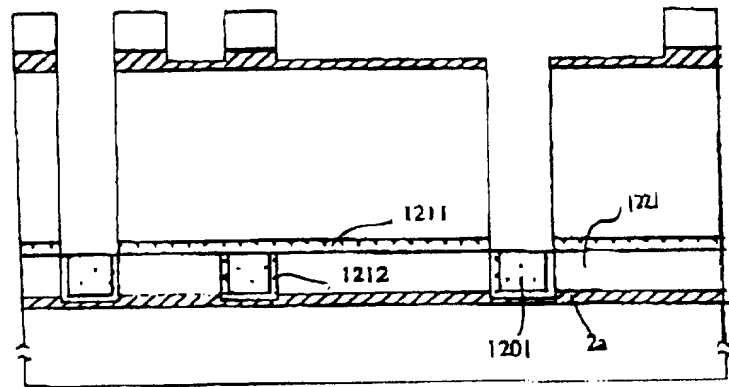


图 12



(1)



(2)

图 13

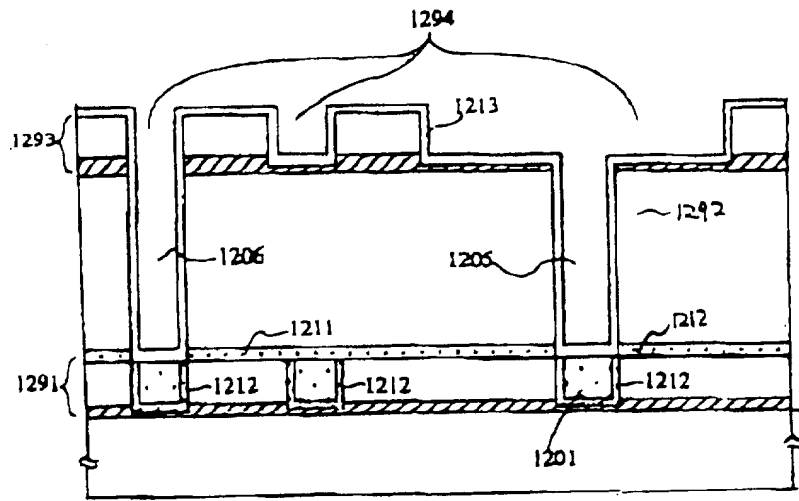


图 14

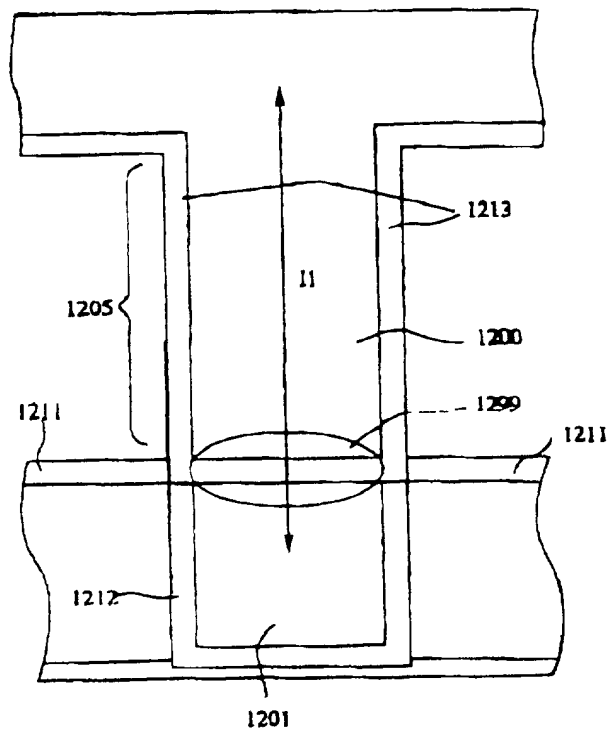


图 15