

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6905080号
(P6905080)

(45) 発行日 令和3年7月21日 (2021.7.21)

(24) 登録日 令和3年6月28日 (2021.6.28)

(51) Int. Cl.	F I
HO 1 C 7/12 (2006.01)	HO 1 C 7/12
HO 1 C 1/034 (2006.01)	HO 1 C 1/034
HO 1 C 7/115 (2006.01)	HO 1 C 7/115
HO 1 C 7/18 (2006.01)	HO 1 C 7/18
HO 1 C 17/00 (2006.01)	HO 1 C 17/00 1 0 0

請求項の数 19 (全 12 頁)

(21) 出願番号	特願2019-556319 (P2019-556319)	(73) 特許権者	300002160
(86) (22) 出願日	平成30年4月17日 (2018.4.17)		ティーディーケイ・エレクトロニクス・アクチェンゲゼルシャフト
(65) 公表番号	特表2020-517116 (P2020-517116A)		TDK ELECTRONICS AG
(43) 公表日	令和2年6月11日 (2020.6.11)		ドイツ国 81671 ミュンヘン ローゼンハイマー シュトラッセ 141 イー
(86) 国際出願番号	PCT/EP2018/059751		Rosenheimer Strasse
(87) 国際公開番号	W02018/192912		141 e, 81671 Muenchen, Germany
(87) 国際公開日	平成30年10月25日 (2018.10.25)	(74) 代理人	110002664
審査請求日	令和1年10月16日 (2019.10.16)		特許業務法人ナガトアンドパートナーズ
(31) 優先権主張番号	102017108384.7	(72) 発明者	ピュルスティンガー, トマス
(32) 優先日	平成29年4月20日 (2017.4.20)		オーストリア国 8452 グロースクライン, ブルクシュタル 73
(33) 優先権主張国・地域又は機関	ドイツ (DE)		

最終頁に続く

(54) 【発明の名称】 多層デバイス及び多層デバイスを製造するための方法

(57) 【特許請求の範囲】

【請求項 1】

- 少なくとも2つの外部電極 (11, 11') と、
 - それぞれが1つの外部電極 (11, 11') と導電的に接続されている少なくとも1つの第1及び第2の内部電極 (12, 12') と、
 - 前記内部電極 (12, 12') を包囲する複数のセラミック層 (14) と、
 - 前記セラミック層 (14) の積層方向 (20) に沿って見て前記内部電極 (12, 12') の間に配置されていると共に、前記セラミック層 (14) のうち1つの少なくとも1つの部分領域上に印刷されている少なくとも1つの誘電体層 (15) と、を有する基体を備える多層デバイス (10) であって、

前記誘電体層 (15) は前記外部電極 (11, 11') にまで達しておらず、これらから隔てられており、

前記誘電体層 (15) は2つの前記セラミック層 (14) の間に挟まれており、

前記誘電体層 (15) の材料は、前記セラミック層 (14) の材料とは異なる、多層デバイス (10) 。

【請求項 2】

前記セラミック層 (14) は、バリスタ層を含む、請求項 1 に記載の多層デバイス (10) 。

【請求項 3】

前記セラミック層 (14) は、前記セラミック層 (14) の前記積層方向 (20) に沿

って、 $2\mu\text{m}$ D $6\mu\text{m}$ の広がりDを有する、請求項1又は2に記載の多層デバイス(10)。

【請求項4】

前記誘電体層(15)は、反対極の内部電極(12, 12')の間のオーバーラップ面を減少させるために形成され配置されている、請求項1～3のいずれか1項に記載の多層デバイス(10)。

【請求項5】

前記少なくとも1つの誘電体層(15)は、前記積層方向(20)に対して垂直な方向(21)において、少なくとも2つの互いに分離したセクション(16)に分割されており、前記セクション(16)は、前記セラミック層(14)の材料によって、互いに分離されている、請求項1～4のいずれか1項に記載の多層デバイス(10)。

10

【請求項6】

前記セクション(16)の間の凹部(16a)は角張った断面を有する、請求項5に記載の多層デバイス(10)。

【請求項7】

前記セクション(16)の間の凹部(16a)は円形の断面を有する、請求項5に記載の多層デバイス(10)。

【請求項8】

前記少なくとも1つの誘電体層(15)はチタン酸マグネシウムを含む、請求項1～7のいずれか1項に記載の多層デバイス(10)。

20

【請求項9】

前記誘電体層(15)は、少なくとも2つの隣接するセラミック層(14)及び2つのオーバーラップした内部電極(12, 12')と共に、ESD放電経路を形成するように形成され配置されている、請求項1～8のいずれか1項に記載の多層デバイス(10)。

【請求項10】

ESD保護デバイスとしてのバリスタの機能を有する、請求項1～9のいずれか1項に記載の多層デバイス(10)。

【請求項11】

0.5pF 以下の容量を有する、請求項1～10のいずれか1項に記載の多層デバイス(10)。

30

【請求項12】

複数の誘電体層(15)を有する請求項1～11のいずれか1項に記載の多層デバイス(10)であって、前記誘電体層(15)は、前記セラミック層(14)の積層方向(20)に沿って見て、前記内部電極(12, 12')の間に上下に重なり合って配置されており、各前記誘電体層(15)は、それぞれ前記セラミック層(14)のうち1つの部分領域の上に印刷されており、前記誘電体層(15)は、前記セラミック層(14)の前記積層方向(20)に沿って、それぞれ $2\mu\text{m}$ D $6\mu\text{m}$ の広がりDを有する、多層デバイス(10)。

【請求項13】

前記基体は、積層方向(20)において、誘電性の支持材料(13)によって閉鎖されている、請求項1～12のいずれか1項に記載の多層デバイス(10)。

40

【請求項14】

ESD保護デバイスとしてのバリスタの機能を有する多層デバイス(10)を製造するための方法であって、

- バリスタ層を含むセラミック層(14)を準備するステップと、
- 内部電極(12, 12')を形成するために、前記セラミック層(14)の一部の表面の上に、電極材料を塗布するステップと、
- 少なくとも1つの誘電体層(15)を形成するために、少なくとも1つのセラミック層(14)の表面に、誘電体材料を部分的に印刷するステップと、
- 前記誘電体材料が印刷された前記セラミック層(14)を、前記電極材料を備える前記

50

セラミック層（１４）の間に積層するステップと、

- 基体を形成するために、前記セラミック層（１４）をプレスするステップと、
- 前記基体の対向する外面の上に外部電極（１１，１１'）を配置するステップと、
- 前記基体を焼結するステップと、を有し、

前記誘電体層（１５）は前記外部電極（１１，１１'）にまで達しておらず、これらから隔てられており、

前記誘電体層（１５）は２つの前記セラミック層（１４）の間に挟まれており、

前記誘電体層（１５）の材料は、前記セラミック層（１４）の材料とは異なる、方法。

【請求項１５】

前記誘電体材料は、スクリーン印刷又はインクジェット印刷によって、前記少なくとも１つのセラミック層（１４）の上に塗布される、請求項１４に記載の方法。

10

【請求項１６】

前記誘電体材料は、チタン酸マグネシウムを含む、請求項１４又は１５に記載の方法。

【請求項１７】

前記誘電体材料は、ペースト又はインクとして、前記セラミック層（１４）の上に塗布される、請求項１４～１６のいずれか１項に記載の方法。

【請求項１８】

セラミック層（１４）複数のそれぞれの表面には、前記誘電体材料が部分的に印刷されており、その結果、前記多層デバイスは積層の後に複数の誘電体層（１５）を備え、前記誘電体層（１５）は、前記セラミック層（１４）の積層方向（２０）に沿って見て、前記内部電極（１２，１２'）の間に上下に重なり合って配置されており、各前記誘電体層（１５）は、それぞれ前記セラミック層（１４）のうち１つの部分領域の上に印刷されており、前記誘電体層（１５）は、前記セラミック層（１４）の前記積層方向（２０）に沿って、それぞれ２μm D 6μmの広がりDを有する、請求項１４～１７のいずれか１項に記載の方法。

20

【請求項１９】

前記多層デバイス（１０）の前記基体は、積層方向（２０）において、誘電性の支持材料（１３）によって閉鎖されている、請求項１４～１８のいずれか１項に記載の方法。

【発明の詳細な説明】

【技術分野】

30

【０００１】

多層デバイスが記述される。更に、多層デバイスを製造するための方法が記述される。

【背景技術】

【０００２】

E S D保護デバイスの寄生容量は、保護されるべき配線の伝送周波数がますます高くなっているために、特定の最大値を超えてはならず、また、低い容量に加えて小さな分散を有していなければならない。E S D保護デバイスは、通常、非線形のU - I特性曲線を有する材料から成り、この材料には内部電極が導かれており、この内部電極は他方でまた外部電極と接続されている。電極対の寄生容量を最小化するために、内部電極間のオーバーラップ面を、一定の距離を保った状態で可能な限り最小化することが試みられている。

40

【０００３】

特許文献１から、E S D保護デバイスとしての電気多層デバイスが知られている。（半）導電性材料で充填された穿孔された開口を有する誘電体層を設けることにより、内部電極のオーバーラップ面は分離され、それによって寄生容量は低減される。

【先行技術文献】

【特許文献】

【０００４】

【特許文献１】独国特許出願公開第１０２００９００７３１６号明細書

【発明の概要】

【発明が解決しようとする課題】

50

【0005】

解決すべき課題は、改良された多層デバイス及び対応する製造方法を提供することにある。好ましくは、改善された特性、例えば最小の容量を有するESD保護デバイスを備える、シンプルで安価な多層デバイスが提供されるべきである。

【課題を解決するための手段】

【0006】

この課題は、独立請求項による多層デバイス及び方法によって解決される。多層デバイスの有利な構成は、従属請求項の主題である。

【0007】

1つの態様によれば、多層デバイスが提供される。

10

【0008】

多層デバイスは、少なくとも2つの外部電極及び少なくとも1つの第1及び第2の内部電極を有する基体を備え、それぞれ1つの内部電極が1つの外部電極と導電的に接続されている。それぞれの内部電極は、直接的に又はピア接点(Durchkontaktierung)を介して、それぞれの外部電極と導電的に接続されている。

【0009】

多層デバイスは、更に、複数のセラミック層、好ましくはバリスタ層を備える。セラミック層は、内部電極を包囲している。内部電極は、セラミック層の材料によって、ほぼ完全に取り囲まれている。しかしながら、それぞれの内部電極は、少なくとも接触領域において、それぞれの外部電極と自由に接触可能である。

20

【0010】

多層デバイスは、更に、少なくとも1つの誘電体層を備える。多層デバイスは、複数の誘電体層、例えば、2個、5個又は10個の誘電体層を備えることもできる。誘電体層は、セラミック層の積層方向に沿って見て、内部電極の間に配置されている。誘電体層は、セラミック層のうち1つの少なくとも1つの部分領域の上に、例えばスクリーン印刷又はインクジェット印刷によって印刷されている。

【0011】

セラミック層に誘電体材料を部分的に印刷することにより、内部電極間のオーバーラップ面を簡単な方法で減少させることができ、これにより寄生容量を減少させることができる。好ましくは、多層デバイスは、0.5 pF以下、好ましくは0.2 pFの容量を有する。セラミック層に誘電体材料を単に印刷することによって、多層デバイスの構造が、更に容易に実現可能である。これによって、最小の容量を有するシンプルで安価な多層デバイスが提供される。

30

【0012】

1つの実施例によれば、誘電体層は、セラミック層の積層方向に沿って、2 μm D 6 μm の広がりDを有する。誘電体層が印刷されることによって、誘電体層の非常に小さな厚さが達成され得る。多層デバイス内の材料混合は、これにより著しく低減される。製造プロセス中の境界層における異なる広がり回避され得る。

【0013】

1つの実施例によれば、少なくとも1つの誘電体層は、積層方向に対して垂直な方向において、少なくとも2つの互いに分離されたセクションに分割されている。換言すれば、誘電体層は凹部を備える。

40

【0014】

セクションは、誘電体層の印刷の際に自動的に生成される。追加の事後的に誘電体層内に導入される開口は、排除される。誘電体層のセクションは、セラミック層の材料によって互いに分離されている。これにより、充填材料の使用及び追加の充填工程が排除される。したがって、単純化された安価な多層デバイスが提供される。

【0015】

1つの実施例によれば、セクション間の凹部は、角張った又は円形の断面を有する。誘電体層の印刷の際、凹部の幾何学的形状は、任意の所望の形状に高精度で形成することが

50

でき、したがって、部材の幾何学的形状に正確に適合させることができる。

【0016】

1つの実施例によれば、少なくとも1つの誘電体層は、チタン酸マグネシウムを含む。しかし、代替的な材料も考えられる。誘電体層は、インク又はペーストの形態で、セラミック層の上に印刷される。したがって、好ましくは、インク又はペーストの形態で印刷可能な材料が使用される。

【0017】

1つの実施例によれば、誘電体層は、少なくとも2つの隣接するセラミック層及び2つのオーバーラップした内部電極と共にESD放電経路を形成するように、形成され配置されている、特に、多層デバイスは、ESD保護デバイスとしてのバリスタの機能を有する。

10

【0018】

別の態様によれば、多層デバイスを製造するための方法が提供される。多層デバイスは、好ましくは、上述した多層デバイスに対応する。特に、製造方法は、上述したような多層デバイスの製造のために用いられ得る。当該方法は、以下のステップを備えている：

【0019】

- バリスタ層を含むセラミック層を準備するステップ。セラミック層は、好ましくはグリーンシートの形態で準備される。

【0020】

- 内部電極を形成するために、セラミック層の一部の表面の上に、電極材料、好ましくは電極ペースト又はインクを塗布するステップ。好ましくは、電極材料は、セラミック層の上に印刷される。電極材料は、銀及び/又はパラジウムを含む。

20

【0021】

- 少なくとも1つの誘電体層を形成するために、少なくとも1つのセラミック層の表面に、誘電体材料を部分的に印刷するステップ。好ましくは、誘電体材料は、ペースト又はインクの形態で、スクリーン印刷又はインクジェット印刷によって、セラミック層の上に印刷される。誘電体材料は、好ましくはチタン酸マグネシウムを含む。部分的にのみ印刷することにより、不連続な誘電体層、特に、複数のセクションに分割された誘電体層がもたらされる。したがって、誘電体層は、少なくとも1つの凹部を自動的に備える。印刷は、内部電極間のオーバーラップ面を減少させるために、セクション又は凹部の正確な位置決めを可能とする。

30

【0022】

- 誘電体材料が印刷された少なくとも1つのセラミック層を、電極材料を備えるセラミック層の間に積層するステップ

【0023】

- 基体を形成するために、セラミック層をプレスするステップ

【0024】

- 基体の対向する外面の上に外部電極を配置するステップ

【0025】

- 基体を焼結するステップ。代替的に、基体は、外部電極を配置する前に焼結され得る。それに引き続く温度ステップにおいて、外部電極は焼成される。

40

【0026】

1つ又は複数のセラミック層に、ペースト又はインクの形態の誘電体を印刷することによって、多層デバイスの単純な構造が実現される。内部電極間のオーバーラップ面を減少させるために、先行技術のような手間がかかり高価なレーザ技術を用いて、誘電体層に開口を穿孔することが、排除される。

【0027】

多層デバイスにおける材料混合は更に本質的に低減され、それと結び付けられた境界層における異なる広がりの問題は、セラミック層上への誘電体層の積層（先行技術を参照）及びその逆の積層の際に起こり得る積層問題と同様に、排除される。

【0028】

50

更に、不正確に位置決めされたレーザ穿孔された開口では不可能であり、したがって高い不良品発生率につながる金属ペーストを用いた開口ノ凹部の充填は、排除される。全体として、上述した方法によって、最小の容量を有する単純化された安価な多層デバイスが提供される。

【0029】

以下で、実施例を参照しながら、上述した事項がより詳細に説明される。

【0030】

以下に記載される図面は、縮尺どおりであると解釈されるべきではなく、むしろ、図面は、個々の寸法において拡大、縮小又は歪められて示され得る。

【図面の簡単な説明】

10

【0031】

【図1】先行技術による多層デバイスの概略的な構造を示している。

【図2】図1の多層デバイスの部分領域を示している。

【図3】本発明による多層デバイスの概略的な構造を示している。

【図4】本発明による多層デバイスを製造するための方法を概略的に示している。

【発明を実施するための形態】

【0032】

図1は、先行技術による多層デバイス1を示す。多層デバイス1は、ESD保護デバイスとしてのバリスタの機能を有する。

【0033】

20

多層デバイス1は特に基体を備え、その側面には、基体の内部に配置された内部電極3, 3'と導電的に接続された外部電極2, 2'が配置されている。多層デバイス1の基体は、積層方向において支持材料8によって閉鎖されている。支持材料8は、好ましくは、少なくとも1つの誘電体層を備える。

【0034】

基体は更に、セラミック層4、特にバリスタ層を備える。セラミック層4は、第1の内部電極3を包囲している。第1の内部電極3は、大部分がセラミック層4によって包囲されている。多層デバイス1は更に、別のセラミック層4'、特に別のバリスタ層を備える。別のセラミック層4'は第2の内部電極3'を包囲し、内部電極3'は、大部分が別のセラミック層4'によって包囲されている。

30

【0035】

セラミック層4と別のセラミック層4'との間には、1つの誘電体層5が配置されている。誘電体層5は、開口又は凹部6を備える。開口6は、誘電体層5に、レーザ技術を用いて穿設される。これは、特に、開口6の円形の幾何学的形状から、及び、積層方向における誘電体層5の広がり(誘電体層5の厚さ)から認識することができる。レーザ加工は、円形の幾何学的形状を有する開口6のみを可能とするが、その寸法及び誘電体層5上での目標位置は大いにばらつき、レーザ出力を通じて調整可能であるが困難である。更に、積層方向における誘電体層5の広がり、そもそも開口6が穿設され得るよう、十分に大きくなければならない。例えば、誘電体層5は、少なくとも100µmの積層方向における広がり又は厚さを有する。開口6は、半導電性又は導電性の材料7、例えば金属で充填されている。

40

【0036】

誘電体層5によって、内部電極3, 3'のオーバーラップ面が分離される。これにより、ESD保護デバイスの寄生容量が低減される。開口6の直径は、10~50µmであり、したがって、図1に示されているように、内部電極3, 3'の規定された小さなオーバーラップ面の実現が可能となる。

【0037】

この解決策に伴う問題は、レーザ穿孔、及び、例えば金属ペーストによる穿設された孔の充填によって、非常に高コストでしか製造することができない、開口6の加工性である。金属ペーストによる開口6の充填のために、更に、追加の独自のスクリーン印刷プロセ

50

スが必要とされる。多くの場合、上方からの開口 6 の充填は、下方からの真空と組み合わせ、非常に高コストでしか機能しない。これにより、多層デバイス 1 の製造は、複雑且つ高価になる。

【 0 0 3 8 】

誘電体層 5 は、そもそも穿孔プロセスが可能となるよう、実際のレーザ穿孔プロセスの前に予めプレスされなければならない。しかしながら、既にプレスされ穿孔された誘電体層 5 のセラミック層 4 , 4 ' の上への新たな積層は、積層問題なしにはほとんど不可能である。それにもかかわらず、予め穿孔され充填された開口 6 を有する誘電体層 5 がセラミック層 4 , 4 ' の間に積層される場合、後続の焼結ステップにおいては、セラミック層 4 , 4 ' 、誘電体層 5 、外部電極 2 , 2 ' 及び開口 6 の充填材料の材料間の熱的な不整合が考慮されなければならない。

10

【 0 0 3 9 】

更に、開口 6 の長さ又は水平方向の広がり（積層方向に対して垂直な広がり）は、（単一の）誘電体層 5 の厚さに制限されている。開口 6 の長さを増大させるために、既に穿孔された複数の誘電体層 5 が互いに積層される場合、積層された状態における開口 6 の閉塞を回避するために（図 2 参照）、レーザ穿孔は、非常に高い精度で常に同じポイントにおいて行われなければならない。これにより、不良品発生率は高まり、製造は更に複雑になる。

【 0 0 4 0 】

図 3 の本発明による多層デバイス 1 0 は、上述した問題を簡単な方法で解決する。

20

【 0 0 4 1 】

図 3 は、多層デバイス 1 0 を示す。多層デバイス 1 0 は、ESD 保護デバイスとしてのバリスタの機能を有する。多層デバイス 1 0 は、基体を備える。多層デバイス 1 0 、特に基体は、少なくとも 2 つの外部電極 1 1 , 1 1 ' を備える。外部電極 1 1 , 1 1 ' は、基体の対向する外面に形成されている。多層デバイス 1 0 、特に基体は、少なくとも 1 つの第 1 の内部電極 1 2 及び少なくとも 1 つの第 2 の内部電極 1 2 ' を備える。内部電極 1 2 , 1 2 ' は、例えば、銀及び / 又はパラジウムを含む。内部電極 1 2 , 1 2 ' は逆の極性を有する。それぞれの内部電極 1 2 , 1 2 ' は、外部電極 1 1 , 1 1 ' と導電的に接続されている。

【 0 0 4 2 】

30

多層デバイス 1 0 、特に基体は、複数のセラミック層 1 4 を備える。セラミック層 1 4 は、バリスタ材料を含む。例えば、バリスタ材料は、酸化亜鉛 (ZnO) 又はプラセオジム (Pr) を含む。セラミック層 1 4 は、上下に積層されて積層体を形成する。図 3 では、積層体内のセラミック層 1 4 が破線で示されている。したがって、多層デバイス 1 0 は、図 3 に示されているように、積層方向 2 0 と、積層方向 2 0 に対して垂直な方向 2 1 とを有する。

【 0 0 4 3 】

セラミック層 1 4 は、内部電極 1 2 , 1 2 ' を包囲している。特に、内部電極 1 2 , 1 2 ' は、大部分がセラミック層 1 4 から成る積層体によって包囲されている。多層デバイス 1 0 の基体は、積層方向 2 0 において支持材料 1 3 によって閉鎖されており、その結果、セラミック層 1 4 、内部電極 1 2 , 1 2 ' 及び以下で説明される誘電体層 1 5 は、図 3 に示されているように、積層方向 2 0 において支持材料 1 3 を有する 2 つの層の間に配置されている。支持材料 1 3 は、2 つの外部電極 1 1 , 1 1 ' の寄生容量を最小化するために、好ましくは誘電体材料を含む。

40

【 0 0 4 4 】

多層デバイス 1 0 、特に基体は、更に少なくとも 1 つの誘電体層 1 5 を備える。多層デバイス 1 0 は、図 3 に示されているように、複数の誘電体層 1 5 、例えば、図示されているように 2 個又は 2 個より多くの、例えば 5 個又は 1 0 個の誘電体層 1 5 を備えることもできる。1 個又は複数個の誘電体層 1 5 は、セラミック層 1 4 の積層方向 2 0 に沿って見て、内部電極 1 2 , 1 2 ' の間に形成されている。換言すれば、1 個又は複数個の誘電体

50

層 15 の上下に、内部電極 12, 12' が形成されている。1 個又は複数個の誘電体層 15 は、例えばチタン酸マグネシウムを含む。1 個又は複数個の誘電体層 15 は、少なくとも 2 つ以上の隣接するセラミック層 14 及び 2 つのオーバーラップした内部電極 12, 12' と共に、ESD 放電経路を形成する。

【0045】

それぞれの誘電体層 15 は、セラミック層 14 の上に、特にこのセラミック層 14 の部分領域の上に、例えばスクリーン印刷又はインクジェット印刷によって印刷されている。それぞれの誘電体層 15 は、ペースト又はインクの形態で、対応するセラミック層 14 の上に塗布される。特に、誘電体層 15 を形成するための誘電体材料は、固体材料を含まない。したがって、図 1 による誘電体層 5 とは対照的に、誘電体層 15 は、完成した多層デバイス 10 において、セラミック層 14 から成る積層体の構成要素である。

10

【0046】

誘電体層 15 は、図 3 に示されているように、積層方向 20 に沿って非常に小さい厚さ又は広がり D を有する。したがって、厚さ D は 2 ~ 6 μm であり、その際、境界はそれぞれに含まれている。個々のセラミック層 14 に誘電体材料を印刷することにより、結果として、各セラミック層の上に、それぞれ非常に薄い誘電体層 15 を得ることができる。これは、製造プロセスに起因してはるかに大きな厚さを有する図 1 の誘電体層 5 とは対照的である。したがって、特に有利には、多層デバイス 10 は、多数の誘電体層 15 を備え、誘電体層 15 は、セラミック層 14 の積層方向 20 に沿って見て、内部電極 12, 12' の間に上下に重なり合って配置されており、各誘電体層 15 は、それぞれセラミック層 14 のうち 1 つの部分領域上に印刷されており、誘電体層 15 は、セラミック層 14 の積層方向 20 に沿って、それぞれ 2 μm D 6 μm の広がり D を有する。

20

【0047】

それぞれの誘電体層 15 は、それぞれのセラミック層 14 の上において、不連続的に形成、特に印刷されている。特に、それぞれの誘電体層 15 は、積層方向 20 に対して垂直な方向 21 において、少なくとも 2 つのセクション 16 に分割されている。これらのセクション 16 は、互いに分離されている。換言すれば、(複数の)セクション 16 の間には、誘電体層 15 に凹部 16a が存在する。特に、(複数の)セクション 16 の間には、セラミック層 14 の材料が存在する。

【0048】

誘電体層 15 の凹部 16a は、セラミック層 14 の印刷の際に生成される。誘電体層 15 をセラミック層 14 上に狙いを定めて印刷することにより、所定の幾何学的形状及び寸法を有する凹部 16a を、特に正確な方法で生成することができる。

30

【0049】

したがって、凹部 16a は、図 1 との関連で説明された開口 6 に匹敵する。しかしながら、この凹部 16a は、誘電体層 15 の印刷の際に自動的に生成される。更に、(複数の)セクション 16 の間の凹部 16a は、単にセラミック材料 14 によって占められているので、凹部 16a の充填も重複している。(複数の)セクション 16 の間の凹部 16a は、可変の形状を有する。特に、凹部 16a は、円形の又は角張った断面を有することができる。凹部 16a の開口直径は、5 ~ 40 μm 、例えば 20 μm 又は 25 μm である。

40

【0050】

誘電体層 15 によって、反対極の内部電極 12, 12' の間のオーバーラップ面が、簡単な方法で減少される。特別に設計された誘電体層 15 によって、多層デバイス 10 は、0.5 pF 以下の、例えば 0.2 pF の容量を有する。これにより、最小の容量を有する多層デバイス 10 が提供される。

【0051】

更に、1 個又は複数個の誘電体層 15 は、図 3 に示されているように、有利には、外部電極 11, 11' にまで達しておらず、これらから隔てられている。したがって、1 個又は複数個の誘電体層 15 は、先行技術とは異なり、外部電極の幅全体に亘って多層デバイス 10 の外部電極にまで達しておらず、図示されているように、セラミック層 14 の材料

50

によって外部電極 11, 11' から分離されている。このように、1個又は複数個の誘電体層の材料を、縁部すなわち外部電極まで完全に達していない状態で印刷することにより、更に以下で説明される焼結の際、積層された層の収縮及び剥離が最小化され又は完全に防止される。なぜなら、縁部領域すなわち外部電極に隣接して、2つのセラミック材料に代えて1つのみのセラミック材料が存在するからである。更に、先行技術と比較して材料を節約することができる。

【0052】

図1及び2による先行技術と比較して、そこに示された誘電体層15は、本発明によって容易に、その上に誘電体材料が印刷される別のセラミック層14によって置き換えられている。セラミック層14に、ペースト又はインクとしての誘電体を印刷することによって、多層デバイス10の全体構造がはるかに容易に実現される。手間がかかり高価なレーザ技術による開口6の穿孔は排除される。更に、凹部16aの幾何学的形状及び外部電極11, 11'からの誘電体層15の隔たりは、任意の幾何学的形状及びより高い精度で形成することができ、したがって、部材の幾何学的形状に適合させることができる。多層デバイス10における材料混合は更に本質的に低減され、それと結び付けられた誘電体層15とセラミック層14との間の境界層、及び、誘電体層15と外部電極11, 11'との間の境界層における異なる広がりの問題は、セラミック層14上への誘電体層15の積層及びその逆の積層の際に起こり得る積層問題と同様に、排除される。

【0053】

更に、不正確に位置決めされたレーザ穿孔された開口では不可能であり、したがって高い不良品発生率につながる金属ペーストを用いた開口/凹部の充填は、排除される。全体として、はるかに単純で安価な多層デバイス10が提供される。

【0054】

以下では、図3及び4に関連して、多層デバイス10を製造するための方法が説明される。多層デバイス10との関連で説明された全ての特徴は、当該方法にも適用することができ、その逆もまたそのとおりである。

【0055】

第1のステップ101では、未焼成セラミック箔（以下、セラミック層14）が準備される。セラミック層14は、バリスタ層を含む。多数のセラミック層14が準備される。

【0056】

更なるステップ102において、内部電極12, 12'を形成するために、セラミック層14の一部の表面の上に、電極材料が塗布される。好ましくは、セラミック層14は、電極ペーストを備える。未焼成セラミックには、電極パターンで電極ペーストがコーティングされる。電極ペーストは、銀及び/又はパラジウムを含む。

【0057】

更なるステップ103において、少なくとも1つの誘電体層15を形成するために、少なくとも1つのセラミック層14の表面に、誘電体材料が部分的に印刷される。有利には、複数の誘電体層15を形成するために、複数のセラミック層14に、誘電体材料が部分的に印刷され得る。誘電体材料は、好ましくは、チタン酸マグネシウムを含む。誘電体材料は、ペースト又はインクの形態で、セラミック箔上に印刷される。これは、スクリーン印刷又はインクジェット印刷によって行われる。

【0058】

更なるステップ104において、誘電体材料が印刷された1つ又は複数のセラミック層14が、電極材料を備えるセラミック層14の間に配置（積層）される。続いて、積層体は、基体を形成するためにプレスされる。

【0059】

更なるステップ105において、外部電極11, 11'が、基体の対向する外面の上に配置される。続いて、基体が焼結（共焼結）される。しかしながら、代替的な実施例では、外部電極11, 11'は、基体の焼結後に初めて、外面上に塗布されることもできる。それによって、外部電極11, 11'の塗布の後に、更なる温度ステップが必要とされる

10

20

30

40

50

。

【 0 0 6 0 】

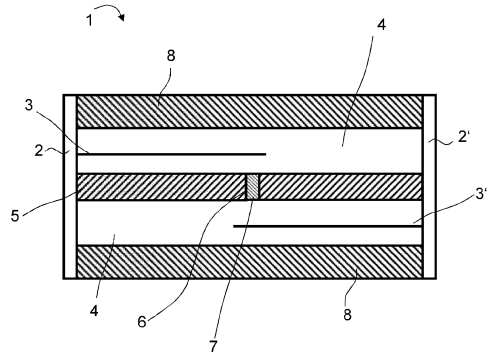
ここで提示された主題の記載は、個々の特定の実施形態に限定されない。むしろ、個々の実施形態の特徴は、技術的に意味のある限り、任意に互いに組み合わせられ得る。

【 符号の説明 】

【 0 0 6 1 】

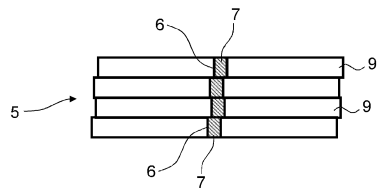
1	多層デバイス	
2 , 2 '	外部電極	
3 , 3 '	内部電極	
4	セラミック層	10
5	誘電体層	
6	開口 / 凹部	
7	材料	
8	支持材料	
9	単一誘電体層	
1 0	多層デバイス	
1 1 , 1 1 '	外部電極	
1 2 , 1 2 '	内部電極	
1 3	支持材料	
1 4	セラミック層	20
1 5	誘電体層	
1 6	セクション	
1 6 a	凹部	
2 0	積層方向	
2 1	積層方向に対して垂直な方向	
1 0 1 , 1 0 2 , 1 0 3 , 1 0 4 , 1 0 5	方法ステップ	
D	誘電体層の広がり	

【図 1】



先行技術

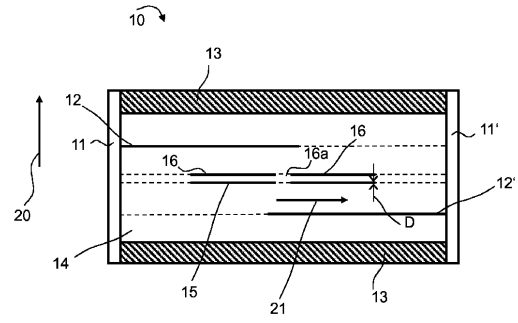
【図 2】



先行技術

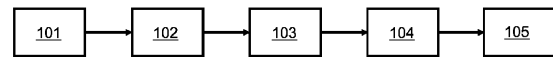
【図 3】

FIG. 3



【図 4】

FIG. 4



フロントページの続き

審査官 北原 昂

(56)参考文献 特表2012-517097(JP,A)
特開平09-148109(JP,A)
特表2012-518877(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01C 7/02-7/22