

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年8月10日(10.08.2017)



(10) 国際公開番号
WO 2017/134949 A1

- (51) 国際特許分類:
H01L 29/861 (2006.01) H01L 29/739 (2006.01)
H01L 21/8234 (2006.01) H01L 29/78 (2006.01)
H01L 27/04 (2006.01) H01L 29/868 (2006.01)
H01L 27/06 (2006.01) H02M 7/48 (2007.01)
- (21) 国際出願番号: PCT/JP2016/087721
- (22) 国際出願日: 2016年12月19日(19.12.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-019253 2016年2月3日(03.02.2016) JP
- (71) 出願人: トヨタ自動車株式会社 (TOYOTA JIDOSHA KABUSHIKI KAISHA) [JP/JP]; 〒4718571 愛知県豊田市トヨタ町1番地 Aichi (JP).
- (72) 発明者: 柿本 規行 (KAKIMOTO Noriyuki); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP). 妹尾 賢 (SENOO

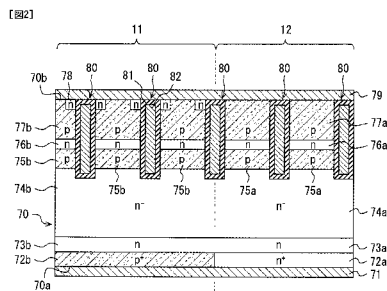
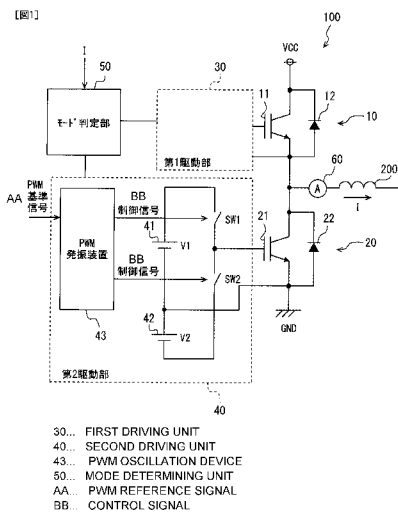
Masaru); 〒4718571 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内 Aichi (JP).

- (74) 代理人: 金 順姫 (JIN Shunji); 〒4600003 愛知県名古屋市中区錦2丁目13番19号 瀧定ビル6階 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー

[続葉有]

(54) Title: DIODE AND SEMICONDUCTOR APPARATUS

(54) 発明の名称: ダイオードおよび半導体装置



(57) Abstract: This diode is formed between a drift region (74a) and a second impurity region (77a), and includes a first conduction type barrier region (76a) having a higher impurity concentration than the drift region and a second conduction type electric field extension preventing region (75a) formed between the barrier region and the drift region. Further, the diode includes a trench gate that is formed so as to extend from a second principal surface of a semiconductor substrate to the electric field extension preventing region through the second impurity region and the barrier region and that has a trench electrode to which a gate voltage is applied. As the gate voltage to be applied to the gate electrode, a parasitic gate voltage is applied in which the absolute value of the potential difference from a second electrode is equal to or greater than a threshold voltage of a parasitic transistor formed by the second impurity region, the barrier region, and the electric field extension preventing region.

(57) 要約: ダイオードは、ドリフト領域 (74a) と第2不純物領域 (77a) との間に形成され、ドリフト領域よりも不純物濃度が高くされた第1導電型のバリア領域 (76a) と、バリア領域とドリフト領域との間に形成された第2導電型の電界伸展防止領域 (75a) と、を有する。また、ダイオードは、半導体基板の第2主面から第2不純物領域およびバリア領域を貫通して電界伸展防止領域に至って形成され、ゲート電圧を印加するためのトレンチ電極を有するトレンチゲートを有する。そして、ゲート電極に、ゲート電圧として、第2電極との電位差の絶対値が、第2不純物領域とバリア領域と電界伸展防止領域とにより形成される寄生トランジスタの閾値電圧以上とされる寄生ゲート電圧が印加される。

WO 2017/134949 A1



ロツパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： ダイオードおよび半導体装置

関連出願の相互参照

[0001] 本出願は、2016年2月3日に提出された日本出願番号2016-19253号に基づくもので、ここにその記載内容を援用する。

技術分野

[0002] 本開示は、トレンチ構造を有するダイオードおよび半導体装置に関する。

背景技術

[0003] 特許文献1には、アノード電極とカソード電極とは別にトレンチ電極を備えたダイオードが開示されている。開示されたダイオードは、不純物領域として、p導電型のアノード領域とn導電型のドリフト領域との間にn導電型のバリア領域を備えている。そして、アノード領域に接して形成されたアノード電極に電氣的に接続されつつアノード領域を貫通してバリア領域に到達するピラー領域を備えている。

[0004] バリア領域あるいはピラー領域を備えることにより、特許文献1に記載のダイオードでは、アノード領域からドリフト領域へのホールの注入が抑制され、リカバリ特性の改善と動作の高速化が実現された。

先行技術文献

特許文献

[0005] 特許文献1：特開2013-48230号公報

発明の概要

[0006] しかしながら、リカバリ特性が改善されたことに対するトレードオフとして、従来のダイオードに比較して順電圧 V_F が大きくなる傾向にあり、ダイオードが動作する際の損失が大きくなる虞がある。

[0007] 本開示は、リカバリ特性の向上と順電圧の低減とを両立したダイオードおよび半導体装置を提供することを目的とする。

[0008] 本開示の一態様によれば、ダイオードは、半導体基板の第1主面に形成さ

れた第1電極と、第1主面の表層であって第1電極上に積層された第1導電型の第1不純物領域と、第1不純物領域上に積層され第1不純物領域よりも不純物濃度が低くされた第1導電型のドリフト領域と、ドリフト領域上に積層された第2導電型の第2不純物領域と、第2不純物領域上であって半導体基板の第1主面と反対の第2主面に形成された第2電極と、を有する。ダイオードは、ドリフト領域と第2不純物領域との間に形成され、ドリフト領域よりも不純物濃度が高くされた第1導電型のバリア領域と、バリア領域とドリフト領域との間に形成された第2導電型の電界伸展防止領域と、第2主面から第2不純物領域およびバリア領域を貫通して電界伸展防止領域に至って形成され、ゲート電圧を印加するためのトレンチ電極を有するトレンチゲートと、をさらに有している。そして、ゲート電極に、ゲート電圧として、第2電極との電位差の絶対値が、第2不純物領域とバリア領域と電界伸展防止領域とにより形成される寄生トランジスタの閾値電圧以上とされる寄生ゲート電圧が印加される。

[0009] これによれば、寄生ゲート電圧は、第2不純物領域とバリア領域と電界伸展防止領域とにより形成される寄生トランジスタの閾値電圧以上であるから、バリア層に形成されるポテンシャル障壁の高さが緩和される。すなわち、ゲート電極に寄生ゲート電圧が印加されたときに寄生トランジスタを構成するバリア層にチャンネルが形成される。このため、第2不純物領域からドリフト領域への電荷の注入量を増加させることができ、順電圧 V_F を低減することができる。すなわち、ゲート電圧として寄生ゲート電圧が印加されれば損失に対して有利となるから、寄生ゲート電圧の印加の有無によってリカバリ特性の向上と順電圧の低減とを両立することができる。

[0010] 本開示の別の態様によれば、半導体装置は、同一の半導体基板にダイオードとスイッチング素子とが並列して形成された逆導通スイッチング素子と、逆導通スイッチング素子にゲート電圧を印加する駆動部と、主にスイッチング素子に電流が流れる順導通モードと主にダイオードに電流が流れる逆導通モードとのいずれのモードで駆動しているかを判定するモード判定部と、を

備えている。ダイオードは、半導体基板の第1主面に形成された第1電極と、第1主面の表層であって第1電極上に積層された第1導電型の第1不純物領域と、第1不純物領域上に積層され、第1不純物領域よりも不純物濃度が低くされた第1導電型の第1ドリフト領域と、第1ドリフト領域上に積層された第2導電型の第2不純物領域と、第2不純物領域上であって半導体基板の第1主面と反対の第2主面に形成された第2電極と、第1ドリフト領域と第2不純物領域との間に形成され第1ドリフト領域よりも不純物濃度が高くされた第1導電型の第1バリア領域と、第1バリア領域と第1ドリフト領域との間に形成された第2導電型の第1電界伸展防止領域と、を有している。スイッチング素子は、第1ドリフト領域と連続して形成された第2ドリフト領域と、第2不純物領域と連続して形成されたボディ領域と、半導体基板の第2主面の表層であってボディ領域に取り囲まれて形成された第1導電型の第3不純物領域と、第1バリア領域と連続して形成された第2バリア領域と、を有している。ダイオードおよびスイッチング素子は、第2主面から第2不純物領域、および、第1バリア領域を貫通して第1ドリフト領域に至って形成され、ゲート電圧を印加するためのトレンチ電極を有するトレンチゲートと、を有し、駆動部は、逆導通モードにおいて、ゲート電圧として、第2電極との電位差の絶対値が、第2不純物領域とバリア領域と電界伸展防止領域とにより形成される寄生トランジスタの閾値電圧以上とされる寄生ゲート電圧を印加する。

[0011] これによれば、主にスイッチング素子に電流が流れている順導通モードにおいては順電圧 V_F の上昇による損失の増大よりもリカバリ特性の改善を優先した動作を実現できるとともに、主にダイオードに電流が流れている逆導通モードにおいては順電圧 V_F の増加を抑制できる。すなわち、ゲート電圧として寄生ゲート電圧が印加されれば損失に対して有利となるから、寄生ゲート電圧の印加の有無によってリカバリ特性の向上と順電圧の低減とを両立することができる。

図面の簡単な説明

[0012] 本開示についての上記目的およびその他の目的、特徴や利点は、添付の図面を参照しながら下記の詳細な記述により、より明確になる。

[図1]第1実施形態にかかる半導体装置の概略構成を示す回路図である。

[図2]逆導通スイッチング素子の詳細な構造を示す断面図である。

[図3]駆動部の動作を示すタイミングチャートである。

[図4]変形例1にかかる半導体装置の概略構成を示す回路図である。

[図5]駆動部の動作を示すタイミングチャートである。

[図6]変形例2にかかる駆動部の動作を示すタイミングチャートである。

[図7]変形例3にかかる逆導通スイッチング素子の構造を示す回路図である。

[図8]順電圧 V_F ーリカバリ損失 E_{rr} の特性を示す図である。

[図9]変形例4にかかる逆導通スイッチング素子およびその周辺回路の構造を示す回路図である。

[図10]第2実施形態にかかる半導体装置の概略構成を示す回路図である。

[図11]駆動部の動作を示すタイミングチャートである。

[図12]半導体装置の動作を示すフローチャートである。

[図13]昇圧コンバータの出力端子に接続された負荷に流れるリアクトル電流の挙動を示す図である。

[図14]変形例5にかかる半導体装置の動作を示すフローチャートである。

[図15]変形例6にかかる半導体装置の動作を示すフローチャートである。

[図16]第3実施形態にかかる逆導通スイッチング素子の詳細な構造を示す断面図である。

発明を実施するための形態

[0013] 以下、本開示の実施の形態を図面に基づいて説明する。なお、以下の各図相互において、互いに同一もしくは均等である部分に、同一符号を付与する。

[0014] (第1実施形態)

最初に、図1を参照して、本実施形態に係るダイオードおよびダイオードを含む半導体装置の概略構成について説明する。

- [0015] 本実施形態では、ダイオードおよびダイオードを含む半導体装置がインバータに適用される形態について説明する。
- [0016] 図1に示すように、インバータ100は、2つの逆導通絶縁ゲートバイポーラトランジスタ10、20と、各逆導通絶縁ゲートバイポーラトランジスタ10、20のゲート電極にゲート電圧を印加するための駆動部30、40と、各逆導通絶縁ゲートバイポーラトランジスタ10、20の駆動状態を判定するモード判定部50と、を備えている。
- [0017] 図1に示すように、インバータ100は、電源電圧VCCとグランドGNDの間に2つの逆導通絶縁ゲートバイポーラトランジスタ10、20が直列に接続されて構成されている。2つの逆導通絶縁ゲートバイポーラトランジスタ10、20の接続点には負荷200が接続されている。以下の記載では、2つの逆導通絶縁ゲートバイポーラトランジスタ10、20のうち、負荷200に対して電源電圧VCC側のものを第1素子10と称し、グランドGND側のものを第2素子20と称する。つまり、第1素子10がインバータ100における上アームを構成し、第2素子20が下アームを構成している。第1素子10および第2素子20は、逆導通スイッチング素子に相当する。
- [0018] 逆導通絶縁ゲートバイポーラトランジスタである第1素子10は、スイッチング素子に相当するIGBT部11と、ダイオード部12とを有している。ダイオード部12は、いわゆるフライホイールダイオードであり、IGBT部11におけるエミッタからコレクタに向かって順方向となるように、IGBT部11に並列に接続されている。
- [0019] 第2素子20は第1素子10と等価であり、IGBT部21とダイオード部22とを有している。ダイオード部22は、IGBT部21におけるエミッタからコレクタに向かって順方向となるようにIGBT部21に並列に接続されている。
- [0020] 第1素子10および第2素子20の詳しい素子構造については図2とともに追って詳述する。

- [0021] 駆動部は、第1素子10へのゲート電圧の印加を制御する第1駆動部30と、第2素子20へのゲート電圧の印加を制御する第2駆動部40とを有している。第1駆動部30および第2駆動部40は互いに等価であり、図1では第1駆動部30の詳細な構成の図示を省略している。駆動部について、以下に第2駆動部40の詳細な構成を説明するが、第1駆動部30についても同様の構成となっている。
- [0022] 第2駆動部40は、起電力が V_1 とされた電圧源41と、起電力が V_2 とされた電圧源42と、2つのスイッチSW1, SW2と、PWM発振装置43とを有している。
- [0023] 図1に示すように、電圧源41と電圧源42は直列に接続され、電圧源41の正極と電圧源42の負極とが、互いに直列に接続されたスイッチSW1, SW2を介して互いに接続されている。互いに直列接続された電圧源41, 42の接続点はIGBT部21のエミッタ、すなわちダイオード部22のアノードに接続されており、第2駆動部40にあってはグランドGND電位になっている。
- [0024] IGBT部21のゲート電極は、互いに直列接続されたスイッチSW1, SW2の接続点に接続されている。このため、例えばスイッチSW1がオンしてスイッチSW2がオフされた状態では、IGBT部21のゲート電極はエミッタの電位よりも V_1 だけ高電位となる。一方、例えばスイッチSW1がオフしてスイッチSW2がオンされた状態では、IGBT部21のゲート電極はエミッタの電位よりも V_2 だけ低電位となる。すなわち、IGBT部21のエミッタ電位を基準にしたとき、ゲート電極には $-V_2$ なる電圧が印加された状態となる。
- [0025] PWM発振装置43は、第2素子20に印加するゲート電圧を制御するための制御信号を出力している。具体的には、PWM発振装置43は外部ECU等から入力されるPWM基準信号に基づいてスイッチSW1およびスイッチSW2のオンオフを制御するために制御信号を生成し出力している。PWM基準出力に基づいて生成される制御信号の詳細は追って説明する。

[0026] モード判定部50は、第1素子10および第2素子20の動作モードを判定している。ここで、動作モードとは、絶縁ゲートバイポーラトランジスタにおいて、主にIGBT部に電流が流れているか、あるいは主にダイオード部に電流が流れているか、を区別するものである。以下の記載では、主にIGBT部に電流が流れて動作している状態を順導通モードと称し、主にダイオード部に電流が流れて動作している状態を逆導通モードと称する。

[0027] 本実施形態におけるモード判定部50は、負荷200に流れる電流の向きに基づいて第1素子10および第2素子20の動作モードを判定している。インバータ100は、負荷200と直列接続された負荷電流検出部60を備えている。負荷電流検出部60は、負荷200を流れる負荷電流Iを、方向を含めて検出する電流計である。負荷電流検出部60は、負荷電流Iが第1素子10と第2素子20との接続点から負荷200に向かって流れる場合を正の電流とし、その逆を負の電流としてモード判定部50に出力している。

[0028] モード判定部50は、負荷電流検出部60から出力される負荷電流Iの正負に基づいて動作モードを判定している。具体的には、負荷電流Iが正の場合には、主に、第1素子10（上アーム）におけるIGBT部11および第2素子20（下アーム）におけるダイオード部22に電流が流れている状態である。よって、モード判定部50は、第1素子10の動作モードを順導通モードと判定し、第2素子20の動作モードを逆導通モードと判定する。一方、負荷電流Iが負の場合には、主に、第1素子10におけるダイオード部12および第2素子20におけるIGBT部21に電流が流れている状態である。よって、モード判定部50は、第1素子10の動作モードを逆導通モードと判定し、第2素子20の動作モードを順導通モードと判定する。

[0029] 次に、図2を参照して、第1素子10および第2素子20の詳しい構造について説明する。なお、第1素子10と第2素子20とは互いに等価な逆導通絶縁ゲートバイポーラトランジスタであるからこれらの区別なく説明するが、図1と共通する要素については第1素子10に付した符号と相互に対応付ける。また、図2において、半導体基板70のうちp導電型となる不純物

層にハッチングを付しているが、 n 導電型となる不純物層のハッチングを省略している。

[0030] 本実施形態における逆導通スイッチング素子たる逆導通絶縁ゲートバイポーラトランジスタは、図2に示すように、第1主面70aとその裏面である第2主面70bを有する半導体基板70に形成されている。スイッチング素子としての機能を奏するIGBT部11とダイオードとしての機能を奏するダイオード部12は同一の半導体基板70にそれぞれ形成されている。

[0031] 第1主面70aには、例えばアルミニウムから成るカソード電極71が形成されている。カソード電極71は、ダイオード部12におけるカソード端子あるいはIGBT部11におけるコレクタ端子に相当している。また、カソード電極71は、第1電極に相当している。

[0032] また、図2に示すように、半導体基板70における第1主面70aの表層においてカソード電極71に接触するように n 導電型のカソード領域72aが形成されている。また、カソード領域72aと同一層に p 導電型のコレクタ領域72bが形成されている。コレクタ領域72bはカソード電極71に接触しつつカソード領域72aに隣接している。カソード領域72aとコレクタ領域72bの界面がダイオード部12とIGBT部11の境界である。カソード領域72aは、第1不純物領域に相当している。

[0033] カソード領域72a上に n 導電型の第1バッファ領域73aが積層され、コレクタ領域72b上に n 導電型の第2バッファ領域73bが積層されている。第1バッファ領域73aおよび第2バッファ領域73bの名称を便宜的に別にしているが、これらの領域73a、73bは実質同一の不純物層からなる連続した領域である。

[0034] 第1バッファ領域73a上に n 導電型の第1ドリフト領域74aが積層され、第2バッファ領域73b上に n 導電型の第2ドリフト領域74bが積層されている。第1ドリフト領域74aおよび第2ドリフト領域74bの名称を便宜的に別にしているが、これらの領域74a、74bは実質同一の不純物層からなる連続した領域である。なお、ドリフト領域74a、74bにお

ける不純物濃度はバッファ領域 7 3 a, 7 3 b よりも低くされている。

[0035] 第 1 ドリフト領域 7 4 a 上に p 導電型の第 1 電界伸展防止領域 7 5 a が積層され、第 2 ドリフト領域 7 4 b 上に p 導電型の第 2 電界伸展防止領域 7 5 b が積層されている。第 1 電界伸展防止領域 7 5 a および第 2 電界伸展防止領域 7 5 b の名称を便宜的に別にしているが、これらの電界伸展防止領域 7 5 a、7 5 b は実質同一の不純物層からなる連続した領域である。

[0036] 第 1 電界伸展防止領域 7 5 a 上に n 導電型の第 1 バリア領域 7 6 a が積層され、第 2 電界伸展防止領域 7 5 b 上に n 導電型の第 2 バリア領域 7 6 b が積層されている。第 1 バリア領域 7 6 a および第 2 バリア領域 7 6 b の名称を便宜的に別にしているが、これらのバリア領域 7 6 a、7 6 b は実質同一の不純物層からなる連続した領域である。

[0037] ダイオード部 1 2 において、上記した第 1 電界伸展防止領域 7 5 a および第 1 バリア領域 7 6 a が形成されていることにより、後述のアノード領域 7 7 a から第 1 ドリフト領域 7 4 a へのホールの注入が抑制され、ダイオード部 1 2 に印加される電圧が順バイアスから逆バイアスに切り替わった際における逆電流が制限される。このため、第 1 電界伸展防止領域 7 5 a および第 1 バリア領域 7 6 a が形成されていないダイオードに較べて逆回復電流を小さくできるのでリカバリ特性を向上させることができる。ただし、第 1 電界伸展防止領域 7 5 a および第 1 バリア領域 7 6 a により形成される p n 接合がダイオード部 1 2 の順方向電流の流れを阻害するため順電圧 V_F は大きくなる。

[0038] 第 1 バリア領域 7 6 a 上に p 導電型のアノード領域 7 7 a が積層され、第 2 バリア領域 7 6 b 上に p 導電型のボディ領域 7 7 b が積層されている。アノード領域 7 7 a およびボディ領域 7 7 b の名称を便宜的に別にしているが、本実施形態におけるこれらの領域 7 7 a、7 7 b は実質同一の不純物層からなる連続した領域である。なお、アノード領域 7 7 a は、第 2 不純物領域に相当する。

[0039] また、第 2 主面 7 0 b の表層には、ボディ領域 7 7 b に囲まれるように n

導電型のエミッタ領域 78 が形成されている。そして、エミッタ領域 78、ボディ領域 77b、アノード領域 77a に接触するようにして第 2 主面 70b 上にアノード電極 79 が形成されている。アノード電極 79 は、ダイオード部 12 におけるアノード端子あるいは IGBT 部 11 におけるエミッタ端子に相当している。なお、エミッタ領域 78 は、第 3 不純物領域に相当する。また、アノード電極 79 は、第 2 電極に相当する。

[0040] 図 2 に示すように、IGBT 部 11 は、不純物層として、コレクタ領域 72b、第 2 バッファ領域 73b、第 2 ドリフト領域 74b、第 2 電界伸展防止領域 75b、第 2 バリア領域 76b、ボディ領域 77b およびエミッタ領域 78 を有している。一方、ダイオード部 12 は、不純物層として、カソード領域 72a、第 1 バッファ領域 73a、第 1 ドリフト領域 74a、第 1 電界伸展防止領域 75a、第 1 バリア領域 76a およびアノード領域 77a を有している。

[0041] 実質同一の層に位置する各不純物層は、IGBT 部 11 およびダイオード部 12 の電氣的特性の要求に応じて、対応する領域の不純物濃度を互いに異なる濃度とすることを妨げるものではなく、これらの領域の不純物濃度は適宜設定されるべきである。

[0042] さらに、この逆導通絶縁ゲートバイポーラトランジスタは、第 2 主面 70b から半導体基板 70 の厚さ方向に形成されてドリフト領域 74a、74b に達するトレンチゲート 80 を有している。トレンチゲート 80 は、IGBT 部 11 にあってはボディ領域 77b、第 2 バリア領域 76b、第 2 電界伸展防止領域 75b を貫通して第 2 ドリフト領域 74b に達し、ダイオード部 12 にあってはアノード領域 77a、第 1 バリア領域 76a、第 1 電界伸展防止領域 75a を貫通して第 1 ドリフト領域 74a に達している。

[0043] トレンチゲート 80 は、第 2 主面 70b から半導体基板 70 の厚さ方向に延びてドリフト領域 74a、74b に達するまで掘られたトレンチの内面に成膜された絶縁膜 81 とトレンチを埋めるように形成された導電性のゲート電極 82 から成る。ゲート電極 82 とエミッタ電極 79 は絶縁膜 81 を介し

ているため互いに絶縁されている。また、 IGBT 部11に形成されたエミッタ領域78はトレンチゲート80に接するように形成され、ゲート電極82にアノード電極79よりも高い電圧が印加されるとボディ領域77bおよび第2電界伸展防止領域75bにチャネルが形成されてアノード電極79とカソード電極71の間に IGBT 動作による出力電流が流れる。

[0044] ところで、 p 導電型のアノード領域77aおよびボディ領域77bと、 n 導電型の第1、第2バリア領域76a、76bと、 p 導電型の第1、第2電界伸展防止領域75a、75bは、 pnp 型の寄生トランジスタを形成している。 n 導電型のバリア領域76a、76bは、ホールにとっては p 導電型の領域に対してポテンシャル障壁となるが、ゲート電極82に印加される電圧によってその障壁高さを制御することができるようになっている。

[0045] すでに説明したように、ゲート電極82には特に、アノード電極79（ IGBT としてはエミッタ電極）の電圧よりも V_2 だけ低い電圧を印加できるようになっている。すなわち、ゲート電極82の電位を、アノード電極79に対して負電位にすることができるようになっている。これにより、バリア領域76a、76bのポテンシャル障壁を消失するように障壁高さを変動させることができる。

[0046] 本実施形態において、電圧源42の起電力 V_2 は、少なくとも第1バリア領域76aにチャネルを生じさせることができる値に設定されている。換言すれば、電圧 V_2 は、ダイオード部12において、アノード領域77aと、第1バリア領域76aと、第1電界伸展防止領域75aとにより形成される寄生トランジスタの閾値電圧 V_{th} 以上となるように設定されている。この電圧 V_2 が、寄生ゲート電圧に相当する。

[0047] また、本実施形態における n 導電型は、第1導電型に相当し、 p 導電型は第2導電型に相当する。導電型の関係性は互いに逆であっても良い。この場合、アノードとカソードの関係も逆になる。

[0048] 次に、図3を参照して、本実施形態における半導体装置、とくに第1素子10および第2素子20の動作について説明する。

- [0049] 第1素子10は第1駆動部30により駆動される。第1駆動部30はモード判定部50により判定された第1素子10の動作モードに対応したゲート電圧を第1素子10のゲート電極82に供給する。また、第2素子20は第2駆動部40により駆動される。第2駆動部40はモード判定部50により判定された第2素子20の動作モードに対応したゲート電圧を第2素子20のゲート電極82に供給する。
- [0050] 第1駆動部30と第2駆動部40は互いに等価な回路で構成されるが、その動作は互いに独立している。図3にはスイッチSW1およびスイッチSW2の動作についてのタイミングチャートを示すが、第1駆動部30と第2駆動部40とが同期して動作することを示すものではない。すなわち、第1駆動部30および第2駆動部40は、第1素子10および第2素子20それぞれの動作モードに応じて独立して動作する。以下では、図2において詳細な構成を示した第2駆動部40を例に説明する。
- [0051] PWM発振装置43は、外部ECUから入力されるPWM基準信号と、モード判定部50から入力される動作モードに関する情報と、に基づいて、スイッチSW1およびSW2に出力する制御信号を生成している。
- [0052] 例えば負荷200を流れる負荷電流Iが負であった場合には第2素子20は順導通モードである。この場合には、PWM発振装置43は、スイッチSW1に対してPWM基準信号と同期した制御信号を出力する。本実施形態では、図3に示すように、PWM基準信号がHighのときスイッチSW1をオンするようにしている。一方、スイッチSW2に対してスイッチSW1と逆位相の制御信号を出力する。図2に示すように、スイッチSW1がオン（閉成）し、且つ、スイッチSW2がオフ（開放）されている場合にはゲート電圧として電圧 $V_e + V_1$ が出力される。スイッチSW1がオフし、且つ、スイッチSW2がオンされている場合にはゲート電圧として電圧 $V_e - V_2$ が出力される。なお、 V_e はアノード電極79の電圧であり、ローサイド側に配置された第2素子20にとっては $V_e = \text{GND}$ である。そして、ハイサイド側に配置された第1素子10における V_e は第2素子20におけるカソ

ード電極 7 1 の電圧に相当する。

[0053] 一方、例えば負荷 2 0 0 を流れる負荷電流 I が正であった場合には第 2 素子 2 0 は逆導通モードである。この場合には、PWM 発振装置 4 3 は、スイッチ SW 1 に対して PWM 基準信号に依らずオフ状態を継続するように制御信号を出力する。一方、スイッチ SW 2 に対しては PWM 基準信号に依らずオン状態を継続するように制御信号を出力する。すなわち、逆導通モードではゲート電極 8 2 には常に電圧 $-V_2$ が印加された状態であり、第 1 バリア領域 7 6 a にはチャネルが形成された状態になっている。

[0054] なお、第 1 駆動部 3 0 も第 2 駆動部 4 0 と同様に、図 3 に示すタイミングチャートに従って駆動するが、負荷 2 0 0 を流れる負荷電流 I が負である場合には第 1 素子 1 0 は逆導通モードであり、負荷電流が正である場合には第 1 素子 1 0 は順導通モードである。

[0055] 次に、本実施形態における半導体装置を採用することによる作用効果について説明する。

[0056] PWM 基準信号に同期してゲート電極 8 2 には電圧 V_1 が印加されることにより逆導通絶縁ゲートバイポーラトランジスタが IGBT として導通している状態、すなわち順導通モードにおいて、PWM 基準信号が High のときには、IGBT をオンさせるゲート電圧が印加され、PWM 基準信号が Low のときは IGBT がオフするゲート電圧が印加されるので、IGBT が正しく PWM 基準信号に同期してスイッチング動作することができる。

[0057] 一方、逆導通モードにおいてはゲート電極 8 2 に寄生トランジスタの閾値電圧 V_{th} 以上の負電圧 $-V_2$ が印加されるため、第 1 バリア領域 7 6 a にチャネルが生じてホールの移動経路となる。第 1 バリア領域 7 6 a は p 導電型に反転して存在するため、第 1 電界伸展防止領域 7 5 a、第 1 バリア領域 7 6 a、アノード領域 7 7 a は一体的な p 導電型の擬似的アノード領域として機能する。このため、アノード領域 7 7 a から第 1 ドリフト領域 7 4 a へのホールの注入が抑制されることなく可能となるので、第 1 バリア領域 7 6 a と第 1 電界伸展防止領域 7 5 a とを有するダイオード部 1 2 であっても順

電圧 V_F を低減することができる。したがって、第1バリア領域76aと第1電界伸展防止領域75aとを有することによるリカバリ特性の優位性を確保しつつ、とくに順電圧 V_F の低減によって損失の低減が求められるダイオード通電時において順電圧 V_F を低減することができる。すなわち、リカバリ特性の向上と順電圧 V_F の低減とを両立することができる。

[0058] (変形例1)

本変形例におけるインバータ110は、上記した第1実施形態の第1駆動部30および第2駆動部40にスイッチSW3を追加した構成となっている。スイッチSW3は図4に示すように、IGBT部11, 21のゲート電極とアノード電極（エミッタ電極と共通）とを同電位にするためのスイッチである。なお、PWM発振装置43は、外部ECUから出力されたPWM基準信号が入力され、スイッチSW1, SW2, SW3に出力する制御信号を生成するが、図4ではその図示を省略している。

[0059] 第1実施形態の駆動部30, 40は、主にIGBT部11, 21に電流が流れる順導通モードにおいてゲート電極82に電圧 V_1 が印加される期間を除く期間は電圧 $-V_2$ が印加される構成となっているが、ダイオード部21, 22に通電していない順導通モードではゲート電極82に必ずしも電圧 $-V_2$ を印加しなくてもよい。本変形例は、不必要な負電圧 $-V_2$ の印加を抑制する構成となっている。

[0060] 図5を参照して具体的な動作について説明するが、第1実施形態と同様に、第1駆動部30と第2駆動部40の構成は互いに等価であるから第2駆動部40を例に説明する。

[0061] 例えば負荷200を流れる負荷電流 I が負であった場合には第2素子20は順導通モードである。この場合には、PWM発振装置43は、スイッチSW1に対してPWM基準信号と同期した制御信号を出力する。第1実施形態と同様に本変形例においても、図5に示すように、PWM基準信号がHighのときスイッチSW1をオンするようにしている。一方、スイッチSW3に対してスイッチSW1と逆位相の制御信号を出力する。図4に示すように

、スイッチSW1がオン（閉成）し、且つ、スイッチSW3がオフ（開放）されている場合にはゲート電圧として電圧 $V_e + V_1$ が出力される。スイッチSW1がオフし、且つ、スイッチSW3がオンされている場合にはゲート電圧として電圧 V_e 、すなわち、アノード電極79の電位が出力される。本変形例では、順導通モードにおいてはスイッチSW2が常にオフ状態であり、ゲート電極82には負の電圧である寄生ゲート電圧が印加されないようになっている。

[0062] 一方、例えば負荷200を流れる負荷電流Iが正であった場合には第2素子20は逆導通モードである。この場合には、PWM発振装置43は、スイッチSW1およびスイッチSW3に対してPWM基準信号に依らずオフ状態を継続するように制御信号を出力する。一方、スイッチSW2に対してはPWM基準信号に依らずオン状態を継続するように制御信号を出力する。すなわち、逆導通モードではゲート電極82には常に電圧 $-V_2$ が印加された状態であり、第1バリア領域76aにはチャネルが形成された状態になっている。

[0063] 本変形例におけるインバータ110では、第1実施形態にかかるインバータ100に対して、順導通モードにおける寄生ゲート電圧の印加を行わない。これによれば、第1実施形態におけるインバータ100に較べて電圧 $-V_2$ の印加回数を低減できるので、電圧 V_2 を発生するための電圧源42の能力を抑制することができる。なお、第1実施形態におけるインバータ100の駆動部30、40は、本変形例におけるインバータ110に較べて回路規模を小さくできる。電圧源42の能力の抑制よりも回路規模の省サイズを優先する要求がある場合には、第1実施形態におけるインバータ100を採用することが好ましい。

[0064] （変形例2）

第1実施形態および変形例1では、逆導通スイッチング素子の動作モードが逆導通モードである場合に、ゲート電極82に常に寄生ゲート電圧が印加されている形態について説明した。これに対して、本変形例では、図6に示

すように、逆導通モード時においてもゲート電圧がPWM基準信号に同期して変動する。なお、第1駆動部30および第2駆動部40の回路構成は変形例1と同様であるから説明を省略する。また、順導通モードのついての動作も変形例1と同一であるから説明を省略する。

[0065] 本変形例において、PWM発振装置43は、スイッチSW1に対してPWM基準信号に依らずオフ状態を継続するように制御信号を出力する。一方、PWM発振装置43は、スイッチSW2、SW3に対してPWM基準信号と同期した制御信号を出力する。図6に示すように、PWM基準信号がHighのときスイッチSW2をオンするようにしている。また、スイッチSW3に対してスイッチSW2と逆位相の制御信号を出力する。この制御信号により、ゲート電圧はアノード電位 V_e と電圧 $-V_2$ の2値の間でオンオフを繰り返す。具体的には、PWM基準信号がHighのとき、ゲート電圧はローレベルである寄生ゲート電圧($-V_2$)となり、PWM基準信号がLowのとき、ゲート電圧はハイレベルであるアノード電位(V_e)となる。

[0066] ところで、ほとんどのインバータでは、上アームを構成する第1素子10と下アームを構成する第2素子20が同時オンすることはない、また、デッドタイムを除いて同時オフすることはない。そして、一般にPWM基準信号は上アームと下アームとで互いに反転した信号となっている。このため、逆導通モードにおいて主にダイオード部12、22に電流が流れるのはPWM基準信号がHighのときである。

[0067] 本変形例におけるインバータでは、PWM基準信号がHighの条件でゲート電極82に寄生ゲート電圧を印加するようになっているので、ダイオード部12、22に電流が流れている条件下で順電圧 V_F を小さくすることができ低損失とすることができる。また、リカバリは対アームがオン状態に遷移する瞬間に発生するが、その時点ではゲート電極82はアノード電位であるから、ホール注入抑制効果によってリカバリ損失を低く抑えることができる。

[0068] (変形例3)

第1実施形態および変形例1および2では、負荷電流Iの向きに基づいて第1素子10および第2素子20の動作モードを判定する例を示した。動作モードの判定は、負荷電流Iの向きのほか、第1素子10および第2素子20の出力電流の向き、あるいは出力電圧に基づいて行うこともできる。

[0069] 出力電流とは、逆導通絶縁ゲートバイポーラトランジスタにおいてはコレクタ電流であり、逆導通MOSFETにおいてはド레인電流である。なお、これはカソード電流に等しい。

[0070] また、出力電圧とは、逆導通絶縁ゲートバイポーラトランジスタにおいてはコレクターエミッタ間電圧であり、逆導通MOSFETにおいてはドレインソース間電圧である。なお、これはカソードーアノード間電圧に等しい。

[0071] 本変形例では、図7に示すように、第1素子10および第2素子20のそれぞれに出力電流Jを検出する出力電流検出部13と、カソード電極71とアノード電極79の間の電圧を検出する電圧検出部14とを備える半導体装置について説明する。なお、第1素子10および第2素子20は互いに等価なので、図7には代表的に第1素子10および第1素子10周辺に設けられた検出系を示す。

[0072] 図7に示すように、本変形例における半導体装置は第1素子10と並列にセンスセル15とシャント抵抗器16の直列回路を有している。センスセル15は第1素子10の出力電流に比例するコレクタ電流が流れるようにセルピッチが調整されており、センスセル15のコレクタ電流の向きを検出すれば、第1素子10の出力電流Jの向きを検出したことと同義である。センスセル15のコレクタ電流はシャント抵抗器16の両端電圧とシャント抵抗器16の抵抗器から計算されることで得られる。また、図7に示すように、第1素子10と直列に接続され、第1素子10の出力電流を検出する出力電流検出部13を備えるようにしてもよい。この場合は、出力電流検出部13が直線的に第1素子10の電流の向きを検出する。

[0073] また、図7に示すように、アノード電極79とかソード電極71の間に電

圧を検出する、ひいてはカソード電極 71 の電位を検出する電圧検出部 14 を備えるようにしてもよい。この場合、アノードーカソード間の電圧降下量に基づいて第 1 素子 10 を流れる電流値を検出することができる。

[0074] 本変形例におけるモード判定部 50 は、出力電流検出部 13、電圧検出部 14 および図示しないシャント抵抗器 16 の両端電圧検出部と通信可能に接続されており、出力電流の正負（すなわち方向）およびカソードーアノード間電圧に基づいて第 1 素子 10 あるいは第 2 素子 20 の動作モードを判定する。

[0075] 上記した構成において、出力電流検出部 13 は、第 1 素子 10 においてカソード電極 71 からアノード電極 79 に向かう電流方向を正として検出するとする。この場合、出力電流が正であれば第 1 素子 10 の動作モードは順導通モードである。逆に、出力電流が負であれば第 1 素子 10 の動作モードは逆導通モードである。なお、各動作モードにおける半導体装置の駆動は第 1 実施形態と同様であるから詳しい記載を省略する。

[0076] また、電圧検出部 14 は、アノード電極 79 に対してカソード電極 71 の電圧が高い場合に、カソード電圧を正として検出するとする。この場合、カソード電圧が正であれば第 1 素子 10 の動作モードは順導通モードである。逆に、カソード電圧が負であれば第 1 素子 10 の動作モードは逆導通モードである。なお、各動作モードにおける半導体装置の駆動は第 1 実施形態と同様であるから詳しい記載を省略する。

[0077] 以上記載したように、動作モードの判定は、負荷電流 I の向きのほか、第 1 素子 10 および第 2 素子 20 の出力電流の向き、あるいは出力電圧に基づいて行うこともできる。

[0078] なお、図 7 においては、センスセル 15 と出力電流検出部 13 と電圧検出部 14 とをすべて備える態様について例示したが、いずれか 1 つでも備えていれば、第 1 素子 10 の動作モードを判定することができる。

[0079] （変形例 4）

上記した第 1 実施形態および変形例 1, 2, 3 では、逆導通スイッチング

素子の動作モードのみを条件にゲート電極 8 2 への寄生ゲート電圧の印加を決定する例を説明したが、動作モードに加えて種々の条件を追加してもよい。

[0080] 図 8 に示すように、ある条件下でのダイオードの順電圧 V_F - リカバリ損失 E_{rr} 特性（実線）に較べて、ダイオードに流れる電流が小さい、あるいはダイオードの素子温度が低い条件において、順電圧 V_F が大きくなる傾向にあることが分かっている。換言すれば、ダイオードに流れる電流が小さい、あるいはダイオードの素子温度が低い条件において、ゲート電極 8 2 に寄生ゲート電圧を印加すれば、より順電圧 V_F を低減し、ひいては損失を低減する、より顕著な効果を奏することができる。

[0081] ダイオード部 1 2, 2 2 を流れる電流は、逆導通スイッチング素子においては出力電流に等しく、図 7 に示す出力電流検出部 1 3 によってダイオード部 1 2, 2 2 に流れる電流を検出することができる。すなわち、図 7 に示す出力電流検出部 1 3 は出力電流検出部であり、また、ダイオード電流検出部でもある。なお、逆導通スイッチング素子の出力電流は図 7 に示すシャント抵抗器 1 6、電圧検出部 1 4、または図 4 に示す負荷電流検出部 6 0 を介しても検出することができる。このような場合には、シャント抵抗器 1 6、電圧検出部 1 4、または負荷電流検出部 6 0 の少なくともいずれか 1 つが出力電流検出部に相当する。

[0082] 例えば、変形例 1 または変形例 2 のような動作（それぞれ図 5 および図 6）をするインバータ 1 1 0 を想定する。このとき、第 1、第 2 駆動部 3 0, 4 0 は、逆導通モードにおいて、出力電流検出部 1 3 が検出するダイオード電流が所定の閾値より大きい場合にはスイッチ SW 2 がオフ状態、スイッチ SW 3 がオン状態を維持するようにするとともに、ダイオード電流が所定の閾値以下であることを条件に各変形例に記載の動作をするようにする。これにより、ダイオード部 1 2, 2 2 に流れるダイオード電流が所定の閾値以下の条件を満たす場合のみ、ゲート電極 8 2 に寄生ゲート電圧を印加可能なインバータを構成することができる。

[0083] また、図9に示すように、インバータ110が第1素子10の近傍に、第1素子10の温度を検出するための第1温度検出部17を有し、第2素子20の近傍に、第2素子20の温度を検出するための第2温度検出部18を有するようにしてもよい。第1温度検出部17および第2温度検出部18は温度検出部に相当する。

[0084] 例えば、変形例1または変形例2のような動作（それぞれ図5および図6）をするインバータ110を想定する。このとき、第1、第2駆動部30, 40は、逆導通モードにおいて、それぞれ第1温度検出部17および第2温度検出部18が検出する第1素子10および第2素子20の素子温度が所定の閾値より大きい場合にはスイッチSW2がオフ状態、スイッチSW3がオン状態を維持するようにするとともに、素子温度が所定の閾値以下であることを条件に各変形例に記載の動作をするようにする。これにより、ダイオード部12, 22の素子温度が所定の閾値以下の条件を満たす場合のみ、ゲート電極82に寄生ゲート電圧を印加可能なインバータを構成することができる。

[0085] ところで、一般的にダイオードは電源電圧VCCが小さいほどリカバリ損失が小さくなる傾向にある。一方、一般的なモータドライバや昇圧コンバータに逆導通スイッチング素子を用いる場合には、電源電圧VCCが低下した場合でも、所望の出力の電力を供給しなければならない要求があり、より大きな電流を扱う要請があるため順電圧VFに起因するエネルギー損失が大きくなる傾向にある。

[0086] 上記を踏まえて、電源電圧VCCが比較的小さい電圧領域では順電圧VFの低減が要求され、電源電圧VCCが比較的大きい電圧領域ではよりよいリカバリ特性が要求される。

[0087] なお、電源電圧VCCは、図1に示す例にあっては、第1素子10がオフ時において第1素子10のカソード電圧に等しい。また、第2素子20がオフ時において第2素子20のカソード電圧に等しい。よって、変形例3におけるカソード電圧に等しい。カソード電圧は、図7に示す電圧検出部14に

よって検出することができる。すなわち、電圧検出部 14 は電圧検出部であり、電源電圧 V_{CC} を直接検出するか、あるいはカソード電極 79 の電圧を検出している。

[0088] 例えば、変形例 1 または変形例 2 のような動作（それぞれ図 5 および図 6）をするインバータ 110 を想定する。このとき、第 1、第 2 駆動部 30, 40 は、逆導通モードにおいて、電圧検出部 14 が検出する電源電圧 V_{CC} あるいはカソード電圧が所定の閾値より大きい場合にはスイッチ SW_2 がオフ状態、スイッチ SW_3 がオン状態を維持するようにするとともに、 V_{CC} あるいはオフ時のカソード電圧が所定の閾値以下であることを条件に各変形例に記載の動作をするようにする。これにより、ダイオード部 12, 22 に印加される V_{CC} あるいはカソード電圧が所定の閾値以下の条件を満たす場合のみ、ゲート電極 82 に寄生ゲート電圧を印加可能なインバータを構成することができる。

[0089] （第 2 実施形態）

本実施形態では、ダイオードおよびダイオードを含む半導体装置が昇圧回路、具体的には昇圧コンバータに適用される形態について説明する。なお、本実施形態の説明に供される各図において、第 1 実施形態において記載したインバータを構成する要素と同一の電子素子については同一の符号を付すこととする。

[0090] 最初に、図 10 および図 11 を参照して、本実施形態に係る昇圧コンバータの概略構成について説明する。

[0091] 図 10 に示すように、昇圧コンバータ 120 は、第 1 素子 10 および第 2 素子 20 と、リアクトル 90 とを備え、その回路構成は一般的な昇圧レギュレータの回路構成を踏襲している。昇圧コンバータ 120 は、これらに加えて、昇圧コンバータ 120 が昇圧動作を実施中か否かを判定する昇圧判定部 51 を備えている。なお、昇圧コンバータ 120 は、変形例 1 または変形例 2 に記載のインバータ 110 と同様に第 1 素子 10 および第 2 素子 20 のゲート電極 82 に電圧 V_1 、アノード電位 V_e 、負電圧 $-V_2$ を印加可能な駆

動部 30、40、および各素子 10、20 の駆動状態を判定するモード判定部 50、を備えている。

[0092] 図 10 に示すように、昇圧コンバータ 120 は、出力端子 V_{out} とグラウンド GND の間に第 1 素子 10 と第 2 素子 20 とが直列に接続されて構成されている。そして、第 1 素子 10 と第 2 素子 20 との接続点にリアクトル 90 の一端が接続されており、他端が入力端子 V_{in} となっている。

[0093] 第 1 素子 10 のゲート電極 82 には第 1 駆動部 30 が接続されている。第 1 駆動部 30 は、第 1 実施形態および変形例 1～4 と同様に PWM 基準信号に基づいて第 1 素子 10 のゲート電極 82 にゲート電圧を印加する。また、第 2 素子 20 のゲート電極 82 には第 2 駆動部 40 が接続されている。第 2 駆動部 40 は、PWM 基準信号に基づいて第 2 素子 20 のゲート電極 82 にゲート電圧を印加する。

[0094] モード判定部 50 は、第 1 実施形態および変形例 1～4 と同様に、第 1 素子 10 および第 2 素子 20 の動作モードを判定している。判定方法としては第 1 実施形態および変形例 1～4 と同様の方法を採用することができる。

[0095] 加えて、出力端子 V_{out} につながる負荷がモータである場合、つまり本電源回路によって駆動されるモータの動作に基づいてもモード判定することはできる。例えば、 V_{in} 側から V_{out} 側へ電力を供給している力行動作中か、あるいは V_{out} 側から V_{in} 側へ電力を回収している回生動作中か、によっても駆動モードを判定することができる。具体的には、上アームを構成する第 1 素子 10 では、力行動作中にあっては主にダイオード部 12 に電流が流れるため、力行動作中は逆導通モードである。逆に、回生動作中にあっては順導通モードである。一方、下アームを構成する第 2 素子 20 では、力行動作中にあっては主に IGBT 部 21 に電流が流れるため、力行動作中は順導通モードである。逆に、回生動作中にあっては逆導通モードである。

[0096] 本実施形態における第 1 駆動部 30 および第 2 駆動部 40 は、順導通モードにおいては第 1 実施形態と同様に駆動する。本実施形態ではこれを A モー

ドと称する。一方、逆導通モードにおいては、さらに2つの動作モードを有している。図11に示すように、第1駆動部30および第2駆動部40は、逆導通モード時において、ゲート電圧としてアノード電極79と同一の電圧（アノード電位）を印加するBモードと、ゲート電圧としてアノード電極79よりも低い電圧である寄生ゲート電圧を印加するCモードとを有している。Cモードは変形例1における逆導通モードの動作と同様である。第1、第2駆動部30、40が各モードで駆動するための条件は追って詳述する。

[0097] 昇圧判定部51は、昇圧コンバータ120が昇圧動作をしているか否かを判定している。昇圧判定部51は、例えば出力端子Voutにおける電圧が、入力端子Vinにおける電圧よりも高い所定の閾値より高い電圧である場合には、昇圧コンバータ120が昇圧動作をしていると判定し、閾値以下の電圧である場合には昇圧動作をしていない（非昇圧動作）と判定する。

[0098] 次に、図12を参照して、本実施形態に係る昇圧コンバータ120の動作について説明する。

[0099] まず、図12に示すように、ステップS11が実行される。ステップS11は、モード判定部50が第1素子10および第2素子20の動作モードについて、順導通モードか逆導通モードのいずれであるかを判定するステップである。逆導通絶縁ゲートバイポーラトランジスタにあっては、主にIGBT部11、21に電流が流れる場合に順導通モードであり、主にダイオード部12、22に電流が流れる場合に逆導通モードである。また、上記したように、力行動作時における第1素子10は逆導通モードであり、第2素子20は順導通モードである。一方、回生動作時における第1素子10は順導通モードであり、第2素子20は逆導通モードである。

[0100] ステップS11において、素子10、20が逆導通モードでなければNO判定となりステップS12が実行される。換言すれば、素子10、20が順導通モードであればステップS12が実行される。ステップS12は、駆動部30、40がゲート電圧を、図11に示すAモードで出力するステップである。順導通モードではPWM基準信号がHighのときには、IGBTを

オンさせるゲート電圧が印加され、PWM基準信号がLowのときはIGBTがオフするゲート電圧が印加されるので、IGBTが正しくPWMに同期してスイッチング動作することができる。

[0101] 一方、ステップS11において、素子10、20が逆導通モードであればYES判定となりステップS13が実行される。ステップS13は、昇圧判定部51が、昇圧コンバータ120が昇圧動作中か、あるいは非昇圧動作中かを判定するステップである。上記したように、本実施形態における昇圧判定部51は出力端子Voutの電圧に基づいて昇圧動作か否かを判定している。

[0102] ステップS13において、出力端子Voutの電圧が所定の閾値以下であれば、昇圧コンバータ120は非昇圧動作中であり、NO判定となる。この場合はステップS14が実行される。ステップS14は駆動部30、40がゲート電圧を、図12に示すCモードで出力するステップである。非昇圧動作中とは例えば、図10において、第1素子10および第2素子20に印加されるゲート電圧がPWM制御されておらず、第1素子10のゲート電極82に電圧V1が印加され常時オン状態、かつ、第2素子20にアノード電極79と略同一の電圧が印加されて常時オフ状態にあることを意味する。この場合、ダイオード部12、22はリカバリ動作を行わないので、順電圧VFはより小さいことが求められる。図11に示すCモードでゲート電圧を供給することにより、ゲート電極82に寄生ゲート電圧が印加されることとなる。すなわち、順電圧VFを低減した状態でダイオード部12、22を動作させることができる。

[0103] 一方、ステップS13において、出力端子Voutの電圧が所定の閾値よりも高ければ、昇圧コンバータ120が昇圧動作中であると判定され、YES判定となる。この場合はステップS15が実行される。ステップS15は駆動部30、40がゲート電圧を、図12に示すBモードで出力するステップである。ステップS13においてYES判定となる状態は、例えばPWM制御されたゲート電圧が第2素子20に印加されて第2素子20は順導通モ

ードで昇圧に寄与しているときの第1素子10である。この第1素子10は逆導通モードでありつつ昇圧コンバータ120が昇圧動作を行っており、ダイオード部12にリカバリ動作が発生する。このため、ゲート電極82に寄生ゲート電圧を印加して順電圧 V_F を低減するよりもリカバリ特性の改善が優先されるBモードで駆動することが好適である。

[0104] 次に、本実施形態における半導体装置、ひいては昇圧コンバータ120を採用することによる作用効果について説明する。

[0105] この昇圧コンバータ120を採用することにより、昇圧動作にかかり主にIGBT部11, 21に電流が流れる状態である順導通モードにあるスイッチング素子に対してはハイレベルを電圧 V_1 、ローレベルをアノード電位 V_e とするPWM制御されたゲート電圧を印加するので、入力電圧 V_{in} の昇圧を確実に行うことができる。

[0106] 一方、主にダイオード部21, 22に電流が流れる状態である逆導通モードにあるスイッチング素子に対しては、リカバリが発生し得る昇圧動作中はゲート電極82に寄生ゲート電圧を印加しないBモードで電圧を印加でき、順電圧 V_F の低減が要求される非昇圧動作中はゲート電極82に寄生ゲート電圧を印加するCモードで電圧を印加できる。

[0107] このように、この昇圧コンバータ120を採用することにより、リカバリ特性の向上と順電圧 V_F の低減とを両立することができる。

[0108] (変形例5)

第2実施形態では、昇圧判定部51が、出力端子 V_{out} の電圧が所定の閾値より高い場合を昇圧動作、閾値以下の場合を非昇圧動作と判定する例を示したが、昇圧判定部51による昇圧状態の判定は、出力端子 V_{out} の電圧と閾値との比較以外の手段を用いることもできる。

[0109] 例えば、第1駆動部30および第2駆動部40に入力されるPWM基準信号を出力する外部ECUと昇圧判定部51とが接続され、昇圧判定部51にもPWM基準信号が入力可能にされた構成としてもよい。

[0110] この構成では、昇圧判定部51は、PWM制御されたPWM基準信号が昇

圧判定部 51 に入力されていれば昇圧コンバータ 120 が昇圧動作中であると判定し、PWM 基準信号が昇圧判定部 51 に入力されていなければ昇圧コンバータ 120 が非昇圧動作中であると判定する。ここで、PWM 基準信号が昇圧判定部 51 に入力されていない、とは、そもそも PWM 基準信号が入力されていない状態に加えて、常時 High 信号あるいは常時 Low 信号が入力されている等、所定の周期で入力されない状態も含む。

[0111] 駆動部 30, 40 が A モード、B モード、C モードのいずれの印加パターンでゲート電圧を出力するかについては、第 2 実施形態と同様に、図 12 に示すフローチャートに従うため説明を省略する。外部 ECU より、昇圧動作中か、非昇圧動作中かを表す信号を、昇圧判定部 51 が受ける構成でも良い。

[0112] (変形例 6)

第 2 実施形態および変形例 5 では、昇圧コンバータ 120 が昇圧動作中か非昇圧動作中かによって駆動部 30, 40 が出力するゲート電圧の印加パターンを定める例について説明したが、リアクトル 90 を流れる電流の電流モードによって印加パターンを定めることもできる。

[0113] 図 13 は、昇圧コンバータ 120 が負荷に電力を供給する電源回路として採用される場合の負荷電流の挙動を示す図である。なお、電流の正負入力端子 V_{in} から、第 1 素子 10 と第 2 素子 20 との接続点へ流れる方向を正とし、逆方向を負としている。

[0114] リアクトル電流が大きい場合には、リアクトル電流はゼロクロスせず、電流モードは連続動作である。一方、リアクトル電流が小さい場合には、負荷電流がゼロ点を含む状態となり、電流モードは不連続動作である。この方式においては、連続動作、不連続動作の切り替えおよび、力行と回生の切り替えは、外部 ECU によって決定され、外部 ECU が出力する PWM 基準信号によって実現される。連続動作中はリカバリが発生するため、ゲート電極 82 に寄生ゲート電圧を印加することは好ましくない。逆に、不連続動作中はリカバリが発生せず、順電圧 V_F を低減することによって消費電力を低減で

きるので、ゲート電極 82 に寄生ゲート電圧を印加することが好ましい。

[0115] よって、図 14 に示すように、リアクトルを流れる電流の電流モードによって印加パターンを定めることもができる。これは、図 12 を参照して説明した第 2 実施形態の昇圧コンバータ 120 の動作フローにおいて、昇圧動作しているか否かを判定するステップ S 13 を、図 14 に示すように、リアクトル電流が連続動作しているか否かを判定するステップ S 16 に置換することで実現できる。

[0116] 順を追って説明する。図 14 に示すように、まず、ステップ S 11 が実行される。ステップ S 11 は第 2 実施形態におけるステップ S 11 と同様である。ステップ S 11 において NO 判定である場合は順導通モードであるから主に IGBT 部 11, 21 に電流が流れる状態である。よって、例えば昇圧動作であれば PWM 基準信号の同期したゲート電圧、すなわち、ステップ S 12 に示す A モードでゲート電圧が印加される。

[0117] ステップ S 11 において YES 判定である場合はステップ S 16 に進む。ステップ S 16 は、例えばリアクトル電流を監視する外部 ECU が、リアクトル電流が連続動作中か、不連続動作中か、を判定するステップである。上記したように、連続動作中はリカバリが発生するため、ゲート電極 82 に寄生ゲート電圧を印加することは好ましくない。このため、ステップ S 16 が YES 判定の場合にはステップ S 15 に示す B モードでゲート電圧が印加される。

[0118] 逆に、不連続動作中はリカバリが発生せず、順電圧 V_F を低減することによって消費電力を低減できるので、ゲート電極 82 に寄生ゲート電圧を印加することが好ましい。このため、ステップ S 16 が NO 判定の場合にはステップ S 15 に示す C モードでゲート電圧が印加され、ゲート電極 82 に寄生ゲート電圧が印加されることになるから消費電力を抑制することができる。

[0119] なお、リアクトル電流が連続動作中か、あるいは不連続動作中かの判定において、リアクトル電流がゼロ点を含んでいるか否かを検出する手段のほか、PWM 制御により周期的に振動するリアクトル電流の極小値の絶対値が所

定の閾値以上であることを条件に連続動作中であると判定することもできる。その場合、図14に示すステップS16は、リアクトル電流の極小値の絶対値が所定の閾値以上か否かを判定するステップに置換され、NO判定であれば不連続動作であってステップS14に進み、YES判定であれば連続動作であってステップS15に進む。また、連続動作と不連続動作の切り替えを判定しているECUにてステップ15の判定を行っても良い。

[0120] また、駆動部30、40が出力するゲート電圧の印加パターンを定める条件について、第2実施形態において説明した昇圧コンバータと、変形例6において説明した昇圧コンバータを組み合わせることができる。非昇圧動作中にあってはリカバリが発生せず、順電圧VFを低減させておく動作が好ましい。

[0121] また、昇圧動作中であって、且つ連続動作中は、変形例6と同様にリカバリが発生するため、ゲート電極82に寄生ゲート電圧を印加することは好ましくない。逆に、昇圧動作中であって、且つ不連続動作中はリカバリが発生せず、順電圧VFを低減することによって消費電力を低減できるので、ゲート電極82に寄生ゲート電圧を印加することが好ましい。

[0122] 上記する動作を実現するには、図15に示すように、第2実施形態における動作フローにおけるステップS13のYES判定の際に、変形例6において説明したステップS16を実行するようにすればよい。この動作フローに従えば、第1素子10および第2素子20が逆導通モードで動作している前提において、昇圧コンバータ120が昇圧動作中、且つリアクトル電流が連続動作中においてはリカバリが発生するためにリカバリ特性が優先されるので寄生ゲート電圧は印加されない。一方、上記条件以外の状態ではリカバリが発生せず、順電圧VFの低減が優先されるためゲート電極82に寄生ゲート電圧が印加される。

[0123] このように、この昇圧コンバータ120を採用することにより、リカバリ特性の向上と順電圧VFの低減とを両立することができる。

[0124] (第3実施形態)

第1実施形態、第2実施形態および変形例1～6において第1素子10、第2素子20たる逆導通絶縁ゲートバイポーラトランジスタは、図2に示す構造を有していることを説明した。図2を参照して説明した構造に加えて、図16に示すように、n導電型のピラー領域83を有していることが好ましい。ピラー領域83は、半導体基板70の第2主面70bから厚さ方向に延び、アノード領域77aあるいはボディ領域77bを貫通して第1バリア領域76a、第2バリア領域76bに至るように形成されている。ピラー領域83は、第1、第2バリア領域76a、76bと同一の不純物が略同濃度ドーピングされた拡散層であり、ピラー領域83とバリア領域76a、76bとは略同電位である。

[0125] ピラー領域83を有することにより、アノード電極79とピラー領域83は金属-半導体接合面を介して短絡する。ピラー領域83と第1バリア領域76aはほぼ同電位であるため、第1バリア領域76aとアノード電極79の電位差は金属-半導体接合面での電圧降下とほぼ等しくなる。金属-半導体接合面での電圧降下は、アノード領域77aと第1バリア領域76aの間のpn接合のビルトイン電圧よりも小さいので、アノード領域77aから第1ドリフト領域74aへのホールの注入が抑制される。

[0126] アノード電極79とカソード電極71の間の電圧が順バイアスから逆バイアスに切り替わると、電界伸展防止領域75a、75bとドリフト領域74a、74bとの間のpn接合で逆電流が制限される。ダイオード部12では、順バイアスの印加時においてアノード領域77aから第1ドリフト領域74aへのホールの注入が抑制されているから、逆回復電流が小さく、逆回復時間が短い。このダイオード部12によれば、第1ドリフト領域74aのライフタイム制御を行うことなく、スイッチング損失を小さくすることができる。

[0127] なお、ピラー領域83における不純物濃度を、第1バリア領域76aにおける不純物濃度よりも高く設定することによって、アノード領域77aの厚みを薄くすることなく、順バイアスの印加時における第1バリア領域76a

とアノード電極 79 の間の電位差を小さくすることができる。このようなダイオード部 12 によれば、逆バイアスに対するリーチスルーの発生を抑え、耐圧を低下させることなく、スイッチング損失を低減することができる。

[0128] なお、本実施形態ではピラー領域 83 が IGBT 部 11 にも形成される例を示したが、少なくともダイオード部 12 に形成されていればホール注入抑制効果を奏することができる。このため、必ずしも IGBT 部 11 にピラー領域 83 が形成されている必要はない。

[0129] (その他の実施形態)

第 2 実施形態および変形例 5, 6 では、昇圧コンバータ 120 の回路構成として、2つの逆導通絶縁ゲートバイポーラトランジスタが直列に接続された構成を例示したが、上アームは単にダイオードのみであっても良い。この構成の場合、ダイオードの詳細な構造は、図 2 あるいは図 16 に示したダイオード部 12 のみが半導体基板 70 に形成された構造であり、ゲート電極 82 に寄生ゲート電圧が印加可能になっている。そして、ダイオード部 12 に順バイアスが印加される逆導通モードにおいて寄生ゲート電圧が印加されることにより順電圧 V_F を低減することができる。

[0130] また、上記した各実施形態および各変形例では、逆導通スイッチング素子として逆導通絶縁ゲートバイポーラトランジスタを例に説明したが、逆導通 MOSFET を採用してもよい。MOSFET の場合、図 2 あるいは図 16 に示すスイッチング素子領域（上記した各実施形態では IGBT 部 11）のコレクタ領域 72b が n 導電型のドレイン領域となり、スイッチング素子とダイオード素子を兼ねた領域となる。つまり、スイッチング素子領域とダイオード部 12 とを作り分けることはしなくともよい。なお、図 2 あるいは図 16 に示したエミッタ領域 78 はソース領域となる。このような態様では、実質的にスイッチング素子として機能する領域と、ダイオードとして機能する領域とが並列に形成された状態にある。

[0131] また、上記した第 1 実施形態ではゲート電極 82 に印加されるゲート電圧が電圧 V_1 と電圧 $-V_2$ の 2 値である例を示し、また、変形例 1 では電圧 V

1、アノード電位 V_e 、電圧 $-V_2$ の3値である例を示した。しかしながら、これは一例であって4値以上の間で遷移するようにしてもよい。例えば、変形例2では、逆導通モードにおいて V_e と V_2 の間で遷移する例を示したが、 V_e よりも低い電圧と V_2 との間で遷移するように構成してもよい。

[0132] 本開示は、実施形態に準拠して記述されたが、本開示は当該実施形態や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

請求の範囲

- [請求項1] 半導体基板（70）の第1主面（70a）に形成された第1電極（71）と、
- 前記第1主面の表層であって前記第1電極上に積層された第1導電型の第1不純物領域（72a）と、
- 前記第1不純物領域上に積層され、前記第1不純物領域よりも不純物濃度が低くされた第1導電型のドリフト領域（74a）と、
- 前記ドリフト領域上に積層された第2導電型の第2不純物領域（77a）と、
- 前記第2不純物領域上であって前記半導体基板の第1主面と反対の第2主面に形成された第2電極（79）と、を有するダイオードであって、
- 前記ドリフト領域と前記第2不純物領域との間に形成され、前記ドリフト領域よりも不純物濃度が高くされた第1導電型のバリア領域（76a）と、
- 前記バリア領域と前記ドリフト領域との間に形成された第2導電型の電界伸展防止領域（75a）と、
- 前記第2主面から前記第2不純物領域および前記バリア領域を貫通して前記電界伸展防止領域に至って形成され、ゲート電圧を印加するためのゲート電極（82）を有するトレンチゲート（80）と、を有し、
- 前記ゲート電極に、前記ゲート電圧として、
- 前記第2電極との電位差の絶対値が、前記第2不純物領域と前記バリア領域と前記電界伸展防止領域とにより形成される寄生トランジスタの閾値電圧以上とされる寄生ゲート電圧が印加されるダイオード。
- [請求項2] 前記第2電極と前記バリア領域とを繋ぐように前記第2不純物領域を貫通して形成された第1導電型のピラー領域（83）を有する請求項1に記載のダイオード。

[請求項3] 同一の半導体基板にダイオード（１２）とスイッチング素子（１１）とが並列して形成された逆導通スイッチング素子（１０，２０）と、

、

前記逆導通スイッチング素子にゲート電圧を印加する駆動部（３０，４０）と、

主に前記スイッチング素子に電流が流れる順導通モードと、主に前記ダイオードに電流が流れる逆導通モードと、のいずれのモードで駆動しているかを判定するモード判定部（５０）と、を備え、

前記ダイオードは、

半導体基板（７０）の第１主面（７０ａ）に形成された第１電極（７１）と、

前記第１主面の表層であって前記第１電極上に積層された第１導電型の第１不純物領域（７２ａ）と、

前記第１不純物領域上に積層され、前記第１不純物領域よりも不純物濃度が低くされた第１導電型の第１ドリフト領域（７４ａ）と、

前記第１ドリフト領域上に積層された第２導電型の第２不純物領域（７７ａ）と、

前記第２不純物領域上であって前記半導体基板の第１主面と反対の第２主面に形成された第２電極（７９）と、

前記第１ドリフト領域と前記第２不純物領域との間に形成され、前記第１ドリフト領域よりも不純物濃度が高くされた第１導電型の第１バリア領域（７６ａ）と、

前記第１バリア領域と前記第１ドリフト領域との間に形成された第２導電型の第１電界伸展防止領域（７５ａ）と、を有し、

前記スイッチング素子は、

第１導電型の第２ドリフト領域（７４ｂ）と、

前記第２主面の表層に形成された第２導電型のボディ領域（７７ｂ）と、

前記半導体基板の第2主面の表層であって前記ボディ領域に取り囲まれて形成された第1導電型の第3不純物領域（78）と、を有し、

前記ダイオードおよび前記スイッチング素子は、

前記第2主面から前記第2不純物領域、および、前記第1バリア領域を貫通して前記第1ドリフト領域に至って形成され、前記ゲート電圧を印加するためのトレンチ電極（82）を有するトレンチゲート（80）と、を有し、

前記駆動部は、前記逆導通モードにおいて、前記ゲート電圧として、

前記第2電極との電位差の絶対値が、前記第2不純物領域と前記第1バリア領域と前記第1電界伸展防止領域とにより形成される寄生トランジスタの閾値電圧以上とされる寄生ゲート電圧を印加する半導体装置。

[請求項4] 前記第2電極と前記第1バリア領域とを繋ぐように前記第2不純物領域を貫通して形成された第1導電型のピラー領域（83）を有する請求項3に記載の半導体装置。

[請求項5] 前記駆動部は、前記逆導通モードにおいて、
ハイレベルとローレベルの2値を少なくとも有しPWM制御された前記ゲート電圧を前記トレンチゲートに印加するものであり、
前記ローレベルが前記寄生ゲート電圧である請求項3または請求項4に記載の半導体装置。

[請求項6] 前記逆導通モード時において前記第2電極と前記第1電極との間に流れるダイオード電流の電流値を検出するダイオード電流検出部（13）をさらに備え、

前記駆動部は、前記ダイオード電流検出部により検出される前記ダイオード電流が所定の閾値以下であることを条件に、前記ゲート電圧として前記寄生ゲート電圧を印加する請求項3～5のいずれか1項に記載の半導体装置。

[請求項7] 前記逆導通スイッチング素子の温度を検出する温度検出部（１７，１８）をさらに備え、

前記駆動部は、前記温度検出部により検出される前記逆導通スイッチング素子の温度が所定の閾値以下であることを条件に、前記ゲート電圧として前記寄生ゲート電圧を印加する請求項３～６のいずれか１項に記載の半導体装置。

[請求項8] 前記逆導通スイッチング素子に電圧を供給する電源電圧（ＶＣＣ）の電圧が所定の閾値以下であることを条件に、前記ゲート電圧として前記寄生ゲート電圧を印加する請求項３～７のいずれか１項に記載の半導体装置。

[請求項9] 前記電源電圧を検出するために、前記第２電極と前記第１電極との間に印加される電圧を検出する電圧検出部（１４）をさらに備え、

前記駆動部は、前記電圧検出部により検出される電圧が所定の閾値以下であることを条件に、前記ゲート電圧として前記寄生ゲート電圧を印加する請求項８に記載の半導体装置。

[請求項10] ２つの前記逆導通スイッチング素子が直列に接続されて、各逆導通スイッチング素子がそれぞれ上アームと下アームを構成し、

前記上アームと前記下アームの接続点にリアクトル（９０）の一端が接続され、

前記リアクトルにおける前記逆導通スイッチング素子が接続された一端と反対の他端に入力電圧が印加され、

前記駆動部によりパルス制御された前記ゲート電圧に基づいて前記入力電圧を昇圧する昇圧回路が構成される請求項３～９のいずれか１項に記載の半導体装置。

[請求項11] 前記昇圧回路において、昇圧動作をしているか否かを判定する昇圧判定部（５１）をさらに備え、

前記駆動部は、前記昇圧回路が昇圧動作をしていないことを条件に、前記ゲート電圧として前記寄生ゲート電圧を印加する請求項１０に

記載の半導体装置。

[請求項12] 前記昇圧判定部は、前記昇圧回路の出力電圧が、所定の閾値より高いことを以って、前記昇圧回路が昇圧動作をしていると判定する請求項11に記載の半導体装置。

[請求項13] 前記昇圧判定部は、前記駆動部に、PWM制御された前記ゲート電圧を生成するための基準となるPWM基準信号が入力されていることを以って、前記昇圧回路が昇圧動作をしていると判定する請求項11または請求項12に記載の半導体装置。

[請求項14] 前記駆動部は、前記リアクトルに流れるリアクトル電流がゼロ点を含む不連続動作中であることを条件に、前記ゲート電圧として前記寄生ゲート電圧を印加する請求項10～13のいずれか1項に記載の半導体装置。

[請求項15] 2つの前記逆導通スイッチング素子が直列に接続されて、各逆導通スイッチング素子がそれぞれ上アームと下アームを構成し、前記上アームと前記下アームの接続点に負荷の一端が接続され、

前記負荷に流れる負荷電流を検出する負荷電流検出部(60)をさらに備え、前記接続点から前記負荷に向かって流れる電流を正とするとき、

前記モード判定部は、

前記負荷電流が正の場合に、前記上アームの逆導通スイッチング素子は順導通モードであり、前記下アームの逆導通スイッチング素子は逆導通モードであり、

前記負荷電流が負の場合に、前記上アームの逆導通スイッチング素子は逆導通モードであり、前記下アームの逆導通スイッチング素子は順導通モードである、と判定する請求項3～14のいずれか1項に記載の半導体装置。

[請求項16] 前記逆導通スイッチング素子の出力電流の電流値を検出する出力電流検出部(13)をさらに備え、

前記第 1 電極から前記第 2 電極へ流れる前記出力電流を正とするとき、

前記モード判定部は、

前記出力電流が正の場合に、逆導通スイッチング素子は順導通モードであり、

前記出力電流が負の場合に、逆導通スイッチング素子は逆導通モードである、と判定する請求項 3 ～ 15 のいずれか 1 項に記載の半導体装置。

[請求項 17]

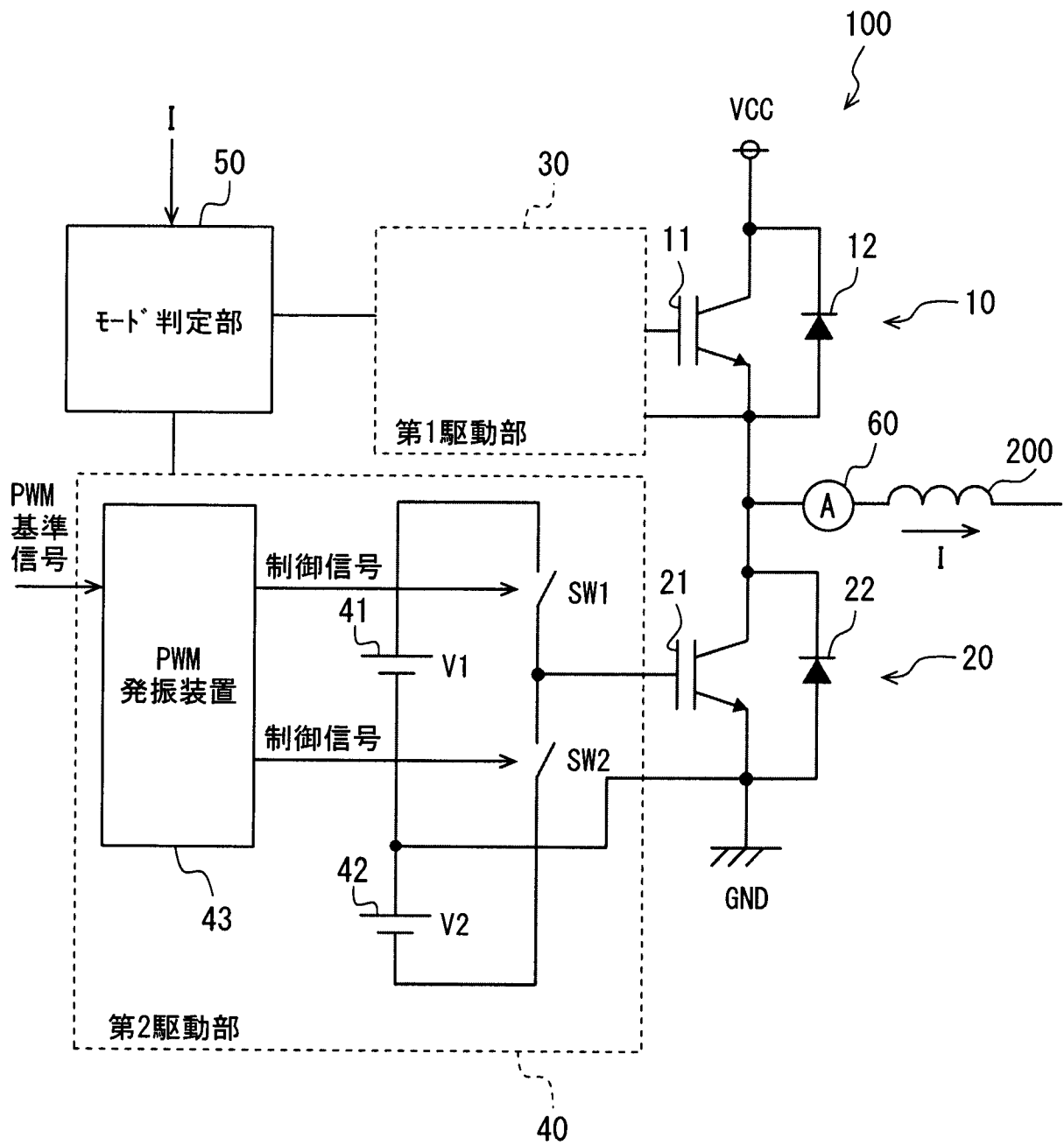
前記逆導通スイッチング素子における前記第 1 電極の電圧を検出する電圧検出部（14）をさらに備え、

前記モード判定部は、

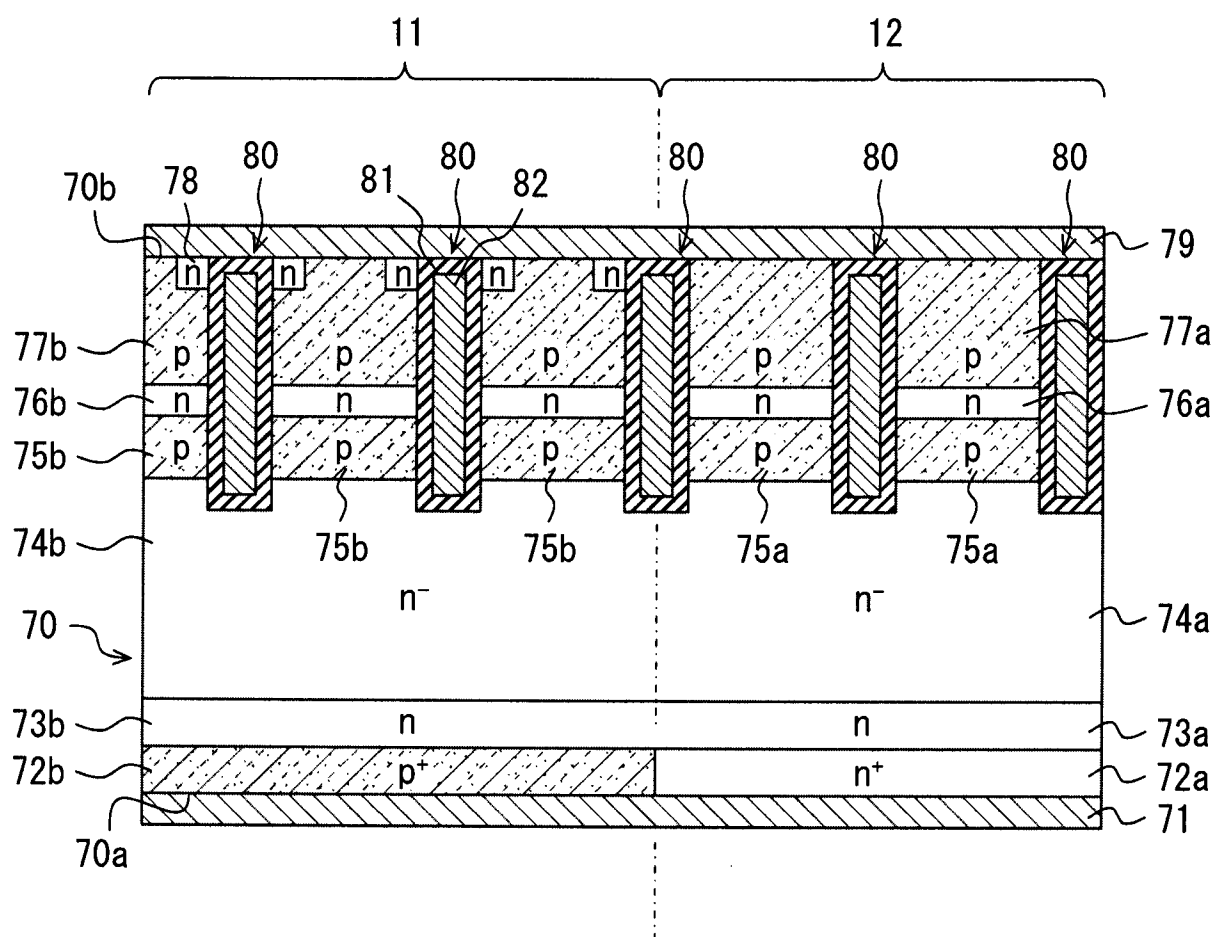
前記第 1 電極の電圧が前記第 2 電極の電圧よりも高い場合に、逆導通スイッチング素子は順導通モードであり、

前記第 1 電極の電圧が前記第 2 電極の電圧よりも低い場合に、逆導通スイッチング素子は逆導通モードである、と判定する請求項 3 ～ 16 のいずれか 1 項に記載の半導体装置。

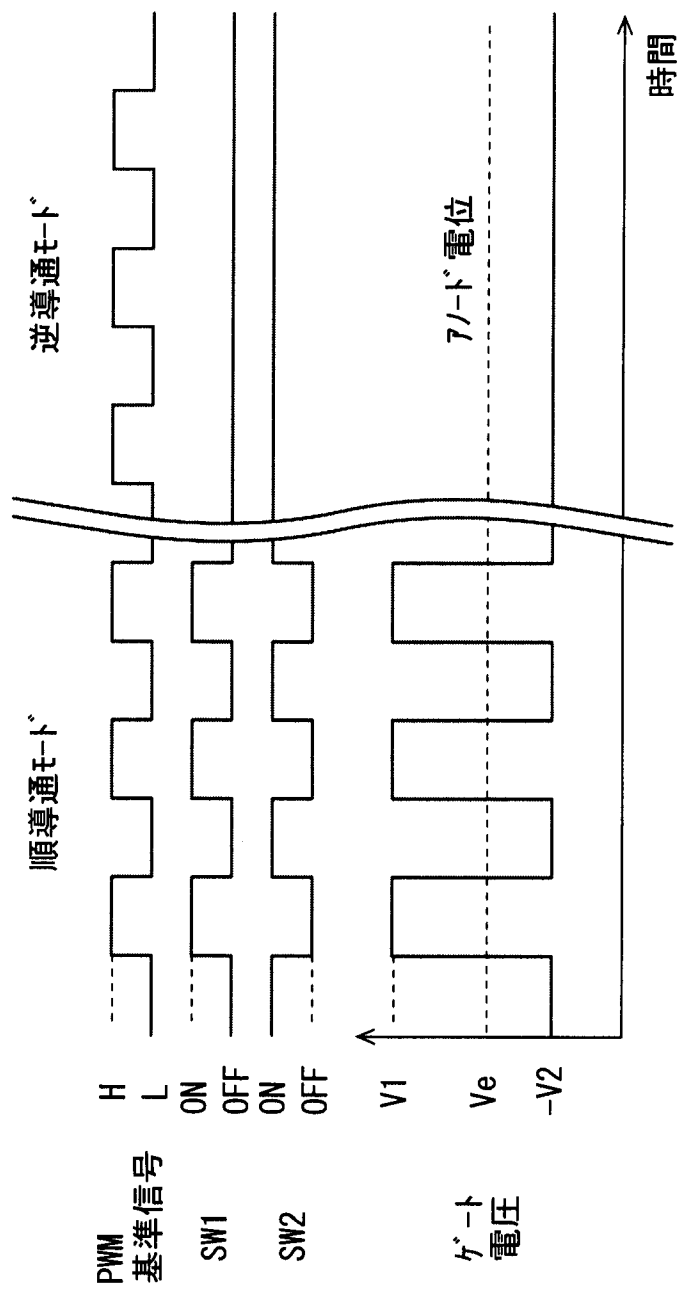
[図1]



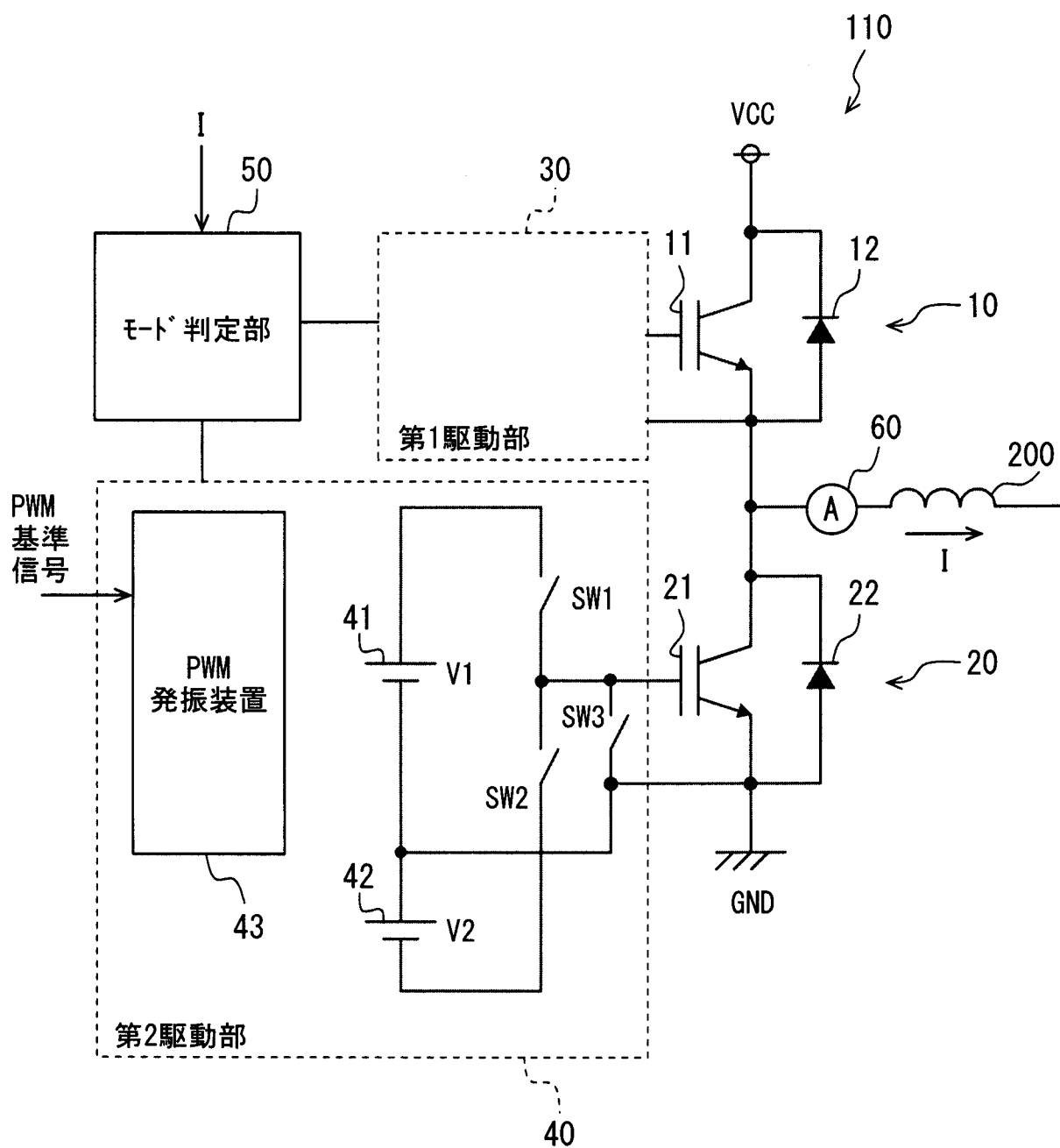
[図2]



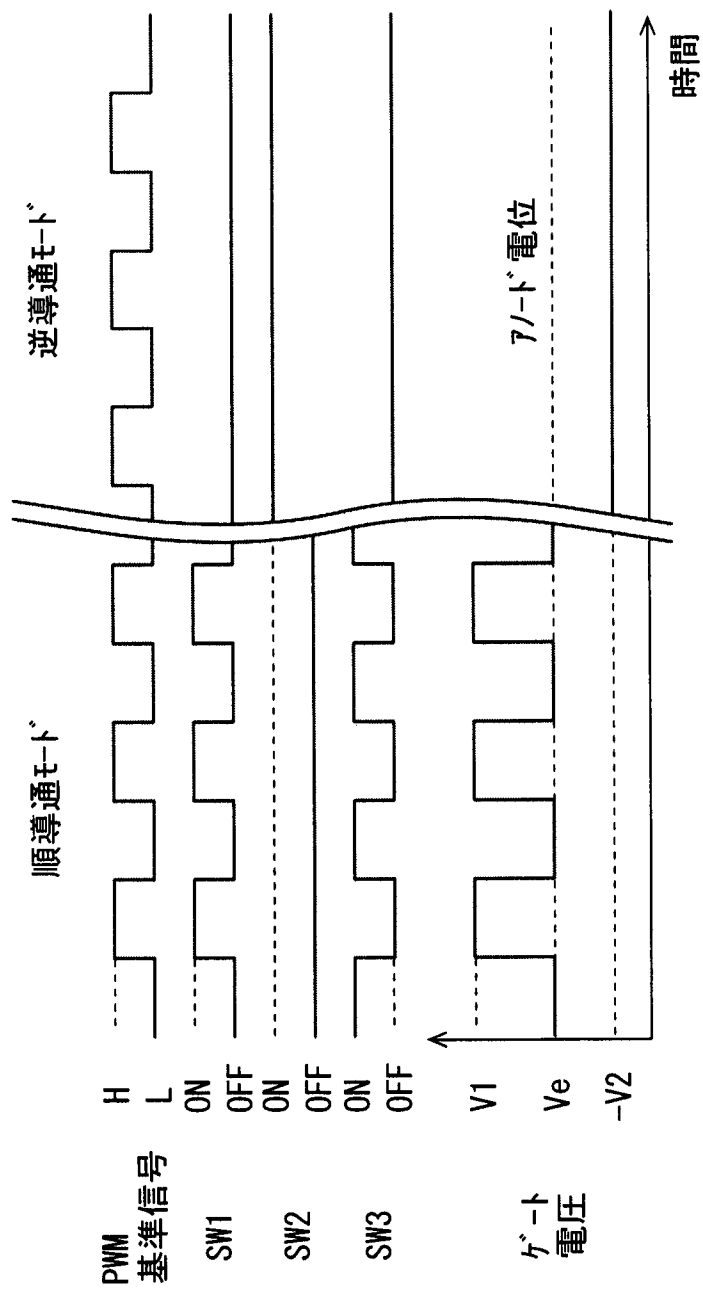
[図3]



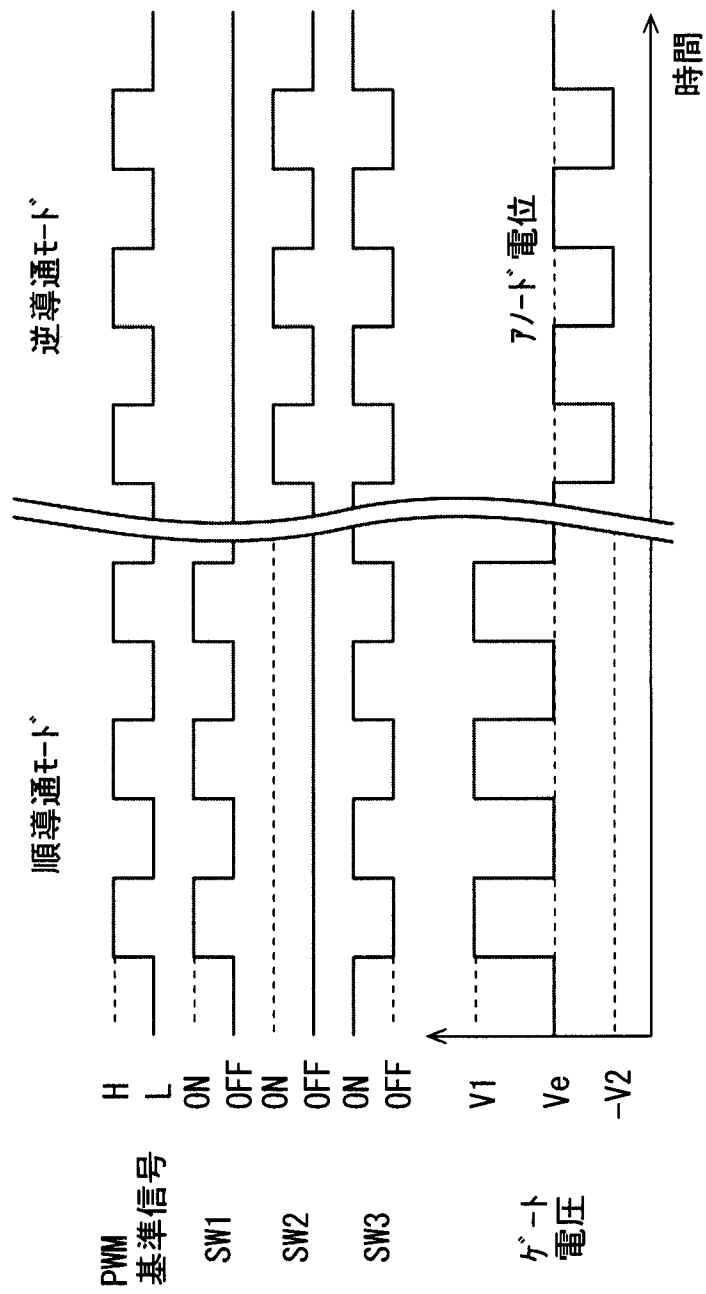
[図4]



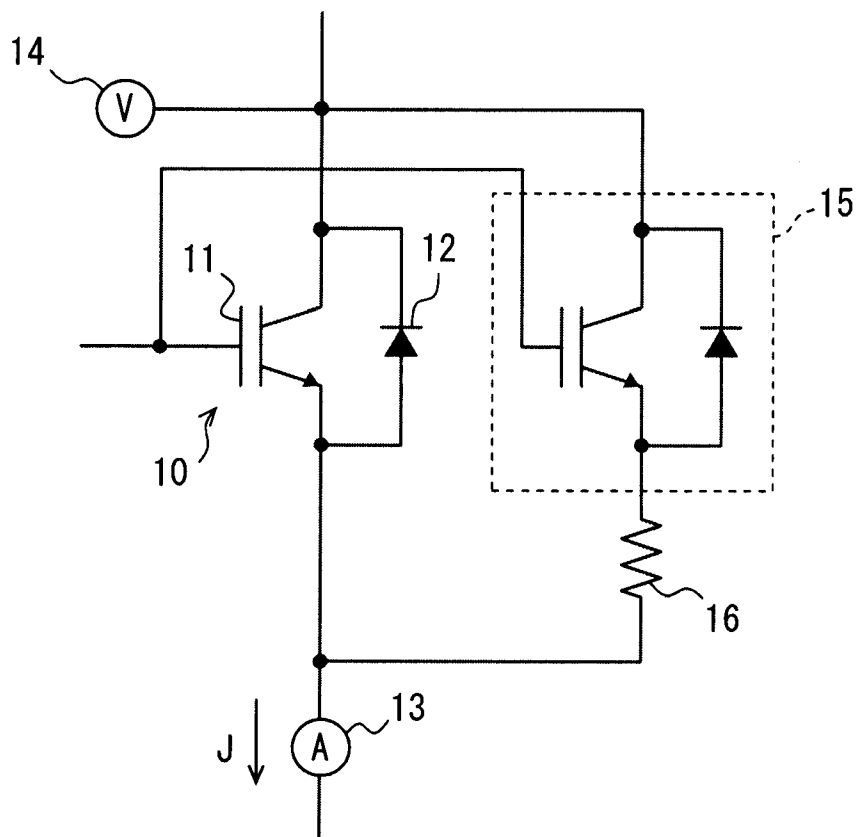
[図5]



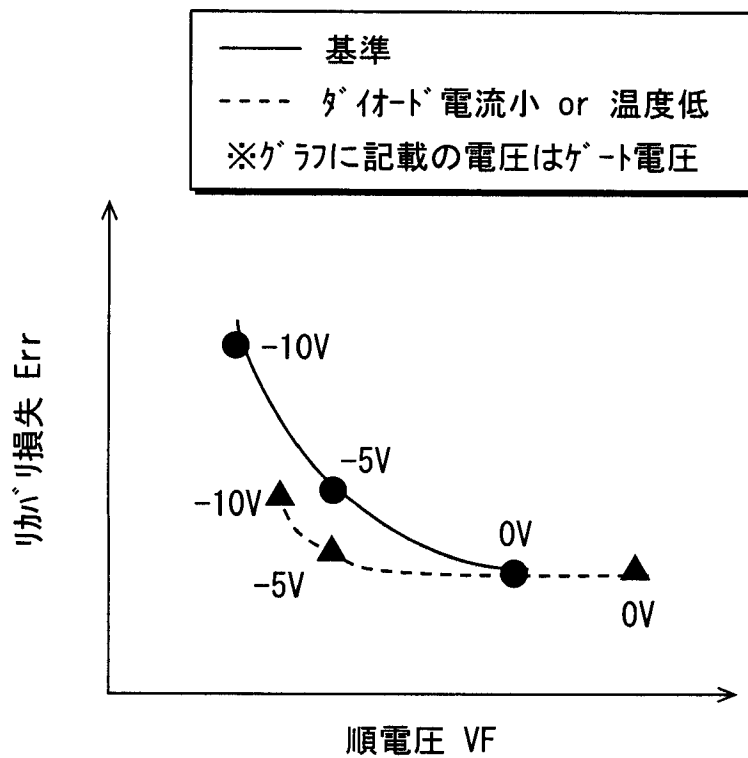
[図6]



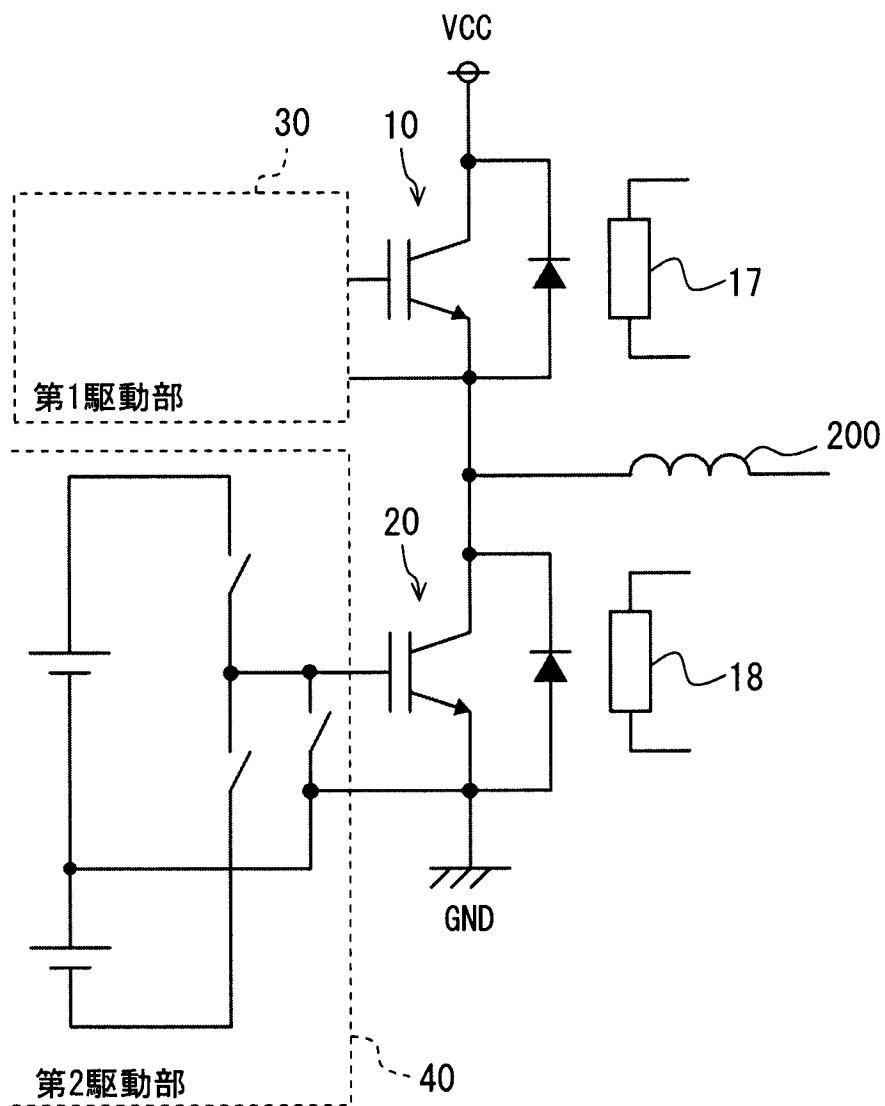
[図7]



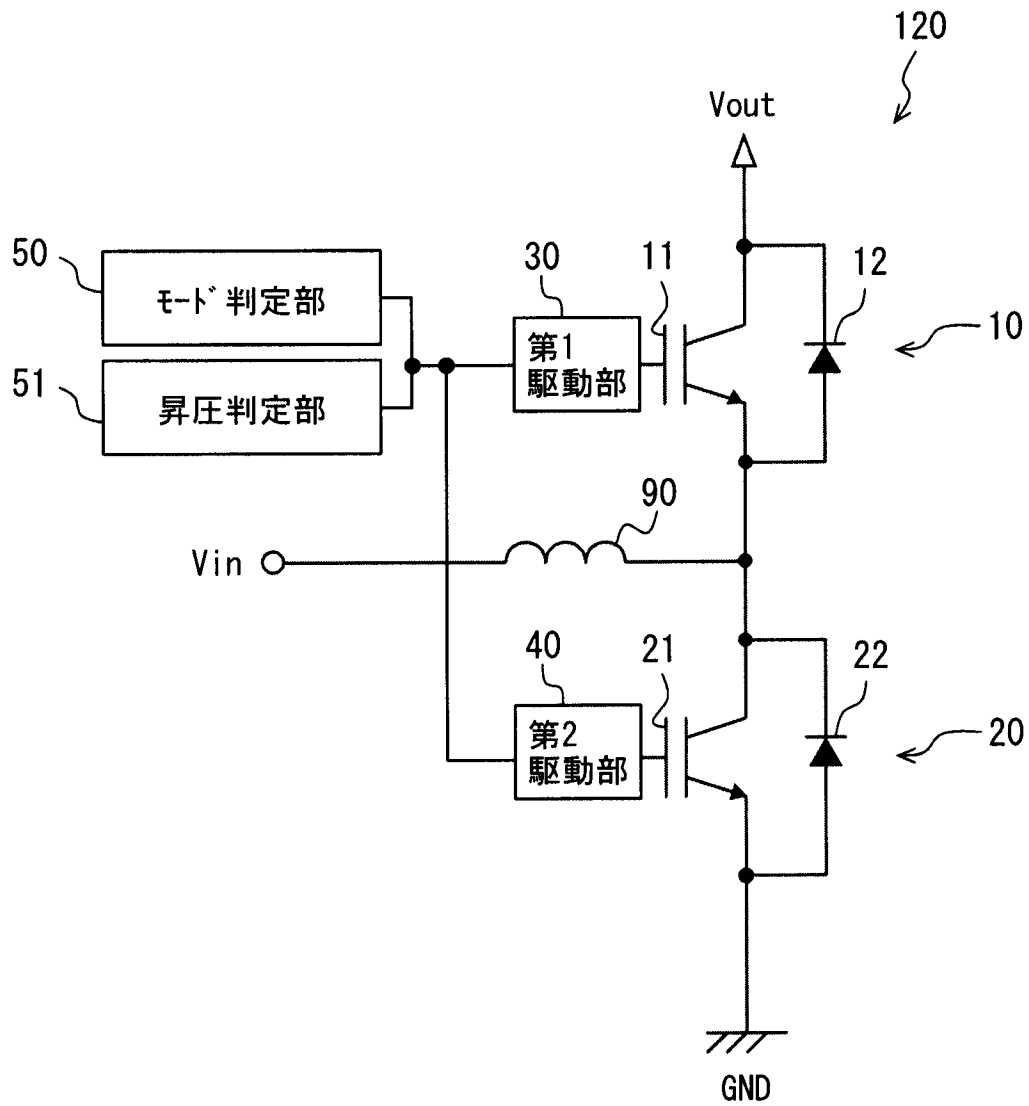
[図8]



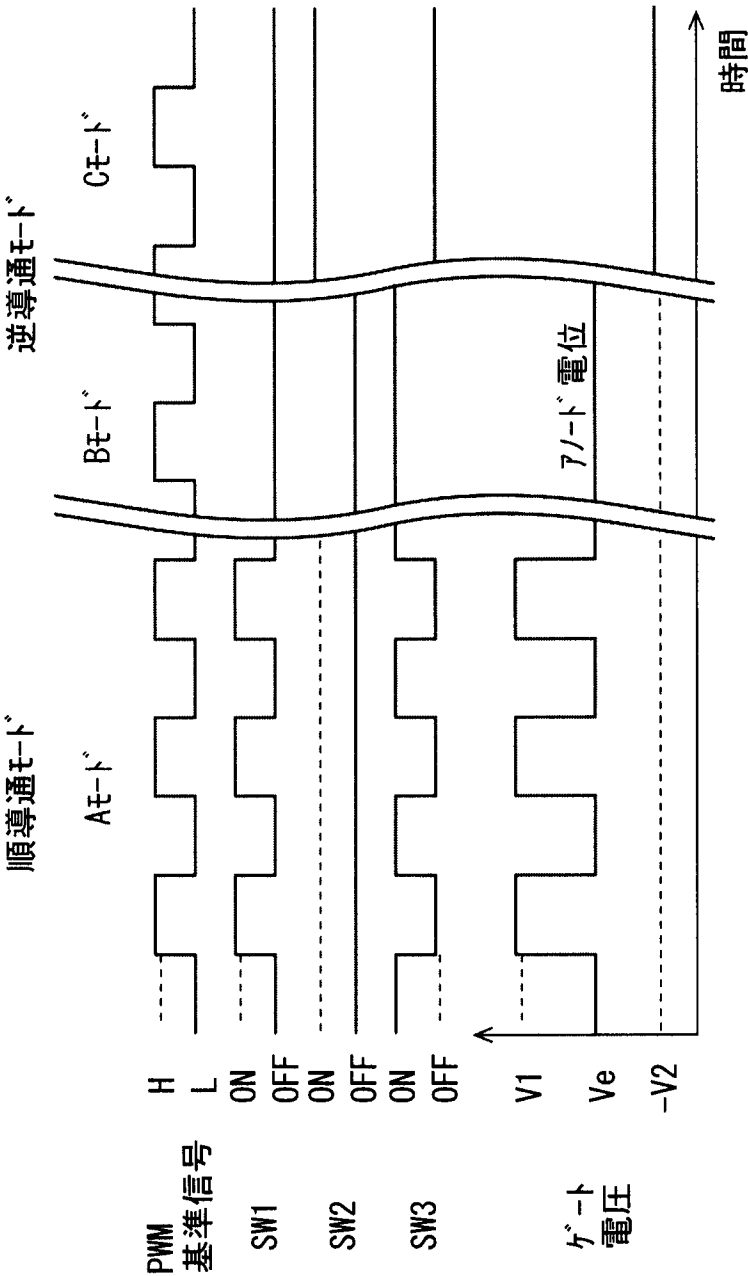
[図9]



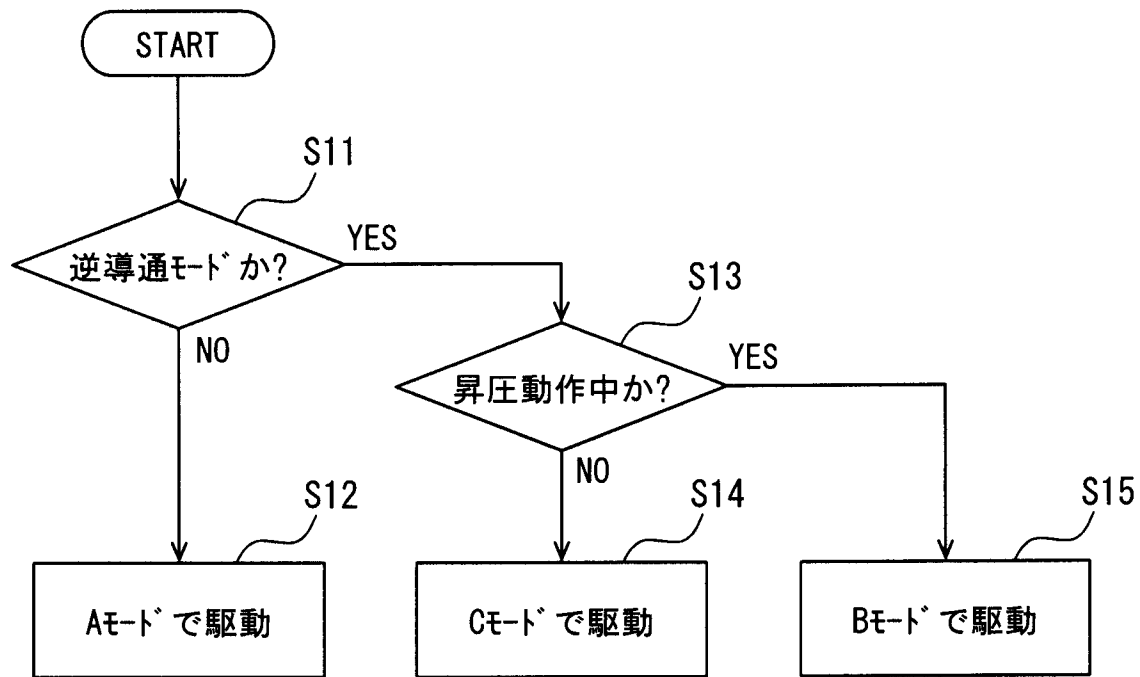
[図10]



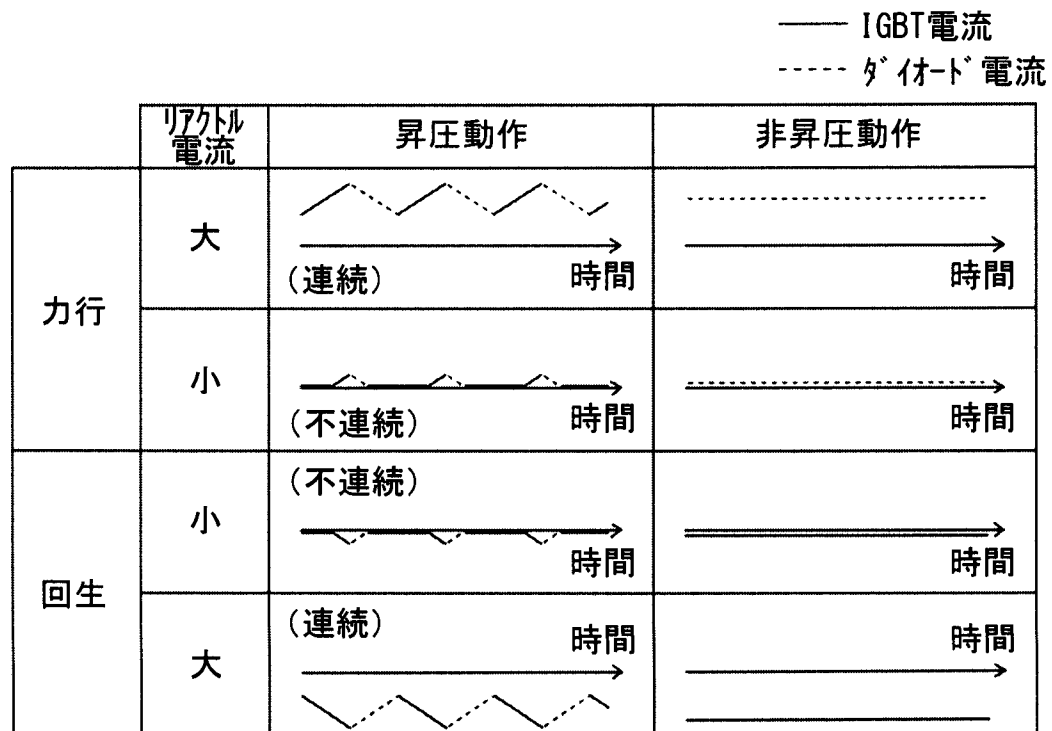
[図11]



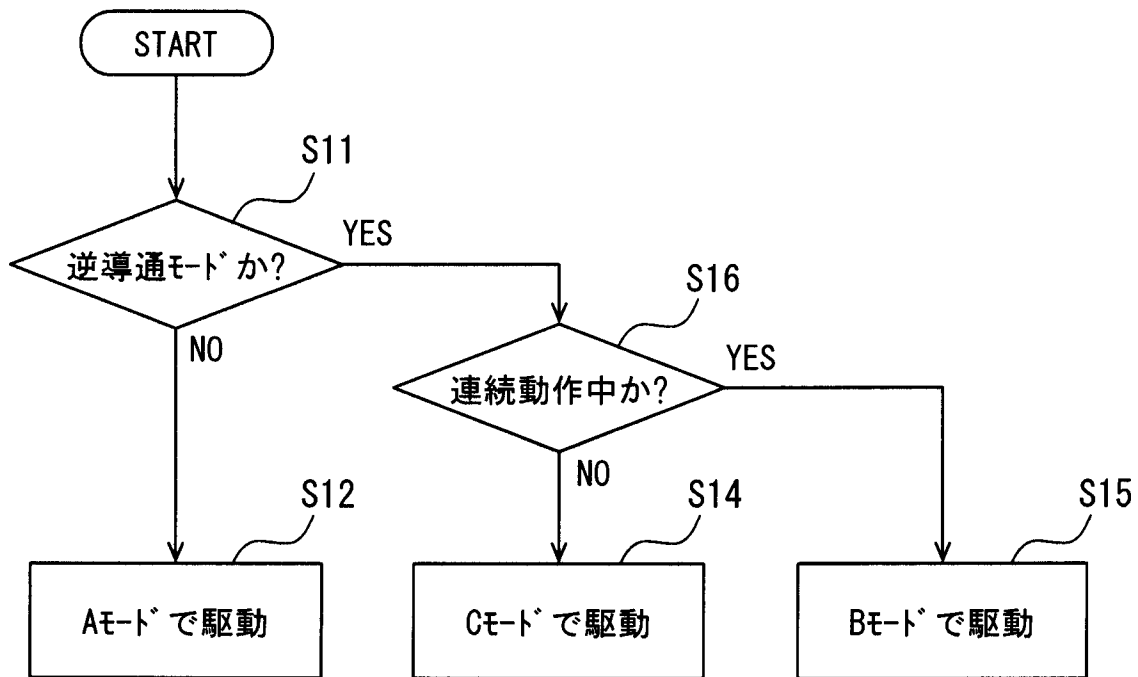
[図12]



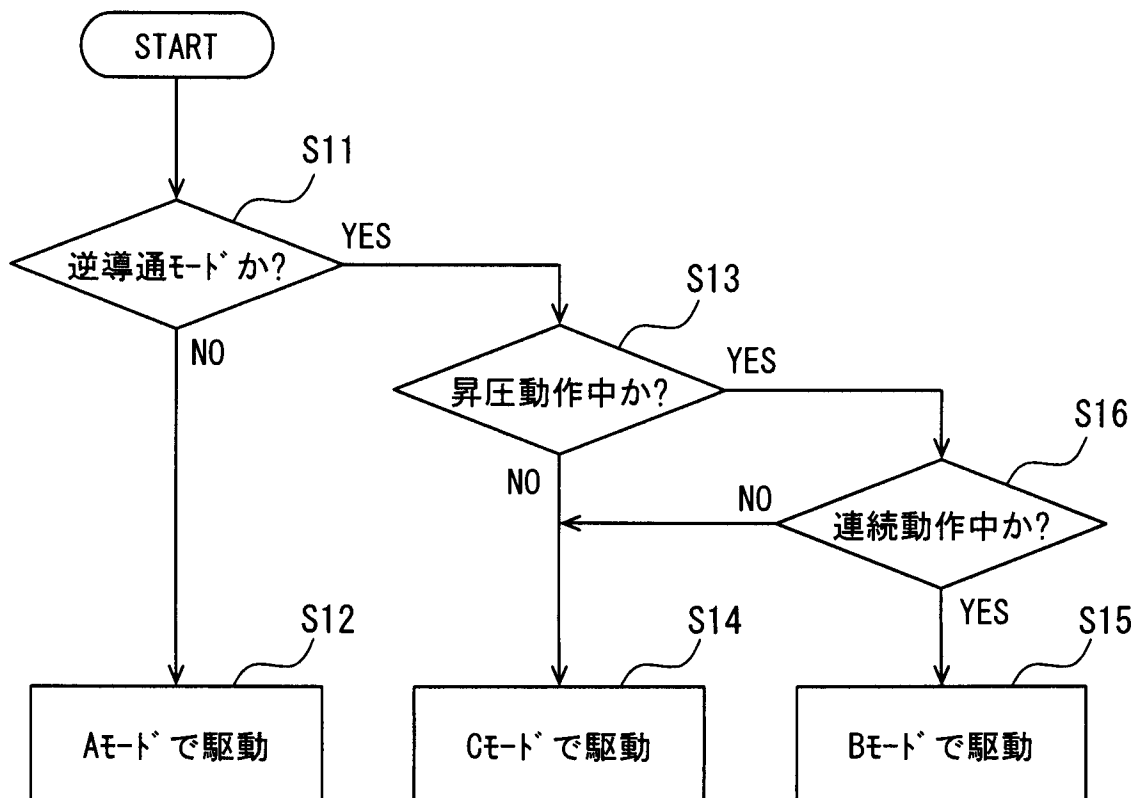
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/087721

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/861(2006.01)i, H01L21/8234(2006.01)i, H01L27/04(2006.01)i,
H01L27/06(2006.01)i, H01L29/739(2006.01)i, H01L29/78(2006.01)i,
H01L29/868(2006.01)i, H02M7/48(2007.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/861, H01L21/8234, H01L27/04, H01L27/06, H01L29/739, H01L29/78,
H01L29/868, H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2017
Kokai Jitsuyo Shinan Koho 1971-2017 Toroku Jitsuyo Shinan Koho 1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2009-253004 A (Toyota Motor Corp.), 29 October 2009 (29.10.2009), paragraphs [0021] to [0033]; fig. 1 to 4 (Family: none)	1 2-4, 10, 15-17 5-9, 11-14
Y	JP 2013-48230 A (Toyota Central Research and Development Laboratories, Inc.), 07 March 2013 (07.03.2013), paragraphs [0048] to [0072]; fig. 1 to 9 & US 2014/0048847 A1 paragraphs [0096] to [0120]; fig. 1 to 9 & WO 2013/014943 A2 & DE 11 2012 003 111 T5 & CN 103890955 A	2, 4

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 March 2017 (09.03.17)

Date of mailing of the international search report
21 March 2017 (21.03.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/087721

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-72848 A (Mitsubishi Electric Corp.), 27 March 2008 (27.03.2008), paragraphs [0018] to [0029], [0051] to [0069]; fig. 1, 9 to 11 (Family: none)	3-4, 10, 15-17
Y	JP 2008-278552 A (Denso Corp.), 13 November 2008 (13.11.2008), paragraphs [0095] to [0097]; fig. 12 & US 2008/0265975 A1 paragraphs [0105] to [0107]; fig. 12	10
A	JP 2009-268336 A (Denso Corp.), 12 November 2009 (12.11.2009), entire text; fig. 1 to 16 & US 8072241 B2 & US 2009/0057832 A1 & DE 10 2008 045 410 A1 & CN 101414816 A	1-17
A	JP 2014-63960 A (Denso Corp.), 10 April 2014 (10.04.2014), entire text; fig. 1 to 10 (Family: none)	1-17

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L29/861(2006.01)i, H01L21/8234(2006.01)i, H01L27/04(2006.01)i, H01L27/06(2006.01)i, H01L29/739(2006.01)i, H01L29/78(2006.01)i, H01L29/868(2006.01)i, H02M7/48(2007.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L29/861, H01L21/8234, H01L27/04, H01L27/06, H01L29/739, H01L29/78, H01L29/868, H02M7/48

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2009-253004 A（トヨタ自動車株式会社）2009.10.29, 段落[0021]-[0033], 図1-4 (ファミリーなし)	1 2-4, 10, 15-17 5-9, 11-14
Y	JP 2013-48230 A（株式会社豊田中央研究所）2013.03.07, 段落[0048]-[0072], 図1-9 & US 2014/0048847 A1, 段落[0096]-[0120], 図1-9 & WO 2013/014943 A2 & DE 11 2012 003 111 T5 & CN 103890955 A	2, 4

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

09.03.2017

国際調査報告の発送日

21.03.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

早川 朋一

5 F

9733

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-72848 A (三菱電機株式会社) 2008. 03. 27, 段落[0018]-[0029], [0051]-[0069], 図 1, 9-11 (ファミリーなし)	3-4, 10, 15-17
Y	JP 2008-278552 A (株式会社デンソー) 2008. 11. 13, 段落[0095]-[0097], 図 12 & US 2008/0265975 A1, 段落[0105]-[0107], 図 12	10
A	JP 2009-268336 A (株式会社デンソー) 2009. 11. 12, 全文, 図 1-16 & US 8072241 B2 & US 2009/0057832 A1 & DE 10 2008 045 410 A1 & CN 101414816 A	1-17
A	JP 2014-63960 A (株式会社デンソー) 2014. 04. 10, 全文, 図 1-10 (ファミリーなし)	1-17