

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6304155号  
(P6304155)

(45) 発行日 平成30年4月4日(2018.4.4)

(24) 登録日 平成30年3月16日(2018.3.16)

(51) Int.Cl.

F I

HO 1 L 21/338 (2006.01)	HO 1 L 29/80 H
HO 1 L 29/778 (2006.01)	HO 1 L 29/80 C
HO 1 L 29/812 (2006.01)	HO 1 L 29/80 W
HO 1 L 21/337 (2006.01)	HO 1 L 29/78 3 O 1 B
HO 1 L 29/808 (2006.01)	

請求項の数 9 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2015-140825 (P2015-140825)  
 (22) 出願日 平成27年7月14日(2015.7.14)  
 (65) 公開番号 特開2017-22323 (P2017-22323A)  
 (43) 公開日 平成29年1月26日(2017.1.26)  
 審査請求日 平成29年5月16日(2017.5.16)

(73) 特許権者 000004260  
 株式会社デンソー  
 愛知県刈谷市昭和町1丁目1番地  
 (74) 代理人 110001128  
 特許業務法人ゆうあい特許事務所  
 (72) 発明者 樋口 安史  
 愛知県刈谷市昭和町1丁目1番地 株式会  
 社デンソー内  
 (72) 発明者 星 真一  
 愛知県刈谷市昭和町1丁目1番地 株式会  
 社デンソー内  
 (72) 発明者 小山 和博  
 愛知県刈谷市昭和町1丁目1番地 株式会  
 社デンソー内

最終頁に続く

(54) 【発明の名称】 窒化物半導体装置

(57) 【特許請求の範囲】

【請求項1】

半絶縁性もしくは半導体にて構成される基板(1)と、

前記基板上に電子走行層を構成する第1の窒化物半導体層(2)が形成されていると共に、前記第1の窒化物半導体層の上に前記第1の窒化物半導体層よりも禁制帯幅が大きく電子供給部を構成する第2の窒化物半導体層(3)と前記第2の窒化物半導体層よりも禁制帯幅が小さい第3の窒化物半導体層(4)とによるヘテロジャンクション構造が積層されたチャンネル形成層と、

前記基板の平面方向の一方向において、互いに離されて配置され、前記チャンネル形成層の表面から前記第1の窒化物半導体層に達するように形成されたソース領域およびドレイン領域(9、10)と、

前記ソース領域と前記ドレイン領域との間において前記チャンネル形成層の表面から前記第1の窒化物半導体層に達するように形成された凹部(5)内に配置され、p型半導体層によって構成されるゲート領域(6)と、を有し、

前記第1の窒化物半導体層と前記第2の窒化物半導体層との界面における前記第1の窒化物半導体層側に2次元電子ガスキャリアを誘起すると共に、前記第2の窒化物半導体層と該第2の窒化物半導体層の上層に位置する前記第3の窒化物半導体層との間に2次元ホールガスを誘起し、前記ソース領域と前記ドレイン領域との間に電流を流す横型のスイッチングデバイスを備え、

前記基板の平面方向において、前記ゲート領域が前記ソース領域および前記ドレイン領

域の配列方向に対する垂直方向に複数に分割されて備えられていることを特徴とする窒化物半導体装置。

【請求項 2】

前記ゲート領域は、前記チャンネル形成層の表面から前記第 1 の窒化物半導体層に達するように形成されていることを特徴とする請求項 1 に記載の窒化物半導体装置。

【請求項 3】

前記ゲート領域は、前記チャンネル形成層の表面から前記チャンネル形成層のうち最も前記基板側の前記第 2 の窒化物半導体層もしくは前記第 3 の窒化物半導体層の厚みの途中まで達するように形成されていることを特徴とする請求項 1 に記載の窒化物半導体装置。

【請求項 4】

前記ゲート領域の間隔は、該ゲート領域から前記ソース領域までの距離と前記ゲート領域の同方向の長さの和よりも小さくされていることを特徴とする請求項 1 ないし 3 のいずれか 1 つに記載の窒化物半導体装置。

【請求項 5】

半絶縁性もしくは半導体にて構成される基板 ( 1 ) と、

前記基板上に電子走行層を構成する第 1 の窒化物半導体層 ( 2 ) が形成されていると共に、前記第 1 の窒化物半導体層の上に前記第 1 の窒化物半導体層よりも禁制帯幅が大きく電子供給部を構成する第 2 の窒化物半導体層 ( 3 ) と前記第 2 の窒化物半導体層よりも禁制帯幅が小さく前記第 1 の窒化物半導体層と共に電子走行層を構成する第 3 の窒化物半導体層 ( 4 ) とによるヘテロジャンクション構造が積層されたチャンネル形成層と、

前記基板の平面方向の一方向において、互いに離されて配置され、前記チャンネル形成層の表面から前記第 1 の窒化物半導体層に達するように形成されたソース領域およびドレイン領域 ( 9、10 ) と、

前記ソース領域と前記ドレイン領域との間に配置され、p 型半導体層によって構成されるゲート領域 ( 6 ) と、を有し、

前記第 1 の窒化物半導体層と前記第 2 の窒化物半導体層との界面における前記第 1 の窒化物半導体層側に 2 次元電子ガスキャリアを誘起すると共に、前記第 2 の窒化物半導体層と該第 2 の窒化物半導体層の上層に位置する前記第 3 の窒化物半導体層との間に 2 次元ホールガスを誘起し、前記ソース領域と前記ドレイン領域との間に電流を流す横型のスイッチングデバイスを備え、

前記基板の平面方向において、前記ゲート領域が前記ソース領域および前記ドレイン領域の配列方向に対する垂直方向に延設されることで、前記ソース領域および前記ドレイン領域の間を分断しており、該ゲート領域が前記チャンネル形成層のうち最も前記基板側の前記第 2 の窒化物半導体層途中よりも上の位置に形成されていることを特徴とする窒化物半導体装置。

【請求項 6】

前記第 2 の窒化物半導体層と前記第 3 の窒化物半導体層を組として、複数組が積層されていることを特徴とする請求項 1 ないし 5 のいずれか 1 つに記載の窒化物半導体装置。

【請求項 7】

前記第 1 の窒化物半導体層および前記第 3 の窒化物半導体層は GaN によって構成され、

前記第 2 の窒化物半導体層は AlGaIn によって構成され、

前記 p 型半導体層は、p 型の GaN によって構成されていることを特徴とする請求項 1 ないし 6 のいずれか 1 つに記載の窒化物半導体装置。

【請求項 8】

前記ゲート領域と前記ソース領域との間に、前記チャンネル形成層の表面から前記第 1 の窒化物半導体層まで達する凹部 ( 30 ) と、前記凹部内に形成されたゲート絶縁膜 ( 31 ) と、前記ゲート絶縁膜の上に形成されたゲート電極 ( 32 ) と、を有する MOS 構造が備えられていることを特徴とする請求項 1 ないし 7 のいずれか 1 つに記載の窒化物半導体装置。

10

20

30

40

50

## 【請求項 9】

前記ゲート領域は、前記ソース領域の電位に固定されていることを特徴とする請求項 8 に記載の窒化物半導体装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、窒化ガリウム（以下、GaN という）等の窒化物半導体を用いた窒化物半導体装置に関するものである。

## 【背景技術】

## 【0002】

従来、特許文献 1 に、複数のチャネルを有する窒化物半導体装置において、ノーマリオフかつ低オン抵抗を実現する技術が開示されている。具体的には、GaN 層の上に AlGaN 層と GaN 層とによるヘテロ接合体を繰り返し形成した構造とすることでナチュラルスーパージャンクション構造（以下、NSJ 構造という）を形成している。そして、NSJ 構造における最下層の AlGaN 層に達する第 1 ゲート構造部と、それよりも上層の AlGaN 層まで達する第 2 ゲート構造部を備えると共に、第 1 ゲート構造部および第 2 ゲート構造部を挟んだ両側に n 型領域にて構成されるソース領域およびドレイン領域を配置している。

## 【0003】

このように構成された窒化物半導体装置では、ゲート構造部が MOS 構造とされている。そして、第 1 ゲート構造部に備えられる第 1 ゲート電極とゲート絶縁膜の静電ポテンシャルが GaN 層および AlGaN 層のヘテロ接合体の伝導帯より低くなっていることから、ヘテロ界面のキャリアが無くなり、ノーマリオフ動作が行われる。また、複数層のヘテロ接合を備えることで 2 次元電子ガス（以下、2DEG という）の生成量を多くでき、オン抵抗を低減することが可能となる。そして、分極効果によってヘテロ接合体の積層数にかかわらず所望のオフ耐圧を得ることができる。

## 【先行技術文献】

## 【特許文献】

## 【0004】

【特許文献 1】特開 2013 - 98284 号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0005】

しかしながら、上記のように構成される窒化物半導体装置では、ノーマリオフ動作を行うために MOS 構造のゲート構造部としているが、ゲート絶縁膜の寿命を確保するためにゲート - ドレイン間距離  $L_g$  を長くして電界を下げる必要がある、例えば、ゲート絶縁膜の寿命を考慮すると  $3\text{MV/cm}$  未満の電界強度にしなければならない。このため、その部分の抵抗を十分に下げることができず、オン抵抗が高くなる。

## 【0006】

また、ゲート絶縁膜の寿命を満足する電界でも、電界としては高いため、電流遮断性を確保するにはゲート長  $L_g$  を長くする必要がある。ゲート構造部は 2DEG が形成される部分と比較してチャネル移動度が約 1 桁低く、ゲート長  $L_g$  を長くすることによるオン抵抗への悪影響は大きい。

## 【0007】

また、複数層のヘテロ接合それぞれに発生させられる各 2DEG 層を十分な電子濃度とすると、同時に 2 次元ホールガス（以下、2DHG という）も発生する。ところが、MOS 構造ではホールの出し入れができないため、オフ時にホールがゲート横に溜まって高電界が発生し、高阻止耐圧の実現が困難になる。

## 【0008】

本発明は上記点に鑑みて、高阻止耐圧を確保しつつ、より低オン抵抗化を図ることが可

10

20

30

40

50

能な窒化物半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0009】

上記目的を達成するため、請求項1に記載の発明では、半絶縁性もしくは半導体にて構成される基板(1)と、基板上に電子走行層を構成する第1の窒化物半導体層(2)が形成されていると共に、第1の窒化物半導体層の上に第1の窒化物半導体層よりも禁制帯幅が大きく電子供給部を構成する第2の窒化物半導体層(3)と第2の窒化物半導体層よりも禁制帯幅が小さい第3の窒化物半導体層(4)とによるヘテロジャンクション構造が積層されたチャンネル形成層と、基板の平面方向の一方向において、互いに離されて配置され、チャンネル形成層の表面から第1の窒化物半導体層に達するように形成されたソース領域およびドレイン領域(9、10)と、ソース領域とドレイン領域との間に配置され、p型半導体層によって構成されるゲート領域(6)と、を有し、第1の窒化物半導体層と第2の窒化物半導体層との界面における第1の窒化物半導体層側に2次元電子ガスキャリアを誘起すると共に、第2の窒化物半導体層と該第2の窒化物半導体層の上層に位置する第3の窒化物半導体層との間に2次元ホールガスを誘起し、ソース領域とドレイン領域との間に電流を流す横型のスイッチングデバイスを備え、基板の平面方向において、ゲート領域がソース領域およびドレイン領域の配列方向に対する垂直方向に複数に分割されて備えられていることを特徴としている。

10

【0010】

このような構成では、オフ状態の際には、電子もホールもない空乏状態にできる。この状態は電流遮断状態、つまり阻止状態であり、ドレイン領域に高電圧が掛かっても電流が流れない状態となる。そして、オン状態においては、ゲート領域とその近傍以外は、高密度の2DEGの電子で満たされる。このため、オン抵抗が十分に低い状態でソース-ドレイン間が導通したオン状態となる。このとき、高抵抗率のMOS構造チャンネルではなく低効率の非常に低い2DEG層を電流が流れる構造にできるため、MOS構造と比較してオン抵抗を低減することが可能となる。

20

【0011】

なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係の一例を示すものである。

【図面の簡単な説明】

30

【0012】

【図1】本発明の第1実施形態にかかる窒化物半導体装置の断面斜視図である。

【図2】図1のII-II'線上において、オフ時にGaN層2、AlGaN層3およびGaN層4の界面に蓄積される電荷の様子を示した断面図である。

【図3】図2と同じ場所において、オン時にGaN層2、AlGaN層3およびGaN層4の界面に蓄積される電荷の様子を示した断面図である。

【図4】第1実施形態にかかる窒化物半導体装置の製造工程を示した断面図である。

【図5】本発明の第2実施形態にかかる窒化物半導体装置の断面斜視図である。

【図6(a)】本発明の第3実施形態にかかる窒化物半導体装置の断面斜視図である。

【図6(b)】オン時にGaN層2、AlGaN層3およびGaN層4の界面に蓄積される電荷の様子を示した断面図である。

40

【図7】本発明の第4実施形態にかかる窒化物半導体装置の断面斜視図である。

【図8】本発明の第5実施形態にかかる窒化物半導体装置の断面斜視図である。

【図9】本発明の第6実施形態にかかる窒化物半導体装置の断面斜視図である。

【図10】図9に示す窒化物半導体装置の等価回路図である。

【発明を実施するための形態】

【0013】

以下、本発明の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

【0014】

50

## (第1実施形態)

本発明の第1実施形態について説明する。本実施形態では、窒化物半導体としてGaNを主成分とする化合物半導体を用いたGaNデバイスを有する窒化物半導体装置について説明する。

## 【0015】

図1に示すように、本実施形態にかかる窒化物半導体装置は、横型のスイッチング素子を備えている。図1では、スイッチング素子の1セル分のみを示しているが、実際には例えば図1の紙面左端を中心線として左右対称にレイアウトされたものが複数形成されることでスイッチング素子が構成される。このスイッチング素子は、図1の左右方向をx方向、奥行き方向をy方向、上下方向をz方向として、以下のように構成されている。

10

## 【0016】

横型のスイッチング素子は、基板1のうちxy平面と平行とされた表面上に、GaN層2、AlGaN層3およびGaN層4がz方向に順に積層された構造のものを化合物半導体基板として用いて形成されている。GaN層2、4は、電子走行層を構成するものであり、それぞれ、第1、第3の窒化物半導体層に相当する。AlGaN層3は、より詳しくは $Al_xGa_{1-x}N$  ( $0 < x < 1$ )にて構成されたものである。AlGaN層3は、第1、第3の窒化物半導体層よりも禁制帯幅が大きく電子供給部を構成するものであり、第2の窒化物半導体層に相当する。これらGaN層2やAlGaN層3およびGaN層4によるヘテロジャンクション構造をチャンネル形成層として、GaN層2とAlGaN層3とによるGaN/AlGaN界面のGaN層2側に、ピエゾ効果および分極効果により2DEG

20

## 【0017】

基板1は、Si(111)などの半導体材料によって構成されている。この基板1の上にバッファ層1aが形成されている。そして、このバッファ層1aの上に、第1GaN層に相当するGaN層2が形成され、さらにGaN層2の上に、AlGaN層3と第2GaN層に相当するGaN層4とを組とした積層構造が形成されている。ここでは基板1をSi(111)としているが、SiCや、サファイヤ基板、AlNなどの半絶縁基板によって構成しても良い。

## 【0018】

バッファ層1aは、GaN層2の結晶性を良好なものにするために必要に応じて形成されるものであり、AlGaN-GaN超格子層などによって構成されている。ここでの結晶性とは、GaN層2中の欠陥や転位などであり、電気的および光学的な特性に対して影響を及ぼすものである。基板1の上に結晶性良くGaN層2を形成できる場合には、バッファ層1aを形成しなくても良い。

30

## 【0019】

GaN層2、AlGaN層3およびGaN層4は、例えばヘテロエピタキシャル成長によって形成されている。これら各層の厚みについては、1組以上の2DEG、2DHGペアと、同数の正負の分極電荷(つまり+分極と-分極)を生成し、かつ、空乏化したときにも全体としてほぼ中性条件が満たされる厚さとしている。

## 【0020】

すなわち、これら各層のうち、GaN層2とAlGaN層3との境界位置には正の分極電荷が生じ、AlGaN層3とGaN層4との境界位置には負の分極電荷が生じる。そして、本実施形態の場合は、AlGaN層3の膜厚を一定値以上にすると、GaN層2とAlGaN層3との境界位置近傍のGaN層2には2DEGが形成され、これと対になるAlGaN層3とGaN層4との境界位置近傍のGaN層4には2DHGが形成される。

40

## 【0021】

具体的には、AlGaN層3の膜厚、つまりz方向寸法は、10nm以上かつ200nm以下、好ましくは30nm以上かつ120nm以下に設定されている。AlGaN層3の膜厚を10nm未満にすると、2DEG面密度が $8 \times 10^{12} \text{ cm}^{-2}$ よりも小さくなり素子のオン抵抗の増大原因となる。一方、AlGaN層3の膜厚が200nmを超えると歪

50

緩和に伴う転位密度が増大し素子特性のバラツキが大きくなり製造歩留りの極端な減少を引き起こす。典型的には欠陥密度が $1 \times 10^{11} \text{ cm}^{-2}$ 以上となる。また、AlGaIn層3の膜厚を30 nm以上かつ120 nm以下にすると、上記の材料の本質的な問題が生じず高濃度の2DEGかつ低欠陥密度であることから、好ましい。また、AlGaIn層3の上に形成されているGaIn層4の厚みも、同じ理由により上記と同じ膜厚範囲において設計する必要がある。特に40 nm - 100 nmの範囲にすると、2DEGと2DEGが形成される界面と対になるGaIn/AlGaIn界面に2DHGが2DEGと同じオーダーで形成されるため理想的なNSJ構造となり、素子の高耐圧化が容易になりより好ましい。

#### 【0022】

また、AlGaIn層3とGaIn層4との膜厚比AlGaIn/GaInは、AlGaIn/GaIn 5とされ、好ましくはAlGaIn/GaIn 2とされる。膜厚比AlGaIn/GaInが5を超えるとAlGaIn層3が格子緩和し、効果的に2DEGおよび2DHGが生じず高抵抗となる。また、膜厚比AlGaIn/GaInを1/2以上かつ2以下にすると、最下層のGaInの格子定数を引き継ぎ顕著に歪緩和することなくAlGaIn/GaIn積層構造が形成され、転位や欠陥密度が $1 \times 10^{11} \text{ cm}^{-2}$ 以下に低く抑えられることから、好ましい。

10

#### 【0023】

化合物半導体基板の比抵抗値については、目的とするデバイスの特性に応じて、化合物半導体基板を構成する各層の不純物濃度により任意に調整すれば良い。

#### 【0024】

この化合物半導体基板の表面からチャンネル形成層のうちの最も基板1側の層、つまり最下層のGaIn層2に達しつつ、基板1には達しない程度の深さの凹部5が形成されている。本実施形態の場合、凹部5は、y方向において複数個が等間隔、換言すれば周期的に形成されている。各凹部5は、xy平面での断面形状が四角形とされた四角柱状とされており、相対する二辺それぞれがx方向およびy方向に平行とされている。

20

#### 【0025】

この各凹部5内にゲートを構成するp型半導体層で構成された $p^+$ -GaIn層6が形成されている。このため、 $p^+$ -GaIn層6も、凹部5と同様に、y方向において等間隔に周期的に配置されている。換言すれば、 $p^+$ -GaIn層6は、ゲート領域がy方向において複数に分割されて備えられている。 $p^+$ -GaIn層6の不純物濃度は、例えば $1 \times 10^{18} \text{ cm}^{-3}$ 以上に設定されている。このように $p^+$ -GaIn層6の不純物濃度を設定することで、 $p^+$ -GaIn層6をゲートとして機能させられるのに加えて、パンチスルーリーク電流を抑制できるようにしている。

30

#### 【0026】

凹部5や $p^+$ -GaIn層6の間隔であるゲート間隔Wについては、 $p^+$ -GaIn層6と後述するソース領域を構成する $n^+$ -GaIn層9との間のゲート-ソース間距離 $L_{gs}$ と $p^+$ -GaIn層6のx方向長さ $L_{gx}$ の和、すなわち $L_{gs}+L_{gx}$ 以下に設定してある。ここでは、距離 $L_{gs}+L_{gx}$ に対するゲート間隔Wの比が0.25~1となるようにしている。例えば、距離 $L_{gs}+L_{gx}$ を2  $\mu\text{m}$ とする場合には、ゲート間隔Wを0.5~2  $\mu\text{m}$ としている。

40

#### 【0027】

また、 $p^+$ -GaIn層6を挟んだ両側においても、化合物半導体基板の表面から最下層のGaIn層2に達しつつ、基板1には達しない程度の深さの凹部7、8が形成されている。これら各凹部7、8内には、ソース領域およびドレイン領域を構成するn型の半導体層で形成された $n^+$ -GaIn層9、10が備えられている。 $n^+$ -GaIn層9、10は、共に $p^+$ -GaIn層6から離れた位置に形成されており、y方向に延設されている。

#### 【0028】

なお、ゲート-ドレイン間距離 $L_{gd}$ によって素子耐圧が決まるが、所望の素子耐圧に従って寸法設計を行えば良い。また、 $p^+$ -GaIn層6や $n^+$ -GaIn層9、10の上には図示しないゲート電極やソース電極およびドレイン電極が形成されており、これら各電極

50

が  $p^+ - GaN$  層 6 や  $n^+ - GaN$  層 9、10 に対してオーミック接触させられている。

【0029】

以上のようにして、本実施形態にかかる横型のスイッチング素子を備えた窒化物半導体装置が構成されている。このように構成される横型のスイッチング素子は、以下のように動作する。

【0030】

まず、図2を参照してオフ状態について説明する。 $p^+ - GaN$  層6に印加するゲート電圧  $V_g$  を負電圧とした場合、つまりソース領域やドレイン領域よりもゲート電圧  $V_g$  を負側に上昇させた場合、2DHGのホールはゲート電圧  $V_g$  に応じてゲート領域から吸出されて減少する。同時に、2DEGの電子がソース領域やドレイン領域から吸出されて同様に減少する。そして、ゲート電圧  $V_g$  の負電圧を大きくすると、図2に示すように、電子もホールもない空乏状態となる。この状態は電流遮断状態、つまり阻止状態であり、ドレイン領域に高電圧が掛かっても電流が流れない状態となる。

10

【0031】

続いて、図3を参照してオン状態について説明する。 $p^+ - GaN$  層6に対してゲート電圧  $V_g$  が印加されていない場合、 $p^+ - GaN$  層6にて構成されるゲート領域とその近傍以外は、図3に示すように高密度の2DEGの電子で満たされている。このため、オン抵抗が十分に低い状態でソース-ドレイン間が導通したオン状態となる。このとき、高抵抗率のMOS構造チャンネルではなく低効率の非常に低い2DEG層を電流が流れる構造にできるため、MOS構造と比較してオン抵抗を低減することが可能となる。また、ゲート間隔  $W$  についてもゲート-ソース間距離  $L_{gs}$  と  $p^+ - GaN$  層6の  $x$  方向長さ  $L_{gx}$  の和、すなわち  $L_{gs} + L_{gx}$  に基づいて設定すれば良く、比較的広い間隔に設定できることから、電流を流せなくなる無効領域を狭くでき、その部分での抵抗増加を最小限に抑えることができる。したがって、さらにオン抵抗を低減することが可能となる。

20

【0032】

このようにして、高阻止耐圧を確保しつつ、より低オン抵抗化を図ることが可能な窒化物半導体装置とすることができる。

【0033】

また、ゲート領域に負電圧が印加されて全体の2DEG、2DHGが枯渇した場合には、正負の分極電荷量がバランスしているため、 $x$  方向の電界はゲート領域近傍やドレイン領域近傍をのぞいてほぼ均一となる。所望の耐圧を得る上で、ゲート-ドレイン間距離  $L_{gd}$  を最も短縮できるのは、このように電界が均一の場合である。このように電界が均一の状態にすることができるため、ゲート-ドレイン間距離  $L_{gd}$  が短縮され、その分の抵抗成分を下げる事が可能になるため、よりオン抵抗を低減することが可能となる。

30

【0034】

さらに、本実施形態では、ゲート領域を複数に分割しつつ、そのゲート間隔  $W$  をゲート-ソース間距離  $L_{gs}$  と  $p^+ - GaN$  層6の  $x$  方向長さ  $L_{gx}$  の和、すなわち  $L_{gs} + L_{gx}$  以下としている。このため、阻止状態において、ドレイン電圧起因の電界がゲート領域間に入り込もうとしても、その入り込みを抑制することが可能となる。したがって、ドレイン電圧起因の電界がゲート領域間を抜けてソース領域に到達することを防止でき、ドレイン-ソース間にパンチスルー電流が流れて阻止状態が破れることを防止することが可能となる。

40

【0035】

また、ゲート領域がゲート絶縁膜のない半導体のみによる構造、つまりMOS構造ではないため、オフ状態での絶縁膜寿命に制約されずゲート-ドレイン間距離  $L_{gd}$  を短縮できる。したがって、よりオン抵抗を低減することが可能となる。

【0036】

そして、このようにゲート領域が半導体のみによる構造であるため、ホールの出入りが可能となっている。したがって、オフ時に過剰なホールがゲート領域近傍に蓄積されて高電界を発生することがないため、それによる耐圧劣化が生じないようにできる。

50

## 【0037】

続いて、本実施形態にかかる横型のスイッチング素子の製造方法について、図4を参照して説明する。

## 【0038】

〔図4(a)に示す工程〕

Si(111)にて構成された基板1の表面に、バッファ層1aを介してGaN層2、AlGaN層3およびGaN層4が順に積層された構造を有する化合物半導体基板を用意する。例えば、基板1の表面に、GaN層2やAlGaN層3およびGaN層4をMOCVD(Metal Organic Chemical Vapor Deposition:有機金属気相成長)法や超高純度、高精度にしたMBE(Molecular Beam Epitaxy:分子線エピタキシー)法などによって形成する。

10

## 【0039】

〔図4(b)に示す工程〕

GaN層4の表面に、酸化膜(SiO<sub>2</sub>)もしくは窒化膜(SiN)などによって構成されるマスク20を形成した後、マスク20をパターニングしてp<sup>+</sup>-GaN層6の形成予定領域を開口させる。例えば、マスク20の表面に図示しないレジストを形成し、フォトリソグラフィ工程を経てレジストをパターニングしたのち、このレジストを用いてマスク20をパターニングする。この後、マスク20を用いたドライエッチング工程を行うことで、AlGaN層3およびGaN層4をエッチングし、最下層に位置するGaN層2まで達する凹部5を形成する。

20

## 【0040】

〔図4(c)に示す工程〕

さらに、マスク20によってAlGaN層3の表面を覆った状態でGaN層を選択的にエピタキシャル成長(以下、選択エピという)させる。これにより、最表面に位置しているGaN層4の位置まで凹部5内を埋め込むようにp<sup>+</sup>-GaN層6を選択エピする。このように、選択エピによってp<sup>+</sup>-GaN層6を形成しているため、p<sup>+</sup>-GaN層6を凹部5内にのみ形成することができる。

## 【0041】

〔図4(d)に示す工程〕

マスク20の上から、もしくはマスク20を除去した後、新たにマスク21を形成し、マスク20、21をパターニングしてn<sup>+</sup>-GaN層9、10の形成予定領域においてマスク20、21を開口させる。マスク21については、例えばマスク20と同じ材質で構成しており、マスク20と同様の手法によってパターニングしている。そして、マスク20、21を用いたドライエッチング工程を行うことで、AlGaN層3およびGaN層4をエッチングし、最下層に位置するGaN層2まで達する凹部7、8を形成する。

30

## 【0042】

〔図4(e)に示す工程〕

さらに、マスク21によってGaN層4の表面を覆った状態でGaN層を選択エピする。これにより、最表面に位置しているGaN層4の位置まで凹部7、8内を埋め込むようにn<sup>+</sup>-GaN層9、10が形成される。このように、選択エピによってn<sup>+</sup>-GaN層9、10を形成しているため、これらを凹部7、8内にのみ形成することができる。

40

## 【0043】

この後の工程については図示していないが、マスク20、21を除去してからp<sup>+</sup>-GaN層6やn<sup>+</sup>-GaN層9、10を覆うように層間絶縁膜を形成したのち、層間絶縁膜をパターニングしてコンタクトホールを形成するという層間絶縁膜形成工程を行う。さらに、コンタクトホールを通じてゲート電極やソース電極およびドレイン電極を形成する電極形成工程を行う。このようにして、本実施形態にかかるスイッチング素子が備えられた窒化物半導体装置が完成する。

## 【0044】

(第2実施形態)

50

本発明の第2実施形態について説明する。本実施形態は、第1実施形態に対して化合物半導体基板の構成、具体的にはチャネル形成層の構成を変更したものである。その他については、本実施形態は第1実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

【0045】

図5に示すように、本実施形態では、基板1の表面に形成したGaN層2の上に、AlGaN層3とGaN層4とが積層された構造の組が繰り返し複数組形成されたものを化合物半導体基板として用いている。各組に備えられるAlGaN層3の膜厚、つまりz方向寸法は、第1実施形態で説明したように、10nm以上かつ200nm以下、好ましくは30nm以上かつ120nm以下に設定されている。そして、複数組のAlGaN層3およびGaN層4によるヘテロジャンクション構造によってチャネル形成層を構成している。具体的には、GaN層2とAlGaN層3とのGaN/AlGaN界面のGaN層2側や、各層のGaN層4およびAlGaN層3によるGaN/AlGaN界面のGaN層4側に、ピエゾ効果および分極効果により2DEGキャリアを誘起する。

10

【0046】

なお、ここではAlGaN層3とGaN層4の組の積層構造を2組のみ形成した構造を図示してあるが、3組以上を備えた構造としても良い。

【0047】

このように、本実施形態では、第1実施形態に対してAlGaN層3とGaN層4の組を追加して積層している。このようにすれば、下層に位置しているGaN層4と追加したAlGaN層3との境界には正の分極電荷と2DEGが発生し、追加したAlGaN層3とGaN層4との境界に負の分極電荷と2DHGが発生する。さらに多くの組を積層した場合でも各層の境界に、同様に正、負の分極電荷と2DEG、2DHGが生じる。

20

【0048】

このように、本実施形態では、複数組のGaN層2とAlGaN層3とが繰り返し形成されていることから、複数層で2DEGキャリアを生成することが可能となる。そして、オン抵抗は、2DEGキャリアの層数にほぼ反比例して低減されるため、複数層で2DEGキャリアを生成することによって、さらにオン抵抗を低減することができる。これらGaN層2とAlGaN層3とを繰り返す組数を増加させるほど、さらにオン抵抗の低減が可能である。

30

【0049】

(第3実施形態)

本発明の第3実施形態について説明する。本実施形態は、第1、第2実施形態に対してゲート領域を構成する $p^+$ -GaN層6の構成を変更したものである。その他については、本実施形態は第1、第2実施形態と同様であるため、第1、第2実施形態と異なる部分についてのみ説明する。なお、ここでは第1実施形態に対して $p^+$ -GaN層6の構成を変更しものを例に挙げるが、第2実施形態に対しても同様の構造を適用できる。

【0050】

図6(a)に示すように、本実施形態では、 $p^+$ -GaN層6を最も下層側のAlGaN層3まで達しつつGaN層2まで達しない構造としている。このように、本実施形態では、最も下層側のAlGaN層3の途中まで $p^+$ -GaN層6を形成している。

40

【0051】

このような構造としても、ホールの吸出しを行うことができ、かつ、ドレイン領域からの電界をゲート領域によって抑制できることから、第1実施形態と同様の効果を得ることができる。

【0052】

さらに、このような構造では、図6(b)に示すように、2DEG層を $p^+$ -GaN層6によって無効化する部分がないことから、ゲート領域での抵抗成分をさらに下げられるという効果が得られる。

【0053】

50

なお、ここでは  $p^+$ -Ga<sub>0.4</sub>N<sub>0.6</sub>層6を最も下層側に位置するAlGa<sub>0.4</sub>N<sub>0.6</sub>層3の途中まで形成する構造としたが、その上のGa<sub>0.4</sub>N<sub>0.6</sub>層4の途中まで形成する構造としても同様の効果を得ることができる。

【0054】

(第4実施形態)

本発明の第4実施形態について説明する。本実施形態も、第1実施形態に対してゲート領域を構成する  $p^+$ -Ga<sub>0.4</sub>N<sub>0.6</sub>層6の構成を変更したものである。その他については、本実施形態は第1実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

【0055】

図7に示すように、本実施形態でも、  $p^+$ -Ga<sub>0.4</sub>N<sub>0.6</sub>層6を最も下層側のAlGa<sub>0.4</sub>N<sub>0.6</sub>層3まで達しつつGa<sub>0.4</sub>N<sub>0.6</sub>層2まで達しない構造、つまりAlGa<sub>0.4</sub>N<sub>0.6</sub>層3の厚み途中よりも上の位置に形成した構造としている。さらに、  $p^+$ -Ga<sub>0.4</sub>N<sub>0.6</sub>層6をy方向において連続させた構造とし、ソース領域とドレイン領域との間を分断している。

【0056】

このような構造としても、ホールの吸出しを行うことができ、かつ、ドレイン領域からの電界をゲート領域によって抑制できることから、第1実施形態と同様の効果を得ることができる。さらに、このような構造では、連続した  $p^+$ -Ga<sub>0.4</sub>N<sub>0.6</sub>層6にて構成されるゲート領域により、ドレイン領域の電界がゲート領域に入り込むことが無くなる。このため、電界遮断効果については、第3実施形態よりも更に高くすることができる。

【0057】

なお、本実施形態の場合、AlGa<sub>0.4</sub>N<sub>0.6</sub>層3およびGa<sub>0.4</sub>N<sub>0.6</sub>層4の組を複数積層すると、  $p^+$ -Ga<sub>0.4</sub>N<sub>0.6</sub>層6によって2DEGが遮られることになることから、AlGa<sub>0.4</sub>N<sub>0.6</sub>層3およびGa<sub>0.4</sub>N<sub>0.6</sub>層4の組は1組あれば良い。

【0058】

(第5実施形態)

本発明の第5実施形態について説明する。本実施形態も、第1、第2実施形態に対してゲート領域を構成する  $p^+$ -Ga<sub>0.4</sub>N<sub>0.6</sub>層6の構成を変更したものである。その他については、本実施形態は第1、第2実施形態と同様であるため、第1、第2実施形態と異なる部分についてのみ説明する。なお、ここでは第2実施形態に対して  $p^+$ -Ga<sub>0.4</sub>N<sub>0.6</sub>層6の構成を

【0059】

図8に示すように、本実施形態では、  $p^+$ -Ga<sub>0.4</sub>N<sub>0.6</sub>層6をy方向に連続した構造としつつ、  $p^+$ -Ga<sub>0.4</sub>N<sub>0.6</sub>層6を最も上層側のGa<sub>0.4</sub>N<sub>0.6</sub>層4の上に配置した構造としている。

【0060】

このような構造では、ゲート領域を構成する  $p^+$ -Ga<sub>0.4</sub>N<sub>0.6</sub>層6に対して負電圧を印加すると、各2DHG層のホールを吸い出せるし、ドレイン領域からの電界をゲート領域によって抑制できる。このため、第4実施形態と同様の効果を得ることができる。

【0061】

さらに、AlGa<sub>0.4</sub>N<sub>0.6</sub>層3およびGa<sub>0.4</sub>N<sub>0.6</sub>層4の組を複数積層していることから、各組に2DEG層を形成できる。したがって、さらにオン抵抗の低減を図ることが可能となる。

【0062】

(第6実施形態)

本発明の第6実施形態について説明する。本実施形態は、第1～第5実施形態に対して構成要素を追加したものである。その他については、本実施形態は第1～第5実施形態と同様であるため、第1～第5実施形態と異なる部分についてのみ説明する。なお、ここでは第2実施形態に対して構成要素を追加したものを例に挙げるが、第1、第3～第5実施形態に対しても同様の構造を適用できる。

【0063】

図9に示すように、本実施形態では、ゲート領域とソース領域との間に、MOS構造を

10

20

30

40

50

備えている。具体的には、化合物半導体基板の表面からチャネル形成層のうちの最も基板 1 側の層、つまり最下層の GaN 層 2 に達しつつ、基板 1 には達しない程度の深さの凹部 30 が形成されている。この凹部 30 内にゲート絶縁膜 31 を介してゲート電極（以下、MOS ゲートという）32 が形成されている。そして、 $p^+$ -GaN 層 6 で構成されたゲート領域については、ソース領域の電位、例えば接地電位に固定してある。

【0064】

このように、ゲート領域とソース領域との間に MOS 構造を備えている。したがって、MOS ゲート 32 に対して電圧を印加していないときには MOS 構造によって 2DEG による電流経路を遮断することが可能となり、より確実にノーマリオフを実現することが可能となる。

10

【0065】

また、ドレイン領域に高電圧が掛かったとしても、ゲート領域をソース領域の電位に固定していることから、以下の動作を行う。このため、MOS 構造を備えていたとしても MOS 構造には高電圧が印加されないようにできる。

【0066】

すなわち、MOS ゲート 32 への電圧印加を停止して MOS チャネルがオフされると、MOS 構造とゲート領域との間の電位が上昇する。これは、この電位に対して相対的にゲート領域を構成する  $p^+$ -GaN 層 6 に負電圧が掛かった状態に相当し、その負電圧が閾値電圧  $V_{th}$  以下となったときに  $p^+$ -GaN 層 6 のゲート領域はカットオフ状態となる。具体的には、図 10 に示す等価回路のように、MOS ゲート 32 による MOSFET 100 と  $p^+$ -GaN 層 6 のゲートによる FET 200 とが直列的に並んだ構造となる。そして、FET 200 のドレイン電位が高くなると、MOSFET 100、200 の間の電位（図中の A 点電位）が持ち上がり、FET 200 のゲートが相対的にマイナス電位となって、FET 200 がカットオフ状態となる。このため、この状態において、それ以上ドレイン電圧が上がったとしても、MOS 構造での電圧上昇や電界増加は生じない。

20

【0067】

したがって、MOS 構造の近傍の電界を低く保つことが可能となる。そして、MOS 構造におけるゲート絶縁膜に高電圧が掛からないことから、ゲート絶縁膜の寿命を考慮してゲート-ドレイン間距離  $L_{gd}$  を長くする必要がなくなる。このため、ゲート-ドレイン間距離  $L_{gd}$  を短縮することができ、その分の抵抗成分を下げることも可能となって、オン抵抗を低減することが可能となる。また、MOS 構造において、電流遮断性を確保するためにゲート長  $L_g$  を長くする必要がないため、MOS 構造を備えることによるオン抵抗への悪影響を小さくすることが可能となる。また、ターンオフ時のホールについては  $p^+$ -GaN 層 6 で構成されたゲート領域に吸収されるため、オフ時にホールが溜まることで高電界が発生することを抑制でき、高阻止耐圧を実現することが可能となる。

30

【0068】

（他の実施形態）

本発明は上記した実施形態に限定されるものではなく、特許請求の範囲に記載した範囲内において適宜変更が可能である。

【0069】

また、上記各実施形態で説明した窒化物半導体装置の構成の寸法、製造方法などは一例を示したに過ぎない。例えば、各実施形態において  $n^+$ -GaN 層 9、10 を Si のイオン注入によって形成しても良い。このようにイオン注入によって  $n^+$ -GaN 層 9、10 を形成する場合、2DEG 層と  $n^+$ -GaN 層 9、10 とが重なった構造となることから、コンタクト抵抗を低減することができる。また、選択エピと比較して単純なイオン注入によって  $n^+$ -GaN 層 9、10 を形成することから、製造工程を単純化することも可能となる。

40

【0070】

また、上記各実施形態では、ソース領域やドレイン領域を  $n^+$ -GaN 層 9、10 で構成したが、これらをショットキー電極に置き換えた構造とすることもできる。このような

50

構造の場合、選択エピではなくショットキー電極の埋込みを行えば良いため、埋込エピよりも製造工程を単純化することが可能となる。

【 0 0 7 1 】

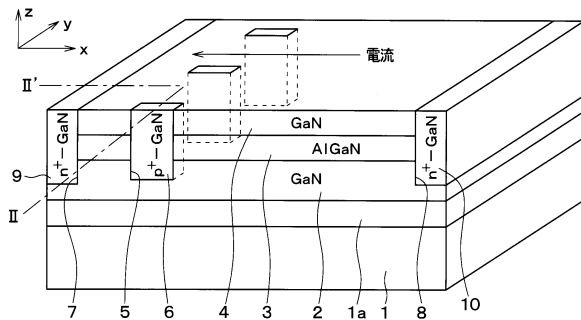
さらに、上記各実施形態では、チャネル形成層を構成する第1、第3の窒化物半導体層および第2の窒化物半導体層を、それぞれGa N層2、4およびAlGa N層3によって構成される場合を例に挙げて説明した。しかしながら、これらは一例を示したものであり、第1、第3の窒化物半導体層およびこれよりも禁制帯幅が大きな第2の窒化物半導体層によってチャネル形成層が構成されるものであれば、他の材料であっても良い。

【符号の説明】

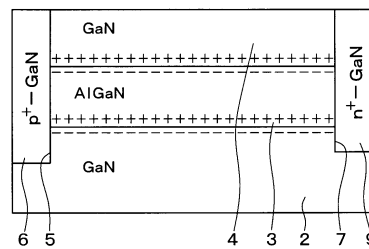
【 0 0 7 2 】

- 1            基板
- 2、4        Ga N層
- 3            AlGa N層
- 5、7、8     凹部
- 6            p<sup>+</sup>-Ga N層
- 9、10       n<sup>+</sup>-Ga N層

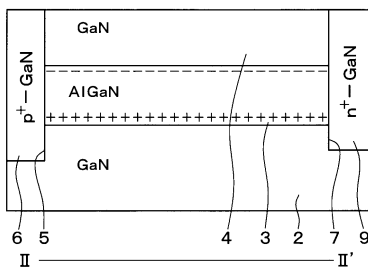
【 図 1 】



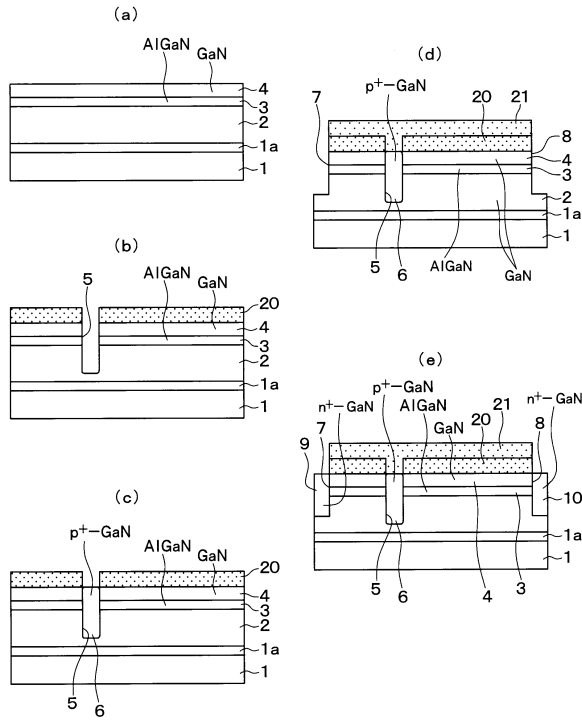
【 図 3 】



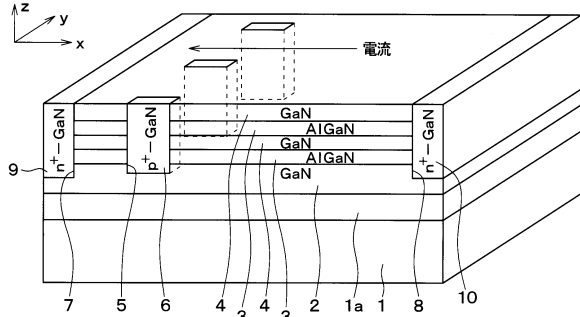
【 図 2 】



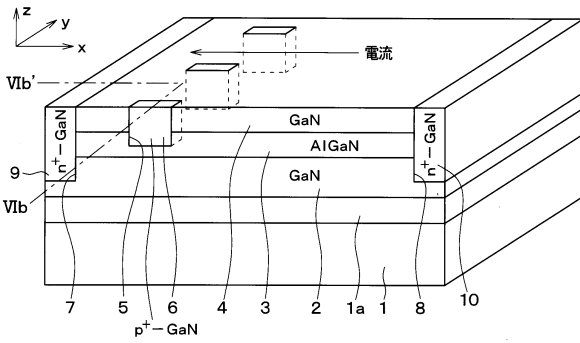
【図4】



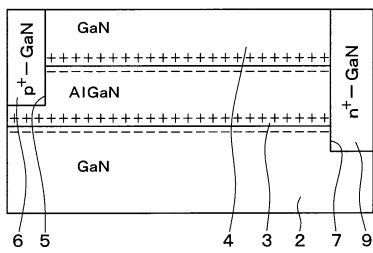
【図5】



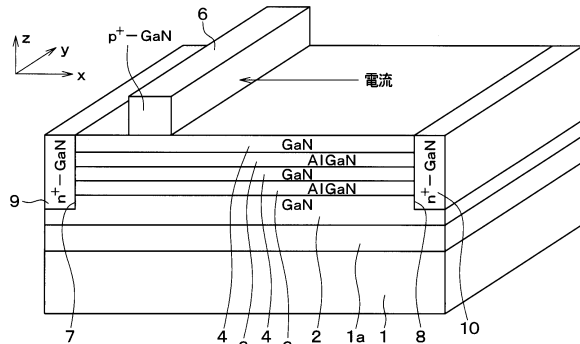
【図6(a)】



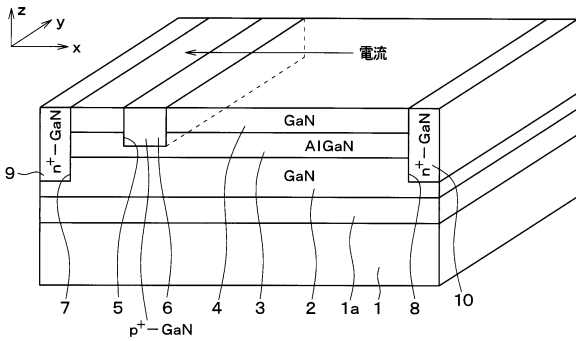
【図6(b)】



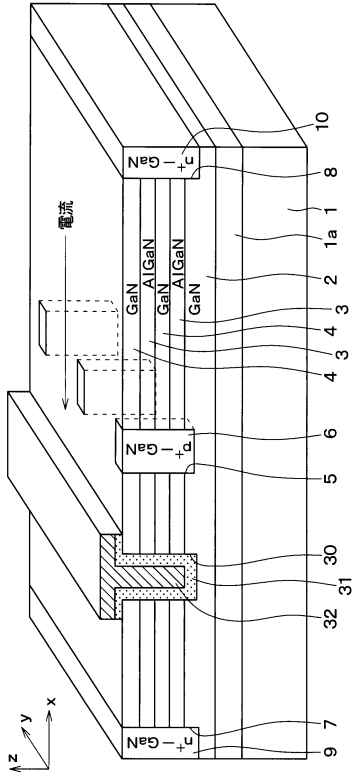
【図8】



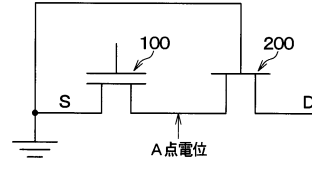
【図7】



【図 9】



【図 10】



---

フロントページの続き

(51)Int.Cl. F I

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/78 (2006.01)

審査官 棚田 一也

(56)参考文献 特開2013-041986(JP,A)

特開2013-098284(JP,A)

特開2014-072424(JP,A)

特開2012-178464(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 21/336-338

H 0 1 L 29/778

H 0 1 L 27/095-098

H 0 1 L 29/78

H 0 1 L 29/808

H 0 1 L 29/812