



공개특허 10-2025-0093510

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)(11) 공개번호 10-2025-0093510  
(43) 공개일자 2025년06월24일

- (51) 국제특허분류(Int. Cl.)  
*H10D 30/67* (2025.01) *H01L 21/02* (2006.01)  
*H10D 30/01* (2025.01) *H10D 62/80* (2025.01)
- (52) CPC특허분류  
*H10D 30/6755* (2025.01)  
*H01L 21/02565* (2013.01)
- (21) 출원번호 10-2025-7015123
- (22) 출원일자(국제) 2023년10월16일  
심사청구일자 없음
- (85) 번역문제출일자 2025년05월08일
- (86) 국제출원번호 PCT/IB2023/060395
- (87) 국제공개번호 WO 2024/084366  
국제공개일자 2024년04월25일
- (30) 우선권주장  
JP-P-2022-168999 2022년10월21일 일본(JP)  
JP-P-2022-173106 2022년10월28일 일본(JP)

- (71) 출원인  
가부시키가이샤 한도오따이 에네루기 켄큐쇼  
일본국 가나가와Ken 아쓰기시 하세 398
- (72) 발명자  
이사카 후미토  
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가  
부시키가이샤 한도오따이 에네루기 켄큐쇼 내  
에기 유지  
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가  
부시키가이샤 한도오따이 에네루기 켄큐쇼 내  
(뒷면에 계속)
- (74) 대리인  
장훈

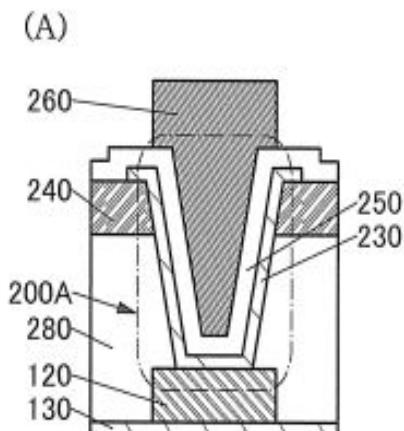
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 반도체 장치 및 기억 장치

### (57) 요약

미세화 또는 고집적화가 가능한 반도체 장치를 제공한다. 상기 반도체 장치에 적합한 산화물 반도체를 제공한다. 제 1 면을 따라 제공된 부분과, 제 1 면에 대하여 경사진 제 2 면을 따라 제공된 부분의 두께의 차이가 작은 산화물 반도체를 형성한다. 알루미늄 함유량이 0.01ppm 이상 500ppm 이하인 전구체를 사용하여 ALD법에 의하여 알루미늄 농도가 0.01 atomic% 이상 10atomic% 이하인 산화물 반도체를 성막한다. 또한 마이크로파 처리 등의 불순물 제거 처리를 수행함으로써 산화물 반도체의 결정성을 높인다.

### 대 표 도



(52) CPC특허분류

*H10D 30/031* (2025.01)

*H10D 30/6757* (2025.01)

*H10D 62/875* (2025.01)

(72) 발명자

**오우노 토시카즈**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키가이사 한도오따이 에네루기 켄큐쇼 내

**오쿠노 나오카**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키가이사 한도오따이 에네루기 켄큐쇼 내

**타카하시 히로노부**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키가이사 한도오따이 에네루기 켄큐쇼 내

---

**쿠니타케 히토시**

일본 194-0032 토쿄토 마치다시 흄마치다 3599-60

**카케하타 테츠야**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키가이사 한도오따이 에네루기 켄큐쇼 내

## 명세서

### 청구범위

#### 청구항 1

반도체 장치로서,

산화물 반도체, 제 1 도전체, 제 2 도전체, 제 3 도전체, 및 제 1 절연체를 가지고,

상기 제 1 도전체 및 상기 제 2 도전체는 각각 상기 산화물 반도체와 접하는 부분을 가지고,

상기 제 3 도전체는 상기 제 1 절연체를 개재(介在)하여 상기 산화물 반도체와 중첩되고,

상기 산화물 반도체는 제 1 면을 따라 제공된 제 1 부분과, 상기 제 1 면에 대하여 경사진 제 2 면을 따라 제공된 제 2 부분을 가지고,

상기 제 1 부분의 두께에 대한 상기 제 2 부분의 두께의 비는 0.8 이상 1.2 이하이고,

상기 산화물 반도체는 인듐과, 갈륨, 주석, 및 아연 중에서 선택되는 어느 하나 또는 복수를 포함하고,

상기 산화물 반도체의 알루미늄 농도는 0.01atomic% 이상 10atomic% 이하인, 반도체 장치.

#### 청구항 2

반도체 장치로서,

산화물 반도체, 제 1 도전체, 제 2 도전체, 제 3 도전체, 제 1 절연체, 및 제 2 절연체를 가지고,

상기 제 1 절연체는 상기 제 1 도전체의 상면과 접하고,

상기 제 2 도전체는 상기 제 1 절연체 위에 위치하고,

상기 산화물 반도체는 상기 제 1 도전체의 상면과 접하는 제 1 부분, 상기 제 1 절연체의 측면과 접하는 제 2 부분, 및 상기 제 2 도전체와 접하는 제 3 부분을 가지고,

상기 제 2 절연체는 상기 산화물 반도체 위에 위치하고,

상기 제 3 도전체는 상기 제 2 절연체 위에 위치하고, 상기 제 2 절연체를 개재하여 상기 산화물 반도체와 중첩되고,

상기 제 1 부분의 두께에 대한 상기 제 2 부분의 두께의 비는 0.8 이상 1.2 이하이고,

상기 산화물 반도체는 인듐과, 갈륨, 주석, 및 아연 중에서 선택되는 어느 하나 또는 복수를 포함하고,

상기 산화물 반도체의 알루미늄 농도는 0.01atomic% 이상 10atomic% 이하인, 반도체 장치.

#### 청구항 3

반도체 장치로서,

산화물 반도체, 제 1 도전체, 제 2 도전체, 제 3 도전체, 제 1 절연체, 및 제 2 절연체를 가지고,

상기 제 1 절연체는 상기 제 1 도전체의 상면과 접하고,

상기 제 2 도전체는 상기 제 1 절연체 위에 위치하고,

상기 제 1 절연체 및 상기 제 2 도전체는 상기 제 1 도전체에 도달하는 제 1 개구부를 가지고,

상기 산화물 반도체는 상기 제 1 개구부의 내측에 상기 제 1 도전체의 상면과 접하는 제 1 부분 및 상기 제 1 절연체의 측면과 접하는 제 2 부분을 가지며, 상기 제 2 도전체와 접하는 제 3 부분을 가지고,

상기 제 2 절연체는 상기 산화물 반도체 위에 위치하고,

상기 제 3 도전체는 상기 제 2 절연체 위에 위치하고, 상기 제 1 개구부와 중첩되는 위치에서 상기 제 2 절연체

를 개재하여 상기 산화물 반도체와 중첩되고,

상기 제 1 부분의 두께에 대한 상기 제 2 부분의 두께의 비는 0.8 이상 1.2 이하이고,

상기 산화물 반도체는 인듐과, 갈륨, 주석, 및 아연 중에서 선택되는 어느 하나 또는 복수를 포함하고,

상기 산화물 반도체의 알루미늄 농도는 0.01atomic% 이상 10atomic% 이하인, 반도체 장치.

#### 청구항 4

반도체 장치로서,

제 1 절연체와,

상기 제 1 절연체를 덮는 산화물 반도체와,

상기 산화물 반도체 위의 제 1 도전체 및 제 2 도전체와,

상기 제 1 도전체 및 상기 제 2 도전체 위에 배치되고, 상기 제 1 도전체와 상기 제 2 도전체 사이의 영역과 중첩되는 개구를 가지는 제 2 절연체와,

상기 개구 내에 배치되고 상기 산화물 반도체 위에 배치되는 제 3 절연체와,

상기 개구 내에 배치되고 상기 제 3 절연체 위에 배치되는 제 3 도전체를 가지고,

채널 폭 방향의 단면에서 보았을 때 상기 제 1 절연체의 높이는 상기 제 1 절연체의 폭보다 길고,

상기 산화물 반도체는 제 1 면을 따라 제공된 제 1 부분과, 상기 제 1 면에 대하여 경사진 제 2 면을 따라 제공된 제 2 부분을 가지고,

상기 제 1 부분의 두께에 대한 상기 제 2 부분의 두께의 비는 0.8 이상 1.2 이하이고,

상기 산화물 반도체는 인듐과, 갈륨, 주석, 및 아연 중에서 선택되는 어느 하나 또는 복수를 포함하고,

상기 산화물 반도체의 알루미늄 농도는 0.01atomic% 이상 10atomic% 이하인, 반도체 장치.

#### 청구항 5

제 4 항에 있어서,

평면에서 보았을 때 상기 제 2 절연체의 개구의 측면은 상기 제 1 도전체의 측면 및 상기 제 2 도전체의 측면과 일치 또는 실질적으로 일치하는, 반도체 장치.

#### 청구항 6

제 4 항에 있어서,

상기 제 1 도전체는 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하고,

상기 제 2 도전체는 상기 트랜지스터의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능하고,

상기 제 3 도전체는 상기 트랜지스터의 게이트 전극으로서 기능하는, 반도체 장치.

#### 청구항 7

제 6 항에 있어서,

상기 트랜지스터의 채널 폭 방향의 단면에서 보았을 때,

상기 제 1 절연체의 한쪽 측면에서 상기 산화물 반도체와 상기 제 3 도전체가 상기 제 3 절연체를 사이에 두고 마주 보고,

상기 제 1 절연체의 다른 쪽 측면에서 상기 산화물 반도체와 상기 제 3 도전체가 상기 제 3 절연체를 사이에 두고 마주 보는, 반도체 장치.

#### 청구항 8

제 6 항에 있어서,

상기 트랜지스터의 채널 폭 방향의 단면에서 보았을 때,

상기 제 1 도전체는 상기 제 1 절연체의 한쪽 측면 측 및 다른 쪽 측면 측에서 상기 산화물 반도체와 접하고,

상기 제 2 도전체는 상기 제 1 절연체의 한쪽 측면 측 및 다른 쪽 측면 측에서 상기 산화물 반도체와 접하는, 반도체 장치.

### 청구항 9

제 6 항에 있어서,

상기 트랜지스터의 채널 폭 방향의 단면에서 보았을 때 상기 제 1 절연체의 높이는 상기 제 1 절연체의 폭의 2 배 이상 20배 이하인, 반도체 장치.

### 청구항 10

제 1 항 내지 제 9 항 중 어느 한 항에 있어서,

상기 산화물 반도체의 알루미늄 농도는 0.01atomic% 이상 5atomic% 이하인, 반도체 장치.

### 청구항 11

제 1 항 내지 제 9 항 중 어느 한 항에 있어서,

상기 산화물 반도체의 탄소 농도는  $1 \times 10^{17}$  atoms/cm<sup>3</sup> 이상  $5 \times 10^{19}$  atoms/cm<sup>3</sup> 이하인, 반도체 장치.

### 청구항 12

기억 장치로서,

제 3 항에 기재된 반도체 장치와, 제 4 도전체와, 제 3 절연체와, 용량 소자를 가지고,

상기 용량 소자는 제 5 도전체와, 상기 제 5 도전체 위의 제 4 절연체와, 상기 제 4 절연체 위의 상기 제 1 도전체를 가지고,

상기 제 3 절연체에는 상기 제 4 도전체에 도달하는 제 2 개구부가 제공되고,

상기 제 5 도전체의 적어도 일부, 상기 제 4 절연체의 적어도 일부, 및 상기 제 1 도전체의 적어도 일부는 상기 제 2 개구부에 배치되는, 기억 장치.

### 청구항 13

기억 장치로서,

제 4 항 내지 제 9 항 중 어느 한 항에 기재된 반도체 장치와, 용량 소자를 가지고,

상기 용량 소자의 한쪽 전극이 상기 반도체 장치의 상기 제 1 도전체와 전기적으로 접속되는, 기억 장치.

### 청구항 14

제 13 항에 있어서,

상기 용량 소자는 상기 제 3 도전체 위에 배치되고,

상기 용량 소자의 적어도 일부는 상기 산화물 반도체 및 상기 제 3 도전체와 중첩되는, 기억 장치.

### 청구항 15

금속 산화물의 성막 방법으로서,

인듐을 포함한 제 1 화합물을 체임버 내에 공급하고 그 후에 산화제를 상기 체임버 내에 공급하는 제 1 공정과,

제 2 화합물을 상기 체임버 내에 공급하고 그 후에 상기 산화제를 상기 체임버 내에 공급하는 제 2 공정을 가지

고,

상기 제 1 화합물의 알루미늄 함유량은 0.01ppm 이상 500ppm 이하이고,

상기 제 2 화합물의 알루미늄 함유량은 상기 제 1 화합물의 알루미늄 함유량보다 적고,

상기 제 2 화합물은 갈륨, 주석, 또는 아연을 포함하는, 금속 산화물의 성막 방법.

### 청구항 16

금속 산화물의 성막 방법으로서,

인듐을 포함한 제 1 화합물을 체임버 내에 공급하고 그 후에 산화제를 상기 체임버 내에 공급하는 제 1 공정과, 제 2 화합물을 상기 체임버 내에 공급하고 그 후에 상기 산화제를 상기 체임버 내에 공급하는 제 2 공정을 가지고,

상기 제 1 화합물의 알루미늄 함유량은 0.01ppm 이상 500ppm 이하이고,

상기 제 2 화합물의 알루미늄 함유량은 상기 제 1 화합물의 알루미늄 함유량보다 적고,

상기 제 1 공정에서의 상기 산화제를 공급하는 시간과 상기 제 2 공정에서의 상기 산화제를 공급하는 시간의 합은 90초 이상인, 금속 산화물의 성막 방법.

### 청구항 17

제 16 항에 있어서,

상기 제 2 화합물은 갈륨 또는 아연을 포함하는, 금속 산화물의 성막 방법.

### 청구항 18

제 15 항 또는 제 16 항에 있어서,

상기 제 1 공정 및 상기 제 2 공정을 각각 한 번 이상 수행하고 그 후에 산소를 포함하는 분위기하에서 마이크로파 처리를 수행하는, 금속 산화물의 성막 방법.

### 청구항 19

제 15 항 또는 제 16 항에 있어서,

상기 제 1 공정 및 상기 제 2 공정을 각각 한 번 이상 수행하고 그 후에 산소를 포함하는 분위기하에서 마이크로파 처리를 수행하는 것을 제 1 사이클로 하여,

상기 제 1 사이클을 여러 번 반복하는, 금속 산화물의 성막 방법.

## 발명의 설명

### 기술 분야

[0001] 본 발명의 일 형태는 금속 산화물의 성막 방법에 관한 것이다. 또한 본 발명의 일 형태는 상기 금속 산화물을 가지는 트랜지스터 및 트랜지스터의 제작 방법에 관한 것이다. 또한 본 발명의 일 형태는 상기 금속 산화물을 사용한 반도체 장치 및 반도체 장치의 제작 방법에 관한 것이다. 또한 본 발명의 일 형태는 상기 금속 산화물을 사용한 기억 장치 및 기억 장치의 제작 방법에 관한 것이다.

[0002] 또한 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 발명의 일 형태의 기술분야의 일례로서는 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 전자 기기, 조명 장치, 입력 장치(예를 들어 터치 센서), 출력 장치(예를 들어 터치 패널), 이들의 구동 방법, 또는 이들의 제조 방법을 들 수 있다.

[0003] 또한 본 명세서 등에서 반도체 장치란, 반도체 특성을 이용한 장치이고, 반도체 소자(트랜지스터, 다이오드, 포토다이오드 등)를 포함한 회로, 이 회로를 가지는 장치 등을 말한다. 또한 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 말한다. 예를 들어 집적 회로, 집적 회로를 가지는 칩, 패키지에 칩을 수납한 전자 부품은 반도체 장치의 일례이다. 또한 기억 장치, 표시 장치, 발광 장치, 조명 장치, 및 전자 기기는 이들 자체가

반도체 장치이며, 각각이 반도체 장치를 가지는 경우가 있다.

## 배경기술

- [0004] 근년, 반도체 장치의 개발이 진행되고 있고, LSI, CPU, 메모리 등이 주로 반도체 장치에 사용되고 있다. CPU는 반도체 웨이퍼를 가공하여 칩으로 형성한 반도체 집적 회로(적어도 트랜지스터 및 메모리)를 가지고, 접속 단자인 전극이 형성된 반도체 소자의 집합체이다.
- [0005] LSI, CPU, 메모리 등의 반도체 회로(IC칩)는 회로 기판, 예를 들어 인쇄 배선 기판에 실장되고, 다양한 전자 기기의 부품 중 하나로서 사용된다.
- [0006] 또한 절연 표면을 가지는 기판 위에 형성된 반도체 박막을 사용하여 트랜지스터를 구성하는 기술이 주목받고 있다. 상기 트랜지스터는 집적 회로(IC)나 표시 장치와 같은 전자 디바이스에 널리 응용되고 있다. 트랜지스터에 적용할 수 있는 반도체 재료로서 실리콘계 반도체 재료가 널리 알려져 있지만, 그 외의 재료로서 산화물 반도체가 주목을 받고 있다.
- [0007] 또한 산화물 반도체를 사용한 트랜지스터는 비도통 상태에서 누설 전류가 매우 낮은 것이 알려져 있다. 예를 들어 특허문헌 1에는 산화물 반도체를 사용한 트랜지스터의 누설 전류가 낮다는 특성을 응용한 소비 전력이 낮은 CPU 등이 개시(開示)되어 있다. 또한 예를 들어 특허문헌 2에는 산화물 반도체를 사용한 트랜지스터의 누설 전류가 낮다는 특성을 응용하여, 장기간에 걸쳐 기억 내용을 유지할 수 있는 기억 장치 등이 개시되어 있다.
- [0008] 또한 근년에는 전자 기기가 소형화, 경량화되면서, 밀도가 더 높아진 집적 회로에 대한 요구가 높아지고 있다. 또한 집적 회로를 포함하는 반도체 장치의 생산성 향상이 요구되고 있다. 예를 들어 특허문헌 3 및 비특허문헌 1에서는 산화물 반도체막을 사용한 제 1 트랜지스터와 산화물 반도체막을 사용한 제 2 트랜지스터를 적층시켜 메모리 셀을 복수로 중첩시켜 제공함으로써 집적 회로의 밀도를 높이는 기술이 개시되어 있다.
- [0009] 또한 트랜지스터를 수직형으로 할 수 있으면, 집적 회로의 밀도를 높일 수 있다. 예를 들어 특허문헌 4에는 산화물 반도체의 측면이 게이트 절연체를 개재(介在)하여 게이트 전극으로 덮인 수직형 트랜지스터가 개시되어 있다.
- [0010] 또한 산화물 반도체에서 단결정도 비정질도 아닌 CAAC(c-axis aligned crystalline) 구조 및 nc(nanocrystalline) 구조가 발견되었다(비특허문헌 2 및 비특허문헌 3 참조).
- [0011] 비특허문헌 2 및 비특허문헌 3에는 CAAC 구조를 가지는 산화물 반도체를 사용하여 트랜지스터를 제작하는 기술이 개시되어 있다.

## 선행기술문헌

### 특허문헌

- [0012] (특허문헌 0001) 일본 공개특허공보 특개2012-257187호  
 (특허문헌 0002) 일본 공개특허공보 특개2011-151383호  
 (특허문헌 0003) 국제공개공보 WO2021/053473호  
 (특허문헌 0004) 일본 공개특허공보 특개2013-211537호

### 비특허문헌

- [0013] (비특허문헌 0001) M. Oota et al., "3D-Stacked CAAC-In-Ga-Zn Oxide FETs with Gate Length of 72nm", IEDM Tech. Dig., 2019, pp.50-53  
 (비특허문헌 0002) S. Yamazaki et al., "SID Symposium Digest of Technical Papers", 2012, volume 43, issue 1, pp.183-186  
 (비특허문헌 0003) S. Yamazaki et al., "Japanese Journal of Applied Physics", 2014, volume 53, Number 4S, pp.04ED18-1-04ED18-10

## 발명의 내용

### 해결하려는 과제

[0014]

본 발명의 일 형태는 신규 금속 산화물 및 그 성막 방법을 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 미세화 또는 고집적화가 가능한 트랜지스터, 반도체 장치, 또는 기억 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 신뢰성이 높은 트랜지스터, 반도체 장치, 또는 기억 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 온 전류가 큰 트랜지스터를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 전기 특성이 양호한 트랜지스터를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 소비 전력이 낮은 반도체 장치 또는 기억 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 동작 속도가 빠른 기억 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 상기 트랜지스터, 반도체 장치, 또는 기억 장치의 제작 방법을 제공하는 것을 과제 중 하나로 한다.

[0015]

또한 이들 과제의 기재는 다른 과제의 존재를 방해하는 것이 아니다. 본 발명의 일 형태는 이들 과제 모두를 반드시 해결할 필요는 없는 것으로 한다. 명세서, 도면, 청구항의 기재에서 이들 이외의 과제를 추출할 수 있다.

### 과제의 해결 수단

[0016]

본 발명의 일 형태는 산화물 반도체, 제 1 도전체, 제 2 도전체, 제 3 도전체, 및 제 1 절연체를 가지고, 제 1 도전체 및 제 2 도전체는 각각 산화물 반도체와 접하는 부분을 가지고, 제 3 도전체는 제 1 절연체를 개재하여 산화물 반도체와 중첩되고, 산화물 반도체는 제 1 면을 따라 제공된 제 1 부분과, 제 1 면에 대하여 경사진 제 2 면을 따라 제공된 제 2 부분을 가지고, 제 1 부분의 두께에 대한 제 2 부분의 두께의 비는 0.8 이상 1.2 이하이고, 산화물 반도체는 인듐과, 갈륨, 주석, 및 아연 중에서 선택되는 어느 하나 또는 복수를 포함하고, 산화물 반도체의 알루미늄 농도는 0.01atomic% 이상 10atomic% 이하인 반도체 장치이다.

[0017]

또한 본 발명의 일 형태는 산화물 반도체, 제 1 도전체, 제 2 도전체, 제 3 도전체, 제 1 절연체, 및 제 2 절연체를 가지고, 제 1 절연체는 제 1 도전체의 상면과 접하고, 제 2 도전체는 제 1 절연체 위에 위치하고, 산화물 반도체는 제 1 도전체의 상면과 접하는 제 1 부분, 제 1 절연체의 측면과 접하는 제 2 부분, 및 제 2 도전체와 접하는 제 3 부분을 가지고, 제 2 절연체는 산화물 반도체 위에 위치하고, 제 3 도전체는 제 2 절연체 위에 위치하고, 제 2 절연체를 개재하여 산화물 반도체와 중첩되고, 제 1 부분의 두께에 대한 제 2 부분의 두께의 비는 0.8 이상 1.2 이하이고, 산화물 반도체는 인듐과, 갈륨, 주석, 및 아연 중에서 선택되는 어느 하나 또는 복수를 포함하고, 산화물 반도체의 알루미늄 농도는 0.01atomic% 이상 10atomic% 이하인 반도체 장치이다.

[0018]

또한 본 발명의 일 형태는 산화물 반도체, 제 1 도전체, 제 2 도전체, 제 3 도전체, 제 1 절연체, 및 제 2 절연체를 가지고, 제 1 절연체는 제 1 도전체의 상면과 접하고, 제 2 도전체는 제 1 절연체 위에 위치하고, 제 1 절연체 및 제 2 도전체는 제 1 도전체에 도달하는 제 1 개구부를 가지고, 산화물 반도체는 제 1 개구부의 내측에 제 1 도전체의 상면과 접하는 제 1 부분 및 제 1 절연체의 측면과 접하는 제 2 부분을 가지며, 제 2 도전체와 접하는 제 3 부분을 가지고, 제 2 절연체는 산화물 반도체 위에 위치하고, 제 3 도전체는 제 2 절연체 위에 위치하고, 제 1 개구부와 중첩되는 위치에서 제 2 절연체를 개재하여 산화물 반도체와 중첩되고, 제 1 부분의 두께에 대한 제 2 부분의 두께의 비는 0.8 이상 1.2 이하이고, 산화물 반도체는, 인듐과, 갈륨, 주석, 및 아연 중에서 선택되는 어느 하나 또는 복수를 포함하고, 산화물 반도체의 알루미늄 농도는 0.01atomic% 이상 10atomic% 이하인 반도체 장치이다.

[0019]

산화물 반도체의 알루미늄 농도는 0.01atomic% 이상 5atomic% 이하인 것이 바람직하다.

[0020]

산화물 반도체의 탄소 농도는  $1 \times 10^{17} \text{ atoms/cm}^3$  이상  $5 \times 10^{19} \text{ atoms/cm}^3$  이하인 것이 바람직하다.

[0021]

또한 본 발명의 일 형태는 상기 반도체 장치와, 제 4 도전체와, 제 3 절연체와, 용량 소자를 가지고, 용량 소자는 제 5 도전체와, 제 5 도전체 위의 제 4 절연체와, 제 4 절연체 위의 제 1 도전체를 가지고, 제 3 절연체에는 제 4 도전체에 도달하는 제 2 개구부가 제공되고, 제 5 도전체의 적어도 일부, 제 4 절연체의 적어도 일부, 및 제 1 도전체의 적어도 일부는 제 2 개구부에 배치되는 기억 장치이다.

- [0022] 또한 본 발명의 일 형태는 인듐을 포함한 제 1 화합물을 체임버 내에 공급하고 그 후에 산화제를 체임버 내에 공급하는 제 1 공정과, 제 2 화합물을 체임버 내에 공급하고 그 후에 산화제를 체임버 내에 공급하는 제 2 공정을 가지고, 제 1 화합물의 알루미늄 함유량은 0.01ppm 이상 500ppm 이하이고, 제 2 화합물의 알루미늄 함유량은 제 1 화합물의 알루미늄 함유량보다 적고, 제 2 화합물은 갈륨, 주석, 또는 아연을 포함하는 금속 산화물의 성막 방법이다.
- [0023] 또한 본 발명의 일 형태는 인듐을 포함한 제 1 화합물을 체임버 내에 공급하고 그 후에 산화제를 체임버 내에 공급하는 제 1 공정과, 제 2 화합물을 체임버 내에 공급하고 그 후에 산화제를 체임버 내에 공급하는 제 2 공정을 가지고, 제 1 화합물의 알루미늄 함유량은 0.01ppm 이상 500ppm 이하이고, 제 2 화합물의 알루미늄 함유량은 제 1 화합물의 알루미늄 함유량보다 적고, 제 1 공정에서의 산화제를 공급하는 시간과 제 2 공정에서의 산화제를 공급하는 시간의 합은 90초 이상인 금속 산화물의 성막 방법이다.
- [0024] 제 2 화합물은 갈륨 또는 아연을 포함하는 것이 바람직하다.
- [0025] 제 1 공정 및 제 2 공정을 각각 한 번 이상 수행하고 그 후에 산소를 포함하는 분위기하에서 마이크로파 처리를 수행하는 것이 바람직하다.
- [0026] 제 1 공정 및 제 2 공정을 각각 한 번 이상 수행하고 그 후에 산소를 포함하는 분위기하에서 마이크로파 처리를 수행하는 것을 제 1 사이클로 하여, 제 1 사이클을 여러 번 반복하는 것이 바람직하다.
- [0027] 또한 본 발명의 일 형태는 제 1 절연체와, 제 1 절연체를 덮는 산화물 반도체와, 산화물 반도체 위의 제 1 도전체 및 제 2 도전체와, 제 1 도전체 및 제 2 도전체 위에 배치되고, 제 1 도전체와 제 2 도전체 사이의 영역과 중첩되는 개구를 가지는 제 2 절연체와, 개구 내에 배치되고 산화물 반도체 위에 배치되는 제 3 절연체와, 개구 내에 배치되고 제 3 절연체 위에 배치되는 제 3 도전체를 가지고, 채널 폭 방향의 단면에서 보았을 때 제 1 절연체의 높이는 제 1 절연체의 폭보다 길고, 산화물 반도체는 제 1 면을 따라 제공된 제 1 부분과, 제 1 면에 대하여 경사진 제 2 면을 따라 제공된 제 2 부분을 가지고, 제 1 부분의 두께에 대한 제 2 부분의 두께의 비는 0.8 이상 1.2 이하이고, 산화물 반도체는 인듐과, 갈륨, 주석, 및 아연 중에서 선택되는 어느 하나 또는 복수를 포함하고, 산화물 반도체의 알루미늄 농도는 0.01atomic% 이상 10atomic% 이하인 반도체 장치이다. 산화물 반도체의 알루미늄 농도는 0.01atomic% 이상 5atomic% 이하인 것이 더 바람직하다. 또한 산화물 반도체의 탄소 농도는  $1 \times 10^{17}$  atoms/cm<sup>3</sup> 이상  $5 \times 10^{19}$  atoms/cm<sup>3</sup> 이하인 것이 바람직하다.
- [0028] 평면에서 보았을 때 제 2 절연체의 개구의 측면은 제 1 도전체의 측면 및 제 2 도전체의 측면과 일치 또는 실질적으로 일치하는 것이 바람직하다.
- [0029] 제 1 도전체는 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 것이 바람직하다. 제 2 도전체는 트랜지스터의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능하는 것이 바람직하다. 제 3 도전체는 트랜지스터의 게이트 전극으로서 기능하는 것이 바람직하다.
- [0030] 트랜지스터의 채널 폭 방향의 단면에서 보았을 때, 제 1 절연체의 한쪽 측면에서 산화물 반도체와 제 3 도전체가 제 3 절연체를 사이에 두고 마주 보고, 제 1 절연체의 다른 쪽 측면에서 산화물 반도체와 제 3 도전체가 제 3 절연체를 사이에 두고 마주 보는 것이 바람직하다.
- [0031] 트랜지스터의 채널 폭 방향의 단면에서 보았을 때, 제 1 도전체는 제 1 절연체의 한쪽 측면 측 및 다른 쪽 측면 측에서 산화물 반도체와 접하고, 제 2 도전체는 제 1 절연체의 한쪽 측면 측 및 다른 쪽 측면 측에서 산화물 반도체와 접하는 것이 바람직하다.
- [0032] 트랜지스터의 채널 폭 방향의 단면에서 보았을 때 제 1 절연체의 높이는 제 1 절연체의 폭의 2배 이상 20배 이하인 것이 바람직하다.
- [0033] 또한 본 발명의 일 형태는 상기 반도체 장치와 용량 소자를 가지고, 용량 소자의 한쪽 전극이 반도체 장치의 제 1 도전체와 전기적으로 접속되는 기억 장치이다. 용량 소자는 제 3 도전체 위에 배치되는 것이 바람직하다. 용량 소자의 적어도 일부는 산화물 반도체 및 제 3 도전체와 중첩되는 것이 바람직하다.

### 발명의 효과

- [0034] 본 발명의 일 형태에 의하여 신규 금속 산화물 및 그 성막 방법을 제공할 수 있다. 본 발명의 일 형태에 의하여 미세화 또는 고집적화가 가능한 트랜지스터, 반도체 장치, 또는 기억 장치를 제공할 수 있다. 본 발명의 일

형태에 의하여 신뢰성이 높은 트랜지스터, 반도체 장치, 또는 기억 장치를 제공할 수 있다. 본 발명의 일 형태에 의하여 온 전류가 큰 트랜지스터를 제공할 수 있다. 본 발명의 일 형태에 의하여 전기 특성이 양호한 트랜지스터를 제공할 수 있다. 본 발명의 일 형태에 의하여 소비 전력이 낮은 반도체 장치 또는 기억 장치를 제공할 수 있다. 본 발명의 일 형태에 의하여 동작 속도가 빠른 기억 장치를 제공할 수 있다. 본 발명의 일 형태에 의하여 상기 트랜지스터, 반도체 장치, 또는 기억 장치의 제작 방법을 제공할 수 있다.

[0035] 또한 이들 효과의 기재는 다른 효과의 존재를 방해하는 것은 아니다. 본 발명의 일 형태는 반드시 이들 효과 모두를 가질 필요는 없다. 명세서, 도면, 청구항의 기재에서 이들 외의 효과를 추출할 수 있다.

### 도면의 간단한 설명

[0036] 도 1의 (A) 내지 (E)는 금속 산화물의 성막 방법의 일례를 나타낸 단면도이다.

도 2의 (A) 내지 (D)는 금속 산화물의 일례를 나타낸 단면도이다.

도 3의 (A) 내지 (D)는 금속 산화물의 일례를 나타낸 단면도이다.

도 4의 (A) 내지 (C)는 금속 산화물의 원자수비의 범위의 일례를 나타낸 도면이다.

도 5의 (A) 내지 (D)는 금속 산화물의 성막 방법의 일례를 나타낸 단면도이다.

도 6의 (A) 내지 (C)는 금속 산화물의 성막 방법의 일례를 나타낸 단면도이다.

도 7은 성막 장치의 일례를 나타낸 평면도 및 단면도이다.

도 8의 (A) 및 (B)는 성막 장치의 일례를 나타낸 단면도이다.

도 9의 (A) 내지 (C)는 성막 장치의 일례를 나타낸 단면도이다.

도 10의 (A) 및 (B)는 성막 장치의 일례를 나타낸 단면도이다.

도 11의 (A) 및 (B)는 금속 산화물의 성막 방법의 일례를 나타낸 도면이다.

도 12의 (A) 및 (B)는 금속 산화물의 성막 방법의 일례를 나타낸 도면이다.

도 13은 금속 산화물의 성막 방법의 일례를 나타낸 도면이다.

도 14의 (A) 내지 (D)는 기억 장치의 일례를 나타낸 단면도이다.

도 15의 (A)는 기억 장치의 일례를 나타낸 평면도이다. 도 15의 (B) 및 (C)는 기억 장치의 일례를 나타낸 단면도이다. 도 15의 (D)는 기억 장치의 일례를 나타낸 회로도이다.

도 16의 (A) 및 (B)는 기억 장치의 일례를 나타낸 단면도이다.

도 17의 (A) 내지 (D)는 기억 장치의 일례를 나타낸 단면도이다.

도 18의 (A) 및 (B)는 기억 장치의 일례를 나타낸 단면도이다.

도 19의 (A) 내지 (D)는 기억 장치의 일례를 나타낸 단면도이다.

도 20의 (A) 및 (B)는 기억 장치의 일례를 나타낸 단면도이다.

도 21의 (A)는 반도체 장치의 일례를 나타낸 평면도이다. 도 21의 (B) 내지 (D)는 반도체 장치의 일례를 나타낸 단면도이다.

도 22의 (A) 및 (B)는 반도체 장치의 일례를 나타낸 단면도이다.

도 23의 (A)는 반도체 장치의 일례를 나타낸 평면도이다. 도 23의 (B) 내지 (D)는 반도체 장치의 일례를 나타낸 단면도이다.

도 24의 (A) 및 (B)는 반도체 장치의 일례를 나타낸 단면도이다.

도 25의 (A) 내지 (C)는 반도체 장치의 일례를 나타낸 단면도이다.

도 26의 (A) 및 (C)는 기억 장치의 일례를 나타낸 평면도이다. 도 26의 (B) 및 (D)는 기억 장치의 일례를 나타낸 단면도이다.

도 27의 (A)는 기억 장치의 일례를 나타낸 평면도이다. 도 27의 (B)는 기억 장치의 일례를 나타낸 단면도이다.

도 28의 (A)는 기억 장치의 일례를 나타낸 평면도이다. 도 28의 (B)는 기억 장치의 일례를 나타낸 단면도이다.

도 29의 (A)는 기억 장치의 일례를 나타낸 평면도이다. 도 29의 (B)는 기억 장치의 일례를 나타낸 단면도이다.

도 30의 (A) 내지 (C)는 기억 장치의 일례를 나타낸 평면 레이아웃을 나타낸 것이다.

도 31의 (A) 내지 (C)는 기억 장치의 일례를 나타낸 평면 레이아웃을 나타낸 것이다.

도 32는 기억 장치의 일례를 나타낸 단면도이다.

도 33은 기억 장치의 일례를 나타낸 블록도이다.

도 34의 (A) 및 (B)는 기억 장치의 일례를 나타낸 모식도이다.

도 35의 (A) 내지 (D)는 기억 장치의 일례를 나타낸 회로도이다.

도 36은 기억 장치의 일례를 나타낸 회로도이다.

도 37의 (A) 및 (B)는 전자 부품의 일례를 나타낸 도면이다.

도 38의 (A) 및 (B)는 전자 기기의 일례를 나타낸 도면이다. 도 38의 (C) 내지 (E)는 대형 컴퓨터의 일례를 나타낸 도면이다.

도 39는 우주용 기기의 일례를 나타낸 도면이다.

도 40은 데이터 센터에 적용할 수 있는 스토리지 시스템의 일례를 나타낸 도면이다.

도 41은 실시예 1의 XPS 분석의 결과를 나타낸 도면이다.

도 42의 (A) 및 (B)는 실시예 1의 홀(Hall) 효과 측정의 결과를 나타낸 도면이다.

도 43은 실시예 1의 SIMS 분석의 결과를 나타낸 도면이다.

도 44는 실시예 1의 SIMS 분석의 결과를 나타낸 도면이다.

도 45는 실시예 1의 SIMS 분석의 결과를 나타낸 도면이다.

도 46의 (A) 및 (B)는 실시예 1의 SIMS 분석의 결과를 나타낸 도면이다.

도 47은 실시예 1의 SIMS 분석의 결과를 나타낸 도면이다.

도 48은 실시예 1의 트랜지스터의 Id-Vg 특성을 나타낸 도면이다.

도 49의 (A) 내지 (D)는 실시예 1의 IGZO막의 단면 관찰 이미지이다.

도 50의 (A) 내지 (D)는 실시예 2의 SIMS 분석의 결과를 나타낸 도면이다.

### 발명을 실시하기 위한 구체적인 내용

[0037]

실시형태에 대하여 도면을 사용하여 자세히 설명한다. 다만 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 쉽게 이해할 수 있다. 따라서 본 발명은 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.

[0038]

또한 이하에서 설명하는 발명의 구성에서 동일한 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 다른 도면 간에서 공통적으로 사용하고, 그 반복적인 설명은 생략한다. 또한 같은 기능을 가지는 부분을 가리키는 경우에는 해치 패턴을 동일하게 하고, 특별히 부호를 붙이지 않는 경우가 있다.

[0039]

또한 도면에 나타낸 각 구성의 위치, 크기, 및 범위 등을 이해를 쉽게 하기 위하여 실제의 위치, 크기, 및 범위 등을 나타내지 않는 경우가 있다. 그러므로 개시된 발명은 반드시 도면에 개시된 위치, 크기, 및 범위 등에 한정되지 않는다.

[0040]

또한 본 명세서 등에서 "제 1", "제 2"라는 서수사는 편의상 사용하는 것이며, 구성 요소의 개수 또는 구성 요소의 순서(예를 들어 공정 순서 또는 적층 순서)를 한정하는 것이 아니다. 또한 본 명세서의 어떤 부분에 있어

서 구성 요소에 붙이는 서수사와 본 명세서의 다른 부분 또는 청구범위에 있어서 상기 구성 요소에 붙이는 서수사가 일치하지 않는 경우가 있다.

[0041] 또한 트랜지스터는 반도체 소자의 일종이며, 전류 또는 전압을 증폭하는 기능 및 도통 또는 비도통을 제어하는 스위칭 동작 등을 실현할 수 있다. 본 명세서에서 트랜지스터는 IGFET(Insulated Gate Field Effect Transistor) 및 박막 트랜지스터(TFT: Thin Film Transistor)를 포함한다.

[0042] 또한 본 명세서 등에서 트랜지스터란 게이트와, 드레인과, 소스를 포함한 적어도 3개의 단자를 가지는 소자이다. 그리고 드레인(드레인 단자, 드레인 영역, 또는 드레인 전극)과 소스(소스 단자, 소스 영역, 또는 소스 전극) 사이에 채널이 형성되는 영역(채널 형성 영역이라고도 함)을 가지고, 채널 형성 영역을 통하여 소스와 드레인 사이에 전류를 흘릴 수 있다. 또한 본 명세서 등에서 채널 형성 영역이란 전류가 주로 흐르는 영역을 말한다.

[0043] 또한 "소스" 및 "드레인"의 기능은 상이한 극성의 트랜지스터를 채용하는 경우 또는 회로 동작에서 전류의 방향이 변화되는 경우 등에는 서로 바꿔는 경우가 있다. 그러므로 본 명세서에서는 "소스" 및 "드레인"이라는 용어는 서로 바꿔 사용할 수 있는 것으로 한다.

[0044] 또한 반도체의 불순물이란, 예를 들어 반도체를 구성하는 주성분 외의 것을 말한다. 예를 들어 농도가 0.1atomic% 미만인 원소는 불순물이라고 할 수 있다. 불순물이 포함됨으로써, 예를 들어 반도체의 결함 준위 밀도가 높아지거나, 결정성의 저하 등이 일어나는 경우가 있다. 반도체가 산화물 반도체인 경우, 반도체의 특성을 변화시키는 불순물로서는 예를 들어 1족 원소, 2족 원소, 13족 원소, 14족 원소, 15족 원소, 산화물 반도체의 주성분 이외의 전이 금속 등이 있다. 구체적으로는 예를 들어 수소, 리튬, 소듐, 실리콘, 붕소, 인, 탄소, 또는 질소 등이 있다. 또한 물도 불순물로서 기능하는 경우가 있다. 또한 예를 들어 불순물의 혼입으로 인하여 산화물 반도체에 산소 결손( $V_0$ 라고도 함)이 형성되는 경우가 있다.

[0045] 또한 본 명세서 등에서 산화질화물이란, 그 조성으로서 질소보다 산소의 함유량이 많은 재료를 가리킨다. 질화산화물이란, 그 조성으로서 산소보다 질소의 함유량이 많은 재료를 가리킨다.

[0046] 막에 포함되는 수소, 산소, 탄소, 질소 등의 원소의 함유량의 분석에는 예를 들어 이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry) 또는 X선 광전자 분광법(XPS: X-ray Photoelectron Spectroscopy)을 사용할 수 있다. 목적 원소의 함유율이 높은(예를 들어 0.5atomic% 이상 또는 1atomic% 이상) 경우에는 XPS가 적합하다. 한편, 목적 원소의 함유율이 낮은(예를 들어 0.5atomic% 이하 또는 1atomic% 이하) 경우에는 SIMS가 적합하다. 원소의 함유량을 비교할 때, SIMS와 XPS의 양쪽의 분석 방법을 사용한 복합 해석을 수행하는 것이 더 바람직하다.

[0047] 또한 본 명세서 등에서 "절연체"라는 용어를 절연막 또는 절연층이라고 바꿔 말할 수 있다. 또한 "도전체"라는 용어를 도전막 또는 도전층이라고 바꿔 말할 수 있다. 또한 "반도체"라는 용어를 반도체막 또는 반도체층이라고 바꿔 말할 수 있다.

[0048] 또한 본 명세서 등에서 "평행"이란, 2개의 직선이  $-10^\circ$  이상  $10^\circ$  이하의 각도로 배치되어 있는 상태를 말한다. 따라서  $-5^\circ$  이상  $5^\circ$  이하의 경우도 포함된다. 또한 "실질적으로 평행"이란, 2개의 직선이  $-30^\circ$  이상  $30^\circ$  이하의 각도로 배치되어 있는 상태를 말한다. 또한 "수직"이란, 2개의 직선이  $80^\circ$  이상  $100^\circ$  이하의 각도로 배치되어 있는 상태를 말한다. 따라서  $85^\circ$  이상  $95^\circ$  이하의 경우도 포함된다. 또한 "실질적으로 수직"이란, 2개의 직선이  $60^\circ$  이상  $120^\circ$  이하의 각도로 배치되어 있는 상태를 말한다.

[0049] 본 명세서 등에서 "전기적으로 접속"에는 "어떠한 전기적 작용을 가지는 것"을 통하여 접속되는 경우가 포함된다. 여기서 "어떠한 전기적 작용을 가지는 것"은 접속 대상 사이에서의 전기 신호의 주고받음을 가능하게 하는 것이면 특별히 제한을 받지 않는다. 예를 들어 "어떠한 전기적 작용을 가지는 것"에는 전극 또는 배선을 비롯하여 트랜지스터 등의 스위칭 소자, 저항 소자, 코일, 용량 소자, 이를 이외의 각종 기능을 가지는 소자 등이 포함된다.

[0050] 본 명세서 등에서 특별히 언급이 없는 경우, 오프 전류란, 트랜지스터가 오프 상태(비도통 상태, 차단 상태라고도 함)일 때의 소스와 드레인 사이의 누설 전류를 말한다. 특별히 언급이 없는 경우, 오프 상태란, n채널형 트랜지스터에서는 게이트와 소스 사이의 전압( $V_{gs}$ )이 문턱 전압( $V_{th}$ )보다 낮은(p채널형 트랜지스터에서는  $V_{th}$ 보다 높은) 상태를 말한다.

[0051] 본 명세서 등에서 어떤 구성 요소의 상면 형상이란 평면에서 보았을 때 상기 구성 요소의 윤곽 형상을

가리킨다. 또한 평면에서 본다란, 상기 구성 요소의 피형성면 또는 상기 구성 요소가 형성되는 지지체(예를 들어 기판)의 표면의 법선 방향에서 보는 것을 말한다.

[0052] 또한 본 명세서 등에서 테이퍼 형상이란, 구조의 측면의 적어도 일부가 기판면 또는 피형성면에 대하여 경사져 제공된 형상을 가리킨다. 예를 들어 경사진 측면과 기판면 또는 피형성면이 이루는 각(테이퍼 각이라고도 함)이  $90^\circ$  미만인 영역을 가지는 것이 바람직하다. 또한 구조의 측면, 기판면, 및 피형성면은 반드시 완전히 평탄할 필요는 없고, 미소한 곡률을 가지는 대략 평면 형상 또는 미세한 요철을 가지는 대략 평면 형상을 가져도 좋다.

[0053] 본 명세서 등에서 A는 B와 접한다고 기재되는 경우, A의 적어도 일부가 B와 접한다. 그러므로 예를 들어 A는 B와 접하는 영역을 가진다고 바꿔 말할 수 있다.

[0054] 본 명세서 등에서 A는 B 위에 위치한다고 기재되는 경우, A의 적어도 일부가 B 위에 위치한다. 그러므로 예를 들어 A는 B 위에 위치하는 영역을 가진다고 바꿔 말할 수 있다.

[0055] 본 명세서 등에서 A는 B를 덮는다고 기재되는 경우, A의 적어도 일부가 B를 덮는다. 그러므로 예를 들어 A는 B를 덮는 영역을 가진다고 바꿔 말할 수 있다.

[0056] 본 명세서 등에서 A는 B와 중첩된다고 기재되는 경우, A의 적어도 일부가 B와 중첩된다. 그러므로 예를 들어 A는 B와 중첩되는 영역을 가진다고 바꿔 말할 수 있다.

[0057] (실시형태 1)

[0058] 본 실시형태에서는 본 발명의 일 형태의 금속 산화물을 및 그 성막 방법에 대하여 도 1 내지 도 13을 사용하여 설명한다.

[0059] 본 발명의 일 형태의 금속 산화물은 금속 산화물을 구성하는 원소의 종류, 조합, 조성 등에 따라, 반도체 재료, 절연성 재료, 및 도전성 재료 중 어느 것으로서 사용할 수 있다. 본 발명의 일 형태의 금속 산화물은 예를 들어 트랜지스터의 반도체층에 사용할 수 있다. 상기 금속 산화물을 산화물 반도체 또는 산화물이라고 부르는 경우도 있다.

[0060] 본 발명의 일 형태의 금속 산화물의 성막 방법에서는 ALD(Atomic Layer Deposition)법을 사용하기 때문에 두께가 매우 얇은 막을 균일하게 형성할 수 있다. 그러므로 미세한 트랜지스터를 구성하는 금속 산화물의 성막에 적합하다.

[0061] 본 발명의 일 형태의 금속 산화물의 성막 방법에서는 무기 전구체 및 유기 전구체 중 한쪽 또는 양쪽을 사용할 수 있다. 여기서 유기 전구체란, 구성 원소에 탄소를 포함한 전구체이고, 무기 전구체란, 구성 원소에 탄소를 포함하지 않는 전구체이다.

[0062] 무기 전구체를 사용하여 성막된 금속 산화물은 유기 전구체를 사용하여 성막된 금속 산화물에 비하여 막 내의 불순물 농도(예를 들어 수소 농도, 탄소 농도, 및 질소 농도 중 적어도 하나)를 낮게 할 수 있다.

[0063] 또한 유기 전구체를 사용함으로써, 무기 전구체를 사용하는 경우에 비하여 금속 산화물의 성막 온도를 낮출 수 있다.

[0064] 여기서, 불순물을 포함한 전구체를 사용하여 금속 산화물을 성막하면, 금속 산화물 내에 상기 불순물이 들어가 금속 산화물의 물성, 나아가서는 상기 금속 산화물을 사용한 반도체 장치의 특성에 악영향을 미칠 우려가 있다.

[0065] 예를 들어, 알루미늄을 주성분으로서 포함하지 않은 금속 산화물에 불순물인 알루미늄이 많이 포함되면 상기 금속 산화물의 물성에 영향을 미치는 경우가 있다. 여기서 알루미늄을 주성분으로서 포함하지 않은 금속 산화물로서는 인듐 아연 산화물(In-Zn 산화물), 인듐 갈륨 아연 산화물(In-Ga-Zn 산화물, IGZO라고도 기재함) 등을 들 수 있다.

[0066] 예를 들어, IGZO막 내에 알루미늄이 산화 상태( $\text{Al}_2\text{O}_3$  등)로 존재하면 IGZO막이 고저항화된다. 그리고 고저항화된 IGZO막을 반도체층에 사용하면 트랜지스터의 온 전류가 낮게 된다.

[0067] 한편, 알루미늄은 산소와의 결합 해리 에너지가 높아 캐리어 억제 원소로서 기능한다. 구체적으로는 알루미늄과 산소의 결합 해리 에너지는 Ga와 산소의 결합 해리 에너지보다 높다. 따라서 IGZO막 내에 알루미늄이 존재함으로써, 산소 결손(Vo)이 생성되기 어렵게 할 수 있다. Vo가 생성되기 어려운 IGZO막을 반도체층에 사용하면, 트랜지스터의 광 네거티브 바이어스 열화를 억제할 수 있다. 그러므로, 금속 산화물 내의 알루미늄

은 완전히 제거하지 않아도 되고, 악영향을 미치지 않을 정도로 금속 산화물 내에 포함되어도 좋은 경우가 있다.

[0068] 그래서 본 발명의 일 형태의 금속 산화물의 성막 방법에서는, 알루미늄 함유량이 적은 전구체를 사용하여 알루미늄을 주성분으로서 포함하지 않는 금속 산화물을 제작한다. 이에 의하여 성막한 금속 산화물 내의 알루미늄 농도가 높아지는 것을 억제할 수 있다.

[0069] 또한 ALD법을 사용하여 형성된 금속 산화물에서는 성막 후에 금속 산화물에 대하여 가열 처리를 수행하여도 막 내의 불순물을 충분히 제거하는 것은 어려운 경우가 있다. 한편, 불순물의 함유량이 적은 금속 산화물을 성막하기 위하여 트랜지스터 또는 반도체 장치의 제작 공정에서의 최고 온도를 높일 정도의 고온 처리(예를 들어 700°C를 넘는 처리)를 수행하면 생산성이 저하된다.

[0070] 그래서 본 발명의 일 형태의 금속 산화물의 성막 방법에서는, 산화제를 충분히 공급함으로써 막 내의 탄소 농도를 저감한다. 예를 들어 금속 산화물의 성막 공정 전체에서의 산화제를 공급하는 공정의 합계 시간을 충분히 길게 한다. 또는 산화제에 포함되는 오존( $O_3$ )의 비율을 크게 한다.

[0071] 또한 불순물 제거 처리로서, 성막 후에 산소를 포함하는 분위기하에서 마이크로파 처리를 수행하는 것이 바람직하다. 산소를 포함하는 분위기하에서 마이크로파 처리를 수행함으로써 막 내의 불순물을 제거할 수 있다. 이로써 전구체 등의 원료에 포함되는 불순물이 금속 산화물을 내에 잔존하는 것을 억제할 수 있다. 따라서 금속 산화물 내의 불순물 농도를 저감할 수 있다. 또한 금속 산화물의 결정성을 높일 수 있다.

[0072] 성막 중에 산소를 포함하는 분위기하에서 불순물 제거 처리를 간헐적으로 수행하는 것이 바람직하다. 성막 중에 불순물 제거 처리를 수행함으로써, 성막 후에 수행하는 경우에 비하여 막 내의 불순물을 더 확실하게 제거할 수 있다. 또한 불순물 제거 처리는 성막 중 및 성막 후의 양쪽에서 수행하여도 좋다.

[0073] 이상으로부터, 본 발명의 일 형태의 금속 산화물의 성막 방법을 사용하여, 미세한 트랜지스터의 반도체층에 사용하는, 불순물의 함유량이 적은 금속 산화물을 형성할 수 있다. 또한 본 발명의 일 형태의 금속 산화물의 성막 방법을 사용하여, 미세한 트랜지스터의 반도체층에 사용하는, 결정성이 높은 금속 산화물을 형성할 수 있다. 이에 의하여, 미세하며 전기 특성이 양호한 트랜지스터를 실현할 수 있다. 또한 미세하며 신뢰성이 양호한 트랜지스터를 실현할 수 있다. 특히 CAAC 구조의 금속 산화물을 형성하는 것이 바람직하다.

[0074] 구체적으로는 본 발명의 일 형태는 인듐을 포함한 제 1 화합물을 체임버 내에 공급하고 그 후 산화제를 체임버 내에 공급하는 제 1 공정과, 제 2 화합물을 체임버 내에 공급하고 그 후 산화제를 체임버 내에 공급하는 제 2 공정을 가지는 금속 산화물의 성막 방법이다. 또한 제 3 화합물을 체임버 내에 공급하고 그 후 산화제를 체임버 내에 공급하는 제 3 공정을 가져도 좋다.

[0075] 제 1 화합물의 알루미늄 함유량은 0.001ppm 이상, 0.01ppm 이상, 또는 0.1ppm 이상인 것이 바람직하고, 또한 1000ppm 이하인 것이 바람직하고, 500ppm 이하인 것이 더 바람직하고, 100ppm 이하인 것이 더 바람직하고, 50ppm 이하인 것이 더 바람직하고, 10ppm 이하인 것이 바람직하고, 1ppm 이하인 것이 더 바람직하다.

[0076] 제 2 화합물 및 제 3 화합물은 각각 갈륨, 주석, 및 아연 중 적어도 하나를 포함하는 것이 바람직하다. 제 2 화합물의 알루미늄 함유량 및 제 3 화합물의 알루미늄 함유량의 바람직한 범위는 제 1 화합물의 알루미늄 함유량의 바람직한 범위와 마찬가지이다. 특히, 제 2 화합물 및 제 3 화합물은 각각 제 1 화합물보다 알루미늄 함유량이 적은 것이 바람직하다.

[0077] 금속 산화물의 성막 공정에서, 1사이클에서의 산화제를 공급하는 시간의 합계는 10초 이상이 바람직하고, 30초 이상이 더 바람직하고, 60초 이상이 더 바람직하고, 90초 이상이 더 바람직하고, 120초 이상이 더 바람직하고, 또한 150초 이하, 200초 이하, 250초 이하, 또는 300초 이하가 바람직하다. 제 1 화합물과 제 2 화합물의 2개를 사용하여 금속 산화물을 성막하는 경우에는, 상술한 제 1 공정과 제 2 공정을 한 번씩 수행하는 것을 1사이클로 한다. 1사이클에서의 산화제를 공급하는 시간의 합계는 제 1 공정에서의 산화제를 공급하는 시간과 제 2 공정에서의 산화제를 공급하는 시간의 합에 상당한다. 제 3 화합물을 추가한 3개의 화합물을 사용하여 금속 산화물을 성막하는 경우에는, 상술한 제 1 공정, 제 2 공정, 및 제 3 공정을 한 번씩 수행하는 것을 1사이클로 한다. 1사이클에서의 산화제를 공급하는 시간의 합계는 제 1 공정 내지 제 3 공정에서의 산화제를 공급하는 시간의 합에 상당한다.

[0078] 산화제를 공급하는 시간이 길수록 금속 산화물 내의 탄소 농도를 저감할 수 있어 바람직하다. 한편, 산화제를 공급하는 시간이 짧을수록, 금속 산화물을 성막하기 위하여 필요한 시간이 짧게 되어 바람직하다.

- [0079] 산화제를 공급할 때, 가스 내의 오존의 비율을 10% 이상으로 하는 것이 바람직하고, 20% 이상이 더 바람직하고, 30% 이상이 더 바람직하고, 40% 이상이 더 바람직하고, 50% 이상이 더 바람직하고, 60% 이상이 더 바람직하고, 70% 이상이 더 바람직하고, 80% 이상이 더 바람직하고, 90% 이상이 더 바람직하고, 100%가 특히 바람직하다. 오존의 비율이 클수록, 금속의 산화를 촉진하고 금속 산화물 내의 탄소 농도를 저감할 수 있어 바람직하다.
- [0080] 산화제를 공급할 때, 기관 온도를 150°C 이상, 200°C 이상, 또는 250°C 이상으로 하는 것이 바람직하다. 기관 온도의 상한으로서는, 제 1 화합물 등의 전구체의 분해 온도 및 오존의 분해 온도(예를 들어 300°C) 중 보다 낮은 것을 사용할 수 있다. 기관 온도를 높게 함으로써 금속 산화물 내의 불순물 농도를 저감할 수 있어 바람직하다.
- [0081] 본 발명의 일 형태의 금속 산화물의 성막 방법에 있어서, 제 1 공정 및 제 2 공정을 각각 한 번 이상 수행한 후 산소를 포함하는 분위기하에서 불순물 제거 처리를 수행하는 것이 바람직하다. 불순물 제거 처리는 금속 산화물 내에 포함된 불순물을 막 중에서 이탈시키는 처리이다. 불순물 제거 처리에서는 금속 산화물 내에 포함된 수소, 탄소, 및 질소 등을 막 중에서 이탈시키는 것이 바람직하다. 또한 불순물 제거 처리에서는 금속 산화물 내에 산소를 공급하는 것이 바람직하다. 이에 의하여 금속 산화물 내의 산소 결손( $V_0$ ) 및 불순물을 저감할 수 있다. 산소 결손( $V_0$ ) 및 불순물이 저감된 금속 산화물을 사용함으로써 트랜지스터의 전기 특성 및 신뢰성을 높일 수 있다.
- [0082] 불순물 제거 처리로서는 예를 들어 플라스마 처리, 마이크로파 처리, 및 가열 처리가 있다.
- [0083] 플라스마 처리 또는 마이크로파 처리를 수행할 때는 각각 기관의 온도를 실온(예를 들어 25°C) 이상, 100°C 이상, 200°C 이상, 300°C 이상, 또는 400°C 이상으로 하고, 또한 500°C 이하 또는 450°C 이하로 하는 것이 바람직하다. 또한 가열 처리의 온도는 100°C 이상, 200°C 이상, 300°C 이상, 또는 400°C 이상으로 하고, 또한 500°C 이하 또는 450°C 이하로 하는 것이 바람직하다.
- [0084] 불순물 제거 처리를 수행할 때의 온도는 특히 트랜지스터 또는 반도체 장치의 제작 공정에서의 최고 온도 이하의 온도로 함으로써, 생산성을 저하시키지 않고 금속 산화물 내의 불순물의 함유량을 저감할 수 있기 때문에 바람직하다. 예를 들어 본 발명의 일 형태의 금속 산화물이 사용되는 트랜지스터 또는 반도체 장치의 제작에서의 최고 온도를 500°C 이하, 바람직하게는 450°C 이하로 함으로써 트랜지스터 또는 반도체 장치의 생산성을 높일 수 있다.
- [0085] 또한 불순물 제거 처리는 제 1 화합물 및 제 2 화합물 중 어느 분해 온도보다 낮은 온도에서 수행하는 것이 바람직하다. 또한 제 3 화합물을 사용하는 경우에는 제 3 화합물의 분해 온도보다 낮은 온도에서 수행하는 것이 바람직하다. 또한 불순물 제거 처리는 500°C보다 높은 온도(예를 들어 500°C보다 높고 700°C 이하)에서 수행하여도 좋다.
- [0086] 불순물 제거 처리는 광(예를 들어 자외광)을 조사하면서 수행하여도 좋다. 이에 의하여 불순물의 이탈의 촉진을 도모할 수 있다. 광원으로서는 레이저, 수은등 등을 들 수 있다. 예를 들어 광 여기에 의하여 산소 라디칼을 발생시켜 수소, 탄소, 또는 질소 등과 반응시킴으로써, 막 내의 불순물의 저감 및 결정화의 촉진을 도모할 수 있다. 광 조사를 수행함으로써 광 조사를 수행하지 않는 경우에 비하여 가열 온도를 낮게 하여도 불순물의 제거가 용이해질 경우가 있다.
- [0087] 또한 성막 중에 광을 조사하여도 좋다. 예를 들어 제 1 공정에서, 제 1 화합물을 체임버 내에 공급할 때 및 산화제를 체임버 내에 공급할 때 중 한쪽 또는 양쪽에 있어서 금속 산화물의 피형성면에 광을 조사하여도 좋다. 제 2 공정 및 제 3 공정에 대해서도 마찬가지이다.
- [0088] 제 1 공정 및 제 2 공정을 각각 한 번 이상 수행한 후 산소를 포함하는 분위기하에서 불순물 제거 처리를 수행하는 것을 제 1 사이클로 하여, 상기 제 1 사이클을 여러 번 반복하는 것이 바람직하다.
- [0089] 또는 제 1 공정 및 제 2 공정을 각각 한 번 이상 수행한 후 산소를 포함하는 분위기하에서 불순물 제거 처리를 수행하는 것을 제 1 사이클로 하고, 제 1 사이클과는 다른 순서로 제 1 공정 및 제 2 공정을 각각 한 번 이상 수행한 후 산소를 포함하는 분위기하에서 불순물 제거 처리를 수행하는 것을 제 2 사이클로 하여, 제 1 사이클과 제 2 사이클을 번갈아 여러 번 반복하는 것이 바람직하다.
- [0090] 제 1 사이클 및 제 2 사이클에서는 각각 예를 들어 제 1 공정 및 제 2 공정 중 횟수가 적은 쪽 또는 양쪽을 5회 이상 10회 이하의 범위로 수행할 때마다 불순물 제거 처리를 수행하는 것이 바람직하다.

- [0091] 금속 산화물을 성막한 후에 불순물 제거 처리를 수행하는 것만으로는 불순물을 충분히 제거할 수 없는 경우가 있다. 성막 중에 불순물 제거 처리를 간헐적으로(간격을 두고) 도입함으로써, 금속 산화물 내의 불순물을 충분히 제거할 수 있다.
- [0092] 또한 본 발명의 일 형태는 인듐을 포함한 전구체(예를 들어 트라이에틸인듐 전구체)를 체임버 내에 공급하고, 그 후에 산화제를 체임버 내에 공급하는, ALD법을 사용한 인듐 화합물의 성막 방법이다. 상기 전구체의 알루미늄 함유량은 0.001ppm 이상, 0.01ppm 이상, 또는 0.1ppm 이상인 것이 바람직하고, 또한 1000ppm 이하인 것이 바람직하고, 500ppm 이하인 것이 더 바람직하고, 100ppm 이하인 것이 더 바람직하고, 50ppm 이하인 것이 더 바람직하고, 10ppm 이하인 것이 바람직하고, 1ppm 이하인 것이 더 바람직하다.
- [0093] <금속 산화물>
- [0094] 금속 산화물은 격자 결함을 가지는 경우가 있다. 격자 결함으로서는 원자 공공, 이종 원자 등의 점결함, 전위(轉位) 등의 선결함, 결정계 등이 면결함, 공극 등의 체적 결함이 있다. 또한 격자 결함이 생성되는 요인으로서는 구성 원소의 원자수의 비율의 차이(구성 원자의 과부족) 및 불순물 등이 있다.
- [0095] 금속 산화물을 트랜지스터의 반도체층에 사용하는 경우, 금속 산화물 내의 격자 결함은 캐리어가 생성되거나 포획되는 요인이 될 수 있다. 따라서 격자 결함이 많은 금속 산화물을 트랜지스터의 반도체층에 사용하면, 상기 트랜지스터의 전기 특성이 불안정해질 우려가 있다. 따라서 트랜지스터의 반도체층에 사용하는 금속 산화물은 격자 결함이 적은 것이 바람직하다.
- [0096] 금속 산화물을 사용한 트랜지스터는 특히 금속 산화물 내의 채널 형성 영역에 산소 결손( $V_0$ ) 및 불순물이 존재하면, 전기 특성이 변동되기 쉬우므로 신뢰성이 저하되는 경우가 있다. 또한 산소 결손 근방의 수소가, 산소 결손에 수소가 들어간 결함(이하,  $V_0H$ 라고 하는 경우가 있음)을 형성하여, 캐리어가 되는 전자를 생성하는 경우가 있다. 이로써 금속 산화물 내의 채널 형성 영역에 산소 결손이 포함되면, 트랜지스터는 노멀리 온 특성(게이트 전극에 전압을 인가하지 않아도 채널이 존재하고 트랜지스터에 전류가 흐르는 특성)을 가지기 쉽다. 따라서 금속 산화물 내의 채널 형성 영역에서는 산소 결손 및 불순물은 가능한 한 저감되어 있는 것이 바람직하다. 바꿔 말하면, 금속 산화물 내의 채널 형성 영역은 캐리어 농도가 저감되고 i형화(진성화) 또는 실질적으로 i형화되어 있는 것이 바람직하다.
- [0097] 금속 산화물 내에 존재하기 쉬운 격자 결함의 종류 및 격자 결함의 존재량은 금속 산화물의 구조 또는 성막 방법 등에 따라 다르다.
- [0098] 금속 산화물의 구조는 단결정 구조와, 그 외의 구조(비단결정 구조)로 나누어진다. 비단결정 구조로서는 예를 들어 CAAC 구조, 다결정(polygonal crystalline) 구조, nc 구조, a-like(amorphous-like) 구조, 및 비정질 구조 등이 있다. a-like 구조는 nc 구조와 비정질 구조의 중간의 구조를 가진다.
- [0099] 또한 본 발명의 일 형태의 금속 산화물의 결정성은 특별히 묻지 않는다.
- [0100] 또한 a-like 구조를 가지는 금속 산화물 및 비정질 구조를 가지는 금속 산화물은 공동 또는 저밀도 영역을 가진다. 즉 a-like 구조를 가지는 금속 산화물 및 비정질 구조를 가지는 금속 산화물은 nc 구조를 가지는 금속 산화물 및 CAAC 구조를 가지는 금속 산화물보다 결정성이 낮다. 또한 a-like 구조를 가지는 금속 산화물은 nc 구조를 가지는 금속 산화물 및 CAAC 구조를 가지는 금속 산화물보다 금속 산화물 내의 수소 농도가 높다. 따라서 a-like 구조를 가지는 금속 산화물 및 비정질 구조를 가지는 금속 산화물에서는 격자 결함이 생성되기 쉽다.
- [0101] 따라서 트랜지스터의 반도체층에는 결정부를 가지는 금속 산화물을 사용하는 것이 바람직하고, 결정성이 높은 금속 산화물을 사용하는 것이 더 바람직하다. 예를 들어 CAAC 구조를 가지는 금속 산화물 또는 단결정 구조의 금속 산화물을 사용하는 것이 바람직하다. 상기 금속 산화물을 트랜지스터에 사용함으로써, 전기 특성이 양호한 트랜지스터를 실현할 수 있다. 또한 신뢰성이 높은 트랜지스터를 실현할 수 있다.
- [0102] 또한 트랜지스터의 채널 형성 영역에는, 상기 트랜지스터의 온 전류가 커지는 금속 산화물을 사용하는 것이 바람직하다. 상기 트랜지스터의 온 전류를 크게 하기 위해서는, 상기 트랜지스터에 사용하는 금속 산화물의 이동도를 높이는 것이 좋다. 금속 산화물의 이동도를 높이기 위해서는 캐리어(n채널형 트랜지스터의 경우에는 전자)의 전송(傳送)을 향상시키거나, 캐리어의 전송에 기여하는 산란 인자를 저감시킬 필요가 있다. 또한 캐리어는 채널 형성 영역을 통하여 소스로부터 드레인으로 흐른다. 따라서 캐리어가 채널 길이 방향으로 흐르기 쉬운 채널 형성 영역을 제공함으로써 트랜지스터의 온 전류를 크게 할 수 있다.

- [0103] 여기서 채널 형성 영역을 포함하는 금속 산화물에 결정성이 높은 금속 산화물을 사용하는 것이 바람직하다. 또한 상기 결정은 복수의 층(예를 들어 제 1 층과, 제 2 층과, 제 3 층)이 적층된 결정 구조를 가지는 것이 바람직하다. 즉 상기 결정은 층상 결정 구조(층상 결정, 층상 구조라고도 함)를 가진다. 이때 상기 결정의 c축의 방향은 복수의 층이 적층되는 방향이 된다. 상기 결정을 가지는 금속 산화물에는 예를 들어 단결정 산화물 반도체, CAAC-OS(c-axis aligned crystalline oxide semiconductor) 등이 포함된다.
- [0104] 또한 상기 결정의 c축을 금속 산화물의 피형성면 또는 막 표면에 대한 법선 방향으로 배향하는 것이 바람직하다. 이에 의하여, 복수의 층은 금속 산화물의 피형성면 또는 막 표면에 평행 또는 실질적으로 평행하게 배치된다. 즉 복수의 층은 채널 길이 방향으로 전개된다.
- [0105] 예를 들어 상기와 같은 3층의 층상 결정 구조는 이하와 같은 구조가 된다. 제 1 층은 상기 제 1 층에 포함되는 금속이 중심에 존재하는 산소의 팔면체형의 원자 배위 구조를 가진다. 또한 제 2 층은 상기 제 2 층에 포함되는 금속이 중심에 존재하는 산소의 삼각 쌍뿔형 또는 사면체형의 원자 배위 구조를 가진다. 또한 제 3 층은 상기 제 3 층에 포함되는 금속이 중심에 존재하는 산소의 삼각 쌍뿔형 또는 사면체형의 원자 배위 구조를 가진다.
- [0106] 상기 결정의 결정 구조로서 예를 들어  $\text{YbFe}_2\text{O}_4$ 형 구조,  $\text{Yb}_2\text{Fe}_3\text{O}_7$ 형 구조, 이들의 변형 구조 등이 있다.
- [0107] 또한 제 1 층 내지 제 3 층은 각각 하나의 금속 원소 또는 가수가 같은 복수의 금속 원소와, 산소로 구성되는 것이 바람직하다. 또한 제 1 층을 구성하는 하나 또는 복수의 금속 원소의 가수와, 제 2 층을 구성하는 하나 또는 복수의 금속 원소의 가수는 같은 것이 바람직하다. 또한 제 1 층과 제 2 층은 같은 금속 원소를 포함하여도 좋다. 또한 제 1 층을 구성하는 하나 또는 복수의 금속 원소의 가수와, 제 3 층을 구성하는 하나 또는 복수의 금속 원소의 가수는 상이한 것이 바람직하다.
- [0108] 상기 구성으로 함으로써, 금속 산화물의 결정성이 향상되고, 상기 금속 산화물의 이동도를 높일 수 있다. 따라서 상기 금속 산화물을 트랜지스터의 채널 형성 영역에 사용함으로써, 트랜지스터의 온 전류가 커져 상기 트랜지스터의 전기 특성을 향상시킬 수 있다.
- [0109] 본 발명의 일 형태의 금속 산화물은 적어도 인듐 또는 아연을 포함하는 것이 바람직하다. 특히 인듐 및 아연을 포함하는 것이 바람직하다. 또한 이들에 더하여 인듐 또는 아연과 가수가 같은 금속 원소를 적어도 하나 포함하는 것이 바람직하다. 상기 금속 원소로서 예를 들어 갈륨, 주석이 있다. 또한 이트륨, 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텉스텐, 마그네슘, 칼슘, 코발트, 및 알루미늄 등에서 선택된 1종류 또는 복수 종류가 포함되어도 좋다.
- [0110] 여기서는 금속 산화물이 인듐(In), 원소 M, 및 아연(Zn)을 포함하는 In-M-Zn 산화물인 경우에 대하여 생각한다. 또한 원소 M은 갈륨 또는 주석으로 한다. 이 외에 원소 M에 적용할 수 있는 원소로서는 이트륨, 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텉스텐, 마그네슘, 칼슘, 코발트, 알루미늄 등이 있다. 다만 원소 M으로서, 상술한 원소를 복수 조합하여도 되는 경우가 있다.
- [0111] 본 발명의 일 형태의 금속 산화물로서는 예를 들어 인듐 아연 산화물(In-Zn 산화물), 인듐 주석 산화물(In-Sn 산화물), 인듐 타이타늄 산화물(In-Ti 산화물), 인듐 갈륨 산화물(In-Ga 산화물), 인듐 갈륨 주석 산화물(In-Ga-Sn 산화물), 갈륨 아연 산화물(Ga-Zn 산화물, GZO라고도 기재함), 인듐 주석 아연 산화물(In-Sn-Zn 산화물, ITZO(등록 상표)라고도 기재함), 인듐 타이타늄 아연 산화물(In-Ti-Zn 산화물), 인듐 갈륨 아연 산화물(In-Ga-Zn 산화물, IGZO라고도 기재함), 인듐 갈륨 주석 아연 산화물(In-Ga-Sn-Zn 산화물, IGZTO라고도 기재함) 등이 있다.
- [0112] 금속 산화물에 포함된 모든 금속 원소의 원자수의 합에 대한 인듐의 원자수의 비율을 높게 함으로써 트랜지스터의 전계 효과 이동도를 높일 수 있다.
- [0113] 또한 금속 산화물은 인듐 대신에, 원소 주기율표에서의 주기 번호가 큰 금속 원소 중 1종류 또는 복수 종류를 포함하여도 좋다. 또는 금속 산화물은 인듐 대신에, 주기 번호가 큰 금속 원소 중 1종류 또는 복수 종류를 포함하여도 좋다. 금속 원소의 궤도의 중첩이 클수록 금속 산화물에서의 캐리어 전도는 크게 될 경향이 있다. 따라서 주기 번호가 큰 금속 원소를 포함함으로써 트랜지스터의 전계 효과 이동도를 높일 수 있는 경우가 있다. 주기 번호가 큰 금속 원소로서는 5주기에 속하는 금속 원소 및 6주기에 속하는 금속 원소 등을 들 수 있다. 상기 금속 원소로서 구체적으로는 이트륨, 지르코늄, 은, 카드뮴, 주석, 안티모니, 바륨, 납, 비스무트, 란타넘, 세륨, 프라세오디뮴, 네오디뮴, 프로메튬, 사마륨, 및 유로퓸 등을 들 수 있다. 또한 란타넘, 세륨, 프라세오디뮴, 네오디뮴, 프로메튬, 사마륨, 및 유로퓸은 경희토류 원소라고도 불린다.

- [0114] 또한 금속 산화물은 비금속 원소의 1종류 또는 복수 종류를 포함하여도 좋다. 금속 산화물이 비금속 원소를 포함함으로써 트랜지스터의 전계 효과 이동도를 높일 수 있는 경우가 있다. 비금속 원소로서 예를 들어 탄소, 질소, 인, 헝, 셀레늄, 플루오린, 염소, 브로민, 및 수소 등이 있다.
- [0115] 또한 금속 산화물에 포함된 모든 금속 원소의 원자수의 합에 대한 아연의 원자수의 비율을 높게 함으로써 결정성이 높은 금속 산화물이 되어 금속 산화물 내의 불순물의 확산을 억제할 수 있다. 따라서 트랜지스터의 전기 특성의 변동이 억제되어 신뢰성을 높일 수 있다.
- [0116] 또한 금속 산화물에 포함된 모든 금속 원소의 원자수의 합에 대한 원소 M의 원자수의 비율을 높게 함으로써 금속 산화물에 산소 결손이 형성되는 것을 억제할 수 있다. 따라서 산소 결손에 기인한 캐리어 생성이 억제되어 오프 전류가 작은 트랜지스터로 할 수 있다. 또한 트랜지스터의 전기 특성의 변동이 억제되어 신뢰성을 높일 수 있다.
- [0117] 또한 금속 산화물에 포함되는 모든 금속 원소의 원자수의 합에 대한 In의 원자수의 비율을 높임으로써, 트랜지스터는 큰 온 전류 및 높은 주파수 특성을 얻을 수 있다.
- [0118] 본 실시형태에서는 금속 산화물로서 In-Ga-Zn 산화물을 예로 들어 설명하는 경우가 있다.
- [0119] 상기 층상 결정 구조를 가지는 금속 산화물을 형성하기 위해서는 한 층씩 원자를 퇴적하는 것이 바람직하다. 본 발명의 일 형태의 금속 산화물의 성막 방법에서는 ALD법을 사용하기 때문에, 상기 층상 결정 구조를 가지는 금속 산화물을 형성하는 것이 용이하다.
- [0120] ALD법으로서는 전구체와 반응제의 반응을 열 에너지만으로 수행하는 열 ALD(Thermal ALD)법 및 플라스마 여기된 반응제를 사용하는 플라스마 ALD(PEALD: Plasma Enhanced ALD)법 등을 들 수 있다.
- [0121] ALD법에서는 한 층씩 원자를 퇴적할 수 있기 때문에, 매우 얇게 성막이 가능하고, 종횡비가 높은 구조에 대한 성막이 가능하고, 펀홀 등의 결함이 적은 성막이 가능하고, 피복성이 우수한 성막이 가능하고, 저온에서의 성막이 가능하다는 등의 효과가 있다. 또한 PEALD법에서는 플라스마를 이용함으로써 더 낮은 온도에서 성막을 수행할 수 있기 때문에 바람직한 경우가 있다. 또한 ALD법에서 사용하는 전구체에는 탄소 또는 염소 등의 원소가 포함되는 것이 있다. 그러므로 ALD법에 의하여 제공된 막은, 다른 성막법에 의하여 제공된 막에 비하여 탄소 또는 염소 등의 원소를 많이 포함하는 경우가 있다. 또한 이들 원소의 정량은 XPS 또는 SIMS를 사용하여 수행할 수 있다. 또한 본 발명의 일 형태의 금속 산화물의 성막 방법에서는 ALD법을 사용하는데, 성막 시의 기관온도가 높은 조건의 채용 및 불순물 제거 처리의 실시 중 한쪽 또는 양쪽을 적용하기 때문에, 이들을 적용하지 않고 ALD법을 사용하는 경우에 비하여 막 내에 포함되는 탄소 및 염소의 양이 적은 경우가 있다.
- [0122] ALD법은 타깃 등으로부터 방출되는 입자가 퇴적되는 성막 방법과는 달리, 피처리물의 표면에서의 반응에 의하여 막이 형성되는 성막 방법이다. 따라서 피처리물의 형상의 영향을 받기 어렵고 단차 피복성이 양호한 성막 방법이다. 특히 ALD법은 우수한 단차 피복성과 우수한 두께 균일성을 가지기 때문에, 종횡비가 높은 개구부의 표면을 피복하는 경우 등에 적합하다. 다만 ALD법은 성막 속도가 비교적 느리기 때문에, 성막 속도가 빠른 스퍼터링법 또는 CVD법 등 다른 성막 방법과 조합하여 사용되는 것이 바람직한 경우도 있다. 예를 들어 스퍼터링법을 사용하여 제 1 금속 산화물을 성막하고, 상기 제 1 금속 산화물 위에 ALD법을 사용하여 제 2 금속 산화물을 성막하는 방법 등이 있다. 예를 들어 상기 제 1 금속 산화물이 결정부를 가지는 경우, 상기 제 2 금속 산화물이 상기 결정부를 핵으로 하여 결정 성장하는 경우가 있다.
- [0123] ALD법은 원료 가스의 도입량을 변화시킴으로써, 얻어지는 막의 조성을 제어할 수 있다. 예를 들어 ALD법은 원료 가스의 도입량, 도입 횟수(펄스 횟수라고도 함) 1 펄스에 필요한 시간(펄스 시간이라고도 함) 등을 조절함으로써, 임의의 조성의 막을 성막할 수 있다. 또한 예를 들어 ALD법은 성막하면서 원료 가스를 변화시킴으로써, 조성이 연속적으로 변화된 막을 성막할 수 있다. 원료 가스를 변화시키면서 성막하는 경우에는, 복수의 성막실을 사용하여 성막하는 경우에 비하여, 반송 및 압력 조정에 걸리는 시간이 불필요하기 때문에 성막에 걸리는 시간을 단축할 수 있다. 따라서 반도체 장치의 생산성을 높일 수 있는 경우가 있다.
- [0124] <금속 산화물을 포함한 트랜지스터>
- [0125] 다음으로, 금속 산화물(산화물 반도체)을 트랜지스터에 사용하는 경우에 대하여 설명한다. 이하에서는 반도체 층에 산화물 반도체를 사용한 트랜지스터를 OS 트랜지스터라고 기재하고, 반도체층에 실리콘을 사용한 트랜지스터를 Si 트랜지스터라고 기재하는 경우가 있다.
- [0126] 본 발명의 일 형태의 금속 산화물(산화물 반도체)을 트랜지스터에 사용함으로써 전계 효과 이동도가 높은 트랜

지스터를 실현할 수 있다. 또한 신뢰성이 높은 트랜지스터를 실현할 수 있다. 또한 미세화 또는 고집적화된 트랜지스터를 실현할 수 있다. 예를 들어 채널 길이가 2nm 이상 30nm 이하인 트랜지스터를 제작할 수 있다.

[0127] 트랜지스터의 채널 형성 영역에는 캐리어 농도가 낮은 산화물 반도체를 사용하는 것이 바람직하다. 예를 들어 산화물 반도체의 채널 형성 영역의 캐리어 농도는  $1 \times 10^{18} \text{ cm}^{-3}$  이하,  $1 \times 10^{17} \text{ cm}^{-3}$  이하,  $1 \times 10^{16} \text{ cm}^{-3}$  이하,  $1 \times 10^{15} \text{ cm}^{-3}$  이하,  $1 \times 10^{14} \text{ cm}^{-3}$  이하,  $1 \times 10^{13} \text{ cm}^{-3}$  이하,  $1 \times 10^{12} \text{ cm}^{-3}$  이하,  $1 \times 10^{11} \text{ cm}^{-3}$  이하, 또는  $1 \times 10^{10} \text{ cm}^{-3}$  이하인 것이 바람직하다. 또한 채널 형성 영역의 캐리어 농도의 하한값에 대해서는 특별히 한정되지 않지만, 예를 들어  $1 \times 10^{-9} \text{ cm}^{-3}$  으로 할 수 있다.

[0128] 또한 산화물 반도체막의 캐리어 농도를 낮추는 경우에는, 산화물 반도체막 내의 불순물 농도를 낮추고 결함 준위 밀도를 낮춘다. 본 명세서 등에서 불순물 농도가 낮고 결함 준위 밀도가 낮은 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 한다. 또한 캐리어 농도가 낮은 산화물 반도체를 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체라고 부르는 경우가 있다.

[0129] 또한 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 결함 준위 밀도가 낮기 때문에 트랩 준위 밀도도 낮아지는 경우가 있다.

[0130] 또한 산화물 반도체의 트랩 준위에 포획된 전하는 소실되는 데 걸리는 시간이 길고, 마치 고정 전하처럼 작용하는 경우가 있다. 그러므로 트랩 준위 밀도가 높은 산화물 반도체에 채널 형성 영역이 형성되는 트랜지스터는 전기 특성이 불안정해지는 경우가 있다.

[0131] 따라서 트랜지스터의 전기 특성을 안정적으로 하기 위해서는, 산화물 반도체 내의 불순물 농도를 저감하는 것이 유효하다. 또한 산화물 반도체 내의 불순물 농도를 저감하기 위해서는, 균접한 막 내의 불순물 농도도 저감하는 것이 바람직하다. 불순물로서는 수소, 탄소, 질소 등이 있다. 또한 산화물 반도체 내의 불순물이란, 예를 들어 산화물 반도체를 구성하는 주성분 이외를 말한다. 예를 들어 농도가 0.1atomic% 미만인 원소는 불순물이라고 할 수 있다.

[0132] 또한 산화물 반도체의 밴드 갭은 실리콘의 밴드 갭(대표적으로는 1.1eV)보다 큰 것이 바람직하고, 바람직하게는 2eV 이상, 더 바람직하게는 2.5eV 이상, 더 바람직하게는 3.0eV 이상이다. 실리콘보다 밴드 갭이 큰 산화물 반도체를 사용함으로써 트랜지스터의 오프 전류(Ioff라고도 부름)를 저감할 수 있다.

[0133] 또한 Si 트랜지스터에서는 트랜지스터의 미세화가 진행됨에 따라 단채널 효과(ショート チャネル エフェクト: Short Channel Effect: SCE라고도 함)가 발현한다. 그러므로 Si 트랜지스터는 미세화가 어렵다. 단채널 효과가 발현하는 요인의 하나로서 실리콘의 밴드 갭이 작은 것을 들 수 있다. 한편, OS 트랜지스터는 밴드 갭이 큰 반도체 재료인 산화물 반도체를 사용하기 때문에 단채널 효과를 억제할 수 있다. 바꿔 말하면, OS 트랜지스터는 단채널 효과가 없거나 단채널 효과가 매우 적은 트랜지스터이다.

[0134] 또한 단채널 효과란 트랜지스터의 미세화(채널 길이의 축소)에 따라 현재화되는 전기 특성의 열화이다. 단채널 효과의 구체적인 예로서는 문턱 전압의 저하, 서브스레숄드 스윙값(S값이라고 표기하는 경우가 있음)의 증대, 누설 전류의 증대 등이 있다. 여기서 S값이란, 드레인 전압을 일정하게 하여 드레인 전류를 한 자릿수 변화시키는 서브스레숄드 영역에서의 게이트 전압의 변화량을 말한다.

[0135] 또한 단채널 효과에 대한 내성의 지표로서 특성 길이(Characteristic Length)가 널리 사용되고 있다. 특성 길이란, 채널 형성 영역의 페텐셜의 굴곡성의 지표이다. 특성 길이가 짧을수록 페텐셜이 가파르게 상승되기 때문에 단채널 효과에 강하다고 할 수 있다.

[0136] OS 트랜지스터는 축적형 트랜지스터이고, Si 트랜지스터는 반전형 트랜지스터이다. 따라서 Si 트랜지스터에 비하여 OS 트랜지스터는 소스 영역-채널 형성 영역 사이의 특성 길이 및 드레인 영역-채널 형성 영역 사이의 특성 길이가 짧다. 따라서 OS 트랜지스터는 Si 트랜지스터보다 단채널 효과에 강하다. 즉 채널 길이가 짧은 트랜지스터를 제작하고자 하는 경우에는, OS 트랜지스터가 Si 트랜지스터보다 적합하다.

[0137] 채널 형성 영역이 i형 또는 실질적으로 i형이 될 때까지 산화물 반도체의 캐리어 농도를 낮춘 경우에도, 단채널 트랜지스터에서는 Conduction-Band-Lowering(CBL) 효과에 의하여 채널 형성 영역의 전도대 하단이 낮아지기 때문에, 소스 영역 또는 드레인 영역과 채널 형성 영역 사이의 전도대 하단의 에너지 차이는 0.1eV 이상 0.2eV 이하까지 작아질 가능성이 있다. 이에 의하여, OS 트랜지스터는 채널 형성 영역이 n형 영역이 되고, 소스 영역

및 드레인 영역이  $n^+$ 형 영역이 되는  $n^+/n^-/n^+$ 의 축적형 junction-less 트랜지스터 구조 또는  $n^+/n^-/n^+$ 의 축적형 non-junction 트랜지스터 구조를 가지는 것으로 간주할 수도 있다.

[0138] OS 트랜지스터를 상기 구조로 함으로써, 반도체 장치를 미세화 또는 고집적화하여도 양호한 전기 특성을 가질 수 있다. 예를 들어 OS 트랜지스터의 채널 길이 또는 게이트 길이가 20nm 이하, 15nm 이하, 10nm 이하, 7nm 이하, 또는 6nm 이하이며, 1nm 이상, 3nm 이상, 또는 5nm 이상인 경우에도 양호한 전기 특성을 얻을 수 있다. 한편, Si 트랜지스터에서는 단채널 효과가 발현하기 때문에, 20nm 이하 또는 15nm 이하의 게이트 길이로 하기 어려운 경우가 있다. 따라서 OS 트랜지스터는 Si 트랜지스터에 비하여 채널 길이가 짧은 트랜지스터에 적합하게 사용할 수 있다. 또한 게이트 길이란, 트랜지스터 동작 시에 캐리어가 채널 형성 영역 내부를 이동하는 방향에서의 게이트 전극의 길이이다.

[0139] 또한 OS 트랜지스터를 미세화함으로써 트랜지스터의 고주파 특성을 향상시킬 수 있다. 구체적으로는 트랜지스터의 차단 주파수를 향상시킬 수 있다. OS 트랜지스터의 게이트 길이가 상기 범위 내에 있는 경우, 예를 들어 실온 환경하에서 트랜지스터의 차단 주파수를 50GHz 이상, 바람직하게는 100GHz 이상, 더 바람직하게는 150GHz 이상으로 할 수 있다.

[0140] <금속 산화물 내의 불순물>

[0141] 여기서 금속 산화물(산화물 반도체) 내에서의 각 불순물의 영향에 대하여 설명한다.

[0142] 상술한 바와 같이, 산화물 반도체에서 의도치 않게 알루미늄이 많이 포함되면, 상기 산화물 반도체의 물성에 영향을 미치는 경우가 있다. 예를 들어 알루미늄이 산화 상태( $Al_2O_3$  등)로 존재하면 산화물 반도체가 고저항화된다. 그리고 고저항화된 산화물 반도체를 트랜지스터의 채널 형성 영역에 사용하면 트랜지스터의 온 전류가 낮게 된다.

[0143] 한편, 알루미늄은 산소와의 결합 해리 에너지가 높아 캐리어 억제 원소로서 기능한다. 산화물 반도체 내에 알루미늄이 존재함으로써, 산소 결손(Vo)이 생성되기 어렵게 할 수 있다. Vo가 생성되기 어려운 산화물 반도체를 트랜지스터의 채널 형성 영역에 사용하면, 트랜지스터의 광 네거티브 바이어스 열화를 억제할 수 있다.

[0144] 그러므로, 트랜지스터의 신뢰성과 전기 특성의 양쪽이 양호하게 되도록 산화물 반도체 내의 알루미늄 농도를 낮게 하는 것이 바람직하다. 또는 트랜지스터의 온 전류가 충분히 높게 되도록 알루미늄 농도를 매우 낮게 하는 것이 바람직하다.

[0145] 예를 들어 STEM-EDX에 의하여 얻어지는 산화물 반도체의 채널 형성 영역에서의 알루미늄 농도는 0.01atomic% 이상인 것이 바람직하고, 또한 10atomic% 이하인 것이 바람직하고, 5atomic% 이하인 것이 더 바람직하고, 3atomic% 이하인 것이 더 바람직하고, 1atomic% 이하인 것이 더 바람직하고, 0.1atomic% 이하인 것이 더 바람직하다. 또는 0.01atomic% 이하이어도 좋다.

[0146] 또한 SIMS에 의하여 얻어지는 산화물 반도체의 채널 형성 영역에서의 알루미늄 농도는  $1 \times 10^{22} \text{ atoms/cm}^3$  이하가 바람직하고,  $1 \times 10^{21} \text{ atoms/cm}^3$  이하가 더 바람직하고,  $1 \times 10^{20} \text{ atoms/cm}^3$  이하가 더 바람직하고,  $5 \times 10^{19} \text{ atoms/cm}^3$  이하가 더 바람직하고,  $1 \times 10^{19} \text{ atoms/cm}^3$  이하가 더 바람직하고,  $5 \times 10^{18} \text{ atoms/cm}^3$  이하가 더 바람직하고,  $1 \times 10^{18} \text{ atoms/cm}^3$  이하가 더 바람직하다.

[0147] SIMS 분석은 그 원리상, 시료 표면 근방 및 재질이 상이한 막들의 계면 근방의 데이터를 정확히 얻기 어려운 것이 알려져 있다. 그래서, 막 내에서의 어느 원소의 농도를 SIMS로 분석하는 경우, 값에 극단적인 변동이 없고 거의 일정한 값이 얻어지는 영역에서의 평균값을 상기 원소의 농도로서 채용한다. 또한 측정 대상이 되는 막의 두께가 작은 경우, 인접한 막 내의 원소의 영향을 받아, 거의 일정한 값이 얻어지는 영역을 찾을 수 없을 경우가 있다. 이 경우, 상기 원소의 농도의 최댓값 또는 최솟값을 상기 막 내의 원소의 농도로서 채용할 수 있다. 또한 최댓값을 의미하는 피크, 최솟값을 의미하는 골짜기가 존재하지 않는 경우에는 변곡점의 값을 상기 원소의 농도로서 채용할 수 있다.

[0148] 또한 산화물 반도체를 XPS 분석함으로써 얻어지는 Al2p의 스펙트럼에 의하여 알루미늄의 존재, 나아가서는 존재하는 알루미늄의 상태를 확인할 수 있다. 예를 들어 74.2eV 이상 74.8eV 이하의 범위에 피크 위치를 가지는 경우에는, 알루미늄이 산화 상태로 존재한다고 할 수 있다.

[0149] 산화물 반도체에 14족 원소의 하나인 실리콘 또는 탄소가 포함되면 산화물 반도체에서 결함 준위가 형성된다.

그러므로 SIMS에 의하여 얻어지는 산화물 반도체의 채널 형성 영역에서의 탄소 농도는  $1 \times 10^{20} \text{ atoms/cm}^3$  이하, 바람직하게는  $5 \times 10^{19} \text{ atoms/cm}^3$  이하, 더 바람직하게는  $3 \times 10^{19} \text{ atoms/cm}^3$  이하, 더 바람직하게는  $1 \times 10^{19} \text{ atoms/cm}^3$  이하, 더 바람직하게는  $3 \times 10^{18} \text{ atoms/cm}^3$  이하, 더 바람직하게는  $1 \times 10^{18} \text{ atoms/cm}^3$  이하로 한다. 또한 SIMS에 의하여 얻어지는 산화물 반도체의 채널 형성 영역에서의 실리콘 농도는  $1 \times 10^{20} \text{ atoms/cm}^3$  이하, 바람직하게는  $5 \times 10^{19} \text{ atoms/cm}^3$  이하, 더 바람직하게는  $3 \times 10^{19} \text{ atoms/cm}^3$  이하, 더 바람직하게는  $1 \times 10^{19} \text{ atoms/cm}^3$  이하, 더 바람직하게는  $3 \times 10^{18} \text{ atoms/cm}^3$  이하, 더 바람직하게는  $1 \times 10^{18} \text{ atoms/cm}^3$  이하로 한다.

[0150] 또한 산화물 반도체에 질소가 포함되면, 캐리어인 전자가 발생하고 캐리어 농도가 증가되어 n형화되기 쉽다. 그러므로 질소가 포함되는 산화물 반도체를 반도체로서 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 또는 산화물 반도체에 질소가 포함되면 트랩 준위가 형성되는 경우가 있다. 이 결과, 트랜지스터의 전기 특성이 불안정해지는 경우가 있다. 그러므로 SIMS에 의하여 얻어지는 산화물 반도체의 채널 형성 영역에서의 질소 농도는  $1 \times 10^{20} \text{ atoms/cm}^3$  이하, 바람직하게는  $5 \times 10^{19} \text{ atoms/cm}^3$  이하, 더 바람직하게는  $1 \times 10^{19} \text{ atoms/cm}^3$  이하, 더 바람직하게는  $5 \times 10^{18} \text{ atoms/cm}^3$  이하, 더 바람직하게는  $1 \times 10^{18} \text{ atoms/cm}^3$  이하, 더 바람직하게는  $5 \times 10^{17} \text{ atoms/cm}^3$  이하로 한다.

[0151] 또한 산화물 반도체에 포함되는 수소는 금속 원자와 결합하는 산소와 반응하여 물이 되기 때문에 산소 결손을 형성하는 경우가 있다. 상기 산소 결손에 수소가 들어감으로써, 캐리어인 전자가 생성되는 경우가 있다. 또한 수소의 일부가 금속 원자와 결합하는 산소와 결합하여, 캐리어인 전자를 생성하는 경우가 있다. 따라서 수소가 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 그러므로 산화물 반도체의 채널 형성 영역에서의 수소는 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로는 SIMS에 의하여 얻어지는 산화물 반도체의 채널 형성 영역에서의 수소 농도는  $1 \times 10^{20} \text{ atoms/cm}^3$  이하, 바람직하게는  $5 \times 10^{19} \text{ atoms/cm}^3$  이하, 더 바람직하게는  $1 \times 10^{19} \text{ atoms/cm}^3$  이하, 더 바람직하게는  $5 \times 10^{18} \text{ atoms/cm}^3$  이하, 더 바람직하게는  $1 \times 10^{18} \text{ atoms/cm}^3$  이하로 한다.

[0152] 또한 산화물 반도체에 알칼리 금속 또는 알칼리 토금속이 포함되면, 결함 준위를 형성하고 캐리어를 생성하는 경우가 있다. 따라서 알칼리 금속 또는 알칼리 토금속이 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 그러므로 SIMS에 의하여 얻어지는 산화물 반도체의 채널 형성 영역 내의 알칼리 금속 또는 알칼리 토금속의 농도를  $1 \times 10^{18} \text{ atoms/cm}^3$  이하로, 바람직하게는  $2 \times 10^{16} \text{ atoms/cm}^3$  이하로 한다.

[0153] 불순물이 충분히 저감된 산화물 반도체를 트랜지스터의 채널 형성 영역에 사용함으로써, 안정된 전기 특성을 부여할 수 있다.

[0154] <성막 방법 1>

[0155] 다음으로 본 발명의 일 형태의 금속 산화물의 성막 방법에 대하여 설명한다. 이하에서는 ALD법을 이용한 성막 장치(이하 ALD 장치라고도 함)를 사용하여 금속 산화물을 성막하는 방법에 대하여 설명한다.

[0156] ALD법을 이용한 성막 장치에서는, 반응을 위한 제 1 원료 가스(전구체, 금속 전구체라고 부르는 경우도 있음)와 제 2 원료 가스(반응제, 산화제, 비금속 전구체라고 부르는 경우도 있음)를 번갈아 체임버에 도입하고, 이들 원료 가스의 도입을 반복함으로써 성막을 수행한다. 또한 원료 가스의 도입의 전환은, 예를 들어 각각의 스위칭 밸브(고속 밸브라고 부르는 경우도 있음)를 전환하여 수행할 수 있다. 또한 원료 가스를 도입할 때, 질소( $N_2$ ), 아르곤(Ar), 또는 헬륨(He) 등의 불활성 가스를 캐리어 가스로서 원료 가스와 함께 체임버에 도입하여도 좋다. 캐리어 가스를 사용함으로써, 원료 가스의 휘발성이 낮거나 증기압이 낮은 경우에도, 원료 가스가 배관 내부 및 밸브 내부에 흡착되는 것을 억제하고, 원료 가스를 체임버에 도입할 수 있다. 또한 형성되는 막의 균일성도 향상되어 바람직하다.

[0157] 본 발명의 일 형태인 3층의 층상 결정 구조를 가지는 금속 산화물을 ALD법을 사용하여 성막하는 방법의 일례에 대하여 도 1의 (A) 내지 (E)를 사용하여 설명한다.

[0158] 우선 제 1 단계로서, 도 1의 (A)에 나타낸 바와 같이, 전구체(11a)를 체임버에 도입하여 기판(10)의 표면에 전구체(11a)를 흡착시킨다.

- [0159] 여기서 도 1의 (A)에 나타낸 바와 같이, 전구체(11a)가 기판(10)의 표면에 흡착됨으로써, 표면 화학 반응의 자기 정지 기구가 작용하므로, 기판(10) 위의 전구체(11a)의 층 위에 전구체(11a)가 더 흡착되지는 않는다. 또한 표면 화학 반응의 자기 정지 기구가 작용하는 기판 온도의 적정 범위를 ALD Window라고도 한다. ALD Window는 전구체의 온도 특성, 증기압, 분해 온도 등으로 결정된다.
- [0160] 다음으로 제 2 단계로서, 불활성 가스(예를 들어 아르곤, 헬륨, 또는 질소)를 체임버에 도입하여 과잉한 전구체(11a) 및 반응 생성물 등을 체임버로부터 배출한다. 제 2 단계는 퍼지(purge)라고도 불린다.
- [0161] 제 2 단계에서는 불활성 가스를 체임버에 도입하는 대신에, 진공 배기를 수행하여 과잉한 전구체 및 반응 생성물 등을 체임버로부터 배출하여도 좋다. 또한 본 명세서 등에서 진공 배기란, 적어도 대기압보다 낮은 압력(감압 상태)으로 배기하는 것을 가리킨다.
- [0162] 다음으로 제 3 단계로서, 도 1의 (B)에 나타낸 바와 같이, 반응제(12a)(예를 들어 산화제)를 체임버에 도입하여 기판(10)의 표면에 흡착된 전구체(11a)와 반응시켜, 전구체(11a)를 구성하는 금속 원소를 기판(10)에 흡착시킨 채로 전구체(11a)에 포함되는 성분의 일부를 이탈시킨다. 이에 의하여, 전구체(11a)의 일부가 산화되어 형성된 산화물(13a)의 층이 기판(10)의 표면에 형성된다.
- [0163] 산화제로서는 오존( $O_3$ ), 산소( $O_2$ ), 물( $H_2O$ ), 이산화 질소( $N_2O$ ), 과산화 수소( $H_2O_2$ ), 및 이들의 플라스마, 라디칼, 이온 등을 들 수 있다.
- [0164] 또한 플라스마 ALD법을 수행하는 경우에는, 산화제로서 산소를 상시 계속 공급하고, 제 3 단계에서 플라스마를 발생시켜도 좋다. 이에 의하여, 제 3 단계에서 산소 플라스마가 형성되어 반응제(12a)로서 기능한다. 이 경우, 제 3 단계 이외에서 상기 온도로 가열된 산소와 반응하지 않는 전구체(11a)를 사용하면 좋다.
- [0165] 다음으로 제 4 단계로서, 불활성 가스의 도입 또는 진공 배기에 의하여 과잉한 반응제(12a) 및 반응 생성물 등을 체임버로부터 배출한다.
- [0166] 다음으로 도 1의 (C)에 나타낸 바와 같이, 전구체(11a)와 다른 금속 원소를 포함한 전구체(11b)를 도입하고 제 1 단계와 같은 공정을 수행하여 산화물(13a)의 층의 표면에 전구체(11b)를 흡착시킨다.
- [0167] 여기서 도 1의 (C)에 나타낸 바와 같이, 전구체(11b)가 산화물(13a)의 층에 흡착됨으로써, 표면 화학 반응의 자기 정지 기구가 작용하므로, 기판(10) 위의 전구체(11b)의 층 위에 전구체(11b)가 더 흡착되지는 않는다.
- [0168] 다음으로 제 2 단계와 마찬가지로, 불활성 가스의 도입 또는 진공 배기에 의하여 과잉한 전구체(11b) 및 반응 생성물 등을 체임버로부터 배출한다.
- [0169] 다음으로 도 1의 (D)에 나타낸 바와 같이, 반응제(12b)를 체임버에 도입하여 제 3 단계와 같은 공정을 수행한다. 이에 의하여, 전구체(11b)의 일부가 산화되어 형성된 산화물(13b)의 층이 산화물(13a)의 층 위에 형성된다.
- [0170] 반응제(12b)는 반응제(12a)와 같은 재료이어도 좋고, 다른 재료이어도 좋다.
- [0171] 다음으로 제 4 단계와 마찬가지로, 불활성 가스의 도입 또는 진공 배기에 의하여 과잉한 반응제(12b) 및 반응 생성물 등을 체임버로부터 배출한다.
- [0172] 또한 마찬가지로 제 1 단계 내지 제 4 단계를 수행하여 산화물(13c)의 층을 산화물(13b)의 층 위에 형성한다. 산화물(13c)의 층을 형성할 때에는 전구체(11a) 및 전구체(11b)와는 다른 금속 원소를 포함한 화합물을 전구체로서 사용한다. 반응제는 반응제(12a, 12b) 중 한쪽 또는 양쪽과 같은 재료이어도 좋고, 어느 쪽과도 다른 재료이어도 좋다.
- [0173] 이와 같이, 산화물(13a) 내지 산화물(13c)을 형성하는 공정을 반복적으로 수행함으로써, 산화물(13a) 내지 산화물(13c)의 적층 구조(14)가 반복되는 층상 결정 구조의 금속 산화물을 형성할 수 있다(도 1의 (E)). 즉 제 1 단계 내지 제 4 단계를 한 세트(1사이클이라고도 함)로 하여 산화물의 층을 형성할 수 있고, 상기 세트를 반복함으로써 복수의 산화물의 층이 적층된 층상 결정 구조를 형성할 수 있다.
- [0174] 또한 층상 결정 구조의 금속 산화물의 두께는 1nm 이상 100nm 미만이 바람직하고, 3nm 이상 20nm 미만이 더 바람직하다.
- [0175] 층상 결정 구조의 금속 산화물, 특히 CAAC 구조의 금속 산화물을 형성하는 데에 있어서, 도 1에 나타낸 공정은 기판을 가열하면서 수행하는 것이 바람직하다. 기판 온도를 200°C 이상 600°C 이하로 하는 것이 바람직하고,

300°C 이상 450°C 이하로 하는 것이 더 바람직하다. 또한 기판 온도는 사용하는 전구체의 어느 분해 온도보다 낮은 온도로 하는 것이 바람직하다. 이에 의하여, ALD법에 의한 성막 중에 사용되는 복수 종류의 전구체가 각각 분해되지 않고 대상물(예를 들어 기판)에 흡착될 수 있다.

[0176] 이러한 온도 범위에서 기판을 가열하면서 상기 성막을 수행함으로써, 제 1 단계 내지 제 4 단계의 각 과정에서, 전구체 또는 반응체 등에 포함되는 수소 또는 탄소 등의 불순물을 금속 산화물 내에서 제거할 수 있다. 예를 들어 금속 산화물 내의 탄소를 CO<sub>2</sub>, CO로서 방출시킬 수 있다. 또한 예를 들어 금속 산화물 내의 수소를 H<sub>2</sub>O로서 방출시킬 수 있다. 또한 상기 불순물의 제거와 동시에 금속 원자 및 산소 원자가 재배열되어, 각 산화물의 층을 높은 질서성으로 배열시킬 수 있다. 따라서 결정성이 높은 층상 결정 구조의 금속 산화물, 특히 CAAC 구조의 금속 산화물을 형성할 수 있다.

[0177] 또한 도 1의 (A)에서는 기판(10) 위에 전구체(11a)를 흡착시키는 구성을 예시하였지만, 이에 한정되지 않는다. 예를 들어 기판(10) 위에 절연막(산소, 질소, 실리콘, 알루미늄, 하프늄 등의 하나 또는 복수를 포함한 절연막) 또는 도전막(텅스텐, 탄탈럼, 몰리브데늄, 지르코늄, 알루미늄, 타이타늄 등의 하나 또는 복수를 포함한 도전막) 등을 제공하고, 그 위에 전구체(11a)를 흡착시켜도 좋다. 또는 기판(10) 위에 있는 절연막 및 도전막 등으로 형성된 구조물 위에 전구체(11a)를 흡착시켜도 좋다.

[0178] 상기 온도 범위에서 기판을 가열하면서 성막을 수행하기 때문에, 상기 성막에 사용하는 전구체는 분해 온도가 지나치게 낮지 않은 것이 바람직하다. 한편, 분해 온도가 지나치게 높으면, 취급이 어렵고 성막 시의 기판 온도를 매우 높게 할 필요가 있어 바람직하지 않다. 예를 들어 전구체의 분해 온도가 200°C 이상 700°C 이하인 것이 바람직하고, 300°C 이상 650°C 이하인 것이 더 바람직하고, 400°C 이상 600°C 이하인 것이 더 바람직하다.

[0179] 무기 전구체는 수소 및 탄소 등의 불순물이 적어, 성막되는 금속 산화물 내의 불순물 농도가 증가되는 것을 억제할 수 있다. 한편 무기 전구체는 유기 전구체에 비하여 분해 온도가 높은 경향이 있다.

[0180] 그래서 본 발명의 일 형태의 금속 산화물의 성막 방법에서는 유기 전구체를 사용하고, 기판을 가열하면서 성막하거나 불순물 제거 처리를 수행하는 것 등에 의하여, 성막되는 금속 산화물 내의 불순물 농도의 증가를 억제하는 것을 도모한다.

[0181] 불순물 제거 처리를 수행하는 빈도는 특별히 한정되지 않는다. 빈도가 높을수록 불순물의 제거가 용이해져 바람직하지만, 생산성이 낮아질 우려가 있다. 빈도가 낮을수록 금속 산화물의 성막 공정 시간을 단축할 수 있어 바람직하지만, 불순물을 충분히 제거할 수 없을 우려가 있다. 예를 들어 산화물(13a) 내지 산화물(13c)을 형성하는 공정을 반복적으로 수행하고, 산화물의 층을 복수 형성할 때마다 불순물 제거 처리를 수행하는 것이 바람직하다. 예를 들어 산화물(13a) 내지 산화물(13c) 중 어느 한 층을 형성할 때마다 불순물 제거 처리를 수행할 수도 있지만, 산화물의 층을 복수 형성할 때마다 또는 적층 구조(14)를 복수 형성할 때마다 불순물 제거 처리를 수행하면 공정이 간략화될 수 있어 더 바람직하다. 또는 금속 산화물의 성막이 끝난 후에, 불순물 제거 처리를 한 번 수행하여도 좋다.

[0182] 예를 들어 산화물의 층을 n층(n은 1 이상 100 이하의 정수, 바람직하게는 2 이상 50 이하의 정수, 더 바람직하게는 5 이상 30층 이하의 정수) 형성할 때마다 불순물 제거 처리를 수행하여도 좋다. 예를 들어 산화물(13a, 13b, 13c, 13a, 13b)을 이 순서대로 형성하고 불순물 제거 처리를 수행하고, 산화물(13c, 13a, 13b, 13c, 13a)을 이 순서대로 형성하고 불순물 제거 처리를 수행하고, 산화물(13b, 13c, 13a, 13b, 13c)을 이 순서대로 형성하고 불순물 제거 처리를 수행하는 것을 반복함으로써, 금속 산화물을 형성할 수 있다.

[0183] 또한 예를 들어 적층 구조(14)를 m층(m은 1 이상 50 이하의 정수, 바람직하게는 2 이상 30 이하의 정수, 더 바람직하게는 5 이상 10 이하의 정수) 형성할 때마다 불순물 제거 처리를 수행하여도 좋다.

[0184] 상술한 바와 같이 불순물 제거 처리로서는 예를 들어 플라스마 처리, 마이크로파 처리, 및 가열 처리가 있다. 또한 불순물 제거 처리는 광을 조사하면서 수행하여도 좋다.

[0185] 불순물 제거 처리를 수행하는 체임버는 제 1 단계 내지 제 4 단계를 수행하는 체임버와 같은 체임버이어도 좋고, 다른 체임버이어도 좋다. 즉 성막용 체임버와 불순물 제거 처리용 체임버가 같아도 좋고, 달라도 좋다.

[0186] 플라스마 처리 또는 마이크로파 처리를 수행할 때는 각각 기판의 온도를 실온(예를 들어 25°C) 이상, 100°C 이상, 200°C 이상, 300°C 이상, 또는 400°C 이상으로 하고, 또한 500°C 이하 또는 450°C 이하로 하는 것이 바람직하다. 또한 가열 처리의 온도는 100°C 이상, 200°C 이상, 300°C 이상, 또는 400°C 이상으로 하고, 또한 500°C 이하 또는 450°C 이하로 하는 것이 바람직하다. 불순물 제거 처리를 수행할 때의 온도는 특히 트랜지스터 또는

반도체 장치의 제작 공정에서의 최고 온도 이하의 온도로 함으로써, 생산성을 저하시키지 않고 금속 산화물 내의 불순물의 함유량을 저감할 수 있기 때문에 바람직하다.

[0187] 또한 상술한 제 3 단계에서 산소 플라스마를 사용하는 경우, 제 3 단계의 처리 시간을 길게 함으로써 불순물 제거 처리로서의 플라스마 처리를 겸할 수 있다. 예를 들어 제 3 단계의 처리 시간을 여러 번에 한 번, 다른 번 보다 길게 함으로써 불순물 제거 처리를 겸하는 공정으로 하여도 좋다.

[0188] 여기서 마이크로파 처리란, 예를 들어 마이크로파를 사용하여 고밀도 플라스마를 발생시키는 전원을 가진 장치를 사용한 처리를 말한다. 또한 본 명세서 등에서 마이크로파란, 300MHz 이상 300GHz 이하의 주파수를 가지는 전자기파를 가리키는 것으로 한다. 마이크로파 처리는 마이크로파 여기 고밀도 플라스마 처리라고도 할 수 있다.

[0189] 마이크로파 처리에서는, 예를 들어 마이크로파를 사용하여 고밀도 플라스마를 발생시키는 전원을 가지는 마이크로파 처리 장치를 사용하는 것이 바람직하다. 여기서 마이크로파 처리 장치의 주파수는 300MHz 이상 300GHz 이하가 바람직하고, 2.4GHz 이상 2.5GHz 이하가 더 바람직하고, 예를 들어 2.45GHz로 할 수 있다. 고밀도 플라스마를 사용함으로써 밀도가 높은 산소 라디칼을 생성할 수 있다. 또한 마이크로파 처리 장치의 마이크로파를 인가하는 전원의 전력은 1000W 이상 10000W 이하가 바람직하고, 2000W 이상 5000W 이하가 더 바람직하다. 또한 마이크로파 처리 장치는 기판 측에 RF를 인가하는 전원을 가져도 좋다. 또한 기판 측에 RF를 인가함으로써, 고밀도 플라스마에 의하여 생성된 산소 이온을 막 내에 효율적으로 도입할 수 있다.

[0190] 마이크로파 처리는 감압하에서 수행하는 것이 바람직하고, 압력은 10Pa 이상 1000Pa 이하가 바람직하고, 300Pa 이상 700Pa 이하가 더 바람직하다. 또한 처리 온도는 실온(25°C) 이상 750°C 이하가 바람직하고, 300°C 이상 500°C 이하가 더 바람직하고, 400°C 이상 450°C 이하로 할 수 있다.

[0191] 또한 마이크로파 처리 또는 플라스마 처리를 수행한 후에, 외기에 노출시키지 않고 연속하여 가열 처리를 수행하여도 좋다. 가열 처리의 온도는 예를 들어 100°C 이상 750°C 이하인 것이 바람직하고, 300°C 이상 500°C 이하인 것이 더 바람직하고, 400°C 이상 450°C 이하인 것이 더 바람직하다.

[0192] 마이크로파 처리는 예를 들어 산소 가스와 아르곤 가스를 사용하여 수행할 수 있다. 여기서 산소 유량비( $O_2/(O_2+Ar)$ )는 0%보다 크고 100% 이하로 한다. 바람직하게는 산소 유량비( $O_2/(O_2+Ar)$ )를 0%보다 크고 50% 이하로 한다. 더 바람직하게는 산소 유량비( $O_2/(O_2+Ar)$ )를 10% 이상 40% 이하로 한다. 더 바람직하게는 산소 유량비( $O_2/(O_2+Ar)$ )를 10% 이상 30% 이하로 한다.

[0193] 또한 가열 처리는 질소 가스 분위기 또는 불활성 가스 분위기, 혹은 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행한다. 예를 들어 질소 가스와 산소 가스의 혼합 분위기에서 가열 처리를 수행하는 경우, 산소 가스를 20% 정도로 하는 것이 바람직하다. 또한 가열 처리는 감압 상태에서 수행하여도 좋다. 또는 질소 가스 분위기 또는 불활성 가스 분위기에서 가열 처리를 수행한 후에, 이탈된 산소를 보충하기 위하여 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 가열 처리를 수행하여도 좋다. 또한 가열 처리는 초건조 공기(물의 함유량이 20ppm 이하, 바람직하게는 1ppm 이하, 바람직하게는 10ppb 이하의 공기)의 분위기하에서 수행하여도 좋다.

[0194] 가열 처리에서 사용하는 가스는 고순도화되어 있는 것이 바람직하다. 예를 들어 가열 처리에서 사용하는 가스에 포함되는 수분량은 1ppb 이하가 바람직하고, 0.1ppb 이하가 더 바람직하고, 0.05ppb 이하가 더 바람직하다. 고순도화된 가스를 사용하여 가열 처리를 수행함으로써, 금속 산화물 내에 수분 등이 들어가는 것을 가능한 한 방지할 수 있다.

[0195] 이와 같이 가열 처리를 수행함으로써, 금속 산화물에 포함되는 수소 또는 탄소 등의 불순물을 제거할 수 있다. 예를 들어 금속 산화물 내의 탄소를  $CO_2$  및  $CO$ 로서 방출시키고, 금속 산화물 내의 수소를  $H_2O$ 로서 방출시킬 수 있다.

[0196] 또한 금속 산화물의 성막 후(소정의 총수의 적층 구조(14)를 모두 형성한 후, 다른 재료 또는 다른 조성의 막을 형성하기 전)에 가열 처리를 수행하는 것이 바람직하다. 특히 상기 ALD법에 의한 성막 후에 외기에 노출시키지 않고 연속하여 가열 처리를 수행하는 것이 바람직하다. 이로써 금속 산화물의 성막 후에, 막 내의 수소 또는 탄소 등의 불순물을 증가시키지 않고 가열 처리를 수행할 수 있다. 상기 가열 처리는 100°C 이상 500°C 이하에서 수행하는 것이 바람직하고, 200°C 이상 500°C 이하가 더 바람직하고, 250°C 이상 500°C 이하가 더 바람직하고, 300°C 이상 500°C 이하가 더 바람직하고, 350°C 이상 450°C 이하가 더 바람직하고, 400°C 이상 450°C 이하

가 더 바람직하다. 또한 가열 처리는 질소 가스 분위기 또는 불활성 가스 분위기, 혹은 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행한다. 또한 가열 처리는 감압 상태에서 수행하여도 좋다. 또는 질소 가스 분위기 또는 불활성 가스 분위기에서 가열 처리를 수행한 후에, 이탈된 산소를 보충하기 위하여 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 가열 처리를 수행하여도 좋다.

[0197] 이와 같이 가열 처리를 수행함으로써, 금속 산화물에 포함되는 수소 또는 탄소 등의 불순물을 제거할 수 있다. 예를 들어 금속 산화물 내의 탄소를 CO<sub>2</sub> 및 CO로서 방출시키고, 금속 산화물 내의 수소를 H<sub>2</sub>O로서 방출시킬 수 있다. 또한 상기 불순물의 제거와 동시에 금속 원자 및 산소 원자가 재배열되어 결정성을 향상시킬 수 있다. 따라서 결정성이 높은 층상 결정 구조의 금속 산화물, 특히 상기 CAAC 구조의 금속 산화물을 형성할 수 있다.

[0198] 또한 금속 산화물의 성막 후에 플라스마 처리 또는 마이크로파 처리를 수행하여도 좋다.

[0199] 또한 도 1에서는 산화물(13a) 내지 산화물(13c)의 적층 구조(14)가 반복되는 구조에 대하여 설명하였지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어 단층, 2층, 또는 4층 이상의 산화물의 층이 반복적으로 형성되는 금속 산화물로 하여도 좋다. 또한 도 1에서는 산화물(13a), 산화물(13b), 산화물(13c)의 순서를 바꾸지 않고 반복적으로 적층이 수행되었지만, 이에 한정되는 것이 아니다. 예를 들어 적층할 때마다 산화물(13a), 산화물(13b), 산화물(13c)의 순서를 바꿔도 좋다. 또한 막의 도중에서 산화물(13a), 산화물(13b), 산화물(13c)의 조성을 변경하여도 좋다. 또한 도 1에서는 산화물(13a), 산화물(13b), 산화물(13c)과 같이 상이한 산화물의 층이 인접되도록 제공되어 있지만, 이에 한정되는 것이 아니다. 예를 들어 산화물(13a), 산화물(13a), 산화물(13b), 산화물(13b), 산화물(13c)과 같이, 같은 산화물의 층을 연속적으로 제공하는 구성으로 하여도 좋다.

[0200] 또한 본 명세서에서 이하에 특별히 기재되어 있지 않으면, 반응제 또는 산화제로서 오존, 산소, 물을 사용하는 경우, 이들은 가스 상태 및 분자 상태에 한정되지 않고, 플라스마 상태, 라디칼 상태, 및 이온 상태의 것도 포함하는 것으로 한다. 플라스마 상태, 라디칼 상태, 또는 이온 상태의 산화제를 사용하여 성막하는 경우, 후술하는 라디칼 ALD 장치 또는 플라스마 ALD 장치를 사용하면 좋다.

[0201] 전구체에 포함되는 탄소 또는 수소 등의 불순물을 제거하기 위해서는, 상기 전구체에 산화제를 충분히 반응시키는 것이 바람직하다. 예를 들어 산화제를 도입하는 펄스 시간을 길게 하면 좋다. 금속 산화물의 성막 공정에서, 1사이클에서의 산화제를 공급하는 시간의 바람직한 예는 상술한 바와 같다. 또는 산화제를 여러 번 도입하여도 좋다. 산화제를 여러 번 도입하는 경우, 같은 종류의 산화제를 도입하여도 좋고, 상이한 종류의 산화제를 도입하여도 좋다. 예를 들어 물을 제 1 산화제로서 체임버에 도입한 후에 진공 배기를 수행하고, 수소를 포함하지 않는 오존 또는 산소를 제 2 산화제로서 체임버에 도입한 후에 진공 배기를 수행하여도 좋다.

[0202] 또한 앞의 설명에서는, 제 1 원료 가스를 체임버에 도입한 후에 제 2 원료 가스를 체임버에 도입하는 예를 설명하였지만, 본 발명은 이에 한정되지 않는다. 제 2 원료 가스를 체임버에 도입한 후에 제 1 원료 가스를 체임버에 도입하여도 좋다. 즉 먼저 제 3 단계 및 제 4 단계를 수행하고, 이어서 제 1 단계, 제 2 단계, 제 3 단계, 및 제 4 단계를 수행하고, 이후 제 1 단계 내지 제 4 단계를 반복 수행함으로써 성막을 수행하여도 좋다. 또한 제 3 단계 및 제 4 단계를 여러 번 반복한 후에 제 1 단계 내지 제 4 단계를 반복적으로 수행함으로써 성막을 하여도 좋다.

[0203] 이러한 식으로, 제 1 단계 전에 제 3 단계 및 제 4 단계를 한 번씩 또는 여러 번 수행하면 체임버 내의 성막 분위기를 제어할 수 있기 때문에 바람직하다. 예를 들어 제 3 단계에서 산화제로서 O<sub>3</sub> 및 O<sub>2</sub>를 도입함으로써 체임버 내를 산소 분위기로 할 수 있다. 체임버 내를 산소 분위기로 하여 성막을 하면, 형성되는 막 내의 산소 농도를 높일 수 있어 바람직하다. 또한 상기 막의 하지가 되는 절연체 및 산화물에도 산소를 공급할 수 있다. 이와 같은 방법을 사용하여 형성된 반도체 장치는 양호한 특성을 가지고 높은 신뢰성을 얻을 수 있다. 또한 예를 들어 제 3 단계에서 산화제로서 물을 도입함으로써 피형성면에 친수기를 형성할 수 있다. 이에 의하여 전구체의 흡착성을 더 향상시킬 수 있다.

[0204] 또한 제 1 단계 및 제 2 단계 후에, 제 3 단계에서의 제 2 원료 가스의 도입과 제 4 단계에서의 진공 배기 또는 불활성 가스의 도입을 여러 번 반복하여 수행하여도 좋다. 즉 제 1 단계, 제 2 단계, 제 3 단계, 제 4 단계, 제 3 단계, 제 4 단계와 같이, 제 3 단계와 제 4 단계를 반복하여 수행한 후에 제 1 단계 및 제 2 단계를 수행하여도 좋다.

[0205] 예를 들어 제 3 단계에서 산화제로서 O<sub>3</sub> 및 O<sub>2</sub>를 도입하고, 제 4 단계에서 불활성 가스의 도입을 수행하고, 이

공정을 여러 번 반복하여도 좋다. 또한 제 3 단계와 제 4 단계를 반복하는 경우, 반드시 같은 종류의 원료 가스의 도입을 반복할 필요는 없다. 예를 들어 첫 번째의 제 3 단계에서 산화제로서  $H_2O$ 를 사용하고, 두 번째 이후의 제 3 단계에서 산화제로서  $O_2$ 를 사용하여도 좋다.

[0206] 이러한 식으로, 체임버 내에서 산화제의 도입과 불활성 가스의 도입(또는 진공 배기)을 단시간에 여러 번 반복함으로써, 기판 표면에 흡착된 전구체로부터 불필요한 수소 원자, 탄소 원자 등을 더 확실하게 제거하고, 체임버 외에 배제할 수 있다. 또한 산화제의 종류를 2종류로 늘림으로써, 기판 표면에 흡착된 전구체로부터 불필요한 수소 원자 등을 더 많이 제거할 수 있다. 이와 같이, 성막 중에 수소 원자가 막 내로 들어가지 않도록 함으로써, 형성된 막에 포함되는 물, 수소 등을 저감할 수 있다.

[0207] 이와 같은 방법을 사용함으로써, TDS 분석에서  $100^{\circ}C$  이상  $700^{\circ}C$  이하 또는  $100^{\circ}C$  이상  $500^{\circ}C$  이하의 표면 온도의 범위에서, 물 분자의 이탈량이  $1.0 \times 10^{13}$  molecule/cm<sup>2</sup> 이상  $1.0 \times 10^{16}$  molecule/cm<sup>2</sup> 이하, 더 바람직하게는  $1.0 \times 10^{13}$  molecule/cm<sup>2</sup> 이상  $3.0 \times 10^{15}$  molecule/cm<sup>2</sup> 이하인 막을 형성할 수 있다.

[0208] ALD법은 열 에너지를 사용하여 전구체와 반응제를 반응시켜 수행하는 성막 방법이다. 전구체 및 반응제의 반응에 필요한 온도는 이들의 온도 특성, 증기압, 분해 온도 등에 따라 결정되지만,  $100^{\circ}C$  이상  $600^{\circ}C$  이하, 바람직하게는  $200^{\circ}C$  이상  $600^{\circ}C$  이하, 더 바람직하게는  $300^{\circ}C$  이상  $600^{\circ}C$  이하이다.

[0209] 또한 상기 전구체 및 반응제의 반응에 더하여, 제 3 원료 가스로서 플라스마 여기된 반응제도 체임버에 도입함으로써 처리를 수행하는 ALD법을 플라스마 ALD법이라고 부르는 경우가 있다. 이 경우, 제 3 원료 가스의 도입부에는 플라스마 생성 장치가 제공된다. 플라스마의 생성에는 유도 결합 플라스마(Inductively Coupled Plasma: ICP)를 사용할 수 있다. 또한 이에 대하여 전구체 및 반응제의 반응을 열 에너지로 수행하는 ALD법을 열 ALD법이라고 부르는 경우가 있다.

[0210] 플라스마 ALD법에서는, 제 3 단계에서 플라스마 여기된 반응제를 도입함으로써 성막을 수행한다. 또는 제 1 단계 내지 제 4 단계를 반복하여 수행하는 것과 동시에, 플라스마 여기된 반응제(제 2 반응제)를 도입함으로써 성막을 수행한다. 이 경우, 제 3 단계에서 도입되는 반응제를 제 1 반응제라고 부른다. 플라스마 ALD법에서 제 3 원료 가스로서 사용하는 제 2 반응제에는 상기 산화제와 같은 재료를 사용할 수 있다. 즉 제 2 반응제로서, 플라스마 여기된 오존, 산소, 및 물을 사용할 수 있다. 또한 제 2 반응제로서는 산화제 외에 질화제를 사용하여도 좋다. 질화제로서는 질소( $N_2$ ) 또는 암모니아( $NH_3$ )를 사용할 수 있다. 또한 질소( $N_2$ )와 수소( $H_2$ )의 혼합ガ스를 질화제로서 사용할 수 있다. 예를 들어 질소( $N_2$ ) 5%, 수소( $H_2$ ) 95%의 혼합 가스를 질화제로서 사용할 수 있다. 플라스마 여기된 질소 또는 암모니아를 도입하면서 성막을 수행함으로써 금속 질화막 등의 질화막을 형성할 수 있다.

[0211] 또한 제 2 반응제의 캐리어 가스로서 아르곤(Ar), 헬륨(He), 또는 질소( $N_2$ )를 사용하여도 좋다. 아르곤, 헬륨, 또는 질소 등의 캐리어 가스를 사용함으로써, 플라스마의 방전이 용이해지고, 플라스마 여기된 제 2 반응제가 용이하게 생성되기 때문에 바람직하다. 또한 플라스마 ALD법을 사용하여 금속 산화막 등의 산화막을 형성하는 경우, 캐리어 가스로서 질소를 사용하면 막 내에 질소가 혼입되어 원하는 막질을 얻을 수 없는 경우가 있다. 이 경우, 캐리어 가스로서 아르곤 또는 헬륨을 사용하는 것이 바람직하다.

[0212] ALD법은 매우 얇은 막을 균일한 막 두께로 성막할 수 있다. 또한 요철을 가지는 면에 대해서도 표면 피복률이 높다.

[0213] 또한 플라스마 ALD법에 의하여 성막함으로써, 열 ALD법에 비하여 더 낮은 온도에서의 성막이 가능하다. 플라스마 ALD법은 예를 들어  $100^{\circ}C$  이하에서도 성막 속도를 저하시키지 않고 성막을 수행할 수 있는 경우가 있다.

[0214] 또한 플라스마 ALD법을 수행하는 경우에는, 유도 결합형 플라스마(ICP) 또는 전자 사이클로트론 공명 플라스마(ECR) 등의 플라스마원과 기판의 사이를 띄우고 플라스마를 발생시킴으로써 플라스마 대미지를 억제할 수 있다.

[0215] <금속 산화물의 결정 내의 원자 배열>

[0216] 여기서 층상 결정 구조의 금속 산화물이 In-M-Zn 산화물인 경우의 결정 내의 원자 배열에 대하여 도 2의 (A) 내지 (D) 및 도 3의 (A) 내지 (D)를 사용하여 설명한다. 또한 도 2의 (B), (D), 도 3의 (B), (D)에서는 원자를 공(원형)으로 나타내고, 금속 원자와 산소 원자의 결합을 선으로 나타내었다. 도 2의 (B), (D), 도 3의 (B), (D)에서 In-M-Zn 산화물의 결정 구조에서의 c축 방향은 도면 중의 화살표로 나타내었다(c-axis). 또한 In-M-Zn

산화물의 결정 구조에서의 a-b면 방향은 도 2의 (B), (D), 도 3의 (B), (D) 중의 화살표로 나타낸 c축 방향에 수직인 방향이다.

[0217] 도 2의 (A)는 구조체(50)에 형성된 In-M-Zn 산화물을 포함한 산화물(60)을 나타낸 도면이다. 여기서 구조체란, 트랜지스터 등의 반도체 장치를 구성하는 요소를 가리킨다. 구조체(50)에는 기판, 게이트 전극, 소스 전극, 및 드레인 전극 등의 도전체, 게이트 절연막, 충간 절연막, 하지 절연막 등의 절연체, 금속 산화물 또는 실리콘 등의 반도체 등이 포함된다. 도 2의 (A)에서는 구조체(50)의 피성막면이 기판(도시하지 않았음)에 평행하게 배치되는 경우를 나타내었다.

[0218] 도 2의 (B)는 도 2의 (A)에서의 산화물(60)의 일부인 영역(53)에서의 결정 내의 원자 배열을 나타낸 확대도이다. 여기서 도 2의 (A) 및 (B)에 나타낸 산화물(60)의 조성은  $In:M:Zn=1:1:1$ [원자수비]이고, 결정 구조는  $YbFe_2O_4$ 형 구조로 한다. 또한 원소 M은 +3가의 금속 원소로 한다.

[0219] 도 2의 (B)에 나타낸 바와 같이, 산화물(60)이 가지는 결정은 인듐(In)과 산소를 포함한 층(21), 원소 M과 산소를 포함한 층(31), 아연(Zn)과 산소를 포함한 층(41)이 순차적으로 반복하여 적층되어 있다. 층(21), 층(31), 및 층(41)은 구조체(50)의 피성막면에 평행 또는 실질적으로 평행하게 배치되어 있다. 즉 산화물(60)의 a-b면은 구조체(50)의 피성막면에 평행 또는 실질적으로 평행하고, 산화물(60)의 c축은 구조체(50)의 피성막면의 법선 방향에 평행 또는 실질적으로 평행하다.

[0220] 도 2의 (B)에 나타낸 바와 같이, 상기 결정이 가지는 층(21), 층(31), 층(41)의 각각이 하나의 금속 원소와 산소로 구성됨으로써 결정성 좋게 배열되고, 상기 금속 산화물의 이동도를 높일 수 있다.

[0221] 또한  $In:M:Zn=1:1:1$ [원자수비]의 In-M-Zn 산화물은 도 2의 (B)에 나타낸 구조에 한정되는 것이 아니다. 층(21), 층(31), 층(41)의 적층 순서가 변경되어도 좋다. 예를 들어 층(21), 층(41), 층(31)의 순서로 반복적으로 적층되어도 좋다. 또는 층(21), 층(31), 층(41), 층(21), 층(41), 층(31)의 순서로 반복적으로 적층되어도 좋다. 또한 층(31)의 원소 M의 일부가 아연으로 치환되고, 층(41)의 아연의 일부가 원소 M으로 치환되어도 좋다.

[0222] 상기에서는 조성이  $In:M:Zn=1:1:1$ [원자수비]인 In-M-Zn 산화물을 형성하는 예를 나타내었지만, 조성식이  $In_{(1-\alpha)}M_{(1-\alpha)}O_3(ZnO)_m$ ( $\alpha$ 는 0보다 크고 1보다 작은 실수,  $m$ 은 양의 수)으로 나타내어지는 결정성 In-M-Zn 산화물은 마찬가지로 층상 결정 구조를 가질 수 있다. 이 예로서, 도 2의 (C) 및 (D)를 사용하여 조성이  $In:M:Zn=1:3:4$ [원자수비]인 In-M-Zn 산화물에 대하여 설명한다.

[0223] 도 2의 (C)는 구조체(50)에 형성된 In-M-Zn 산화물을 포함한 산화물(62)을 나타낸 도면이다. 도 2의 (D)는 도 2의 (C)에서의 산화물(62)의 일부인 영역(54)에서의 결정 내의 원자 배열을 나타낸 확대도이다.

[0224] 도 2의 (D)에 나타낸 바와 같이, 산화물(62)이 가지는 결정은 인듐(In)과 원소 M과 산소를 포함한 층(23), 아연(Zn)과 산소를 포함한 층(41), 및 원소 M과 산소를 포함한 층(31)을 가진다. 산화물(62)에서 복수의 층은 층(23), 층(41), 층(31), 층(41)의 순서로 반복적으로 적층되어 있다. 층(23), 층(31), 및 층(41)은 구조체(50)의 피성막면에 평행 또는 실질적으로 평행하게 배치되어 있다. 즉 산화물(62)의 a-b면은 구조체(50)의 피성막면에 평행 또는 실질적으로 평행하고, 산화물(62)의 c축은 구조체(50)의 피성막면의 법선 방향에 평행 또는 실질적으로 평행하다.

[0225] 또한  $In:M:Zn=1:3:4$ [원자수비]의 In-M-Zn 산화물은 도 2의 (D)에 나타낸 구조에 한정되는 것이 아니고,  $In:M:Zn=1:3:4$ [원자수비]의 범위 내에서 구조가 변화되어도 좋다. 예를 들어 층(23), 층(31), 층(41)의 적층 순서가 변경되어도 좋다. 또한 층(31)의 원소 M의 일부가 아연으로 치환되고, 층(41)의 아연의 일부가 원소 M으로 치환되어도 좋다. 또한 층(23) 대신에 층(21) 또는 층(31)이 형성되어도 좋다.

[0226] 또한 도 3의 (A)에 나타낸 바와 같이, 구조체(50) 위에 산화물(62)을 형성하고 그 위에 산화물(60)을 형성하는 적층 구조로 하여도 좋다. 여기서 도 3의 (B)는 도 3의 (A)에서의 산화물(62) 및 산화물(60)의 일부인 영역(56)에서의 결정 내의 원자 배열을 나타낸 확대도이다.

[0227] 상술한 바와 같이, 산화물(62)은  $In:M:Zn=1:3:4$ [원자수비]의 In-M-Zn 산화물이고, 산화물(60)은  $In:M:Zn=1:1:1$ [원자수비]의 In-M-Zn 산화물이다. 즉 도 3의 (A)에 나타낸 산화물은 막의 도중에서 원자수비가 변화된 산화막이다. 또한 도 3의 (B)에 나타낸 바와 같이, 산화물(62)을 층상 결정 구조로 함으로써, 산화물(62) 위의 산화물(60)의 결정성을 양호하게 할 수 있다.

- [0228] 또한 산화물(62) 및 산화물(60)은 도 3의 (B)에 나타낸 구조에 한정되는 것이 아니고, 상술한 바와 같이 산화물(62) 및 산화물(60)의 구조를 변화시켜도 좋다. 또한 도 3의 (B)에서 산화물(62)과 산화물(60)의 경계에 층(21)을 배치하였지만, 이에 한정되는 것이 아니다. 예를 들어 산화물(62)과 산화물(60)의 경계에 층(23)이 형성되어 있어도 좋다.
- [0229] 상술한 바와 같이, ALD법에서는 종횡비가 높은 구조에 대한 성막이 가능하고, 구조체의 측면에 대해서도 피복성 좋게 성막할 수 있다. ALD법을 사용함으로써, 피성막면의 방향에 상관없이 CAAC 구조 등의 결정성 금속 산화물을 용이하게 형성할 수 있다. 예를 들어 구조체가 볼록 형상 또는 오목 형상을 가지는 경우에도, 구조체의 상면, 밑면, 측면, 및 경사진 면에 대하여 피복성 좋게 금속 산화물을 형성할 수 있다. 즉 각 피성막면에서 법선 방향으로 실질적으로 일정한 막 두께를 가지는 금속 산화물을 형성할 수 있다. 구조체의 상면, 밑면, 측면, 및 경사진 면 각각에 형성된 금속 산화물에서, 최대 막 두께에 대한 최소 막 두께의 비를 0.5 이상 1 이하, 바람직 하게는 0.7 이상 1 이하, 더 바람직하게는 0.9 이상 1 이하로 할 수 있다. 이때 금속 산화물이 결정 구조를 가지는 경우, 그 c축은 각 피성막면의 법선 방향에 실질적으로 평행한 방향으로 배향된다. 즉 c축은 각 피성막면에 수직으로 배향된다.
- [0230] 여기서 도 3의 (C)에서는 구조체(50)의 피성막면이 기판(도시하지 않았음)에 수직으로 배치되고, 구조체(50)의 표면에 산화물(64)이 형성되는 경우를 나타내었다. 도 3의 (D)는 도 3의 (C)에서의 산화물(64)의 일부인 영역(58)의 확대도이다. 도 3의 (D)에서는 구조체(50)의 측면에 인듐(In)을 포함한 층(21)과, 원소 M을 포함한 층(31)과, 아연(Zn)을 포함한 층(41)이 피성막면에 대하여 적층되어 있는 모습을 나타내었다. 인듐을 포함한 층(21)은 구조체(50)의 피성막면에 평행 또는 실질적으로 평행하게 배치되고, 그 위에 원소 M을 포함한 층(31)이 구조체(50)의 피성막면에 평행 또는 실질적으로 평행하게 배치되고, 또한 그 위에 아연을 포함한 층(41)이 구조체(50)의 피성막면에 평행 또는 실질적으로 평행하게 배치되어 있다. 즉 산화물(60)의 a-b면은 구조체(50)의 피성막면에 평행 또는 실질적으로 평행하고, 산화물(60)의 c축은 구조체(50)의 피성막면의 법선 방향에 평행 또는 실질적으로 평행하다. 또한 도 3의 (C) 및 (D)에서는 In:M:Zn=1:1:1[원자수비]의 In-M-Zn 산화물의 예를 나타내었지만, 다른 원자수비의 산화물도 마찬가지로, 피성막면이 기판에 수직으로 배치된 구조체(50)의 표면에 형성될 수 있다.
- [0231] 또한 상기에서 In:M:Zn=1:1:1[원자수비] 및 In:M:Zn=1:3:4[원자수비]의 금속 산화물의 예를 나타내었지만, 본 발명은 이에 한정되는 것이 아니다.
- [0232] 이하에서 도 4의 (A), (B), 및 (C)를 사용하여, 본 발명의 일 형태에서 설명하는 산화물에 사용할 수 있는 금속 산화물에 포함되는 인듐, 원소 M, 및 아연의 원자수비의 바람직한 범위에 대하여 설명한다. 또한 도 4의 (A), (B), 및 (C)에는 산소의 원자수비를 기재하지 않았다. 또한 금속 산화물에 포함되는 인듐, 원소 M, 및 아연의 원자수비 각각의 항을 [In], [M], 및 [Zn]으로 한다.
- [0233] 도 4의 (A), (B), 및 (C)에서 파선은 원자수비가  $[In]:[M]:[Zn]=(1+\alpha):(1-\alpha):1 (-1\leq\alpha\leq 1)$ 인 라인, 원자수비가  $[In]:[M]:[Zn]=(1+\alpha):(1-\alpha):2$ 인 라인, 원자수비가  $[In]:[M]:[Zn]=(1+\alpha):(1-\alpha):3$ 인 라인, 원자수비가  $[In]:[M]:[Zn]=(1+\alpha):(1-\alpha):4$ 인 라인, 및 원자수비가  $[In]:[M]:[Zn]=(1+\alpha):(1-\alpha):5$ 인 라인을 나타낸다.
- [0234] 또한 일점쇄선은 원자수비가  $[In]:[M]:[Zn]=5:1:\beta (\beta \geq 0)$ 인 라인, 원자수비가  $[In]:[M]:[Zn]=2:1:\beta$ 인 라인, 원자수비가  $[In]:[M]:[Zn]=1:1:\beta$ 인 라인, 원자수비가  $[In]:[M]:[Zn]=1:2:\beta$ 인 라인, 원자수비가  $[In]:[M]:[Zn]=1:3:\beta$ 인 라인, 및 원자수비가  $[In]:[M]:[Zn]=1:4:\beta$ 인 라인을 나타낸다.
- [0235] 또한 도 4의 (A), (B), 및 (C)에 나타낸, 원자수비가  $[In]:[M]:[Zn]=0:2:1$  및 그 균방값인 금속 산화물은 스피넬형 결정 구조를 가지기 쉽다.
- [0236] 또한 금속 산화물 내에서 복수의 상이 공존하는 경우가 있다(2상 공존, 3상 공존 등). 예를 들어 원자수비가  $[In]:[M]:[Zn]=0:2:1$ 의 균방값인 경우, 스피넬형 결정 구조와 충상 결정 구조의 2상이 공존하기 쉽다. 또한 원자수비가  $[In]:[M]:[Zn]=1:0:0$ 의 균방값인 경우, 빅스비아이트(bixbyite)형 결정 구조와 충상 결정 구조의 2상이 공존하기 쉽다. 금속 산화물 내에서 복수의 상이 공존하는 경우, 상이한 결정 구조들 사이에서 결정립계가 형성되는 경우가 있다.
- [0237] 도 4의 (A)에 나타낸 영역 A는 금속 산화물에 포함되는 인듐, 원소 M, 및 아연의 원자수비의 바람직한 범위의 일례에 대하여 나타낸 것이다.
- [0238] 금속 산화물은 인듐의 함유율을 높임으로써 캐리어 이동도(전자 이동도)를 높일 수 있다. 따라서 인듐의 함유

율이 높은 금속 산화물은 인듐의 함유율이 낮은 금속 산화물에 비하여 캐리어 이동도가 높다.

[0239] 한편, 금속 산화물 내의 인듐 및 아연의 함유율이 낮아지면 캐리어 이동도는 낮아진다. 따라서 원자수비가  $[In]:[M]:[Zn]=0:1:0$  및 그 근방값인 경우(예를 들어 도 4의 (C)에 나타낸 영역 C)에는 절연성이 높아진다. 또한 영역 C는 상술한 스피넬형 결정 구조를 가지기 쉬운 영역을 포함하기 때문에, 스피넬형 결정 구조를 가지기 쉬운 영역을 피하는 조성으로 하는 것이 바람직하다.

[0240] 예를 들어 채널 형성 영역 및 저저항 영역에 사용되는 금속 산화물은 캐리어 이동도가 높은, 도 4의 (A)의 영역 A로 나타내어지는 원자수비를 가지는 것이 바람직하다. 채널 형성 영역 및 저저항 영역에 사용되는 금속 산화물은, 예를 들어  $In:Ga:Zn=4:2:3$  내지 4.1 및 그 근방값 정도가 되도록 하면 좋다. 또한 예를 들어  $In:Ga:Zn=1:1:1$  및 그 근방값 정도가 되도록 하면 좋다. 한편, 채널 형성 영역 및 저저항 영역을 둘러싸도록 금속 산화물을 제공하는 경우에는 절연성이 비교적 높은, 도 4의 (C)의 영역 C로 나타내어지는 원자수비를 가지는 것이 바람직하다. 채널 형성 영역 및 저저항 영역을 둘러싸도록 제공되는 금속 산화물은, 예를 들어  $In:Ga:Zn=1:3:4$  및 그 근방값 정도, 또는  $In:Ga:Zn=1:3:2$  및 그 근방값 정도가 되도록 하면 좋다. 또는 채널 형성 영역 및 저저항 영역을 둘러싸도록 제공되는 금속 산화물로서는, 채널 형성 영역 및 저저항 영역에 사용되는 금속 산화물과 같은 금속 산화물을 사용하여도 좋다.

[0241] 특히 도 4의 (B)에 나타낸 영역 B에서는, 영역 A 중에서도 캐리어 이동도가 높고 신뢰성이 높으며 우수한 금속 산화물이 얻어진다.

[0242] 또한 영역 B는  $[In]:[M]:[Zn]=4:2:3$  내지 4.1 및 그 근방값을 포함한다. 근방값에는 예를 들어  $[In]:[M]:[Zn]=5:3:4$ 가 포함된다. 또한 영역 B는  $[In]:[M]:[Zn]=5:1:6$  및 그 근방값, 그리고  $[In]:[M]:[Zn]=5:1:7$  및 그 근방값을 포함한다. 또한 영역 B는  $[In]:[M]:[Zn]=1:1:1$  및 그 근방값을 포함한다.

[0243] 이상과 같이, 상기 금속 산화물의 전기 전도 특성은 원자수비에 따라 크게 다르다. 상술한 바와 같이 ALD법을 사용하여 금속 산화물을 성막함으로써, 각 원자수비에 따른 충상 결정 구조를 가지는 금속 산화물을 성막할 수 있다. 따라서 ALD법을 사용함으로써 요구되는 특성에 맞추어 금속 산화물을 성막할 수 있다.

#### <성막 방법 2>

[0245] 다음으로 도 2의 (A) 및 (B)에 나타낸 In-M-Zn 산화물을 포함한 산화물(60)의 자세한 형성 방법에 대하여 도 5의 (A) 내지 (D) 및 도 6의 (A) 내지 (C)를 사용하여 설명한다.

[0246] 먼저 도 5의 (A)에 나타낸 바와 같이, 인듐을 포함한 전구체를 포함하는 원료 가스를 체임버에 도입하여 구조체 (50)의 표면에 상기 전구체를 흡착시킨다.

[0247] 인듐을 포함한 전구체의 알루미늄 함유량은 0.001ppm 이상, 0.01ppm 이상, 또는 0.1ppm 이상인 것이 바람직하고, 1000ppm 이하인 것이 바람직하고, 500ppm 이하인 것이 더 바람직하고, 100ppm 이하인 것이 더 바람직하고, 50ppm 이하인 것이 더 바람직하고, 10ppm 이하인 것이 더 바람직하고, 1ppm 이하인 것이 더 바람직하다. 또한 인듐을 포함한 전구체의 알루미늄 함유량은 0.001ppm 이하이어도 좋다.

[0248] 또한 본 실시형태에서 사용하는 전구체로서는 두 번 이상의 증류(정류(精留)라고도 함)를 수행하여 정제된 전구체를 사용하는 것이 바람직하다. 이러한 전구체를 사용함으로써, 불순물이 적은 금속 산화물을 성막하는 것이 용이해지므로 바람직하다. 증류를 여러 번 수행함으로써, 전구체 제조에 사용하는 출발 재료에 기인한 불순물이 전구체에 잔존하는 것을 더 억제할 수 있어 바람직하다. 또한 본 발명은 상기에 한정되지 않고, 증류를 한번 수행함으로써, 즉 단증류를 수행함으로써 정제된 전구체를 사용하여도 좋다. 단증류로 함으로써 제조 비용을 절감할 수 있어 바람직하다.

[0249] 여기서 전구체를 포함하는 원료 가스에는 전구체 외에, 아르곤, 헬륨, 또는 질소 등의 캐리어 가스가 포함된다.

[0250] 인듐을 포함한 전구체로서는 예를 들어 트라이메틸인듐(하기 구조식(101)), 트라이에틸인듐(하기 구조식(102)), 에틸다이메틸인듐, 트리스(1-메틸에틸)인듐, 트리스(2,2,6,6-테트라메틸-3,5-헵테이디아이온산)인듐, 사이클로펜타다이에닐인듐, 인듐(III)아세틸아세토네이트, (다이에틸포스피노)다이메틸인듐, 클로로다이메틸인듐, 브로모다이메틸인듐, 다이메틸(2-프로파노레이트)인듐, 트라이플루오로인듐(플루오린화 인듐(III)), 염화 인듐(III), 브로민화 인듐(III), 및 아이오딘화 인듐(III)이 있다.

[0251] 다음으로 상기 원료 가스의 도입을 멈추고 체임버 내를 퍼지하여 과잉한 전구체 및 반응 생성물 등을 체임버로

부터 배출한다.

[0252] 그리고 도 5의 (B)에 나타낸 바와 같이, 산소를 포함한 산화제를 반응제로서 체임버에 도입하여, 흡착된 전구체와 반응시켜, 인듐을 기판에 흡착시킨 채로 인듐 이외의 성분을 이탈시킴으로써, 인듐과 산소가 결합된 층(21)을 형성한다.

[0253] 산화제로서 오존( $O_3$ ), 산소( $O_2$ ), 물( $H_2O$ ), 이산화 질소( $N_2O$ ), 과산화 수소( $H_2O_2$ ), 및 이들의 플라스마, 라디칼, 이온을 사용할 수 있다.

[0254] 산화제를 공급할 때, 가스 내의 오존의 비율을 10% 이상으로 하는 것이 바람직하고, 20% 이상이 더 바람직하고, 30% 이상이 더 바람직하고, 40% 이상이 더 바람직하고, 50% 이상이 더 바람직하고, 60% 이상이 더 바람직하고, 70% 이상이 더 바람직하고, 80% 이상이 더 바람직하고, 90% 이상이 더 바람직하고, 100%가 특히 바람직하다. 오존의 비율이 클수록, 금속의 산화가 촉진되고 금속 산화물 내의 탄소 농도를 저감할 수 있어 바람직하다.

[0255] 다음으로 상기 산화제의 도입을 멈추고 체임버 내를 퍼지하여 과잉한 반응제 및 반응 생성물 등을 체임버로부터 배출한다.

[0256] 다음으로 도 5의 (C)에 나타낸 바와 같이, 원소 M을 포함한 전구체를 포함하는 원료 가스를 체임버에 도입하여 층(21) 위에 상기 전구체를 흡착시킨다. 여기서 원소 M으로서는 갈륨 또는 주석을 사용하는 것이 바람직하다.

[0257] 원소 M을 포함한 전구체의 알루미늄 함유량은 0.001ppm 이상, 0.01ppm 이상, 또는 0.1ppm 이상인 것이 바람직하고, 1000ppm 이하인 것이 바람직하고, 500ppm 이하인 것이 더 바람직하고, 100ppm 이하인 것이 더 바람직하고, 50ppm 이하인 것이 더 바람직하고, 10ppm 이하인 것이 더 바람직하고, 1ppm 이하인 것이 더 바람직하다. 또한 원소 M을 포함한 전구체의 알루미늄 함유량은 0.001ppm 이하이어도 좋다.

[0258] 갈륨을 포함한 전구체로서는 예를 들어 트라이메틸갈륨, 트라이에틸갈륨(하기 구조식(103)), 트리스(다이메틸아마이드)갈륨(하기 구조식(104)), 트라이페닐갈륨, 다이에틸(3-메틸-2,4-사이클로프로페인다이엔-1-일)갈륨, [4-(1,1-다이메틸)페닐]다이메틸갈륨, 다이메틸(4-메틸페닐)갈륨, 다이메틸페닐갈륨, 베틸다이페닐갈륨, 에틸다이메틸갈륨, 다이메틸메틸렌갈륨, 갈륨(III)아세틸아세토네이트, 트리스(2,2,6,6-테트라메틸-3,5-헵테인다이온산)갈륨, 다이메틸(2-메틸-2-프로파노레이토)갈륨, 메톡시다이메틸갈륨, 하이드록시다이메틸갈륨, (메탄싸이올레이토)다이메틸갈륨, 클로로다이메틸갈륨, 클로로다이에틸갈륨, 클로로다이프로필갈륨, 브로모다이메틸갈륨, 브로모다이에틸갈륨, 다이메틸요오드갈륨, 클로로비스(2,2-다이메틸프로필)갈륨, 플루오린화 갈륨(III), 염화갈륨(III), 브로민화 갈륨(III), 및 아이오딘화 갈륨(III)이 있다.

[0259] 주석을 포함한 전구체로서는 예를 들어 테트라메틸주석, 테트라에틸주석, 테트라에텐일주석, 테트라알릴주석, 트라이뷰틸바이닐주석, 알릴트라이뷰틸주석, 트라이뷰틸스타닐아세틸렌, 트라이뷰틸페닐주석, 클로로트라이메틸주석, 클로로트라이에틸주석, 플루오린화 주석(IV), 염화 주석(IV), 브로민화 주석(IV), 및 아이오딘화 주석(IV)이 있다.

[0260] 다음으로 상기 원료 가스의 도입을 멈추고 체임버 내를 퍼지하여 과잉한 전구체 및 반응 생성물을 체임버로부터 배출한다.

[0261] 다음으로 도 5의 (D)에 나타낸 바와 같이, 반응제로서 산화제를 체임버에 도입하여, 흡착된 전구체와 반응시켜, 원소 M을 기판에 흡착시킨 채로 원소 M 이외의 성분을 이탈시킴으로써, 원소 M과 산소가 결합된 층(31)을 형성한다. 이때 층(31) 위에 흡착된 산소의 일부가 후술하는 층(41)을 구성하는 경우가 있다.

[0262] 다음으로 상기 산화제의 도입을 멈추고 체임버 내를 퍼지하여 과잉한 반응제 및 반응 생성물을 체임버로부터 배출한다.

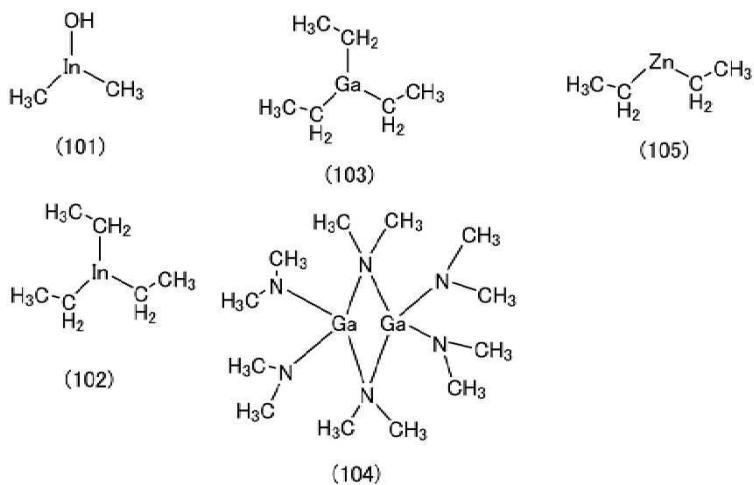
[0263] 다음으로 도 6의 (A)에 나타낸 바와 같이, 아연을 포함한 전구체를 포함하는 원료 가스를 체임버에 도입하여 층(31) 위에 전구체를 흡착시킨다. 이때 아연과 산소가 결합된 층(41)의 일부가 형성되는 경우가 있다.

[0264] 아연을 포함한 전구체의 알루미늄 함유량은 0.001ppm 이상, 0.01ppm 이상, 또는 0.1ppm 이상인 것이 바람직하고, 1000ppm 이하인 것이 바람직하고, 500ppm 이하인 것이 더 바람직하고, 100ppm 이하인 것이 더 바람직하고, 50ppm 이하인 것이 더 바람직하고, 10ppm 이하인 것이 더 바람직하고, 1ppm 이하인 것이 더 바람직하다. 또한 아연을 포함한 전구체의 알루미늄 함유량은 0.001ppm 이하이어도 좋다.

[0265] 아연을 포함한 전구체로서는 예를 들어 다이메틸아연, 다이에틸아연(하기 구조식(105)), 비스(1-메틸에틸)아연, 비스(1,1-다이메틸에틸)아연, 다이뷰틸아연, 다이에텐일아연, 다이사이클로헥실아연, 비스(2,2,6,6-테트라메틸-

3,5-헵테인다이온산)아연, 플루오린화 아연, 염화 아연, 클로로메틸아연, 브로민화 아연, 브로모메틸아연, 및 아이오딘화 아연이 있다.

- [0266] 다음으로 상기 원료 가스의 도입을 멈추고 체임버 내를 퍼지하여 과잉한 전구체 및 반응 생성물 등을 체임버로부터 배출한다.
- [0267] 다음으로 도 6의 (B)에 나타낸 바와 같이, 반응체로서 산화제를 체임버에 도입하여, 흡착된 전구체와 반응시켜, 아연을 기판에 흡착시킨 채로 아연 이외의 성분을 이탈시킴으로써, 아연과 산소가 결합된 층(41)을 형성한다.
- [0268] 여기서 도 5의 (B), (D), 및 도 6의 (B)에 나타낸 3개의 공정에서의 산화제를 공급하는 시간의 합계는 10초 이상이 바람직하고, 30초 이상이 더 바람직하고, 60초 이상이 더 바람직하고, 90초 이상이 더 바람직하고, 120초 이상이 더 바람직하고, 또한 150초 이하, 200초 이하, 250초 이하, 또는 300초 이하가 바람직하다.
- [0269] 산화제를 공급하는 시간이 길수록 산화물(60) 내의 탄소 농도를 저감할 수 있어 바람직하다. 한편, 산화제를 공급하는 시간이 짧을수록, 산화물(60)을 성막하기 위하여 필요한 시간이 짧게 되어 바람직하다.
- [0270] 다음으로 상기 산화제의 도입을 멈추고 체임버 내를 퍼지하여 과잉한 반응제 및 반응 생성물 등을 체임버로부터 배출한다.
- [0271] 다음으로 층(41) 위에 상술한 방법으로 층(21)을 다시 형성한다(도 6의 (C)). 이상의 방법을 반복함으로써 기판 또는 구조체 위에 산화물(60)을 형성할 수 있다.
- [0272] 여기서, 앞에서 열거한 전구체의 일례를 이하에 나타낸다.
- [0273] [화학식 1]



- [0274]
- [0275] 또한 앞에서 열거한 전구체에는 금속 원소 외에, 탄소 및 염소 중 한쪽 또는 양쪽을 포함하는 것이 있다. 탄소를 포함한 전구체를 사용하여 형성된 막에는 탄소가 포함되는 경우가 있다. 또한 염소 등의 할로젠을 포함한 전구체를 사용하여 형성된 막에는 염소 등의 할로젠이 포함되는 경우가 있다.
- [0276] 도 5의 (A) 내지 (D) 및 도 6의 (A) 내지 (C)에 나타낸 공정은 기판을 가열하면서 수행하는 것이 바람직하다. 예를 들어 기판 온도를 150°C 이상, 200°C 이상, 또는 250°C 이상으로 하는 것이 바람직하다. 또한 600°C 이하, 500°C 이하, 450°C 이하, 400°C 이하, 또는 전구체의 분해 온도 이하로 하는 것이 바람직하다. 또한 산화제로서 오존을 사용하는 경우에는 오존의 분해 온도 이하로 하는 것이 바람직하다. 이와 같은 온도 범위에서 기판을 가열하면서 상기 성막을 수행함으로써, 도 5의 (A) 내지 도 6의 (C)의 각 과정에서, 전구체 또는 반응제 등에 포함되는 수소 또는 탄소 등의 불순물을 금속 산화물 내에서 제거할 수 있다. 예를 들어 금속 산화물 내의 탄소를 CO<sub>2</sub> 및 CO로서 방출시키고, 금속 산화물 내의 수소를 H<sub>2</sub>O로서 방출시킬 수 있다. 또한 상기 불순물의 제거와 동시에 금속 원자 및 산소 원자가 재배열되어, 각 산화물의 층을 높은 질서성으로 배열시킬 수 있다. 따라서 결정부를 가지는 금속 산화물을 형성할 수 있다. 또한 결정성이 높은 층상 결정 구조의 금속 산화물, 예를 들어 CAAC 구조의 금속 산화물을 형성할 수 있다.
- [0277] 또한 산화물(60)의 성막 중에 상술한 불순물 제거 처리를 간헐적으로 수행하는 것이 바람직하다. 예를 들어 층

(21), 층(31), 및 층(41)의 3층 구조를 n번(n은 1 이상 50 이하의 정수, 바람직하게는 2 이상 30 이하의 정수, 더 바람직하게는 5 이상 10 이하의 정수) 형성할 때마다 상술한 불순물 제거 처리를 수행하는 것이 바람직하다. 또한 산화물(60) 성막 후에도 불순물 제거 처리를 수행하는 것이 바람직하다.

[0278] 불순물 제거 처리를 수행함으로써, 금속 산화물을 포함되는 수소 또는 탄소 등의 불순물을 제거할 수 있다. 예를 들어 금속 산화물 내의 탄소를 CO<sub>2</sub> 및 CO로서 방출시키고, 금속 산화물 내의 수소를 H<sub>2</sub>O로서 방출시킬 수 있다. 또한 상기 불순물의 제거와 동시에 금속 원자 및 산소 원자가 재배열되어 결정성을 향상시킬 수 있다. 따라서 결정부를 가지는 금속 산화물을 형성할 수 있다. 또한 결정성이 높은 층상 결정 구조의 금속 산화물, 특히 상기 CAAC 구조의 금속 산화물을 형성할 수 있다.

[0279] 상술한 바와 같이 ALD법을 사용하여 산화물(60)을 형성함으로써, 페성막면의 법선 방향에 실질적으로 평행하게 c축이 배향된 CAAC 구조의 금속 산화물을 형성할 수 있다.

[0280] 또한 도 5의 (A) 내지 (D) 및 도 6의 (A) 내지 (C)에서는 인듐을 포함한 층으로서 층(21)을 형성하고, 그 위에 원소 M을 포함한 층으로서 층(31)을 형성한 후, 그 위에 아연을 포함한 층으로서 층(41)을 형성하는 예를 나타내었지만, 본 실시형태는 이에 한정되지 않는다. 층(31) 및 층(41) 중 한쪽을 형성하고, 그 위에 층(21)을 형성한 후, 그 위에 층(31) 및 층(41) 중 다른 쪽을 형성하여도 좋다. 또는 층(31) 및 층(41) 중 한쪽을 형성하고, 그 위에 층(31) 및 층(41) 중 다른 쪽을 형성한 후, 그 위에 층(21)을 형성하여도 좋다.

[0281] 또한 In:M:Zn=1:1:1[원자수비]과 다른 원자수비의 금속 산화물을 형성하는 경우에는 원자수비에 따라 상기 층(21), 상기 층(31), 상기 층(41)을 적절히 형성하면 좋다. 예를 들어 도 6의 (A)에 나타낸 층(31)의 형성 전후에 층(41)의 형성을 여러 번 반복함으로써, 2개의 층(21) 사이에 원하는 원자수, 층수, 및 두께를 가지는 층(31)과 층(41)의 적층을 형성하면 좋다.

[0282] 또한 각종 반도체 장치를 제작하는 경우, 본 발명의 일 형태의 금속 산화물과 기타 금속 산화물의 양쪽을 사용하여도 좋다. 예를 들어 본 발명의 일 형태의 금속 산화물은 인듐 및 아연 중 적어도 한쪽과 알루미늄을 포함한 금속 산화물(갈륨 및 주석 중 적어도 한쪽을 더 포함하여도 좋음)과 조합하여 사용하여도 좋다.

[0283] 인듐 및 아연 중 적어도 한쪽과 알루미늄을 포함한 금속 산화물로서는, 예를 들어 인듐 갈륨 알루미늄 산화물(In-Ga-Al 산화물), 알루미늄 아연 산화물(Al-Zn 산화물, AZO라고도 기재함), 인듐 알루미늄 아연 산화물(In-Al-Zn 산화물, IAZO라고도 기재함), 인듐 갈륨 알루미늄 아연 산화물(In-Ga-Al-Zn 산화물, IGAZO, IGZAO, 또는 IAGZO라고도 기재함)이 있다.

[0284] 알루미늄을 포함한 전구체로서는 예를 들어 트라이메틸알루미늄, 트라이에틸알루미늄, 클로로다이메틸알루미늄, 다이클로로메틸알루미늄, 브로모다이메틸알루미늄, 요오드다이메틸알루미늄, 알루미늄아세틸아세토네이트, 트리스(2,2,6,6-테트라메틸-3,5-헵테인디아이온산)알루미늄, 다이메틸클로로알루미늄, 다이에틸클로로알루미늄, 염화알루미늄(III), 브로민화 알루미늄(III), 및 아이오딘화 알루미늄(III)이 있다.

[0285] <성막 장치>

[0286] ALD법을 사용하여 성막할 수 있는 장치의 일례로서 성막 장치(4000)의 구성에 대하여 도 7 내지 도 10을 사용하여 설명한다. 도 7은 멀티 체임버형 성막 장치(4000)의 모식도이고, 도 8 내지 도 10은 성막 장치(4000)에 사용할 수 있는 ALD 장치의 단면도이다.

[0287] 도 7에 나타낸 성막 장치(4000)는 반입 반출실(4002)과, 반입 반출실(4004)과, 반송실(4006)과, 성막실(4008)과, 성막실(4009)과, 처리실(4011)과, 반송 암(4014)을 가진다. 여기서 반입 반출실(4002), 반입 반출실(4004), 성막실(4008), 성막실(4009), 및 처리실(4011)은 반송실(4006)에 각각 게이트 밸브를 통하여 독립적으로 접속되어 있다. 이에 의하여, 성막실(4008), 성막실(4009), 및 처리실(4011)에서 대기에 노출시키지 않고 연속하여 처리를 수행할 수 있기 때문에, 막 내에 불순물이 혼입되는 것을 방지할 수 있다. 또한 기판과 막의 계면 및 각 막의 계면의 오염이 저감되기 때문에 청정한 계면을 얻을 수 있다.

[0288] 또한 반입 반출실(4002), 반입 반출실(4004), 반송실(4006), 성막실(4008), 성막실(4009), 및 처리실(4011)은 수분의 부착 등을 방지하기 위하여, 이슬점이 관리된 불활성 가스(질소 가스 등)가 충전되는 것이 바람직하고, 감압이 유지되는 것이 바람직하다.

[0289] 성막실(4008) 및 성막실(4009)에는 ALD 장치를 사용할 수 있다. 또한 성막실(4008) 및 성막실(4009) 중 어느 것에 ALD 장치 이외의 성막 장치를 사용하는 구성으로 하여도 좋다. 성막실(4008) 및 성막실(4009)에 사용할

수 있는 성막 장치로서는 예를 들어 스퍼터링 장치, 플라스마 CVD(PECVD: Plasma Enhanced CVD) 장치, 열 CVD(TCVD: Thermal CVD) 장치, 광 CVD(Photo CVD) 장치, 금속 CVD(MCVD: Metal CVD) 장치, 유기 금속 CVD(MOCVD: Metal Organic CVD) 장치 등이 있다.

[0290] 또한 처리실(4011)에는 가열 장치(대표적으로는 진공 가열 장치), 플라스마 발생 장치(대표적으로는 마이크로파 처리 장치) 등 성막 장치 이외의 기능을 가지는 장치를 사용하는 것이 바람직하다.

[0291] 예를 들어 성막실(4008)을 ALD 장치로 하고, 성막실(4009)을 스퍼터링 장치로 하고, 처리실(4011)을 가열 장치로 한 경우, 성막실(4009)에서 하지 절연막을 성막하고, 성막실(4008)에서 활성층으로서 기능하는 산화물 반도체막을 성막하고, 처리실(4011)에서 산화물 반도체막 성막 후의 가열 처리를 수행할 수 있다. 이때 하지 절연막의 성막, 산화물 반도체막의 성막, 및 가열 처리를 대기에 노출시키지 않고 연속하여 수행할 수 있다. 따라서 금속 산화물의 성막 후에 막 내의 수소 또는 탄소 등의 불순물을 증가시키지 않고 가열 처리를 수행할 수 있다.

[0292] 또한 성막 장치(4000)는 반입 반출실(4002), 반입 반출실(4004), 성막실(4008), 성막실(4009), 및 처리실(4011)을 가지는 구성으로 하였지만, 본 발명은 이에 한정되는 것이 아니다. 성막 장치(4000)의 성막실을 하나 또는 3개 이상으로 하는 구성으로 하여도 좋다. 또한 성막 장치(4000)의 처리실을 2개 이상으로 하는 구성으로 하여도 좋다. 또한 성막 장치(4000)는 매엽식(枚葉式)으로 하여도 좋고, 복수의 기판을 일괄적으로 성막하는 배치식으로 하여도 좋다.

[0293] <ALD 장치>

[0294] 다음으로 성막 장치(4000)에 사용할 수 있는 열 ALD 장치의 구성에 대하여 도 8의 (A)를 사용하여 설명한다. 열 ALD 장치는 성막실(체임버(4520))과, 원료 공급부(4521)(원료 공급부(4521a) 내지 원료 공급부(4521c))와, 원료 공급부(4531)와, 도입량 제어기인 고속 벨브(4522a) 내지 고속 벨브(4522d)와, 가스 공급부(4532)와, 원료 도입구(4523)와, 원료 배출구(4524)와, 배기 장치(4525)를 가진다. 체임버(4520) 내에 설치되는 원료 도입구(4523)는 공급관 및 벨브를 통하여 원료 공급부(4521a), 원료 공급부(4521b), 원료 공급부(4521c), 원료 공급부(4531), 및 가스 공급부(4532)와 각각 접속되어 있고, 원료 배출구(4524)는 예를 들어 배출관, 벨브, 및 압력 조정기를 통하여 배기 장치(4525)와 접속되어 있다.

[0295] 체임버(4520) 내부에는 기판 홀더(4526)가 있고, 그 기판 홀더(4526) 위에 기판(4530)을 배치한다. 기판 홀더(4526)는 회전 기구를 가져도 좋다. 또한 체임버(4520) 외벽에는 히터(4527)가 제공되어 있고, 체임버(4520) 내부, 기판 홀더(4526), 및 기판(4530)의 표면 등의 온도를 제어할 수 있다. 히터(4527)는 기판(4530)의 표면의 온도를 100°C 이상 600°C 이하, 바람직하게는 300°C 이상 500°C 이하, 더 바람직하게는 400°C 이상 450°C 이하로 제어할 수 있는 것이 바람직하다. 예를 들어 히터(4527) 자체의 온도는 100°C 이상 600°C 이하로 설정할 수 있는 것이 바람직하다. 이와 같은 온도 범위에서 기판을 가열하면서 성막을 수행함으로써, 전구체 또는 반응제 등에 포함되는 수소 또는 탄소 등의 불순물이 금속 산화물 내에 잔존하는 것을 억제할 수 있다. 또한 이들 불순물의 제거와 동시에 금속 원자 및 산소 원자가 재배열되어, 각 산화물의 층을 높은 질서성으로 배열시킬 수 있다. 따라서 결정성이 높은 층상 결정 구조의 금속 산화물을 형성할 수 있다. 또한 히터(4527)를 사용하여 금속 산화물 성막 후의 열처리를 수행하여도 좋다.

[0296] 원료 공급부(4521a), 원료 공급부(4521b), 원료 공급부(4521c), 및 원료 공급부(4531)에서는 기화기 또는 가열 수단 등에 의하여 고체 원료 또는 액체 원료로부터 원료 가스를 형성한다. 또는 원료 공급부(4521a), 원료 공급부(4521b), 원료 공급부(4521c), 및 원료 공급부(4531)는 기체 원료 가스를 공급하는 구성으로 하여도 좋다.

[0297] 도 8의 (A)에 나타낸 성막 장치에서는 원료 공급부(4521) 및 원료 공급부(4531)에서 사용하는 원료(휘발성 유기 금속 화합물 등)를 적절히 선택하여 체임버(4520)에 도입함으로써 금속 산화물을 형성할 수 있다. 상술한 바와 같이 금속 산화물로서 인듐, 갈륨, 아연을 포함한 In-Ga-Zn 산화물을 형성하는 경우, 도 8의 (A)에 나타낸 바와 같이 적어도 3개의 원료 공급부(4521a) 내지 원료 공급부(4521c)와 적어도 하나의 원료 공급부(4531)가 제공된 성막 장치를 사용하는 것이 바람직하다.

[0298] 예를 들어 원료 공급부(4521a)로부터 인듐을 포함한 전구체가 공급되고, 원료 공급부(4521b)로부터 갈륨을 포함한 전구체가 공급되고, 원료 공급부(4521c)로부터 아연을 포함한 전구체가 공급된다. 인듐을 포함한 전구체, 갈륨을 포함한 전구체, 및 아연을 포함한 전구체로서 각각 상술한 전구체를 사용할 수 있다.

[0299] 또한 원료 공급부(4531)로부터는 반응제가 공급된다. 반응제로서는 오존, 산소, 물 중 적어도 하나를 포함한

산화제를 사용할 수 있다.

[0300] 또한 가스 공급부(4532)로부터는 캐리어 가스가 공급된다. 캐리어 가스로서 아르곤(Ar), 헬륨(He), 또는 질소(N<sub>2</sub>) 등의 불활성 가스를 사용할 수 있다. 원료 공급부(4521)의 전구체 및 원료 공급부(4531)의 반응제는 상기 캐리어 가스와 혼합되어 체임버(4520)에 도입된다.

[0301] 또한 원료 공급부(4521a), 원료 공급부(4521b), 원료 공급부(4521c), 원료 공급부(4531), 및 가스 공급부(4532)와 체임버(4520) 사이의 배관 또는 밸브 등을 덮어 배관 히터(4534a)가 제공된다. 또한 배기 장치(4525)와 체임버(4520) 사이의 배관 또는 밸브 등을 덮어 배관 히터(4534b)가 제공된다. 배관 히터(4534a) 및 배관 히터(4534b)의 온도는 예를 들어 실온 이상 300°C 이하의 범위에서 적절히 설정하면 좋다. 이와 같은 배관 히터를 제공함으로써, 원료 공급부(4521)로부터 공급된 전구체 등이 가스 도입계 및 가스 배기계의 배관 등의 내벽에 응고되는 것을 방지할 수 있다. 또한 배관 히터(4534a), 배관 히터(4534b), 및 히터(4527)의 온도는 각각 독립적으로 제어할 수 있는 것이 바람직하다. 또는 배관 히터(4534a), 배관 히터(4534b), 및 히터(4527)의 온도 제어가 일괄적으로 조정될 수 있어도 좋다.

[0302] 고속 밸브(4522a) 내지 고속 밸브(4522d)는 시간에 따라 정밀하게 제어할 수 있다. 이에 의하여, 원료 공급부(4521a), 원료 공급부(4521b), 원료 공급부(4521c), 및 원료 공급부(4531)로부터 공급되는 원료 가스를 제어하여 체임버(4520)에 도입할 수 있다.

[0303] 예를 들어 원료 공급부(4521a), 원료 공급부(4521b), 및 원료 공급부(4521c)에 포함되는 전구체를 공급하는 경우에는 고속 밸브(4522a) 내지 고속 밸브(4522c) 중 대응하는 고속 밸브를 연다. 또한 원료 공급부(4531)에 포함되는 반응제를 공급하는 경우에는 고속 밸브(4522d)를 연다. 또한 체임버(4520)를 페지하는 경우에는 고속 밸브(4522a) 내지 고속 밸브(4522d)를 닫고 가스 공급부(4532)에 포함되는 캐리어 가스만을 체임버(4520)에 도입한다.

[0304] 또한 도 8의 (A)에서는 원료 공급부(4521)를 3개, 원료 공급부(4531)를 하나 제공하는 예를 나타내었지만, 본 실시형태는 이에 한정되지 않는다. 원료 공급부(4521)를 하나, 2개, 또는 4개 이상 제공하여도 좋다. 또한 원료 공급부(4531)를 2개 이상 제공하여도 좋다.

[0305] 또한 도 8의 (A)에서 히터(4527), 원료 도입구(4523), 및 원료 배출구(4524)가 체임버(4520) 하부에 배치되어 있지만, 이에 한정되지 않고, 이들의 배치를 적절히 설정할 수 있다. 또한 도 8의 (A)에서 원료 공급부(4521a), 원료 공급부(4521b), 원료 공급부(4521c), 원료 공급부(4531), 및 가스 공급부(4532)의 도입구는 원료 도입구(4523)에 통합되어 있지만, 이에 한정되지 않고, 각각 다른 도입구를 제공하는 구성으로 하여도 좋다.

[0306] 다음으로 성막 장치(4000)에 사용할 수 있는 플라스마 ALD 장치의 구성에 대하여 도 8의 (B)를 사용하여 설명한다. 플라스마 ALD 장치는 성막실(체임버(4020))과, 원료 공급부(4021)(원료 공급부(4021a) 내지 원료 공급부(4021c))와, 원료 공급부(4031)와, 도입량 제어기인 고속 밸브(4022a) 내지 고속 밸브(4022d)와, 가스 공급부(4032)와, 원료 도입구(4023)와, 원료 도입구(4033)와, 원료 배출구(4024)와, 배기 장치(4025)를 가진다. 체임버(4020) 내에 설치되는 원료 도입구(4023) 및 원료 도입구(4033)는 공급관 및 밸브를 통하여 원료 공급부(4021a), 원료 공급부(4021b), 원료 공급부(4021c), 원료 공급부(4031), 및 가스 공급부(4032)와 각각 접속되어 있고, 원료 배출구(4024)는 배출관, 밸브, 및 압력 조정기를 통하여 배기 장치(4025)에 접속되어 있다. 또한 체임버(4020) 내부에는 기판 홀더(4026)가 있고, 그 기판 홀더(4026) 위에 기판(4030)을 배치한다. 또한 체임버 외벽에는 히터(4027)가 제공되어 있고, 체임버에 접속되는 배관 등을 덮어 배관 히터(4034a) 및 배관 히터(4034b)가 제공되어 있다.

[0307] 여기서 체임버(4020)는 체임버(4520)와, 원료 공급부(4021)는 원료 공급부(4521)와, 원료 공급부(4031)는 원료 공급부(4531)와, 고속 밸브(4022a) 내지 고속 밸브(4022d)는 고속 밸브(4522a) 내지 고속 밸브(4522d)와, 가스 공급부(4032)는 가스 공급부(4532)와, 원료 도입구(4023)는 원료 도입구(4523)와, 원료 배출구(4024)는 원료 배출구(4524)와, 배기 장치(4025)는 배기 장치(4525)와, 기판 홀더(4026)는 기판 홀더(4526)와, 기판(4030)은 기판(4530)과, 히터(4027)는 히터(4527)와, 배관 히터(4034a)는 배관 히터(4534a)와, 배관 히터(4034b)는 배관 히터(4534b)와 대응하고, 자세한 구성에 대해서는 상술한 것을 참조할 수 있다.

[0308] 플라스마 ALD 장치는 도 8의 (B)에 나타낸 바와 같이 체임버(4020)에 플라스마 발생 장치(4028)를 접속시킴으로써, 열 ALD법뿐만 아니라 플라스마 ALD법에 의해서도 성막을 할 수 있다. 플라스마 발생 장치(4028)는 고주파 전원과 접속된 코일(4029)을 사용하는 ICP형 플라스마 발생 장치로 하는 것이 바람직하다. 고주파 전원은 10kHz 이상 100MHz 이하, 바람직하게는 1MHz 이상 60MHz 이하, 더 바람직하게는 2MHz 이상 60MHz 이하의 주파

수를 가지는 전력을 출력할 수 있다. 예를 들어 13.56MHz의 주파수를 가지는 전력을 출력할 수 있다. 플라스마 ALD법은 저온에서도 성막 레이트를 저하시키지 않고 성막을 수행할 수 있기 때문에, 성막 효율이 낮은 매듭식 성막 장치에 사용되면 좋다.

[0309] 원료 공급부(4031)로부터 배출된 반응체는 플라스마 발생 장치(4028)를 통과하여 플라스마 상태가 된다. 플라스마 상태가 된 반응체는 원료 도입구(4033)로부터 체임버(4020)에 도입된다. 또한 도 8의 (B)에서는 나타내지 않았지만, 원료 공급부(4031)로부터 배출된 반응체가 캐리어 가스와 혼합되는 구성으로 하여도 좋다.

[0310] 또한 기판 홀더(4526)에는 일정한 전위 또는 고주파가 인가되는 기구가 제공되어 있어도 좋다. 또는 기판 홀더(4526)는 플로팅이어도 좋고 접지되어도 좋다.

[0311] 또한 도 8의 (B)에서 원료 도입구(4033)가 체임버(4520) 상부에 배치되고, 히터(4027) 및 원료 도입구(4023)가 체임버(4520) 측면에 배치되고, 원료 배출구(4524)가 체임버(4520) 하부에 배치되지만, 이에 한정되지 않고, 이들의 배치를 적절히 설정할 수 있다.

[0312] 성막 장치(4000)에 사용할 수 있는 ALD 장치의 다른 구성에 대하여 도 9의 (A) 내지 (C)를 사용하여 설명한다. 또한 이하에서는 도 8의 (B)에 나타낸 ALD 장치와 같은 구성 및 그 기능에 대해서는 자세한 설명을 생략하는 경우가 있다.

[0313] 도 9의 (A)는 플라스마 ALD 장치의 일 형태를 나타낸 모식도이다. 플라스마 ALD 장치(4100)에서는 반응실(4120)과 반응실(4120) 상부에 플라스마 생성실(4111)이 제공되어 있다. 반응실(4120)은 체임버라고 부를 수 있다. 또는 반응실(4120)과 플라스마 생성실(4111)을 통틀어 체임버라고 부를 수 있다. 반응실(4120)은 원료 도입구(4123)와 원료 배출구(4124)를 가지고, 플라스마 생성실(4111)은 원료 도입구(4133)를 가진다. 또한 플라스마 생성 장치(4128)에 의하여 RF 등의 고주파 또는 마이크로파를 플라스마 생성실(4111)에 도입된 가스에 인가하여, 플라스마 생성실(4111) 내에 플라스마(4131)를 생성할 수 있다. 마이크로파를 사용하여 플라스마(4131)를 생성하는 경우, 대표적으로는 주파수 2.45GHz의 마이크로파가 사용된다. 또한 이와 같은 마이크로파와 자기장을 인가하여 생성된 플라스마를 ECR(Electron Cyclotron Resonance) 플라스마라고 부르는 경우가 있다.

[0314] 또한 반응실(4120)은 기판 홀더(4126)를 가지고, 그 위에 기판(4130)이 배치된다. 원료 도입구(4123)로부터 도입된 원료 가스는 반응실(4120)에 제공된 히터로부터의 열에 의하여 분해되어 기판(4130) 위에 퇴적된다. 또한 원료 도입구(4133)로부터 도입된 원료 가스는 플라스마 생성 장치(4128)에 의하여 플라스마 상태가 된다. 플라스마 상태가 된 원료 가스는, 기판(4130)의 표면에 도달되기 전까지에 전자 또는 다른 분자와 재결합하여 라디칼 상태가 되고 기판(4130)에 도달된다. 이와 같이, 라디칼을 이용하여 성막을 수행하는 ALD 장치를 라디칼 ALD(Radical-Enhanced ALD) 장치라고 부르는 경우도 있다. 또한 플라스마 ALD 장치(4100)에서 플라스마 생성 실(4111)을 반응실(4120) 상부에 제공하는 구성을 나타내었지만, 본 실시형태는 이에 한정되지 않는다. 플라스마 생성실(4111)을 반응실(4120)의 측면과 인접하여 제공하여도 좋다.

[0315] 도 9의 (B)는 플라스마 ALD 장치의 일 형태를 나타낸 모식도이다. 플라스마 ALD 장치(4200)는 체임버(4220)를 가진다. 체임버(4220)는 전극(4213), 원료 배출구(4224), 및 기판 홀더(4226)를 가지고, 기판 홀더(4226) 위에 기판(4230)이 배치된다. 전극(4213)은 원료 도입구(4223)와, 도입된 원료 가스를 체임버(4220) 내에 공급하는 샤크 헤드(4214)를 가진다. 또한 전극(4213)에는 콘덴서(4217)를 통하여 고주파를 인가할 수 있는 전원(4215)이 접속되어 있다. 기판 홀더(4226)에는 일정한 전위 또는 고주파가 인가되는 기구가 제공되어 있어도 좋다. 또는 기판 홀더(4226)는 플로팅이어도 좋고 접지되어도 좋다. 전극(4213) 및 기판 홀더(4226)는 각각 플라스마(4231)를 생성하기 위한 상부 전극 및 하부 전극으로서 기능한다. 원료 도입구(4223)로부터 도입된 원료 가스는 체임버(4220)에 제공된 히터로부터의 열에 의하여 분해되어 기판(4230) 위에 퇴적된다. 또는 원료 도입구(4223)로부터 도입된 원료 가스는 전극(4213)과 기판 홀더(4226) 사이에서 플라스마 상태가 된다. 플라스마 상태가 된 원료 가스는 플라스마(4231)와 기판(4230) 사이에 생기는 전위차(이온 시스(iion sheath)라고도 함)에 의하여 기판(4230)에 입사한다.

[0316] 도 9의 (C)는 도 9의 (B)와는 다른 플라스마 ALD 장치의 일 형태를 나타낸 모식도이다. 플라스마 ALD 장치(4300)는 체임버(4320)를 가진다. 체임버(4320)는 전극(4313), 원료 배출구(4324), 및 기판 홀더(4326)를 가지고, 기판 홀더(4326) 위에 기판(4330)이 배치된다. 전극(4313)은 원료 도입구(4323)와, 도입된 원료 가스를 체임버(4320) 내에 공급하는 샤크 헤드(4314)를 가진다. 또한 전극(4313)에는 콘덴서(4317)를 통하여 고주파를 인가할 수 있는 전원(4315)이 접속되어 있다. 기판 홀더(4326)에는 일정한 전위 또는 고주파가 인가되는 기구

가 제공되어 있어도 좋다. 또는 기판 홀더(4326)는 플로팅이어도 좋고 접지되어도 좋다. 전극(4313) 및 기판 홀더(4326)는 각각 플라스마(4331)를 생성하기 위한 상부 전극 및 하부 전극으로서 기능한다. 플라스마 ALD 장치(4300)는 전극(4313)과 기판 홀더(4326) 사이에 콘덴서(4322)를 통하여 고주파를 인가할 수 있는 전원(4321)이 접속된 메시(4319)를 가지는 점에서 플라스마 ALD 장치(4200)와 다르다. 메시(4319)를 제공함으로써 기판(4130)으로부터 플라스마(4231)를 멀어지게 할 수 있다. 원료 도입구(4323)로부터 도입된 원료 가스는 체임버(4320)에 제공된 히터로부터의 열에 의하여 분해되어 기판(4330) 위에 퇴적된다. 또는 원료 도입구(4323)로부터 도입된 원료 가스는 전극(4313)과 기판 홀더(4326) 사이에서 플라스마 상태가 된다. 플라스마 상태가 된 원료 가스는 메시(4319)에 의하여 전하가 제거되고 라디칼 등의 전기적으로 중성인 상태로 기판(4130)에 도달된다. 그러므로 이온의 입사 및 플라스마로 인한 손상이 억제된 성막을 수행할 수 있다.

- [0317] 예를 들어 도 8의 (B), 도 9의 (A) 내지 (C)에 나타낸 플라스마 ALD 장치를 사용하여 불순물 제거 처리로서 플라스마 처리 또는 마이크로파 처리를 수행하여도 좋다. 이 경우에는 불순물 제거 처리를 위하여 성막용 체임버로부터 다른 체임버로 이동시킬 필요가 없기 때문에 바람직하다.
- [0318] 또한 도 8의 (B), 도 9의 (A) 내지 (C)에 나타낸 플라스마 ALD 장치를 사용하여 금속 산화물 성막 후에 플라스마 처리 또는 마이크로파 처리를 수행하는 구성으로 하여도 좋다.
- [0319] 다음으로 성막 장치(4000)에 사용할 수 있는 ALD 장치의 다른 구성에 대하여 도 10의 (A) 및 (B)를 사용하여 설명한다.
- [0320] 도 10의 (A)에 나타낸 ALD 장치(4400)는 외측 체임버(4410)의 내부에 체임버(4420) 및 히터(4427)를 가지고, 체임버(4420)의 내부에 기판 홀더(4426)를 가진다. 체임버(4420)에는 원료 도입구(4423)로부터 원료 공급구(4414)를 통하여 전구체, 산화체, 및 캐리어 가스가 공급된다. 또한 체임버(4420)로부터 원료 배출구(4424)를 통하여 배기가 수행된다.
- [0321] 기판 홀더(4426) 위에 기판(4430)이 배치된다. 도 10의 (A)에 나타낸 바와 같이 전구체 및 산화체는 각각 체임버(4420)의 위쪽으로부터 공급되고, 기판(4430)의 상면에 막이 형성된다. 전구체 및 산화체는 체임버(4420)의 아래쪽으로부터 배기되기 전에 기판(4430)의 하면에도 흡착되기 때문에, 기판(4430)의 하면에도 막이 형성된다.
- [0322] 따라서 페이스업 방식으로 ALD 장치(4400)를 사용하는 경우, 도 10의 (B)에 나타낸 바와 같이 기판(4430)의 앞면(4430a)에 막(4431a)이 형성되고, 뒷면(4430b)에 막(4431b)이 형성된다. 바꿔 말하면, ALD 장치(4400)를 사용함으로써 기판(4430)의 양면에 막을 형성할 수 있다.
- [0323] 또한 막(4431a)과 막(4431b)은 동일 또는 실질적으로 동일한 두께가 된다. 또한 전구체 및 산화체의 종류 등에 따라서 막(4431a)과 막(4431b)은 서로 동등 또는 실질적으로 동등한 조성이 될 수도 있고, 서로 다른 조성이 될 수도 있다.
- [0324] 예를 들어 흡착되기 쉬운 원소는 앞면에 형성된 막에서의 농도가 뒷면에 형성된 막에서의 농도보다 높은 경우가 있다. 일례로서, 실시예에서 후술하는 바와 같이, 트라이에틸인듐에 불순물로서 포함되는 알루미늄은 기판의 앞면에 성막된 막(4431a)에서의 농도가 뒷면에 성막된 막(4431b)에서의 농도보다 높은 것이 확인되었다.
- [0325] ALD 장치(4400)를 사용하는 경우, 기판의 앞면을 위쪽으로 한 상태로 성막하는, 소위 페이스업 방식으로 성막하여도 좋고, 기판의 앞면을 아래쪽으로 한 상태(기판을 반전한 상태)로 성막하는, 소위 페이스다운 방식으로 성막하여도 좋다. 원하는 조성을 가지는 막의 성막이 가능한 방식을 적절히 선택할 수 있다.
- [0326] <성막 시퀀스>
- [0327] 다음으로 도 11 내지 도 13을 사용하여 도 8의 (A)에 나타낸 ALD 장치를 사용한 금속 산화물의 성막 시퀀스에 대하여 설명한다. 도 11 내지 도 13에서 제 1 원료 가스 내지 제 4 원료 가스의 도입을 각각 ON으로 나타내고, 원료 가스가 도입되지 않는 기간을 OFF로 나타내었다.
- [0328] 도 11의 (A)에는 도 8의 (A)에 나타낸 ALD 장치를 사용한 성막 시퀀스를 나타내었다. 먼저 체임버(4520) 내의 기판 홀더(4526)에 기판(4530)을 설치한다(단계 S101). 다음으로 히터(4527)의 온도 조절을 수행한다(단계 S102). 이때 배관 히터(4534a) 및 배관 히터(4534b)의 온도 조절도 하면 좋다. 다음으로 기판(4530)의 온도가 기판면 내에서 균일하게 되도록 기판(4530)을 기판 홀더(4526) 위에서 유지한다(단계 S103). 다음으로 상술한 제 1 단계 내지 제 4 단계에 따라 금속 산화물의 성막을 수행한다(단계 S104). 또한 기판(4530)을 설치한(단계 S101) 후에 히터(4527)의 온도 조절이 불필요한 경우에는 단계 S102를 생략하여도 좋다.

- [0329] 단계 S104에서는 체임버(4520)에 제 1 원료 가스(전구체를 포함한 원료 가스) 및 제 2 원료 가스(반응제를 포함한 원료 가스)를 번갈아 도입하여 기판(4530) 위에 성막을 한다. 제 1 원료 가스 및 제 2 원료 가스의 도입은 각각 펄스상으로 수행된다. 제 1 원료 가스 및 제 2 원료 가스가 모두 도입되지 않는 기간에는 체임버(4520) 내가 폐지되어 있다. ALD법에 의한 성막은 제 1 원료 가스의 도입(상기 제 1 단계), 제 1 원료 가스의 폐지(상기 제 2 단계), 제 2 원료 가스의 도입(상기 제 3 단계), 제 2 원료 가스의 폐지(상기 제 4 단계)를 1사이클(1 cycle)로 하고, 이를 반복함으로써 원하는 막 두께를 가지는 막이 형성된다. 또한 여기서는 간헐적으로 수행하는 불순물 제거 처리에 대해서는 언급하지 않았지만, 사이클을 여러 번 반복할 때마다 체임버(4520) 또는 다른 체임버에서 불순물 제거 처리를 수행하여도 좋다.
- [0330] 또한 단계 S103과 단계 S104 사이에, 반응제를 포함한 제 2 원료 가스를 체임버(4020) 내부에 도입하여도 좋다. 제 2 원료 가스로서는, 산화제로서 기능하는 오존( $O_3$ ), 산소( $O_2$ ), 및 물( $H_2O$ ) 중에서 선택된 하나 또는 복수를 도입하는 것이 바람직하다. 제 2 원료 가스로서 물을 도입함으로써 기판(4530) 위에 친수기를 형성할 수 있기 때문에 전구체의 흡착성을 더 향상시킬 수 있다. 제 2 원료 가스로서 오존 및 산소를 도입함으로써 체임버 내를 산소 분위기로 하고, 기판(4530)에 형성된 하지 절연막 등에 산소를 공급할 수 있다. 이에 의하여, 상기 하지 절연막 위에 형성되는 금속 산화물막에 산소를 공급하여 막 내의 산소 농도를 높일 수 있다. 이때 제 2 원료 가스는 단계 S104의 방법과 같은 식으로 펄스상으로 도입되는 것이 바람직하지만, 본 발명은 이에 한정되지 않는다. 제 2 원료 가스는 연속적으로 도입되어도 좋다. 제 2 원료 가스가 도입되지 않는 기간에는 체임버(4520) 내를 배기한다.
- [0331] 상기 제 1 원료 가스를 사용한 1사이클에서 제 1 산화물층을 형성하고, 제 1 원료 가스와는 다른 제 3 원료 가스를 사용한 1사이클에서 제 2 산화물층을 형성하고, 제 1 원료 가스와는 다른 제 4 원료 가스를 사용한 1사이클에서 제 3 산화물층을 형성함으로써, 복수의 상이한 산화물층을 가지는 층상의 결정성 산화물을 성막할 수 있다. 이하에서는 일례로서 도 5 및 도 6에 나타낸 In-Ga-Zn 산화물의 성막 과정에 대응시킨 성막 시퀀스에 대하여 도 11의 (B)를 사용하여 설명한다.
- [0332] 도 11의 (B)에서는 성막 시퀀스의 단계 S104에서, 각각 다른 전구체를 포함하는 제 1 원료 가스 내지 제 3 원료 가스를 사용하여 성막하는 예를 나타내었다. 또한 단계 S101 내지 단계 S103에 대해서는 상술한 바와 같다. 여기서 제 1 원료 가스는 인듐을 포함한 전구체를 포함하고, 제 3 원료 가스는 갈륨을 포함한 전구체를 포함하고, 제 4 원료 가스는 아연을 포함한 전구체를 포함하는 것으로 한다.
- [0333] 도 11의 (B)에 나타낸 바와 같이 먼저 제 1 원료 가스를 도입하여 인듐을 포함한 전구체를 기판(4530) 위에 흡착시킨다(도 5의 (A)에 대응함). 그 후에 제 1 원료 가스의 도입을 정지하고 체임버 내의 과잉한 제 1 원료 가스를 폐지한다.
- [0334] 다음으로 제 2 원료 가스를 도입하여, 흡착된 인듐을 포함한 전구체와 산화제를 반응시킴으로써 인듐 산화물의 층을 형성한다(도 5의 (B)에 대응함). 그 후에 제 2 원료 가스의 도입을 정지하고 체임버 내의 과잉한 제 2 원료 가스를 폐지한다.
- [0335] 다음으로 제 3 원료 가스를 도입하여, 갈륨을 포함한 전구체를 인듐 산화물의 층 위에 흡착시킨다(도 5의 (C)에 대응함). 그 후에 제 3 원료 가스의 도입을 정지하고 체임버 내의 과잉한 제 3 원료 가스를 폐지한다.
- [0336] 다음으로 제 2 원료 가스를 도입하여, 흡착된 갈륨을 포함한 전구체와 산화제를 반응시킴으로써 갈륨 산화물의 층을 형성한다(도 5의 (D)에 대응함). 그 후에 제 2 원료 가스의 도입을 정지하고 체임버 내의 과잉한 제 2 원료 가스를 폐지한다.
- [0337] 다음으로 제 4 원료 가스를 도입하여, 아연을 포함한 전구체를 갈륨 산화물의 층 위에 흡착시킨다(도 6의 (A)에 대응함). 그 후에 제 4 원료 가스의 도입을 정지하고 체임버 내의 과잉한 제 4 원료 가스를 폐지한다.
- [0338] 다음으로 제 2 원료 가스를 도입하여, 흡착된 아연을 포함한 전구체와 산화제를 반응시킴으로써 아연 산화물의 층을 형성한다(도 6의 (B)에 대응함). 그 후에 제 2 원료 가스의 도입을 정지하고 체임버 내의 과잉한 제 2 원료 가스를 폐지한다. 또한 상기 방법을 사용하여 아연 산화물 위에 인듐을 포함한 전구체를 흡착시킨다(도 6의 (C)에 대응함).
- [0339] 상기와 같이 산화 인듐, 산화 갈륨, 및 산화 아연을 형성하는 공정을 1사이클로 하고 사이클을 반복함으로써, 원하는 막 두께의  $In:Ga:Zn=1:1:1$ [원자수비]의 In-Ga-Zn 산화물을 형성할 수 있다.
- [0340] 또한 제 1 원료 가스 내지 제 4 원료 가스의 도입은 각각 펄스상으로 수행된다. 체임버(4520)에 제 1 원료 가

스, 제 3 원료 가스, 및 제 4 원료 가스를 도입하는 펄스 시간은 0.05초 이상 1초 이하, 바람직하게는 0.1초 이상 0.5초 이하로 한다. 또한 제 1 원료 가스, 제 3 원료 가스, 및 제 4 원료 가스를 체임버(4520)로부터 배기하는 시간은 0.1초 이상 15초 이하, 바람직하게는 0.5초 이상 10초 이하로 한다. 체임버(4520)에 제 2 원료 가스를 도입하는 펄스 시간은 0.05초 이상 30초 이하, 바람직하게는 0.1초 이상 15초 이하로 한다. 또한 제 2 원료 가스를 체임버(4520)로부터 배기하는 시간은 0.1초 이상 15초 이하, 바람직하게는 0.1초 이상 5초 이하로 한다.

[0341] 또한 도 11의 (B)에 나타낸 시퀀스에서 제 1 원료 가스, 제 3 원료 가스, 및 제 4 원료 가스를 도입하는 순서는 이에 한정되지 않는다. 예를 들어 아연을 포함한 전구체를 포함하는 제 4 가스를 먼저 도입하여도 좋다. 산화아연은 산화 인듐 및 산화 갈륨보다 결정 구조를 형성하기 쉽기 때문에, 최하층에 안정된 산화 아연의 결정을 형성할 수 있다. 이에 의하여 산화 아연 위에 산화 인듐 및 산화 갈륨의 층을 비교적 쉽게 형성할 수 있다.

[0342] 앞에서는 In:Ga:Zn=1:1:1[원자수비]의 In-Ga-Zn 산화물의 성막에 대하여 설명하였지만, 본 발명은 이에 한정되는 것이 아니다. 같은 방법을 사용하여 원자수비가 상이한 In-Ga-Zn 산화물을 형성할 수 있다. 요구되는 In-Ga-Zn 산화물의 원자수비에 맞추어, 1사이클에서의 전구체를 포함하는 원료 가스의 펄스 횟수 또는 펄스 시간을 설정하는 것이 바람직하다.

[0343] 예를 들어 도 11의 (B)에 나타낸 시퀀스에서는 In:Ga:Zn=1:1:1[원자수비]의 In-Ga-Zn 산화물을 성막하기 위하여 1사이클에서의 인듐을 포함한 제 1 원료 가스와, 갈륨을 포함한 제 3 원료 가스와, 아연을 포함한 제 4 원료 가스의 펄스 횟수를 한 번씩으로 하였다. 이때 각 전구체의 펄스 시간은 같은 것으로 한다.

[0344] 도 12의 (A)에 In:Ga:Zn=1:3:4[원자수비]의 In-Ga-Zn 산화물의 성막 시퀀스의 예를 나타내었다. 도 12의 (A)에서는 1사이클에서의 인듐을 포함한 제 1 원료 가스의 펄스 횟수가 한 번, 갈륨을 포함한 제 3 원료 가스의 펄스 횟수가 세 번, 아연을 포함한 제 4 원료 가스의 펄스 횟수가 네 번이다. 즉 전구체를 포함하는 원료 가스의 펄스 횟수가 In:Ga:Zn=1:3:4[원자수비]에 대응한다. 이와 같이 성막을 수행함으로써, 도 2의 (D)에 따른 층상 결정 구조의 금속 산화물을 형성할 수 있다.

[0345] 또한 상술한 바와 같이 기판을 가열하면서 ALD법에 의한 성막을 수행함으로써 각 산화물층의 재배열을 촉진할 수 있다. 이에 의하여, 도 12의 (A)에 나타낸 시퀀스에 따라 성막하여도 도 2의 (D)에 나타낸 층(23)과 같이 하나의 산화물층에 2종류의 금속 원소(인듐 및 갈륨)를 포함한 층을 형성할 수도 있다.

[0346] 또한 상기에서는 상이한 종류의 전구체의 도입 사이에 반응제를 포함한 원료 가스의 도입을 두었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어 반응제를 포함한 원료 가스의 도입을 사이에 두면서 연속하여 같은 종류의 전구체를 포함하는 원료 가스를 도입하여도 좋다. 이때 1사이클에서의 전구체를 포함하는 원료 가스의 펄스 횟수는 요구되는 In-Ga-Zn 산화물의 원자수비와 같은 것이 바람직하다.

[0347] 또한 상기에서는 제 2 원료 가스로 산화를 수행하는 인터벌 사이에 1종류의 전구체를 포함하는 원료 가스만을 도입하는 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 제 2 원료 가스로 산화를 수행하는 인터벌 사이에 전구체를 포함하는 원료 가스를 2종류 이상 도입하는 구성으로 하여도 좋다. 이때 전구체를 포함하는 원료 가스를 2종류 이상 동시에 도입하는 구성으로 하여도 좋다. 또한 제 2 원료 가스로 산화를 수행하는 인터벌 사이에 같은 종류의 전구체를 2번 연속으로 도입하는 구성으로 하여도 좋다.

[0348] 예를 들어 In:Ga:Zn=1:3:4[원자수비]의 In-Ga-Zn 산화물을 성막할 때, 도 12의 (B)에 나타낸 바와 같은 시퀀스로 성막하여도 좋다. 도 12의 (B)에서는 도 2의 (D)에 나타낸 층(23), 층(41), 층(31), 층(41)의 순서로 적층되는 결정 구조에 맞추어 제 1 원료 가스 및 제 3 원료 가스, 제 4 원료 가스, 제 3 원료 가스, 제 4 원료 가스의 순서로 도입하였다. 다만 최초의 제 1 원료 가스와 제 3 원료 가스의 도입은 사이에 제 2 원료 가스의 도입을 두지 않고 수행하였다. 즉 제 1 원료 가스에 포함되는 인듐을 포함한 전구체와 제 3 원료 가스에 포함되는 갈륨을 포함한 전구체가 흡착된 후에 산화제를 도입한다. 이에 의하여, 도 2의 (D)에 나타낸 층(23)과 같이 하나의 산화물층에 2종류의 금속 원소(인듐 및 갈륨)를 포함한 층을 형성할 수 있다. 이때 제 1 원료 가스와 제 3 원료 가스의 펄스 시간은 제 4 원료 가스의 펄스 시간의 절반 정도로 하는 것이 바람직하다. 이에 의하여, 도 12의 (B)에 나타낸 바와 같이, 1사이클에서의 인듐을 포함한 제 1 원료 가스의 펄스 시간과, 갈륨을 포함한 제 3 원료 가스의 펄스 시간과, 아연을 포함한 제 4 원료 가스의 펄스 시간의 비율을 원자수비와 같은 1:3:4로 할 수 있다.

[0349] 앞에서는 원자수비가 일정한 산화물의 성막에 대하여 설명하였지만, 본 발명은 이에 한정되는 것이 아니다. 같은 방법을 사용하여 원자수비가 상이한 2종류 이상의 산화물을 연속적으로 성막할 수 있다. 이 경우, 원자수비

가 상이한 적층 산화물에서 각각의 산화물의 원자수비에 맞추어 1사이클에서의 전구체를 포함하는 원료 가스의 펠스 횟수 또는 펠스 시간을 설정하는 것이 바람직하다. 이와 같이 성막함으로써, 원자수비가 상이한 적층 산화물을 단일의 체임버에서 성막할 수 있다. 따라서 각각의 산화물을 성막하는 인터벌에서 수소 또는 탄소 등의 불순물이 들어가는 것을 방지할 수 있다.

[0350] 도 13에는 In:Ga:Zn=1:3:4[원자수비]의 산화물 위에 In:Ga:Zn=1:1:1[원자수비]의 산화물을 적층할 때의 성막 시퀀스의 예를 나타내었다. 단계 104a는 In:Ga:Zn=1:3:4[원자수비]의 산화물에 대응하고, 도 12의 (A)에 나타낸 시퀀스와 같다. 또한 단계 104b는 In:Ga:Zn=1:1:1[원자수비]의 산화물에 대응하고, 도 11의 (B)에 나타낸 시퀀스와 같다. 이와 같이 전반에는 1사이클의 펠스 횟수를 제 1 원료 가스:제 3 원료 가스:제 4 원료 가스=1:3:4로 하고, 후반에는 1사이클의 펠스 횟수를 제 1 원료 가스:제 3 원료 가스:제 4 원료 가스=1:1:1로 함으로써, 도 3의 (B)에 나타낸 산화물(62)과 산화물(60)의 적층 구조의 금속 산화물을 성막할 수 있다. 즉 전반은 In:Ga:Zn=1:3:4[원자수비]에 대응한 펠스 횟수로 성막하고, 후반은 In:Ga:Zn=1:1:1[원자수비]에 대응한 펠스 횟수로 성막하였다.

[0351] 또한 앞에서는 In-Ga-Zn 산화물을 예로 들어 성막 방법에 대하여 설명하였지만, 본 발명은 이에 한정되는 것이 아니다. 요구되는 금속 산화물에 포함되는 금속 원소에 맞추어 전구체를 적절히 설정하면 좋다. 또한 앞에서는 전구체의 수를 1종류 또는 3종류로 하였지만, 이에 한정되지 않고 2종류 또는 4종류 이상으로 하여도 좋다.

[0352] 또한 앞에서 1종류의 금속 원소를 포함한 전구체를 사용하여 성막을 수행하는 예를 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 2종류 이상의 금속 원소를 포함한 전구체를 사용하여도 좋다. 예를 들어 인듐과 갈륨을 포함한 전구체, 또는 갈륨과 아연을 포함한 전구체 등을 사용하여도 좋다. 이 경우, 도 8의 (A) 등에 나타낸 원료 공급부(4521)의 개수를 줄일 수 있다.

[0353] <CAAC 구조를 가지는 금속 산화물>

[0354] 이하에서는 CAAC 구조를 가지는 금속 산화물의 자세한 사항에 대하여 설명한다.

[0355] CAAC 구조는 복수의 결정을 가지고, 상기 복수의 결정은 c축이 특정 방향으로 배향된다. 또한 특정 방향이란 CAAC 구조를 가지는 금속 산화물의 두께 방향, CAAC 구조를 가지는 금속 산화물의 피형성면의 법선 방향, 또는 CAAC 구조를 가지는 금속 산화물의 표면의 법선 방향이다. 또한 결정 영역이라고 표기하는 경우, 상기 결정 영역은 CAAC 구조가 가지는 결정 그 자체, 또는 CAAC 구조가 가지는 결정 및 그 근방의 영역을 가리킨다. 따라서 CAAC 구조가 가지는 결정을 CAAC 구조가 가지는 결정 영역이라고 표기하는 경우가 있다.

[0356] 결정 영역은 원자 배열에 주기성을 가지는 영역이다. 또한 원자 배열을 격자 배열로 간주하면, 결정 영역은 격자 배열이 정렬된 영역이기도 하다. 또한 CAAC 구조는 a-b면 방향에서 복수의 결정 영역이 연결되는 영역을 가지고, 상기 영역은 변형을 가지는 경우가 있다. 또한 변형이란, 복수의 결정 영역이 연결되는 영역에서, 격자 배열이 정렬된 영역과, 격자 배열이 정렬된 다른 영역 사이에서 격자 배열의 방향이 변화되는 부분을 가리킨다. 즉 CAAC 구조를 가지는 금속 산화물은 c축 배향을 가지고, a-b면 방향으로는 명확한 배향을 가지지 않는 금속 산화물이다.

[0357] 또한 상기 복수의 결정 영역의 각각은, 하나 또는 복수의 미소한 결정(최대 직경이 10nm 미만인 결정)으로 구성된다. 결정 영역이 하나의 미소한 결정으로 구성되는 경우, 상기 결정 영역의 최대 직경은 10nm 미만이 된다. 또한 결정 영역이 다수의 미소한 결정으로 구성되는 경우, 상기 결정 영역의 크기는 수십nm 정도가 되는 경우가 있다.

[0358] 또한 In-M-Zn 산화물(원소 M은 갈륨, 이트륨, 주석, 타이타늄 등 중에서 선택된 1종류 또는 복수 종류)에서, CAAC 구조는 인듐(In) 및 산소를 포함한 층과, 원소 M, 아연(Zn), 및 산소를 포함한 층이 적층된 층상 결정 구조(층상 구조라고도 함)를 가지는 경향이 있다. 또한 인듐 및 산소를 포함한 층에는 원소 M 또는 아연이 포함되는 경우가 있다. 또한 원소 M, 아연, 및 산소를 포함한 층에는 인듐이 포함되는 경우가 있다. 상기 층상 구조는 예를 들어 고분해능 TEM 이미지에서 격자상(格子像)으로 관찰된다.

[0359] 예를 들어 XRD 장치를 사용하여 CAAC 구조를 가지는 금속 산화물의 구조 해석을 수행할 때,  $\Theta/2\Theta$  스캔을 사용한 Out-of-plane XRD 측정에서는, c축 배향을 나타내는 피크가  $2\Theta=31^\circ$  또는 그 근방에서 검출된다. 또한 c축 배향을 나타내는 피크의 위치( $2\Theta$ 의 값)는 금속 산화물을 구성하는 금속 원소의 종류, 조성 등에 따라 변동되는 경우가 있다.

[0360] 또한 예를 들어 CAAC 구조를 가지는 금속 산화물의 전자선 회절 패턴에서 복수의 휘점(스폿)이 관측된다. 또한

어떤 스폿과 다른 스폿은 시료를 투과한 입사 전자선의 스폿(디렉트 스폿이라고도 함)을 대칭 중심으로 하여 점 대칭의 위치에서 관측된다.

[0361] 또한 TEM 이미지에 FFT(Fast Fourier Transform) 해석을 수행함으로써, 전자선 회절 패턴과 같은 역 격자 공간 정보를 반영한 패턴을 가지는 FFT 이미지를 얻을 수 있다. 즉 FFT 해석을 사용하여 결정 구조(예를 들어 CAAC 구조)의 확인 및 평가를 수행할 수도 있다. 예를 들어 CAAC 구조를 가지는 금속 산화물을 c축에 수직인 방향으로부터 촬영한 단면 TEM 이미지의 경우, FFT 이미지에는 높은 강도의 2점의 스폿이 보이는 경우가 있다. 이 2점의 스폿의 강도가 CAAC 구조를 가지는 금속 산화물의 결정화도를 나타내고, 이 2점의 스폿을 연결한 선분의 각도가 CAAC 구조를 가지는 금속 산화물의 결정의 배향성을 나타낸다.

[0362] 상기 특정 방향에서 결정 영역을 관찰한 경우, 상기 결정 영역 내의 격자 배열은 기본적으로 육방 격자이지만, 단위 격자는 정육각형에 한정되지 않고, 비정육각형인 경우가 있다. 또한 오각형, 칠각형 등의 격자 배열이 상기 변형에 포함되는 경우가 있다. 또한 CAAC 구조를 가지는 금속 산화물에서, 변형 근방에서도 명확한 결정립계를 확인할 수 없다. 즉 격자 배열의 변형에 의하여 결정립계의 형성이 억제되는 것을 알 수 있다. 이는 CAAC 구조를 가지는 금속 산화물이 a-b면 방향에서 산소 원자의 배열이 조밀하지 않거나, 금속 원자가 치환되어 원자간 결합 거리가 변화되는 것 등에 의하여 변형을 허용할 수 있기 때문이라고 생각된다.

[0363] CAAC 구조를 가지는 금속 산화물은 결정성이 높고 명확한 결정립계가 확인되지 않는 금속 산화물이다. 즉 CAAC를 가지는 금속 산화물은 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다. 따라서 CAAC 구조를 가지는 금속 산화물은 물리적 성질이 안정된다. 그러므로 CAAC 구조를 가지는 금속 산화물은 열에 강하고 신뢰성이 높다. 따라서 CAAC 구조를 가지는 금속 산화물은 트랜지스터의 반도체층에 적합한 결정 구조를 가지는 결정성 산화물 중 하나이다.

[0364] 이상과 같이, 알루미늄 함유량이 적은 전구체를 사용하여 알루미늄을 주성분으로서 포함하지 않는 금속 산화물을 제작함으로써, 성막한 금속 산화물 내의 알루미늄 농도가 높아지는 것을 억제할 수 있다. 이러한 금속 산화물을 트랜지스터의 반도체층에 사용함으로써 온 전류가 높은 트랜지스터를 제작할 수 있다. 또한 마이크로파 처리 등의 불순물 제거 처리를 수행함으로써, 금속 산화물의 결정성을 높일 수 있어 트랜지스터의 신뢰성을 높일 수 있다.

[0365] 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다. 또한 본 명세서에서 하나의 실시형태에 복수의 구성 예가 제시되는 경우에는 구성 예를 적절히 조합할 수 있다.

[0366] (실시형태 2)

[0367] 본 실시형태에서는 본 발명의 일 형태의 트랜지스터, 반도체 장치, 및 기억 장치에 대하여 도 14 내지 도 32를 사용하여 설명한다. 본 발명의 일 형태의 반도체 장치는 트랜지스터를 가진다. 본 발명의 일 형태의 기억 장치는 메모리 셀을 가진다. 또한 상기 메모리 셀은 트랜지스터 및 용량 소자를 가진다.

[0368] <반도체 장치의 구성 예 1>

[0369] 도 14의 (A) 내지 (D)에 본 발명의 일 형태의 반도체 장치의 일례를 나타내었다.

[0370] 도 14의 (A)에 나타낸 트랜지스터(200A)는 도전체(120), 산화물 반도체(230), 절연체(250), 도전체(240), 및 도전체(260)를 가진다. 도전체(120), 산화물 반도체(230), 절연체(250), 도전체(240), 및 도전체(260)는 각각 단층 구조를 가져도 좋고, 2층 이상의 적층 구조를 가져도 좋다.

[0371] 도전체(120)는 절연체(130) 위에 제공된다. 도전체(120)는 소스 및 드레인 중 한쪽으로서 기능한다.

[0372] 도전체(120) 위에는 절연체(280)가 제공되고, 절연체(280) 위에는 도전체(240)가 제공된다. 절연체(280) 및 도전체(240)에는 도전체(120)에 도달하는 개구가 제공된다. 도전체(240)는 소스 및 드레인 중 다른 쪽으로서 기능한다.

[0373] 산화물 반도체(230)는 절연체(280) 및 도전체(240)에 제공된 개구를 따라 제공되고, 개구의 내측에서 도전체(120)의 상면과 접한다. 또한 산화물 반도체(230)는 개구의 내측에서 절연체(280)의 측면과도 접한다. 또한 산화물 반도체(230)는 도전체(240)와 접하는 부분을 가진다. 산화물 반도체(230)는 채널 형성 영역으로서 기능하는 영역을 가진다.

[0374] 산화물 반도체(230)는 도전체(240)의 상면, 측면, 및 밑면(하면이라고도 기재함) 중 적어도 하나와 접한다. 트랜지스터(200A)는 절연체(280) 위에서 산화물 반도체(230)의 하면이 도전체(240)의 상면과 접하는, 소위 보텀

콘택트 구조를 가진다. 또한 산화물 반도체(230) 위에 도전체(240)를 제공하고 산화물 반도체(230)의 상면이 도전체(240)의 하면과 접하는, 소위 톱 콘택트 구조를 가져도 좋다.

[0375] 절연체(250)는 산화물 반도체(230) 위에 제공된다. 도전체(260)는 절연체(250) 위에 위치하고, 절연체(250)를 개재하여 산화물 반도체(230)와 중첩된다. 도전체(260)는 게이트로서 기능한다.

[0376] 트랜지스터(200A)는 채널 형성 영역이 게이트를 둘러싸는 구조를 가진다. 따라서 트랜지스터(200A)는 CAA(Channel-All-Around) 구조의 트랜지스터라고 할 수 있다.

[0377] 도 14의 (A)에 나타낸 트랜지스터(200A)에서는 절연체(280) 및 도전체(240)의 개구에서의 면이 도전체(120)의 상면에 대하여 경사져 있다. 즉 개구부의 측벽이 테이퍼 형상을 가진다고 할 수 있다.

[0378] 개구부의 측벽이 테이퍼 형상을 가지면, 개구부를 따라 제공되는 산화물 반도체(230), 절연체(250) 등의 피복성이 향상되기 때문에 바람직하다. 또한 본 발명의 일 형태의 금속 산화물의 성막 방법을 적용함으로써 산화물 반도체(230)를 높은 피복성으로 형성할 수 있다.

[0379] 한편, 도 14의 (B)에 나타낸 트랜지스터(200B)에서는 절연체(280) 및 도전체(240)의 개구에서의 면이 도전체(120)의 상면에 대하여 수직이다. 그 이외에는 트랜지스터(200B)는 트랜지스터(200A)와 같은 구성을 가진다.

[0380] 개구부의 측벽이 도전체(120)의 상면에 대하여 수직이면, 테이퍼 형상인 경우에 비하여 트랜지스터의 채널 길이를 짧게 할 수 있다. 또한 본 발명의 일 형태의 금속 산화물의 성막 방법을 적용함으로써, 개구부의 측벽이 도전체(120)의 상면에 대하여 수직인 경우에도 산화물 반도체(230)를 높은 피복성으로 형성할 수 있다.

[0381] 도 14의 (C)에 나타낸 트랜지스터(200C)는 도전체(120), 산화물 반도체(230), 절연체(250), 도전체(240), 및 도전체(260)를 가진다.

[0382] 도전체(120)는 절연체(130) 위에 제공된다. 도전체(120)는 소스 및 드레인 중 한쪽으로서 기능한다.

[0383] 도전체(120) 위에는 절연체(280)가 제공되고, 절연체(280) 위에는 도전체(260)가 제공되고, 도전체(260) 위에는 절연체(272)가 제공된다. 절연체(280), 도전체(260), 및 절연체(272)에는 도전체(120)에 도달하는 개구가 제공된다. 도전체(260)는 게이트로서 기능한다.

[0384] 절연체(250)는 절연체(280), 도전체(260), 및 절연체(272)에 제공된 개구를 따라 제공되고, 도전체(120)에 도달하는 개구를 가진다. 마찬가지로 산화물 반도체(230)는 절연체(280), 도전체(260), 및 절연체(272)에 제공된 개구를 따라 제공된다. 산화물 반도체(230)는 절연체(250)를 개재하여 도전체(260)와 중첩된다. 또한 산화물 반도체(230)는 절연체(250)에 제공된 개구를 통하여 도전체(120)의 상면과 접한다.

[0385] 절연체(275)는 산화물 반도체(230)의 오목부를 매립하도록 제공된다. 또한 산화물 반도체(230)가 오목부를 가지지 않는 경우, 절연체(275)를 제공하지 않아도 된다.

[0386] 도전체(240)는 산화물 반도체(230) 위에 제공된다. 도전체(240)는 소스 및 드레인 중 다른 쪽으로서 기능한다.

[0387] 트랜지스터(200C)는 채널 형성 영역을 게이트로 둘러싸는 구조를 가진다. 따라서 트랜지스터(200C)는 GAA(Gate-All-Around) 구조의 트랜지스터라고 할 수 있다.

[0388] 도 14의 (C)에 나타낸 트랜지스터(200C)에서는 절연체(280), 도전체(260), 및 절연체(272)의 개구에서의 면이 도전체(120)의 상면에 대하여 경사져 있다. 즉 개구부의 측벽이 테이퍼 형상을 가진다고 할 수 있다.

[0389] 개구부의 측벽이 테이퍼 형상을 가지면, 개구부를 따라 제공되는 절연체(250), 산화물 반도체(230) 등의 피복성이 향상되기 때문에 바람직하다. 또한 본 발명의 일 형태의 금속 산화물의 성막 방법을 적용함으로써 산화물 반도체(230)를 높은 피복성으로 형성할 수 있다.

[0390] 한편, 도 14의 (D)에 나타낸 트랜지스터(200D)에서는 절연체(280), 도전체(260), 및 절연체(272)의 개구에서의 면이 도전체(120)의 상면에 대하여 수직이다. 그 이외에는 트랜지스터(200D)는 트랜지스터(200C)와 같은 구성을 가진다.

[0391] 개구부의 측벽이 도전체(120)의 상면에 대하여 수직이면, 테이퍼 형상인 경우에 비하여 트랜지스터의 채널 길이를 짧게 할 수 있다. 또한 본 발명의 일 형태의 금속 산화물의 성막 방법을 적용함으로써, 개구부의 측벽이 도전체(120)의 상면에 대하여 수직인 경우에도 산화물 반도체(230)를 높은 피복성으로 형성할 수 있다.

[0392] 도 14의 (A) 내지 (D)에 나타낸 각 트랜지스터에서, 산화물 반도체(230)는 도전체(120)의 상면과 접하는 제 1

부분, 절연체(280)의 측면과 접하는 제 2 부분, 및 도전체(240)와 접하는 제 3 부분을 가진다.

[0393] 제 1 부분과 제 2 부분은 절연체(280)에 제공된 개구의 내측에 위치한다.

[0394] 산화물 반도체(230)는 도전체(240)의 상면, 측면, 및 밑면(하면이라고 기재함) 중 어느 하나 또는 복수와 접할 수 있다. 도 14의 (A) 및 (B)에서는 산화물 반도체(230)가 도전체(240)의 상면 및 측면과 접하는 예를 나타내었다. 또한 도 14의 (C) 및 (D)에서는 산화물 반도체(230)가 도전체(240)의 밑면과 접하는 예를 나타내었다.

[0395] 여기서 산화물 반도체(230)의 형성 방법으로서는 실시형태 1에서 설명한 본 발명의 일 형태의 금속 산화물의 성막 방법이 적합하다.

[0396] ALD법을 사용하여 산화물 반도체(230)를 형성함으로써, 구조체의 상면, 밑면, 측면, 및 경사진 면에 대하여 금속 산화물을 높은 피복성으로 형성할 수 있다. 즉 각 피성막면에서 법선 방향으로 실질적으로 일정한 막 두께를 가지는 금속 산화물을 형성할 수 있다. 구조체의 상면, 밑면, 측면, 및 경사진 면 각각에 형성된 금속 산화물에서, 최대 막 두께에 대한 최소 막 두께의 비를 0.5 이상 1 이하, 바람직하게는 0.7 이상 1 이하, 더 바람직하게는 0.8 이상 1 이하, 더 바람직하게는 0.9 이상 1 이하로 할 수 있다.

[0397] 예를 들어 도전체(120)와 접하는 제 1 부분의 두께에 대한 절연체(280)의 측면과 접하는 제 2 부분의 두께의 비는 0.7 이상 1.3 이하인 것이 바람직하고, 0.8 이상 1.2 이하인 것이 더 바람직하고, 0.9 이상 1.1 이하인 것이 바람직하다.

[0398] 또한 산화물 반도체(230)의 채널 형성 영역에서의 알루미늄 농도는 0.01atomic% 이상인 것이 바람직하고, 또한 10atomic% 이하인 것이 바람직하고, 5atomic% 이하인 것이 더 바람직하고, 3atomic% 이하인 것이 더 바람직하고, 1atomic% 이하인 것이 더 바람직하고, 0.1atomic% 이하인 것이 더 바람직하다. 또는 0.01atomic% 이하이어도 좋다. 실시형태 1에서 자세히 설명한 바와 같이, 산화물 반도체 내의 알루미늄 농도를 낮게 함으로써, 트랜지스터의 신뢰성과 전기 특성의 양쪽을 양호하게 할 수 있다. 또한 알루미늄 농도를 매우 낮게 함으로써 트랜지스터의 온 전류를 더 높게 할 수 있다.

[0399] 또한 산화물 반도체(230)의 채널 형성 영역에서의 탄소 농도는  $1 \times 10^{20}$  atoms/cm<sup>3</sup> 이하, 바람직하게는  $5 \times 10^{19}$  atoms/cm<sup>3</sup> 이하, 더 바람직하게는  $3 \times 10^{19}$  atoms/cm<sup>3</sup> 이하, 더 바람직하게는  $1 \times 10^{19}$  atoms/cm<sup>3</sup> 이하, 더 바람직하게는  $3 \times 10^{18}$  atoms/cm<sup>3</sup> 이하, 더 바람직하게는  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이하로 한다. 산화물 반도체(230) 내의 탄소 농도를 낮게 함으로써 결합 준위의 형성을 억제하여 트랜지스터의 신뢰성을 높일 수 있다.

[0400] 도 14의 (A) 내지 (D)에 나타낸 트랜지스터에서는 소스 전극과 드레인 전극이 상이한 높이에 위치하기 때문에, 산화물 반도체(230)를 흐르는 전류는 위에서 아래에 또는 아래에서 위에 흐르게 된다. 즉 채널 길이 방향이 높이 방향(세로 방향)의 성분을 가진다고 할 수 있기 때문에 본 발명의 일 형태의 트랜지스터는 수직형 트랜지스터, 수직 채널 트랜지스터, 수직 채널형 트랜지스터 등이라고도 부를 수 있다.

[0401] 본 발명의 일 형태의 트랜지스터에서는 소스 전극, 반도체층, 및 드레인 전극을 중첩하여 제공할 수 있기 때문에, 반도체층을 평면상으로 배치한, 소위 플레이너(planar)형 트랜지스터보다 차지하는 면적을 대폭적으로 축소 할 수 있다.

[0402] <기억 장치의 구성 예 1>

[0403] 도 15를 사용하여 트랜지스터 및 용량 소자를 가지는 기억 장치의 구성에 대하여 설명한다. 도 15의 (A) 내지 (C)는 트랜지스터(200) 및 용량 소자(100)를 가지는 기억 장치의 평면도 및 단면도이다. 도 15의 (A)는 상기 기억 장치의 평면도이다. 또한 도 15의 (B) 및 (C)는 상기 기억 장치의 단면도이다. 여기서 도 15의 (B)는 도 15의 (A)에서 일점쇄선 A1-A2로 나타낸 부분의 단면도이다. 또한 도 15의 (C)는 도 15의 (A)에서 일점쇄선 A3-A4로 나타낸 부분의 단면도이다. 또한 도 15의 (A)의 평면도에서는 도면의 명료화를 위하여 일부 요소를 생략 하였다.

[0404] 또한 본 명세서에 따른 도면 등에서 X방향, Y방향, 및 Z방향을 나타내는 화살표를 붙이는 경우가 있다. 또한 본 명세서 등에서 "X방향"이란, X축을 따르는 방향이고, 명시하는 경우를 제외하고 순방향과 역방향을 구별하지 않는 경우가 있다. "Y방향" 및 "Z방향"에 대해서도 마찬가지이다. 또한 X방향, Y방향, 및 Z방향은 각각이 서로 교차하는 방향이다. 예를 들어 X방향, Y방향, 및 Z방향은 각각이 서로 직교하는 방향이다. 본 명세서 등에서는 X방향, Y방향, 및 Z방향 중 하나를 "제 1 방향"이라고 부르는 경우가 있다. 또한 다른 하나를 "제 2

방향"이라고 부르는 경우가 있다. 또한 나머지 하나를 "제 3 방향"이라고 부르는 경우가 있다.

[0405] 도 15의 (A) 내지 (C)에 나타낸 기억 장치는 기판(도시하지 않았음) 위의 절연체(140)와, 절연체(140) 위의 도전체(110)와, 도전체(110) 위의 메모리 셀(150)과, 도전체(110) 위의 절연체(180)와, 절연체(280)와, 메모리 셀(150) 위의 절연체(283)를 가진다. 절연체(140), 절연체(180), 절연체(280), 및 절연체(283)는 충간막으로서 기능한다. 도전체(110)는 배선으로서 기능한다.

[0406] 메모리 셀(150)은 도전체(110) 위의 용량 소자(100)와, 용량 소자(100) 위의 트랜지스터(200)를 가진다.

[0407] 용량 소자(100)는 도전체(110) 위의 도전체(115)와, 도전체(115) 위의 절연체(130)와, 절연체(130) 위의 도전체(120)를 가진다. 도전체(120)는 한 쌍의 전극 중 한쪽(상부 전극이라고 하는 경우가 있음)으로서 기능하고, 도전체(115)는 한 쌍의 전극 중 다른 쪽(하부 전극이라고 하는 경우가 있음)으로서 기능하고, 절연체(130)는 유전체로서 기능한다. 즉 용량 소자(100)는 MIM(Metal-Insulator-Metal) 용량 소자를 구성한다.

[0408] 도 15의 (B) 및 (C)에 나타낸 바와 같이, 절연체(180)에는 도전체(110)에 도달하는 개구부(190)가 제공되어 있다. 도전체(115)의 적어도 일부는 개구부(190)에 배치되어 있다. 또한 도전체(115)는 개구부(190)에서 도전체(110)의 상면에 접하는 영역과, 개구부(190)에서 절연체(180)의 측면에 접하는 영역과, 절연체(180)의 상면의 적어도 일부에 접하는 영역을 가진다. 절연체(130)는 적어도 일부가 개구부(190)에 위치하도록 배치되어 있다. 도전체(120)는 적어도 일부가 개구부(190)에 위치하도록 배치되어 있다. 또한 도전체(120)는 도 15의 (B) 및 (C)에 나타낸 바와 같이 개구부(190)를 매립하도록 제공되는 것이 바람직하다. 또한 개구부(190)의 내부에 제공하는 막은 각각 ALD법을 사용하여 형성하는 것이 바람직하다. 이로써 상기 막의 피복성이 양호하게 된다. 예를 들어 도전체(115), 절연체(130), 및 도전체(120)는 각각 ALD법을 사용하여 형성하는 것이 바람직하다.

[0409] 용량 소자(100)는 개구부(190)에서, 밑면뿐만 아니라 측면에서도 상부 전극과 하부 전극이 유전체를 사이에 두고 마주 보는 구성을 가지기 때문에, 단위 면적당 정전 용량을 크게 할 수 있다. 따라서 개구부(190)의 깊이를 깊게 할수록, 용량 소자(100)의 정전 용량을 크게 할 수 있다. 이와 같이 용량 소자(100)의 단위 면적당 정전 용량을 크게 함으로써 기억 장치의 판독 동작을 안정적으로 할 수 있다. 또한 기억 장치의 미세화 또는 고집적화를 추진할 수 있다.

[0410] 도 15의 (B) 및 (C)에는 개구부(190)의 측벽이 도전체(110)의 상면에 대하여 수직인 예를 나타내었다. 이때 개구부(190)는 원통 형상을 가진다. 이러한 구조로 함으로써 기억 장치의 미세화 또는 고집적화를 도모할 수 있다.

[0411] 개구부(190)의 측벽 및 도전체(110)의 상면을 따라 도전체(115) 및 절연체(130)가 적층되어 제공되어 있다. 또한 개구부(190)를 매립하도록 절연체(130) 위에 도전체(120)가 제공되어 있다. 이와 같은 구성을 가지는 용량 소자(100)는 트렌치형 용량 소자 또는 트렌치 용량 소자라고 불러도 좋다.

[0412] 용량 소자(100) 위에 절연체(280)가 배치되어 있다. 즉 도전체(115), 절연체(130), 및 도전체(120) 위에 절연체(280)가 배치되어 있다. 바꿔 말하면, 절연체(280) 아래에 도전체(120)가 배치되어 있다.

[0413] 트랜지스터(200)는 도전체(120)와, 절연체(280) 위의 도전체(240)와, 산화물 반도체(230)와, 산화물 반도체(230) 위의 절연체(250)와, 절연체(250) 위의 도전체(260)를 가진다. 산화물 반도체(230)는 반도체층으로서 기능하고, 도전체(260)는 게이트 전극으로서 기능하고, 절연체(250)는 게이트 절연체로서 기능하고, 도전체(120)는 소스 전극 및 드레인 전극 중 한쪽으로서 기능하고, 도전체(240)는 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능한다. 또한 트랜지스터(200) 대신에, 도 14의 (A) 내지 (D)에 나타낸 트랜지스터(200A 내지 200D)를 적용하여도 좋다.

[0414] 도 15의 (B) 및 (C)에 나타낸 바와 같이 절연체(280) 및 도전체(240)에는 도전체(120)에 도달하는 개구부(290)가 제공되어 있다. 산화물 반도체(230)의 적어도 일부는 개구부(290)에 배치되어 있다. 또한 산화물 반도체(230)는 개구부(290)에서 도전체(120)의 상면에 접하는 영역과, 개구부(290)에서 도전체(240)의 측면에 접하는 영역과, 도전체(240)의 상면의 적어도 일부에 접하는 영역을 가진다. 절연체(250)는 적어도 일부가 개구부(290)에 위치하도록 배치되어 있다. 도전체(260)는 적어도 일부가 개구부(290)에 위치하도록 배치되어 있다. 또한 도전체(260)는 도 15의 (B) 및 (C)에 나타낸 바와 같이 개구부(290)를 매립하도록 제공되는 것이 바람직하다. 또한 개구부(290)의 내부에 제공하는 막은 각각 ALD법을 사용하여 형성하는 것이 바람직하다. 이로써 상기 막의 피복성이 양호하게 된다. 예를 들어 산화물 반도체(230), 절연체(250), 및 도전체(260)는 각각 ALD법을 사용하여 형성하는 것이 바람직하다. 본 발명의 일 형태의 금속 산화물의 성막 방법을 적용함으로써 산화물

반도체(230)를 높은 피복성으로 형성할 수 있다.

[0415] 산화물 반도체(230)는 개구부(290)에서 도전체(240)의 측면에 접하는 영역과, 도전체(240)의 상면의 일부에 접하는 영역을 가진다. 이와 같이, 산화물 반도체(230)가 도전체(240)의 측면뿐만 아니라 상면에도 접함으로써, 산화물 반도체(230)와 도전체(240)가 접하는 면적을 크게 할 수 있다.

[0416] 도 15의 (A) 내지 (C)에 나타낸 바와 같이 트랜ジ스터(200)는 용량 소자(100)와 중첩되도록 제공된다. 또한 트랜ジ스터(200)의 구조의 일부가 제공되는 개구부(290)는 용량 소자(100)의 구조의 일부가 제공되는 개구부(190)와 중첩되는 영역을 가진다. 특히 도전체(120)는 트랜ジ스터(200)의 소스 전극 및 드레인 전극 중 한쪽으로서의 기능과 용량 소자(100)의 상부 전극으로서의 기능을 가지기 때문에, 트랜ジ스터(200)와 용량 소자(100)는 구조의 일부를 공유한다. 이러한 구성으로 함으로써, 평면에서 보았을 때의 접유 면적을 크게 증가시키지 않고 트랜ジ스터(200) 및 용량 소자(100)를 제공할 수 있다. 이로써 메모리 셀(150)의 접유 면적을 저감할 수 있기 때문에, 메모리 셀(150)을 고밀도로 배치하여, 기억 장치의 기억 용량을 크게 할 수 있다. 바꿔 말하면 기억 장치를 고집적화할 수 있다.

[0417] 본 실시형태에서 설명하는 기억 장치의 회로도를 도 15의 (D)에 나타내었다. 도 15의 (D)에 나타낸 바와 같이, 도 15의 (A) 내지 (C)에 나타낸 구성은 기억 장치의 메모리 셀로서 기능한다. 메모리 셀은 트랜ジ스터(Tr)와 용량 소자(C)를 가진다. 여기서 트랜ジ스터(Tr)는 트랜ジ스터(200)에 대응하고, 용량 소자(C)는 용량 소자(100)에 대응한다.

[0418] 트랜ジ스터(Tr)의 소스 및 드레인 중 한쪽은 용량 소자(C)의 한 쌍의 전극 중 한쪽에 접속된다. 트랜ジ스터(Tr)의 소스 및 드레인 중 다른 쪽은 배선(BL)에 접속된다. 트랜ジ스터(Tr)의 게이트는 배선(WL)에 접속된다. 용량 소자(C)의 한 쌍의 전극 중 다른 쪽은 배선(PL)에 접속된다.

[0419] 여기서 배선(BL)은 도전체(240)에 대응하고, 배선(WL)은 도전체(260)에 대응하고, 배선(PL)은 도전체(110)에 대응한다. 도 15의 (A) 내지 (C)에 나타낸 바와 같이, 도전체(260)는 Y방향으로 연장되어 제공되고, 도전체(240)는 X방향으로 연장되어 제공되는 것이 바람직하다. 이러한 구성으로 함으로써 배선(BL)과 배선(WL)은 서로 교차하여 제공된다. 또한 도 15의 (A)에서는 배선(PL)(도전체(110))이 면상으로 제공되어 있지만, 본 발명은 이에 한정되지 않는다. 예를 들어 배선(PL)은 배선(WL)(도전체(260))에 평행하게 제공되어도 좋고, 배선(BL)(도전체(240))이 평행하게 제공되어도 좋다.

[0420] 또한 메모리 셀에 대해서는 추후의 실시형태에서 자세히 설명한다.

[0421] [용량 소자(100)]

[0422] 용량 소자(100)는 도전체(115)와, 절연체(130)와, 도전체(120)를 가진다. 또한 도전체(115) 아래쪽에 도전체(110)가 제공되어 있다. 도전체(115)는 도전체(110)와 접하는 영역을 가진다.

[0423] 도전체(110)는 절연체(140) 위에 제공된다. 도전체(110)는 배선(PL)으로서 기능하고, 예를 들어 면상으로 제공될 수 있다. 도전체(110)로서는 후술하는 [도전체]의 항목에 기재되는 도전체를 단층 또는 적층으로 사용할 수 있다. 예를 들어 텅스텐 등의 도전성이 높은 도전성 재료를 도전체(110)에 사용할 수 있다. 이와 같이 도전성이 높은 도전성 재료를 사용함으로써, 도전체(110)의 도전성을 향상시켜 배선(PL)으로서 충분히 기능시킬 수 있다.

[0424] 또한 도전체(115)에는 산화되기 어려운 도전성 재료 또는 산소의 화산을 억제하는 기능을 가지는 도전성 재료 등을 단층 또는 적층으로 사용하는 것이 바람직하다. 예를 들어 질화 타이타늄 또는 실리콘을 첨가한 인듐 주석 산화물 등을 사용하여도 좋다. 또는 예를 들어 텅스텐 위에 질화 타이타늄을 적층시킨 구조로 하여도 좋다. 또는 예를 들어 제 1 질화 타이타늄 위에 텅스텐을 적층하고, 상기 텅스텐 위에 제 2 질화 타이타늄을 적층한 구조로 하여도 좋다. 이러한 구조로 함으로써, 절연체(130)에 산화물 절연체를 사용하는 경우, 절연체(130)로 인하여 도전체(110)가 산화되는 것을 억제할 수 있다. 또한 절연체(180)에 산화물 절연체를 사용하는 경우, 절연체(180)로 인하여 도전체(110)가 산화되는 것을 억제할 수 있다.

[0425] 절연체(130)는 도전체(115) 위에 제공된다. 절연체(130)는 도전체(115)의 상면 및 측면에 접하도록 제공된다. 즉 절연체(130)는 도전체(110)의 측단부를 덮는 구조로 하는 것이 바람직하다. 이에 의하여, 도전체(115)와 도전체(120)가 단락되는 것을 방지할 수 있다.

[0426] 또한 절연체(130)의 측단부와 도전체(115)의 측단부가 일치하는 구조로 하여도 좋다. 이러한 구조로 함으로써, 절연체(130)와 도전체(115)를 동일한 마스크를 사용하여 형성할 수 있어 기억 장치의 제작 공정을 간략화할 수

있다.

[0427] 절연체(130)로서는 후술하는 [절연체]의 항목에 기재되는 비유전율이 높은 재료, 소위 high-k 재료를 사용하는 것이 바람직하다. 절연체(130)에 high-k 재료를 사용함으로써, 누설 전류를 억제할 수 있을 정도로 절연체(130)를 두껍게 하며, 용량 소자(100)의 정전 용량을 충분히 확보할 수 있다.

[0428] 또한 절연체(130)에는 high-k 재료로 이루어지는 절연체를 적층시켜 사용하는 것이 바람직하고, 비유전율이 높은(high-k) 재료와 상기 high-k 재료보다 절연 내력이 큰 재료의 적층 구조를 사용하는 것이 바람직하다. 예를 들어 절연체(130)로서는 산화 지르코늄, 산화 알루미늄, 산화 지르코늄이 이 순서대로 적층된 절연막을 사용할 수 있다. 또한 예를 들어 산화 지르코늄, 산화 알루미늄, 산화 지르코늄, 산화 알루미늄이 이 순서대로 적층된 절연막을 사용할 수 있다. 또한 예를 들어 하프늄 지르코늄 산화물, 산화 알루미늄, 하프늄 지르코늄 산화물, 산화 알루미늄이 이 순서대로 적층된 절연막을 사용할 수 있다. 산화 알루미늄과 같은 절연 내력이 비교적 큰 절연체를 적층시켜 사용함으로써, 절연 내력이 향상되어 용량 소자(100)의 정전 파괴를 억제할 수 있다.

[0429] 또한 절연체(130)로서 강유전성을 가질 수 있는 재료를 사용하여도 좋다. 강유전성을 가질 수 있는 재료로서는 산화 하프늄, 산화 지르코늄,  $\text{HfZrO}_x$ ( $X$ 는 0보다 큰 실수로 함) 등의 금속 산화물을 들 수 있다. 또한 강유전성을 가질 수 있는 재료로서는 산화 하프늄에 원소 J1(여기서의 원소 J1은 지르코늄, 실리콘, 알루미늄, 가돌리늄, 이트륨, 란타넘, 스트론튬 등에서 선택된 하나 또는 복수임)을 첨가한 재료를 들 수 있다. 여기서 하프늄 원자의 수와 원소 J1의 원자수의 비는 적절히 설정할 수 있고, 예를 들어 하프늄 원자의 수와 원소 J1의 원자수의 비를 1:1 또는 그 근방으로 하면 좋다. 또한 강유전성을 가질 수 있는 재료로서는 산화 지르코늄에 원소 J2(여기서의 원소 J2는 하프늄, 실리콘, 알루미늄, 가돌리늄, 이트륨, 란타넘, 스트론튬 등에서 선택된 하나 또는 복수임)를 첨가한 재료 등을 들 수 있다. 또한 지르코늄 원자의 수와 원소 J2의 원자수의 비는 적절히 설정할 수 있고, 예를 들어 지르코늄 원자의 수와 원소 J2의 원자수의 비를 1:1 또는 그 근방으로 하면 좋다. 또한 강유전성을 가질 수 있는 재료로서, 타이타늄산 납( $\text{PbTiO}_x$ ), 타이타늄산 바륨 스트론튬(BST), 타이타늄산 스트론튬, 타이타늄산 지르코늄 연(PZT), 탄탈럼산 비스무트산 스트론튬(SBT), 비스무트 폐라이트(BFO), 타이타늄산 바륨 등의 폐로브스카이트 구조를 가지는 압전성 세라믹을 사용하여도 좋다.

[0430] 또한 강유전성을 가질 수 있는 재료로서는 원소 M1과, 원소 M2와, 질소를 포함하는 금속 질화물을 들 수 있다. 여기서 원소 M1은 알루미늄, 갈륨, 인듐 등에서 선택되는 하나 또는 복수이다. 또한 원소 M2는 붕소, 스칸듐, 이트륨, 란타넘, 세륨, 네오디뮴, 유로퓸, 타이타늄, 지르코늄, 하프늄, 바나듐, 나이오븀, 탄탈럼, 크로뮴 등에서 선택된 하나 또는 복수이다. 또한 원소 M1의 원자수와 원소 M2의 원자수의 비는 적절히 설정할 수 있다. 또한 원소 M1과 질소를 포함하는 금속 산화물은 원소 M2를 포함하지 않아도 강유전성을 가지는 경우가 있다. 또한 강유전성을 가질 수 있는 재료로서는 상기 금속 질화물에 원소 M3이 첨가된 재료를 들 수 있다. 또한 원소 M3은 마그네슘, 칼슘, 스트론튬, 아연, 카드뮴 등에서 선택된 하나 또는 복수이다. 여기서 원소 M1의 원자수, 원소 M2의 원자수, 및 원소 M3의 원자수의 비는 적절히 설정할 수 있다.

[0431] 또한 강유전성을 가질 수 있는 재료로서는  $\text{SrTaO}_2\text{N}$ ,  $\text{BaTaO}_2\text{N}$  등의 폐로브스카이트형 산화질화물,  $k$  알루미나형 구조의  $\text{GaFeO}_3$  등을 들 수 있다.

[0432] 또한 앞의 설명에서는 금속 산화물 및 금속 질화물에 대하여 예시하였지만 이에 한정되지 않는다. 예를 들어 상술한 금속 산화물에 질소가 첨가된 금속 산화질화물 또는 상술한 금속 질화물에 산소가 첨가된 금속 질화산화물 등을 사용하여도 좋다.

[0433] 또한 강유전성을 가질 수 있는 재료로서는 예를 들어 위에서 열거한 재료에서 선택된 복수의 재료로 이루어지는 혼합물 또는 화합물을 사용할 수 있다. 또는 절연체(130)를 위에서 열거한 재료에서 선택된 복수의 재료로 이루어지는 적층 구조로 할 수 있다. 또한 위에서 열거한 재료 등은 성막 조건뿐만 아니라 각종 공정 등에 따라서도 결정 구조(특성)가 변화될 가능성이 있기 때문에, 본 명세서 등에서는 강유전성을 발현하는 재료를 강유전체라고만 부르지 않고 강유전성을 가질 수 있는 재료라고도 부른다.

[0434] 하프늄 및 지르코늄 중 한쪽 또는 양쪽을 포함하는 금속 산화물은 수nm 정도의 박막으로 가공하여도 강유전성을 가질 수 있기 때문에 바람직하다. 여기서 절연체(130)의 막 두께는 100nm 이하, 바람직하게는 50nm 이하, 더 바람직하게는 20nm 이하, 더 바람직하게는 10nm 이하(대표적으로는 2nm 이상 9nm 이하)로 할 수 있다. 예를 들어 막 두께를 8nm 이상 12nm 이하로 하는 것이 바람직하다. 박막화가 가능한 강유전체층으로 함으로써, 용량 소자(100)를 미세화된 트랜지스터 등의 반도체 소자에 조합하여 반도체 장치를 형성할 수 있다. 또한 본 명세

서 등에서, 강유전성을 가질 수 있는 재료를 층상으로 한 것을 강유전체층, 금속 산화물막, 또는 금속 질화물막이라고 부르는 경우가 있다. 또한 본 명세서 등에서, 이러한 강유전체층, 금속 산화물막, 또는 금속 질화물막을 가지는 장치를 강유전체 디바이스라고 부르는 경우가 있다.

[0435] 또한 하프늄 및 지르코늄 중 한쪽 또는 양쪽을 포함하는 금속 산화물은 면적이 매우 작아도 강유전성을 가질 수 있기 때문에 바람직하다. 예를 들어 평면에서 보았을 때의 강유전체층의 면적(점유 면적)이  $100 \mu\text{m}^2$  이하,  $10 \mu\text{m}^2$  이하,  $1 \mu\text{m}^2$  이하, 또는  $0.1 \mu\text{m}^2$  이하인 경우에도 강유전성을 가질 수 있다. 또한  $10000\text{nm}^2$  이하 또는  $1000\text{nm}^2$  이하이어도 강유전성을 가지는 경우가 있다. 면적이 작은 강유전체층으로 하면, 용량 소자(100)의 점유 면적을 작게 할 수 있다.

[0436] 강유전체는 절연체이며, 외부로부터 전기장을 인가함으로써 내부에 분극이 발생하고, 또한 상기 전기장을 0으로 하여도 분극이 잔존하는 성질을 가진다. 그러므로 상기 재료를 유전체로서 사용한 용량 소자(이하 강유전체 커패시터라고 부르는 경우가 있음)를 사용하여 비휘발성 기억 소자를 형성할 수 있다. 강유전체 커패시터를 사용한 비휘발성 기억 소자는 FeRAM(Ferroelectric Random Access Memory), 강유전체 메모리 등이라고 불리는 경우가 있다. 예를 들어 강유전체 메모리는 트랜지스터와 강유전체 커패시터를 가지고, 트랜지스터의 소스 및 드레인 중 한쪽이 강유전체 커패시터의 한쪽 단자에 전기적으로 접속된 구성을 가진다. 따라서 용량 소자(100)로서 강유전체 커패시터를 사용하는 경우, 본 실시형태에서 설명하는 기억 장치는 강유전체 메모리로서 기능한다.

[0437] 또한 강유전성은 강유전체층에 포함되는 결정의 산소 또는 질소가 외부 전기장에 의하여 변위함으로써 발현되고 한다. 또한 강유전성의 발현은 강유전체층에 포함되는 결정의 결정 구조에 의존하는 것으로 추정된다. 따라서 절연체(130)가 강유전성을 발현하기 위해서는 절연체(130)는 결정을 포함할 필요가 있다. 특히 절연체(130)로서 직방정계 결정 구조를 가지는 결정을 포함하면 강유전성이 발현되기 때문에 바람직하다. 또한 절연체(130)에 포함되는 결정의 결정 구조로서는 입방정계, 정방정계, 직방정계, 단사정계, 및 육방정계에서 선택되는 어느 하나 또는 복수이어도 좋다. 또한 절연체(130)는 비정질 구조를 가져도 좋다. 이때 절연체(130)는 비정질 구조와 결정 구조를 가지는 복합 구조로 하여도 좋다.

[0438] 도전체(120)는 절연체(130)의 상면의 일부에 접하여 제공된다. 도전체(120)의 측단부는 X방향 및 Y방향 중 어느 쪽에서도 도전체(115)의 측단부보다 내측에 위치하는 것이 바람직하다. 또한 절연체(130)가 도전체(115)의 측단부를 덮는 구조에서는 도전체(120)의 측단부는 도전체(115)의 측단부보다 외측에 위치하여도 좋다.

[0439] 도전체(120)로서는 후술하는 [도전체]의 항목에 기재되는 도전체를 단층 또는 적층으로 사용할 수 있다. 도전체(120)에는 산화되거나 어려운 도전성 재료 또는 산소의 화산을 억제하는 기능을 가지는 도전성 재료 등을 사용하는 것이 바람직하다. 예를 들어 질화 타이타늄 또는 질화 탄탈럼 등을 사용할 수 있다. 또한 예를 들어 질화 타이타늄 위에 질화 탄탈럼을 적층시킨 구조로 하여도 좋다. 이 경우, 질화 타이타늄이 절연체(130)에 접하고, 질화 탄탈럼이 산화물 반도체(230)에 접한다. 이러한 구조로 함으로써, 산화물 반도체(230)로 인하여 도전체(120)가 과도하게 산화되는 것을 억제할 수 있다. 또한 절연체(130)에 산화물 절연체를 사용하는 경우, 절연체(130)에 의하여 도전체(120)가 과도하게 산화되는 것을 억제할 수 있다. 또는 도전체(120)로서 예를 들어 질화 타이타늄 위에 텅스텐을 적층시킨 구조로 하여도 좋다.

[0440] 또한 도전체(120)는 산화물 반도체(230)와 접하는 영역을 가지기 때문에, 후술하는 [도전체]의 항목에 기재되는 산소를 포함하는 도전성 재료가 사용되는 것이 바람직하다. 산소를 포함하는 도전성 재료를 도전체(120)에 사용함으로써, 도전체(120)는 산소를 흡수하여도 도전성을 유지할 수 있다. 또한 산화 지르코늄 등의 산소를 포함하는 절연체를 절연체(130)에 사용하는 경우에도, 도전체(120)는 도전성을 유지할 수 있기 때문에 적합하다. 도전체(120)로서 예를 들어 인듐 주석 산화물(ITO라고도 함), 실리콘을 첨가한 인듐 주석 산화물(ITSO라고도 함), 인듐 아연 산화물(IZO(등록 상표)라고도 함) 등을 단층 또는 적층으로 사용할 수 있다.

[0441] 절연체(180)는 층간막으로서 기능하기 때문에 비유전율이 낮은 것이 바람직하다. 비유전율이 낮은 재료를 층간막에 사용함으로써, 배선 사이에서 발생하는 기생 용량을 저감할 수 있다. 절연체(180)로서는 후술하는 [절연체]의 항목에 기재되는 비유전율이 낮은 재료를 포함하는 절연체를 단층 또는 적층으로 사용할 수 있다. 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이므로 바람직하다. 이때 절연체(180b)는 적어도 실리콘과 산소를 포함한다.

[0442] 또한 도 15의 (B) 및 (C)에서는 절연체(180)를 단층으로 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 절연체(180)는 2층 적층 구조를 가져도 좋고, 3층 이상의 적층 구조를 가져도 좋다. 예를 들어 도 19의 (A) 내

지 (D), 도 20의 (A) 및 (B)에 나타낸 바와 같이, 절연체(180)는 절연체(180a)와, 절연체(180a) 위의 절연체(180b)의 적층 구조를 가져도 좋다.

[0443] 절연체(180b)에는 상술한 절연체(180)에 적용할 수 있는 절연성 재료를 사용하는 것이 좋다.

[0444] 절연체(180a)에는 후술하는 [절연체]의 항목에 기재되는 산소에 대한 배리어성을 가지는 절연체를 사용하는 것이 바람직하다. 절연체(180b)에 포함되는 산소에 의하여 도전체(110)가 산화되어 저항이 높아지는 경우가 있다. 절연체(180b)와 도전체(110) 사이에 절연체(180a)를 제공함으로써, 도전체(110)가 산화되어 저항이 높아지는 것을 억제할 수 있다.

[0445] 절연체(130)에 수소 등의 불순물이 혼입되면, 상부 전극과 하부 전극 사이에 발생하는 누설 전류가 증가되는 경 우가 있다. 또한 절연체(130)로서 강유전성을 가질 수 있는 재료를 사용하는 경우, 강유전성을 가질 수 있는 재료 내에 수소 등의 불순물이 혼입됨으로써 강유전성을 가질 수 있는 재료의 결정성을 저하시킬 우려가 있다. 그러므로 절연체(130)에 수소 등의 불순물이 혼입되는 것을 억제하는 것이 바람직하다.

[0446] 그러므로 절연체(180a)에는 후술하는 [절연체]의 항목에 기재되는 수소에 대한 배리어성을 가지는 절연체를 사용하는 것이 바람직하다. 이에 의하여, 절연체(180b) 및 도전체(115)를 통하여 절연체(130)로 수소가 확산되는 것을 억제할 수 있다. 질화 실리콘 및 질화산화 실리콘은 각각 이들로부터의 불순물(예를 들어 물 및 수소)의 방출이 적고, 산소 및 수소를 투과시키기 어려운 특징을 가지기 때문에 절연체(180a)에 적합하게 사용할 수 있다. 이때 절연체(180a)는 적어도 실리콘과 질소를 포함한다.

[0447] 또한 절연체(180a)로서 후술하는 [절연체]의 항목에 기재되는 수소를 포획하는 기능 또는 수소를 고착하는 기능 을 가지는 절연체를 사용하는 것이 바람직하다. 이러한 구성으로 함으로써, 절연체(130)의 수소를 포획 또는 고착하여 절연체(130)의 수소 농도를 저감할 수 있다. 절연체(180a)로서는 산화 마그네슘, 산화 알루미늄, 또는 산화 하프늄 등을 사용할 수 있다. 또한 예를 들어 절연체(180a)로서 산화 알루미늄과, 상기 산화 알루미늄 위의 질화 실리콘의 적층막을 사용하여도 좋다.

[0448] 예를 들어 절연체(180)를 3층 적층 구조로 하는 경우, 절연체(180a) 및 절연체(180b)에 더하여 도전체(115) 및 절연체(130)와 절연체(180b) 사이에 절연체를 제공하는 것이 좋다. 상기 절연체로서는 절연체(180a)에 적용할 수 있는 절연체를 사용할 수 있다. 이에 의하여, 절연체(180b)를 통하여 절연체(130)로 수소가 확산되는 것을 억제할 수 있다.

[0449] [트랜지스터(200)]

[0450] 도 15의 (A) 내지 (C)에 나타낸 바와 같이, 트랜지스터(200)는 도전체(120)와, 절연체(280) 위의 도전체(240)와, 개구부(290)에서 노출되어 있는 도전체(120)의 상면, 개구부(290)에서의 절연체(280)의 측면, 개구부(290)에서의 도전체(240)의 측면, 및 도전체(240)의 상면의 적어도 일부와 접하여 제공된 산화물 반도체(230)와, 산화물 반도체(230)의 상면과 접하여 제공된 절연체(250)와, 절연체(250)의 상면과 접하여 제공된 도전체(260)를 가지는 구성으로 할 수 있다.

[0451] 트랜지스터(200)의 구성 요소의 적어도 일부는 개구부(290)에 배치된다. 여기서 개구부(290)의 바닥부는 도전체(120)의 상면이고, 개구부(290)의 측벽은 절연체(280)의 측면 및 도전체(240)의 측면이다.

[0452] 도 15의 (B) 및 (C)에는 개구부(290)의 측벽이 도전체(110)의 상면에 대하여 수직인 예를 나타내었다. 이때 개구부(290)는 원통 형상을 가진다. 이러한 구성으로 함으로써, 기억 장치의 미세화 또는 고집적화를 도모할 수 있다.

[0453] 또한 본 실시형태에서는 평면에서 보았을 때 개구부(290)가 원형인 예를 나타내었지만, 본 발명은 이에 한정되 지 않는다. 예를 들어 개구부(290)는, 평면에서 보았을 때 타원 등의 대략 원형, 사각형 등의 다각형, 사각형 등의 다각형의 모서리 부분을 둥글게 한 형상이어도 좋다. 이때 개구부(290)의 최대 폭은 개구부(290)의 최상부의 형상에 따라 적절하게 산출하는 것이 좋다. 예를 들어 평면에서 보았을 때 개구부가 사각형인 경우, 개구부(290)의 최대 폭은 개구부(290)의 최상부의 대각선의 길이로 하는 것이 좋다.

[0454] 산화물 반도체(230), 절연체(250), 및 도전체(260)의 개구부(290)에 배치되는 부분은 개구부(290)의 형상을 반영하여 제공된다. 따라서 개구부(290)의 바닥부 및 측벽을 덮도록 산화물 반도체(230)가 제공되고, 산화물 반도체(230)를 덮도록 절연체(250)가 제공되고, 개구부(290)의 형상을 반영한 절연체(250)의 오목부를 매립하도록 도전체(260)가 제공된다.

- [0455] 여기서 도 15의 (B)에서의 산화물 반도체(230) 및 그 근방의 확대도를 도 16의 (A)에 나타내었다. 또한 도전체(240)를 포함하는 XY 평면에서의 단면도(일점쇄선 B1-B2를 따르는 단면도라고도 할 수 있음)를 도 16의 (B)에 나타내었다.
- [0456] 도 16의 (A)에 나타낸 바와 같이 산화물 반도체(230)는 영역(230i)과, 영역(230i)을 끼우도록 제공되는 영역(230na) 및 영역(230nb)을 가진다.
- [0457] 영역(230na)은 산화물 반도체(230)에서 도전체(120)와 접하는 영역이다. 영역(230na)의 적어도 일부는 트랜지스터(200)의 소스 영역 및 드레인 영역 중 한쪽으로서 기능한다. 영역(230nb)은 산화물 반도체(230)에서 도전체(240)와 접하는 영역이다. 영역(230nb)의 적어도 일부는 트랜지스터(200)의 소스 영역 및 드레인 영역 중 다른 쪽으로서 기능한다. 도 16의 (B)에 나타낸 바와 같이 도전체(240)는 산화물 반도체(230)의 외주 전체에 접한다. 따라서 트랜지스터(200)의 소스 영역 및 드레인 영역 중 다른 쪽은 산화물 반도체(230)에서 도전체(240)와 같은 층에 형성되는 부분의 외주 전체에 형성될 수 있다.
- [0458] 영역(230i)은 산화물 반도체(230)에서 영역(230na)과 영역(230nb) 사이에 있는 영역이다. 영역(230i)의 적어도 일부가 트랜지스터(200)의 채널 형성 영역으로서 기능한다. 즉 트랜지스터(200)의 채널 형성 영역은 산화물 반도체(230)에서 도전체(120)와 도전체(240) 사이의 영역에 위치한다. 또한 트랜지스터(200)의 채널 형성 영역은 산화물 반도체(230)에서 절연체(280)와 접하는 영역 또는 그 근방의 영역에 위치한다고 할 수도 있다.
- [0459] 트랜지스터(200)의 채널 길이는 소스 영역과 드레인 영역 사이의 거리이다. 즉 트랜지스터(200)의 채널 길이는 도전체(120) 위의 절연체(280)의 두께에 따라 결정된다고 할 수 있다. 도 16의 (A)에서는 트랜지스터(200)의 채널 길이 L을 파선의 양방향 화살표로 나타내었다. 단면에서 보았을 때, 채널 길이 L은 산화물 반도체(230)와 도전체(120)가 접하는 영역의 단부와, 산화물 반도체(230)와 도전체(240)가 접하는 영역의 단부 사이의 거리이다. 즉 채널 길이 L은 단면에서 보았을 때의 절연체(280)의 개구부(290) 측 측면의 길이에 상당한다.
- [0460] 플레이너형 트랜지스터에서는 채널 길이가 포토리소그래피의 노광 한계로 설정되었지만, 본 발명에서는 절연체(280)의 막 두께로 채널 길이를 설정할 수 있다. 따라서 트랜지스터(200)의 채널 길이를 포토리소그래피의 노광 한계 이하의 매우 미세한 구조(예를 들어 60nm 이하, 50nm 이하, 40nm 이하, 30nm 이하, 20nm 이하, 또는 10nm 이하이고, 1nm 이상 또는 5nm 이상임)로 할 수 있다. 이에 의하여, 트랜지스터(200)의 온 전류가 커지고 주파수 특성을 향상시킬 수 있다. 따라서 메모리 셀(150)의 판독 속도 및 기록 속도를 향상시킬 수 있기 때문에 동작 속도가 빠른 기억 장치를 제공할 수 있다.
- [0461] 또한 상술한 바와 같이 개구부(290)에 채널 형성 영역, 소스 영역, 및 드레인 영역을 형성할 수 있다. 이로써 채널 형성 영역, 소스 영역, 및 드레인 영역이 XY 평면 위에 따로따로 제공된 종래의 트랜지스터에 비하여 트랜지스터(200)의 점유 면적을 저감할 수 있다. 이로써 기억 장치를 고집적화할 수 있기 때문에 단위 면적당 기억 용량을 크게 할 수 있다.
- [0462] 또한 산화물 반도체(230)의 채널 형성 영역을 포함하는 XY 평면에서도, 도 16의 (B)와 마찬가지로 산화물 반도체(230), 절연체(250), 및 도전체(260)는 동심원상으로 제공된다. 따라서 중심에 제공된 도전체(260)의 측면은 절연체(250)를 개재하여 산화물 반도체(230)의 측면과 대향한다. 즉 평면에서 보았을 때, 산화물 반도체(230)의 둘레 전체가 채널 형성 영역이 된다. 이때 예를 들어 산화물 반도체(230)의 외주 길이에 따라 트랜지스터(200)의 채널 폭이 결정된다. 즉 트랜지스터(200)의 채널 폭은 개구부(290)의 최대 폭(평면에서 보았을 때 개구부(290)가 원형인 경우에는 최대 직경)의 크기에 따라 결정된다고 할 수 있다. 도 16의 (A) 및 (B)에서는 개구부(290)의 최대 폭 D를 이점쇄선의 양방향 화살표로 나타내었다. 도 16의 (B)에서는 트랜지스터(200)의 채널 폭 W를 일점쇄선의 양방향 화살표로 나타내었다. 개구부(290)의 최대 폭 D의 크기를 크게 함으로써, 단위 면적당 채널 폭을 크게 하여 온 전류를 크게 할 수 있다.
- [0463] 포토리소그래피법을 사용하여 개구부(290)를 형성하는 경우, 개구부(290)의 최대 폭 D는 포토리소그래피의 노광 한계로 설정된다. 또한 개구부(290)의 최대 폭 D는 개구부(290)에 제공되는 산화물 반도체(230), 절연체(250), 및 도전체(260) 각각의 막 두께에 따라 설정된다. 개구부(290)의 최대 폭 D는 예를 들어 5nm 이상, 10nm 이상, 또는 20nm 이상이고, 100nm 이하, 60nm 이하, 50nm 이하, 40nm 이하, 또는 30nm 이하인 것이 바람직하다. 또한 평면에서 보았을 때 개구부(290)가 원형인 경우, 개구부(290)의 최대 폭 D는 개구부(290)의 직경에 상당하고, 채널 폭 W는 "D×π"로 산출할 수 있다.
- [0464] 또한 본 발명의 일 형태의 기억 장치에서는 트랜지스터(200)의 채널 길이 L은 적어도 트랜지스터(200)의 채널 폭 W보다 짧은 것이 바람직하다. 본 발명의 일 형태에 따른 트랜지스터(200)의 채널 길이 L은 트랜지스터(200)

0)의 채널 폭  $W$ 에 대하여 0.1배 이상 0.99배 이하이고, 바람직하게는 0.5배 이상 0.8배 이하이다. 이러한 구성으로 함으로써, 양호한 전기 특성 및 높은 신뢰성을 가지는 트랜지스터를 실현할 수 있다.

[0465] 또한 평면에서 보았을 때 원형이 되도록 개구부(290)를 형성함으로써, 산화물 반도체(230), 절연체(250), 및 도전체(260)는 동심원상으로 제공된다. 이에 의하여, 도전체(260)와 산화물 반도체(230) 사이의 거리가 실질적으로 균일하게 되기 때문에, 산화물 반도체(230)에 실질적으로 균일하게 게이트 전계를 인가할 수 있다.

[0466] 반도체층에 산화물 반도체를 사용하는 트랜지스터의 채널 형성 영역은 소스 영역 및 드레인 영역보다 산소 결손이 적거나 수소, 질소, 금속 원소 등의 불순물의 농도가 낮은 것이 바람직하다. 또한 산소 결손 근방의 수소가 산소 결손에 수소가 들어간 결함(이하  $V_{0H}$ 라고 부르는 경우가 있음)을 형성하여, 캐리어가 되는 전자를 생성하는 경우가 있기 때문에, 채널 형성 영역에서는  $V_{0H}$ 도 저감되어 있는 것이 바람직하다. 이와 같이 트랜지스터의 채널 형성 영역은 캐리어 농도가 낮은 고저항 영역이다. 따라서 트랜지스터의 채널 형성 영역은 i형(진성) 또는 실질적으로 i형이라고 할 수 있다.

[0467] 또한 반도체층에 산화물 반도체를 사용하는 트랜지스터의 소스 영역 및 드레인 영역은 채널 형성 영역에 비하여 산소 결손이 많거나,  $V_{0H}$ 가 많거나, 수소, 질소, 금속 원소 등의 불순물의 농도가 높아 캐리어 농도가 증가되어 저저항화된 영역이다. 즉 트랜지스터의 소스 영역 및 드레인 영역은 채널 형성 영역에 비하여 캐리어 농도가 높고 저항이 낮은 n형 영역이다.

[0468] 또한 도 15의 (B) 및 (C)에서는 개구부(290)의 측벽이 도전체(110)의 상면에 수직이 되도록 개구부(290)를 제공하였지만, 본 발명은 이에 한정되지 않는다. 예를 들어 개구부(290)의 측벽은 테이퍼 형상을 가져도 좋다. 개구부(290)의 측벽이 테이퍼 형상을 가지면, 개구부(290)를 따라 제공되는 산화물 반도체(230), 절연체(250) 등의 피복성이 향상되기 때문에 바람직하다.

[0469] 마찬가지로 도 15의 (B) 및 (C)에서는 개구부(190)의 측벽이 도전체(110)의 상면에 수직이 되도록 개구부(190)를 제공하였지만, 본 발명은 이에 한정되지 않는다. 예를 들어 개구부(190)의 측벽은 테이퍼 형상 또는 역 테이퍼 형상을 가져도 좋다. 개구부(190)의 측벽이 테이퍼 형상을 가지면, 개구부(190)를 따라 제공되는 도전체(115), 절연체(130) 등의 피복성이 향상되기 때문에 바람직하다.

[0470] 도 17의 (A) 및 (B)에 나타낸 기억 장치는 개구부(290)의 측벽이 테이퍼 형상인 구성을 가진다. 또한 도 17의 (A) 및 (B)에 나타낸 기억 장치의 평면도에 대해서는 도 15의 (A)를 참조할 수 있다.

[0471] 개구부(290)의 측벽을 테이퍼 형상으로 함으로써, 산화물 반도체(230) 또는 절연체(250) 등의 피복성이 향상되어 공동 등의 결함을 저감할 수 있다. 예를 들어 개구부(290)에서의 절연체(280)의 측면과 도전체(110)의 상면이 이루는 각도(도 17의 (A)에 나타낸 각도( $\theta 1$ ))는  $45^\circ$  이상이고  $90^\circ$  미만인 것이 바람직하다. 또는  $45^\circ$  이상이고  $75^\circ$  이하인 것이 바람직하다. 또는  $45^\circ$  이상이고  $65^\circ$  이하인 것이 바람직하다.

[0472] 도 17의 (A) 및 (B)에 나타낸 개구부(290)의 형상은 원뿔대 형상이다. 이 경우, 평면에서 보았을 때 개구부(290)는 원형이고, 단면에서 보았을 때 개구부(290)는 사다리꼴 형상이다. 또한 원뿔대 형상의 위쪽 밑면(예를 들어 도전체(240)에 제공된 개구부)의 면적은 원뿔대 형상의 아래쪽 밑면(개구부(290)에서 노출된 도전체(120)의 상면)의 면적보다 작다. 이때 개구부(290)의 최대 직경은 원뿔대 형상의 위쪽 밑면을 바탕으로 산출하는 것이 좋다.

[0473] 개구부(290)의 측벽이 테이퍼 형상인 경우, 절연체(280)의 막 두께와, 개구부(290)에서의 절연체(280)의 측면과 도전체(110)의 상면이 이루는 각도( $\theta 1$ )에 의하여 채널 길이를 설정할 수 있다. 또한 산화물 반도체(230)의 외주 길이는 예를 들어 도전체(240)와 대향하는 영역 또는 절연체(280)의 막 두께의 절반의 위치에서 구하면 좋다. 또한 필요에 따라 개구부(290)의 임의의 위치의 둘레 길이를 트랜지스터(200)의 채널 폭으로 하여도 좋다. 예를 들어 개구부(290)의 최하부의 둘레 길이를 채널 폭으로 하여도 좋고, 개구부(290)의 최상부의 둘레 길이를 채널 폭으로 하여도 좋다.

[0474] 도 17의 (A) 및 (B)에서는 개구부(290)에서의 도전체(240)의 측면과 개구부(290)에서의 절연체(280)의 측면이 일치하는 구성을 나타내었지만, 본 발명은 이에 한정되지 않는다. 예를 들어 개구부(290)에서의 도전체(240)의 측면과 개구부(290)에서의 절연체(280)의 측면이 일치하지 않아도 된다. 또한 개구부(290)에서의 도전체(240)의 측면의 기울기와 개구부(290)에서의 절연체(280)의 측면의 기울기가 상이하여도 좋다. 또한 예를 들어 개구부(290)에서의 도전체(240)의 측면과 도전체(110)의 상면이 이루는 각도는 각도( $\theta 1$ )보다 작은 것이 바람직하다. 이러한 구성으로 함으로써, 개구부(290)에서의 도전체(240)의 측면에 대한 산화물 반도체(230)의

피복성이 향상되어 공동 등의 결합을 저감할 수 있다.

[0475] 도 17의 (A) 및 (B)에 나타낸 바와 같이, 개구부(290)에 위치하는 도전체(260)의 바닥부는 평탄한 영역을 가진다. 또한 개구부(290)의 최대 폭(평면에서 보았을 때 개구부(290)가 원형인 경우에는 최대 직경)의 크기, 절연체(280)의 막 두께(개구부(290)의 깊이에 상당함), 산화물 반도체(230)의 막 두께, 및 절연체(250)의 막 두께 등에 따라서는, 개구부(290)에 위치하는 도전체(260)의 바닥부는 평탄한 영역을 가지지 않는 경우가 있다. 예를 들어 도 17의 (C) 및 (D)에 나타낸 바와 같이, 개구부(290)에 위치하는 도전체(260)의 바닥부의 형상은 바늘 형상인 경우가 있다. 또한 도 17의 (C) 및 (D)에 나타낸 기억 장치의 평면도에 대해서는 도 15의 (A)를 참조할 수 있다.

[0476] 여기서 바늘 형상이란, 선단일수록(개구부(290)에 위치하는 도전체(260)의 바닥부에 가까워질수록) 가늘어지는 형상을 가리킨다. 또한 바늘 형상의 선단은 예각이어도 좋고, 아래로 볼록한 곡면 형상이어도 좋다. 또한 바늘 형상 중 선단이 예각인 형상을 V자 형상이라고 불러도 좋다.

[0477] 개구부(290)에 위치하는 도전체(260) 중 절연체(250)를 개재하여 산화물 반도체(230)와 대향하는 영역은 케이트 전극으로서 기능한다. 따라서 개구부(290)를 매립하고 바닥부의 형상이 바늘 형상인 도전체(260)를 바늘 형상 케이트라고 불러도 좋다. 또한 도 17의 (A) 및 (B)에 나타낸 바와 같이 도전체(260)의 바닥부가 평탄한 영역을 가지는 형상이어도, 바늘 형상 케이트라고 불러도 좋은 경우가 있다.

[0478] 또한 개구부(190)의 측벽을 테이퍼 형상으로 함으로써, 도전체(115) 또는 절연체(130) 등의 피복성이 향상되어 공동 등의 결합을 저감할 수 있다. 예를 들어 개구부(190)에서의 절연체(180)의 측면과 도전체(110)의 상면이 이루는 각도(도 17의 (A)에 나타낸 각도( $\Theta 2$ ))는  $45^\circ$  이상이고  $90^\circ$  미만인 것이 바람직하다. 또는  $45^\circ$  이상이고  $75^\circ$  이하인 것이 바람직하다. 또는  $45^\circ$  이상이고  $65^\circ$  이하인 것이 바람직하다.

[0479] 도 17의 (A) 및 (B)에 나타낸 바와 같이 개구부(190)에 위치하는 도전체(120)의 바닥부는 평탄한 영역을 가진다. 또한 개구부(190)의 최대 폭(평면에서 보았을 때 개구부(190)가 원형인 경우에는 최대 직경)의 크기, 절연체(180)의 막 두께(개구부(190)의 깊이에 상당함), 도전체(115)의 막 두께, 및 절연체(130)의 막 두께 등에 따라서는, 개구부(190)에 위치하는 도전체(120)의 바닥부는 평탄한 영역을 가지지 않는 경우가 있다. 예를 들어 도 17의 (C) 및 (D)에 나타낸 바와 같이 개구부(190)에 위치하는 도전체(120)의 바닥부의 형상은 바늘 형상인 경우가 있다. 또한 도 17의 (C) 및 (D)에 나타낸 기억 장치의 평면도에 대해서는 도 15의 (A)를 참조할 수 있다.

[0480] 또한 절연체(180) 및 절연체(280)에 같은 재료가 사용되는 경우, 각도( $\Theta 1$ )와 각도( $\Theta 2$ )는 일치 또는 실질적으로 일치한다. 또한 절연체(180) 및 절연체(280) 각각에 사용되는 재료, 개구부(190) 및 개구부(290) 각각의 형성 방법 등에 따라서는 각도( $\Theta 1$ )와 각도( $\Theta 2$ )는 상이하여도 좋다. 예를 들어 각도( $\Theta 1$ )가 각도( $\Theta 2$ )보다 커도 좋고, 각도( $\Theta 2$ )보다 작아도 좋다. 또한 각도( $\Theta 1$ ) 및 각도( $\Theta 2$ ) 중 한쪽이  $90^\circ$  또는 그 근방값이어도 좋다.

[0481] 도 15의 (B) 및 (C)에 나타낸 바와 같이, 산화물 반도체(230)의 일부는 개구부(290)의 외부, 즉 도전체(240) 위에 위치한다. 또한 도 15의 (B) 및 (C)에서는 산화물 반도체(230)의 측단부가 도전체(240)의 측단부보다 내측에 위치하는 구성을 나타내었다. 또한 본 발명은 이에 한정되지 않는다. 예를 들어 X방향 또는 Y방향에서 산화물 반도체(230)의 측단부와 도전체(240)의 측단부가 일치하는 구조로 하여도 좋다. 또는 산화물 반도체(230)의 측단부가 도전체(240)의 측단부보다 외측에 위치하는 구조로 하여도 좋다.

[0482] 산화물 반도체(230)로서 사용되는 금속 산화물은 밴드 갭이 2eV 이상인 것이 바람직하고, 2.5eV 이상인 것이 더 바람직하다. 산화물 반도체(230)로서 밴드 갭이 큰 금속 산화물을 사용함으로써 트랜지스터의 오프 전류를 저감할 수 있다. 오프 전류가 작은 트랜지스터를 메모리 셀에 사용함으로써 장기간에 걸쳐 기억 내용을 유지할 수 있다. 즉 리프레시 동작이 불필요하거나 리프레시 동작의 빈도가 매우 낮기 때문에 기억 장치의 소비 전력을 충분히 저감시킬 수 있다. 또한 일반적인 DRAM에서는 리프레시 동작의 빈도를 약 1회/60msec로 할 필요가 있지만, 본 발명의 일 형태의 기억 장치에서는 리프레시 동작의 빈도를 약 1회/10sec로 10배 이상 또는 100배 이상으로 할 수 있다. 또한 본 발명의 일 형태의 기억 장치로 함으로써, 리프레시 동작은 1sec 이상 100sec 이하, 바람직하게는 5sec 이상 50sec 이하에 1회의 빈도로 할 수 있다.

[0483] 또한 산화물 반도체(230)로서는 실시형태 1에서 설명한 금속 산화물을 단층 또는 적층으로 사용할 수 있다.

[0484] 산화물 반도체(230)로서 구체적으로는 In:M:Zn=1:3:2[원자수비] 또는 그 근방의 조성, In:M:Zn=1:3:4[원자수비] 또는 그 근방의 조성, In:M:Zn=1:1:0.5[원자수비] 또는 그 근방의 조성, In:M:Zn=1:1:1[원자수비] 또는 그 근방의 조성, In:M:Zn=1:1:1.2[원자수비] 또는 그 근방의 조성, In:M:Zn=1:1:2[원자수비] 또는 그 근방의 조성,

혹은 In:M:Zn=4:2:3[원자수비] 또는 그 근방의 조성의 금속 산화물을 사용하면 좋다. 또한 근방의 조성이란, 원하는 원자수비의 ±30%의 범위를 포함한 것이다. 또한 원소 M으로서 갈륨을 사용하는 것이 바람직하다.

[0485] 산화물 반도체(230)에 인듐의 함유율이 높은 재료를 사용함으로써 트랜지스터의 온 전류 또는 전계 효과 이동도 등을 높일 수 있다. 또한 원소 M을 포함함으로써 산소 결손( $V_0$ )의 생성을 억제할 수 있다. 원소 M의 함유율(함유되는 모든 금속 원소의 원자수의 합에 대한 원소 M의 원자수의 비율)은 0.1% 이상 10% 이하가 바람직하고, 0.1% 이상 3% 이하가 더 바람직하고, 0.1% 이상 2% 이하가 더 바람직하다. 이로써 전기 특성이 양호한 트랜지스터로 할 수 있다. 예를 들어 In:M:Zn=40:X:10(X는 1 이상 5 이하)[원자수비] 및 그 근방의 조성의 금속 산화물을 사용하는 것이 바람직하다. 원소 M은 상기 원소 중 어느 1종류 또는 복수 종류인 것이 바람직하고, 갈륨, 주석, 및 이트륨 중에서 선택된 1종류 또는 복수 종류인 것이 더 바람직하다. 구체적으로는 In:Sn:Zn=40:1:10 및 그 근방 조성의 금속 산화물을 적합하게 사용할 수 있다.

[0486] 또한 금속 산화물을 스퍼터링법으로 성막하는 경우, 상기 원자수비는 성막된 금속 산화물의 원자수비에 한정되지 않고, 금속 산화물의 성막에 사용하는 스퍼터링 타깃의 원자수비이어도 좋다.

[0487] 산화물 반도체(230)에 사용하는 금속 산화물의 조성을 분석하는 방법으로서는 예를 들어 에너지 분산형 X선 분광법(EDX: Energy Dispersive X-ray Spectrometry), X선 광전자 분광법(XPS: X-ray Photoelectron Spectrometry), 유도 결합 플라스마 질량 분석법(ICP-MS: Inductively Coupled Plasma-Mass Spectrometry), 또는 유도 결합 고주파 플라스마 발광 분광법(ICP-AES: Inductively Coupled Plasma-Atomic Emission Spectrometry)을 사용할 수 있다. 또는 이들 방법 중 복수를 조합하여 분석을 수행하여도 좋다. 또한 함유율이 낮은 원소는 분석 정밀도의 영향 때문에, 실제의 함유율과 분석에 의하여 얻어진 함유율이 다른 경우가 있다. 예를 들어 원소 M의 함유율이 낮은 경우, 분석에 의하여 얻어진 원소 M의 함유율이 실제의 함유율보다 낮아지는 경우가 있다.

[0488] 금속 산화물의 형성에는 원자층 퇴적(ALD: Atomic Layer Deposition)법을 적합하게 사용할 수 있다.

[0489] 또는 금속 산화물의 형성에는 스퍼터링법 또는 CVD법을 사용하여도 좋다. 또한 금속 산화물을 스퍼터링법에 의하여 형성하는 경우, 형성 후의 금속 산화물의 조성은 스퍼터링 타깃의 조성과 다른 경우가 있다. 특히 아연은 형성 후의 금속 산화물에서의 함유율이 스퍼터링 타깃의 50% 정도까지 감소하는 경우가 있다.

[0490] 산화물 반도체(230)는 결정성을 가지는(결정부를 가진다고도 함) 것이 바람직하다. 결정성을 가지는 산화물 반도체(결정성 산화물 반도체라고도 함)로서 CAAC-OS(c-axis aligned crystalline oxide semiconductor), nc-OS(nanocrystalline oxide semiconductor), 다결정 산화물 반도체, 단결정 산화물 반도체 등을 들 수 있다. 산화물 반도체(230)로서 CAAC-OS 또는 nc-OS를 사용하는 것이 바람직하고, CAAC-OS를 사용하는 것이 특히 바람직하다.

[0491] CAAC-OS는 복수의 층상 결정 영역을 가지고, c축이 피형성면의 법선 방향으로 배향되어 있는 것이 바람직하다. 예를 들어 산화물 반도체(230)는 개구부(290)의 측벽, 특히 절연체(280)의 측면에 대하여 실질적으로 평행한 층상의 결정을 가지는 것이 바람직하다. 이러한 구성으로 함으로써, 트랜지스터(200)의 채널 길이 방향에 대하여 산화물 반도체(230)의 층상 결정이 실질적으로 평행하게 형성되기 때문에, 트랜지스터의 온 전류를 크게 할 수 있다.

[0492] CAAC-OS는 결정성이 높고 치밀한 구조를 가지고, 불순물 및 결함(예를 들어 산소 결손 등)이 적은 금속 산화물이다. 특히 금속 산화물의 형성 후에, 금속 산화물이 다결정화되지 않을 정도의 온도(예를 들어 400°C 이상 600°C 이하)에서 가열 처리를 수행함으로써, 결정성이 더 높고 치밀한 구조를 가지는 CAAC-OS로 할 수 있다. 이러한 식으로 CAAC-OS의 밀도를 더 높임으로써, 상기 CAAC-OS에서의 불순물 또는 산소의 확산을 더 저감할 수 있다.

[0493] 또한 산화물 반도체(230)로서 CAAC-OS 등의 결정성을 가지는 산화물을 사용함으로써, 소스 전극 또는 드레인 전극에 의하여 산화물 반도체(230)로부터 산소가 추출되는 것을 억제할 수 있다. 이에 의하여, 열처리를 수행한 경우에도 산화물 반도체(230)로부터 산소가 추출되는 것을 억제할 수 있기 때문에, 트랜지스터(200)는 제조 공정에서의 높은 온도(소위 thermal budget)에 대하여 안정적이다.

[0494] 산화물 반도체(230)의 결정성을 예를 들어 X선 회절(XRD: XRay Diffraction), 투과형 전자 현미경(TEM: Transmission Electron Microscope), 또는 전자선 회절(ED: Electron Diffraction)에 의하여 해석할 수 있다. 또는 이들 방법 중 복수를 조합하여 분석을 수행하여도 좋다.

- [0495] 산화물 반도체(230)는 화학 조성이 다른 복수의 산화물층의 적층 구조를 가져도 좋다. 예를 들어 상기 금속 산화물에서 선택되는 복수 종류를 적절히 적층시키는 구조로 하여도 좋다.
- [0496] 예를 들어 도 18의 (A) 및 (B)에 나타낸 바와 같이, 산화물 반도체(230)는 산화물 반도체(230a)와 산화물 반도체(230a) 위의 산화물 반도체(230b)의 적층 구조를 가져도 좋다. 산화물 반도체(230a) 및 산화물 반도체(230b) 중 적어도 한쪽을 본 발명의 일 형태의 금속 산화물의 성막 방법을 사용하여 형성하는 것이 바람직하다.
- [0497] 산화물 반도체(230a)에 사용하는 재료의 도전율은 산화물 반도체(230b)에 사용하는 재료의 도전율과 다른 것이 바람직하다.
- [0498] 예를 들어 산화물 반도체(230a)에는 산화물 반도체(230b)보다 도전율이 높은 재료를 사용할 수 있다. 소스 전극 또는 드레인 전극으로서 기능하는 도전체(120) 및 도전체(240)와 접하는 산화물 반도체(230a)에 도전율이 높은 재료를 사용함으로써, 산화물 반도체(230)와 도전체(120)의 접촉 저항 및 산화물 반도체(230)와 도전체(240)의 접촉 저항을 낮출 수 있어, 온 전류가 큰 트랜지스터로 할 수 있다.
- [0499] 여기서 게이트 전극으로서 기능하는 도전체(260) 측에 제공되는 산화물 반도체(230b)에 도전율이 높은 재료를 사용하는 경우, 트랜지스터의 문턱 전압이 시프트되어, 게이트 전압이 0V일 때 흐르는 드레인 전류(이하, 컷오프 전류라고도 함)가 커지는 경우가 있다. 구체적으로는 트랜지스터(200)가 n채널형 트랜지스터인 경우에 문턱 전압이 낮아지는 경우가 있다. 따라서 산화물 반도체(230b)에는 산화물 반도체(230a)보다 도전율이 낮은 재료를 사용하는 것이 바람직하다. 이로써 트랜지스터(200)가 n채널형 트랜지스터인 경우에는 문턱 전압을 높게 할 수 있어 컷오프 전류가 작은 트랜지스터로 할 수 있다. 또한 컷오프 전류가 작은 것을 노멀리 오프라고 기재하는 경우가 있다.
- [0500] 상술한 바와 같이 산화물 반도체(230)에 적층 구조를 적용하고, 산화물 반도체(230b)보다 도전율이 높은 재료를 산화물 반도체(230a)에 사용함으로써, 노멀리 오프이며 온 전류가 큰 트랜지스터로 할 수 있다. 따라서 소비 전력이 낮으면서도 성능이 높은 기억 장치로 할 수 있다.
- [0501] 또한 산화물 반도체(230a)의 캐리어 농도는 산화물 반도체(230b)의 캐리어 농도보다 높은 것이 바람직하다. 산화물 반도체(230a)의 캐리어 농도를 높게 함으로써 도전율이 높아지기 때문에, 산화물 반도체(230)와 도전체(120)의 접촉 저항 및 산화물 반도체(230)와 도전체(240)의 접촉 저항을 낮출 수 있어, 온 전류가 큰 트랜지스터로 할 수 있다. 산화물 반도체(230b)의 캐리어 농도를 낮게 함으로써 도전율이 낮아지기 때문에 노멀리 오프의 트랜지스터로 할 수 있다.
- [0502] 여기서는 산화물 반도체(230a)에 산화물 반도체(230b)보다 도전율이 높은 재료를 사용하는 예를 나타내었지만, 본 발명의 일 형태는 이에 한정되지 않는다. 산화물 반도체(230b)보다 도전율이 낮은 재료를 산화물 반도체(230a)에 사용하여도 좋다. 산화물 반도체(230a)의 캐리어 농도를 산화물 반도체(230b)의 캐리어 농도보다 낮게 할 수 있다.
- [0503] 산화물 반도체(230a)에 사용하는 제 1 금속 산화물의 밴드 갭은 산화물 반도체(230b)에 사용하는 제 2 금속 산화물의 밴드 갭과 다른 것이 바람직하다. 예를 들어 제 1 금속 산화물의 밴드 갭과 제 2 금속 산화물의 밴드 갭의 차이는 0.1eV 이상인 것이 바람직하고, 0.2eV 이상인 것이 더 바람직하고, 0.3eV 이상인 것이 더 바람직하다.
- [0504] 산화물 반도체(230a)에 사용하는 제 1 금속 산화물의 밴드 갭은 산화물 반도체(230b)에 사용하는 제 2 금속 산화물의 밴드 갭보다 작게 할 수 있다. 이에 의하여, 산화물 반도체(230)와 도전체(120)의 접촉 저항 및 산화물 반도체(230)와 도전체(240)의 접촉 저항을 낮출 수 있어, 온 전류가 큰 트랜지스터로 할 수 있다. 또한 트랜지스터(200)가 n채널형 트랜지스터인 경우에는 문턱 전압을 높게 할 수 있어 노멀리 오프의 트랜지스터로 할 수 있다.
- [0505] 여기서는 제 1 금속 산화물의 밴드 갭이 제 2 금속 산화물의 밴드 갭보다 작은 예를 제시하였지만, 본 발명의 일 형태는 이에 한정되지 않는다. 제 1 금속 산화물의 밴드 갭을 제 2 금속 산화물의 밴드 갭보다 크게 할 수 있다.
- [0506] 상술한 바와 같이, 산화물 반도체(230a)에 사용하는 제 1 금속 산화물의 밴드 갭은 산화물 반도체(230b)에 사용하는 제 2 금속 산화물의 밴드 갭보다 작게 할 수 있다. 제 1 금속 산화물의 조성은 제 2 금속 산화물의 조성과 다른 것이 바람직하다. 제 1 금속 산화물과 제 2 금속 산화물의 조성을 다르게 함으로써 밴드 갭을 제어할 수 있다. 예를 들어 제 1 금속 산화물의 원소 M의 함유율은 제 2 금속 산화물의 원소 M의 함유율보다 낮은 것

이 바람직하다. 구체적으로는 제 1 금속 산화물 및 제 2 금속 산화물을 In-M-Zn 산화물로 하는 경우, 제 1 금속 산화물이 In:M:Zn=1:1:1[원자수비] 또는 그 근방의 조성, 제 2 금속 산화물이 In:M:Zn=1:3:2[원자수비] 또는 그 근방의 조성으로 할 수 있다. 원소 M으로서는 갈륨 및 주석 중 한쪽 또는 양쪽을 사용하는 것이 특히 바람직하다.

[0507] 제 1 금속 산화물은 원소 M을 포함하지 않아도 된다. 예를 들어 산화물 반도체(230a)에 사용하는 제 1 금속 산화물을 In-Zn 산화물로 하고, 산화물 반도체(230b)에 사용하는 제 2 금속 산화물을 In-M-Zn 산화물로 할 수 있다. 구체적으로는 제 1 금속 산화물을 In-Zn 산화물로 하고, 제 2 금속 산화물을 In-Ga-Zn 산화물로 할 수 있다. 더 구체적으로는 제 1 금속 산화물을 In:Zn=1:1[원자수비] 또는 그 근방의 조성, 혹은 In:Zn=4:1[원자수비] 또는 그 근방의 조성으로 하고, 제 2 금속 산화물을 In:Ga:Zn=1:1:1[원자수비] 또는 그 근방의 조성으로 할 수 있다.

[0508] 여기서는 제 1 금속 산화물의 원소 M의 함유율이 제 2 금속 산화물의 원소 M의 함유율보다 낮은 예를 제시하였지만, 본 발명의 일 형태는 이에 한정되지 않는다. 제 1 금속 산화물의 원소 M의 함유율은 제 2 금속 산화물의 원소 M의 함유율보다 높아도 좋다. 또한 제 1 금속 산화물과 제 2 금속 산화물에서 조성이 다르면 좋고, 원소 M 이외의 원소의 함유율이 달라도 좋다.

[0509] 산화물 반도체(230)의 막 두께는 1nm 이상, 3nm 이상, 또는 5nm 이상이며, 20nm 이하, 15nm 이하, 12nm 이하, 또는 10nm 이하인 것이 바람직하다.

[0510] 산화물 반도체(230)를 구성하는 각 층(여기서는 산화물 반도체(230a) 및 산화물 반도체(230b))의 막 두께는 산화물 반도체(230)의 막 두께가 상술한 범위 내가 되도록 결정하면 좋다. 산화물 반도체(230a)의 막 두께는 산화물 반도체(230a)와 도전체(120)의 접촉 저항 및 산화물 반도체(230a)와 도전체(240)의 접촉 저항이 요구되는 범위가 되도록 결정할 수 있다. 또한 산화물 반도체(230b)의 막 두께는 트랜지스터의 문턱 전압이 요구되는 범위가 되도록 결정할 수 있다. 또한 산화물 반도체(230a)의 막 두께는 산화물 반도체(230b)의 막 두께와 같아도 좋고 달라도 좋다.

[0511] 도 18의 (A) 및 (B)에는 산화물 반도체(230)가 산화물 반도체(230a)와 산화물 반도체(230b)의 2층 적층 구조인 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 산화물 반도체(230)는 3층 이상의 적층 구조로 하여도 좋다.

[0512] 산화물 반도체(230)를 3층 적층 구조로 하는 경우, 예를 들어 도전체(120) 층으로부터 In:Ga:Zn=1:1:1[원자수비] 또는 그 근방의 조성인 금속 산화물, In:Zn=1:1[원자수비] 또는 그 근방의 조성, 혹은 In:Zn=4:1[원자수비] 또는 그 근방의 조성인 금속 산화물, In:Ga:Zn=1:1:1[원자수비] 또는 그 근방의 조성인 금속 산화물이 이 순서대로 제공된 구성으로 하여도 좋다. 이러한 구성으로 함으로써, 트랜지스터(200)의 온전류를 크게 하며, 편차가 적어 신뢰성이 높은 트랜지스터 구조로 할 수 있다.

[0513] 절연체(250)로서는 후술하는 [절연체]의 항목에 기재되는 절연체를 단층 또는 적층으로 사용할 수 있다. 예를 들어 절연체(250)로서 산화 실리콘 또는 산화질화 실리콘을 사용할 수 있다. 산화 실리콘 및 산화질화 실리콘은 열에 대하여 안정적이므로 바람직하다.

[0514] 또한 절연체(250)로서 후술하는 [절연체]의 항목에 기재되는 비유전율이 높은 재료, 소위 high-k 재료를 사용하여도 좋다. 예를 들어 산화 하프늄 또는 산화 알루미늄 등을 사용하여도 좋다.

[0515] 절연체(250)의 막 두께는 0.5nm 이상 15nm 이하로 하는 것이 바람직하고, 0.5nm 이상 12nm 이하로 하는 것이 더 바람직하고, 0.5nm 이상 10nm 이하로 하는 것이 더 바람직하다. 절연체(250)는 적어도 일부에 상술한 바와 같은 막 두께의 영역을 가지면 좋다.

[0516] 절연체(250) 내의 물, 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다. 이로써 산화물 반도체(230)의 채널 형성 영역에 물, 수소 등의 불순물이 혼입되는 것을 억제할 수 있다.

[0517] 도 15의 (B) 및 (C)에 나타낸 바와 같이, 절연체(250)의 일부는 개구부(290)의 외부, 즉 도전체(240) 및 절연체(280) 위에 위치한다. 이때 절연체(250)는 산화물 반도체(230)의 측단부를 덮는 것이 바람직하다. 이에 의하여, 도전체(260)와 산화물 반도체(230)가 단락되는 것을 방지할 수 있다. 또한 절연체(250)는 도전체(240)의 측단부를 덮는 것이 바람직하다. 이에 의하여, 도전체(260)와 도전체(240)가 단락되는 것을 방지할 수 있다.

[0518] 도 18의 (A) 및 (B)에 나타낸 바와 같이, 절연체(250)는 절연체(250a)와, 절연체(250a) 위의 절연체(250b)와,

절연체(250b) 위의 절연체(250c)의 적층 구조를 가져도 좋다.

[0519] 절연체(250b)에는 후술하는 [절연체]의 항목에 기재되는 비유전율이 낮은 재료를 사용하는 것이 바람직하다. 특히 산화 실리콘 및 산화질화 실리콘은 열에 대하여 안정적이므로 바람직하다. 이 경우, 절연체(250b)는 적어도 산소와 실리콘을 포함한다. 이러한 구성으로 함으로써, 도전체(260)와 도전체(240) 사이에 발생하는 기생 용량을 저감할 수 있다. 또한 절연체(250b) 내의 물, 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다.

[0520] 절연체(250a)에는 후술하는 [절연체]의 항목에 기재되는 산소에 대한 배리어성을 가지는 절연체를 사용하는 것이 바람직하다. 절연체(250a)는 산화물 반도체(230)와 접하는 영역을 가진다. 절연체(250a)가 산소에 대한 배리어성을 가짐으로써, 열처리 등을 수행하였을 때 산화물 반도체(230)로부터 산소가 이탈되는 것을 억제할 수 있다. 그러므로 산화물 반도체(230)에 산소 결손이 형성되는 것을 억제할 수 있다. 이로써 트랜지스터(200)의 전기 특성을 양호하게 하고 신뢰성을 향상시킬 수 있다. 절연체(250a)에 예를 들어 산화 알루미늄을 사용하면 좋다. 이 경우 절연체(250a)는 적어도 산소와 알루미늄을 포함한다.

[0521] 절연체(250c)에는 후술하는 [절연체]의 항목에 기재되는 수소에 대한 배리어성을 가지는 절연체를 사용하는 것이 바람직하다. 이로써 도전체(260)에 포함되는 불순물이 산화물 반도체(230)로 확산되는 것을 억제할 수 있다. 질화 실리콘은 수소에 대한 배리어성이 높으므로 절연체(250c)로서 적합하다. 이 경우 절연체(250c)는 적어도 질소와 실리콘을 포함한다.

[0522] 또한 절연체(250c)는 산소에 대한 배리어성을 가져도 좋다. 절연체(250c)는 절연체(250b)와 도전체(260) 사이에 제공되어 있다. 따라서 절연체(250b)에 포함되는 산소가 도전체(260)로 확산되는 것이 방지되어 도전체(260)의 산화를 억제할 수 있다. 또한 영역(230i)에 공급되는 산소량의 감소를 억제할 수 있다.

[0523] 또한 절연체(250b)와 절연체(250c) 사이에 절연체를 제공하여도 좋다. 상기 절연체에는 후술하는 [절연체]의 항목에 기재되는 수소를 포획하는 기능 또는 수소를 고착하는 기능을 가지는 절연체를 사용하는 것이 바람직하다. 상기 절연체를 제공함으로써, 산화물 반도체(230)에 포함되는 수소를 더 효과적으로 포획시키거나 고착시킬 수 있다. 따라서 산화물 반도체(230) 내의 수소 농도를 저감할 수 있다. 상기 절연체로서 예를 들어 산화 하프늄을 사용하면 좋다. 이 경우 상기 절연체는 적어도 산소와 하프늄을 포함한다. 또한 상기 절연체는 비정 질 구조를 가져도 좋다.

[0524] 트랜지스터(200)를 미세화하는 데 있어서 절연체(250a) 내지 절연체(250c)의 막 두께는 얇은 것이 바람직하고, 상술한 범위 내에 있는 것이 바람직하다. 대표적으로는 절연체(250a), 절연체(250b), 수소를 포획하는 기능 또는 수소를 고착하는 기능을 가지는 절연체, 및 절연체(250c)의 막 두께를 각각 1nm, 2nm, 2nm, 및 1nm로 한다. 이러한 구성으로 함으로써, 트랜지스터(200)를 미세화 또는 고집적화하여도 양호한 전기 특성을 가질 수 있다.

[0525] 도 18의 (A) 및 (B)에는 절연체(250)가 절연체(250a) 내지 절연체(250c)의 3층 적층 구조인 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 절연체(250)는 2층 또는 4층 이상의 적층 구조로 하여도 좋다. 이 때 절연체(250)에 포함되는 각 층은 절연체(250a) 내지 절연체(250c) 및 수소를 포획하는 기능 또는 수소를 고착하는 기능을 가지는 절연체 중에서 적절히 선택하면 좋다.

[0526] 도전체(260)로서는 후술하는 [도전체]의 항목에 기재되는 도전체를 단층 또는 적층으로 사용할 수 있다. 예를 들어 텡스텐 등의 도전성이 높은 도전성 재료를 도전체(260)에 사용할 수 있다.

[0527] 또한 도전체(260)에는 산화되기 어려운 도전성 재료 또는 산소의 확산을 억제하는 기능을 가지는 도전성 재료 등을 사용하는 것이 바람직하다. 상기 도전성 재료로서 질소를 포함하는 도전성 재료(예를 들어 질화 타이타늄 또는 질화 탄탈럼 등) 및 산소를 포함하는 도전성 재료(예를 들어 산화 루테늄 등) 등을 들 수 있다. 이로써 도전체(260)의 도전율이 저하되는 것을 억제할 수 있다.

[0528] 도 18의 (A) 및 (B)에 나타낸 바와 같이, 도전체(260)는 도전체(260a)와 도전체(260a) 위의 도전체(260b)의 적층 구조를 가져도 좋다. 이 때 예를 들어 도전체(260a)로서 질화 타이타늄을 사용하고, 도전체(260b)로서 텡스텐을 사용하여도 좋다. 이와 같이 텡스텐을 적층시켜 제공함으로써, 도전체(260)의 도전성을 향상시켜 배선(WL)으로서 충분히 기능시킬 수 있다.

[0529] 도 15의 (B) 및 (C)에서는 도전체(260)가 개구부(290)를 매립하도록 제공되어 있지만, 본 발명은 이에 한정되지 않는다. 예를 들어 도전체(260)의 중앙부에 개구부(290)의 형상을 반영한 오목부가 형성되고, 상기 오목부의 일부가 개구부(290)에 위치하는 경우가 있다. 이 때 상기 오목부를 무기 절연 재료 등으로 충전하는 구성으로

하여도 좋다.

[0530] 또한 도 15의 (B) 및 (C)에 나타낸 바와 같이, 도전체(260)의 일부는 개구부(290)의 외부, 즉 도전체(240) 및 절연체(280) 위에 위치한다. 이때 도 15의 (B)에 나타낸 바와 같이, 도전체(260)의 측단부는 산화물 반도체(230)의 측단부보다 내측에 위치하는 것이 바람직하다. 이에 의하여, 도전체(260)와 산화물 반도체(230)가 단락되는 것을 방지할 수 있다. 또한 도전체(260)의 측단부는 산화물 반도체(230)의 측단부와 일치하여도 좋고, 산화물 반도체(230)의 측단부보다 외측에 위치하여도 좋다.

[0531] 도전체(120)는 [용량 소자(100)]의 항목에서 설명한 바와 같이 제공하면 좋다.

[0532] 또한 도 15의 (B) 및 (C)에서는 도전체(120)의 상면이 평坦한 구성을 나타내었지만, 본 발명은 이에 한정되지 않는다. 예를 들어 도전체(120)의 상면에 개구부(290)와 중첩되는 오목부가 형성되는 구성으로 하여도 좋다. 상기 오목부를 매립하도록 산화물 반도체(230), 절연체(250), 및 도전체(260)의 적어도 일부가 형성되는 구성으로 함으로써, 산화물 반도체(230)의 도전체(120) 근방까지 도전체(260)의 게이트 전계를 인가하기 쉽게 할 수 있다.

[0533] 도전체(240)로서는 후술하는 [도전체]의 항목에 기재되는 도전체를 단층 또는 적층으로 사용할 수 있다. 예를 들어 텅스텐 등의 도전성이 높은 도전성 재료를 도전체(240)에 사용할 수 있다.

[0534] 도전체(260)와 마찬가지로, 도전체(240)에도 산화되기 어려운 도전성 재료 또는 산소의 확산을 억제하는 기능을 가지는 도전성 재료 등을 사용하는 것이 바람직하다. 예를 들어 질화 타이타늄 또는 질화 탄탈럼 등을 사용할 수 있다. 이러한 구성으로 함으로써, 산화물 반도체(230)로 인하여 도전체(240)가 과도하게 산화되는 것을 억제할 수 있다.

[0535] 또한 예를 들어 질화 타이타늄 위에 텅스텐을 적층시킨 구조로 하여도 좋다. 이와 같이 텅스텐을 적층시켜 제공함으로써, 도전체(240)의 도전성을 향상시켜 배선(BL)으로서 충분히 기능시킬 수 있다.

[0536] 또한 도전체(240)를 제 1 도전체와 제 2 도전체를 적층하는 구성으로 하는 경우, 예를 들어 제 1 도전체를 도전성이 높은 도전성 재료를 사용하여 형성하고, 제 2 도전체를 산소를 포함하는 도전성 재료를 사용하여 형성하여도 좋다. 절연체(250)와 접하는 도전체(240)의 제 2 도전체에 산소를 포함하는 도전성 재료를 사용함으로써, 절연체(250) 내의 산소가 도전체(240)의 제 1 도전체로 확산되는 것을 억제할 수 있다. 예를 들어 도전체(240)의 제 1 도전체로서 텅스텐을 사용하고, 도전체(240)의 제 2 도전체로서 실리콘을 첨가한 인듐 주석 산화물을 사용하면 좋다.

[0537] 산화물 반도체(230)와 도전체(120)가 접함으로써, 금속 화합물 또는 산소 결손이 형성되어 산화물 반도체(230)의 영역(230na)이 저저항화된다. 도전체(120)와 접하는 산화물 반도체(230)가 저저항화됨으로써, 산화물 반도체(230)와 도전체(120)의 접촉 저항을 저감할 수 있다. 마찬가지로, 산화물 반도체(230)와 도전체(240)가 접함으로써 산화물 반도체(230)의 영역(230nb)이 저저항화된다. 따라서 산화물 반도체(230)와 도전체(240)의 접촉 저항을 저감할 수 있다.

[0538] 절연체(140) 및 절연체(280)는 중간막으로서 기능하기 때문에 비유전율이 낮은 것이 바람직하다. 비유전율이 낮은 재료를 중간막에 사용함으로써, 배선 사이에서 발생하는 기생 용량을 저감할 수 있다. 절연체(140) 및 절연체(280)로서는 후술하는 [절연체]의 항목에 기재되는 비유전율이 낮은 재료를 포함하는 절연체를 단층 또는 적층으로 사용할 수 있다. 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이므로 바람직하다.

[0539] 또한 절연체(140) 및 절연체(280) 내의 물, 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다. 이로써 산화물 반도체(230)의 채널 형성 영역에 물, 수소 등의 불순물이 혼입되는 것을 억제할 수 있다.

[0540] 또한 채널 형성 영역 근방에 배치되는 절연체(280)로서는 가열에 의하여 이탈되는 산소(이하, 파잉 산소라고 부르는 경우가 있음)를 포함하는 절연체를 사용하는 것이 바람직하다. 파잉 산소를 포함하는 절연체(280)에 열처리를 수행함으로써, 절연체(280)로부터 산화물 반도체(230)의 채널 형성 영역에 산소를 공급하여 산소 결손 및  $V_{0H}$ 를 저감할 수 있다. 이로써 트랜지스터(200)의 전기 특성을 안정적으로 하고 신뢰성을 향상시킬 수 있다.

[0541] 또한 절연체(280)로서 후술하는 [절연체]의 항목에 기재되는 수소를 포획하는 기능 또는 수소를 고착하는 기능을 가지는 절연체를 사용하여도 좋다. 이러한 구성으로 함으로써, 산화물 반도체(230)의 수소를 포획 또는 고착하여 산화물 반도체(230)의 수소 농도를 저감할 수 있다. 절연체(280)로서는 산화 마그네슘 또는 산화 알루미늄 등을 사용할 수 있다.

- [0542] 절연체(280)는 단층 구조를 가져도 좋고, 2층 이상의 적층 구조를 가져도 좋다. 예를 들어 도 19의 (A) 및 (B)에 나타낸 바와 같이, 절연체(280)는 절연체(280a)와, 절연체(280a) 위의 절연체(280b)와, 절연체(280b) 위의 절연체(280c)의 적층 구조를 가져도 좋다.
- [0543] 절연체(280b)에는 산소를 포함하는 절연체를 사용하는 것이 바람직하다. 절연체(280b)는 절연체(280a) 및 절연체(280c) 중 적어도 하나에 비하여 산소의 함유량이 많은 영역을 가지는 것이 바람직하다. 특히 절연체(280b)는 절연체(280a) 및 절연체(280c) 각각에 비하여 산소의 함유량이 많은 영역을 가지는 것이 바람직하다. 절연체(280b)의 산소의 함유량을 많게 함으로써, 산화물 반도체(230)에서 절연체(280b)와 접하는 영역과 그 근방에 i형 영역을 형성하기 쉬워진다.
- [0544] 절연체(280b)에는 가열에 의하여 산소를 방출하는 막을 사용하는 것이 더 바람직하다. 트랜지스터(200)의 제작 공정 시에 가해지는 열에 의하여 절연체(280b)가 산소를 방출함으로써 산화물 반도체(230)에 산소를 공급할 수 있다. 절연체(280b)로부터 산화물 반도체(230), 특히 산화물 반도체(230)의 채널 형성 영역에 산소를 공급함으로써, 산화물 반도체(230) 내의 산소 결손 및  $V_{0H}$ 를 저감할 수 있기 때문에, 전기 특성이 양호하고 신뢰성이 높은 트랜지스터로 할 수 있다.
- [0545] 예를 들어 산소를 포함한 분위기하에서의 가열 처리 또는 산소를 포함한 분위기하에서의 플라스마 처리를 수행함으로써, 절연체(280b)에 산소를 공급할 수 있다. 또한 산소 분위기하에서 스퍼터링법에 의하여 절연체(280b)의 상면에 산화물막을 성막함으로써 산소를 공급하여도 좋다. 그 후 상기 산화물막을 제거하여도 좋다.
- [0546] 절연체(280b)를 스퍼터링법 또는 플라스마 화학 기상 퇴적(PECVD: Plasma Enhanced Chemical Vapor Deposition)법 등의 성막 방법으로 형성하는 것이 바람직하다. 특히 스퍼터링법을 사용하면, 수소 가스를 성막 가스로서 사용하지 않아도 되기 때문에, 수소의 함유량이 매우 적은 막으로 할 수 있다. 그러므로 산화물 반도체(230)에 수소가 공급되는 것이 억제되어 트랜지스터(200)의 전기 특성을 안정화시킬 수 있다.
- [0547] 트랜지스터(200)의 채널 길이가 짧은 경우, 채널 형성 영역의 산소 결손 및  $V_{0H}$ 가 전기 특성 및 신뢰성에 미치는 영향이 특히 커진다. 절연체(280b)로부터 산화물 반도체(230)에 산소를 공급함으로써, 적어도 산화물 반도체(230)에서 절연체(280b)와 접하는 영역에서 산소 결손 및  $V_{0H}$ 가 증가되는 것을 억제할 수 있다. 따라서 전기 특성이 양호하고 신뢰성이 높으며 채널 길이가 짧은 트랜지스터를 실현할 수 있다.
- [0548] 절연체(280a) 및 절연체(280c)에는 각각 후술하는 [절연체]의 항목에 기재되는 산소에 대한 배리어성을 가지는 절연체를 사용하는 것이 바람직하다. 이에 의하여, 절연체(280b)에 포함되는 산소가 가열에 의하여 절연체(280a)를 통하여 기판 측으로 확산되는 것 및 절연체(280c)를 통하여 절연체(250) 측으로 확산되는 것을 억제할 수 있다. 바꿔 말하면, 산소가 확산되기 어려운 절연체(280a) 및 절연체(280c)를 절연체(280b)의 위아래에 제공함으로써, 절연체(280b)에 포함되는 산소를 가둘 수 있다. 이에 의하여 산화물 반도체(230)로 산소를 효과적으로 공급할 수 있다.
- [0549] 또한 절연체(280b)에 포함되는 산소에 의하여 도전체(120) 및 도전체(240)가 산화되어 저항이 높아지는 경우가 있다. 절연체(280b)와 도전체(120) 사이에 절연체(280a)를 제공함으로써, 도전체(120)가 산화되어 저항이 높아지는 것을 억제할 수 있다. 또한 절연체(280b)와 도전체(240) 사이에 절연체(280c)를 제공함으로써, 도전체(240)가 산화되어 저항이 높아지는 것을 억제할 수 있다. 또한 절연체(280b)로부터 산화물 반도체(230)에 공급되는 산소의 양이 증가되어 산화물 반도체(230) 내의 산소 결손을 저감할 수 있다.
- [0550] 또한 산화물 반도체(230) 중 절연체(280a)에 접하는 영역 및 절연체(280c)에 접하는 영역은, 절연체(280b)에 접하는 영역에 비하여 공급받는 산소의 양이 적다. 따라서 산화물 반도체(230) 중 절연체(280a)에 접하는 영역 및 절연체(280c)에 접하는 영역은 저저항화되는 경우가 있다. 즉 절연체(280a)의 막 두께를 조정함으로써, 소스 영역 및 드레인 영역 중 한쪽으로서 기능하는 영역(230na)의 범위를 제어할 수 있다. 마찬가지로, 절연체(280c)의 막 두께를 조정함으로써 소스 영역 및 드레인 영역 중 다른 쪽으로서 기능하는 영역(230nb)의 범위를 제어할 수 있다.
- [0551] 상술한 바와 같이, 소스 영역 및 드레인 영역은 절연체(280a) 및 절연체(280c)의 막 두께로 제어할 수 있기 때문에, 절연체(280a) 및 절연체(280c)의 막 두께는 트랜지스터(200)에 요구되는 특성에 맞추어 적절히 설정하면 좋다.
- [0552] 예를 들어 도 19의 (A) 및 (B)에 나타낸 바와 같이, 절연체(280c)의 막 두께와 절연체(280a)의 막 두께는 실질적으로 같아도 좋다. 또는 예를 들어 도 19의 (C) 및 (D)에 나타낸 바와 같이, 절연체(280c)의 막 두께가 절연

체(280a)의 막 두께보다 작아도 좋다. 도 19의 (C) 및 (D)에 나타낸 구성으로 함으로써, 영역(230na)을 개구부(290)에서의 도전체(260)의 바닥부에 가깝게 할 수 있다. 이때 영역(230i)의 범위가 좁아지는 구성이라고도 할 수 있다. 이에 의하여 트랜지스터(200)의 온 전류를 향상시킬 수 있다.

[0553] 또한 도 19의 (C) 및 (D)에서는 평탄화된 절연체(280b) 위에 절연체(280c)를 제공하는 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어 절연체(280b)의 평탄화 처리를 수행하지 않고 절연체(280c)를 성막하여도 좋다. 평탄화 처리를 수행하지 않음으로써, 제조 비용을 낮추면서 생산 수율을 높일 수 있다. 또한 절연체(280a), 절연체(280b), 및 절연체(280c)를 대기 환경에 노출시키지 않고 연속적으로 성막할 수 있다. 대기 개방 없이 성막함으로써, 절연체(280a) 내지 절연체(280c) 위에 대기 환경으로부터의 불순물 또는 수분이 부착되는 것을 방지할 수 있어, 절연체(280a)와 절연체(280b)의 계면 균방 및 절연체(280b)와 절연체(280c)의 계면 균방을 청정하게 유지할 수 있다.

[0554] 절연체(280a) 및 절연체(280c)에는 각각 후술하는 [절연체]의 항목에 기재되는 수소에 대한 배리어성을 가지는 절연체를 사용하는 것이 바람직하다. 이로써 트랜지스터의 외부로부터 절연체(280a) 또는 절연체(280c)를 통하여 산화물 반도체(230)로 수소가 확산되는 것을 억제할 수 있다. 절화 실리콘막 및 절화산화 실리콘막은 이들 각각으로부터의 불순물(예를 들어 물 및 수소)의 방출이 적고, 산소 및 수소를 투과시키기 어렵다는 특징을 가지기 때문에, 절연체(280a) 및 절연체(280c)에 적합하게 사용할 수 있다. 또한 절연체(280a) 및 절연체(280c)에는 서로 같은 재료를 사용하여도 좋고, 상이한 재료를 사용하여도 좋다.

[0555] 또한 절연체(280a)로서 후술하는 [절연체]의 항목에 기재되는 수소를 포획하는 기능 또는 수소를 고착하는 기능을 가지는 절연체를 사용하는 것이 바람직하다. 이러한 구성으로 함으로써, 절연체(280a)의 아래쪽으로부터 산화물 반도체(230)로 수소가 확산되는 것을 억제하고, 또한 산화물 반도체(230)의 수소를 포획 또는 고착하여 산화물 반도체(230)의 수소 농도를 저감할 수 있다. 또한 절연체(280a) 위쪽으로부터 절연체(130)로 수소가 확산되는 것을 억제하고, 또한 절연체(130)의 수소를 포획 또는 고착하여 절연체(130)의 수소 농도를 저감할 수 있다. 절연체(280a)로서는 산화 마그네슘, 산화 알루미늄, 또는 산화 하프늄 등을 사용할 수 있다. 또한 예를 들어 절연체(280a)로서 산화 알루미늄과, 상기 산화 알루미늄 위의 절화 실리콘의 적층막을 사용하여도 좋다.

[0556] 절연체(280a)의 막 두께는 절연체(280b)의 막 두께보다 작은 것이 바람직하다. 또한 절연체(280c)의 막 두께는 절연체(280b)의 막 두께보다 작은 것이 바람직하다. 절연체(280a) 및 절연체(280c)의 막 두께는 각각 1nm 이상 15nm 이하가 바람직하고, 2nm 이상 10nm 이하가 더 바람직하고, 3nm 이상 7nm 이하가 더 바람직하고, 3nm 이상 5nm 이하가 더 바람직하다. 절연체(280b)의 막 두께는 3nm 이상 30nm 이하가 바람직하고, 5nm 이상 20nm 이하가 더 바람직하고, 7nm 이상 15nm 이하가 더 바람직하다. 절연체(280a) 내지 절연체(280c)의 막 두께를 상술한 범위로 함으로써 산화물 반도체(230) 내, 특히 채널 형성 영역의 산소 결손을 저감할 수 있다.

[0557] 예를 들어 절연체(280a) 및 절연체(280c)에 절화 실리콘을 사용하고, 절연체(280b)에 산화 실리콘을 사용하는 것이 바람직하다. 이때 절연체(280a) 및 절연체(280c) 각각은 적어도 실리콘과 질소를 포함한다. 또한 절연체(280b)는 적어도 실리콘과 산소를 포함한다.

[0558] 또한 도 20의 (A) 및 (B)에서는 절연체(280)가 3층 적층 구조인 구성을 나타내었지만, 본 발명의 일 형태는 이에 한정되지 않는다. 절연체(280)는 2층 또는 4층 이상의 적층 구조를 가져도 좋다.

[0559] 절연체(283)에는 후술하는 [절연체]의 항목에 기재되는 수소에 대한 배리어성을 가지는 절연체를 사용하는 것이 바람직하다. 이로써 트랜지스터의 외부로부터 절연체(250)를 통하여 산화물 반도체(230)로 수소가 확산되는 것을 억제할 수 있다. 절화 실리콘막 및 절화산화 실리콘막은 각각 이들로부터의 불순물(예를 들어 물 및 수소)의 방출이 적고, 산소 및 수소를 투과시키기 어렵다는 특징을 가지기 때문에 절연체(283)에 적합하게 사용할 수 있다.

[0560] 또한 절연체(283)로서 후술하는 [절연체]의 항목에 기재되는 수소를 포획하는 기능 또는 수소를 고착하는 기능을 가지는 절연체를 사용하는 것이 바람직하다. 이러한 구성으로 함으로써, 절연체(283) 위쪽으로부터 산화물 반도체(230)로 수소가 확산되는 것을 억제하고, 또한 산화물 반도체(230)의 수소를 포획 또는 고착하여 산화물 반도체(230)의 수소 농도를 저감할 수 있다. 절연체(283)로서는 산화 마그네슘, 산화 알루미늄, 또는 산화 하프늄 등을 사용할 수 있다. 또한 예를 들어 절연체(283)로서 산화 알루미늄과, 상기 산화 알루미늄 위의 절화 실리콘의 적층막을 사용하여도 좋다.

[0561] 도 15의 (B) 및 (C)에는 도전체(120)의 상면과 산화물 반도체(230)의 하면이 접하는 영역을 가지는 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어 도전체(120)와 산화물 반도체(230) 사이에 도전체

를 제공하여도 좋다.

[0562] 예를 들어 도 20의 (A) 및 (B)에 나타낸 바와 같이, 도전체(120)와 산화물 반도체(230) 사이에 도전체(125)를 제공하는 구성으로 하여도 좋다. 도전체(125)로서 후술하는 [도전체]의 항목에 기재되는 산소를 포함하는 도전성 재료를 사용하는 것이 바람직하다. 산소를 포함하는 도전성 재료를 도전체(125)에 사용함으로써, 도전체(125)는 산소를 흡수하여도 도전성을 유지할 수 있다. 또한 산화물 반도체(230) 내의 산소가 도전체(120)로 확산되는 것을 억제할 수 있다. 도전체(125)로서 예를 들어 인듐 주석 산화물, 실리콘을 첨가한 인듐 주석 산화물, 인듐 아연 산화물 등을 단층 또는 적층으로 사용할 수 있다.

[0563] 도 15의 (B) 및 (C)에서는 도전체(240)가 절연체(280) 위에 제공되어 있다. 또한 절연체(250)에서 도전체(240)와 중첩되지 않는 영역이 절연체(280)의 상면과 접하는 영역을 가지는 구성을 나타내었다. 또한 본 발명은 이에 한정되지 않는다.

[0564] 예를 들어 도전체(240)는 절연체에 매립되도록 제공되어도 좋다. 이때 도전체(240)의 상면의 높이와 절연체의 상면의 높이가 일치하는 것이 바람직하다. 이러한 구성으로 함으로써, 도전체(260)에서 도전체(240)(특히 도전체(240)의 측단부)까지의 물리적 거리를 크게 할 수 있어 도전체(260)와 도전체(240)의 단락을 방지할 수 있다.

[0565] 여기서 도 15의 (A) 내지 (C)에 나타낸 메모리 셀(150)의 제작 방법의 일례에 대하여 설명한다. 우선, 도전체(110) 위에 절연체(180)를 형성하고 절연체(180)를 가공함으로써, 도전체(110)에 도달하는 개구부(190)를 형성한다. 다음으로 개구부(190)에서 절연체(180)의 측면과 접하는 도전체(115)를 형성하고, 도전체(115) 위에 절연체(130)를 형성하고, 절연체(130) 위에 도전체(120)를 형성하고, 도전체(120) 위에 절연체(280)를 형성하고, 절연체(280) 위에 도전체(240)를 형성한다. 그리고 도전체(240)와 절연체(280)를 각각 가공함으로써, 도전체(120)에 도달하는 개구부(290)를 형성한다. 이어서 개구부(290)에서 도전체(120)의 상면, 절연체(280)의 측면, 및 도전체(240)의 상면 및 측면과 접하는 산화물 반도체(230)를 형성하고, 산화물 반도체(230) 위에 절연체(250)를 형성하고, 절연체(250) 위에 도전체(260)를 형성한다. 이상에 의하여 메모리 셀(150)을 형성할 수 있다. 여기서 산화물 반도체(230)의 형성에는 실시형태 1에서 설명한 금속 산화물의 성막 방법을 사용하는 것이 바람직하다.

[0566] <반도체 장치 및 기억 장치의 구성 재료>

[0567] 이하에서는 반도체 장치 및 기억 장치에 사용할 수 있는 구성 재료에 대하여 설명한다. 또한 산화물 반도체(230)에 사용할 수 있는 금속 산화물에 대해서는 실시형태 1을 참조할 수 있다.

[0568] [기판]

[0569] 트랜ジ스터(200) 및 용량 소자(100)를 형성하는 기판으로서는 예를 들어 절연체 기판, 반도체 기판, 또는 도전체 기판을 사용할 수 있다. 절연체 기판으로서는 예를 들어 유리 기판, 석영 기판, 사파이어 기판, 안정화 지르코니아 기판(이트리아 안정화 지르코니아 기판 등), 및 수지 기판이 있다. 또한 반도체 기판으로서는 예를 들어 실리콘 또는 저마늄을 재료로서 사용한 반도체 기판, 및 탄소화 실리콘, 실리콘 저마늄, 비소화 갈륨, 인화 인듐, 산화 아연, 또는 산화 갈륨으로 이루어지는 화합물 반도체 기판이 있다. 또한 상술한 반도체 기판 내부에 절연체 영역을 가지는 반도체 기판, 예를 들어 SOI(Silicon On Insulator) 기판 등이 있다. 도전체 기판으로서는 예를 들어 흑연 기판, 금속 기판, 합금 기판, 도전성 수지 기판이 있다. 또한 기판으로서는 예를 들어 금속의 절화물을 포함한 기판, 금속의 산화물을 포함한 기판, 절연체 기판에 도전체 또는 반도체가 제공된 기판, 반도체 기판에 도전체 또는 절연체가 제공된 기판, 및 도전체 기판에 반도체 또는 절연체가 제공된 기판이 있다. 또는 이들 기판에 하나 또는 복수의 소자가 제공된 것을 사용하여도 좋다. 기판에 제공되는 소자로서는 예를 들어 용량 소자, 저항 소자, 스위칭 소자, 발광 소자, 및 기억 소자가 있다.

[0570] [절연체]

[0571] 절연체로서는 예를 들어 절연성을 가지는 산화물, 질화물, 산화질화물, 질화산화물, 금속 산화물, 금속 산화질화물, 및 금속 질화산화물이 있다.

[0572] 예를 들어 트랜ジ스터의 미세화 및 고집적화가 진행되면, 게이트 절연체가 박막화됨으로써 누설 전류 등의 문제가 발생하는 경우가 있다. 게이트 절연체로서 기능하는 절연체에 high-k 재료를 사용함으로써, 물리적 막 두께를 유지하면서 트랜ジ스터 동작 시의 전압을 저감할 수 있다. 또한 게이트 절연체로서 기능하는 절연체의 등가 산화막 두께(EOT)를 얇게 할 수 있다. 한편, 층간막으로서 기능하는 절연체에는 비유전율이 낮은 재료를 사용함으로써, 배선 사이에서 발생하는 기생 용량을 저감할 수 있다. 따라서 절연체의 기능에 따라 재료를 선택하

는 것이 좋다. 또한 비유전율이 낮은 재료는 절연 내력이 큰 재료이기도 하다.

[0573] 비유전율이 높은(high-k) 재료로서는 예를 들어 산화 알루미늄, 산화 갈륨, 산화 하프늄, 산화 탄탈럼, 산화 지르코늄, 하프늄 지르코늄 산화물, 알루미늄 및 하프늄을 포함한 산화물, 알루미늄 및 하프늄을 포함한 산화질화물, 실리콘 및 하프늄을 포함한 산화물, 실리콘 및 하프늄을 포함한 산화질화물, 그리고 실리콘 및 하프늄을 포함한 질화물 등이 있다.

[0574] 비유전율이 낮은 재료로서는 예를 들어 산화 실리콘, 산화질화 실리콘, 및 질화산화 실리콘 등의 무기 절연 재료, 폴리에스터, 폴리올레핀, 폴리아마이드(나일론, 아라미드 등), 폴리이미드, 폴리카보네이트, 및 아크릴 등의 수지가 있다. 또한 비유전율이 낮은 다른 무기 절연 재료로서 예를 들어 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 그리고 공공을 가지는 산화 실리콘이 있다. 또한 이들 산화 실리콘은 질소를 포함하여도 좋다.

[0575] 또한 금속 산화물을 사용한 트랜지스터를 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로 둘러싸으로써, 트랜지스터의 전기 특성을 안정적으로 할 수 있다. 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로서는, 예를 들어 붕소, 탄소, 질소, 산소, 플루오린, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄, 및 탄탈럼 중 하나 또는 복수를 포함한 절연체를 단층으로 또는 적층하여 사용할 수 있다. 구체적으로는 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로서, 예를 들어 산화 알루미늄, 산화 마그네슘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 산화 탄탈럼 등의 금속 산화물, 및 질화 알루미늄, 질화산화 실리콘, 질화 실리콘 등의 금속 질화물이 있다.

[0576] 또한 게이트 절연체 등 반도체와 접하는 절연체 또는 반도체층 근방에 제공되는 절연체는 과잉 산소를 포함하는 영역을 가지는 절연체인 것이 바람직하다. 예를 들어 과잉 산소를 포함하는 영역을 가지는 절연체가 반도체층과 접하거나, 반도체층 근방에 제공되는 구조로 함으로써, 반도체층이 가지는 산소 결손을 저감할 수 있다. 과잉 산소를 포함하는 영역을 형성하기 쉬운 절연체로서 산화 실리콘, 산화질화 실리콘, 또는 공공을 가지는 산화 실리콘 등을 들 수 있다.

[0577] 또한 산소에 대한 배리어성을 가지는 절연체로서는 알루미늄 및 하프늄 중 한쪽 또는 양쪽을 포함하는 산화물, 하프늄 및 실리콘을 포함하는 산화물(하프늄 실리케이트), 산화 마그네슘, 산화 갈륨, 갈륨 아연 산화물, 질화 실리콘, 및 질화산화 실리콘 등이 있다. 또한 알루미늄 및 하프늄 중 한쪽 또는 양쪽을 포함하는 산화물로서, 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미네이트) 등이 있다.

[0578] 또한 수소에 대한 배리어성을 가지는 절연체로서는 산화 알루미늄, 산화 마그네슘, 산화 하프늄, 산화 갈륨, 인듐 갈륨 아연 산화물, 질화 실리콘, 또는 질화산화 실리콘 등을 들 수 있다.

[0579] 산소에 대한 배리어성을 가지는 절연체 및 수소에 대한 배리어성을 가지는 절연체는 산소 및 수소 중 한쪽 또는 양쪽에 대한 배리어성을 가지는 절연체라고 할 수 있다.

[0580] 또한 수소를 포획하는 기능 또는 수소를 고착하는 기능을 가지는 절연체로서, 마그네슘을 포함하는 산화물, 또는 알루미늄 및 하프늄 중 한쪽 또는 양쪽을 포함하는 산화물을 들 수 있다. 또한 이들 산화물은 비정질 구조를 가지는 것이 더 바람직하다. 비정질 구조를 가지는 산화물에서는 산소 원자가 맹글링 본드(dangling bond)를 가지고, 상기 맹글링 본드로 수소를 포획하는 성질 또는 수소를 고착하는 성질을 가지는 경우가 있다. 또한 이들 금속 산화물은 비정질 구조인 것이 바람직하지만, 일부에 결정 영역이 형성되어 있어도 좋다.

[0581] 또한 본 명세서 등에서, 배리어성이란 대응하는 물질이 확산되기 어려운 성질(대응하는 물질이 투과하기 어려운 성질, 대응하는 물질에 대한 투과성이 낮은 성질, 또는 대응하는 물질의 확산을 억제하는 기능이라고도 함)을 가리킨다. 또한 대응하는 물질을 포획하거나 고착하는(게터링이라고도 함) 기능을 배리어성이라고 바꿔 말할 수 있다. 또한 대응하는 물질로서 기재되는 경우의 수소는 예를 들어 수소 원자, 수소 분자, 그리고 물 분자 및 OH<sup>-</sup> 등 수소와 결합된 물질 등 중 적어도 하나를 가리킨다. 또한 대응하는 물질로서 기재되는 경우의 불순물은 특별히 명시되지 않는 한 채널 형성 영역 또는 반도체층에서의 불순물을 가리키고, 예를 들어 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(N<sub>2</sub>O, NO, NO<sub>2</sub> 등), 구리 원자 등 중 적어도 하나를 가리킨다. 또한 대응하는 물질로서 기재되는 경우의 산소는 예를 들어 산소 원자, 산소 분자 등 중 적어도 하나를 가리킨다. 구체적으로는 산소에 대한 배리어성이란 산소 원자, 산소 분자 등 중 적어도 하나가 확산되기 어려운 성질을 가리킨다.

[0582]

[도전체]

[0583]

도전체에는 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텡스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테늄, 이리듐, 스트론튬, 및 란타넘 등 중에서 선택된 금속 원소, 또는 상술한 금속 원소를 성분으로 하는 합금이나, 상술한 금속 원소를 조합한 합금 등을 사용하는 것이 바람직하다. 상술한 금속 원소를 성분으로 하는 합금으로서, 상기 합금의 질화물 또는 상기 합금의 산화물을 사용하여도 좋다. 예를 들어 질화 탄탈럼, 질화 타이타늄, 텡스텐, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물 등을 사용하는 것이 바람직하다. 또한 인 등의 불순물 원소를 함유시킨 다결정 실리콘으로 대표되는, 전기 전도도가 높은 반도체, 니켈 실리사이드 등의 실리사이드를 사용하여도 좋다.

[0584]

또한 탄탈럼을 포함하는 질화물, 타이타늄을 포함하는 질화물, 몰리브데넘을 포함하는 질화물, 텡스텐을 포함하는 질화물, 루테늄을 포함하는 질화물, 탄탈럼 및 알루미늄을 포함하는 질화물, 또는 타이타늄 및 알루미늄을 포함하는 질화물 등의 질소를 포함하는 도전성 재료, 산화 루테늄, 스트론튬 및 루테늄을 포함하는 산화물, 또는 란타넘 및 니켈을 포함하는 산화물 등의 산소를 포함하는 도전성 재료, 타이타늄, 탄탈럼, 또는 루테늄 등의 금속 원소를 포함하는 재료는 산화되어 어려운 도전성 재료, 산소의 확산을 억제하는 기능을 가지는 도전성 재료, 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다. 또한 산소를 포함하는 도전성 재료로서는 산화 텡스텐을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 인듐 주석 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 실리콘을 첨가한 인듐 주석 산화물, 인듐 아연 산화물, 및 산화 텡스텐을 포함하는 인듐 아연 산화물 등을 들 수 있다. 본 명세서 등에서는 산소를 포함하는 도전성 재료를 사용하여 성막되는 도전막을 산화물 도전막이라고 부르는 경우가 있다.

[0585]

또한 텡스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료는 도전성이 높기 때문에 바람직하다.

[0586]

또한 상기 재료로 형성되는 도전체를 복수로 적층시켜 사용하여도 좋다. 예를 들어 상술한 금속 원소를 포함하는 재료와 산소를 포함하는 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한 상술한 금속 원소를 포함하는 재료와 질소를 포함하는 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한 상술한 금속 원소를 포함하는 재료와, 산소를 포함하는 도전성 재료와, 질소를 포함하는 도전성 재료를 조합한 적층 구조로 하여도 좋다.

[0587]

또한 트랜지스터의 채널 형성 영역에 금속 산화물을 사용하는 경우, 게이트 전극으로서 기능하는 도전체에는 상술한 금속 원소를 포함하는 재료와 산소를 포함하는 도전성 재료를 조합한 적층 구조를 사용하는 것이 바람직하다. 이 경우에는, 산소를 포함한 도전성 재료를 채널 형성 영역 측에 제공하는 것이 좋다. 산소를 포함한 도전성 재료를 채널 형성 영역 측에 제공함으로써, 상기 도전성 재료로부터 이탈된 산소가 채널 형성 영역에 공급되기 쉬워진다.

[0588]

특히 게이트 전극으로서 기능하는 도전체에, 채널이 형성되는 금속 산화물에 포함되는 금속 원소 및 산소를 포함한 도전성 재료를 사용하는 것이 바람직하다. 또한 상술한 금속 원소 및 질소를 포함한 도전성 재료를 사용하여도 좋다. 예를 들어 질화 타이타늄, 질화 탄탈럼 등의 질소를 포함한 도전성 재료를 사용하여도 좋다. 또한 인듐 주석 산화물, 산화 텡스텐을 포함하는 인듐 산화물, 산화 텡스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 및 실리콘을 첨가한 인듐 주석 산화물 중 하나 또는 복수를 사용하여도 좋다. 또한 질소를 포함한 인듐 갈륨 아연 산화물을 사용하여도 좋다. 이와 같은 재료를 사용함으로써, 채널이 형성되는 금속 산화물에 포함되는 수소를 포획할 수 있는 경우가 있다. 또는 외부의 절연체 등으로부터 혼입되는 수소를 포획할 수 있는 경우가 있다.

[0589]

[기타 반도체 재료]

[0590]

산화물 반도체(230)는 트랜지스터의 채널 형성 영역을 포함하는 반도체층이라고 바꿔 말할 수 있다. 반도체층에 사용할 수 있는 반도체 재료는 상술한 금속 산화물에 한정되지 않는다. 반도체에는 밴드 갭을 가지는 반도체 재료(재료 갭 반도체가 아닌 반도체 재료)를 사용하여도 좋다. 예를 들어 단일 원소의 반도체, 화합물 반도체, 또는 층상 물질(원자층 물질, 2차원 재료 등이라고도 함) 등을 반도체 재료로서 사용하는 것이 바람직하다.

[0591]

여기서 본 명세서 등에서 층상 물질이란, 층상 결정 구조를 가지는 재료군의 총칭이다. 층상 결정 구조에서는, 공유 결합 또는 이온 결합에 의하여 형성되는 층이 반데르발스 결합과 같은 공유 결합 또는 이온 결합보다 약한 결합에 의하여 적층되어 있다. 층상 물질은 단위 층(monolayer) 내에서의 전기 전도성이 높고, 즉 2차원 전기 전도성이 높다. 반도체로서 기능하고, 2차원 전기 전도성이 높은 재료를 채널 형성 영역에 사용함으로써, 온

전류가 큰 트랜지스터를 제공할 수 있다.

[0592] 반도체 재료에 사용할 수 있는 단일 원소의 반도체로서 실리콘 및 저마늄 등을 들 수 있다. 반도체층에 사용할 수 있는 실리콘으로서는 단결정 실리콘, 다결정 실리콘, 미결정 실리콘, 및 비정질 실리콘을 들 수 있다. 다결정 실리콘으로서는 예를 들어 저온 폴리실리콘(LTPS: Low Temperature Poly Silicon)이 있다.

[0593] 반도체 재료에 사용할 수 있는 화합물 반도체로서 탄소화 실리콘, 실리콘 저마늄, 비소화 갈륨, 인화 인듐, 질화 봉소, 및 비소화 봉소 등을 들 수 있다. 반도체층에 사용할 수 있는 질화 봉소는 비정질 구조를 포함하는 것이 바람직하다. 반도체층에 사용할 수 있는 비소화 봉소는 입방정 구조의 결정을 포함하는 것이 바람직하다.

[0594] 층상 물질로서는 그래핀, 실리센, 탄질화 봉소, 칼코젠헤몰 등이 있다. 층상 물질로서의 탄질화 봉소는 탄소원자, 질소 원자, 및 봉소 원자가 평면 위에 육각형 격자 구조로 배열되어 있다. 칼코젠헤몰은 칼코젠헤몰을 포함하는 화합물이다. 또한 칼코젠헤몰은 16족에 속하는 원소의 총칭이고, 산소, 황, 셀레늄, 텔루륨, 폴로늄, 리버모륨이 포함된다. 또한 칼코젠헤몰로서는 전이 금속 칼코제나이드, 13족 칼코제나이드 등을 들 수 있다.

[0595] 반도체층에는 예를 들어 반도체로서 기능하는 전이 금속 칼코제나이드를 사용하는 것이 바람직하다. 반도체층으로서 적용할 수 있는 전이 금속 칼코제나이드로서, 구체적으로는 황화 몰리브데넘(대표적으로는  $\text{MoS}_2$ ), 셀레늄화 몰리브데넘(대표적으로는  $\text{MoSe}_2$ ), 몰리브데넘 텔루륨(대표적으로는  $\text{MoTe}_2$ ), 황화 텅스텐(대표적으로는  $\text{WS}_2$ ), 셀레늄화 텅스텐(대표적으로는  $\text{WSe}_2$ ), 텅스텐 텔루륨(대표적으로는  $\text{WTe}_2$ ), 황화 하프늄(대표적으로는  $\text{HfS}_2$ ), 셀레늄화 하프늄(대표적으로는  $\text{HfSe}_2$ ), 황화 지르코늄(대표적으로는  $\text{ZrS}_2$ ), 셀레늄화 지르코늄(대표적으로는  $\text{ZrSe}_2$ ) 등을 들 수 있다. 상술한 전이 금속 칼코제나이드를 반도체층에 적용함으로써 온 전류가 큰 기억 장치를 제공할 수 있다.

[0596] <반도체 장치의 구성 예 2>

[0597] 다음으로 본 발명의 일 형태의 반도체 장치의 일례에 대하여 도 21 및 도 22를 사용하여 설명한다. 도 21 및 도 22에 나타낸 반도체 장치는 상술한 트랜지스터(200, 200A 내지 200D)와 다른 구성의 트랜지스터(200E)를 가진다.

[0598] 도 21의 (A)에 본 발명의 일 형태의 반도체 장치의 평면도를 나타내었다. 도 21의 (B)는 도 21의 (A)에서의 일 점쇄선 A1-A2를 따르는 단면도이다. 도 21의 (B)는 트랜지스터(200E)의 채널 길이 방향의 단면도이기도 하다. 도 21의 (C)는 도 21의 (A)에서의 일점쇄선 A3-A4를 따르는 단면도이다. 도 21의 (C)는 트랜지스터(200E)의 채널 폭 방향의 단면도이기도 하다. 도 21의 (D)는 도 21의 (A)에서의 일점쇄선 A5-A6을 따르는 단면도이다. 도 21의 (D)는 트랜지스터(200E)의 채널 폭 방향의 단면도이기도 하다. 또한 도 21의 (A)의 평면도에서는 도면의 명료화를 위하여 일부 요소를 생략하였다. 또한 도 22의 (A) 및 (B)는 트랜지스터(200E)의 채널 길이 방향의 단면 확대도이다.

[0599] 트랜지스터(200E)는 절연체(216)에 매립되도록 제공된 도전체(205)(도전체(205a) 및 도전체(205b))와, 절연체(216) 및 도전체(205) 위의 절연체(221)와, 절연체(221) 위의 절연체(222)와, 절연체(222) 위의 절연체(224)와, 절연체(224) 위의 산화물(220)(산화물(220a) 및 산화물(220b))과, 산화물(220) 위의 도전체(242a)(도전체(242a1) 및 도전체(242a2)) 및 도전체(242b)(도전체(242b1) 및 도전체(242b2))와, 도전체(242a) 위의 절연체(271a)와, 도전체(242b) 위의 절연체(271b)와, 산화물(220) 위의 절연체(250)와, 절연체(250) 위의 도전체(260)(도전체(260a) 및 도전체(260b))를 가진다.

[0600] 절연체(271a, 271b) 위에는 절연체(275)가 제공되고, 절연체(275) 위에는 절연체(285)가 제공되어 있다. 절연체(255), 절연체(250), 및 도전체(260)는 절연체(285) 및 절연체(275)에 제공된 개구의 내부에 배치되어 있다. 또한 절연체(285) 위 및 도전체(260) 위에 절연체(282)가 제공되어 있다. 또한 절연체(282) 위에 절연체(283)가 제공되어 있다. 또한 절연체(216) 및 도전체(205) 아래에 절연체(215)가 제공되어 있다. 또한 도전체(242a2), 도전체(242b2), 절연체(271a), 절연체(271b), 절연체(275), 및 절연체(285)와 절연체(250) 사이에 절연체(255)가 제공되어 있다.

[0601] 또한 절연체(215), 절연체(216), 도전체(205), 절연체(221), 절연체(222), 절연체(224), 산화물(220), 도전체(242a), 도전체(242b), 절연체(271a), 절연체(271b), 절연체(275), 절연체(285), 절연체(255), 절연체(250), 도전체(260), 절연체(282), 및 절연체(283)는 각각 단층 구조를 가져도 좋고, 적층 구조를 가져도 좋다.

[0602] 산화물(220)은 트랜지스터(200E)의 채널 형성 영역으로서 기능하는 영역을 가진다. 또한 도전체(260)는 트랜지

스터(200E)의 제 1 게이트 전극(위쪽 게이트 전극)으로서 기능하는 영역을 가진다. 절연체(250)는 트랜지스터(200E)의 제 1 게이트 절연체로서 기능하는 영역을 가진다. 또한 도전체(205)는 트랜지스터(200E)의 제 2 게이트 전극(아래쪽 게이트 전극)으로서 기능하는 영역을 가진다. 절연체(224), 절연체(222), 및 절연체(221)는 각각 트랜지스터(200E)의 제 2 게이트 절연체로서 기능하는 영역을 가진다.

[0603] 도전체(242a)는 트랜지스터(200E)의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 영역을 가진다. 도전체(242b)는 트랜지스터(200E)의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능하는 영역을 가진다.

[0604] 산화물(220)은 절연체(224) 위의 산화물(220a)과, 산화물(220a) 위의 산화물(220b)을 가지는 것이 바람직하다. 산화물(220b) 아래에 산화물(220a)을 포함함으로써, 산화물(220a)보다 아래쪽에 형성된 구조물로부터 산화물(220b)로 불순물이 확산되는 것을 억제할 수 있다.

[0605] 또한 산화물(220)은 산화물(220a) 및 산화물(220b)의 2층 구조에 한정되지 않는다. 산화물(220)은 예를 들어 산화물(220b)의 단층 구조를 가져도 좋고, 3층 이상의 적층 구조를 가져도 좋다.

[0606] 산화물(220b)에는 트랜지스터(200E)의 채널 형성 영역과, 채널 형성 영역을 끼우도록 제공되는 소스 영역 및 드레인 영역이 형성된다. 채널 형성 영역의 적어도 일부는 도전체(260)와 중첩된다. 소스 영역은 도전체(242a)와 중첩되고, 드레인 영역은 도전체(242b)와 중첩된다. 또한 소스 영역과 드레인 영역은 서로 바꿀 수 있다.

[0607] 채널 형성 영역은 소스 영역 및 드레인 영역보다 산소 결손이 적거나 불순물 농도가 낮기 때문에, 캐리어 농도가 낮은 고저항 영역이다. 따라서 채널 형성 영역은 i형(진성) 또는 실질적으로 i형이라고 할 수 있다.

[0608] 또한 소스 영역 및 드레인 영역은 산소 결손이 많거나 수소, 질소, 금속 원소 등의 불순물의 농도가 높기 때문에, 캐리어 농도가 높은 저저항 영역이다. 즉 소스 영역 및 드레인 영역은 채널 형성 영역에 비하여 캐리어 농도가 높은 n형 영역(저저항 영역)이다.

[0609] 또한 채널 형성 영역, 소스 영역, 및 드레인 영역은 각각 산화물(220b)뿐만 아니라 산화물(220a)에도 형성되어도 좋다.

[0610] 또한 산화물(220)에서 각 영역의 경계를 명확히 검출하기가 어려운 경우가 있다. 각 영역 내에서 검출되는 금속 원소, 그리고 수소 및 질소 등의 불순물 원소의 농도는 영역마다 단계적으로 변화되는 것에 한정되지 않고, 각 영역 내에서도 연속적으로 변화되어도 좋다. 즉 채널 형성 영역에 가까운 영역일수록 금속 원소, 그리고 수소 및 질소 등의 불순물 원소의 농도가 감소되어도 좋다.

[0611] 산화물(220)(산화물(220a) 및 산화물(220b))에는 반도체로서 기능하는 금속 산화물(이하, 산화물 반도체라고도 함)을 사용하는 것이 바람직하다.

[0612] 산화물(220)의 적어도 1층을 본 발명의 일 형태의 금속 산화물의 성막 방법을 사용하여 형성하는 것이 바람직하다. 특히, 채널 형성 영역을 포함하는 산화물(220b)을 본 발명의 일 형태의 금속 산화물의 성막 방법을 사용하여 형성하는 것이 바람직하다.

[0613] 예를 들어 산화물(220a)과 산화물(220b)의 양쪽을 ALD법으로 형성하는 것이 바람직하다. 또는 산화물(220a)을 스펀팅법으로 형성하고, 산화물(220b)을 ALD법으로 형성하는 것이 바람직하다.

[0614] 또한 산화물(220)의 채널 형성 영역에서의 알루미늄 농도 및 탄소 농도의 바람직한 범위는 산화물 반도체(230)와 마찬가지이다.

[0615] 산화물(220)은 화학 조성이 다른 복수의 산화물층의 적층 구조를 가지는 것이 바람직하다. 예를 들어 산화물(220a)에 사용하는 금속 산화물에서 주성분인 금속 원소에 대한 원소 M의 원자수비가 산화물(220b)에 사용하는 금속 산화물에서의 주성분인 금속 원소에 대한 원소 M의 원자수비보다 높은 것이 바람직하다. 또한 산화물(220a)에 사용하는 금속 산화물에서 In에 대한 원소 M의 원자수비가 산화물(220b)에 사용하는 금속 산화물에서의 In에 대한 원소 M의 원자수비보다 높은 것이 바람직하다. 상기 구성으로 함으로써, 산화물(220a)보다 아래쪽에 형성된 구조물로부터의 산화물(220b)에 대한 불순물 및 산소의 확산을 억제할 수 있다.

[0616] 또한 산화물(220b)에 사용하는 금속 산화물에서 원소 M에 대한 In의 원자수비가 산화물(220a)에 사용하는 금속 산화물에서의 원소 M에 대한 In의 원자수비보다 높은 것이 바람직하다. 상기 구성으로 함으로써, 트랜지스터(200E)는 큰 온 전류 및 높은 주파수 특성을 얻을 수 있다.

[0617] 또한 산화물(220a) 및 산화물(220b)이 산소 이외에 공통 원소를 주성분으로서 포함함으로써, 산화물(220a)과 산

화물(220b)의 계면의 결합 준위 밀도를 낮출 수 있다. 산화물(220a) 및 산화물(220b)의 계면에서의 결합 준위 밀도를 낮출 수 있다. 그러므로 계면 산란으로 인한 캐리어 전도에 대한 영향이 작아지고, 트랜지스터(200E)는 큰 온 전류 및 높은 주파수 특성을 얻을 수 있다.

[0618] 구체적으로는 산화물(220a)로서  $In:M:Zn=1:3:2$ [원자수비] 또는 그 근방의 조성,  $In:M:Zn=1:3:4$ [원자수비] 또는 그 근방의 조성, 혹은  $In:M:Zn=1:1:0.5$ [원자수비] 또는 그 근방의 조성의 금속 산화물을 사용할 수 있다. 또한 산화물(220b)로서  $In:M:Zn=1:1:1$ [원자수비] 또는 그 근방의 조성,  $In:M:Zn=1:1:1.2$ [원자수비] 또는 그 근방의 조성,  $In:M:Zn=1:1:2$ [원자수비] 또는 그 근방의 조성, 혹은  $In:M:Zn=4:2:3$ [원자수비] 또는 그 근방의 조성의 금속 산화물을 사용할 수 있다. 또한 근방의 조성이란, 원하는 원자수비의  $\pm 30\%$ 의 범위를 포함한 것이다. 또한 원소 M으로서 갈륨을 사용하는 것이 바람직하다. 또한 산화물(220)로서 단층의 산화물(220b)을 제공하는 경우, 산화물(220b)로서 산화물(220a)에 사용할 수 있는 금속 산화물을 적용하여도 좋다. 또한 산화물(220a) 및 산화물(220b)에 사용할 수 있는 금속 산화물의 조성은 상기에 한정되지 않는다. 예를 들어 산화물(220a)에 사용할 수 있는 금속 산화물의 조성을 산화물(220b)에 적용하여도 좋다. 마찬가지로 산화물(220b)에 사용할 수 있는 금속 산화물의 조성을 산화물(220a)에 적용하여도 좋다.

[0619] 또한 금속 산화물을 스퍼터링법으로 성막하는 경우, 상기 원자수비는 성막된 금속 산화물의 원자수비에 한정되지 않고, 금속 산화물의 성막에 사용하는 스퍼터링 타깃의 원자수비이어도 좋다.

[0620] 산화물(220b)은 결정성을 가지는 것이 바람직하다. 특히 산화물(220b)로서 CAAC-OS를 사용하는 것이 바람직하다.

[0621] 산화물(220b)로서 CAAC-OS 등의 결정성을 가지는 산화물을 사용함으로써, 소스 전극 또는 드레인 전극에 의하여 산화물(220b)로부터 산소가 추출되는 것을 억제할 수 있다. 이에 의하여, 열처리를 수행한 경우에도 산화물(220b)로부터 산소가 추출되는 것을 저감할 수 있기 때문에, 트랜지스터(200E)는 제조 공정에서의 높은 온도(소위 thermal budget)에 대하여 안정적이다.

[0622] 도 21의 (A) 내지 (D)에 나타낸 반도체 장치를 구성하는 각 절연체 및 각 도전체에 사용할 수 있는 재료로서는, 상술한 [절연체] 및 [도전체]의 항목에서 든 각종 재료가 있다. 이하에서는 대표적인 예에 대하여 설명한다.

[0623] 도전체(242a)는 도전체(242a1)와, 도전체(242a1) 위의 도전체(242a2)의 적층 구조를 가지고, 도전체(242b)는 도전체(242b1)와, 도전체(242b1) 위의 도전체(242b2)의 적층 구조를 가진다. 산화물(220b)에 접하는 도전체(242a1) 및 도전체(242b1)는 금속 질화물 등 산화되기 어려운 도전체인 것이 바람직하다. 이로써, 산화물(220b)에 포함되는 산소로 인하여 도전체(242a) 및 도전체(242b)가 과도하게 산화되는 것을 방지할 수 있다. 또한 도전체(242a2) 및 도전체(242b2)는 도전체(242a1) 및 도전체(242b1)보다 도전성이 높은 금속층 등의 도전체인 것이 바람직하다. 이로써 도전체(242a) 및 도전체(242b)를 도전성이 높은 배선 또는 전극으로서 기능시킬 수 있다.

[0624] 예를 들어 도전체(242a1) 및 도전체(242b1)에 질화 탄탈럼 또는 질화 타이타늄을 사용하고, 도전체(242a2) 및 도전체(242b2)에 텅스텐을 사용할 수 있다.

[0625] 도 22의 (B)에 나타낸 바와 같이, 트랜지스터(200E)를 채널 길이 방향의 단면에서 보았을 때, 도전체(242a1)와 도전체(242b1) 사이의 거리 L2는 도전체(242a2)와 도전체(242b2) 사이의 거리 L1보다 짧다. 구체적으로는 L1과 L2의 차이는 절연체(255)의 막 두께의 두 배와 일치 또는 실질적으로 일치한다. 여기서 절연체(255)의 막 두께란, 절연체(255)의 적어도 일부에서의 A1-A2 방향의 막 두께를 가리킨다.

[0626] 도전체(242a1)와 도전체(242b1) 사이의 거리 L2는 트랜지스터(200E)의 채널 길이에 반영되기 때문에 미세한 것이 바람직하다. 예를 들어 거리 L2가 60nm 이하, 50nm 이하, 40nm 이하, 30nm 이하, 20nm 이하, 또는 10nm 이하이고, 1nm 이상 또는 5nm 이상인 것이 바람직하다. 예를 들어 거리 L2는 2nm 이상 20nm 이하 정도로 하는 것이 더 바람직하다. 이러한 구성으로 함으로써, 소스와 드레인 사이의 거리를 더 짧게 할 수 있고, 이에 따라 채널 길이를 짧게 할 수 있다. 따라서 트랜지스터(200E)의 주파수 특성을 향상시킬 수 있다. 이와 같이, 반도체 장치를 미세화함으로써, 동작 속도가 향상된 반도체 장치를 제공할 수 있다.

[0627] 절연체(285) 및 절연체(275)에 제공된 개구는 도전체(242a2)와 도전체(242b2) 사이의 영역과 중첩된다. 상면에서 보았을 때, 절연체(285)의 개구의 측면은 도전체(242a2)의 측면 및 도전체(242b2)의 측면과 일치 또는 실질적으로 일치한다. 또한 도전체(242a1) 및 도전체(242b1)의 일부는 상기 개구 내에 돌출되도록 형성되어 있다. 여기서 도전체(242a1)의 상면의 일부가 도전체(242a2)에 접하고, 도전체(242b1)의 상면의 일부가 도전체(242b2)에 접한다. 따라서 절연체(255)는 상기 개구 내에서 도전체(242a1)의 상면의 다른 일부, 도전체(242b1)의 상

면의 다른 일부, 도전체(242a2)의 측면, 및 도전체(242b2)의 측면에 접한다. 또한 절연체(250)는 산화물(220)의 상면, 도전체(242a1)의 측면, 도전체(242b1)의 측면, 및 절연체(255)의 측면에 접한다.

[0628] 절연체(255)는 질화물 등 산화되기 어려운 절연체인 것이 바람직하다. 절연체(255)는 이방성 에칭을 사용하여, 절연체(285) 등에 제공된 개구의 측벽(여기서 개구의 측벽은 예를 들어 절연체(285) 등의 측면에 대응함)에 접하여 사이드 월 형태로 형성된다. 절연체(255)는 도전체(242a2)의 측면 및 도전체(242b2)의 측면에 접하여 형성되고, 도전체(242a2) 및 도전체(242b2)를 보호하는 기능을 가진다. 산화물(220b)에 산소를 공급하기 위하여, 도전체(242a1)와 도전체(242b1)로 분단한 후이며 절연체(250)를 성막하기 전에 산소를 포함한 분위기에서 열처리를 수행하는 것이 바람직하다. 이때 절연체(255)가 도전체(242a2)의 측면 및 도전체(242b2)의 측면에 접하여 형성되어 있기 때문에, 도전체(242a2) 및 도전체(242b2)가 과도하게 산화되는 것을 방지할 수 있다. 예를 들어 절연체(255)로서 질화 실리콘을 사용할 수 있다.

[0629] 가열에 의하여 이탈되는 산소(이하, 과잉 산소라고 부르는 경우가 있음)를 포함한 절연체를 산화물 반도체 근방에 제공하고 열처리를 수행함으로써, 상기 절연체로부터 산화물 반도체에 산소를 공급하여 산소 결손 및  $V_{0H}$ 를 저감할 수 있다. 다만 소스 영역 또는 드레인 영역에 과잉량의 산소가 공급되면, 트랜지스터(200E)의 온 전류의 저하 또는 전계 효과 이동도의 저하가 일어날 우려가 있다. 또한 소스 영역 또는 드레인 영역에 공급되는 산소의 양의 편차가 기판면 내에서 생김으로써, 트랜지스터를 가지는 반도체 장치의 특성에 편차가 생긴다. 또한 상기 절연체로부터 산화물 반도체에 공급되는 산소가 케이트 전극, 소스 전극, 및 드레인 전극 등의 도전체로 확산되면, 상기 도전체가 산화되어 도전성이 손상되는 것 등으로 인하여 트랜지스터의 전기 특성 및 신뢰성에 악영향을 미치는 경우가 있다.

[0630] 따라서 산화물 반도체 내에서 채널 형성 영역은 캐리어 농도가 저감되고 i형 또는 실질적으로 i형인 것이 바람직하지만, 소스 영역 및 드레인 영역은 캐리어 농도가 높고 n형인 것이 바람직하다. 즉 산화물 반도체의 채널 형성 영역의 산소 결손 및  $V_{0H}$ 를 저감하는 것이 바람직하다. 또한 소스 영역 및 드레인 영역에 과잉량의 산소가 공급되지 않도록 하는 것, 그리고 소스 영역 및 드레인 영역의  $V_{0H}$ 의 양이 과도하게 저감되지 않도록 하는 것이 바람직하다. 또한 도전체(260), 도전체(242a), 및 도전체(242b) 등의 도전율이 저하되기 어려운 구조으로 하는 것이 바람직하다. 예를 들어 도전체(260), 도전체(242a), 및 도전체(242b) 등의 산화를 억제하는 구조으로 하는 것이 바람직하다. 또한 산화물 반도체 내의 수소는  $V_{0H}$ 를 형성할 수 있기 때문에,  $V_{0H}$ 의 양을 저감하기 위해서는 수소 농도를 저감할 필요가 있다.

[0631] 트랜지스터(200E)는 채널 형성 영역의 수소 농도를 저감하고, 도전체(242a), 도전체(242b), 및 도전체(260)의 산화를 억제하고, 소스 영역 및 드레인 영역 내의 수소 농도 저감을 억제하는 구조으로 한다.

[0632] 산화물(220b)의 채널 형성 영역과 접하는 절연체(250)는 수소를 포획하는 기능 또는 수소를 고착하는 기능을 가지는 것이 바람직하다. 이 경우 산화물(220b)의 채널 형성 영역 내의 수소 농도를 저감할 수 있다. 따라서 채널 형성 영역 내의  $V_{0H}$ 가 저감되어 채널 형성 영역을 i형 또는 실질적으로 i형으로 할 수 있다.

[0633] 여기서 도 22의 (A)에 나타낸 바와 같이 절연체(250)는 산화물(220)에 접하는 절연체(250a)와, 절연체(250a) 위의 절연체(250b)와, 절연체(250b) 위의 절연체(250c)의 적층 구조를 가지는 것이 바람직하다.

[0634] 절연체(250a)가 수소를 포획하는 기능 또는 수소를 고착하는 기능을 가지는 것이 바람직하다. 또한 절연체(250a)에 고유전율(high-k) 재료를 사용하는 것이 바람직하다. 예를 들어 절연체(250a)로서 알루미늄 및 하프늄 중 한쪽 또는 양쪽을 포함한 산화물을 사용하는 것이 바람직하고, 비정질 구조를 가지며 알루미늄 및 하프늄 중 한쪽 또는 양쪽을 포함한 산화물을 사용하는 것이 더 바람직하다. 본 실시형태에서는 절연체(250a)로서, 비정질 구조를 가지는 산화 알루미늄막을 사용한다. 산화 알루미늄은 ALD법을 사용하여 비정질화된 막으로서 비교적 용이하게 성막될 수 있다.

[0635] 절연체(250b)로서는 산화 실리콘 또는 산화질화 실리콘 등 열에 대하여 안정적인 절연체를 사용하는 것이 바람직하다.

[0636] 도전체(242a), 도전체(242b), 및 도전체(260)의 산화를 억제하기 위하여 도전체(242a), 도전체(242b), 및 도전체(260) 각각의 근방에 산소에 대한 배리어성을 가지는 절연체를 제공하는 것이 바람직하다. 상기 절연체는 예를 들어 절연체(250a), 절연체(250c), 절연체(255), 및 절연체(275)이다.

[0637] 절연체(250a) 및 절연체(255)는 산소에 대한 배리어성을 가지는 것이 바람직하다. 절연체(250a) 및 절연체

(255)는 적어도 절연체(285)보다 산소를 투과시키기 어려운 것이 바람직하다. 절연체(250a)는 도전체(242a1)의 측면 및 도전체(242b1)의 측면에 접하는 영역을 가진다. 절연체(255)는 도전체(242a1)의 상면, 도전체(242b1)의 상면, 도전체(242a2)의 측면, 및 도전체(242b2)의 측면에 접하는 영역을 가진다. 또한 절연체(250a)는 절연체(255)의 측면에 접한다. 절연체(250a) 및 절연체(255)가 산소에 대한 배리어성을 가짐으로써, 도전체(242a) 및 도전체(242b)의 측면이 산화되어 상기 측면에 산화막이 형성되는 것을 억제할 수 있다. 이에 의하여 트랜지스터(200E)의 온 전류의 저하 또는 전계 효과 이동도의 저하가 일어나는 것을 억제할 수 있다.

[0638] 또한 절연체(250a)는 산화물(220b)의 상면 및 측면, 산화물(220a)의 측면, 절연체(224)의 측면, 그리고 절연체(222)의 상면과 접하여 제공된다. 절연체(250a)가 산소에 대한 배리어성을 가짐으로써, 열처리 등을 수행하였을 때 산화물(220b)의 채널 형성 영역으로부터 산소가 이탈되는 것을 억제할 수 있다. 따라서 산화물(220a) 및 산화물(220b)에 산소 결손이 형성되는 것을 저감할 수 있다.

[0639] 또한 절연체(250a) 및 절연체(255)를 제공함으로써, 절연체(285)에 과잉량의 산소가 포함되어 있어도 상기 산소가 산화물(220a) 및 산화물(220b)에 과도하게 공급되는 것을 억제하여, 적당한 양의 산소를 산화물(220a) 및 산화물(220b)에 공급할 수 있다. 따라서 소스 영역 및 드레인 영역이 과도하게 산화되어 트랜지스터(200E)의 온 전류의 저하 또는 전계 효과 이동도의 저하가 일어나는 것을 억제할 수 있다.

[0640] 또한 절연체(255)는 수소에 대한 배리어성을 가지는 것이 바람직하다. 이 경우 도전체(242a2, 242b2)에 포함되는 수소 등의 불순물이 산화물(220b)로 확산되는 것을 방지할 수 있다.

[0641] 절연체(250c)도 산소에 대한 배리어성을 가지는 것이 바람직하다. 절연체(250c)는 산화물(220)의 채널 형성 영역과 도전체(260) 사이 및 절연체(285)와 도전체(260) 사이에 제공된다. 상기 구성으로 함으로써, 산화물(220)의 채널 형성 영역에 포함되는 산소가 도전체(260)로 확산되어 산화물(220)의 채널 형성 영역에 산소 결손이 형성되는 것을 억제할 수 있다. 또한 산화물(220)에 포함되는 산소 및 절연체(285)에 포함되는 산소가 도전체(260)로 확산되어 도전체(260)가 산화되는 것을 억제할 수 있다. 절연체(250c)는 적어도 절연체(285)보다 산소를 투과시키기 어려운 것이 바람직하다. 예를 들어 절연체(250c)로서 질화 실리콘막을 사용하는 것이 바람직하다.

[0642] 또한 절연체(250c)는 수소에 대한 배리어성을 가지는 것이 바람직하다. 이 경우, 도전체(260)에 포함되는 수소 등의 불순물이 산화물(220b)로 확산되는 것을 방지할 수 있다.

[0643] 절연체(275)도 산소에 대한 배리어성을 가지는 것이 바람직하다. 절연체(275)는 절연체(285)와 도전체(242a) 사이 및 절연체(285)와 도전체(242b) 사이에 제공되어 있다. 상기 구성으로 함으로써, 절연체(285)에 포함되는 산소가 도전체(242a) 및 도전체(242b)로 확산되는 것을 억제할 수 있다. 따라서 절연체(285)에 포함되는 산소로 인하여 도전체(242a) 및 도전체(242b)가 산화되어 저항률이 증대되어 온 전류가 저감되는 것을 억제할 수 있다. 절연체(275)는 적어도 절연체(285)보다 산소를 투과시키기 어려운 것이 바람직하다. 예를 들어 절연체(275)로서 질화 실리콘을 사용하는 것이 바람직하다.

[0644] 또한 절연체(275)는 수소에 대한 배리어성을 가지는 것이 바람직하다. 산화물(220)의 소스 영역 및 드레인 영역 각각의 근방에 수소에 대한 배리어성을 가지는 절연체를 제공함으로써, 소스 영역 및 드레인 영역의 수소가 외부로 확산되는 것을 저감할 수 있어, 소스 영역 및 드레인 영역의 수소 농도가 저감되는 것을 억제할 수 있다. 따라서 소스 영역 및 드레인 영역을 n형으로 할 수 있다.

[0645] 상기 구성으로 함으로써, 채널 형성 영역을 i형 또는 실질적으로 i형으로 하고, 소스 영역 및 드레인 영역을 n형으로 할 수 있기 때문에, 양호한 전기 특성을 가지는 반도체 장치를 제공할 수 있다. 또한 상기 구성으로 함으로써, 반도체 장치를 미세화 또는 고집적화하여도 양호한 전기 특성을 가질 수 있다. 또한 트랜지스터(200E)를 미세화함으로써 고주파 특성을 향상시킬 수 있다. 구체적으로는 차단 주파수를 향상시킬 수 있다.

[0646] 절연체(250)는 게이트 절연체로서 기능한다. 절연체(250)는 절연체(255) 및 도전체(260)와 함께, 절연체(285)에 형성된 개구에 제공된다. 트랜지스터(200E)의 미세화를 실현하는 데에 있어 절연체(250)의 막 두께는 얇은 것이 바람직하다. 절연체(250)를 구성하는 층의 막 두께는 각각 0.1nm 이상 10nm 이하가 바람직하고, 0.1nm 이상 5.0nm 이하가 더 바람직하고, 0.5nm 이상 5.0nm 이하가 더 바람직하고, 1.0nm 이상 5.0nm 미만이 더 바람직하고, 1.0nm 이상 3.0nm 이하가 더 바람직하다. 또한 절연체(250)를 구성하는 각 층은 적어도 일부에 상술한 바와 같은 막 두께의 영역을 가지면 좋다.

[0647] 절연체(250)의 막 두께를 얇게 하기 위해서는 ALD법을 사용하여 성막하는 것이 바람직하다. 또한 절연체(285) 등의 개구 내에 절연체(250) 및 절연체(255)를 제공하기 위해서는 ALD법을 사용하여 성막하는 것이 바람직하다.

ALD법으로서는 전구체 및 반응제의 반응을 열 에너지만으로 수행하는 열 ALD(Thermal ALD)법, 플라스마 여기된 반응제를 사용하는 PEALD(Plasma Enhanced ALD)법 등이 있다. PEALD법에서는 플라스마를 이용함으로써 더 낮은 온도에서 성막을 수행할 수 있기 때문에 바람직한 경우가 있다.

[0648] 절연체(255)의 막 두께는 0.5nm 이상 20nm 이하가 바람직하고, 0.5nm 이상 10nm 이하가 더 바람직하고, 0.5nm 이상 3nm 이하가 더 바람직하다. 절연체(255)를 상술한 바와 같은 막 두께로 함으로써, 도전체(242a2) 및 도전체(242b2)가 과도하게 산화되는 것을 억제할 수 있다. 또한 절연체(255)는 적어도 일부에 상술한 바와 같은 막 두께의 영역을 가지면 좋다. 절연체(255)의 막 두께를 과도하게 두껍게 하면, ALD법을 사용한 절연체(255)의 성막에 걸리는 시간이 길어져 생산성이 저하되기 때문에, 절연체(255)의 막 두께는 상기 범위 정도로 하는 것이 바람직하다.

[0649] 또한 도 21의 (A) 등에 나타낸 반도체 장치는 수소가 트랜지스터(200E) 등에 흔입하는 것을 억제하는 구성으로 하는 것이 바람직하다. 예를 들어 수소의 확산을 억제하는 기능을 가지는 절연체를 트랜지스터(200E) 등의 위 및 아래 중 한쪽 또는 양쪽을 덮도록 제공하는 것이 바람직하다. 따라서 절연체(215), 절연체(221), 절연체(222), 절연체(282), 및 절연체(283)는 각각 물, 수소 등의 불순물 및 산소의 확산을 억제하는 기능을 가지는 절연체를 가지는 것이 바람직하다. 예를 들어 산화 알루미늄, 산화 마그네슘, 산화 하프늄, 산화 지르코늄, 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미네이트), 하프늄 및 지르코늄을 포함하는 산화물(하프늄 지르코늄 산화물), 산화 갈륨, 질화 실리콘, 또는 질화산화 실리콘 등을 사용할 수 있다. 예를 들어 절연체(283) 및 절연체(221)에는 수소 배리어성이 더 높은 질화 실리콘 등을 사용하는 것이 바람직하다. 또한 예를 들어 절연체(282)에는 수소를 포획 또는 고착하는 능력이 높은 산화 알루미늄 등을 사용하는 것이 바람직하다. 또한 예를 들어 절연체(222)에는 수소를 포획 또는 고착하는 능력이 높고 고유전율(high-k) 재료인 산화 하프늄 등을 사용하는 것이 바람직하다. 이와 같이 트랜지스터(200E)의 위 및 아래를 물, 수소 등의 불순물 및 산소의 확산을 억제하는 기능을 가지는 절연체로 둘러싸는 구조로 함으로써, 산화물 반도체로 과잉량의 산소 및 수소가 확산되는 것을 저감할 수 있다. 이에 의하여 반도체 장치의 전기 특성 및 신뢰성을 향상시킬 수 있다.

[0650] 여기서 절연체(275)에서 산화물(220)과 중첩되지 않는 영역이 절연체(222)에 접하고, 절연체(275)의 측단부가 절연체(255)에 접하고, 절연체(255)의 상단부 및 절연체(250a) 내지 절연체(250c)의 상단부가 절연체(282)에 접하는 것이 바람직하다. 상술한 바와 같은 구성으로 함으로써, 절연체(283)와 절연체(221)에 끼워진 영역에서 절연체(285)가 절연체(275)에 의하여 산화물(220)과 이격되고, 절연체(285)가 절연체(255) 및 절연체(250a)에 의하여 절연체(250b)와 이격되고, 도전체(260)가 절연체(250c)에 의하여 절연체(250b)와 이격되고, 도전체(242a2) 및 도전체(242b2)가 절연체(255) 및 절연체(250a)에 의하여 절연체(250b)와 이격된다.

[0651] 이에 의하여, 절연체(285)에 포함되는 물, 수소 등의 불순물이 산화물(220) 및 절연체(250b)로 확산되는 것을 억제할 수 있다. 또한 도전체(260)에 포함되는 물, 수소 등의 불순물이 절연체(250b)를 통하여 산화물(220)로 확산되는 것을 억제할 수 있다. 또한 도전체(242a2) 및 도전체(242b2)에 포함되는 물, 수소 등의 불순물이 절연체(250b)를 통하여 산화물(220)로 확산되는 것을 억제할 수 있다. 예를 들어 도전체(242a2) 및 도전체(242b2)의 상면에 접하여 콘택트 플러그를 형성하고, 상기 콘택트 플러그를 통하여 물, 수소 등의 불순물이 도전체(242a2) 및 도전체(242b2)로 확산되어도, 물, 수소 등의 불순물이 산화물(220)로 확산되는 것은 억제할 수 있다. 또한 절연체(250a) 및 절연체(250b)에 포함되는 수소를 절연체(282)에 포획 및 고착할 수 있다. 이러한 구성으로 함으로써, 산화물 반도체로 수소가 확산되는 것을 더 저감할 수 있다. 이에 의하여 반도체 장치의 전기 특성 및 신뢰성을 향상시킬 수 있다.

[0652] 트랜지스터(200E)에서 도전체(205)는 산화물(220) 및 도전체(260)와 중첩되도록 배치된다. 여기서 도전체(205)는 절연체(216)에 형성된 개구부에 매립되도록 제공되는 것이 바람직하다. 또한 도전체(205)는 도 21의 (A) 및 (C)에 나타낸 바와 같이 채널 폭 방향으로 연장되어 제공되는 것이 바람직하다. 이러한 구성으로 함으로써, 복수의 트랜지스터를 제공하는 경우에 도전체(205)는 배선으로서 기능한다.

[0653] 도 21의 (B) 및 (C)에 나타낸 바와 같이 도전체(205)는 도전체(205a) 및 도전체(205b)를 포함하는 것이 바람직하다. 도전체(205a)는 상기 개구부의 밑면 및 측벽에 접하여 제공된다. 도전체(205b)는 상기 개구부를 따라 형성된 도전체(205a)의 오목부를 매립하도록 제공된다. 여기서 도전체(205)의 상면의 높이는 절연체(216)의 상면의 높이와 일치 또는 실질적으로 일치한다.

[0654] 수소의 확산을 억제하는 기능을 가지는 도전성 재료를 도전체(205a)에 사용함으로써, 도전체(205b)에 포함되는 수소 등의 불순물이 절연체(216) 등을 통하여 산화물(220)로 확산되는 것을 방지할 수 있다. 또한 산소의 확산을 억제하는 기능을 가지는 도전성 재료를 도전체(205a)에 사용함으로써, 도전체(205b)가 산화되어 도전율이 저

하되는 것을 억제할 수 있다. 산소의 확산을 억제하는 기능을 가지는 도전성 재료로서는 예를 들어 타이타늄, 질화 타이타늄, 탄탈럼, 질화 탄탈럼, 루테늄, 및 산화 루테늄이 있다. 도전체(205a)는 상기 도전성 재료의 단층 구조 또는 적층 구조를 가질 수 있다. 예를 들어 도전체(205a)는 질화 타이타늄을 포함하는 것이 바람직하다.

[0655] 또한 도전체(205b)에는 텉스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 예를 들어 도전체(205b)는 텉스텐을 포함하는 것이 바람직하다.

[0656] 도전체(205)는 제 2 게이트 전극으로서 기능할 수 있다. 이 경우, 도전체(205)에 인가하는 전위를 도전체(260)에 인가하는 전위와 연동시키지 않고 독립적으로 변화시킴으로써, 트랜지스터(200E)의 문턱 전압( $V_{th}$ )을 제어 할 수 있다. 특히 도전체(205)에 음의 전위를 인가함으로써, 트랜지스터(200E)의  $V_{th}$ 를 더 크게 하고, 오프 전류를 저감할 수 있다. 따라서 도전체(205)에 음의 전위를 인가하는 경우에는 인가하지 않은 경우보다 도전체(260)에 인가하는 전위가 0V일 때의 드레인 전류를 더 작게 할 수 있다.

[0657] 또한 도전체(205)의 전기 저항률은 도전체(205)에 인가하는 상기 전위를 고려하여 설계되고, 도전체(205)의 막 두께는 상기 전기 저항률에 맞추어 설정된다. 또한 절연체(216)의 막 두께는 도전체(205)와 거의 같다. 여기서 도전체(205)의 설계상 허용되는 범위에서 도전체(205) 및 절연체(216)의 막 두께를 얇게 하는 것이 바람직하다. 절연체(216)의 막 두께를 얇게 함으로써, 절연체(216) 내에 포함되는 수소 등의 불순물의 절대량을 저감할 수 있기 때문에 상기 불순물이 산화물(220)로 확산되는 것을 저감할 수 있다.

[0658] 산화물(220)에 접하는 절연체(224)는 예를 들어 산화 실리콘 또는 산화질화 실리콘을 포함하는 것이 바람직하다. 이 경우 절연체(224)로부터 산화물(220)에 산소를 공급하여 산소 결손을 저감할 수 있다.

[0659] 절연체(224)는 산화물(220)과 마찬가지로, 섬 형상으로 가공하는 것이 바람직하다. 이로써 복수의 트랜지스터(200E)를 제공하는 경우에 하나의 트랜지스터(200E)에 대하여 거의 같은 정도의 크기의 절연체(224)가 제공된다. 이에 의하여, 각 트랜지스터(200E)에서 절연체(224)로부터 산화물(220)에 공급되는 산소의 양이 같은 정도가 된다. 따라서 기판면 내에서의 트랜지스터(200E)의 전기 특성의 편차를 억제할 수 있다. 다만 이에 한정되지 않고, 절연체(222)와 마찬가지로 절연체(224)를 패턴 형성하지 않는 구성으로 할 수도 있다.

[0660] 도전체(242a), 도전체(242b), 및 도전체(260)에는 각각 산화되기 어려운 도전성 재료, 또는 산소의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 상기 도전성 재료로서는 예를 들어 질소를 포함한 도전성 재료 및 산소를 포함한 도전성 재료가 있다. 이에 의하여, 도전체(242a), 도전체(242b), 및 도전체(260)의 도전율이 저하되는 것을 억제할 수 있다.

[0661] 절연체(271a) 및 절연체(271b)는 도전체(242a2) 및 도전체(242b2)의 가공 시에 예칭 스토퍼로서 기능하고, 도전체(242a2) 및 도전체(242b2)를 보호하는 무기 절연체이다. 또한 절연체(271a) 및 절연체(271b)는 도전체(242a2) 및 도전체(242b2)에 접하기 때문에, 도전체(242a), 도전체(242b)를 산화시키기 어려운 무기 절연체인 것이 바람직하다. 따라서 도 22의 (A)에 나타낸 바와 같이 절연체(271a)를 절연체(271a1)와 절연체(271a1) 위의 절연체(271a2)의 적층 구조로 하고, 절연체(271b)를 절연체(271b1)와 절연체(271b1) 위의 절연체(271b2)의 적층 구조로 하는 것이 바람직하다. 여기서 절연체(271a1, 271b1)로서는 도전체(242a2, 242b2)가 쉽게 산화되지 않도록 절연체(250c)에 사용할 수 있는 질화물 절연체를 사용하는 것이 바람직하다. 또한 절연체(271a2, 271b2)로서는 예칭 스토퍼로서 기능하도록 절연체(250b)에 사용할 수 있는 산화물 절연체를 사용하는 것이 바람직하다. 예를 들어 절연체(271a1) 및 절연체(271b1)에 질화 실리콘을 사용하고, 절연체(271a2) 및 절연체(271b2)에 산화 실리콘을 사용할 수 있다.

[0662] 또한 본 명세서 등에서 적어도 제 1 게이트 전극의 전계에 의하여 채널 형성 영역을 전기적으로 둘러싸는 트랜지스터의 구조를 surrounded channel(S-channel) 구조라고 부른다. 또한 본 명세서 등에서 개시하는 S-channel 구조는 Fin형 구조 및 플레이너형 구조와는 상이하다. 한편, 본 명세서 등에 개시되는 S-channel 구조는 Fin형 구조의 1종류로 간주할 수도 있다. 또한 본 명세서 등에서 Fin형 구조란, 게이트 전극이 적어도 채널의 2면 이상(구체적으로는 2면, 3면, 또는 4면 등)을 둘러싸도록 배치되는 구조를 가리킨다. Fin형 구조 및 S-channel 구조를 채용함으로써, 단채널 효과에 대한 내성을 높일 수 있고, 바꿔 말하면 단채널 효과가 발생하기 어려운 트랜지스터로 할 수 있다.

[0663] 트랜지스터(200E)를 상기 S-channel 구조로 함으로써 채널 형성 영역을 전기적으로 둘러쌀 수 있다. 또한 S-channel 구조는 채널 형성 영역을 전기적으로 둘러싼 구조이기 때문에, GAA(Gate All Around) 구조 또는 LGAA(Lateral Gate All Around) 구조와 실질적으로 같은 구조라고도 할 수 있다. 트랜지스터(200E)를 S-

channel 구조, GAA 구조, 또는 LGAA 구조로 함으로써, 산화물(220)과 게이트 절연체의 계면 또는 계면 근방에 형성되는 채널 형성 영역을 산화물(220)의 벌크 전체로 할 수 있다. 따라서 트랜지스터에 흐르는 전류 밀도를 향상시킬 수 있기 때문에, 트랜지스터의 온 전류의 향상 또는 트랜지스터의 전계 효과 이동도의 향상을 기대할 수 있다.

[0664] 본 실시형태에서는 절연체(224)를 섬 형상으로 제공하는 구성으로 한다. 따라서 도 21의 (C)에 나타낸 바와 같이 도전체(260)의 하면의 적어도 일부를 산화물(220b)의 하면보다 아래쪽에 제공할 수 있다. 이에 의하여, 산화물(220b)의 상면 및 측면과 대향하여 도전체(260)를 제공할 수 있기 때문에, 도전체(260)의 전계를 산화물(220b)의 상면 및 측면에 작용시킬 수 있다. 이와 같이 절연체(224)를 섬 형상으로 제공함으로써 트랜지스터(200E)를 S-channel 구조로 할 수 있다.

[0665] 도전체(260)는 도전체(260a)와 도전체(260a) 위에 배치된 도전체(260b)를 가지는 것이 바람직하다. 예를 들어 도전체(260a)는 도전체(260b)의 밑면 및 측면을 감싸도록 배치되는 것이 바람직하다. 이때 도전체(260a)에는 산화되기 어려운 도전성 재료 또는 산소의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 도전체(260a)가 산소의 확산을 억제하는 기능을 가짐으로써, 절연체(285) 등에 포함되는 산소로 인하여 도전체(260b)가 산화되어 도전율이 저하되는 것을 억제할 수 있다. 산소의 확산을 억제하는 기능을 가지는 도전성 재료로서는 예를 들어 타이타늄, 질화 타이타늄, 탄탈럼, 질화 탄탈럼, 루테늄, 산화 루테늄 등을 사용하는 것이 바람직하다.

[0666] 도전체(260b)로서는 도전성이 높은 도전체를 사용하는 것이 바람직하다. 예를 들어 도전체(260b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용할 수 있다. 또한 도전체(260b)를 적층 구조로 하여도 좋고, 예를 들어 타이타늄 또는 질화 타이타늄과 상기 도전성 재료의 적층 구조로 하여도 좋다.

[0667] 절연체(216) 및 절연체(285)는 각각 절연체(222)보다 유전율이 낮은 것이 바람직하다. 유전율이 낮은 재료를 층간막에 사용함으로써, 배선 사이에서 발생하는 기생 용량을 저감할 수 있다.

[0668] <반도체 장치의 구성 예 3>

[0669] 다음으로 본 발명의 일 형태의 반도체 장치의 일례에 대하여 도 23 내지 도 25를 사용하여 설명한다. 도 23 내지 도 25에 나타낸 반도체 장치는 상술한 트랜지스터(200, 200A 내지 200E)와 다른 구성의 트랜지스터(201a, 201b)를 가진다.

[0670] 또한 트랜지스터(201a, 201b)에서 트랜지스터(200E)와 같은 구성 요소에 대해서는 상술한 기재를 참조할 수 있다.

[0671] 도 23의 (A) 내지 (D)는 기판(도시하지 않았음) 위에 트랜지스터(201a) 및 트랜지스터(201b)를 가지는 반도체 장치의 평면도 및 단면도이다. 또한 트랜지스터(201b)는 트랜지스터(201a)와 같은 구조를 가지기 때문에 구성 요소에 트랜지스터(201a)와 같은 해치 패턴을 붙이고, 특별히 부호를 붙이지 않았다. 또한 이하에서는 트랜지스터(201a)와 트랜지스터(201b)를 통틀어 트랜지스터(201)라고 기재하는 경우가 있다. 또한 본 실시형태에서 설명하는 반도체 장치는 트랜지스터(201a)와 전기적으로 접속되는 용량 소자 및 트랜지스터(201b)와 전기적으로 접속되는 용량 소자를 제공함으로써, 2개의 1T(트랜지스터)1C(용량 소자)형 메모리 셀로서 기능시킬 수 있고 기억 장치에 사용할 수도 있다.

[0672] 도 23의 (A)는 상기 반도체 장치의 평면도이다. 또한 도 23의 (B) 내지 (D)는 상기 반도체 장치의 단면도이다. 여기서 도 23의 (B)는 도 23의 (A)에서의 일점쇄선 A1-A2를 따르는 단면도이고, 트랜지스터(201a)의 채널 길이 방향의 단면도이기도 하다. 또한 도 23의 (C)는 도 23의 (A)에서의 일점쇄선 A3-A4를 따르는 단면도이고, 트랜지스터(201a) 및 트랜지스터(201b)의 채널 폭 방향의 단면도이기도 하다. 또한 도 23의 (D)는 도 23의 (A)에서의 일점쇄선 A5-A6을 따르는 단면도이고, 트랜지스터(201a) 및 트랜지스터(201b)의 채널 폭 방향의 단면도이기도 하다. 여기서 일점쇄선 A1-A2는 일점쇄선 A3-A4 및 일점쇄선 A5-A6과 직교하고, 일점쇄선 A3-A4와 일점쇄선 A5-A6은 서로 평행하다. 또한 도 23의 (A)의 평면도에서는 도면의 명료화를 위하여 일부 요소를 생략하였다. 또한 도 24의 (A)는 도 23의 (B)의 도전체(260)와 그 근방의 확대도이다. 또한 도 24의 (B)는 도 23의 (C)의 절연체(225)와 그 근방의 확대도이다. 또한 도 25의 (A)는 도 23의 (B)의 도전체(242a)와 그 근방의 확대도이다. 또한 도 25의 (B)는 도 23의 (D)의 절연체(225)와 그 근방의 확대도이다.

[0673] 도 23의 (A) 내지 (D)에 나타낸 반도체 장치는 절연체(215), 절연체(216), 절연체(222)의 적층을 가지고, 절연체(222) 위의 절연체(225)와, 절연체(225) 및 절연체(222) 위의 산화물(220)(산화물(220a) 및 산화물(220b))과, 산화물(220) 위의 도전체(242)(도전체(242a) 및 도전체(242b))와, 산화물(220) 위의 절연체

(250)와, 절연체(250) 위의 도전체(260)(도전체(260a) 및 도전체(260b))를 더 가진다.

[0674] 도전체(242) 위에는 절연체(275)가 제공되고, 절연체(275) 위에는 절연체(285)가 제공되어 있다. 절연체(250) 및 도전체(260)는 절연체(285) 및 절연체(275)에 제공된 개구의 내부에 배치되어 있다. 또한 절연체(285) 위 및 도전체(260) 위에 절연체(282)가 제공되어 있다. 또한 절연체(282) 위에 절연체(283)가 제공되어 있다.

[0675] 절연체(285) 등의 개구의 내벽과 접하여 절연체(241a)가 제공되고, 절연체(241a)와 접하여 도전체(239a)가 제공된다. 도전체(239a)는 도전체(242a)와 접한다. 또한 절연체(285) 등의 개구의 내벽과 접하여 절연체(241b)가 제공되고, 절연체(241b)와 접하여 도전체(239b)가 제공된다. 도전체(239b)는 도전체(242b)와 접한다. 또한 이 하에서 도전체(239a)와 도전체(239b)를 통틀어 도전체(239)라고 기재하는 경우가 있다. 또한 절연체(241a)와 절연체(241b)를 통틀어 절연체(241)라고 기재하는 경우가 있다.

[0676] 또한 절연체(215), 절연체(216), 절연체(222), 절연체(225), 산화물(220), 도전체(242a), 도전체(242b), 절연체(275), 절연체(285), 절연체(250), 도전체(260), 절연체(241), 도전체(239), 절연체(282), 및 절연체(283)는 각각 단층 구조를 가져도 좋고, 적층 구조를 가져도 좋다.

[0677] 산화물(220)은 트랜지스터(201)의 채널 형성 영역으로서 기능하는 영역을 가진다. 또한 도전체(260)는 트랜지스터(201)의 제 1 게이트 전극(위쪽 게이트 전극)으로서 기능하는 영역을 가진다. 절연체(250)는 트랜지스터(201)의 제 1 게이트 절연체로서 기능하는 영역을 가진다.

[0678] 또한 본 실시형태에서는 트랜지스터(201a, 201b)의 예로서, 각각 백 게이트를 가지지 않는 싱글 게이트 구조의 트랜지스터를 나타내었지만, 본 발명은 이에 한정되지 않는다. 트랜지스터(200a, 200b)는 각각 백 게이트를 가지는 듀얼 게이트 구조의 트랜지스터이어도 좋다. 예를 들어 상술한 트랜지스터(200E)와 마찬가지로, 트랜지스터(201)는 절연체(216)에 매립되도록 제공된 도전체(205)(도전체(205a) 및 도전체(205b))를 가져도 좋다. 또한 절연체(221)를 가져도 좋다. 이때 도전체(205)는 트랜지스터(201)의 제 2 게이트 전극(아래쪽 게이트 전극)으로서 기능하는 영역을 가진다. 절연체(222) 및 절연체(221)는 각각 트랜지스터(201)의 제 2 게이트 절연체로서 기능하는 영역을 가진다.

[0679] 여기서 도 24의 (B)에 나타낸 바와 같이, 트랜지스터(201)에서 산화물(220)은 절연체(225)를 끼워 반으로 접은 구조를 가진다. 따라서 절연체(225)를 사이에 두고 산화물(220)과 마주 보는 위치에 있는 도전체(260)의 일부가 제 2 게이트 전극으로서 기능하는 경우가 있다.

[0680] 도전체(242a)는 트랜지스터(201)의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 영역을 가진다. 도전체(242b)는 트랜지스터(201)의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능하는 영역을 가진다. 도전체(239a)는 도전체(242a)에 접속되는 플러그로서 기능한다. 도전체(239b)는 도전체(242b)에 접속되는 플러그로서 기능한다.

[0681] 산화물(220)은 절연체(225)를 덮는 산화물(220a)과, 산화물(220a) 위의 산화물(220b)을 가지는 것이 바람직하다. 여기서 산화물(220a)은 절연체(225)의 상면 및 측면, 그리고 절연체(222)의 상면에 접한다. 산화물(220a) 및 산화물(220b)은 도 24의 (B) 등에 나타낸 바와 같이 종횡비가 높은 절연체(225)를 덮도록 제공된다. 따라서 산화물(220a) 및 산화물(220b)은 ALD법 등 피복성이 양호한 성막법을 사용하여 성막되는 것이 바람직하다. 여기서 도 24의 (B)에 나타낸 바와 같이 채널 폭 방향의 단면에서는 절연체(225)를 개재(介在)하여 반으로 접은 상태가 되도록 산화물(220a) 및 산화물(220b)이 형성된다. 이러한 구성으로 함으로써, 절연체(225)의 상부, A3 측의 측면, 및 A4 측의 측면에 트랜지스터(201)의 채널 형성 영역을 형성할 수 있어 단위 면적당 채널 폭을 크게 할 수 있다.

[0682] 산화물(220b) 아래에 산화물(220a)을 가짐으로써, 산화물(220a)보다 아래쪽에 형성된 구조물로부터 산화물(220b)로 불순물이 확산되는 것을 억제할 수 있다.

[0683] 또한 산화물(220)은 산화물(220a) 및 산화물(220b)의 2층 구조에 한정되지 않는다. 산화물(220)은 예를 들어 산화물(220b)의 단층 구조를 가져도 좋고, 3층 이상의 적층 구조를 가져도 좋다.

[0684] 산화물(220b)에는 트랜지스터(201)의 채널 형성 영역과, 채널 형성 영역을 끼우도록 제공되는 소스 영역 및 드레인 영역이 형성된다. 채널 형성 영역의 적어도 일부는 도전체(260)와 중첩된다. 소스 영역은 도전체(242a)와 중첩되고, 드레인 영역은 도전체(242b)와 중첩된다. 또한 소스 영역과 드레인 영역은 서로 바꿀 수 있다.

[0685] 산화물(220)(산화물(220a) 및 산화물(220b))에는 반도체로서 기능하는 금속 산화물(이하, 산화물 반도체라고도

함)을 사용하는 것이 바람직하다.

[0686] 산화물(220)의 적어도 1층을 본 발명의 일 형태의 금속 산화물의 성막 방법을 사용하여 형성하는 것이 바람직하다. 특히, 채널 형성 영역을 포함하는 산화물(220b)을 본 발명의 일 형태의 금속 산화물의 성막 방법을 사용하여 형성하는 것이 바람직하다.

[0687] ALD법을 사용하여 산화물(220)의 적어도 1층을 형성함으로써, 구조체의 상면, 밑면, 측면, 및 경사진 면에 대하여 금속 산화물을 높은 괴복성으로 형성할 수 있다. 즉 각 괴성막면에서 법선 방향으로 실질적으로 일정한 막 두께를 가지는 금속 산화물을 형성할 수 있다. 구조체의 상면, 밑면, 측면, 및 경사진 면 각각에 형성된 금속 산화물에서, 최대 막 두께에 대한 최소 막 두께의 비를 0.5 이상 1 이하, 바람직하게는 0.7 이상 1 이하, 더 바람직하게는 0.8 이상 1 이하, 더 바람직하게는 0.9 이상 1 이하로 할 수 있다.

[0688] 예를 들어 도 24의 (B)에 나타낸 산화물(220)에서, 절연체(222)의 상면을 따라 제공된 제 1 부분의 두께에 대한, 절연체(225)의 측면을 따라 제공된 제 2 부분의 두께의 비는 0.7 이상 1.3 이하인 것이 바람직하고, 0.8 이상 1.2 이하인 것이 더 바람직하고, 0.9 이상 1.1 이하인 것이 더 바람직하다.

[0689] 또한 산화물(220)의 채널 형성 영역에서의 알루미늄 농도 및 탄소 농도의 바람직한 범위는 상술한 바와 같다.

[0690] 예를 들어 산화물(220a)과 산화물(220b)의 양쪽을 ALD법으로 형성하는 것이 바람직하다. 또는 산화물(220a)을 스퍼터링법으로 형성하고, 산화물(220b)을 ALD법으로 형성하는 것이 바람직하다.

[0691] 도 23의 (A) 내지 (D)에 나타낸 반도체 장치를 구성하는 각 절연체 및 각 도전체에 사용할 수 있는 재료로서는, 상술한 [절연체] 및 [도전체]의 항목에서 든 각종 재료가 있다. 또한 상술한 <반도체 장치의 구성 예 2>에서 설명한 내용도 참조할 수 있다. 이하에서는 상술한 구성과 다른 점에 대하여 주로 설명한다.

[0692] 도 24의 (A)에 나타낸 바와 같이 절연체(250)는 4층 구조로 하여도 좋다. 도 24의 (A)에 나타낸 바와 같이 절연체(250)는 산화물(220)에 접하는 절연체(250a)와, 절연체(250a) 위의 절연체(250b)와, 절연체(250b) 위의 절연체(250c)와, 절연체(250c) 위의 절연체(250d)의 적층 구조를 가지는 것이 바람직하다. 이 경우, 절연체(250a) 및 절연체(250c)가 수소를 포획하는 기능 또는 수소를 고착하는 기능을 가지는 것이 바람직하다.

[0693] 절연체(250a) 및 절연체(250c)로서 예를 들어 산화 마그네슘, 또는 알루미늄 및 하프늄 중 한쪽 또는 양쪽을 포함한 산화물 등의 금속 산화물을 사용하는 것이 바람직하다. 이와 같은 비정질 구조를 가지는 금속 산화물에서는 산소 원자가 댕글링 본드를 가지고, 상기 댕글링 본드로 수소를 포획하는 성질 또는 수소를 고착하는 성질을 가지는 경우가 있다. 즉 비정질 구조를 가지는 금속 산화물은 수소를 포획 또는 고착하는 능력이 높다고 할 수 있다.

[0694] 또한 절연체(250a) 및 절연체(250c)에 고유전율(high-k) 재료를 사용하는 것이 바람직하다. 또한 high-k 재료의 일례로서 알루미늄 및 하프늄 중 한쪽 또는 양쪽을 포함한 산화물이 있다. 절연체(250a) 및 절연체(250c)에 high-k 재료를 사용함으로써, 게이트 절연체의 물리적 막 두께를 유지한 채, 트랜지스터 동작 시에 인가하는 게이트 전위를 저감할 수 있다. 또한 게이트 절연체로서 기능하는 절연체의 등가 산화막 두께(EOT)를 얇게 할 수 있다.

[0695] 절연체(250a) 및 절연체(250c)로서 알루미늄 및 하프늄 중 한쪽 또는 양쪽을 포함한 산화물을 사용하는 것이 바람직하고, 비정질 구조를 가지고 알루미늄 및 하프늄 중 한쪽 또는 양쪽을 포함한 산화물을 사용하는 것이 더 바람직하다.

[0696] 본 실시형태에서는 도 24의 (A)에 나타낸 절연체(250a)에 산화 알루미늄을 사용한다. 또한 상기 산화 알루미늄은 비정질 구조를 가지는 것이 바람직하다. 여기서 산화물(220b)에 접하여 절연체(250a)를 제공함으로써, 산화물(220b) 등에 포함되는 수소를 더 효과적으로 포획 및 고착할 수 있다.

[0697] 본 실시형태에서는 도 24의 (A)에 나타낸 절연체(250c)로서 산화 하프늄을 사용한다. 여기서 절연체(250b)와 절연체(250d) 사이에 절연체(250c)를 제공함으로써, 절연체(250b) 등에 포함되는 수소를 더 효과적으로 포획 및 고착할 수 있다.

[0698] 절연체(250b)로서는 산화 실리콘 또는 산화질화 실리콘 등 열에 대하여 안정적인 절연체를 사용하는 것이 바람직하다.

[0699] 도전체(242a), 도전체(242b), 및 도전체(260)의 산화를 억제하기 위하여 도전체(242a), 도전체(242b), 및 도전체(260) 각각의 근방에 산소에 대한 배리어 절연체를 제공하는 것이 바람직하다. 상기 절연체는 예를 들어 절

연체(250a), 절연체(250d), 절연체(250c), 및 절연체(275)이다.

[0700] 절연체(250d)도 산소에 대한 배리어성을 가지는 것이 바람직하다. 절연체(250d)는 산화물(220)의 채널 형성 영역과 도전체(260) 사이 및 절연체(285)와 도전체(260) 사이에 제공된다. 상기 구조으로 함으로써, 산화물(220)의 채널 형성 영역에 포함되는 산소가 도전체(260)로 확산되어 산화물(220)의 채널 형성 영역에 산소 결손이 형성되는 것을 억제할 수 있다. 또한 산화물(220)에 포함되는 산소 및 절연체(285)에 포함되는 산소가 도전체(260)로 확산되어 도전체(260)가 산화되는 것을 억제할 수 있다. 절연체(250d)는 적어도 절연체(285)보다 산소를 투과시키기 어려운 것이 바람직하다. 예를 들어 절연체(250d)로서 질화 실리콘을 사용하는 것이 바람직하다. 이 경우 절연체(250d)는 적어도 질소와 실리콘을 포함하는 절연체이다.

[0701] 또한 절연체(250d)는 수소에 대한 배리어성을 가지는 것이 바람직하다. 이 경우, 도전체(260)에 포함되는 수소 등의 불순물이 산화물(220b)로 확산되는 것을 방지할 수 있다.

[0702] 절연체(250a) 내지 절연체(250d)는 게이트 절연체의 일부로서 기능한다. 절연체(250a) 내지 절연체(250d)는 도전체(260)와 함께, 절연체(285)에 형성된 개구에 제공된다. 트랜지스터(201)를 미세화하는 데 있어서 절연체(250a) 내지 절연체(250d)의 막 두께는 각각 얇은 것이 바람직하다. 절연체(250a) 내지 절연체(250d)의 막 두께는 각각 0.1nm 이상 10nm 이하가 바람직하고, 0.1nm 이상 5.0nm 이하가 더 바람직하고, 0.5nm 이상 5.0nm 이하가 더 바람직하고, 1.0nm 이상 5.0nm 미만이 더 바람직하고, 1.0nm 이상 3.0nm 이하가 더 바람직하다. 또한 절연체(250a) 내지 절연체(250d)의 각각은 적어도 일부에 상술한 바와 같은 막 두께의 영역을 가지면 좋다.

[0703] 또한 앞에서는 절연체(250)가 절연체(250a) 내지 절연체(250d)의 4층 구조를 가지는 구조에 대하여 설명하였지만, 본 발명은 이에 한정되지 않는다. 절연체(250)는 절연체(250a) 내지 절연체(250d) 중 적어도 하나를 가지는 구조으로 할 수 있다. 절연체(250)를 절연체(250a) 내지 절연체(250d) 중 1층, 2층, 또는 3층으로 구성함으로써, 반도체 장치의 제작 공정이 간략화되어 생산성을 향상시킬 수 있다.

[0704] 절연체(225)는 절연체(222) 위에 접하여 형성된다. 절연체(225)는 도 24의 (B) 및 도 25의 (B)에 나타낸 바와 같이, 채널 폭 방향의 단면에서 보았을 때 종횡비가 높은 형상을 가진다. 여기서 채널 폭 방향의 단면에서 보았을 때의 절연체(225)의 종횡비란, 절연체(225)의 A3-A4 방향의 길이 L(절연체(225)의 폭 L이라고도 할 수 있음)과 절연체(225)의 피형성면(예를 들어 절연체(222))에 대하여 수직인 방향의 길이 H(절연체(225)의 높이 H라고도 할 수 있음)의 비를 가리킨다. 절연체(225)에서 절연체(225)의 높이 H는 적어도 절연체(225)의 폭 L보다 길다. 절연체(225)의 높이 H는 절연체(225)의 폭 L의 1배보다 크고, 바람직하게는 2배 이상, 더 바람직하게는 5배 이상, 더 바람직하게는 10배 이상으로 하면 좋다. 또한 절연체(225)의 높이 H는 절연체(225)의 폭 L의 20배 이하인 것이 바람직하다.

[0705] 이러한 종횡비가 높은 절연체(225)를 덮어 산화물(220a), 산화물(220b), 및 도전체(242)가 제공된다. 트랜지스터(201)에서는 도 24의 (B)에 나타낸 바와 같이, 절연체(225)를 끼워 반으로 접은 상태가 되도록 산화물(220a) 및 산화물(220b)이 제공되고, 산화물(220b)을 덮어 절연체(250) 및 도전체(260)가 제공된다. 이에 의하여, 채널 폭 방향의 단면에서 보았을 때 절연체(225)의 상부, A3 측의 측면, 및 A4 측의 측면 각각에서 산화물(220)과 도전체(260)가 절연체(250)를 사이에 두고 마주 보아 제공된다. 즉 절연체(225)의 상부, A3 측의 측면, 및 A4 측의 측면 각각이 채널 형성 영역으로서 기능한다. 따라서 절연체(225)를 제공하지 않는 경우에 비하여 절연체(225)의 A3 측의 측면 및 A4 측의 측면만큼 트랜지스터(201)의 채널 폭이 크다.

[0706] 상술한 바와 같이 채널 폭이 커지면 트랜지스터(201)의 온 전류, 전계 효과 이동도, 주파수 특성 등을 양호하게 할 수 있다. 이에 의하여, 동작 속도가 빠른 반도체 장치를 제공할 수 있다. 또한 상기 반도체 장치를 사용한 기억 장치의 동작 속도를 빠르게 할 수 있다. 또한 상기 구조에서는 절연체(225)를 제공함으로써, 트랜지스터(201)의 점유 면적을 확대하지 않고 채널 폭을 크게 할 수 있다. 이로써 반도체 장치의 미세화 또는 고집적화를 실현할 수 있다. 또한 상기 반도체 장치를 사용한 기억 장치의 기억 용량을 크게 할 수 있다.

[0707] 절연체(225)에는 절연체(222), 절연체(285), 절연체(250) 등에 사용할 수 있는 절연성 재료를 사용할 수 있다. 또한 절연체(225)는 종횡비가 높은 형상을 가지기 때문에 희생층(제작 공정 중에 사용하는 구조체)의 측면에 측벽 형상으로 형성되는 것이 바람직하다. 따라서 절연체(225)는 피복성이 양호한 ALD법을 사용하여 형성하는 것이 바람직하다. 예를 들어 절연체(225)로서 열 ALD법으로 성막한 산화 하프늄을 사용할 수 있다.

[0708] 이러한 식으로 희생층의 측면에 접하여 사이드 월 형태로 절연체(225)를 형성함으로써, 도 23의 (A) 등에 나타낸 바와 같이 트랜지스터(201a)의 절연체(225)와 트랜지스터(201b)의 절연체(225)를 동시에 형성할 수 있다. 이와 같이 2개의 절연체(225)를 형성할 때, 희생층의 크기에 맞추어 2개의 절연체(225)의 거리를 설정할 수 있

다. 따라서 절연체(225)의 거리를 작게 하여 트랜지스터(201a) 및 트랜지스터(201b)의 점유 면적을 축소함으로써, 반도체 장치를 고집적화할 수 있다.

[0709] 다만 절연체(225)는 염밀한 의미로 절연성 재료에만 한정되는 것이 아니다. 예를 들어 절연성이 비교적 높은 금속 산화물 등을 사용할 수도 있다. 예를 들어 상기 산화물(220a)에 사용할 수 있는 금속 산화물 등을 사용하여도 좋다.

[0710] 또한 절연체(225)의 상부는 만곡 형상을 가져도 좋다. 이러한 만곡 형상을 가짐으로써, 절연체(225)의 상부 근방에서 산화물(220a), 산화물(220b), 및 도전체(242)에 공동(void) 등의 결함이 형성되는 것을 방지할 수 있다. 또한 도 24의 (B) 및 도 25의 (B) 등에서는 절연체(225) 상부의 A3 측(A5 측)과 A4 측(A6 측)의 양쪽에 만곡 형상이 제공되는 대칭 구조로 하였지만, 본 발명은 이에 한정되지 않는다. 예를 들어 절연체(225) 상부의 A3 측(A5 측)에만 만곡 형상이 제공된 비대칭 구조가 되는 경우도 있다.

[0711] 도전체(242a)와 도전체(242b)는 서로 이격되어 배치되고, 산화물(220b) 위에 접하여 제공된다. 도 25의 (A) 및 (B) 등에 나타낸 바와 같이, 도전체(242)는 종횡비가 높은 절연체(225)를 덮도록 제공된다. 따라서 도전체(242)는 ALD법 또는 CVD법 등 피복성이 양호한 성막법을 사용하여 성막하는 것이 바람직하다.

[0712] 여기서 트랜지스터(201a)의 소스 또는 드레인 근방에서는 도 25의 (B)에 나타낸 바와 같이 절연체(225)를 사이에 두고 반으로 접힌 상태가 되도록 산화물(220a), 산화물(220b), 및 도전체(242a)가 제공된다. 이로써 채널 폭 방향의 단면을 보았을 때 절연체(225)의 상부, A5 측의 측면, 및 A6 측의 측면 각각에서 도전체(242a)가 산화물(220b)에 접한다. 따라서 절연체(225)를 제공하지 않는 경우에 비하여 절연체(225)의 A5 측의 측면 및 A6 측의 측면만큼 도전체(242a)와 산화물(220b)의 접촉 면적이 크다. 또한 도 25의 (B)에는 도전체(242a) 근방을 나타내었지만, 도전체(242b)에 대해서도 마찬가지이다. 즉 상술한 도전체(242a)와 산화물(220b)과 마찬가지로 도전체(242b)와 산화물(220b)의 접촉 면적이 크다.

[0713] 상술한 바와 같이 도전체(242)와 산화물(220b)의 접촉 면적이 크면, 트랜지스터(201)의 점유 면적을 크게 하지 않고, 트랜지스터(201)의 온 전류, 주파수 특성 등을 양호하게 할 수 있다. 이에 의하여, 동작 속도가 빠른 반도체 장치를 제공할 수 있다. 또한 상기 반도체 장치를 사용한 기억 장치의 동작 속도를 빠르게 할 수 있다. 또한 이에 의하여 반도체 장치를 미세화하거나 고집적화할 수 있다. 또한 상기 반도체 장치를 사용한 기억 장치의 기억 용량을 크게 할 수 있다.

[0714] 도전체(260)는 도 23의 (B) 및 (C)에 나타낸 바와 같이 절연체(285), 절연체(275), 도전체(242a), 및 도전체(242b)에 형성된 개구 내에 배치된다. 도전체(260)는 상기 개구 내에서 절연체(250)를 개재하여 절연체(222)의 상면, 산화물(220a)의 측면, 산화물(220b)의 측면, 및 산화물(220b)의 상면을 덮도록 제공된다. 또한 도전체(260)는 상면의 높이가 절연체(250)의 최상부 및 절연체(285)의 상면의 높이와 일치 또는 실질적으로 일치하도록 배치된다.

[0715] 또한 도전체(260) 및 절연체(250)가 배치된 상기 개구에서 상기 개구의 측벽은 절연체(222)의 상면에 대하여 수직 또는 실질적으로 수직이어도 좋고, 테이퍼 형상이어도 좋다. 측벽을 테이퍼 형상으로 함으로써, 절연체(285)의 개구에 제공되는 절연체(250) 등의 피복성이 향상되어 공동 등의 결함을 저감할 수 있다.

[0716] 도전체(260)는 트랜지스터(201)의 제 1 게이트 전극으로서 기능한다. 여기서 도전체(260)는 도 23의 (A) 및 (C)에 나타낸 바와 같이 채널 폭 방향으로 연장되어 제공되는 것이 바람직하다. 이러한 구성으로 함으로써, 복수의 트랜지스터를 제공하는 경우에 도전체(260)는 배선으로서 기능한다.

[0717] 도 23의 (B) 등에서는 도전체(260)를 2층 구조로 나타내었다. 여기서 도전체(260)는 도전체(260a)와, 도전체(260a) 위에 배치된 도전체(260b)를 가지는 것이 바람직하다. 예를 들어 도전체(260a)는 도전체(260b)의 밑면 및 측면을 감싸도록 배치되는 것이 바람직하다. 이때 도전체(260a)에는 산화되기 어려운 도전성 재료 또는 산소의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다.

[0718] 또한 트랜지스터(201)에서 도전체(260)는 절연체(285) 등에 형성된 개구를 매립하도록 자기 정합(自己整合)적으로 형성된다. 여기서 상기 개구에서의 절연체(285)의 측면은 도전체(242a)의 측면 및 도전체(242b)의 측면과 일치 또는 실질적으로 일치한다. 따라서, 위치 맞춤 없이 도전체(242a)와 도전체(242b) 사이의 영역에 중첩하여 도전체(260)를 배치할 수 있다.

[0719] 도전체(239a) 및 도전체(239b)는 각각 절연체(275), 절연체(285), 절연체(282), 및 절연체(283)의 개구 내에 형성되어 있다. 도전체(239a)의 하면은 도전체(242a)의 상면에 접하고, 도전체(239b)의 하면은 도전체(242b)의

상면에 접한다. 여기서 도전체(239)의 상면의 높이와 절연체(283)의 상면의 높이는 같은 정도이다.

[0720] 도전체(239)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한 도전체(239)는 제 1 도전체가 절연체(241)의 측면에 접하여 제공되고, 그 내측에 제 2 도전체가 제공되는 적층 구조로 하여도 좋다. 이 경우 제 2 도전체에 상기 도전성 재료를 사용할 수 있다.

[0721] 또한 도전체(239)가 적층 구조를 가지는 경우, 절연체(283), 절연체(282), 절연체(285), 및 절연체(275) 근방에 배치되는 제 1 도전체에는 물, 수소 등의 불순물의 투과를 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 예를 들어 탄탈럼, 질화 탄탈럼, 타이타늄, 질화 타이타늄, 루테늄, 산화 루테늄 등을 사용하는 것이 바람직하다. 또한 물, 수소 등의 불순물의 투과를 억제하는 기능을 가지는 도전성 재료를 단층으로 또는 적층으로 사용하여도 좋다. 이러한 구성으로 함으로써, 절연체(283)보다 위층에 포함되는 물, 수소 등의 불순물이 도전체(239a) 및 도전체(239b)를 통하여 산화물(220)에 혼입되는 것을 억제할 수 있다.

[0722] 절연체(241a) 및 절연체(241b)는 각각 절연체(275), 절연체(285), 절연체(282), 및 절연체(283)의 개구의 내벽에 접하여 형성되어 있다. 절연체(241a)의 내측의 측면은 도전체(239a)에 접하고, 절연체(241b)의 내측의 측면은 도전체(239b)에 접한다.

[0723] 절연체(241)로서는 절연체(275) 등에 사용할 수 있는 배리어 절연막을 사용하면 좋다. 예를 들어 절연체(241)로서 질화 실리콘, 산화 알루미늄, 질화산화 실리콘 등의 절연체를 사용하면 좋다. 절연체(241)를 제공함으로써 절연체(285) 등에 포함되는 물, 수소 등의 불순물이 도전체(239a) 및 도전체(239b)를 통하여 산화물(220)에 혼입되는 것을 억제할 수 있다. 특히 질화 실리콘은 수소에 대한 차단성이 높기 때문에 적합하다. 또한 절연체(285)에 포함되는 산소가 도전체(239a) 및 도전체(239b)에 흡수되는 것을 방지할 수 있다.

[0724] 도 23의 (B)에 나타낸 바와 같이 절연체(241)를 적층 구조로 하는 경우, 절연체(285) 등의 개구의 내벽에 접하는 제 1 절연체와 그 내측의 제 2 절연체로서는 산소에 대한 배리어 절연막과 수소에 대한 배리어 절연막을 조합한 것을 사용하는 것이 바람직하다.

[0725] 예를 들어 제 1 절연체로서 열 ALD법으로 성막된 산화 알루미늄을 사용하고, 제 2 절연체로서 PEALD법으로 성막된 질화 실리콘을 사용하면 좋다. 이러한 구성으로 함으로써, 도전체(239)의 산화를 억제하며, 도전체(239)에 수소가 혼입되는 것을 저감할 수 있다.

[0726] 또한 앞에서는 절연체(241)가 2층 적층 구조인 구성에 대하여 나타내었지만, 본 발명은 이에 한정되지 않는다. 예를 들어 절연체(241)를 단층 또는 3층 이상의 적층 구조로 하여도 좋다. 또한 앞에서는 도전체(239)가 2층 적층 구조인 구성에 대하여 나타내었지만, 본 발명은 이에 한정되지 않는다. 예를 들어, 도전체(239)를 단층 또는 3층 이상의 적층 구조로 제공하는 구성으로 하여도 좋다.

[0727] 또한 도 25의 (B) 등에서, 도전체(239a)가 절연체(225)의 상단부보다 위에서만 도전체(242a)에 접하는 구조에 대하여 나타내었지만, 본 발명은 이에 한정되지 않는다. 예를 들어 도 25의 (C)에 나타낸 바와 같이 절연체(225)와, 절연체(225)를 사이에 두고 반으로 접한 상태인 산화물(220a), 산화물(220b), 및 도전체(242a)를 도전체(239a)가 덮는 구조로 하여도 좋다. 이에 의하여, 채널 폭 방향의 단면을 보았을 때 절연체(225)의 상부, A5 측의 측면, 및 A6 측의 측면 각각에서 도전체(239a)가 도전체(242a)에 접한다. 따라서 절연체(225)를 제공하지 않는 경우에 비하여 절연체(225)의 A5 측의 측면 및 A6 측의 측면만큼 도전체(239a)와 도전체(242a)의 접촉 면적이 크다. 또한 도 25의 (C)에는 도전체(239a) 및 도전체(242a) 근방을 나타내었지만, 도전체(239b) 및 도전체(242b)에 대해서도 마찬가지이다. 즉 상술한 도전체(239a) 및 도전체(242a)와 마찬가지로 도전체(239b) 및 도전체(242b)의 접촉 면적이 크다.

[0728] 상술한 바와 같이 도전체(239)와 도전체(242)의 접촉 면적이 크면, 트랜지스터(201)의 점유 면적을 크게 확대하지 않고, 트랜지스터(201)의 온 전류, 주파수 특성 등을 양호하게 할 수 있다. 이에 의하여, 동작 속도가 빠른 반도체 장치를 제공할 수 있다. 또한 상기 반도체 장치를 사용한 기억 장치의 동작 속도를 빠르게 할 수 있다. 또한 이에 의하여 반도체 장치를 미세화하거나 고집적화할 수 있다. 또한 상기 반도체 장치를 사용한 기억 장치의 기억 용량을 크게 할 수 있다.

[0729] <기억 장치의 구성 예 2>

[0730] 기억 장치에 트랜지스터(200E)와 같은 플레이너형 트랜지스터를 사용하는 경우에도, 트랜지스터와 용량 소자가 중첩되는 구성을 적용할 수 있다.

- [0731] 도 26의 (A) 내지 (D)에 플레이너형 트랜지스터와 용량 소자로 구성되는 메모리 셀의 일례를 나타내었다.
- [0732] 도 26의 (A)는 플레이너형 트랜지스터를 사용한 경우의 트랜지스터(200p)와, 트랜지스터(200p) 아래쪽에 제공되는 용량 소자(100)의 셀 내에서의 배치의 개략 평면도이다. 또한 도 26의 (B)는 도 26의 (A)에 나타낸 일점쇄선 B1-B2에 대응하는 단면도이다.
- [0733] 도 26의 (A) 및 (B)에 나타낸 바와 같이 트랜지스터(200p) 아래쪽에 용량 소자(100)를 제공하는 경우에는, 트랜지스터(200p)의 소스 전극 또는 드레인 전극과 용량 소자(100)의 한쪽 전극(상부 전극)을 접속하는 배선 및 플러그 등의 요소(CA)가 제공된다.
- [0734] 도 26의 (C)는 트랜지스터(200p)와, 트랜지스터(200p) 위쪽에 제공되는 용량 소자(100)의 메모리 셀 내에서의 배치의 개략 평면도이다. 또한 도 26의 (C)는 도 26의 (D)에 나타낸 일점쇄선 B1-B2에 대응하는 단면도이다.
- [0735] 도 26의 (C) 및 (D)에 나타낸 바와 같이 트랜지스터(200p) 위쪽에 용량 소자(100)를 제공하는 경우에는, 트랜지스터(200p)의 소스 전극 또는 드레인 전극과 용량 소자(100)의 한쪽 전극(하부 전극)을 접속하는 배선 및 플러그 등의 요소(CA)가 제공된다. 도 26의 (C) 및 (D)에서는 트랜지스터(200p)와 용량 소자(100)가 중첩되는 영역에 요소(CA)를 배치할 수 있다. 따라서 트랜지스터(200p) 아래쪽에 용량 소자(100)를 제공하는 경우보다 미세화에는 우위에 있다.
- [0736] <기억 장치의 구성예 3>
- [0737] 본 실시형태에서 설명하는 트랜지스터(200) 및 용량 소자(100)를 가지는 메모리 셀(150)은 기억 장치의 메모리 셀로서 사용될 수 있다. 트랜지스터(200)는 산화물 반도체를 포함한 반도체층에 채널이 형성되는 트랜지스터이다. 트랜지스터(200)는 오프 전류가 작기 때문에, 이를 기억 장치에 사용함으로써 장기간에 걸쳐 기억 내용을 유지할 수 있다. 즉 리프레시 동작이 불필요하거나 리프레시 동작의 빈도가 매우 낮기 때문에 기억 장치의 소비 전력을 충분히 저감시킬 수 있다. 또한 트랜지스터(200)의 주파수 특성이 높기 때문에 기억 장치의 판독 및 기록을 고속으로 수행할 수 있다.
- [0738] 2개의 메모리 셀(150)(이하, 메모리 셀(150a) 및 메모리 셀(150b)이라고 부름)을 공통의 배선에 접속하는 기억 장치의 예에 대하여 도 27의 (A) 및 (B)를 사용하여 설명한다. 도 27의 (A)는 기억 장치의 평면도이다. 또한 도 27의 (B)는 도 27의 (A)에서 일점쇄선 A1-A2로 나타낸 부분의 단면도이다. 또한 도 27의 (A)의 평면도에서는 도면의 명료화를 위하여 일부 요소를 생략하였다.
- [0739] 여기서 도 27의 (A) 및 (B)에 나타낸 메모리 셀(150a) 및 메모리 셀(150b)의 각각은 메모리 셀(150)과 같은 구성을 가진다. 메모리 셀(150a)은 용량 소자(100a) 및 트랜지스터(200a)를 가지고, 메모리 셀(150b)은 용량 소자(100b) 및 트랜지스터(200b)를 가진다. 따라서 도 27의 (A) 및 (B)에 나타낸 기억 장치에서 도 15에 나타낸 기억 장치를 구성하는 구조와 같은 기능을 가지는 구조에는 같은 부호를 부기한다. 또한 본 항목에서도 기억 장치의 구성 재료로서는 <기억 장치의 구성예>에서 자세히 설명한 재료를 사용할 수 있다.
- [0740] 도 27의 (A) 및 (B)에 나타낸 바와 같이 배선(WL)으로서 기능하는 도전체(260)는 메모리 셀(150a) 및 메모리 셀(150b)에 각각 제공된다. 또한 배선(BL)의 일부로서 기능하는 도전체(240)는 메모리 셀(150a) 및 메모리 셀(150b)에 공통적으로 제공된다. 즉 도전체(240)는 메모리 셀(150a)의 산화물 반도체(230)와, 메모리 셀(150b)의 산화물 반도체(230)에 접한다.
- [0741] 여기서 도 27의 (A) 및 (B)에 나타낸 기억 장치는 메모리 셀(150a) 및 메모리 셀(150b)에 전기적으로 접속되어 플러그(접속 전극이라고 부를 수도 있음)로서 기능하는 도전체(245) 및 도전체(246)를 가진다. 도전체(245)는 절연체(180), 절연체(280), 및 절연체(140)에 형성된 개구 내에 배치되고, 도전체(240)의 하면에 접한다. 또한 도전체(246)는 절연체(287), 절연체(283), 및 절연체(250)에 형성된 개구 내에 배치되고, 도전체(240)의 상면에 접한다. 또한 도전체(245) 및 도전체(246)에는 도전체(240)에 적용할 수 있는 도전성 재료 등을 사용할 수 있다.
- [0742] 절연체(287)는 층간막으로서 기능하기 때문에, 비유전율이 낮은 것이 바람직하다. 비유전율이 낮은 재료를 층간막에 사용함으로써, 배선 사이에서 발생하는 기생 용량을 저감할 수 있다. 절연체(287)로서는 상술한 [절연체]의 항목에 기재되는 비유전율이 낮은 재료를 포함하는 절연체를 단층 또는 적층으로 사용할 수 있다.
- [0743] 또한 절연체(287) 내의 물, 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다. 이로써 산화물 반도체(230)의 채널 형성 영역에 물, 수소 등의 불순물이 혼입되는 것을 억제할 수 있다.

- [0744] 도전체(245) 및 도전체(246)는 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 및 다이오드 등의 회로 소자, 배선, 전극, 또는 단자와, 메모리 셀(150a) 및 메모리 셀(150b)을 전기적으로 접속하기 위한 플러그 또는 배선으로서 기능한다. 예를 들어 도 27에 나타낸 기억 장치 아래에 제공된 감지 증폭기(도시하지 않았음)에 도전체(245)가 전기적으로 접속되고, 도 27에 나타낸 기억 장치 위에 제공된 위와 같은 기억 장치(도시하지 않았음)에 도전체(246)가 전기적으로 접속되는 구성으로 할 수 있다. 이 경우, 도전체(245) 및 도전체(246)는 배선(BL)의 일부로서 기능한다. 이와 같이 도 27에 나타낸 기억 장치의 위 또는 아래에 기억 장치 등을 제공함으로써, 단위 면적당 기억 용량을 크게 할 수 있다.
- [0745] 또한 메모리 셀(150a)과 메모리 셀(150b)은 일점쇄선 A1-A2의 수직 이등분선을 대칭축으로 한 선대칭의 구성이 되어 있다. 따라서 트랜지스터(200a)와 트랜지스터(200b)도 도전체(245) 및 도전체(246)를 사이에 두고 대칭의 위치에 배치된다. 여기서 도전체(240)는 트랜지스터(200a)의 소스 전극 및 드레인 전극 중 다른 쪽으로서의 기능과, 트랜지스터(200b)의 소스 전극 및 드레인 전극 중 다른 쪽으로서의 기능을 가진다. 또한 트랜지스터(200a) 및 트랜지스터(200b)는 플러그로서 기능하는 도전체(245) 및 도전체(246)를 공유한다. 이와 같이, 2개의 트랜지스터와 플러그의 접속에 상술한 구성을 적용함으로써, 미세화 또는 고집적화가 가능한 기억 장치를 제작할 수 있다.
- [0746] 또한 배선(PL)으로서 기능하는 도전체(110)는 메모리 셀(150a) 및 메모리 셀(150b)에 각각 제공하여도 좋고, 메모리 셀(150a) 및 메모리 셀(150b)에 공통적으로 제공하여도 좋다. 다만 도 27의 (B)에 나타낸 바와 같이 도전체(110)는 도전체(245)와 이격하여 제공하여, 도전체(110)와 도전체(245)가 단락되지 않도록 한다.
- [0747] 또한 메모리 셀(150)을 3차원적으로 매트릭스상으로 배치함으로써 메모리 셀 어레이를 구성할 수 있다. 메모리 셀 어레이의 일례로서 도 28의 (A) 및 (B)에 X방향, Y방향, 및 Z방향으로 4개×2개×4개의 메모리 셀(150)을 배치한 기억 장치를 나타내었다. 도 28의 (A)는 기억 장치의 평면도이다. 또한 도 28의 (B)는 도 28의 (A)에서 일점쇄선 A1-A2로 나타낸 부분의 단면도이다. 또한 도 28의 (A)의 평면도에서는 도면의 명료화를 위하여 일부 요소를 생략하였다.
- [0748] 여기서 도 28의 (A) 및 (B)에 나타낸 메모리 셀(150a) 내지 메모리 셀(150d)의 각각은 메모리 셀(150)과 같은 구성을 가진다. 메모리 셀(150a)은 용량 소자(100a) 및 트랜지스터(200a)를 가지고, 메모리 셀(150b)은 용량 소자(100b) 및 트랜지스터(200b)를 가지고, 메모리 셀(150c)은 용량 소자(100c) 및 트랜지스터(200c)를 가지고, 메모리 셀(150d)은 용량 소자(100d) 및 트랜지스터(200d)를 가진다. 따라서 도 28의 (A) 및 (B)에 나타낸 기억 장치에서 도 15에 나타낸 기억 장치를 구성하는 구조와 같은 기능을 가지는 구조에는 같은 부호를 부기한다. 또한 본 항목에서도 기억 장치의 구성 재료로서는 <기억 장치의 구성예>에서 자세히 설명한 재료를 사용할 수 있다.
- [0749] 이하에서 메모리 셀(150a) 내지 메모리 셀(150d)로 이루어지는 기억 장치를 메모리 유닛이라고 부른다. 도 28의 (A) 및 (B)에 나타낸 기억 장치는 메모리 유닛(160[1,1]) 내지 메모리 유닛(160[2,4])을 가진다. 또한 이하에서 메모리 유닛(160[1,1]) 내지 메모리 유닛(160[2,4])을 통틀어 메모리 유닛(160)이라고 부르는 경우가 있다. 메모리 유닛(160[1,2])은 메모리 유닛(160[1,1]) 위에 제공되고, 메모리 유닛(160[1,3])은 메모리 유닛(160[1,2]) 위에 제공되고, 메모리 유닛(160[1,4])은 메모리 유닛(160[1,3]) 위에 제공된다. 메모리 유닛(160[2,1])은 메모리 유닛(160[1,1])의 Y방향으로 인접하여 제공된다. 메모리 유닛(160[2,2])은 메모리 유닛(160[2,1]) 위에 제공되고, 메모리 유닛(160[2,3])은 메모리 유닛(160[2,2]) 위에 제공되고, 메모리 유닛(160[2,4])은 메모리 유닛(160[2,3]) 위에 제공된다.
- [0750] 메모리 유닛(160)은 도 28의 (B)에 나타낸 바와 같이 도전체(245)를 중심으로 하여 메모리 셀(150a)의 외측에 메모리 셀(150c)이 배치되고, 메모리 셀(150b)의 외측에 메모리 셀(150d)이 배치되어 있다. 즉 도 27에 나타낸 기억 장치에 있어서, 메모리 셀(150a)에 인접하여 메모리 셀(150c)이 제공되고, 메모리 셀(150b)에 인접하여 메모리 셀(150d)이 제공된 기억 장치라고도 할 수 있다.
- [0751] 도 28의 (A) 및 (B)에 나타낸 바와 같이, 배선(WL)으로서 기능하는 도전체(260)는 Y방향으로 인접한 메모리 셀(150)들 사이에서 공유되어 있다. 또한 배선(BL)의 일부로서 기능하는 도전체(240)는 동일 메모리 유닛 내에서 공유되어 있다. 즉 도전체(240)는 메모리 셀(150a) 내지 메모리 셀(150d) 각각의 산화물 반도체(230)에 접한다.
- [0752] Z방향으로 인접한 메모리 유닛이 가지는 도전체(240) 사이에 도전체(245)가 제공된다. 예를 들어 도 28의 (B)에 나타낸 바와 같이, 도전체(245)는 메모리 유닛(160[1,1])의 도전체(240)의 상면과 메모리 유닛(160[1,2])의

도전체(240)의 하면에 접하여 제공된다. 이와 같이 각 메모리 유닛(160)에 제공된 도전체(240)와 도전체(245)로 배선(BL)이 형성된다. 도전체(245)는 도 28에 나타낸 기억 장치 아래에 제공된 감지 증폭기(도시하지 않았음)에 전기적으로 접속된다. 이와 같이 도 28에 나타낸 기억 장치에 있어서 복수의 메모리 유닛을 적층시킴으로써 단위 면적당 기억 용량을 크게 할 수 있다.

[0753] 또한 메모리 셀(150a) 및 메모리 셀(150c)과, 메모리 셀(150b) 및 메모리 셀(150d)은 일점쇄선 A1-A2의 수직 이등분선을 대칭축으로 한 선대칭의 구성이 되어 있다. 따라서 트랜지스터(200a) 및 트랜지스터(200c)와, 트랜지스터(200b) 및 트랜지스터(200d)도 도전체(245)를 사이에 두고 대칭의 위치에 배치된다. 여기서 도전체(240)는 트랜지스터(200a) 내지 트랜지스터(200d) 각각의 소스 전극 및 드레인 전극 중 다른 쪽으로서의 기능을 가진다. 또한 트랜지스터(200a) 내지 트랜지스터(200d)는 플러그로서 기능하는 도전체(245)를 공유한다. 이와 같이, 4개의 트랜지스터와 플러그의 접속에 상술한 구성을 적용함으로써, 미세화 또는 고집적화가 가능한 기억 장치를 제공할 수 있다.

[0754] 도 28에 나타낸 바와 같이 복수의 메모리 셀을 적층시킴으로써, 메모리 셀 어레이의 접유 면적을 증가시키지 않고 셀을 접적하여 배치할 수 있다. 즉 3D 메모리 셀 어레이를 구성할 수 있다. 또한 도 28에서는 2개의 메모리 유닛을 가지는 층을 4층 적층하는 구성을 예시하였지만, 본 발명은 이에 한정되는 것이 아니다. 기억 장치는 적어도 하나의 메모리 셀(150)을 가지는 층을 하나 가져도 좋고, 2개 이상 적층하여도 좋다.

[0755] 도 28에서는 플러그로서 기능하는 도전체(245)가 메모리 셀(150) 사이에 배치되는 구성을 나타내었다. 바꿔 말하면, 플러그로서 기능하는 도전체(245)가 메모리 유닛(160)의 내측에 배치되는 구성을 나타내었다. 또한 본 발명은 이에 한정되지 않는다. 도전체(245)는 메모리 유닛의 외측에 배치되어도 좋다.

[0756] 메모리 셀 어레이의 일례로서 도 29의 (A) 및 (B)에 X방향, Y방향, 및 Z방향으로 3개×3개×4개의 메모리 셀(150)을 배치한 기억 장치를 나타내었다. 도 29의 (A)는 기억 장치의 평면도이다. 또한 도 29의 (B)는 도 29의 (A)에서 일점쇄선 A1-A2로 나타낸 부분의 단면도이다. 또한 도 29의 (A)의 평면도에서는 도면의 명료화를 위하여 일부 요소를 생략하였다.

[0757] 도 29의 (A) 및 (B)에 나타낸 기억 장치는 메모리 셀(150)을 포함하는 층이  $m$ ( $m$ 은 2 이상의 정수)개 적층된 구성을 가진다. 여기서 첫 번째 층(가장 아래)에 제공된 상기 층을 층(170[1])으로 하고, 두 번째 층에 제공된 상기 층을 층(170[2])으로 하고, ( $m$ -1)번째 층에 제공된 상기 층을 층(170[m-1])으로 하고,  $m$ 번째 층(가장 위)에 제공된 상기 층을 층(170[m])으로 하여 도 29의 (B)에 나타내었다. 즉 본 발명의 일 형태의 기억 장치는 메모리 셀(150)을 포함하는 층을 복수로 가지고, 복수의 층이 적층된 구성을 가져도 좋다.

[0758] 도 29의 (A) 및 (B)에 나타낸 바와 같이, 도전체(245)는 메모리 유닛의 외측에 제공되어도 좋다. 또한 도전체(245)는 상기 도전체(245)를 포함하는 층의 위층에 제공된 배선과 전기적으로 접속되어도 좋다. 예를 들어 층(170[1])에 제공된 도전체(245)는 층(170[2])에 제공된 배선과 전기적으로 접속되어 있다. 또한 층(170[2])에 제공된 상기 배선은 층(170[2])에 포함되는 메모리 셀(150)의 하부 전극(도전체(110))과 같은 층에 제공되어 있다. 즉 상기 배선은 도전체(110)와 같은 공정에서 형성할 수 있다.

[0759] 또한 도 29에서는 도전체(245)가 상기 도전체(245)를 포함하는 층의 위층에 제공된 배선과 전기적으로 접속되는 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어 도전체(245)는 상기 도전체(245)를 포함하는 층에 제공된 배선과 전기적으로 접속되어도 좋다. 예를 들어 층(170[1])에 제공된 도전체(245)는 층(170[1])에 제공된 배선과 전기적으로 접속되어도 좋다. 또한 층(170[1])에 제공된 상기 배선은 층(170[1])에 포함되는 메모리 셀(150)의 하부 전극(도전체(110))과 같은 층에 제공되어 있다. 즉 상기 배선은 도전체(110)와 같은 공정에서 형성할 수 있다.

[0760] 여기서 도 29의 (A)에 나타낸 기억 장치의 평면 레이아웃을 도 30의 (A)에 나타내었다. 구체적으로는 도 30의 (A)의 평면 레이아웃에서는 4개×4개의 메모리 셀(150)을 포함하는 영역을 나타내었다. 또한 배선(WL)으로서 기능하는 도전체(260), 배선(BL)으로서 기능하는 도전체(240), 및 개구부(290)를 나타내었다. 또한 도전체(260), 도전체(240), 및 개구부(290)가 중첩되는 영역에 메모리 셀(150)이 제공되어 있다. 바꿔 말하면, 개구부(290)는 도전체(240)에서 도전체(240)와 도전체(260)가 교차하는 영역에 제공된다.

[0761] 도 30의 (A)에서는 메모리 셀(150)이 매트릭스상으로 배치되어 있는 구성을 나타내었다. 또한 개구부(290)가 매트릭스상으로 배치되어 있는 구성을 나타내었다. 또한 도전체(260)가 Y방향(열 방향이라고도 함)으로 연장되어 제공되고, 도전체(240)가 X방향(행 방향이라고도 함)으로 연장되어 제공되어 있는 구성을 나타내었다. 바꿔 말하면, 도전체(260)와 도전체(240)가 직교하는 구성을 나타내었다. 또한 도전체(260)가 연장되는 방향과 수직

인 방향(X방향)에서의 도전체(260)의 폭이 같고, 도전체(240)가 연장되는 방향과 수직인 방향(Y방향)에서의 도전체(240)의 폭이 같은 구성을 나타내었다. 또한 본 발명은 이에 한정되지 않는다.

[0762] 도 30의 (B)는 기억 장치의 평면 레이아웃의 다른 일례를 나타낸 것이다. 도 30의 (B)의 평면 레이아웃에는 도 30의 (A)와 마찬가지로 도전체(260), 도전체(240), 메모리 셀(150), 및 개구부(290)를 나타내었다. 도 30의 (B)에 나타낸 기억 장치는 메모리 셀(150)의 배치, 개구부(290)의 배치, 도전체(240)의 형상, 및 도전체(260)가 연장되는 방향이 도 30의 (A)에 나타낸 기억 장치와 주로 다르다.

[0763] 도 30의 (B)에 나타낸 바와 같이 홀수 행의 메모리 셀(150)과 짝수 행의 메모리 셀(150)은 메모리 셀(150)의 반복 단위의 절반만큼 밀린 위치에 배열되어 있다. 홀수 열의 메모리 셀(150)과 짝수 열의 메모리 셀(150)은 상기 반복 단위의 절반만큼 밀린 위치에 배열되어 있다. 마찬가지로, 도 30의 (B)에 나타낸 홀수 행의 개구부(290)와 짝수 행의 개구부(290)는 개구부(290)의 반복 단위의 절반만큼 밀린 위치에 배열되어 있다. 또한 홀수 열의 개구부(290)와 짝수 열의 개구부(290)는 개구부(290)의 상기 반복 단위의 절반만큼 밀린 위치에 배열되어 있다.

[0764] 도 30의 (B)에서 제 1 메모리 셀과 X방향으로 인접한 메모리 셀을 제 2 메모리 셀로 하고, 제 1 메모리 셀과 도전체(260)의 연장 방향으로 인접한 메모리 셀 중 제 2 메모리 셀과 가까운 쪽의 메모리 셀을 제 3 메모리 셀로 한다. 이때 제 1 메모리 셀과 제 2 메모리 셀의 중간을 통과하고, Y방향에 평행한 직선상에 제 3 메모리 셀의 중심이 위치하면 좋다. X방향에서 제 3 메모리 셀은 제 1 메모리 셀 및 제 2 메모리 셀 각각으로부터 X방향의 반복 단위의 절반만큼 밀린 곳에 위치한다고도 할 수 있다.

[0765] 도 30의 (B)에서는 도전체(260)의 연장 방향이 Y방향에 대하여 기울여서 배치되어 있다. 한편, 도전체(240)는 X방향으로 연장되어 제공되어 있다. 즉 메모리 셀(150)(또는 개구부(290))의 배치에 따라서는 도전체(260)의 연장 방향은 도전체(240)의 연장 방향과 직교하지 않는 경우가 있다. 바꿔 말하면, 도전체(260)는 도전체(240)와 직교할 필요는 없고, 도전체(260)와 도전체(240)는 교차하도록 배치된다.

[0766] 또한 도 30의 (B)에 나타낸 바와 같이, 도전체(240)는 제 1 영역과 제 2 영역을 가진다. 제 1 영역은 개구부(290) 및 그 근방의 영역이고, 제 1 영역에서의 Y방향의 폭을 제 1 폭으로 한다. 평면에서 보았을 때 제 1 영역은 사각형의 모서리 부분을 둑글게 한 형상이라고 할 수 있다. 또한 제 2 영역은 하나의 도전체(240)에서 인접한 개구부(290) 사이의 영역(인접한 2개의 제 1 영역 사이의 영역이라고도 할 수 있음)이고, 제 2 영역에서의 Y방향의 폭을 제 2 폭으로 한다. 이때 제 2 폭은 제 1 폭보다 작은 것이 바람직하다. 이러한 구성으로 함으로써, 메모리 셀(150)(또는 개구부(290))을 행 및 열마다 반복 단위의 절반만큼 밀린 위치에 배열하는 경우에, 도전체(240) 사이의 물리적 거리를 작게 할 수 있다. 따라서 기억 장치의 미세화 및 고집적화를 도모할 수 있다.

[0767] 도 30의 (C)는 기억 장치의 평면 레이아웃의 다른 일례를 나타낸 것이다. 도 30의 (C)의 평면 레이아웃에는 도 30의 (B)와 마찬가지로 도전체(260), 도전체(240), 메모리 셀(150), 및 개구부(290)를 나타내었다. 도 30의 (C)에 나타낸 기억 장치는 도전체(240)의 제 1 영역의 형상이 도 30의 (B)에 나타낸 기억 장치와 주로 다르다.

[0768] 도 30의 (B)에 나타낸 도전체(240)의 제 1 영역은 평면에서 보았을 때 사각형의 모서리 부분을 둑글게 한 형상이고, 상기 사각형의 한 변이 X방향 또는 Y방향에 평행하다. 한편, 도 30의 (C)에 나타낸 도전체(240)의 제 1 영역은 평면에서 보았을 때 사각형의 모서리 부분을 둑글게 한 형상이고, 상기 사각형의 대각선이 X방향 또는 Y방향에 평행하다. 이러한 구성이어도, 메모리 셀(150)(또는 개구부(290))을 행 및 열마다 반복 단위의 절반만큼 밀린 위치에 배열하는 경우에, 도전체(240) 사이의 물리적 거리를 작게 할 수 있다. 따라서 기억 장치의 미세화 및 고집적화를 도모할 수 있다.

[0769] 도 30의 (B) 및 (C)에서는 평면에서 보았을 때 도전체(240)의 제 1 영역이 사각형의 모서리 부분을 둑글게 한 형상인 예를 나타내었지만, 본 발명은 이에 한정되는 것이 아니다.

[0770] 도 31의 (A)는 기억 장치의 평면 레이아웃의 다른 일례를 나타낸 것이다. 도 31의 (A)의 평면 레이아웃에는 도 30의 (B)와 마찬가지로 도전체(260), 도전체(240), 메모리 셀(150), 및 개구부(290)를 나타내었다. 도 31의 (A)에 나타낸 기억 장치는 도전체(240)의 제 1 영역의 형상이 도 30의 (B) 또는 (C)에 나타낸 기억 장치와 주로 다르다.

[0771] 도 31의 (B)에 나타낸 도전체(240)의 제 1 영역은 평면에서 보았을 때 원 형이다. 이러한 구성이어도, 메모리 셀(150)(또는 개구부(290))을 행 및 열마다 반복 단위의 절반만큼 밀린 위치에 배열하는 경우에, 도전체(240) 사이의 물리적 거리를 작게 할 수 있다. 따라서 기억 장치의 미세화 및 고집적화를 도모할 수 있다.

- [0772] 또한 평면에서 보았을 때의 도전체(240)의 제 1 영역은 상술한 형상에 한정되지 않는다. 예를 들어 평면에서 보았을 때의 도전체(240)의 제 1 영역은 타원 등의 대략 원형, 사각형 등의 다각형, 사각형 등의 다각형의 모서리 부분을 둥글게 한 형상이어도 좋다.
- [0773] 또한 도 31의 (A)에서는 도전체(260)가 연장되는 방향과 수직인 방향에서의 도전체(260)의 폭이 같은 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다.
- [0774] 도 31의 (B)는 기억 장치의 평면 레이아웃의 다른 일례를 나타낸 것이다. 도 31의 (B)의 평면 레이아웃에는 도 31의 (A)와 마찬가지로 도전체(260), 도전체(240), 메모리 셀(150), 및 개구부(290)를 나타내었다. 도 31의 (B)에 나타낸 기억 장치는 도전체(260)의 형상이 도 31의 (A)에 나타낸 기억 장치와 주로 다르다.
- [0775] 도 31의 (B)에 나타낸 도전체(260)는 도전체(240)와 마찬가지로 제 1 영역과 제 2 영역을 가진다. 제 1 영역은 개구부(290) 및 그 근방의 영역이고, 평면에서 보았을 때 원형이다. 또한 제 2 영역은 하나의 도전체(260)에서 인접한 개구부(290) 사이의 영역(인접한 2개의 제 1 영역 사이의 영역이라고도 할 수 있음)이다. 또한 도전체(260)의 제 1 영역은 도전체(240)의 제 1 영역과 중첩된다. 이러한 구성으로 함으로써, 메모리 셀(150)(또는 개구부(290))을 행 및 열마다 반복 단위의 절반만큼 밀린 위치에 배열하는 경우에, 도전체(260) 사이의 물리적 거리를 작게 할 수 있다. 따라서 기억 장치의 미세화 및 고집적화를 도모할 수 있다.
- [0776] 도 31의 (C)는 기억 장치의 평면 레이아웃의 다른 일례를 나타낸 것이다. 도 31의 (C)의 평면 레이아웃에는 도 31의 (A)와 마찬가지로 도전체(260), 도전체(240), 메모리 셀(150), 및 개구부(290)를 나타내었다. 도 31의 (C)에 나타낸 기억 장치는 도전체(260)의 형상 및 연장 방향이 도 31의 (A)에 나타낸 기억 장치와 주로 다르다.
- [0777] 도 31의 (C)에 나타낸 도전체(260)는 평면에서 보았을 때 삼각파와 같은 사행 형상이고, Y방향으로 연장되어 제 공되어 있다. 이러한 구성으로 함으로써, 메모리 셀(150)(또는 개구부(290))을 행 및 열마다 반복 단위의 절반만큼 밀린 위치에 배열하는 경우에, 도전체(260) 사이의 물리적 거리를 작게 할 수 있다. 따라서 기억 장치의 미세화 및 고집적화를 도모할 수 있다. 또한 평면에서 보았을 때의 도전체(260)의 형상은 상기에 한정되지 않고, 미엔더 형상(meander shape) 등이어도 좋다.
- [0778] 상기 구성으로 함으로써, 도전체(260) 사이의 물리적 거리 및 도전체(240) 사이의 물리적 거리 중 한쪽 또는 양 쪽을 작게 하여, 기억 장치의 미세화 및 고집적화를 도모할 수 있다.
- [0779] 도 32에 감지 증폭기를 가지는 구동 회로가 제공되는 층 위에 메모리 셀을 가지는 층이 적층되어 제공된 기억 장치의 단면 구성예를 나타내었다.
- [0780] 도 32에서는 트랜ジ스터(300) 위쪽에 용량 소자(100)가 제공되고, 트랜ジ스터(300) 및 용량 소자(100) 위쪽에 트랜지스터(200)가 제공되어 있다.
- [0781] 트랜지스터(300)는 감지 증폭기가 가지는 트랜지스터 중 하나이다.
- [0782] 도 32에 나타낸 메모리 셀(150)(트랜지스터(200) 및 용량 소자(100))의 구성은 상술한 바와 같다.
- [0783] 도 32에 나타낸 바와 같이 메모리 셀(150)과 중첩되도록 감지 증폭기를 제공하는 구성으로 함으로써 비트선을 짧게 할 수 있다. 이로써 비트선 용량을 작게 할 수 있어 기억 장치의 고속 구동이 가능하게 된다.
- [0784] 또한 트랜지스터(200)를 용량 소자(100) 위쪽에 제공함으로써, 트랜지스터(200)는 용량 소자(100)의 제작 시의 열 이력을 받지 않는다. 따라서 트랜지스터(200)에서 문턱 전압의 변동 및 기생 저항의 증대 등의 전기 특성의 열화, 그리고 전기 특성의 열화에 따른 전기 특성의 편차의 증대 등을 억제할 수 있다.
- [0785] 도 32에 나타낸 기억 장치는 실시형태 3에서 설명하는 기억 장치(80)와 대응시킬 수 있다. 구체적으로는 트랜지스터(300)는 기억 장치(80)에서의 감지 증폭기(46)가 가지는 트랜지스터에 상당한다. 또한 메모리 셀(150)은 메모리 셀(32)에 상당하고, 트랜지스터(200)는 트랜지스터(37)에 상당하고, 용량 소자(100)는 용량 소자(38)에 상당한다.
- [0786] 트랜지스터(300)는 기판(311) 위에 제공되고, 게이트로서 기능하는 도전체(316)와, 게이트 절연체로서 기능하는 절연체(315)와, 기판(311)의 일부로 이루어지는 반도체 영역(313)과, 소스 영역 또는 드레인 영역으로서 기능하는 저저항 영역(314a) 및 저저항 영역(314b)을 가진다. 트랜지스터(300)는 p채널형 및 n채널형 중 어느 쪽이어도 좋다.
- [0787] 여기서 도 32에 나타낸 트랜지스터(300)에서는 채널이 형성되는 반도체 영역(313)(기판(311)의 일부)이 볼록 형

상을 가진다. 또한 절연체(315)를 개재하여 반도체 영역(313)의 측면 및 상면을 도전체(316)가 덮도록 제공되어 있다. 또한 도전체(316)에는 일함수를 조정하는 재료를 사용하여도 좋다. 이와 같은 트랜지스터(300)는 반도체 기판의 볼록부를 이용하기 때문에 FIN형 트랜지스터라고도 불린다. 또한 볼록부의 상부와 접하여, 볼록부를 형성하기 위한 마스크로서 기능하는 절연체를 가져도 좋다. 또한 여기서는 반도체 기판의 일부를 가공하여 볼록부를 형성하는 경우를 나타내었지만 SOI 기판을 가공하여 볼록 형상을 가지는 반도체막을 형성하여도 좋다.

[0788] 또한 도 32에 나타낸 트랜지스터(300)는 일례이고, 그 구조에 한정되지 않고, 회로 구성 또는 구동 방법에 따라 적절한 트랜지스터를 사용할 수 있다.

[0789] 각 구조체 사이에는 충간막, 배선, 및 플러그 등이 제공된 배선층이 제공되어도 좋다. 또한 배선층은 설계에 따라 복수 층 제공할 수 있다. 여기서 플러그 또는 배선으로서 기능하는 도전체에는, 복수의 구조를 합쳐서 동일한 부호를 부여하는 경우가 있다. 또한 본 명세서 등에서 배선과, 배선에 전기적으로 접속되는 플러그가 일체물이어도 좋다. 즉 도전체의 일부가 배선으로서 기능하는 경우 및 도전체의 일부가 플러그로서 기능하는 경우도 있다.

[0790] 예를 들어 트랜지스터(300) 위에는 충간막으로서 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)가 이 순서대로 적층되어 제공되어 있다. 또한 절연체(320) 및 절연체(322)에는 도전체(328)가 매립되고, 절연체(324) 및 절연체(326)에는 도전체(330)가 매립되어 있다. 또한 도전체(328) 및 도전체(330)는 플러그 또는 배선으로서 기능한다.

[0791] 또한 충간막으로서 기능하는 절연체는 그 아래쪽의 요철 형상을 피복하는 평탄화막으로서 기능하여도 좋다. 예를 들어 절연체(322)의 상면은 평탄성을 높이기 위하여 CMP법 등을 사용한 평탄화 처리에 의하여 평탄화되어 있어도 좋다.

[0792] 절연체(326) 및 도전체(330) 위에 배선층을 제공하여도 좋다. 예를 들어 도 32에서는 절연체(350), 절연체(352), 및 절연체(354)가 순차적으로 적층되어 제공되어 있다. 또한 절연체(350), 절연체(352), 및 절연체(354)에는 도전체(356)가 형성되어 있다. 도전체(356)는 플러그 또는 배선으로서 기능한다.

[0793] 충간막으로서 기능하는 절연체(352) 및 절연체(354) 등으로서는 상술한 기억 장치에 사용할 수 있는 절연체를 사용할 수 있다.

[0794] 플러그 또는 배선으로서 기능하는 도전체, 예를 들어 도전체(328), 도전체(330), 및 도전체(356) 등으로서는 앞의 [도전체]에서 기재한 도전체를 사용할 수 있다. 내열성과 도전성을 양립하는 텅스텐, 몰리브데늄 등의 고융점 재료를 사용하는 것이 바람직하고, 텅스텐을 사용하는 것이 바람직하다. 또는 알루미늄, 구리 등의 저저항 도전성 재료로 형성하는 것이 바람직하다. 저저항 도전성 재료를 사용함으로써 배선 저항을 낮출 수 있다.

[0795] 트랜지스터(200)가 가지는 도전체(240)는 도전체(643), 도전체(642), 도전체(644), 도전체(645), 도전체(646), 도전체(356), 도전체(330), 및 도전체(328)를 통하여 트랜지스터(300)의 소스 영역 또는 드레인 영역으로서 기능하는 저저항 영역(314b)에 전기적으로 접속되어 있다.

[0796] 도전체(643)는 절연체(280)에 매립되어 있다. 도전체(642)는 절연체(130) 위에 제공되고, 절연체(641)에 매립되어 있다. 도전체(642)는 도전체(120)와 동일한 재료 및 동일한 공정으로 제작할 수 있다. 도전체(644)는 절연체(180) 및 절연체(130)에 매립되어 있다. 도전체(645)는 절연체(647)에 매립되어 있다. 도전체(645)는 도전체(110)와 동일한 재료 및 동일한 공정으로 제작할 수 있다. 도전체(646)는 절연체(648)에 매립되어 있다. 절연체(648)에 의하여 트랜지스터(300)와 도전체(110)가 전기적으로 절연되어 있다.

[0797] 본 발명의 일 형태에 의하여 신규 트랜지스터, 반도체 장치, 및 기억 장치를 제공할 수 있다. 또는 미세화 또는 고집적화가 가능한 트랜지스터, 반도체 장치, 및 기억 장치를 제공할 수 있다. 또는 신뢰성이 높은 트랜지스터, 반도체 장치, 기억 장치를 제공할 수 있다. 또는 온 전류가 큰 트랜지스터와, 상기 트랜지스터를 가지는 반도체 장치 및 기억 장치를 제공할 수 있다. 또는 트랜지스터 특성의 편차가 적은 반도체 장치 및 기억 장치를 제공할 수 있다. 또는 전기 특성이 양호한 트랜지스터와, 상기 트랜지스터를 가지는 반도체 장치 및 기억 장치를 제공할 수 있다. 또는 소비 전력이 낮은 반도체 장치 및 기억 장치를 제공할 수 있다. 또는 주파수 특성이 양호한 기억 장치를 제공할 수 있다. 또는 동작 속도가 빠른 기억 장치를 제공할 수 있다.

[0798] 본 실시형태는 다른 실시형태 및 실시예와 적절히 조합할 수 있다.

[0799] (실시형태 3)

- [0800] 본 실시형태에서는 본 발명의 일 형태의 기억 장치에 대하여 도 33 내지 도 36을 사용하여 설명한다. 본 실시 형태에서는 감지 증폭기를 포함하는 구동 회로가 제공되는 층 위에, 메모리 셀을 가지는 층이 적층되어 제공된 기억 장치의 구성예에 대하여 설명한다.
- [0801] <기억 장치의 구성예 4>
- [0802] 도 33은 본 발명의 일 형태에 따른 기억 장치(80)의 구성예를 나타낸 블록도이다. 도 33에 나타낸 기억 장치(80)는 층(20)과, 적층된 층(70)을 가진다.
- [0803] 층(20)은 Si 트랜지스터를 가지는 층이다. 적층된 층(70)에서는 소자층(30[1] 내지 30[m])(m은 2 이상의 정수)이 적층하여 제공된다. 소자층(30[1] 내지 30[m])은 OS 트랜지스터를 가지는 층이다. OS 트랜지스터를 가지는 층이 적층하여 제공되는 층(70)은 층(20) 위에 적층하여 제공할 수 있다.
- [0804] 소자층(30[1] 내지 30[m])이 가지는 OS 트랜지스터 및 용량 소자 등의 소자는 메모리 셀을 구성한다. 도 33에는 소자층(30[1] 내지 30[m])에서 m행 n열(n은 2 이상의 정수)의 매트릭스상으로 배치된 복수의 메모리 셀(32)을 가지는 예를 나타내었다.
- [0805] 도 33에는 첫 번째 행 첫 번째 열의 메모리 셀(32)을 메모리 셀(32[1,1])로 나타내고, m번째 행 n번째 열의 메모리 셀(32)을 메모리 셀(32[m,n])로 나타내었다. 또한 본 실시형태 등에서는 임의의 행을 가리키는 경우에 i 행이라고 기재하는 경우가 있다. 또한 임의의 열을 나타내는 경우에 j열이라고 기재하는 경우가 있다. 따라서 i는 1 이상 m 이하의 정수이고, j는 1 이상 n 이하의 정수이다. 또한 본 실시형태 등에서는 i행 j열의 메모리 셀(32)을 메모리 셀(32[i,j])로 나타낸다. 또한 본 실시형태 등에서 "i+a"(a는 양 또는 음의 정수)로 나타내는 경우에는, "i+a"는 1을 밀들지 않고 m을 웃들지 않는다. 마찬가지로 "j+a"로 나타내는 경우에는, "j+a"는 1을 밀들지 않고 n을 웃들지 않는다.
- [0806] 또한 도 33에는 일례로서 행 방향으로 연장되는 m개의 배선(WL)과, 행 방향으로 연장되는 m개의 배선(PL)과, 열 방향으로 연장되는 n개의 배선(BL)을 나타내었다. 본 실시형태 등에서는, 첫 번째 배선(WL)(첫 번째 행에 제공된 배선(WL))을 배선(WL[1])으로 나타내고, m번째 배선(WL)(m번째 행에 제공된 배선(WL))을 배선(WL[m])으로 나타낸다. 마찬가지로 첫 번째 배선(PL)(첫 번째 행에 제공된 배선(PL))을 배선(PL[1])으로 나타내고, m번째 배선(PL)(m번째 행에 제공된 배선(PL))을 배선(PL[m])으로 나타낸다. 마찬가지로 첫 번째 배선(BL)(첫 번째 열에 제공된 배선(BL))을 배선(BL[1])으로 나타내고, n번째 배선(BL)(n번째 열에 제공된 배선(BL))을 배선(BL[n])으로 나타낸다. 또한 소자층(30[1] 내지 30[m])의 층수와 배선(WL)(및 배선(PL))의 개수는 같지 않아도 된다.
- [0807] i번째 행에 제공된 복수의 메모리 셀(32)은 i번째 행의 배선(WL)(배선(WL[i])) 및 i번째 행의 배선(PL)(배선(PL[i]))에 전기적으로 접속된다. j번째 열에 제공된 복수의 메모리 셀(32)은 j번째 열의 배선(BL)(배선(BL[j]))에 전기적으로 접속된다.
- [0808] 배선(BL)은 데이터의 기록 및 판독을 수행하기 위한 비트선으로서 기능한다. 배선(WL)은 스위치로서 기능하는 액세스 트랜지스터의 온 또는 오프(도통 상태 또는 비도통 상태)를 제어하기 위한 워드선으로서 기능한다. 배선(PL)은 커퍼시터에 접속되는 정전위선으로서의 기능을 가진다. 또한 백 게이트 전위를 전달하는 배선으로서는 배선(CL)(도시하지 않았음)을 별도로 제공할 수 있다.
- [0809] 소자층(30[1] 내지 30[m])이 각각 가지는 메모리 셀(32)은 배선(BL)을 통하여 감지 증폭기(46)에 접속된다. 배선(BL)은 층(20)이 제공되는 기판 표면의 수평 방향 및 수직 방향으로 배치될 수 있다. 소자층(30[1] 내지 30[m])이 가지는 메모리 셀(32)로부터 연장되어 제공되는 배선(BL)은 기판 표면의 수평 방향으로 배치되는 배선에 더하여 수직 방향으로 배치되는 배선으로 구성함으로써, 소자층(30)과 감지 증폭기(46) 사이의 배선의 길이를 짧게 할 수 있다. 메모리 셀과 감지 증폭기 사이의 신호 전반 거리를 짧게 할 수 있고, 비트선의 저항 및 기생 용량이 크게 작감되기 때문에 소비 전력 및 신호 지연을 저감할 수 있다. 그러므로 기억 장치(80)의 소비 전력 및 신호 지연을 저감할 수 있다. 또한 메모리 셀(32)이 가지는 커퍼시터의 용량을 작게 하여도 동작시킬 수 있다. 그러므로 기억 장치(80)의 소형화를 실현할 수 있다.
- [0810] 층(20)은 파워 스위치(71)(PSW), 파워 스위치(72), 및 주변 회로(22)를 가진다. 주변 회로(22)는 구동 회로(40), 컨트롤 회로(73), 및 전압 생성 회로(74)를 가진다. 또한 층(20)이 가지는 각 회로는 Si 트랜지스터를 가지는 회로이다.
- [0811] 기억 장치(80)에서 각 회로, 각 신호, 및 각 전압은 필요에 따라 적절히 선택할 수 있다. 또는 다른 회로 혹은 다른 신호를 추가하여도 좋다. 신호(BW), 신호(CE), 신호(GW), 신호(CLK), 신호(WAKE), 신호(ADDR), 신호

(WDA), 신호(PON1), 신호(PON2)는 외부로부터의 입력 신호이고, 신호(RDA)는 외부에 대한 출력 신호이다. 신호(CLK)는 클록 신호이다.

[0812] 또한 신호(BW), 신호(CE), 및 신호(GW)는 제어 신호이다. 신호(CE)는 칩 인에이블 신호이고, 신호(GW)는 글로벌 기록 인에이블 신호이고, 신호(BW)는 바이트 기록 인에이블 신호이다. 신호(ADDR)는 어드레스 신호이다. 신호(WDA)는 기록 데이터이고, 신호(RDA)는 판독 데이터이다. 신호(PON1), 신호(PON2)는 파워 케이팅 제어용 신호이다. 또한 신호(PON1), 신호(PON2)는 컨트롤 회로(73)에서 생성하여도 좋다.

[0813] 컨트롤 회로(73)는 기억 장치(80)의 동작 전반을 제어하는 기능을 가지는 로직 회로이다. 예를 들어 컨트롤 회로는 신호(CE), 신호(GW), 및 신호(BW)를 논리 연산하여 기억 장치(80)의 동작 모드(예를 들어 기록 동작, 판독 동작)를 결정한다. 또는 컨트롤 회로(73)는 이 동작 모드가 실행되도록 구동 회로(40)의 제어 신호를 생성한다.

[0814] 전압 생성 회로(74)는 음전압을 생성하는 기능을 가진다. 신호(WAKE)는 신호(CLK)의 전압 생성 회로(74)에 대한 입력을 제어하는 기능을 가진다. 예를 들어 신호(WAKE)로서 H레벨의 신호가 공급되면, 신호(CLK)가 전압 생성 회로(74)에 입력되고, 전압 생성 회로(74)는 음전압을 생성한다.

[0815] 구동 회로(40)는 메모리 셀(32)에 대한 데이터의 기록 및 판독을 수행하기 위한 회로이다. 구동 회로(40)는 행 디코더(42), 열 디코더(44), 행 드라이버(43), 열 드라이버(45), 입력 회로(47), 출력 회로(48)에 대하여, 상술한 감지 증폭기(46)를 가진다.

[0816] 행 디코더(42) 및 열 디코더(44)는 신호(ADDR)를 디코딩하는 기능을 가진다. 행 디코더(42)는 액세스하는 행을 지정하기 위한 회로이고, 열 디코더(44)는 액세스하는 열을 지정하기 위한 회로이다. 행 드라이버(43)는 행 디코더(42)가 지정하는 배선(WL)을 선택하는 기능을 가진다. 열 드라이버(45)는 데이터를 메모리 셀(32)에 기록하는 기능, 메모리 셀(32)로부터 데이터를 판독하는 기능, 판독한 데이터를 유지하는 기능 등을 가진다.

[0817] 입력 회로(47)는 신호(WDA)를 유지하는 기능을 가진다. 입력 회로(47)가 유지하는 데이터는 열 드라이버(45)에 출력된다. 입력 회로(47)의 출력 데이터는 메모리 셀(32)에 기록되는 데이터(Din)이다. 열 드라이버(45)가 메모리 셀(32)로부터 판독한 데이터(Dout)는 출력 회로(48)에 출력된다. 출력 회로(48)는 Dout을 유지하는 기능을 가진다. 또한 출력 회로(48)는 Dout을 기억 장치(80)의 외부에 출력하는 기능을 가진다. 출력 회로(48)로부터 출력되는 데이터는 신호(RDA)이다.

[0818] 파워 스위치(71)는 주변 회로(22)에 대한 VDD의 공급을 제어하는 기능을 가진다. 파워 스위치(72)는 행 드라이버(43)에 대한 VHM의 공급을 제어하는 기능을 가진다. 여기서는 기억 장치(80)의 고전원 전압이 VDD이고, 저전원 전압이 GND(접지 전위)이다. 또한 VHM은 워드선을 고레벨로 하기 위하여 사용되는 고전원 전압이고, VDD보다 높다. 신호(PON1)에 의하여 파워 스위치(71)의 온·오프가 제어되고, 신호(PON2)에 의하여 파워 스위치(72)의 온·오프가 제어된다. 도 33에서는 주변 회로(22)에서 VDD가 공급되는 전원 도메인의 개수를 하나로 하였지만, 복수로 할 수도 있다. 이 경우, 각 전원 도메인에 파워 스위치를 제공하면 좋다.

[0819] 소자층(30[1] 내지 30[m])은 층(20) 위에 중첩시켜 제공할 수 있다. 도 34의 (A)에 층(20) 위에 5층( $m=5$ )의 소자층(30[1] 내지 30[5])이 중첩되어 제공된 기억 장치(80)의 사시도를 나타내었다.

[0820] 도 34의 (A)에는 첫 번째 층에 제공된 소자층(30)을 소자층(30[1])으로 나타내고, 두 번째 층에 제공된 소자층(30)을 소자층(30[2])으로 나타내고, 다섯 번째 층에 제공된 소자층(30)을 소자층(30[5])으로 나타내었다. 또한 도 34의 (A)에는 X방향으로 연장되어 제공되는 배선(WL) 및 배선(PL)과, Y방향 및 Z방향(구동 회로가 제공되는 기판 표면에 수직인 방향)으로 연장되어 제공되는 배선(BL) 및 배선(BLB)을 나타내었다. 배선(BLB)은 반전 비트선이다. 또한 도면을 보기 쉽게 하기 위하여 소자층(30) 각각이 가지는 배선(WL) 및 배선(PL)의 기재를 일부 생략하였다.

[0821] 도 34의 (A)에 나타낸 배선(BL) 및 배선(BLB)에 접속된 감지 증폭기(46), 및 배선(BL) 및 배선(BLB)에 접속된 소자층(30[1] 내지 30[5])이 가지는 메모리 셀(32)의 구성예를 설명하는 모식도를 도 34의 (B)에 나타내었다. 또한 하나의 배선(BL) 및 배선(BLB)에 복수의 메모리 셀(메모리 셀(32))이 전기적으로 접속되는 구성을 "메모리 스트링"이라고도 한다.

[0822] 도 34의 (B)에는 배선(BLB)에 접속되는 메모리 셀(32)의 회로 구성의 일례를 나타내었다. 메모리 셀(32)은 트랜지스터(37) 및 용량 소자(38)를 가진다. 트랜지스터(37), 용량 소자(38), 및 각 배선(배선(BL) 및 배선(WL) 등)에 대해서도, 예를 들어 배선(BL[1]) 및 배선(WL[1])을 배선(BL) 및 배선(WL) 등이라고 하는 경우가 있다.

메모리 셀(32)에는 예를 들어 앞의 실시형태에서 예시한 메모리 셀(150)을 적용할 수 있다. 즉 트랜지스터(37)로서 트랜지스터(200)를 사용하고, 용량 소자(38)로서 용량 소자(100)를 사용할 수 있다. 또한 감지 증폭기(46)가 가지는 트랜지스터로서는 트랜지스터(300)(도 32 참조)를 사용할 수 있다.

[0823] 메모리 셀(32)에서 트랜지스터(37)의 소스 및 드레인 중 한쪽은 배선(BL)에 접속된다. 트랜지스터(37)의 소스 및 드레인 중 다른 쪽은 용량 소자(38)의 한쪽 전극에 접속된다. 용량 소자(38)의 다른 쪽 전극은 배선(PL)에 접속된다. 트랜지스터(37)의 게이트는 배선(WL)에 접속된다.

[0824] 배선(PL)은 용량 소자(38)의 전위를 유지하기 위한 정전위를 공급하는 배선이다. 복수의 배선(PL)들은 하나의 배선으로서 접속되어 제공됨으로써 배선의 개수를 줄일 수 있다.

[0825] 본 발명의 일 형태에서 OS 트랜지스터는 적층되어 제공되고, 비트선으로서 기능하는 배선은 층(20)이 제공되는 기판 표면에 수직인 방향으로 배치된다. 이에 더하여, 메모리 셀(32)이 가지는 트랜지스터(37) 및 용량 소자(38)를 층(20)이 제공되는 기판 표면의 수직 방향으로 나란히 배치한다. 각 소자 및 각 배선을 기판 표면의 수직 방향으로 제공함으로써, 소자층 간의 배선의 길이를 짧게 할 수 있는 것과 동시에 단위 면적당 소자의 밀도를 높일 수 있다. 그러므로 기억 용량 및 소비 전력을 저감하는 데에 뛰어난 기억 장치로 할 수 있다.

[0826] [메모리 셀(32), 감지 증폭기(46)의 구성예]

[0827] 도 35의 (A) 및 (B)에는 상술한 메모리 셀(32)에 대응하는 회로도 및 상기 회로도에 대응하는 회로 블록을 설명하는 도면을 나타내었다. 도 35의 (A) 및 (B)에 나타낸 바와 같이, 메모리 셀(32)은 도면 등에서 블록으로서 나타낸 경우가 있다. 또한 도 35의 (A) 및 (B)에 나타낸 배선(BL)을 배선(BLB)으로 치환한 경우에도 마찬가지로 나타낼 수 있다.

[0828] 또한 도 35의 (C) 및 (D)에는 상술한 감지 증폭기(46)에 대응하는 회로도 및 상기 회로도에 대응하는 회로 블록을 설명하는 도면을 나타내었다. 감지 증폭기(46)는 스위치 회로(82), 프리차지 회로(83), 프리차지 회로(84), 증폭 회로(85)를 가진다. 또한 배선(BL), 배선(BLB) 외에, 판독되는 신호를 출력하는 배선(SA\_OUT), 배선(SA\_OUTB)을 나타내었다.

[0829] 스위치 회로(82)는 도 35의 (C)에 나타낸 바와 같이 예를 들어 n채널형 트랜지스터(82\_1, 82\_2)를 가진다. 트랜지스터(82\_1, 82\_2)는 신호(CSEL)에 따라 배선(SA\_OUT), 배선(SA\_OUTB)의 배선쌍과, 배선(BL), 배선(BLB)의 배선쌍의 도통 상태를 전환한다.

[0830] 프리차지 회로(83)는 도 35의 (C)에 나타낸 바와 같이 n채널형 트랜지스터(83\_1 내지 83\_3)로 구성된다. 프리차지 회로(83)는 신호(EQ)에 따라 배선(BL) 및 배선(BLB)을 전위(VDD/2)에 상당하는 중간 전위(VPRE)로 프리차지하기 위한 회로이다.

[0831] 프리차지 회로(84)는 도 35의 (C)에 나타낸 바와 같이 p채널형 트랜지스터(84\_1 내지 84\_3)로 구성된다. 프리차지 회로(84)는 신호(EQB)에 따라 배선(BL) 및 배선(BLB)을 전위(VDD/2)에 상당하는 중간 전위(VPRE)가 되도록 프리차지하기 위한 회로이다.

[0832] 증폭 회로(85)는 도 35의 (C)에 나타낸 바와 같이 배선(SAP) 또는 배선(SAN)에 접속된 p채널형 트랜지스터(85\_1, 85\_2) 및 n채널형 트랜지스터(85\_3, 85\_4)로 구성된다. 배선(SAP) 또는 배선(SAN)은 VDD 또는 VSS를 공급하는 기능을 가지는 배선이다. 트랜지스터(85\_1 내지 85\_4)는 인버터 루프를 구성하는 트랜지스터이다.

[0833] 또한 도 35의 (D)에는 도 35의 (C) 등을 사용하여 설명한 감지 증폭기(46)에 대응하는 회로 블록을 설명하는 도면을 나타내었다. 도 35의 (D)에 나타낸 바와 같이 감지 증폭기(46)는 도면 등에서 블록으로서 나타내는 경우가 있다.

[0834] 도 36은 도 33의 기억 장치(80)의 회로도이다. 도 36에서는 도 35의 (A) 내지 (D)를 사용하여 설명한 회로 블록을 사용하여 도시하였다.

[0835] 도 36에 나타낸 바와 같이 소자층(30[m])을 포함하는 층(70)은 메모리 셀(32)을 가진다. 도 36에 나타낸 메모리 셀(32)은 일례로서 쌍이 되는 배선(BL[1]) 및 배선(BLB[1]), 또는 배선(BL[2]) 및 배선(BLB[2])에 접속된다. 배선(BL)에 접속되는 메모리 셀(32)은 데이터의 기록 또는 판독이 수행되는 메모리 셀이다.

[0836] 배선(BL[1]) 및 배선(BLB[1])은 감지 증폭기(46[1])에 접속되고, 배선(BL[2]) 및 배선(BLB[2])은 감지 증폭기(46[2])에 접속된다. 감지 증폭기(46[1]) 및 감지 증폭기(46[2])는 도 35의 (C)를 사용하여 설명한 각종 신호에 따라 데이터의 판독을 수행할 수 있다.

- [0837] 본 실시형태는 다른 실시형태 및 실시예와 적절히 조합할 수 있다.
- [0838] (실시형태 4)
- [0839] 본 실시형태에서는 본 발명의 일 형태의 반도체 장치의 응용예에 대하여 도 37 내지 도 40을 사용하여 설명한다. 본 발명의 일 형태의 반도체 장치는 예를 들어 전자 부품, 전자 기기, 대형 컴퓨터, 우주용 기기, 및 데이터 센터(Data Center: DC라고도 부름)에 사용할 수 있다. 본 발명의 일 형태의 반도체 장치를 사용한 전자 부품, 전자 기기, 대형 컴퓨터, 우주용 기기, 및 데이터 센터는 저소비 전력화 등의 고성능화에 유효하다.
- [0840] [전자 부품]
- [0841] 전자 부품(700)이 실장된 기판(실장 기판(704))의 사시도를 도 37의 (A)에 나타내었다. 도 37의 (A)에 나타낸 전자 부품(700)은 몰드(711) 내에 반도체 장치(710)를 가진다. 도 37의 (A)에서는 전자 부품(700)의 내부를 나타내기 위하여 일부의 기재를 생략하였다. 전자 부품(700)은 몰드(711) 외측에 랜드(712)를 가진다. 랜드(712)는 전극 패드(713)와 전기적으로 접속되고, 전극 패드(713)는 와이어(714)를 통하여 반도체 장치(710)와 전기적으로 접속되어 있다. 전자 부품(700)은 예를 들어 인쇄 기판(702)에 실장된다. 이와 같은 전자 부품이 복수 조합되고 각각이 인쇄 기판(702) 위에서 전기적으로 접속됨으로써 실장 기판(704)이 완성된다.
- [0842] 또한 반도체 장치(710)는 구동 회로층(715)과 기억층(716)을 가진다. 또한 기억층(716)은 복수의 메모리 셀 어레이가 적층된 구성을 가진다. 구동 회로층(715)과 기억층(716)은 모놀리식으로 적층된 구성으로 할 수 있다. 모놀리식으로 적층된 구성에서는 TSV(Through Silicon Via) 등의 관통 전극 기술 및 Cu-Cu 직접 접합 등의 접합 기술을 사용하지 않고 층들을 접속시킬 수 있다. 구동 회로층(715)과 기억층(716)을 모놀리식으로 적층함으로써, 예를 들어 프로세서 위에 메모리가 직접 형성되는, 소위 온 칩 메모리의 구성으로 할 수 있다. 온 칩 메모리의 구성으로 함으로써 프로세서와 메모리의 인터페이스 부분의 동작을 고속으로 할 수 있다.
- [0843] 또한 온 칩 메모리의 구성으로 함으로써, TSV 등의 관통 전극을 사용하는 기술을 사용하는 경우보다 접속 배선 등의 크기를 작게 할 수 있기 때문에, 접속 핀의 개수를 늘릴 수도 있다. 접속 핀의 개수를 늘림으로써 병렬 동작이 가능해지기 때문에, 메모리의 랜드 폭(메모리 랜드 폭이라고도 함)을 향상시킬 수 있다.
- [0844] 또한 기억층(716)이 가지는 복수의 메모리 셀 어레이를 OS 트랜지스터를 사용하여 형성하고 모놀리식으로 적층하는 것이 바람직하다. 복수의 메모리 셀 어레이를 모놀리식으로 적층함으로써, 메모리의 랜드 폭 및 메모리의 액세스 레이턴시 중 한쪽 또는 양쪽을 향상시킬 수 있다. 또한 랜드 폭이란 단위 시간당 데이터 전송량을 가리키고, 액세스 레이턴시란 액세스 후에서 데이터의 송수신 시작까지의 시간을 가리킨다. 또한 기억층(716)에 Si 트랜지스터를 사용하는 경우, 기억층(716)에 OS 트랜지스터를 사용하는 경우에 비하여 모놀리식으로 적층하는 것은 어렵다. 그러므로 모놀리식으로 적층하는 구성에서 OS 트랜지스터는 Si 트랜지스터보다 우수한 구조라고 할 수 있다.
- [0845] 또한 반도체 장치(710)를 다이라고 불러도 좋다. 또한 본 명세서 등에서 다이란, 반도체 칩의 제조 공정에서 예를 들어 원반상 기판(웨이퍼라고도 함) 등에 회로 패턴을 형성하고, 주사위상으로 잘라서 얻은 칩 조각을 의미한다. 또한 다이에 사용할 수 있는 반도체 재료로서는 예를 들어 실리콘(Si), 탄소화 실리콘(SiC), 또는 질화 갈륨(GaN) 등이 있다. 예를 들어 실리콘 기판(실리콘 웨이퍼라고도 함)에서 얻은 다이를 실리콘 다이라고 하는 경우가 있다.
- [0846] 다음으로 전자 부품(730)의 사시도를 도 37의 (B)에 나타내었다. 전자 부품(730)은 SiP(System in Package) 또는 MCM(Multi Chip Module)의 일례이다. 전자 부품(730)에서는 패키지 기판(732)(인쇄 기판) 위에 인터포저(731)가 제공되고, 인터포저(731) 위에 반도체 장치(735) 및 복수의 반도체 장치(710)가 제공되어 있다.
- [0847] 반도체 장치(710)를 광대역 메모리(HBM: High Bandwidth Memory)로서 사용하는 전자 부품(730)을 예로서 나타내었다. 또한 반도체 장치(735)는 CPU(Central Processing Unit), GPU(Graphics Processing Unit), 또는 FPGA(Field Programmable Gate Array) 등의 접적 회로에 사용할 수 있다.
- [0848] 패키지 기판(732)으로서는 예를 들어 세라믹 기판, 플라스틱 기판, 또는 유리 애피시 기판을 사용할 수 있다. 인터포저(731)로서는 예를 들어 실리콘 인터포저 또는 수지 인터포저를 사용할 수 있다.
- [0849] 인터포저(731)는 복수의 배선을 가지고, 단자 피치가 상이한 복수의 접적 회로를 전기적으로 접속하는 기능을 가진다. 복수의 배선은 단층 또는 다층으로 제공된다. 또한 인터포저(731)는 인터포저(731) 위에 제공된 접적 회로를 패키지 기판(732)에 제공된 전극과 전기적으로 접속하는 기능을 가진다. 그러므로 인터포저를 "재배선 기판" 또는 "중간 기판"이라고 부르는 경우가 있다. 또한 인터포저(731)에 관통 전극을 제공하고, 상기 관통

전극을 사용하여 접적 회로와 패키지 기판(732)을 전기적으로 접속하는 경우도 있다. 또한 실리콘 인터포저에서는 관통 전극으로서 TSV를 사용할 수도 있다.

[0850] HBM에서는 넓은 메모리 밴드 폭을 실현하기 위하여 많은 배선을 접속할 필요가 있다. 그러므로 HBM을 실장하는 인터포저에는 미세하고 밀도가 높은 배선의 형성이 요구된다. 따라서 HBM을 실장하는 인터포저로서는 실리콘 인터포저를 사용하는 것이 바람직하다.

[0851] 또한 실리콘 인터포저를 사용한 SiP 및 MCM 등에서는, 접적 회로와 인터포저 사이의 팽창 계수의 차이로 인한 신뢰성 저하가 발생하기 어렵다. 또한 실리콘 인터포저는 표면의 평탄성이 높으므로 실리콘 인터포저 위에 제공되는 접적 회로와 실리콘 인터포저 사이의 접속 불량이 발생하기 어렵다. 특히 인터포저 위에 복수의 접적 회로를 나란히 배치하는 2.5D 패키지(2.5차원 실장)에서는 실리콘 인터포저를 사용하는 것이 바람직하다.

[0852] 한편, 실리콘 인터포저 및 TSV 등을 사용하여 단자 피치가 상이한 복수의 접적 회로를 전기적으로 접속하는 경우, 상기 단자 피치의 폭 등의 스페이스가 필요하다. 그러므로 전자 부품(730)의 크기를 작게 하고자 한 경우, 상기 단자 피치의 폭이 문제가 되어, 넓은 메모리 밴드 폭의 실현에 필요한 많은 배선의 제공이 어려워지는 경우가 있다. 그래서 상술한 바와 같이, OS 트랜지스터를 사용하여 모놀리식으로 적층하는 구성이 적합하다. TSV를 사용하여 적층된 메모리 셀 어레이와 모놀리식으로 적층된 메모리 셀 어레이를 조합한 복합화 구조로 하여도 좋다.

[0853] 또한 전자 부품(730)과 중첩시켜 히트 싱크(방열판)를 제공하여도 좋다. 히트 싱크를 제공하는 경우에는 인터포저(731) 위에 제공하는 접적 회로의 높이를 일치시키는 것이 바람직하다. 예를 들어 본 실시형태에서 설명하는 전자 부품(730)에서는 반도체 장치(710)와 반도체 장치(735)의 높이를 일치시키는 것이 바람직하다.

[0854] 전자 부품(730)을 다른 기판에 실장하기 위하여 패키지 기판(732)의 바닥부에 전극(733)을 제공하여도 좋다. 도 37의 (B)에서는 전극(733)을 땜납 볼로 형성하는 예를 나타내었다. 패키지 기판(732)의 바닥부에 땜납 볼을 매트릭스상으로 제공함으로써 BGA(Ball Grid Array) 실장을 실현할 수 있다. 또한 전극(733)을 도전성 펈으로 형성하여도 좋다. 패키지 기판(732)의 바닥부에 도전성 펈을 매트릭스상으로 제공함으로써 PGA(Pin Grid Array) 실장을 실현할 수 있다.

[0855] 전자 부품(730)은 BGA 및 PGA에 한정되지 않고 다양한 실장 방법을 사용하여 다른 기판에 실장할 수 있다. 실장 방법으로서는 예를 들어 SPGA(Staggered Pin Grid Array), LGA(Land Grid Array), QFP(Quad Flat Package), QFJ(Quad Flat J-leaded package), 및 QFN(Quad Flat Non-leaded package)이 있다.

#### [전자 기기]

[0857] 다음으로 전자 기기(6500)의 사시도를 도 38의 (A)에 나타내었다. 도 38의 (A)에 나타낸 전자 기기(6500)는 스마트폰으로서 사용할 수 있는 휴대 정보 단말기이다. 전자 기기(6500)는 하우징(6501), 표시부(6502), 전원 버튼(6503), 버튼(6504), 스피커(6505), 마이크로폰(6506), 카메라(6507), 광원(6508), 및 제어 장치(6509) 등을 가진다. 또한 제어 장치(6509)로서는 예를 들어 CPU, GPU, 및 기억 장치 중에서 선택되는 어느 하나 또는 복수를 가진다. 본 발명의 일 형태의 반도체 장치는 표시부(6502), 제어 장치(6509) 등에 적용할 수 있다.

[0858] 도 38의 (B)에 나타낸 전자 기기(6600)는 노트북형 퍼스널 컴퓨터로서 사용할 수 있는 정보 단말기이다. 전자 기기(6600)는 하우징(6611), 키보드(6612), 포인팅 디바이스(6613), 외부 접속 포트(6614), 표시부(6615), 제어 장치(6616) 등을 가진다. 또한 제어 장치(6616)로서는 예를 들어 CPU, GPU, 및 기억 장치 중에서 선택되는 어느 하나 또는 복수를 가진다. 본 발명의 일 형태의 반도체 장치는 표시부(6615), 제어 장치(6616) 등에 적용할 수 있다. 또한 본 발명의 일 형태의 반도체 장치를 상술한 제어 장치(6509) 및 제어 장치(6616)에 사용함으로써 소비 전력을 절감시킬 수 있어 적합하다.

#### [대형 컴퓨터]

[0860] 다음으로 대형 컴퓨터(5600)의 사시도를 도 38의 (C)에 나타내었다. 도 38의 (C)에 나타낸 대형 컴퓨터(5600)에서는 랙(5610)에 복수의 랙 마운트형 컴퓨터(5620)가 수납되어 있다. 또한 대형 컴퓨터(5600)를 슈퍼컴퓨터라고 불러도 좋다.

[0861] 컴퓨터(5620)는 예를 들어 도 38의 (D)에 나타낸 사시도의 구성을 가질 수 있다. 도 38의 (D)에서 컴퓨터(5620)는 머더보드(5630)를 가지고, 머더보드(5630)는 복수의 슬롯(5631), 복수의 접속 단자를 가진다. 슬롯(5631)에는 PC 카드(5621)가 삽입되어 있다. 또한 PC 카드(5621)는 접속 단자(5623), 접속 단자(5624), 접속

단자(5625)를 가지고, 각각 머더보드(5630)에 접속되어 있다.

[0862] 도 38의 (E)에 나타낸 PC 카드(5621)는 CPU, GPU, 기억 장치 등이 제공된 처리 보드의 일례이다. PC 카드(5621)는 보드(5622)를 가진다. 또한 보드(5622)는 접속 단자(5623)와, 접속 단자(5624)와, 접속 단자(5625)와, 반도체 장치(5626)와, 반도체 장치(5627)와, 반도체 장치(5628)와, 접속 단자(5629)를 가진다. 또한 도 38의 (E)에는 반도체 장치(5626), 반도체 장치(5627), 및 반도체 장치(5628) 외의 반도체 장치를 나타내었지만, 이를 반도체 장치에 대해서는 이하의 반도체 장치(5626), 반도체 장치(5627), 및 반도체 장치(5628)에 대한 설명을 참조할 수 있다.

[0863] 접속 단자(5629)는 머더보드(5630)의 슬롯(5631)에 삽입될 수 있는 형상을 가지고, 접속 단자(5629)는 PC 카드(5621)와 머더보드(5630)를 접속하기 위한 인터페이스로서 기능한다. 접속 단자(5629)의 규격으로서는 예를 들어 PCIe 등이 있다.

[0864] 접속 단자(5623), 접속 단자(5624), 접속 단자(5625)는 예를 들어 PC 카드(5621)에 대하여 전력 공급, 신호 입력 등을 수행하기 위한 인터페이스로 할 수 있다. 또한 예를 들어 PC 카드(5621)에 의하여 계산된 신호의 출력 등을 수행하기 위한 인터페이스로 할 수 있다. 접속 단자(5623), 접속 단자(5624), 접속 단자(5625) 각각의 규격으로서는 예를 들어 USB(Universal Serial Bus), SATA(Serial ATA), SCSI(Small Computer System Interface) 등이 있다. 또한 접속 단자(5623), 접속 단자(5624), 접속 단자(5625)로부터 영상 신호를 출력하는 경우, 각각의 규격으로서는 HDMI(등록 상표) 등을 들 수 있다.

[0865] 반도체 장치(5626)는 신호의 입출력을 수행하는 단자(도시하지 않았음)를 가지고, 상기 단자를 보드(5622)의 소켓(도시하지 않았음)에 삽입함으로써 반도체 장치(5626)와 보드(5622)를 전기적으로 접속할 수 있다.

[0866] 반도체 장치(5627)는 복수의 단자를 가지고, 상기 단자를 보드(5622)의 배선에 대하여 예를 들어 리플로 방식으로 납땜함으로써 반도체 장치(5627)와 보드(5622)를 전기적으로 접속할 수 있다. 반도체 장치(5627)로서는 예를 들어 FPGA, GPU, CPU 등이 있다. 반도체 장치(5627)로서는 예를 들어 전자 부품(730)을 사용할 수 있다.

[0867] 반도체 장치(5628)는 복수의 단자를 가지고, 상기 단자를 보드(5622)의 배선에 대하여 예를 들어 리플로 방식으로 납땜함으로써 반도체 장치(5628)와 보드(5622)를 전기적으로 접속할 수 있다. 반도체 장치(5628)로서는 예를 들어 기억 장치 등이 있다. 반도체 장치(5628)로서는 예를 들어 전자 부품(700)을 사용할 수 있다.

[0868] 대형 컴퓨터(5600)는 병렬 컴퓨터로서 기능할 수도 있다. 대형 컴퓨터(5600)를 병렬 컴퓨터로서 사용함으로써, 예를 들어 인공 지능의 학습 및 추론에 필요한 대규모 계산을 수행할 수 있다.

[0869] [우주용 기기]

[0870] 본 발명의 일 형태의 반도체 장치는 우주용 기기에 적합하게 사용할 수 있다.

[0871] 본 발명의 일 형태의 반도체 장치는 OS 트랜지스터를 포함한다. OS 트랜지스터는 방사선 조사로 인한 전기 특성의 변동이 작다. 즉 방사선에 대한 내성이 높기 때문에, 방사선이 입사할 수 있는 환경에서 적합하게 사용할 수 있다. 예를 들어 OS 트랜지스터는 우주 공간에서 사용되는 경우에 적합하다. 구체적으로는 OS 트랜지스터는 우주 왕복선, 인공위성, 또는 우주 탐사기에 제공되는 반도체 장치를 구성하는 트랜지스터로서 사용할 수 있다. 방사선으로서 예를 들어 X선 및 중성자선이 있다. 또한 우주 공간이란, 예를 들어 고도 100km 이상을 가리키지만, 본 명세서에 기재된 우주 공간은 열권, 중간권, 및 성층권 중 하나 또는 복수를 포함하여도 좋다.

[0872] 도 39에는 우주용 기기의 일례로서 인공위성(6800)을 나타내었다. 인공위성(6800)은 기체(6801)와, 태양 전지판(6802)과, 안테나(6803)와, 이차 전지(6805)와, 제어 장치(6807)를 가진다. 또한 도 39에서는 우주 공간에 행성(6804)을 예시하였다.

[0873] 또한 도 39에는 나타내지 않았지만, 이차 전지(6805)에 배터리 매니지먼트 시스템(BMS라고도 함) 또는 배터리 제어 회로를 제공하여도 좋다. 상술한 배터리 매니지먼트 시스템 또는 배터리 제어 회로에 OS 트랜지스터를 사용하면, 소비 전력이 낮고 우주 공간에서도 신뢰성이 높기 때문에 적합하다.

[0874] 또한 우주 공간은 지상에 비하여 방사선량이 100배 이상 많은 환경이다. 또한 방사선으로서, 예를 들어 X선 및 감마선으로 대표되는 전자기파(전자기 방사선), 그리고 알파선, 베타선, 중성자선, 양자선, 중이온선, 중간자선 등으로 대표되는 입자 방사선이 있다.

[0875] 태양 전지판(6802)에 태양광이 조사됨으로써 인공위성(6800)이 동작하기 위하여 필요한 전력이 생성된다. 그러나 예를 들어 태양 전지판에 태양광이 조사되지 않는 상황 또는 태양 전지판에 조사되는 태양광의 광량이 적은

상황에서는 생성되는 전력의 양이 적다. 따라서 인공위성(6800)이 동작하기 위하여 필요한 전력이 생성되지 않을 가능성이 있다. 생성되는 전력의 양이 적은 상황에서도 인공위성(6800)을 동작시키기 위하여 인공위성(6800)에 이차 전지(6805)를 제공하는 것이 좋다. 또한 태양 전지판은 태양 전지 모듈이라고 불리는 경우가 있다.

[0876] 인공위성(6800)은 신호를 생성할 수 있다. 상기 신호는 안테나(6803)를 통하여 송신되고, 예를 들어 지상에 설치된 수신기 또는 다른 인공위성이 상기 신호를 수신할 수 있다. 인공위성(6800)이 송신한 신호를 수신함으로써, 상기 신호를 수신한 수신기의 위치를 측정할 수 있다. 이상에 의하여 인공위성(6800)은 위성 측위 시스템을 구성할 수 있다.

[0877] 또한 제어 장치(6807)는 인공위성(6800)을 제어하는 기능을 가진다. 제어 장치(6807)는 예를 들어 CPU, GPU, 및 기억 장치 중에서 선택되는 어느 하나 또는 복수를 사용하여 구성된다. 또한 제어 장치(6807)에는 본 발명의 일 형태인 OS 트랜지스터를 포함하는 반도체 장치를 사용하는 것이 적합하다. OS 트랜지스터는 Si 트랜지스터에 비하여 방사선 조사로 인한 전기 특성의 변동이 작다. 즉 방사선이 입사할 수 있는 환경에서도 신뢰성이 높아 적합하게 사용할 수 있다.

[0878] 또한 인공위성(6800)은 센서를 가지는 구성으로 할 수 있다. 예를 들어 가시광 센서를 가지는 구성으로 함으로써, 인공위성(6800)은 지상에 설치된 물체에서 반사된 태양광을 검출하는 기능을 가질 수 있다. 또는 열 적외 센서를 가지는 구성으로 함으로써, 인공위성(6800)은 지표로부터 방출되는 열 적외선을 검출하는 기능을 가질 수 있다. 이상에 의하여 인공위성(6800)은 예를 들어 지구 관측 위성으로서의 기능을 가질 수 있다.

[0879] 또한 본 실시형태에서는 우주용 기기의 일례로서 인공위성에 대하여 예시하였지만, 이에 한정되지 않는다. 예를 들어 본 발명의 일 형태의 반도체 장치는 우주선, 우주 캡슐, 우주 탐사선 등의 우주용 기기에 적합하게 사용할 수 있다.

[0880] 상술한 바와 같이, OS 트랜지스터는 Si 트랜지스터에 비하여 넓은 메모리 밴드 폭을 실현할 수 있다는 것, 방사선 내성이 높다는 것 등 우수한 효과를 가진다.

#### [데이터 센터]

[0882] 본 발명의 일 형태의 반도체 장치는 예를 들어 데이터 센터 등에 적용되는 스토리지 시스템에 적합하게 사용할 수 있다. 데이터 센터는 데이터의 불변성을 보장하는 등 데이터를 장기적으로 관리하는 것이 요구된다. 데이터를 장기적으로 관리하는 경우, 방대한 데이터를 기억하기 위한 스토리지 및 서버의 설치, 데이터를 유지하기 위한 안정적인 전원의 확보, 또는 데이터의 유지에 필요한 냉각 설비의 확보 등을 위하여 보다 큰 건물이 필요하다.

[0883] 데이터 센터에 적용되는 스토리지 시스템에 본 발명의 일 형태의 반도체 장치를 사용함으로써, 데이터의 유지에 필요한 전력을 저감하고, 데이터를 유지하는 반도체 장치를 소형화할 수 있다. 그러므로 스토리지 시스템의 소형화, 데이터를 유지하기 위한 전원의 소형화, 냉각 설비의 소규모화 등을 실현할 수 있다. 그러므로 데이터 센터의 공간 절약화를 실현할 수 있다.

[0884] 또한 본 발명의 일 형태의 반도체 장치는 소비 전력이 낮기 때문에 회로로부터의 발열을 저감할 수 있다. 따라서 상기 발열로 인한 그 회로 자체, 주변 회로, 및 모듈에 대한 악영향을 줄일 수 있다. 또한 본 발명의 일 형태의 반도체 장치를 사용함으로써, 고온 환경하에서도 동작이 안정된 데이터 센터를 실현할 수 있다. 따라서 데이터 센터의 신뢰성을 높일 수 있다.

[0885] 데이터 센터에 적용할 수 있는 스토리지 시스템을 도 40에 나타내었다. 도 40에 나타낸 스토리지 시스템(7000)은 호스트(7001)(Host Computer라고 도시함)로서 복수의 서버(7001sb)를 가진다. 또한 스토리지(7003)(Storage라고 도시함)로서 복수의 기억 장치(7003md)를 가진다. 도면에서 호스트(7001)와 스토리지(7003)는 스토리지 에어리어 네트워크(7004)(SAN: Storage Area Network라고 도시함) 및 스토리지 제어 회로(7002)(Storage Controller라고 도시함)를 통하여 접속되어 있다.

[0886] 호스트(7001)는 스토리지(7003)에 기억된 데이터에 액세스하는 컴퓨터에 상당한다. 호스트(7001)들은 네트워크를 통하여 서로 접속되어도 좋다.

[0887] 플래시 메모리를 사용함으로써 스토리지(7003)의 데이터의 액세스 속도, 즉 데이터의 기억 및 출력에 필요한 시간이 단축되지만, 이 시간은 스토리지 내의 캐시 메모리로서 사용될 수 있는 DRAM에서 걸리는 시간에 비하여 상당히 길다. 스토리지 시스템에서는 스토리지(7003)의 액세스 속도가 느리다는 문제를 해결하기 위하여, 일반적

으로는 스토리지 내에 캐시 메모리를 제공하여 데이터의 기억 및 출력에 필요한 시간을 단축한다.

[0888] 상술한 캐시 메모리는 스토리지 제어 회로(7002) 및 스토리지(7003) 내에 사용된다. 호스트(7001)와 스토리지(7003) 사이에서 송수신되는 데이터는 스토리지 제어 회로(7002) 및 스토리지(7003) 내의 상기 캐시 메모리에 기억된 후, 호스트(7001) 또는 스토리지(7003)에 출력된다.

[0889] 상술한 캐시 메모리의 데이터를 기억하기 위한 트랜지스터로서 OS 트랜지스터를 사용하여 데이터에 따른 전위를 유지하는 구성으로 함으로써, 리프레시 빈도를 줄여 소비 전력을 저감할 수 있다. 또한 메모리 셀 어레이를 적층하는 구성으로 함으로써 소형화가 가능하다.

[0890] 또한 본 발명의 일 형태의 반도체 장치를 전자 부품, 전자 기기, 대형 컴퓨터, 우주용 기기, 및 데이터 센터 등에서 선택되는 어느 하나 또는 복수에 적용함으로써, 소비 전력을 저감하는 효과가 기대된다. 그러므로 반도체 장치의 고성능화 또는 고집적화에 따른 에너지 수요의 증가가 예상되는 가운데, 본 발명의 일 형태의 반도체 장치를 사용함으로써 이산화 탄소( $\text{CO}_2$ )로 대표되는 온실 효과 가스의 배출량을 저감할 수도 있다. 또한 본 발명의 일 형태의 반도체 장치는 소비 전력이 낮기 때문에 지구 온난화에 대한 대책으로서도 유효하다.

[0891] 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.

[0892] (실시예 1)

[0893] 본 실시예에서는 본 발명의 일 형태의 산화물 반도체막 및 본 발명의 일 형태의 반도체 장치를 제작하고, 평가를 수행한 결과에 대하여 설명한다.

[0894] [XPS]

[0895] 우선, 본 발명의 일 형태의 산화물 반도체막을 형성하고 XPS 분석을 수행하였다.

[0896] 시료는 실리콘 기판에 대하여 염화 수소(HCl) 분위기에서 열처리를 수행함으로써 하지막으로서 막 두께 약 100nm의 산화 실리콘(SiO<sub>x</sub>)막을 형성하고, 그 후 산화물 반도체막으로서 ALD법을 사용하여 막 두께 약 20nm의 IGZO막을 형성함으로써 제작하였다.

[0897] 또한 SiO<sub>x</sub>막과 IGZO막은 기판의 양면에 형성하였다. 본 실시예에서는 도 10의 (A) 및 (B)에 나타낸 바와 같이 기판의 양면(기판(4430)의 앞면(4430a)과 뒷면(4430b)에 상당함)에 IGZO막(막(4431a)과 막(4431b)에 상당함)이 형성되는 성막 장치를 사용하였다.

[0898] IGZO막의 구체적인 형성 방법에는 이하에서 설명하는 <IGZO막의 형성 조건>을 적용하였다.

[0899] <IGZO막의 형성 조건>

[0900] IGZO막의 형성에 사용한 전구체는 트라이에틸인듐(TEI), 트라이에틸갈륨(TEG), 및 다이에틸아연(DEZ)이다. 또한 산화제로서 오존(O<sub>3</sub>)과 산소(O<sub>2</sub>)를 사용하였다. O<sub>3</sub> 가스와 O<sub>2</sub> 가스를 합한 가스 유량은 1000sccm이고, 오존 농도는 19wt%로 하였다. 캐리어 가스로서는 N<sub>2</sub> 가스를 사용하고, 가스 유량은 150sccm로 하였다.

[0901] IGZO막은 In:Ga:Zn=1:1:1[원자수비]의 조성이 되도록 형성하였다(이하, IGZO(111)막이라고 기재하는 경우가 있음). 구체적인 1사이클의 성막 방법으로서는, 체임버에 TEI를 가지는 가스를 0.1초 동안 도입하고, 3초 동안 퍼지한 후, O<sub>3</sub> 가스와 O<sub>2</sub> 가스를 45초 동안 도입하고, 3초 동안 퍼지하였다. 다음으로 체임버에 TEG를 가지는 가스를 0.1초 동안 도입하고, 10초 동안 퍼지한 후, O<sub>3</sub> 가스와 O<sub>2</sub> 가스를 45초 동안 도입하고, 3초 동안 퍼지하였다. 이어서 체임버에 DEZ를 가지는 가스를 0.1초 동안 도입하고, 3초 동안 퍼지한 후, O<sub>3</sub> 가스와 O<sub>2</sub> 가스를 9초 동안 도입하고, 3초 동안 퍼지하였다. 또한 성막 시의 기판 온도는 200°C로 하였다.

[0902] 제작한 시료의 IGZO막의 표면 근방에 대하여 XPS 분석을 수행하였다. XPS 분석은 시료의 앞쪽에 형성된 IGZO막에 대하여 수행하였다. 얻어진 Al2p의 스펙트럼을 도 41에 나타내었다. 도 41에서 가로축은 결합 에너지(Binding Energy)[eV]를 나타내고, 세로축은 광전자의 강도(Intensity)(임의 단위)를 나타낸다.

[0903] IGZO막에 대하여 XPS 분석을 수행한 결과, 알루미늄(Al)에서 유래한 피크가 검출되었다. 74.2eV 이상 74.8eV 이하의 범위에 피크 위치를 가지는 경우에는, Al이 산화 상태로 존재한다고 할 수 있다. 도 41에 나타낸 바와 같이 약 74.3eV의 위치에 피크를 가지므로, IGZO막 내의 Al은 Al<sub>2</sub>O<sub>3</sub> 등의 상태로 존재하는 것을 알 수 있었다.

[0904] 또한 본 명세서 등에서 XPS 분석을 수행하였을 때의 어떤 원소의 결합 에너지의 피크 위치란, 그 원소의 결합

에너지에 해당되는 범위 내에서 에너지 스펙트럼의 강도가 극대가 되는 결합 에너지의 값을 가리키는 것으로 한다.

- [0905] XPS의 스펙트럼에서 얻어진 Al의 정량값은 약 4.0atomic%이었다. 또한 Al의 검출 하한은 1.0atomic% 정도이다.
- [0906] [홀(Hall) 효과 측정]
- [0907] 다음으로 홀 효과 측정을 사용하여 산화물 반도체막의 캐리어 농도와 저항률을 측정하였다.
- [0908] 시료는 석영 기판 위에 ALD법을 사용하여 막 두께 약 35nm의 IGZO(111)막을 형성함으로써 제작하였다.
- [0909] 홀 효과 측정용 시료로서는 시료 A, 시료 B, 시료 C의 3종류를 제작하였다. 3종류의 시료는 산화제의 도입 시간이 각각 다르고, 그 이외는 같은 식으로 제작하였다.
- [0910] 시료 C에는 상술한 <IGZO막의 형성 조건>을 적용하였다. 즉 TEI를 가지는 가스를 도입한 후의 산화제( $O_3$  가스와  $O_2$  가스) 도입 시간을 45초간으로 하고, TEG를 가지는 가스를 도입한 후의 산화제 도입 시간을 45초간으로 하고, DEZ를 가지는 가스를 도입한 후의 산화제 도입 시간을 9초간으로 하였다. 또한 초건조 공기의 분위기하에서 450°C, 1시간의 가열 처리를 수행한 후, 감압 분위기하에서 1시간의 가열 처리를 수행하였다. 감압 분위기하에서의 가열 온도는 150°C, 200°C, 250°C, 300°C, 350°C, 400°C의 6조건으로 하였다.
- [0911] 시료 B의 경우, TEI를 가지는 가스를 도입한 후의 산화제 도입 시간을 30초간으로 하고, TEG를 가지는 가스를 도입한 후의 산화제 도입 시간을 30초간으로 하고, DEZ를 가지는 가스를 도입한 후의 산화제 도입 시간을 6초간으로 하였다. 그 이외는 시료 C와 같은 식으로 제작하였다.
- [0912] 시료 A의 경우, TEI를 가지는 가스를 도입한 후의 산화제 도입 시간을 15초간으로 하고, TEG를 가지는 가스를 도입한 후의 산화제 도입 시간을 15초간으로 하고, DEZ를 가지는 가스를 도입한 후의 산화제 도입 시간을 3초간으로 하였다. 그 이외는 시료 C와 같은 식으로 제작하였다. 또한 감압 분위기하에서의 가열 온도로서는 시료 B, 시료 C와 같은 6조건에 100°C의 조건도 추가하였다.
- [0913] 도 42의 (A)에 3개의 시료의 뒷면에 형성된 IGZO막의 저항률을 나타내었다. 도 42의 (A)에서 가로축은 감압 분위기하에서의 가열 온도[°C]를 나타내고, 세로축은 저항률[ $\Omega \cdot cm$ ]을 나타낸다.
- [0914] 도 42의 (B)에 3개의 시료의 뒷면에 형성된 IGZO막의 캐리어 농도를 나타내었다. 도 42의 (B)에서 가로축은 감압 분위기하에서의 가열 온도[°C]를 나타내고, 세로축은 캐리어 농도[/ $cm^3$ ]를 나타낸다.
- [0915] 도 42의 (A) 및 (B)에 나타낸 바와 같이 감압 분위기하에서 가열 처리를 수행함으로써 저항률이 저하되고 캐리어 농도가 증가되는 것이 확인되었다. 특히 가열 온도가 높을수록, 저항률이 더 저하되고 캐리어 농도가 더 증가되는 것을 알 수 있었다.
- [0916] 시료 A, 시료 B보다 산화제 도입 시간이 긴 시료 C는 가열 온도가 낮은 조건(예를 들어 150°C)에서 시료 A, 시료 B에 비하여 저항률이 높고 캐리어 농도가 낮은 경향을 보였지만, 가열 온도가 높은 조건(예를 들어 200°C 이상)에서는 저항률 및 캐리어 농도는 모두 시료 A, 시료 B와 동등한 결과가 되었다.
- [0917] 한편, 각 시료의 앞면에 형성된 IGZO막은 뒷면에 형성된 IGZO막에 비하여 저항률이 높고 캐리어 농도가 낮은 경향이 확인되었다. 특히 가열 온도가 높을수록(예를 들어 200°C 이상), 저항률이 높고 캐리어 농도가 낮은 경향이 확인되었다.
- [0918] [단면 STEM-EDX 측정]
- [0919] 다음으로 단면 STEM-EDX 측정을 사용하여 산화막 내의 Al의 검출량을 평가하였다.
- [0920] 시료는 실리콘 기판에 대하여 HCl 분위기에서 열처리를 수행함으로써 하지막으로서 막 두께 약 100nm의 SiOx막을 형성하고, 그 후 ALD법을 사용하여 산화막을 형성함으로써 제작하였다. 산화막으로서 InOx막, GaOx막, ZnOx막, 및 IGZO(111)막의 4종류를 제작하였다.
- [0921] IGZO막은 막 두께 약 35nm가 되도록 형성하였다. IGZO막의 형성 방법은 상술한 시료 A와 마찬가지이다. 즉 TEI를 가지는 가스를 도입한 후의 산화제( $O_3$  가스와  $O_2$  가스) 도입 시간을 15초간으로 하고, TEG를 가지는 가스를 도입한 후의 산화제 도입 시간을 15초간으로 하고, DEZ를 가지는 가스를 도입한 후의 산화제 도입 시간을 3초간으로 하였다. 또한 성막 시의 기판 온도는 200°C로 하고, 성막 후에 초건조 공기의 분위기하에서 450°C, 1

시간의 가열 처리를 수행한 후, 감압 분위기하에서 400°C, 1시간의 가열 처리를 수행하였다.

[0922] In0x막, Ga0x막, 및 Zn0x막은 각각 상기 IGZO막을 형성하기 위하여 사용한 전구체를 사용하여 막 두께 약 10nm 가 되도록 형성하였다.

[0923] In0x막에서의 구체적인 1사이클의 성막 방법으로서는, 체임버에 TEI를 가지는 가스를 0.1초 동안 도입하고, 3초 동안 퍼지한 후, O<sub>3</sub> 가스와 O<sub>2</sub> 가스를 30초 동안 도입하고, 3초 동안 퍼지하였다.

[0924] Ga0x막에서의 구체적인 1사이클의 성막 방법으로서는, 체임버에 TEG를 가지는 가스를 0.1초 동안 도입하고, 10초 동안 퍼지한 후, O<sub>3</sub> 가스와 O<sub>2</sub> 가스를 30초 동안 도입하고, 3초 동안 퍼지하였다.

[0925] Zn0x막에서의 구체적인 1사이클의 성막 방법으로서는, 체임버에 DEZ를 가지는 가스를 0.1초 동안 도입하고, 3초 동안 퍼지한 후, O<sub>3</sub> 가스와 O<sub>2</sub> 가스를 6초 동안 도입하고, 3초 동안 퍼지하였다.

[0926] In0x막, Ga0x막, 및 Zn0x막의 성막 시 기판 온도는 모두 200°C로 하고, 성막 후에 초건조 공기의 분위기하에서 450°C, 1시간의 가열 처리를 수행하였다.

[0927] 단면 STEM(Scanning Transmission Electron Microscopy) 관찰에는 Hitachi High-Tech Corporation 제조의 HD-2300을 사용하고, 가속 전압을 200kV, 배율 정밀도를 ±10%, 빔 직경을 0.5nmΦ로 하였다.

[0928] EDX 분석의 결과를 표 1에 나타내었다.

### 표 1

막 종류	막 내의 Al 검출량(STEM-EDX)	
	앞면	뒷면
ALD-InOx	7.7atomic%	1.2atomic%
ALD-GaOx	0.2atomic% 이하	0.1atomic% 이하
ALD-ZnOx	0.1atomic% 이하	0.3atomic% 이하
ALD-IGZO(111)	2.38atomic%	0.62atomic%

[0929] [0930] In0x막에서 EDX 분석에 의하여 검출된 Al의 비율은 시료의 앞면에서는 7.7atomic%이고, 뒷면에서는 1.2atomic% 이었다.

[0931] Ga0x막에서 EDX 분석에 의하여 검출된 Al의 비율은 앞면 및 뒷면의 양쪽에서 검출 하한 이하이고, 시료의 앞면에서는 0.2atomic% 이하이고, 뒷면에서는 0.1atomic% 이하이었다.

[0932] Zn0x막에서 EDX 분석에 의하여 검출된 Al의 비율은 앞면 및 뒷면의 양쪽에서 검출 하한 이하이고, 시료의 앞면에서는 0.1atomic% 이하이고, 뒷면에서는 0.3atomic% 이하이었다.

[0933] 상술한 바와 같이 In0x에서는 Ga0x, Zn0x에 비하여 Al이 명확히 검출되었다. 따라서 ALD법을 사용한 IGZO막의 성막에서 In0x 성막 사이클이 주된 Al의 혼입 원인인 것을 알 수 있었다. In0x의 성막에 사용하는 전구체(TEI) 합성의 출발 원료에 Al이 사용된다. 그러므로 전구체 내에 잔류한 Al이 성막 시에 혼입되었을 가능성이 시사되었다. 또한 시료의 앞면에 비하여, 뒷면에서는 Al의 함유량이 적은 것을 알 수 있었다.

[0934] IGZO막에서 EDX 분석에 의하여 검출된 Al의 비율은 시료의 앞면에서는 2.4atomic%이고, 뒷면에서는 0.6atomic% 이었다. 이 결과로부터, In0x 단일막에 비하여, IGZO막에서 검출되는 Al의 양이 적은 것을 알 수 있었다. 또한 시료의 앞면에 비하여, 뒷면에서는 Al의 함유량이 적은 것을 알 수 있었다.

[0935] 홀 효과 측정과 EDX 분석의 결과로부터, 기판의 앞면에 형성된 IGZO막은 Al을 많이 포함하기 때문에, 감압 분위기하에서의 가열 처리의 온도가 높으면 절연체인 산화 알루미늄이 형성되기 쉽다. 따라서 저항률의 상승 및 캐리어 농도의 저하가 발생한 것으로 생각된다. 한편, 기판의 뒷면에 형성된 IGZO막은 표면에 비하여 Al의 비율이 적기 때문에, 감압 분위기하에서의 가열 처리의 온도가 높아도 Al(산화 알루미늄의 형성)의 영향을 덜 받고 IGZO 내의 산소 결손(V<sub>O</sub>)이 많아짐으로써, 캐리어 농도가 증가되어 저항이 낮아지는 것으로 생각된다.

## [0936] [SIMS 분석 1]

[0937] 다음으로 SIMS 측정을 사용하여 산화물 반도체막 내의 수소 농도, 탄소 농도, 및 질소 농도를 측정하였다.

[0938] 시료는 실리콘 기판에 대하여 HCl 분위기에서 열처리를 수행함으로써 하지막으로서 막 두께 약 100nm의 SiO<sub>x</sub>막을 형성하고, 그 후 ALD법을 사용하여 막 두께 약 20nm의 IGZO막을 형성함으로써 제작하였다.

[0939] SIMS 측정용 시료로서는 시료 D1, 시료 D2, 시료 E1, 시료 E2, 시료 F1, 시료 F2의 6종류를 제작하였다. 시료 D, 시료 E, 시료 F는 산화제 도입 시간이 각각 다르고, 그 이외는 같은 식으로 제작하였다.

[0940] 시료 D1에는 상술한 <IGZO막의 형성 조건>을 적용하였다. 즉 TEI를 가지는 가스를 도입한 후의 산화제(O<sub>3</sub> 가스와 O<sub>2</sub> 가스) 도입 시간을 45초간으로 하고, TEG를 가지는 가스를 도입한 후의 산화제 도입 시간을 45초간으로 하고, DEZ를 가지는 가스를 도입한 후의 산화제 도입 시간을 9초간으로 하였다. 시료 D2에는 초건조 공기의 분위기하에서 450°C, 1시간의 가열 처리를 더 수행하였다. 시료 D1 및 시료 D2는 IGZO를 1층 형성하는 공정 중에, 산화제를 공급하는 시간을 99초 가진다고도 할 수 있다. 이하에서는 상기 시간을 1층의 오존 공급 시간이라고도 기재한다.

[0941] 시료 E1의 경우, DEZ를 가지는 가스를 도입한 후의 산화제 도입 시간을 45초간으로 하였다. 그 이외는 시료 D1과 같은 식으로 제작하였다. 시료 E2에는 초건조 공기의 분위기하에서 450°C, 1시간의 가열 처리를 더 수행하였다. 시료 E1 및 시료 E2에서의 1층의 오존 공급 시간은 135초이다.

[0942] 시료 F1의 경우, TEI를 가지는 가스를 도입한 후의 산화제 도입 시간을 60초간으로 하고, TEG를 가지는 가스를 도입한 후의 산화제 도입 시간을 60초간으로 하고, DEZ를 가지는 가스를 도입한 후의 산화제 도입 시간을 60초간으로 하였다. 시료 F2에는 초건조 공기의 분위기하에서 450°C, 1시간의 가열 처리를 더 수행하였다. 시료 F1 및 시료 F2에서의 1층의 오존 공급 시간은 180초이다.

[0943] 각 시료의 뒷면에 형성된 IGZO막의 수소 농도(H 농도), 탄소 농도(C 농도), 및 질소 농도(N 농도)의 SIMS 분석 결과를 도 43 내지 도 45에 나타내었다. 가로축은 시료 표면으로부터의 깊이를 나타내고, 왼쪽 단부의 깊이 0nm의 위치가 시료 표면(IGZO막의 표면)에 상당한다.

[0944] 도 43에 나타낸 바와 같이, H 농도는 오존 공급 시간에 상관없이 시료 D1, 시료 E1, 시료 F1에서는 약  $5 \times 10^{20}$  atoms/cm<sup>3</sup> 이었다. 또한 450°C에서의 가열 처리를 수행한 시료 D2, 시료 E2, 시료 F2에서는 약  $5.5 \times 10^{18}$  atoms/cm<sup>3</sup>로 저감할 수 있었다.

[0945] 도 44에 나타낸 바와 같이, C 농도는 오존 공급 시간을 길게 함으로써 저감할 수 있는 것이 확인되었다. 오존 공급 시간이 180초(sec)인 시료 F1, 시료 F2에서는 약  $5 \times 10^{18}$  atoms/cm<sup>3</sup>로 저감할 수 있었다. 오존 공급 시간을 길게 함으로써, 전구체가 가지는 에틸기에서 유래한 탄소를 제거할 수 있었다고 생각된다.

[0946] 도 45에 나타낸 바와 같이, N 농도는 오존 공급 시간 및 가열 처리의 유무에 상관없이 겸출 하한 이하( $3.7 \times 10^{17}$  atoms/cm<sup>3</sup> 이하)로 낮았다.

[0947] 이상의 결과로부터, 450°C의 가열 처리에 의하여 IGZO막 내의 수소 농도를 저감할 수 있는 것을 알 수 있었다. 또한 오존 공급 시간을 길게 함으로써, IGZO막 내의 탄소 농도를 저감할 수 있는 것을 알 수 있었다.

## [0948] [SIMS 분석 2]

[0949] 다음으로 SIMS 측정을 사용하여 산화물 반도체막 내의 알루미늄 농도를 측정하였다.

[0950] 시료는 실리콘 기판에 열 산화법에 의하여 하지막으로서 막 두께 약 100nm의 산화 실리콘(SiO<sub>x</sub>)막을 형성하고, 그 후 ALD법을 사용하여 막 두께 약 20nm의 산화막을 형성함으로써 제작하였다. 산화막으로서 InO<sub>x</sub>막, GaO<sub>x</sub>막, ZnO<sub>x</sub>막, 및 IGZO(111)막의 4종류를 제작하였다.

[0951] 또한 SiO<sub>x</sub>막과 IGZO막은 기판의 양면에 형성하였다. 본 실시예에서는 도 10의 (A) 및 (B)에 나타낸 바와 같이 기판의 양면(앞면(4430a)과 뒷면(4430b))에 산화막이 형성되는 ALD 장치를 사용하였다.

[0952] IGZO막의 형성에는 상술한 <IGZO막의 형성 조건>을 적용하였다. 즉 TEI를 가지는 가스를 도입한 후의 산화제(O<sub>3</sub> 가스와 O<sub>2</sub> 가스) 도입 시간을 45초간으로 하고, TEG를 가지는 가스를 도입한 후의 산화제 도입 시간을 45초간으로 하고, DEZ를 가지는 가스를 도입한 후의 산화제 도입 시간을 9초간으로 하였다. 또한 성막 시의 기판

온도는 200°C로 하였다.

- [0953] In<sub>x</sub>O<sub>y</sub>막, Ga<sub>x</sub>O<sub>y</sub>막, 및 Zn<sub>x</sub>O<sub>y</sub>막은 각각 상기 IGZO막을 형성하기 위하여 사용한 전구체를 사용하여 형성하였다. 산화제의 도입 시간은 In<sub>x</sub>O<sub>y</sub>막 및 Ga<sub>x</sub>O<sub>y</sub>막에서는 15초간으로 하고, Zn<sub>x</sub>O<sub>y</sub>막에서는 3초간으로 하였다.
- [0954] IGZO막의 알루미늄 농도(Al 농도)의 SIMS 분석 결과를 도 46의 (A) 및 (B)에 나타내었다. 가로축은 시료 표면으로부터의 깊이를 나타내고, 왼쪽 단부의 깊이 0nm의 위치가 시료 표면(IGZO막의 표면)에 상당한다.
- [0955] 도 46의 (A) 및 (B)는 같은 시료를 각각 다른 장치로 측정한 결과를 나타낸 것이다. 도 46의 (A) 및 (B)로부터, 측정 장치에 상관없이 같은 정도로 정량할 수 있었다고 할 수 있다. 앞면에 형성된 IGZO막의 Al 농도는 도 46의 (A)에서는 약  $7.7 \times 10^{21}$  atoms/cm<sup>3</sup>이고, 도 46의 (B)에서는 약  $4.1 \times 10^{21}$  atoms/cm<sup>3</sup>이었다. 한편, 뒷면에 형성된 IGZO막의 Al 농도는 도 46의 (A)에서는 약  $4.4 \times 10^{20}$  atoms/cm<sup>3</sup>이고, 도 46의 (B)에서는 약  $6.8 \times 10^{20}$  atoms/cm<sup>3</sup>이었다. 이상과 같이, SIMS 분석의 결과로부터, 앞면에 형성된 IGZO막에 비하여, 뒷면에 형성된 IGZO막은 Al 농도가 낮은 것을 알 수 있었다.
- [0956] 도 10의 (A)에 나타낸 바와 같이 본 실시예에서 사용한 성막 장치에서, 전구체는 기판 위쪽으로부터 공급되어 기판의 앞면에 흡착된다. 또한 전구체는 뒷면에도 흡착된다. 예를 들어 전구체에 포함되는 불순물(Al)이 앞면에 우선적으로 흡착되는 것으로 생각된다. 이에 의하여, 뒷면에 형성된 IGZO막은 앞면에 형성된 IGZO막에 비하여 Al 농도가 낮게 되었을 가능성이 있다.
- [0957] 기판의 앞면에 성막된 In<sub>x</sub>O<sub>y</sub>막, Ga<sub>x</sub>O<sub>y</sub>막, 및 Zn<sub>x</sub>O<sub>y</sub>막의 알루미늄 농도(Al 농도)의 SIMS 분석 결과를 도 47에 나타내었다. 가로축은 시료 표면으로부터의 깊이를 나타내고, 왼쪽 단부의 깊이 0nm의 위치가 시료 표면(In<sub>x</sub>O<sub>y</sub>막, Ga<sub>x</sub>O<sub>y</sub>막, 또는 Zn<sub>x</sub>O<sub>y</sub>막의 표면)에 상당한다.
- [0958] 앞면에 형성된 In<sub>x</sub>O<sub>y</sub>막의 Al 농도는 약  $7 \times 10^{21}$  atoms/cm<sup>3</sup>이었다. 앞면에 형성된 Ga<sub>x</sub>O<sub>y</sub>막의 Al 농도 및 Zn<sub>x</sub>O<sub>y</sub>막의 Al 농도는 각각 겹출 하한 이하이고, 약  $9 \times 10^{15}$  atoms/cm<sup>3</sup>이었다.
- [0959] EDX 분석과 마찬가지로, SIMS 분석에서도 In<sub>x</sub>O<sub>y</sub>의 Al 농도가 Ga<sub>x</sub>O<sub>y</sub>, Zn<sub>x</sub>O에 비하여 높은 결과가 되었다.
- [0960] 또한 상기 EDX 분석 및 SIMS 분석의 결과로부터, 기판의 앞면에 형성된 IGZO막은 뒷면에 형성된 IGZO막에 비하여 Al 농도가 높은 것을 알 수 있었다. 또한 XPS 분석으로부터, Al은 IGZO막 내에서 Al<sub>2</sub>O<sub>3</sub> 등의 상태로 존재하는 것을 알 수 있었다. 홀 효과 측정에서, 기판의 앞면에 형성된 IGZO막은 뒷면에 형성된 IGZO막에 비하여 저항률이 높고 캐리어 농도가 낮은 경향이 확인되었다. 앞면에 형성된 IGZO막은 뒷면에 형성된 IGZO막에 비하여 Al을 많이 포함하고, 또한 상기 Al이 산화 상태로 존재하므로, 저항이 높아진 것으로 생각된다.
- [0961] [트랜지스터의 전기 특성]
- [0962] 다음으로 도 21의 (A) 내지 (D)에 나타낸 구조의 트랜지스터를 제작하고, 전기 특성을 평가하였다.
- [0963] 절연체(215)로서 스팍터링법을 사용하여 두께 약 60nm의 질화 실리콘과 두께 약 40nm의 산화 알루미늄을 형성하였다. 절연체(216)로서 스팍터링법을 사용하여 두께 약 130nm의 산화 실리콘을 형성하였다. 도전체(205)로서 금속 CVD법을 사용하여 질화 타이타늄과, 텅스텐과, 질화 타이타늄의 3층 적층 구조를 총두께 약 130nm가 되도록 형성하였다.
- [0964] 절연체(221)로서 PEALD법을 사용하여 두께 약 5nm의 질화 실리콘을 형성하고, 절연체(222)로서 ALD법을 사용하여 두께 약 15nm의 산화 하프늄을 형성하였다. 또한 절연체(224)로서 스팍터링법을 사용하여 두께 약 20nm의 산화 실리콘을 형성하였다.
- [0965] 산화물(220a)로서 스팍터링법을 사용하여 두께 약 10nm의 IGZO를 형성하였다. 산화물(220a)은 In:Ga:Zn=1:3:2[원자수비]의 조성이 되도록 형성하였다(IGZO(132)). 또한 산화물(220b)로서 ALD법을 사용하여 두께 약 15nm의 IGZO(111)를 형성하였다. IGZO(111)의 형성 조건에는 상술한 <IGZO막의 형성 조건>을 적용하였다. 또한 본 실시예에서 형성한 IGZO(111)는 상술한 기판의 뒷면에 성막된 IGZO에 상당한다.
- [0966] 도전체(242a1, 242b1)로서 스팍터링법을 사용하여 두께 약 5nm의 질화 탄탈럼을 형성하고, 도전체(242a2, 242b2)로서 스팍터링법을 사용하여 두께 약 15nm의 텅스텐을 형성하였다. 절연체(271a, 271b)로서 스팍터링법을 사용하여 두께 약 5nm의 질화 실리콘과 두께 약 10nm의 산화 실리콘을 적층하여 형성하였다. 절연체(275)로서 PEALD법을 사용하여 두께 약 5nm의 질화 실리콘을 형성하였다.

- [0967] 절연체(280)로서 스퍼터링법을 사용하여 두께 약 125nm의 산화 실리콘과 두께 약 120nm의 질화 실리콘을 적층하여 형성한 후, CMP 처리에 의하여 평탄화를 수행하였다.
- [0968] 절연체(255)로서 PEALD법을 사용하여 두께 약 10nm의 질화 실리콘을 형성하였다. 또한 절연체(250)로서, PEALD법을 사용하여 두께 약 1.5nm의 산화 실리콘을 형성하고, 그 후 ALD법을 사용하여 두께 약 1nm의 산화 하프늄을 형성하고, 이어서 ALD법을 사용하여 두께 약 1nm의 질화 실리콘을 형성하였다. 또한 도전체(260)로서 금속 CVD법을 사용하여 두께 약 5nm의 질화 타이타늄과 두께 약 150nm의 텅스텐을 형성하였다. 또한 도전체(260) 위에는 스퍼터링법을 사용하여 두께 약 10nm의 산화 알루미늄과, 두께 약 20nm의 질화 실리콘과, 두께 약 50nm의 산화 실리콘을 형성하였다(절연체(282, 283)에 상당함).
- [0969] 제작 공정 중에 트랜지스터에 가해지는 최고 온도는 450°C로 하였다.
- [0970] 본 실시예에서 제작한 트랜지스터는 n채널형 트랜지스터이고, 채널 길이(L)와 채널 폭(W)이 각각 20nm가 되도록 제작하였다.
- [0971] 이상에 의하여 제작한 트랜지스터의 전기 특성을 평가하였다. 여기서는 전기 특성으로서  $Id-Vg$  특성을 측정하였다.  $Id-Vg$  특성의 측정에서는 드레인 전압  $Vd$ 를 1.2V로 하고, 소스 전압  $Vs$ 를 0V로 하고, 게이트 전압  $Vg$ 를 -4V에서 +4V까지 0.1V 스텝으로 소인하였다. 또한 상기 측정은 실온 환경하에서 수행하였다.
- [0972] 도 48에 제작한 시료에 포함되는 트랜지스터의  $Id-Vg$  특성을 나타내었다. 도 48에서 세로축은 드레인 전류  $Id[A]$ 를 나타내고, 가로축은 게이트-소스 간 전압( $Vg$ )[V]를 나타낸다.
- [0973] 도 48에 나타낸 바와 같이, 본 발명의 일 형태의 산화물 반도체를 사용하여 양호한 스위칭 특성을 나타내는 트랜지스터를 제작할 수 있었다.
- [0974] [마이크로파 처리]
- [0975] 다음으로, 상술한 <IGZO막의 형성 조건>을 적용하여 제작한 막 두께 약 3nm의 IGZO막에 대하여 마이크로파 처리를 수행하고, 단면 STEM 관찰을 수행하였다. 여기서는 기판의 앞면에 성막된 IGZO막의 단면 관찰을 수행하였다.
- [0976] 마이크로파 처리는 처리 가스로서 Ar 가스 150sccm 및 O<sub>2</sub> 가스 50sccm를 사용하고, 압력을 400Pa로 하고, 전력을 4000W로 하고, 처리 온도를 250°C로 하였다. 처리 시간은 10분, 30분, 60분으로 하였다. 또한 마이크로파 처리되지 않은 시료도 제작되었다.
- [0977] 제작한 시료에 대하여, Hitachi High-Technologies Corporation 제조의 HD-2700을 사용하여 단면 STEM 이미지의 촬영을 수행하였다. 도 49의 (A) 내지 (D)에 촬영한 단면 TEM 이미지를 나타내었다.
- [0978] 도 49의 (A)는 마이크로파 처리를 수행하지 않고 제작한 IGZO막을 포함하는 시료의 단면 STEM 이미지이다.
- [0979] 도 49의 (B) 내지 (D)는 마이크로파 처리를 수행한 시료의 단면 STEM 이미지이다. 처리 시간은 도 49의 (B)에서는 10분, 도 49의 (C)에서는 30분, 도 49의 (D)에서는 60분이다.
- [0980] 도 49의 (B) 내지 (D)에 나타낸 바와 같이, 마이크로파 처리를 수행한 시료에서는 IGZO막에 층상 결정 구조가 확인되었다(이첨쇄선으로 둘러싼 영역 참조). 도 49의 (B)에서는 IGZO막의 일부에 층상 결정 구조가 확인되었다. 또한 도 49의 (B)에 비하여 처리 시간이 긴 시료의 단면 STEM 이미지인 도 49의 (C) 및 (D)에서는 IGZO막 중 하지와의 계면에서 표층부까지의 전체 면에서 층상 결정 구조가 확인되었다. 한편으로 도 47의 (A)에서는 IGZO막에 층상 결정 구조는 확인되지 않았다.
- [0981] 따라서 마이크로파 처리를 수행함으로써, 결정성이 높은 층상 결정 구조의 금속 산화물을 형성할 수 있는 것을 알 수 있었다.
- [0982] (실시예 2)
- [0983] 본 실시예에서는 본 발명의 일 형태의 산화물 반도체막을 제작하고, 평가한 결과에 대하여 설명한다.
- [0984] [SIMS 분석 3]
- [0985] 본 실시예에서는 실시예 1에서 사용한 In 전구체보다 알루미늄 함유량이 적은 In 전구체를 사용하여 IGZO막을 형성하고, SIMS 측정을 수행하였다.

- [0986] 시료는 실리콘 기판에 대하여 염화 수소(HCl) 분위기에서 열처리를 수행함으로써 하지막으로서 막 두께 약 100nm의 산화 실리콘(SiO<sub>x</sub>)막을 형성하고, 그 후 산화물 반도체막으로서 ALD법을 사용하여 막 두께 약 20nm의 IGZO막을 형성함으로써 제작하였다.
- [0987] 또한 SiO<sub>x</sub>막과 IGZO막은 기판의 양면에 형성하였다. 본 실시예에서는 도 10의 (A) 및 (B)에 나타낸 바와 같이 기판의 양면(기판(4430)의 앞면(4430a)과 뒷면(4430b)에 상당함)에 IGZO막(막(4431a)과 막(4431b)에 상당함)이 형성되는 성막 장치를 사용하였다.
- [0988] IGZO막의 형성에 사용한 전구체는 트라이에틸인듐(TEI), 트라이에틸갈륨(TEG), 및 다이에틸아연(DEZ)이다. 또한 산화제로서 오존(O<sub>3</sub>)과 산소(O<sub>2</sub>)를 사용하였다. O<sub>3</sub> 가스와 O<sub>2</sub> 가스를 합한 가스 유량은 1000sccm이고, 오존 농도는 19wt%로 하였다. 캐리어 가스로서는 N<sub>2</sub> 가스를 사용하고, 가스 유량은 150sccm로 하였다.
- [0989] IGZO막은 In:Ga:Zn=1:1:1[원자수비]의 조성이 되도록 형성하였다(이하, IGZO(111)막이라고 기재하는 경우가 있음). 구체적인 1사이클의 성막 방법으로서는, 체임버에 TEI를 가지는 가스를 0.1초 동안 도입하고, 3초 동안 퍼지한 후, O<sub>3</sub> 가스와 O<sub>2</sub> 가스를 60초 동안 도입하고, 3초 동안 퍼지하였다. 다음으로 체임버에 TEG를 가지는 가스를 0.1초 동안 도입하고, 10초 동안 퍼지한 후, O<sub>3</sub> 가스와 O<sub>2</sub> 가스를 60초 동안 도입하고, 3초 동안 퍼지하였다. 이어서 체임버에 DEZ를 가지는 가스를 0.1초 동안 도입하고, 3초 동안 퍼지한 후, O<sub>3</sub> 가스와 O<sub>2</sub> 가스를 60초 동안 도입하고, 3초 동안 퍼지하였다. 또한 성막 시의 기판 온도는 200°C로 하였다. 이상의 방법으로 제작한 시료를 시료 G1이라고 부른다. 또한 초건조 공기의 분위기하에서 450°C, 1시간의 가열 처리를 수행한 시료를 시료 G2라고 부른다.
- [0990] 시료 G1에서의 앞면에 형성된 IGZO막의 알루미늄 농도(Al 농도)와, 각 시료에서의 앞면에 형성된 IGZO막의 수소 농도(H 농도), 탄소 농도(C 농도), 및 질소 농도(N 농도)의 SIMS 분석 결과를 도 50의 (A) 내지 (D)에 나타내었다. 가로축은 시료 표면으로부터의 깊이를 나타내고, 왼쪽 단부의 깊이 0nm의 위치가 시료 표면(IGZO막의 표면)에 상당한다. 또한 백그라운드(BG, 측정 하한)를 파선으로 나타내었다.
- [0991] 도 50의 (A)에 나타낸 바와 같이, IGZO막 내의 Al 농도는 측정 하한( $5.1 \times 10^{15}$  atoms/cm<sup>3</sup>) 이하이었다. 실시예 1에서는 뒷면에 형성된 IGZO막에 비하여, 앞면에 형성된 IGZO막은 Al 농도가 높은 경향을 보였다. 상술한 바와 같이, 본 실시예에서는 실시예 1에서 사용한 In 전구체보다 알루미늄 함유량이 적은 In 전구체를 사용하였다. 그러므로 앞면에 형성된 IGZO막의 Al 농도를 충분히 저하시킬 수 있었다고 생각된다.
- [0992] 도 50의 (B)에 나타낸 바와 같이, 가열 처리를 수행한 시료 G2는 가열 처리를 수행하지 않은 시료 G1에 비하여 H 농도가 낮게 되는 것이 확인되었다.
- [0993] 도 50의 (C) 및 (D)에 나타낸 바와 같이 가열 처리의 유무에 상관없이 C 농도와 N 농도는 충분히 낮은 것이 확인되었다.
- [0994] 이상으로부터, 알루미늄 함유량이 적은 전구체를 사용하여, 알루미늄을 주성분으로서 포함하지 않는 금속 산화물을 제작함으로써, 성막한 금속 산화물 내의 알루미늄 농도의 증가를 억제할 수 있는 것을 알 수 있었다.

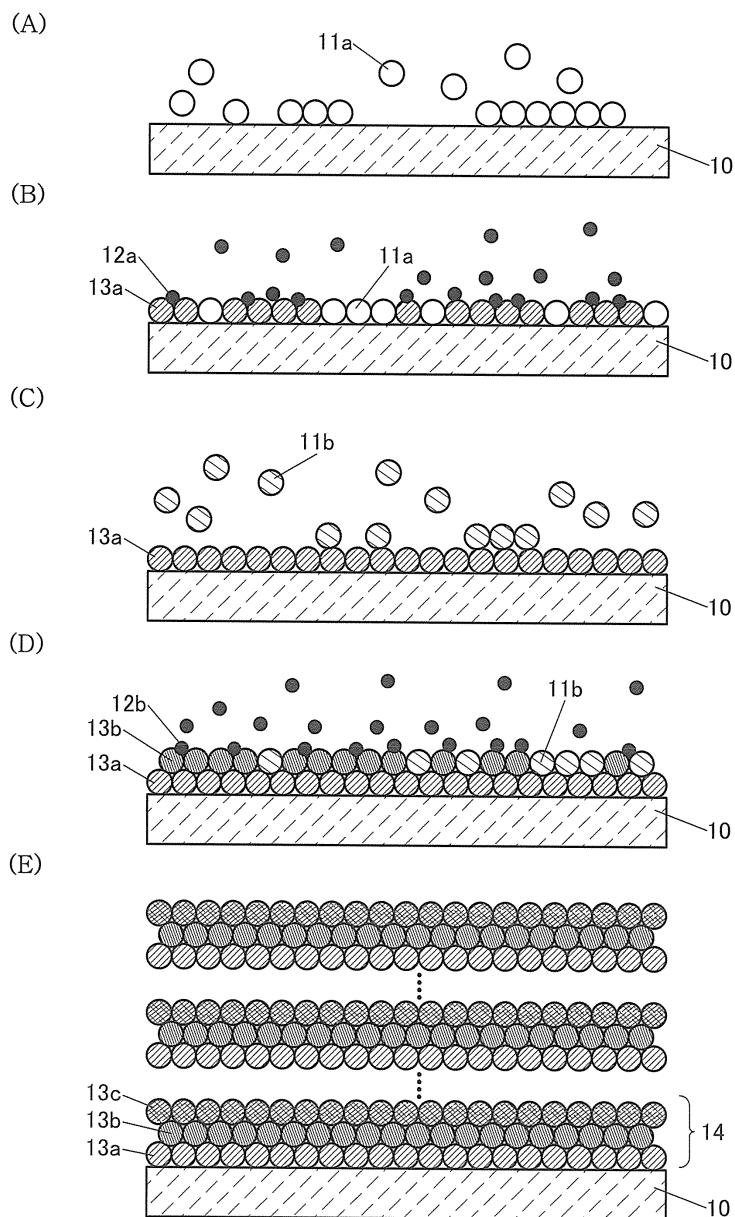
### 부호의 설명

- [0995] ADDR: 신호, BL: 배선, BLB: 배선, BW: 신호, CA: 요소, CE: 신호, CL: 배선, CLK: 신호, CSEL: 신호, EQ: 신호, EQB: 신호, GW: 신호, PL: 배선, RDA: 신호, SA\_OUT: 배선, SA\_OUTB: 배선, SAN: 배선, SAP: 배선, Tr: 트랜지스터, WAKE: 신호, WDA: 신호, WL: 배선, 10: 기판, 11a: 전구체, 11b: 전구체, 12a: 반응체, 12b: 반응체, 13a: 산화물, 13b: 산화물, 13c: 산화물, 14: 적층 구조, 20: 층, 21: 층, 22: 주변 회로, 23: 층, 30: 소자층, 31: 층, 32: 메모리 셀, 37: 트랜지스터, 38: 용량 소자, 40: 구동 회로, 41: 층, 42: 행 디코더, 43: 행 드라이버, 44: 열 디코더, 45: 열 드라이버, 46: 감지 증폭기, 47: 입력 회로, 48: 출력 회로, 50: 구조체, 53: 영역, 54: 영역, 56: 영역, 58: 영역, 60: 산화물, 62: 산화물, 64: 산화물, 70: 층, 71: 파워 스위치, 72: 파워 스위치, 73: 컨트롤 회로, 74: 전압 생성 회로, 80: 기억 장치, 82\_1: 트랜지스터, 82\_2: 트랜지스터, 82: 스위치 회로, 83\_1: 트랜지스터, 83\_3: 트랜지스터, 83: 프리차지 회로, 84\_1: 트랜지스터, 84\_3: 트랜지스터, 84: 프리차지 회로, 85\_1: 트랜지스터, 85\_2: 트랜지스터, 85\_3: 트랜지스터, 85\_4: 트랜지스터, 85: 증폭 회로, 100a: 용량 소자, 100b: 용량 소자, 100c: 용량 소자, 100d: 용량 소자, 100: 용량 소자, 110: 도전체, 115: 도전체, 120: 도전체, 125: 도전체, 130: 절연체, 140: 절연체, 150a: 메모리 셀, 150b: 메모리

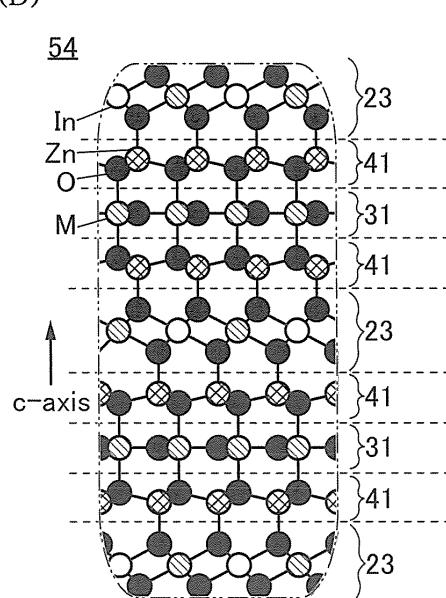
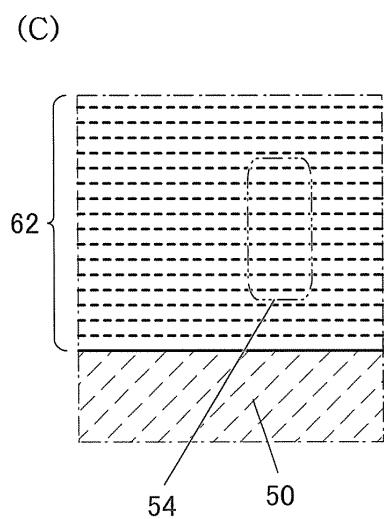
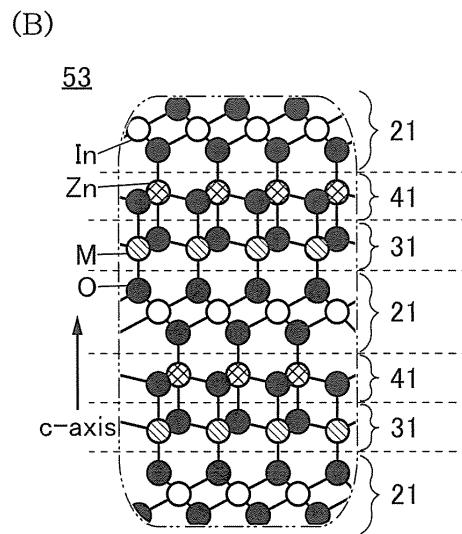
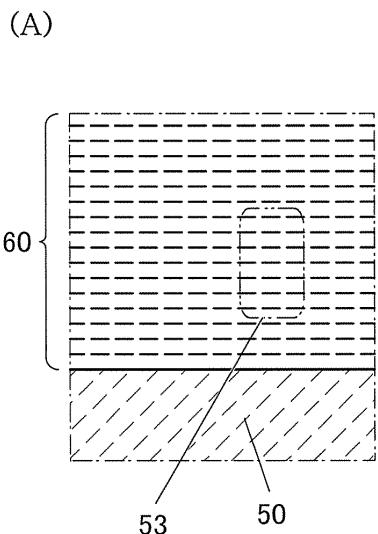
셀, 150c: 메모리 셀, 150d: 메모리 셀, 150: 메모리 셀, 160: 메모리 유닛, 170[1]: 층, 170[2]: 층, 170[m-1]: 층, 170[m]: 층, 180a: 절연체, 180b: 절연체, 180: 절연체, 190: 개구부, 200A: 트랜지스터, 200B: 트랜지스터, 200C: 트랜지스터, 200D: 트랜지스터, 200E: 트랜지스터, 200a: 트랜지스터, 200b: 트랜지스터, 200c: 트랜지스터, 200d: 트랜지스터, 200p: 트랜지스터, 200: 트랜지스터, 201a: 트랜지스터, 201b: 트랜지스터, 201: 트랜지스터, 205a: 도전체, 205b: 도전체, 205: 도전체, 215: 절연체, 216: 절연체, 220a: 산화물, 220b: 산화물, 220: 산화물, 221: 절연체, 222: 절연체, 224: 절연체, 225: 절연체, 230a: 산화물 반도체, 230b: 산화물 반도체, 230i: 영역, 230na: 영역, 230nb: 영역, 230: 산화물 반도체, 239a: 도전체, 239b: 도전체, 240: 도전체, 241a: 절연체, 241b: 절연체, 242a: 도전체, 242b: 도전체, 245: 도전체, 246: 도전체, 250a: 절연체, 250b: 절연체, 250c: 절연체, 250d: 절연체, 250: 절연체, 255: 절연체, 260a: 도전체, 260b: 도전체, 260: 도전체, 271a: 절연체, 271b: 절연체, 272: 절연체, 275: 절연체, 280a: 절연체, 280b: 절연체, 280c: 절연체, 280: 절연체, 282: 절연체, 283: 절연체, 285: 절연체, 287: 절연체, 290: 개구부, 300: 트랜지스터, 311: 기판, 313: 반도체 영역, 314a: 저저항 영역, 314b: 저저항 영역, 315: 절연체, 316: 도전체, 320: 절연체, 322: 절연체, 324: 절연체, 326: 절연체, 328: 도전체, 330: 도전체, 350: 절연체, 352: 절연체, 354: 절연체, 356: 도전체, 641: 절연체, 642: 도전체, 643: 도전체, 644: 도전체, 645: 도전체, 646: 도전체, 647: 절연체, 648: 절연체, 700: 전자 부품, 702: 인쇄 기판, 704: 실장 기판, 710: 반도체 장치, 711: 몰드, 712: 랜드, 713: 전극 패드, 714: 와이어, 715: 구동 회로층, 716: 기억층, 730: 전자 부품, 731: 인터포저, 732: 패키지 기판, 733: 전극, 735: 반도체 장치, 4000: 성막 장치, 4002: 반입 반출실, 4004: 반입 반출실, 4006: 반송실, 4008: 성막실, 4009: 성막실, 4011: 처리실, 4014: 반송 암, 4020: 체임버, 4021a: 원료 공급부, 4021b: 원료 공급부, 4021c: 원료 공급부, 4021: 원료 공급부, 4022a: 고속 벨브, 4022d: 고속 벨브, 4023: 원료 도입구, 4024: 원료 배출구, 4025: 배기 장치, 4026: 기판 홀더, 4027: 히터, 4028: 플라스마 발생 장치, 4029: 코일, 4030: 기판, 4031: 원료 공급부, 4032: 가스 공급부, 4033: 원료 도입구, 4034a: 배관 히터, 4034b: 배관 히터, 4111: 플라스마 생성실, 4120: 반응실, 4123: 원료 도입구, 4124: 원료 배출구, 4126: 기판 홀더, 4128: 플라스마 생성 장치, 4130: 기판, 4131: 플라스마, 4133: 원료 도입구, 4213: 전극, 4214: 샤큐 헤드, 4215: 전원, 4217: 콘덴서, 4220: 체임버, 4223: 원료 도입구, 4224: 원료 배출구, 4226: 기판 홀더, 4230: 기판, 4231: 플라스마, 4313: 전극, 4314: 샤큐 헤드, 4315: 전원, 4317: 콘덴서, 4319: 메시, 4320: 체임버, 4321: 전원, 4322: 콘덴서, 4323: 원료 도입구, 4324: 원료 배출구, 4326: 기판 홀더, 4330: 기판, 4331: 플라스마, 4400: ALD 장치, 4410: 외측 체임버, 4414: 원료 공급구, 4420: 체임버, 4423: 원료 도입구, 4424: 원료 배출구, 4426: 기판 홀더, 4427: 히터, 4430a: 앞면, 4430b: 뒷면, 4430: 기판, 4431a: 막, 4431b: 막, 4520: 체임버, 4521a: 원료 공급부, 4521b: 원료 공급부, 4521c: 원료 공급부, 4521: 원료 공급부, 4522a: 고속 벨브, 4522c: 고속 벨브, 4522d: 고속 벨브, 4523: 원료 도입구, 4524: 원료 배출구, 4525: 배기 장치, 4526: 기판 홀더, 4527: 히터, 4530: 기판, 4531: 원료 공급부, 4532: 가스 공급부, 4534a: 배관 히터, 4534b: 배관 히터, 5600: 대형 컴퓨터, 5610: 랙, 5620: 컴퓨터, 5621: PC 카드, 5622: 보드, 5623: 접속 단자, 5624: 접속 단자, 5625: 접속 단자, 5626: 반도체 장치, 5627: 반도체 장치, 5628: 반도체 장치, 5629: 접속 단자, 5630: 머더보드, 5631: 슬롯, 6500: 전자 기기, 6501: 하우징, 6502: 표시부, 6503: 전원 버튼, 6504: 버튼, 6505: 스피커, 6506: 마이크로폰, 6507: 카메라, 6508: 광원, 6509: 제어 장치, 6600: 전자 기기, 6611: 하우징, 6612: 키보드, 6613: 포인팅 디바이스, 6614: 외부 접속 포트, 6615: 표시부, 6616: 제어 장치, 6800: 인공위성, 6801: 기체, 6802: 태양 전지판, 6803: 안테나, 6804: 행성, 6805: 이차 전지, 6807: 제어 장치, 7000: 스토리지 시스템, 7001sb: 서버, 7001: 호스트, 7002: 스토리지 제어 회로, 7003md: 기억 장치, 7003: 스토리지

## 도면

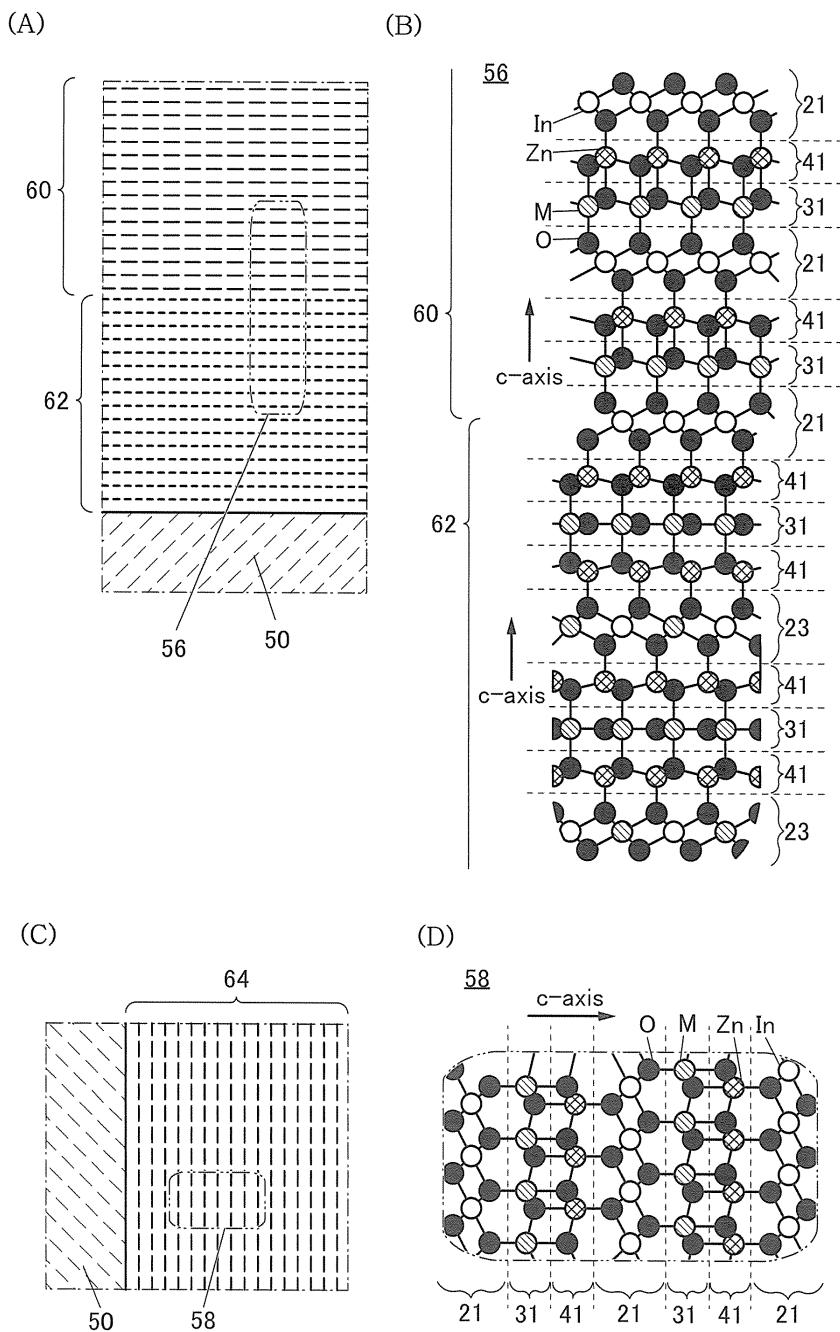
## 도면1



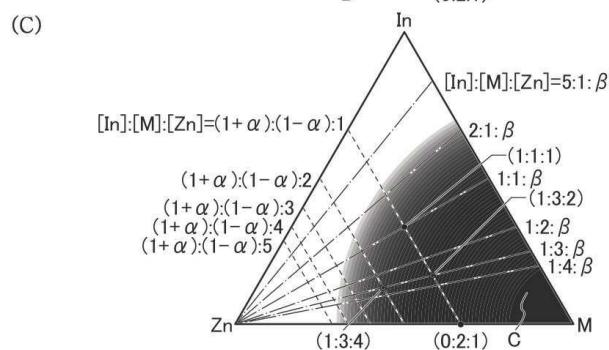
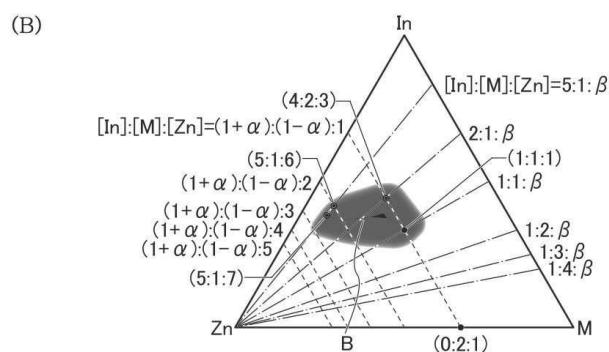
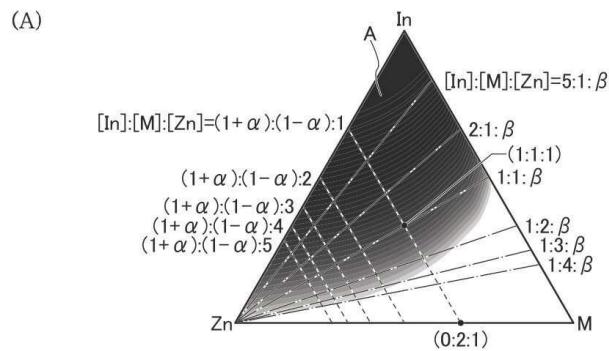
## 도면2



## 도면3

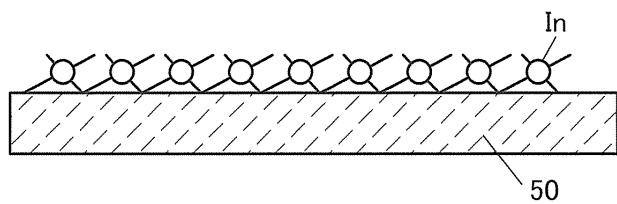


## 도면4

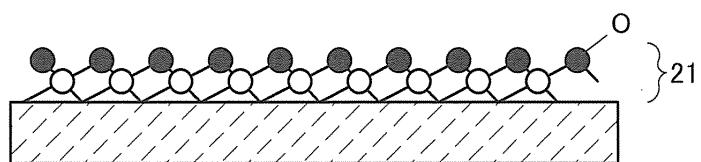


## 도면5

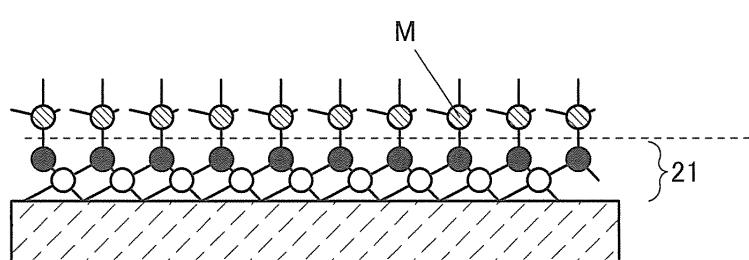
(A)



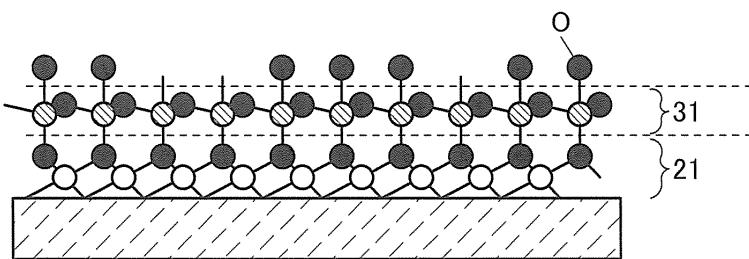
(B)



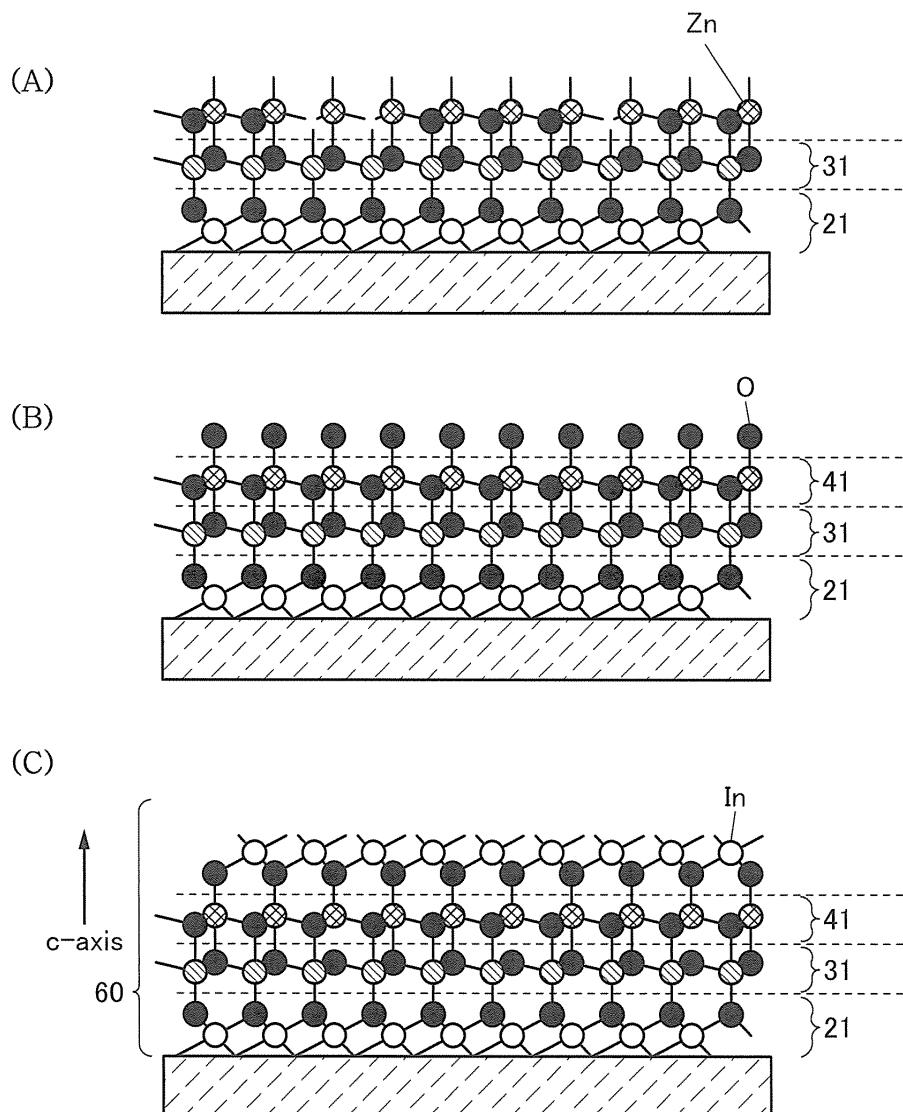
(C)



(D)

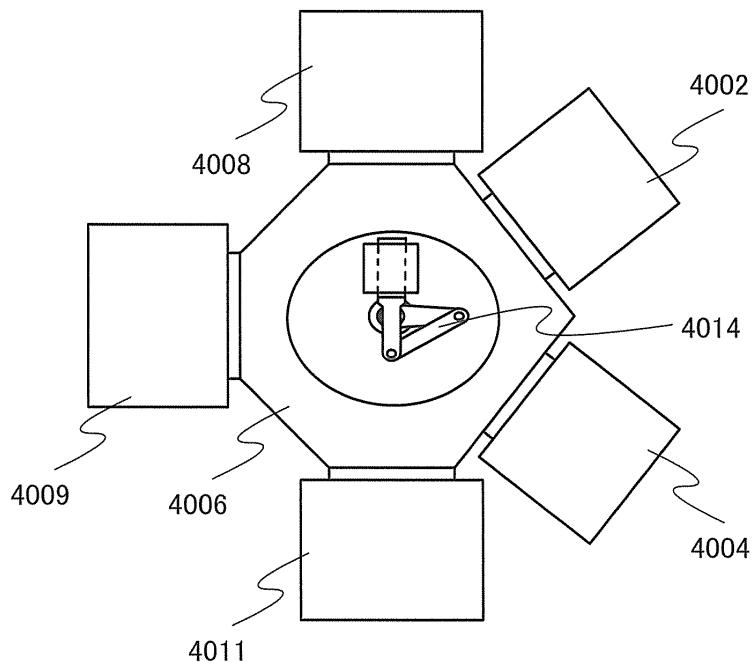


도면6

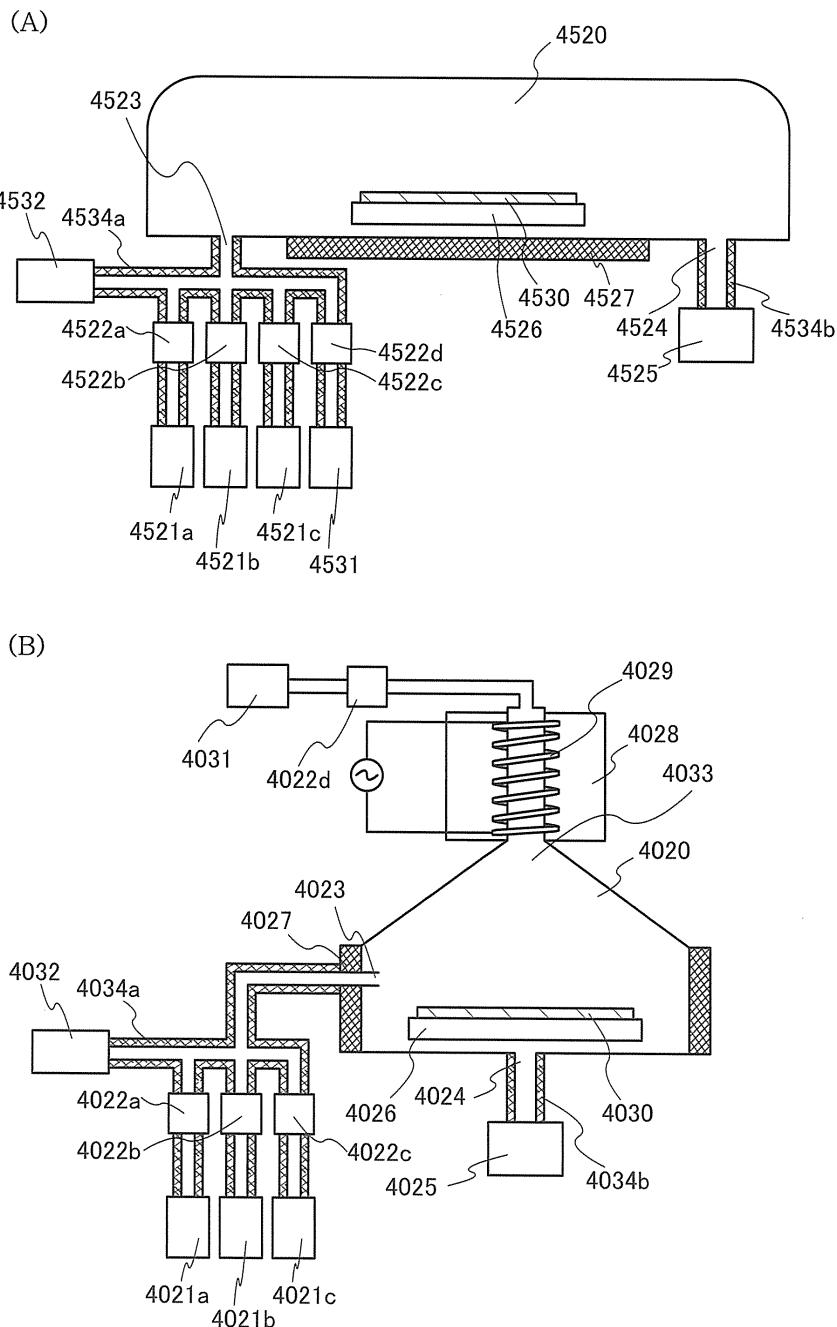


도면7

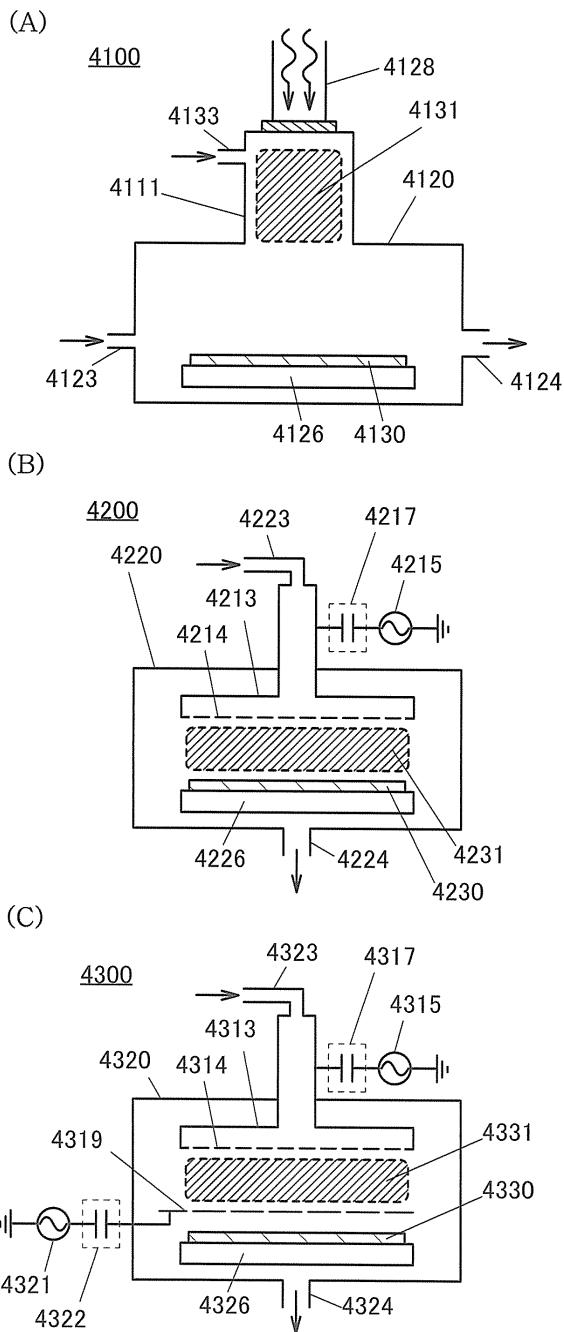
4000



## 도면8

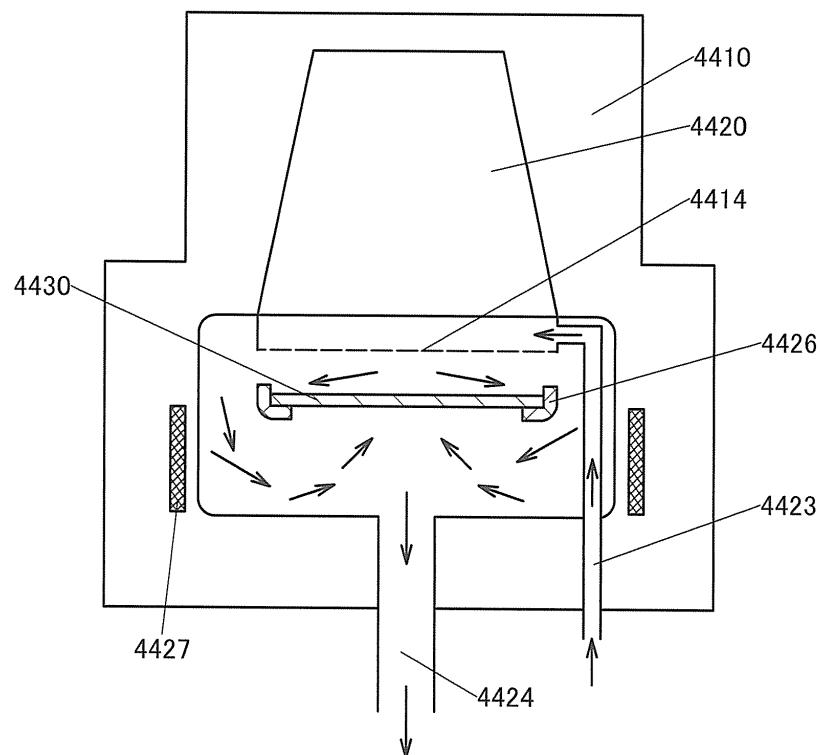


## 도면9

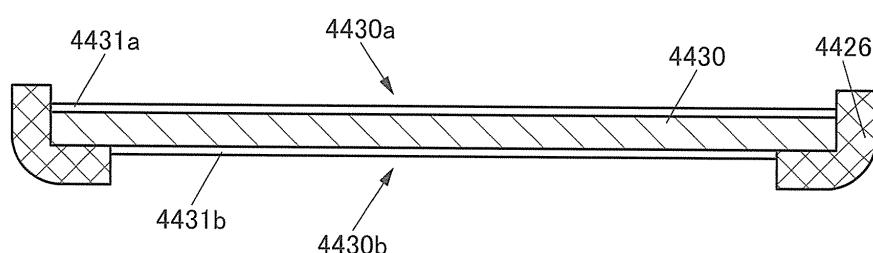


## 도면10

(A)

4400

(B)



## 도면11

(A)

	S101	S102	S103	S104		
제 1 원료 가스				↑	↑	↑
제 2 원료 가스				↓	↓	↓

↔ 1 cycle

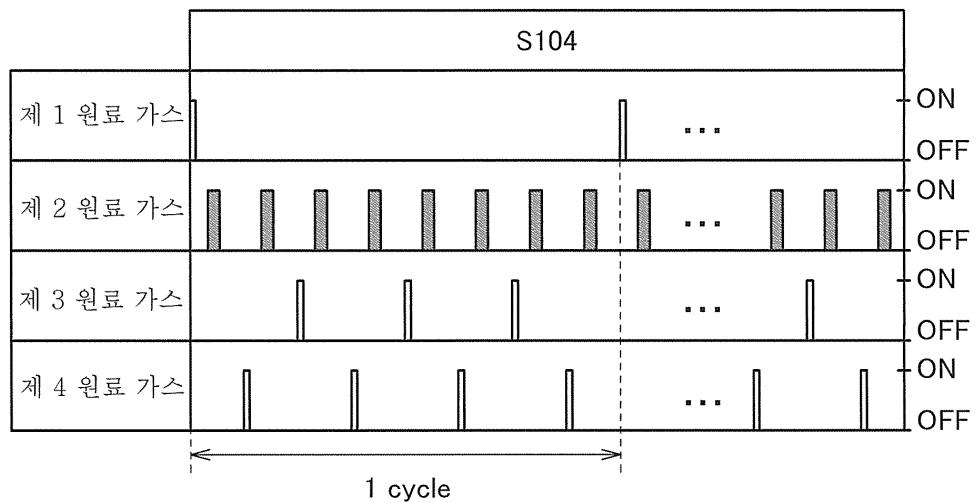
(B)

	S104					
제 1 원료 가스		↑	↑	...	↑	ON OFF
제 2 원료 가스	↓	↓	↓	↓	↓	ON OFF
제 3 원료 가스	↑	↑	↑	...	↑	ON OFF
제 4 원료 가스	↓	↓	↓	...	↓	ON OFF

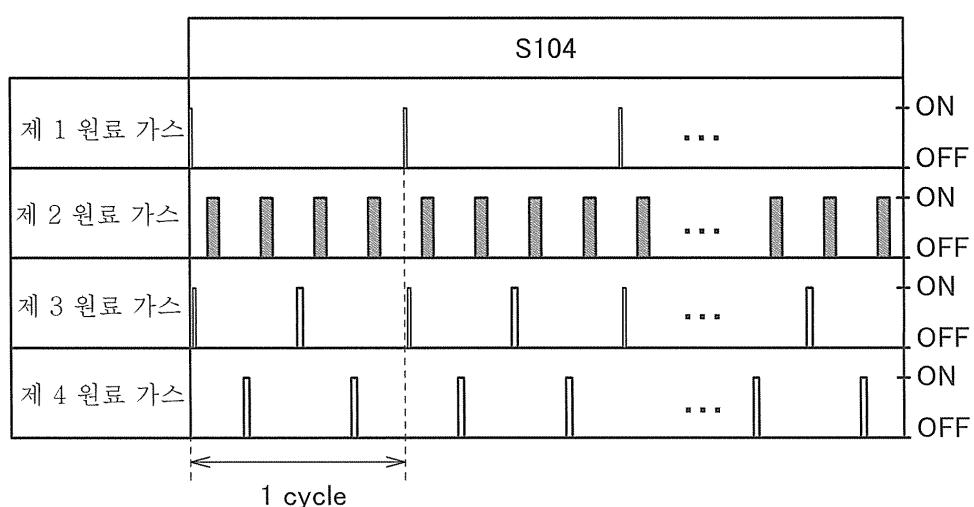
↔ 1 cycle

## 도면12

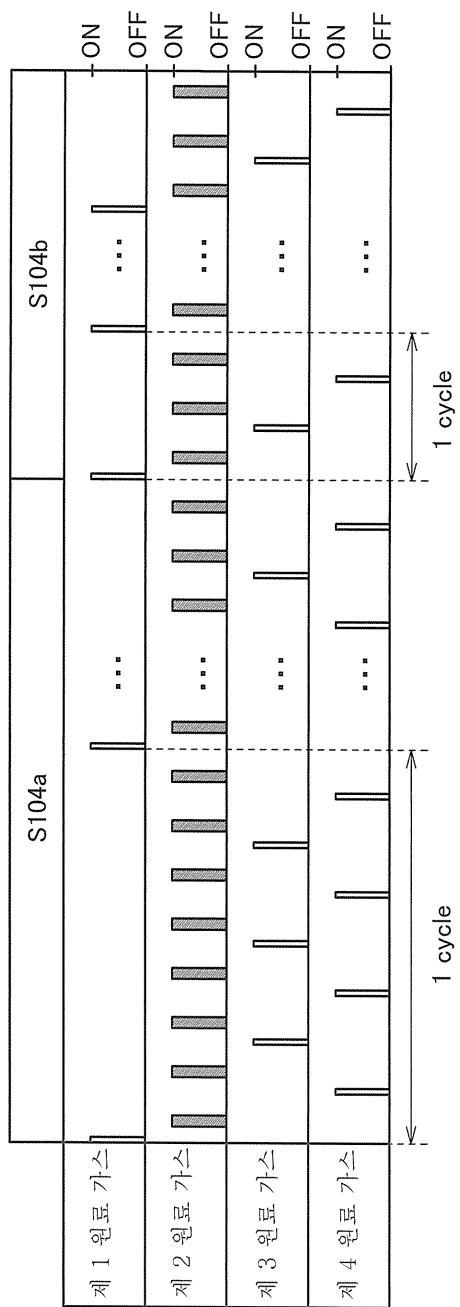
(A)



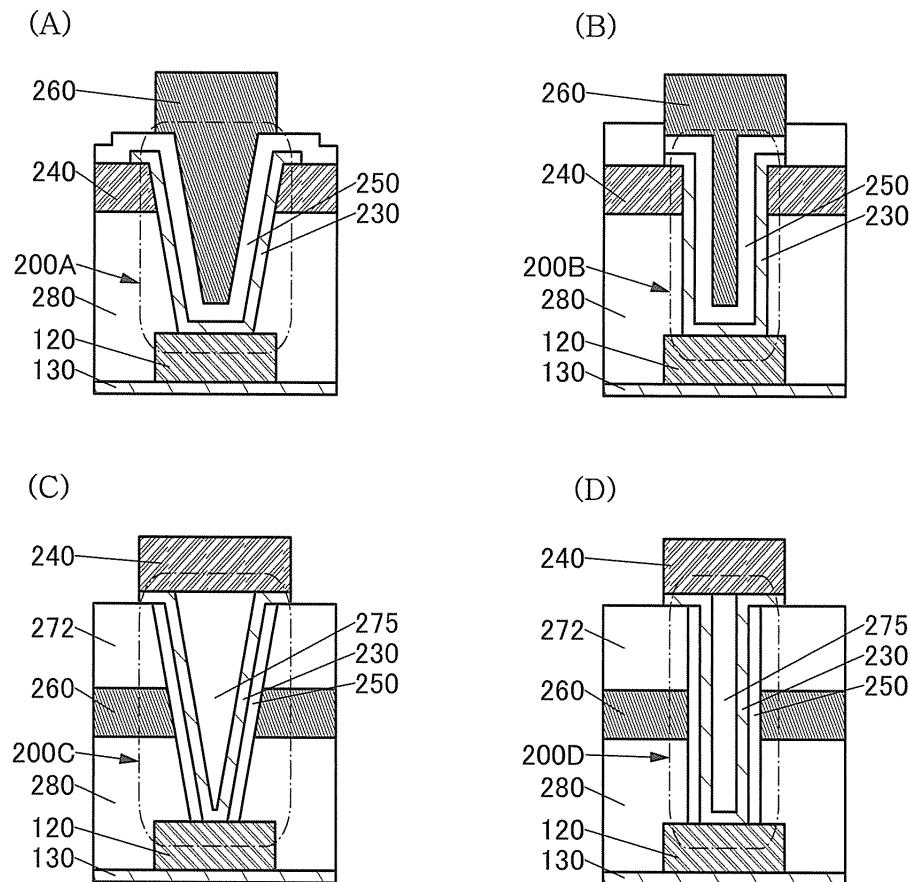
(B)



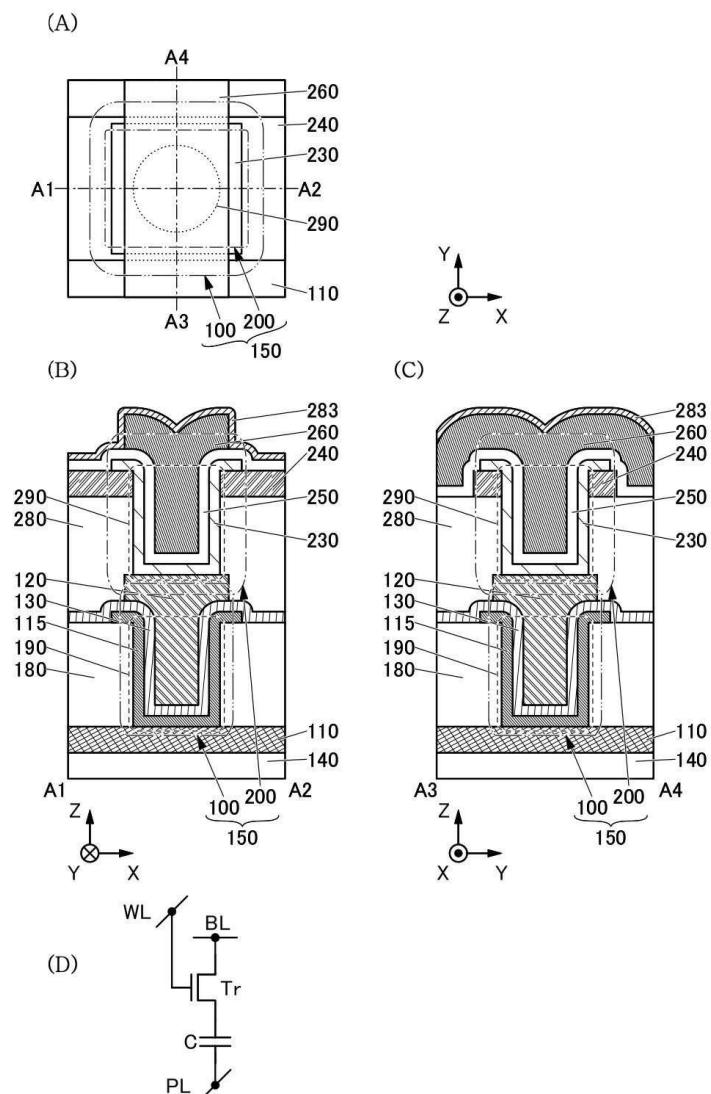
도면13



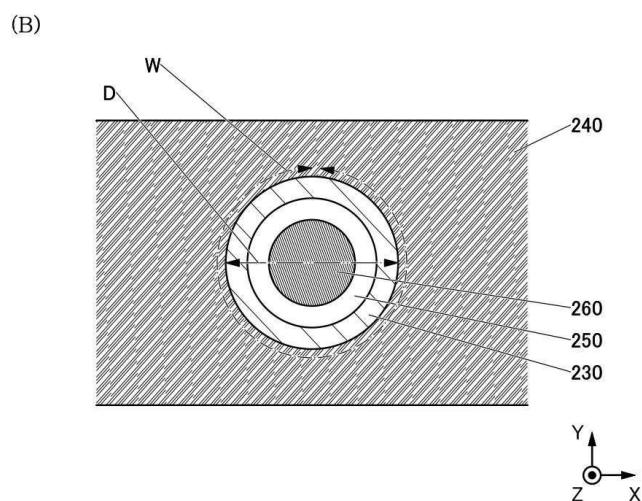
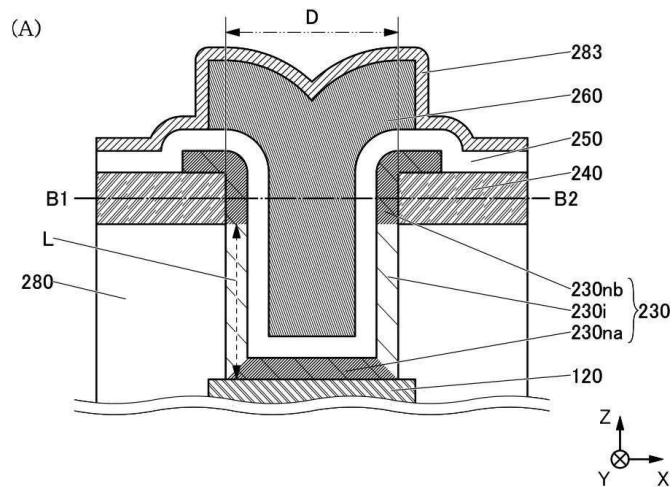
## 도면14



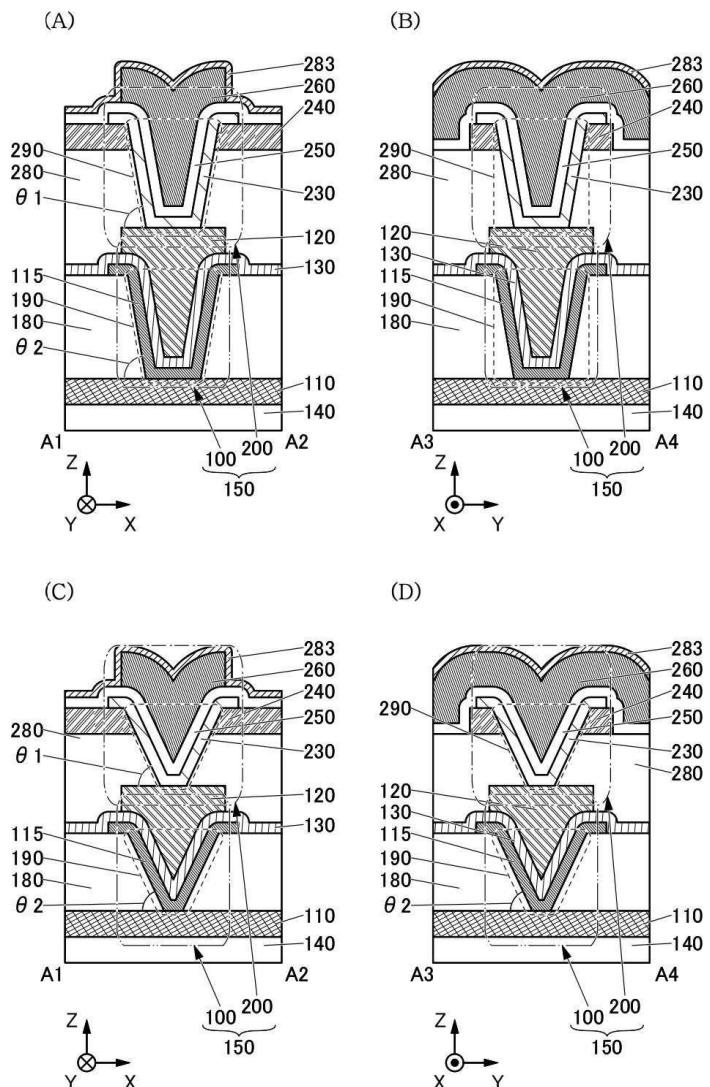
## 도면15



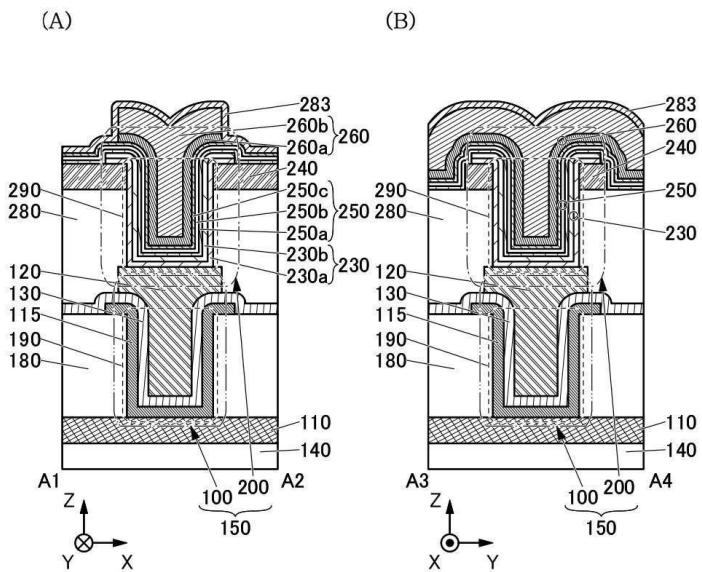
## 도면16



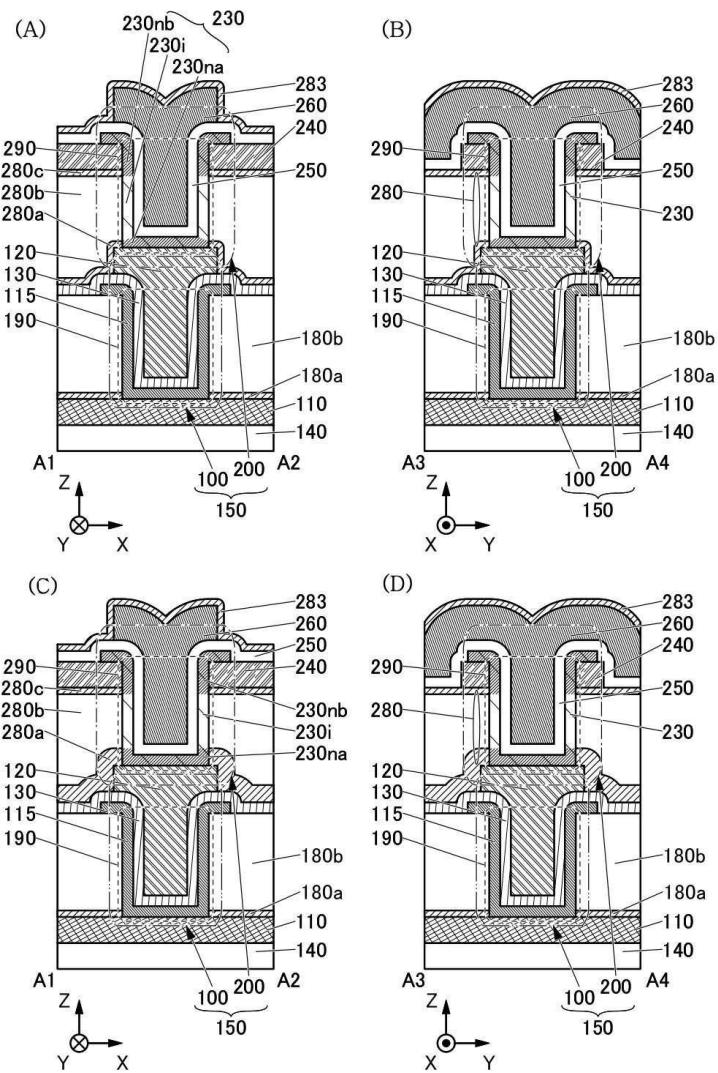
## 도면17



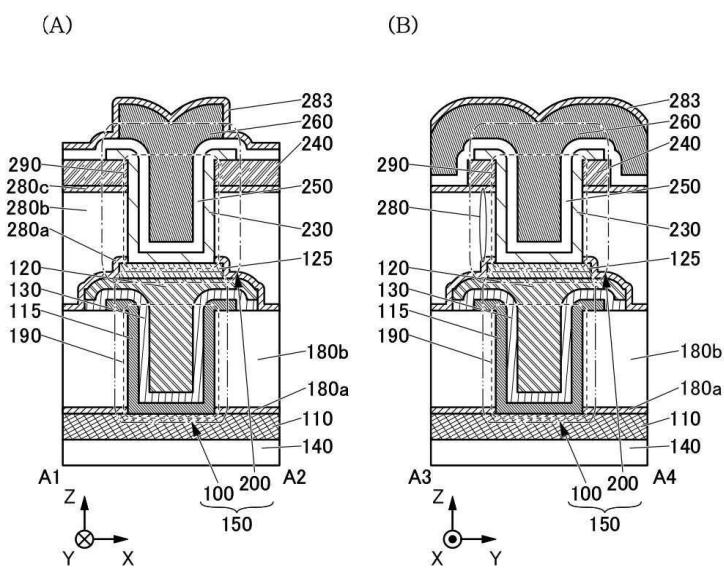
## 도면18



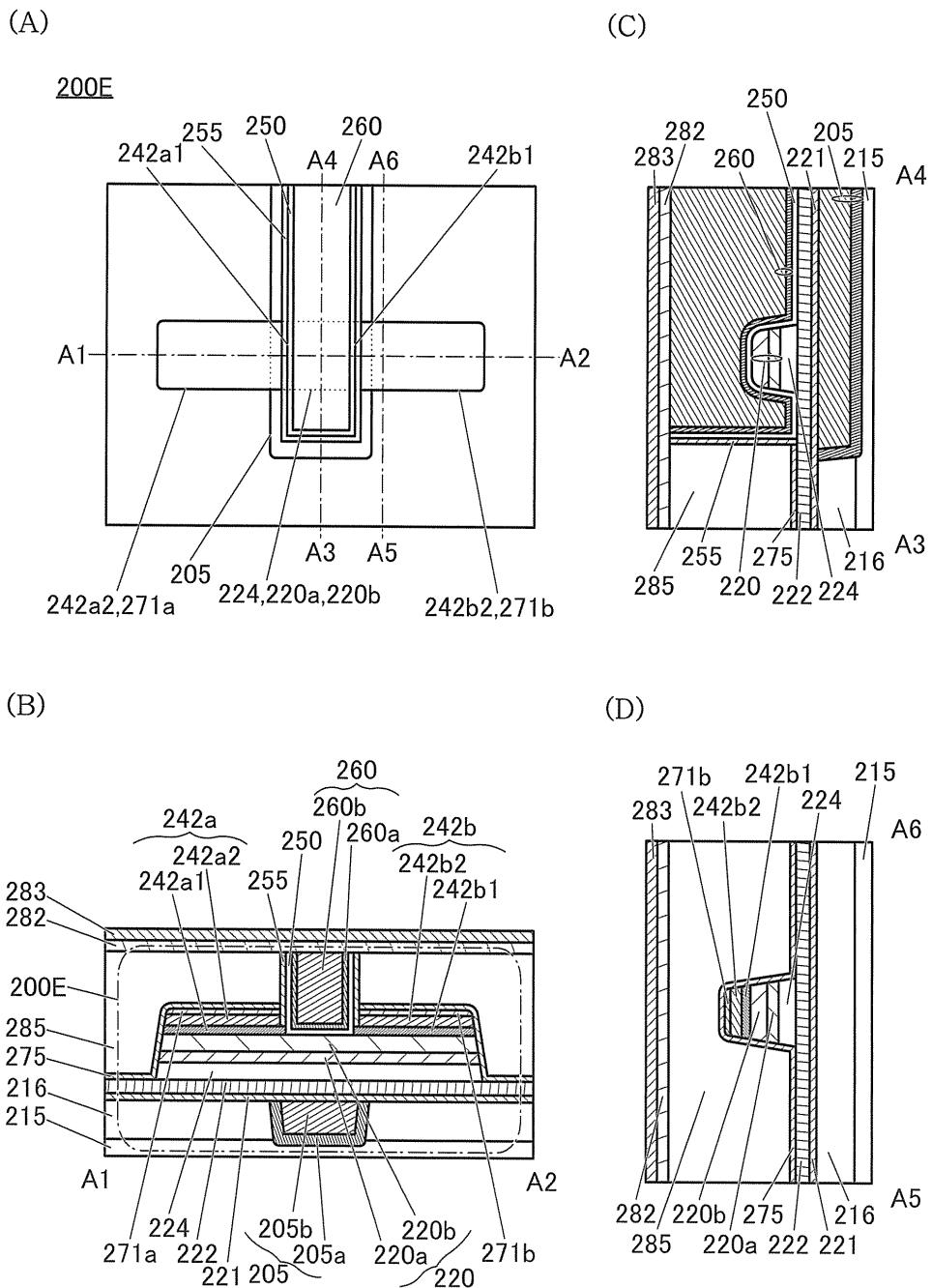
## 도면19



## 도면20

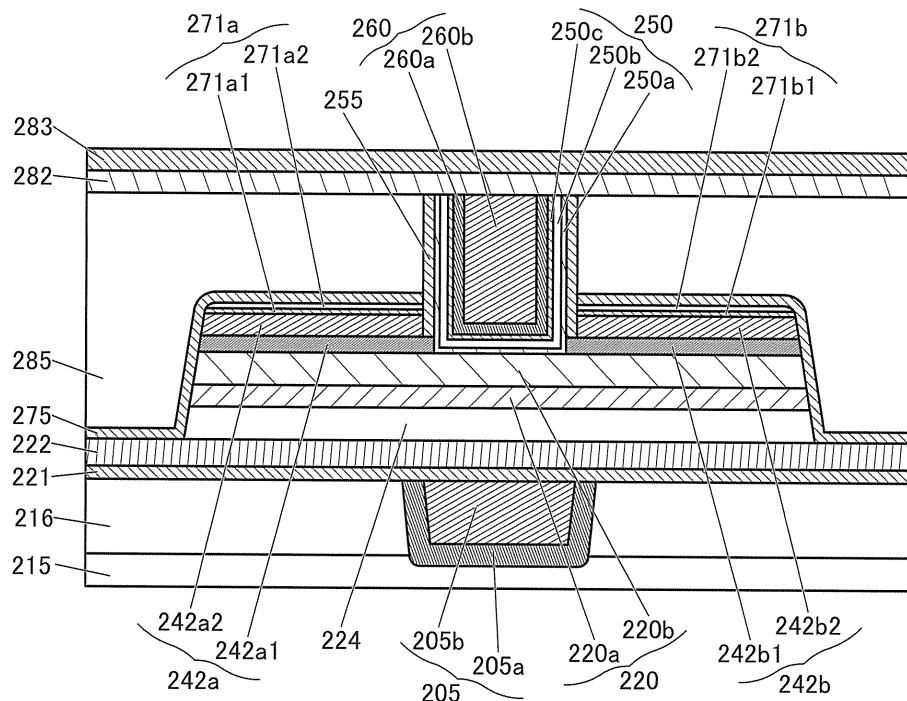


## 도면21

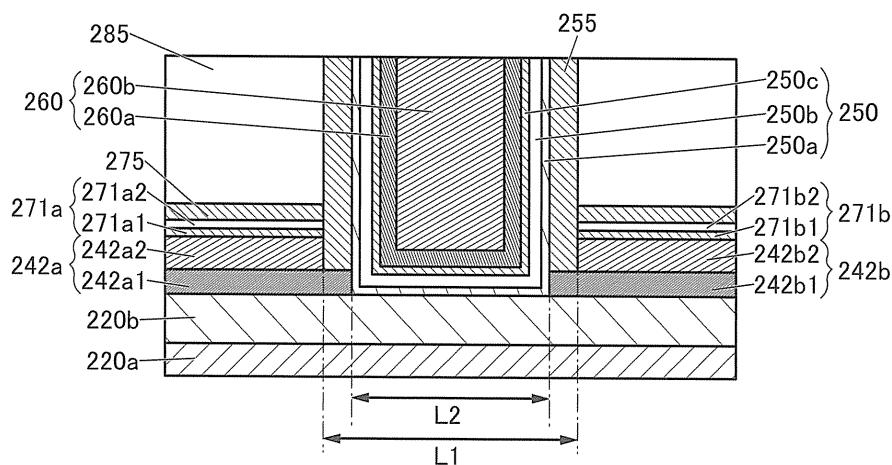


## 도면22

(A)

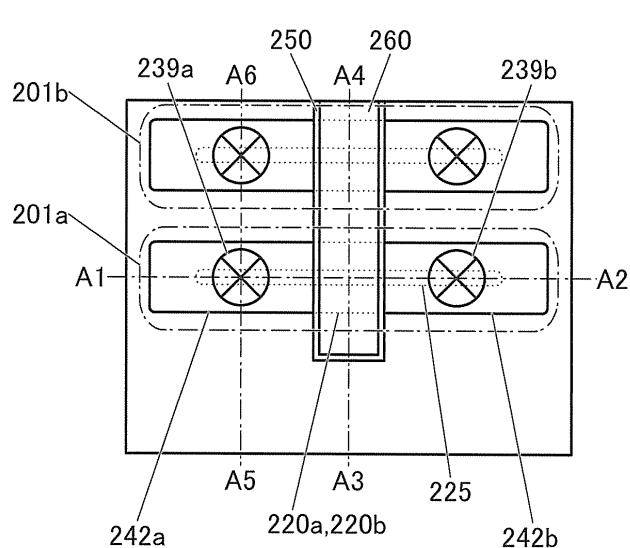


(B)

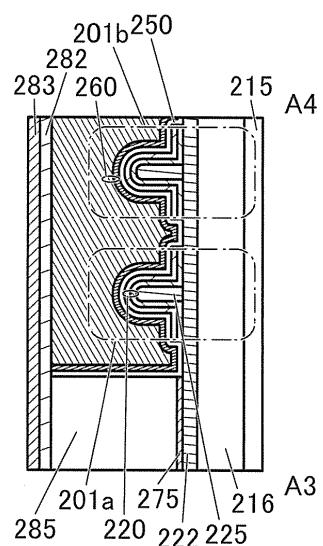


## 도면23

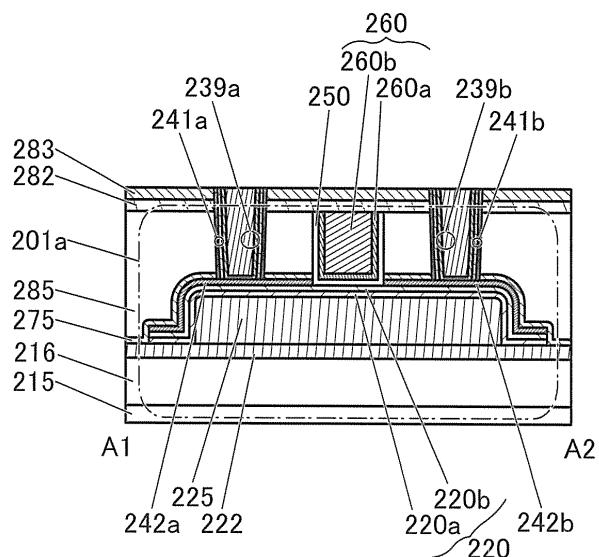
(A)



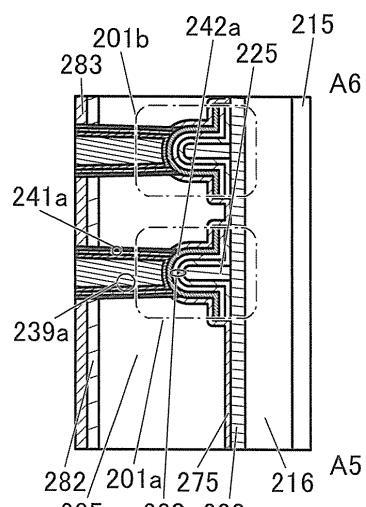
(C)



(B)

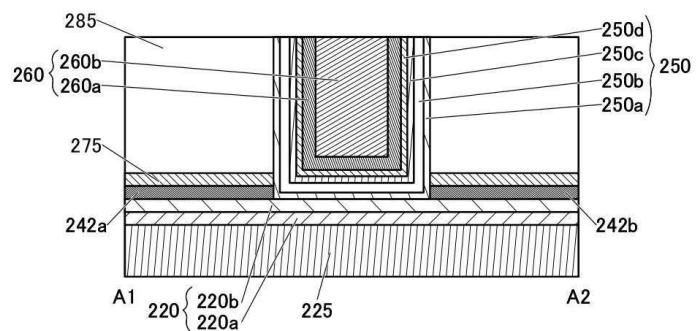


(D)

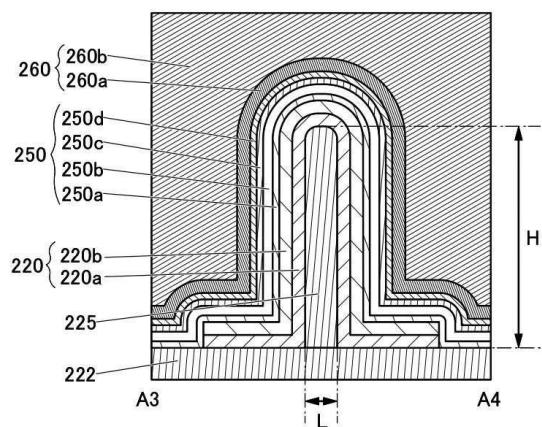


## 도면24

(A)

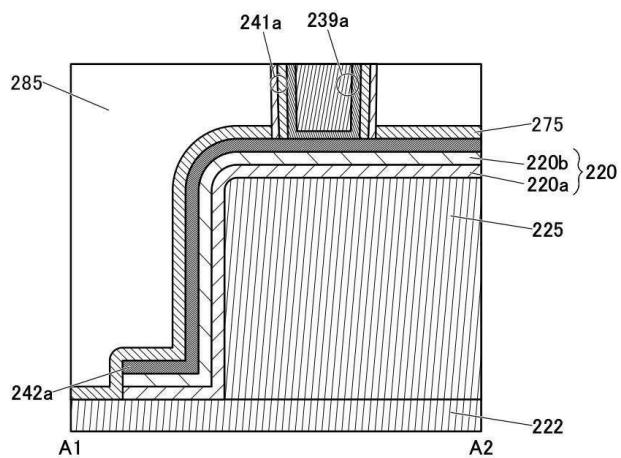


(B)

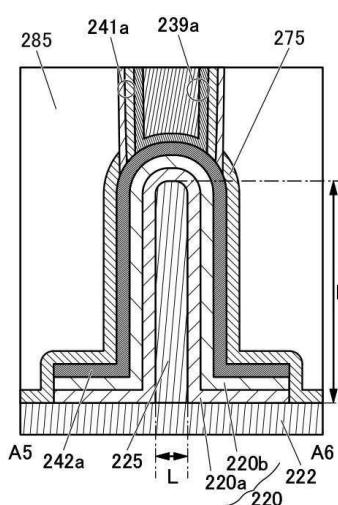


## 도면25

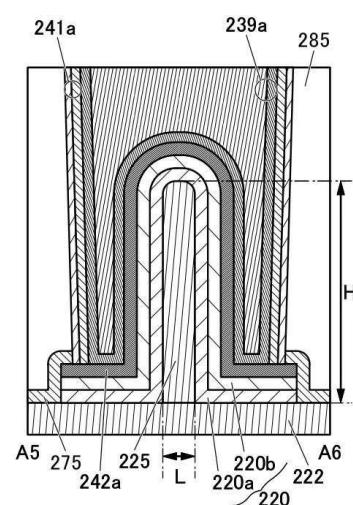
(A)



(B)

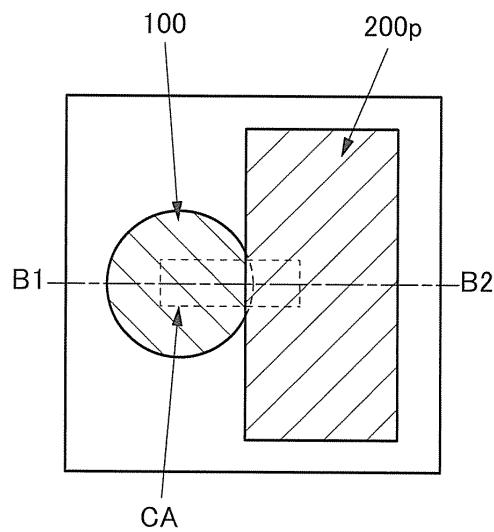


(C)

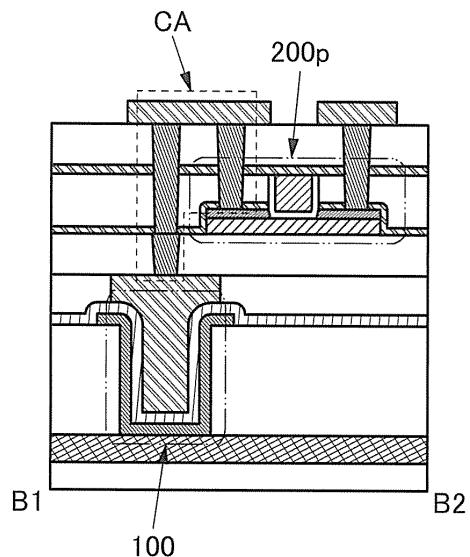


## 도면26

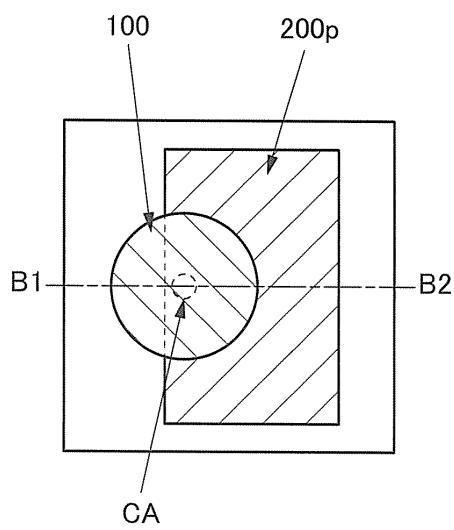
(A)



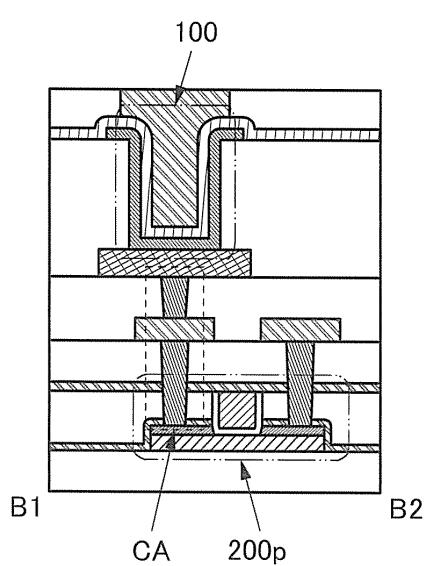
(B)



(C)

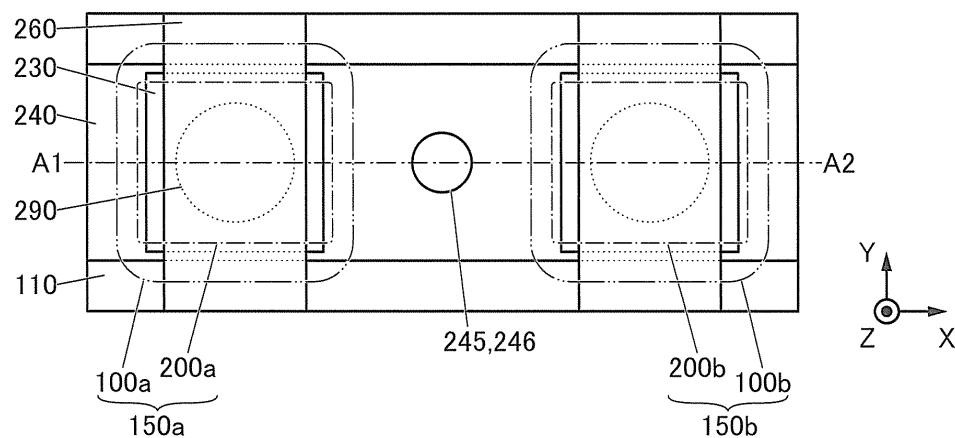


(D)

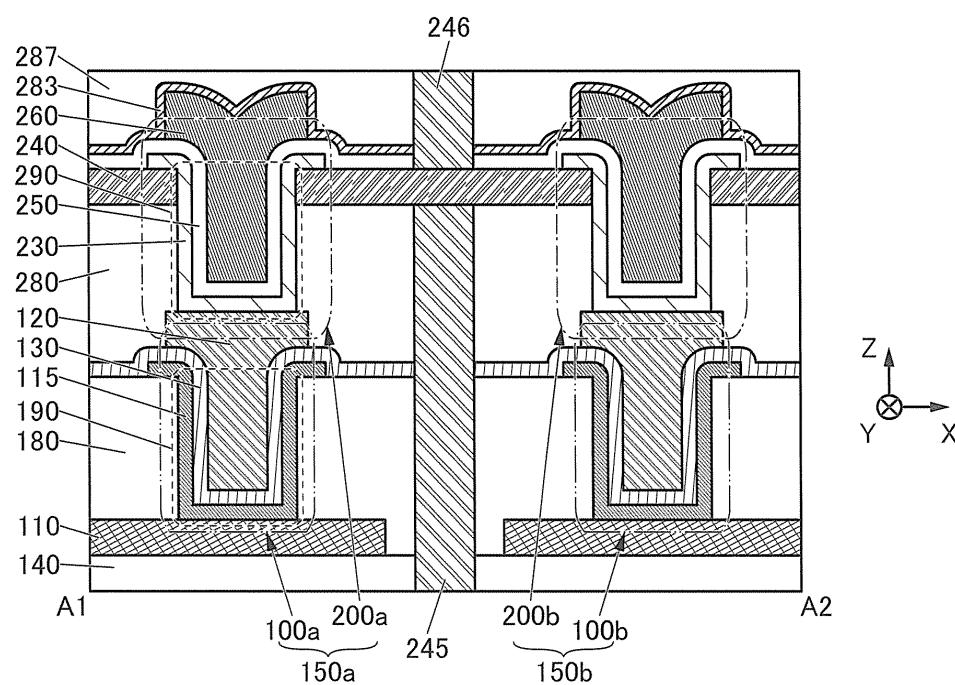


## 도면27

(A)

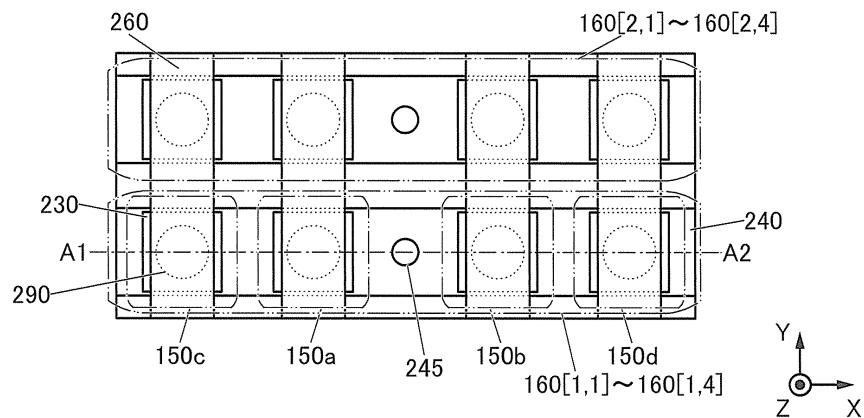


(B)

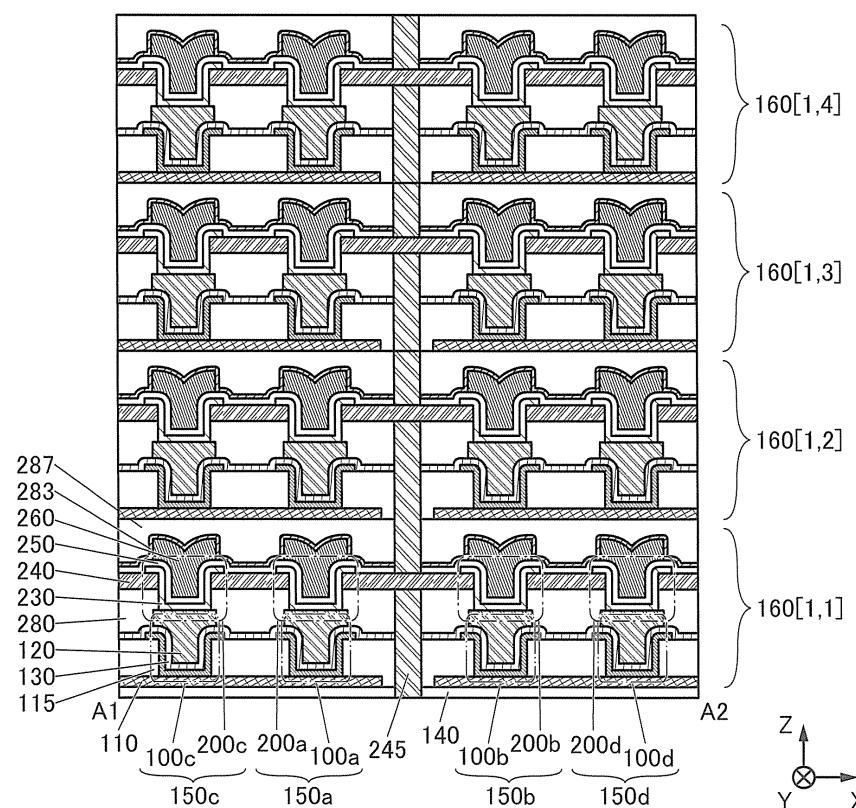


## 도면28

(A)

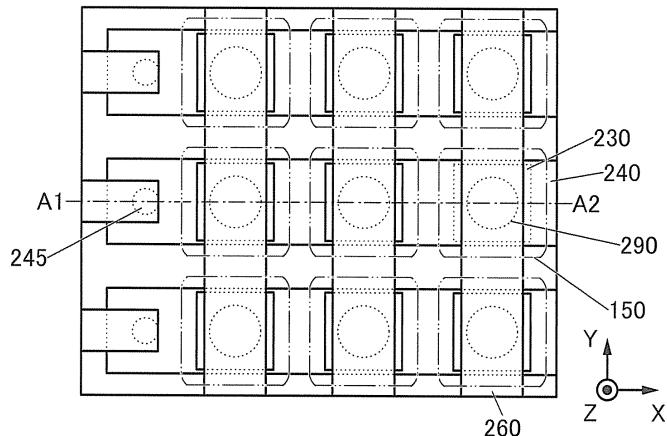


(B)

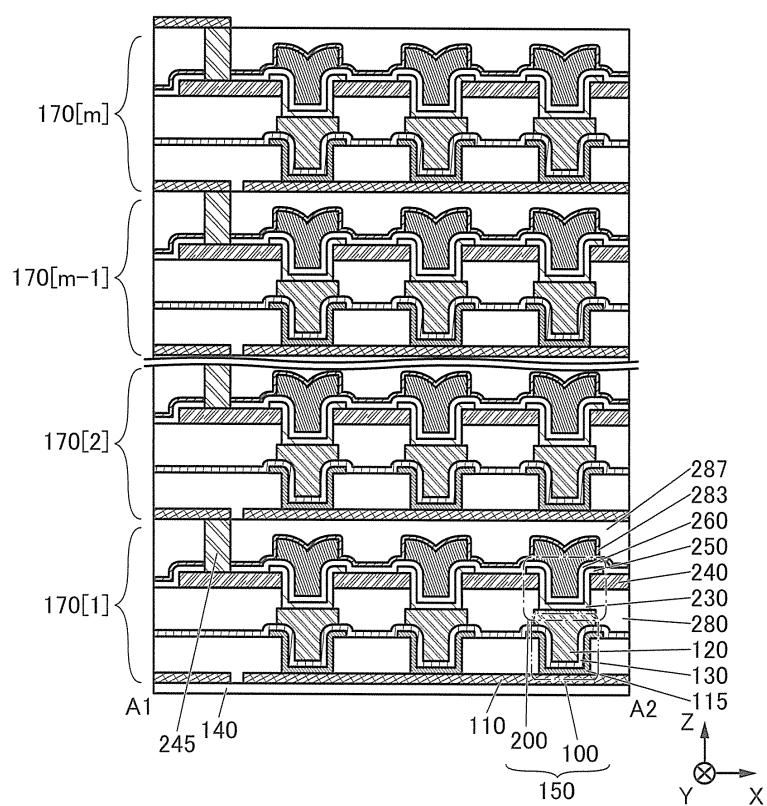


## 도면29

(A)

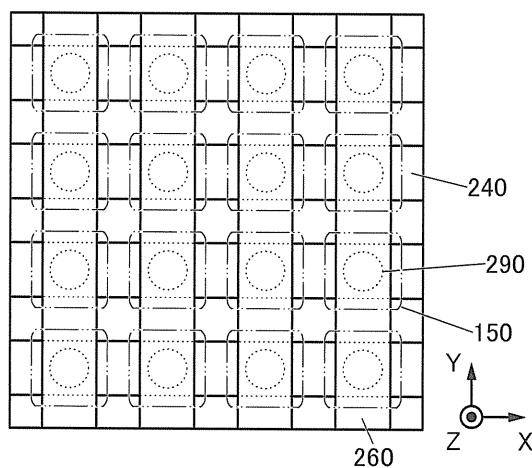


(B)

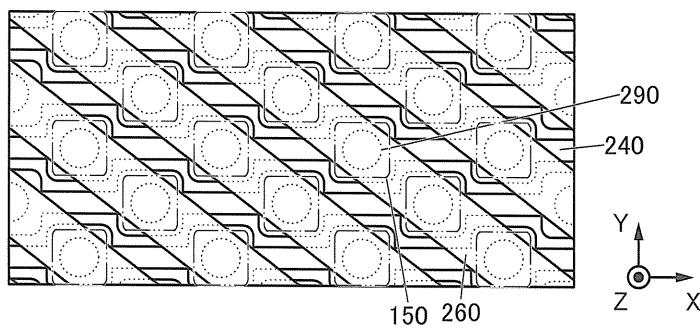


## 도면30

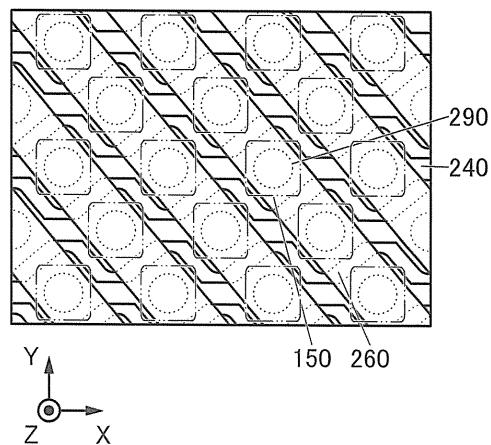
(A)



(B)

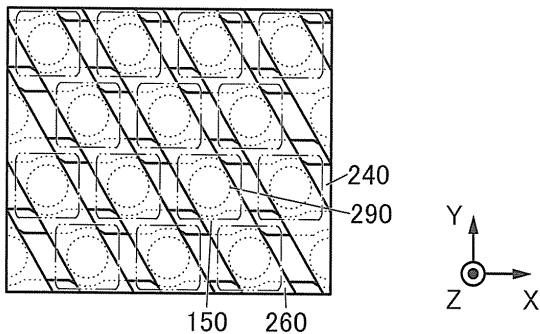


(C)

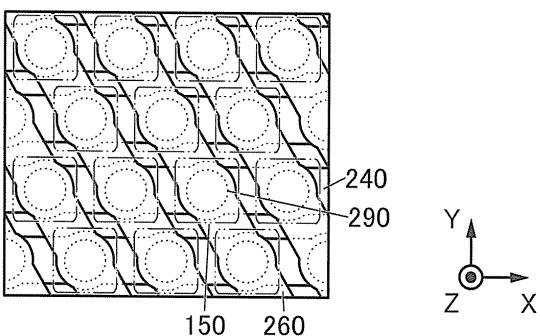


도면31

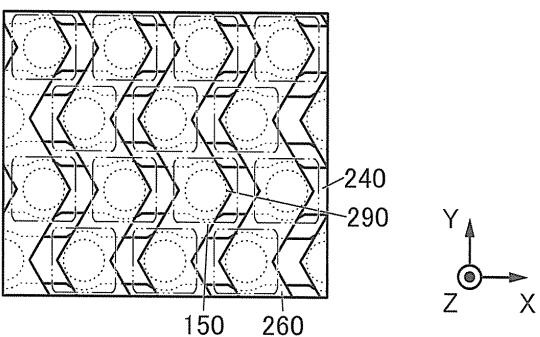
(A)



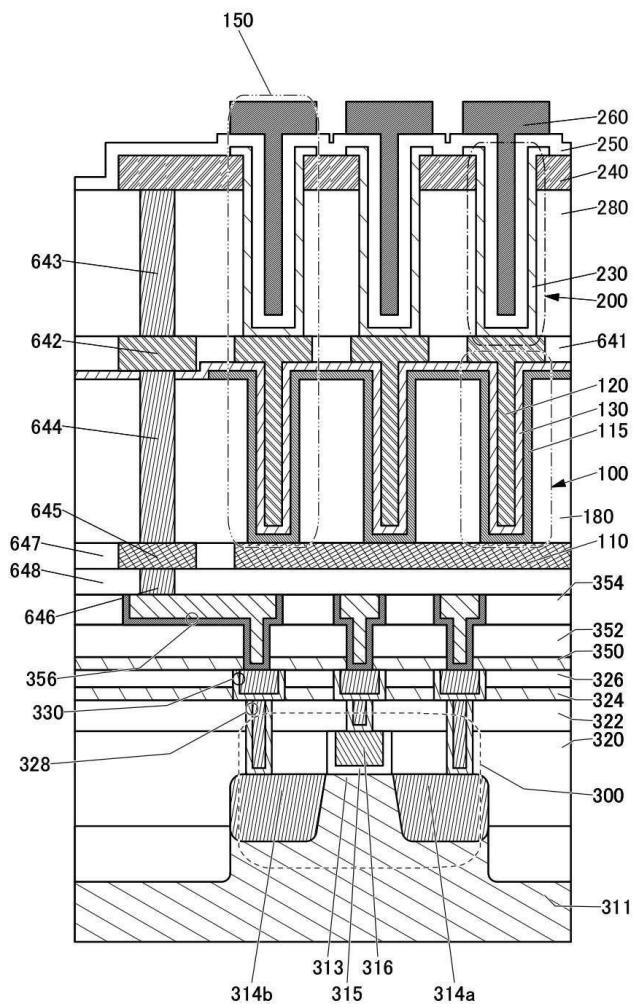
(B)



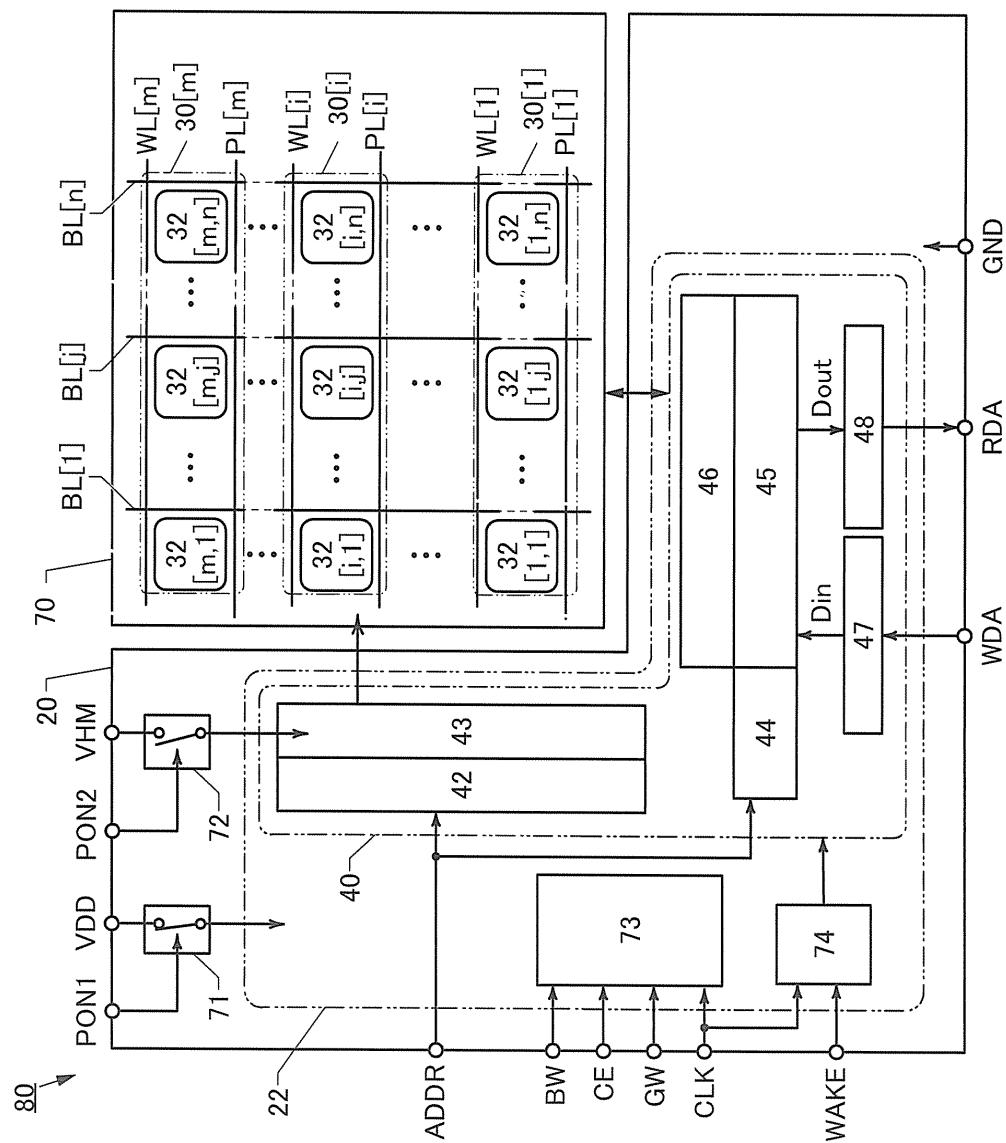
(C)



도면32

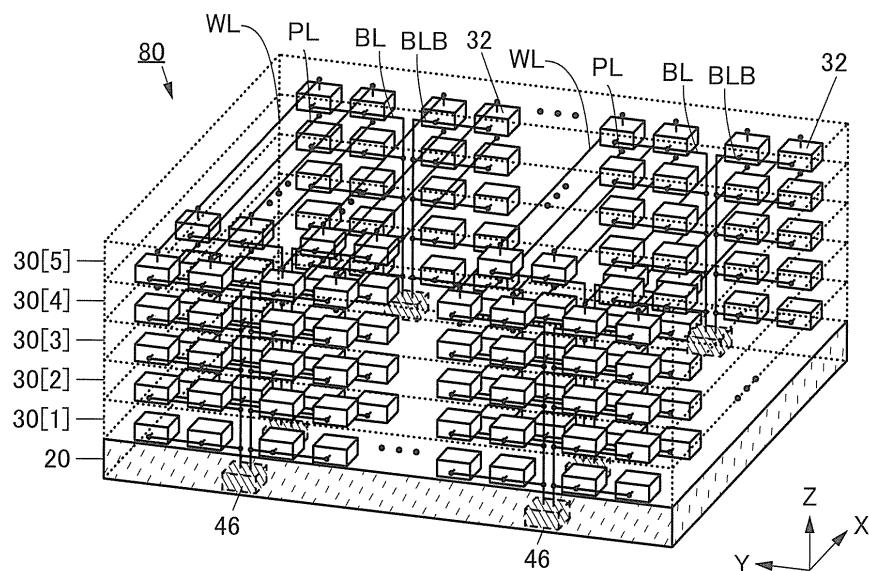


도면33

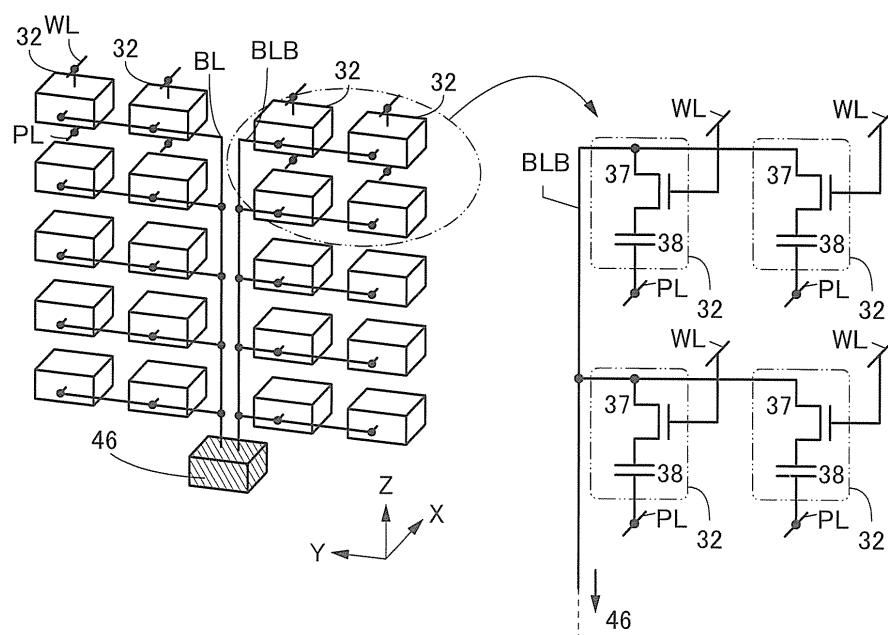


## 도면34

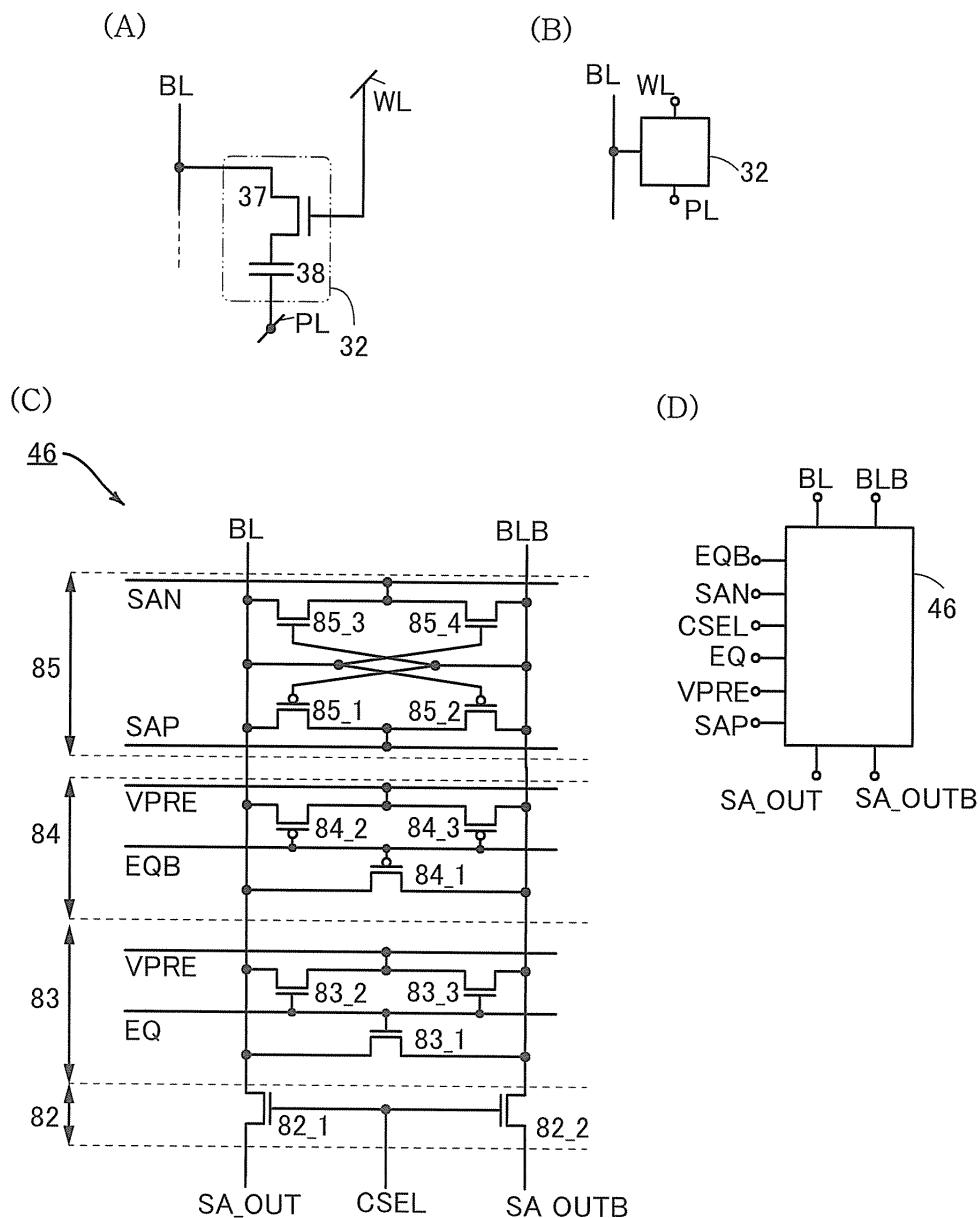
(A)



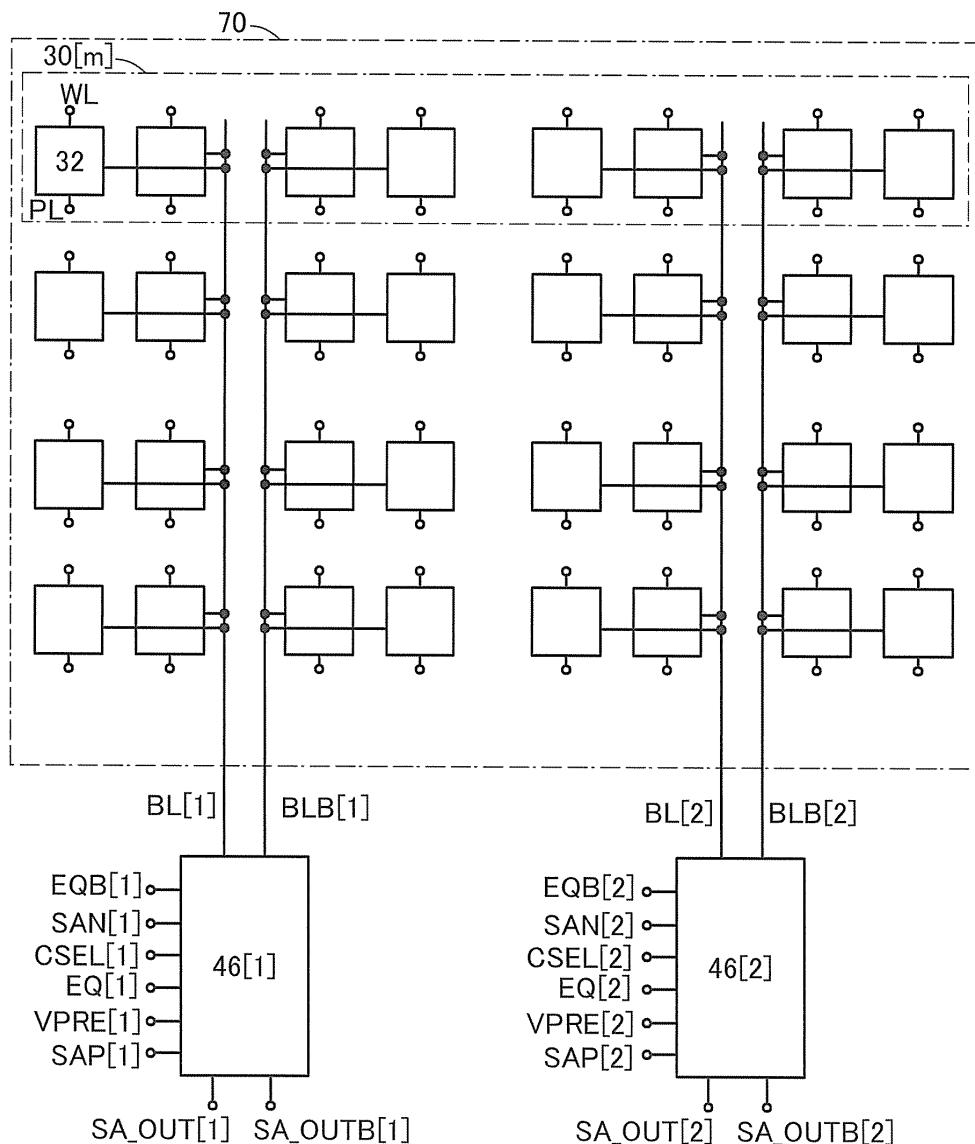
(B)



## 도면35

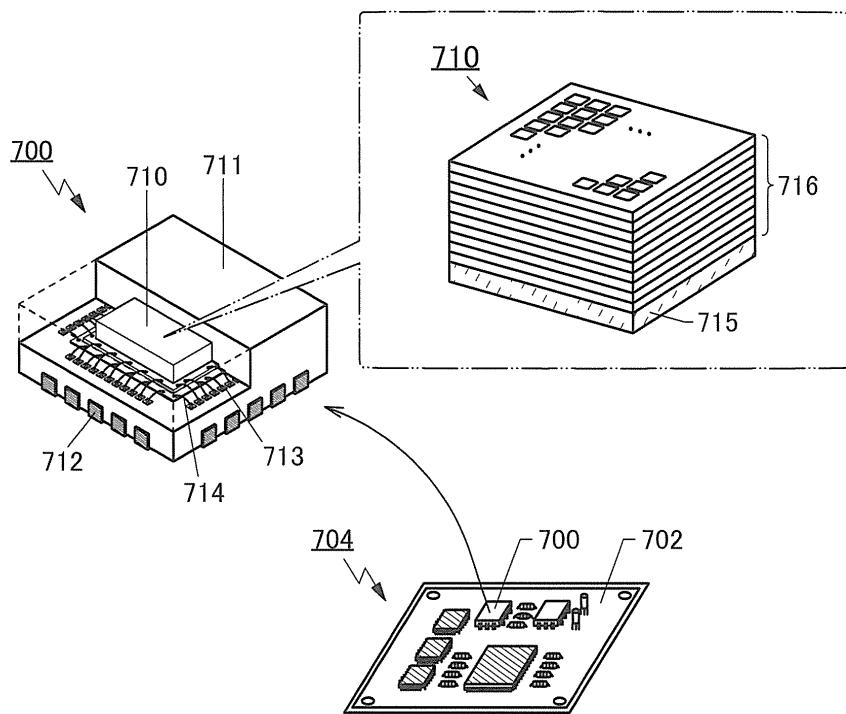


## 도면36

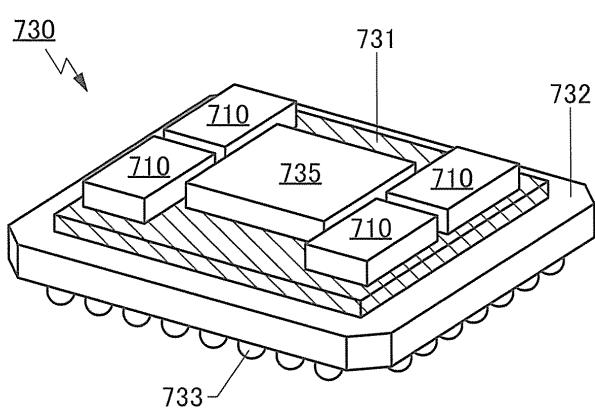


## 도면37

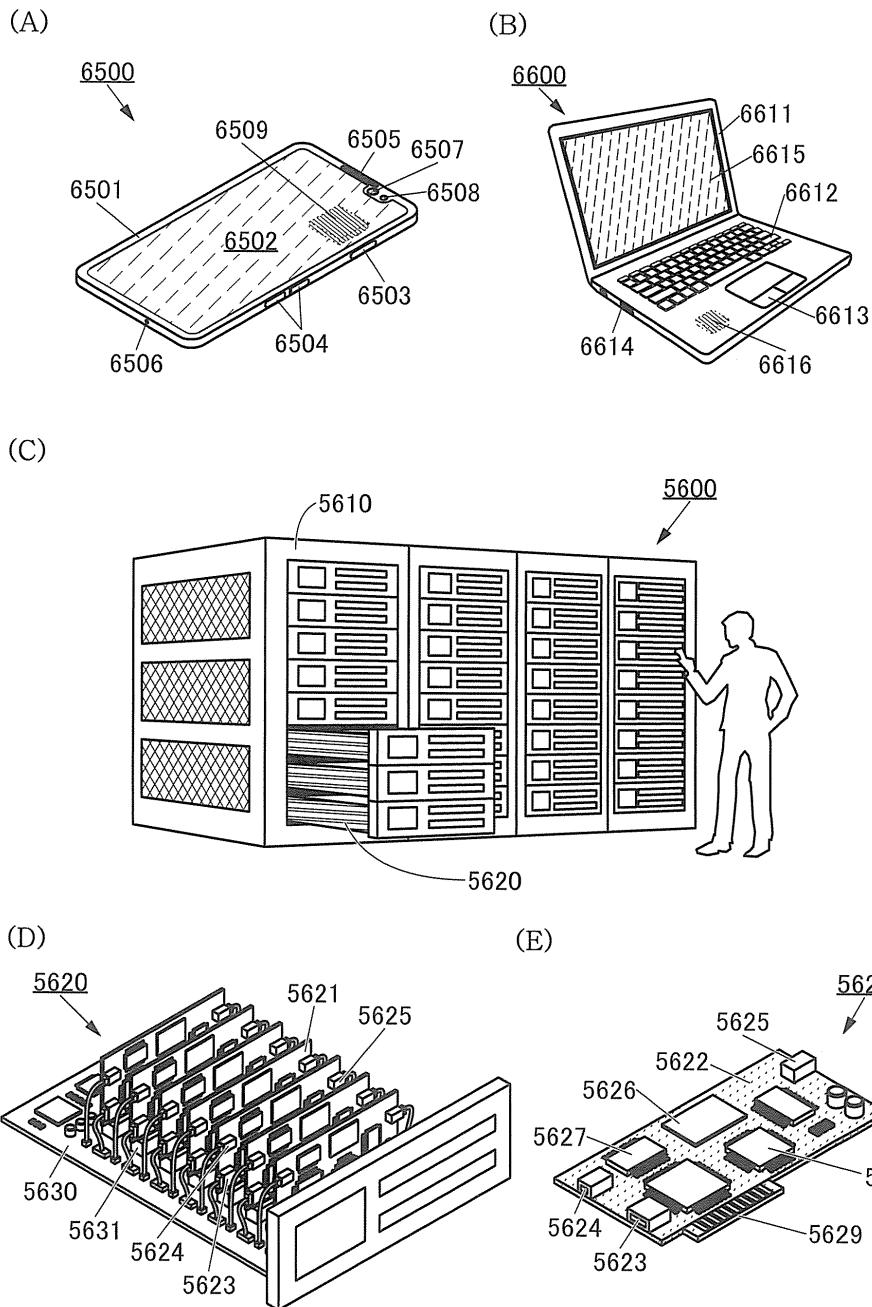
(A)



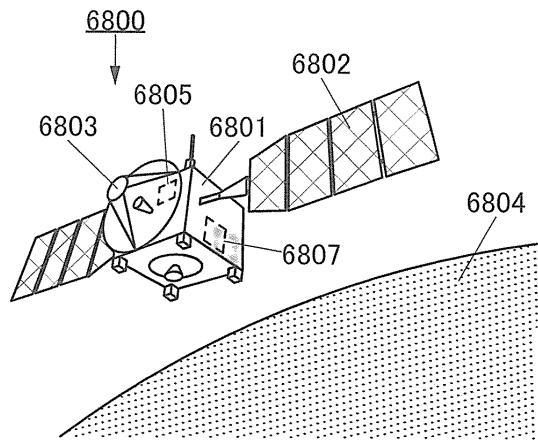
(B)



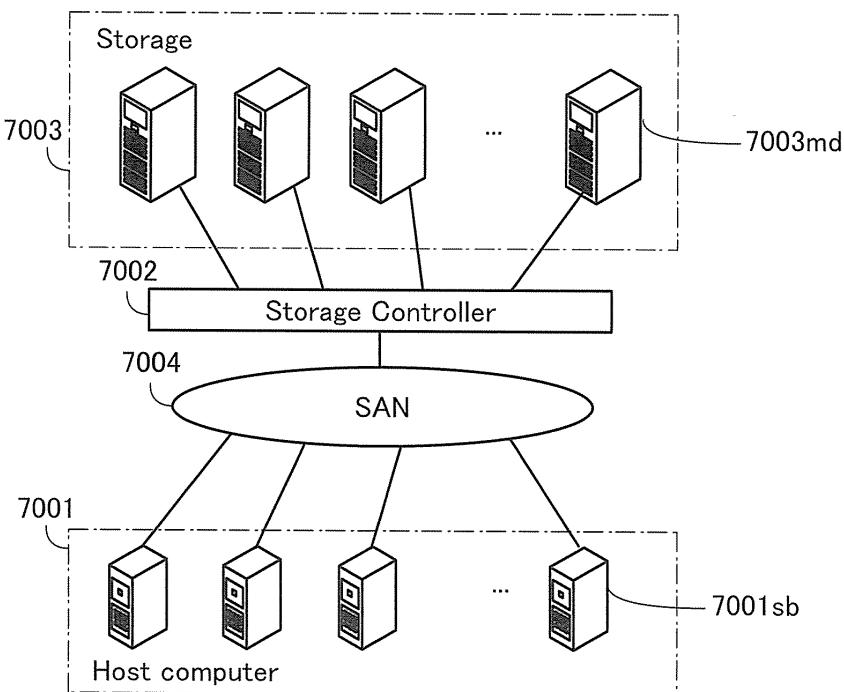
## 도면38



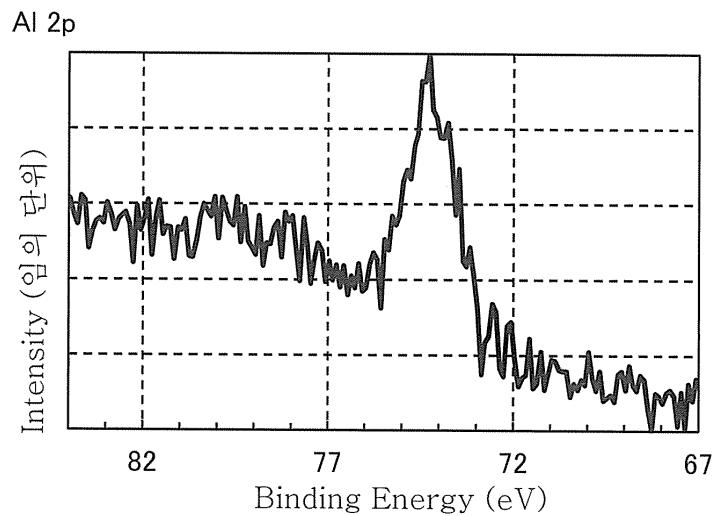
도면39



도면40

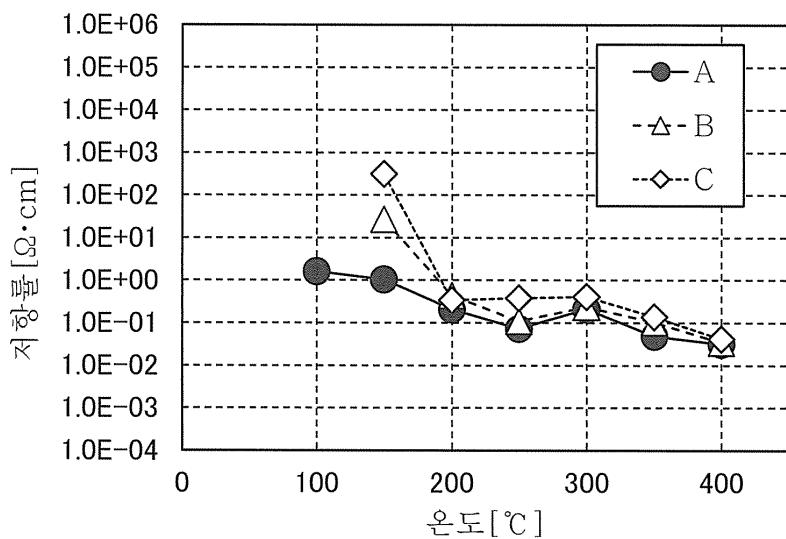
7000

도면41

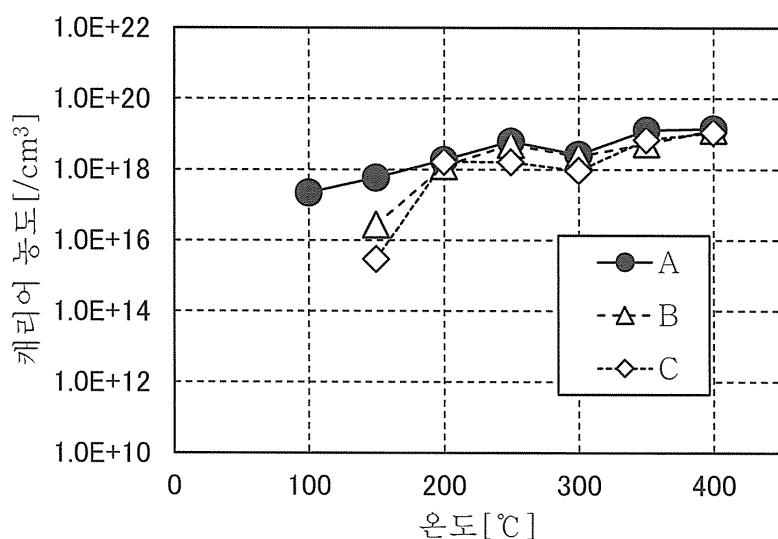


## 도면42

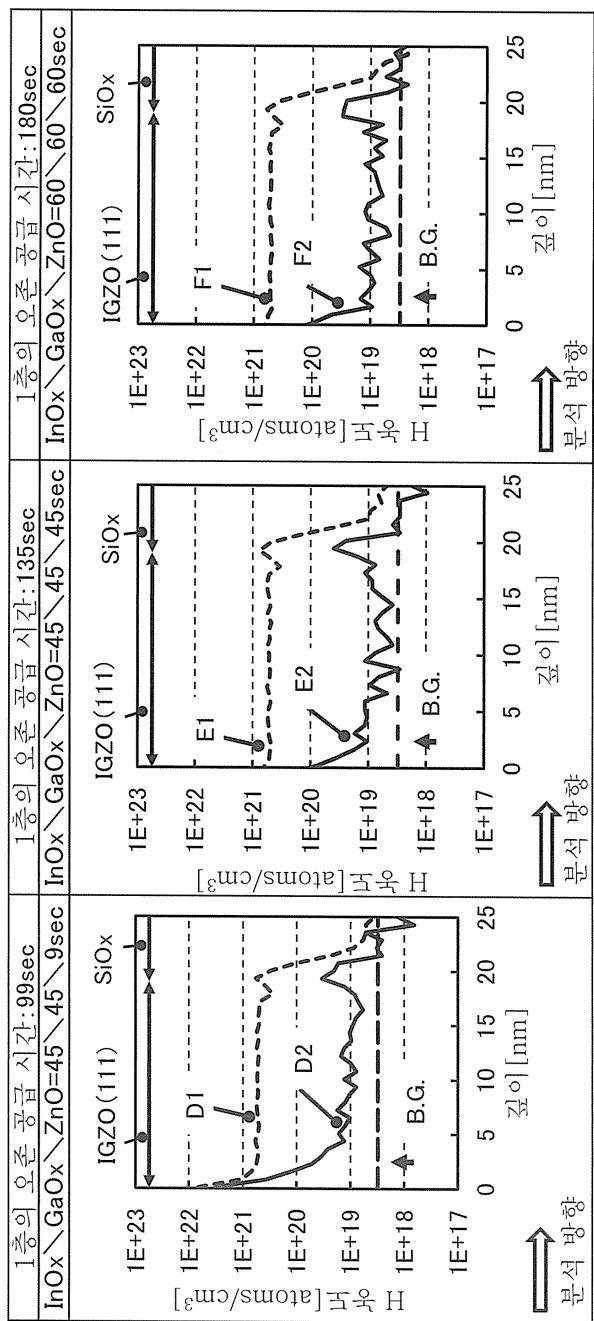
(A)



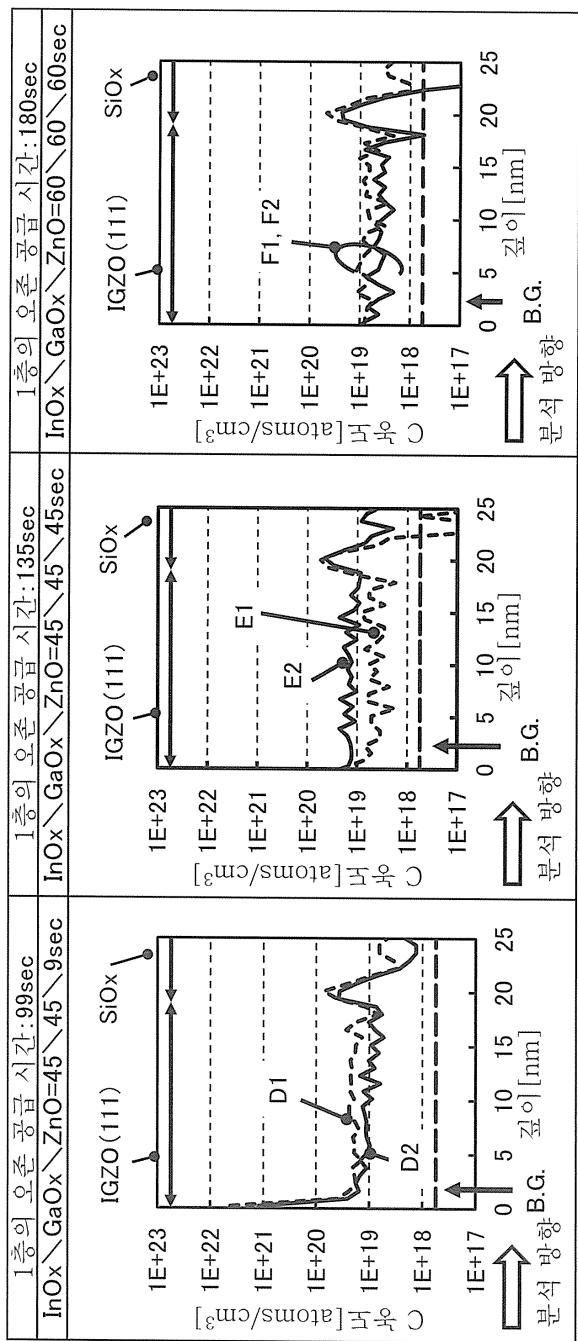
(B)



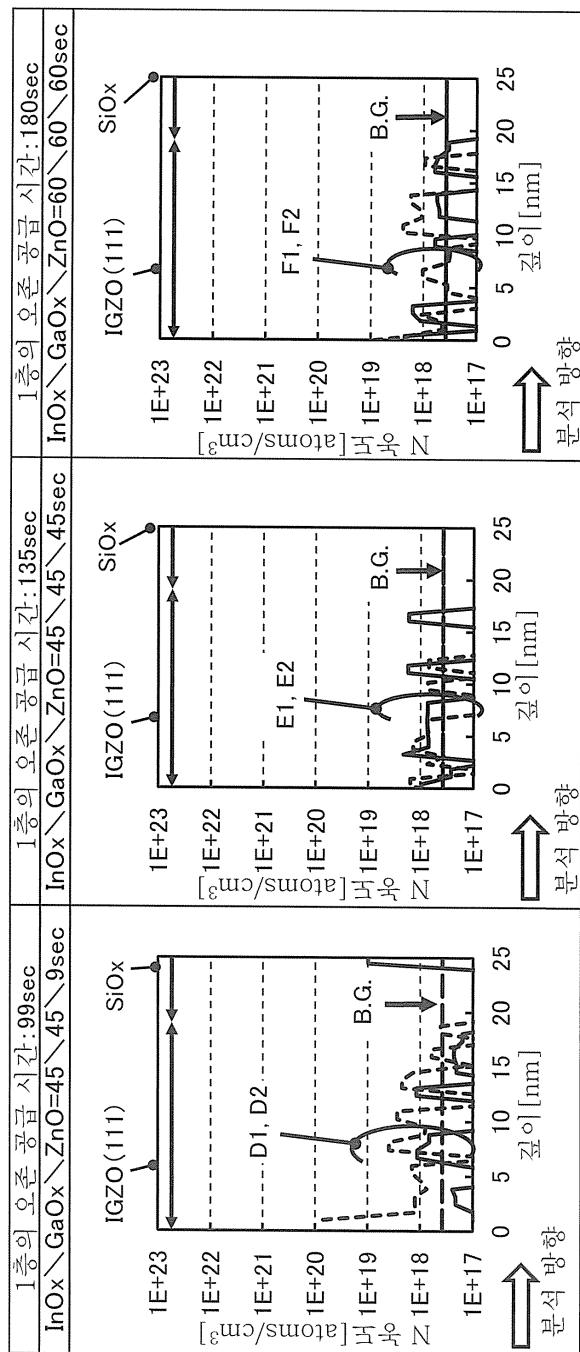
## 도면43



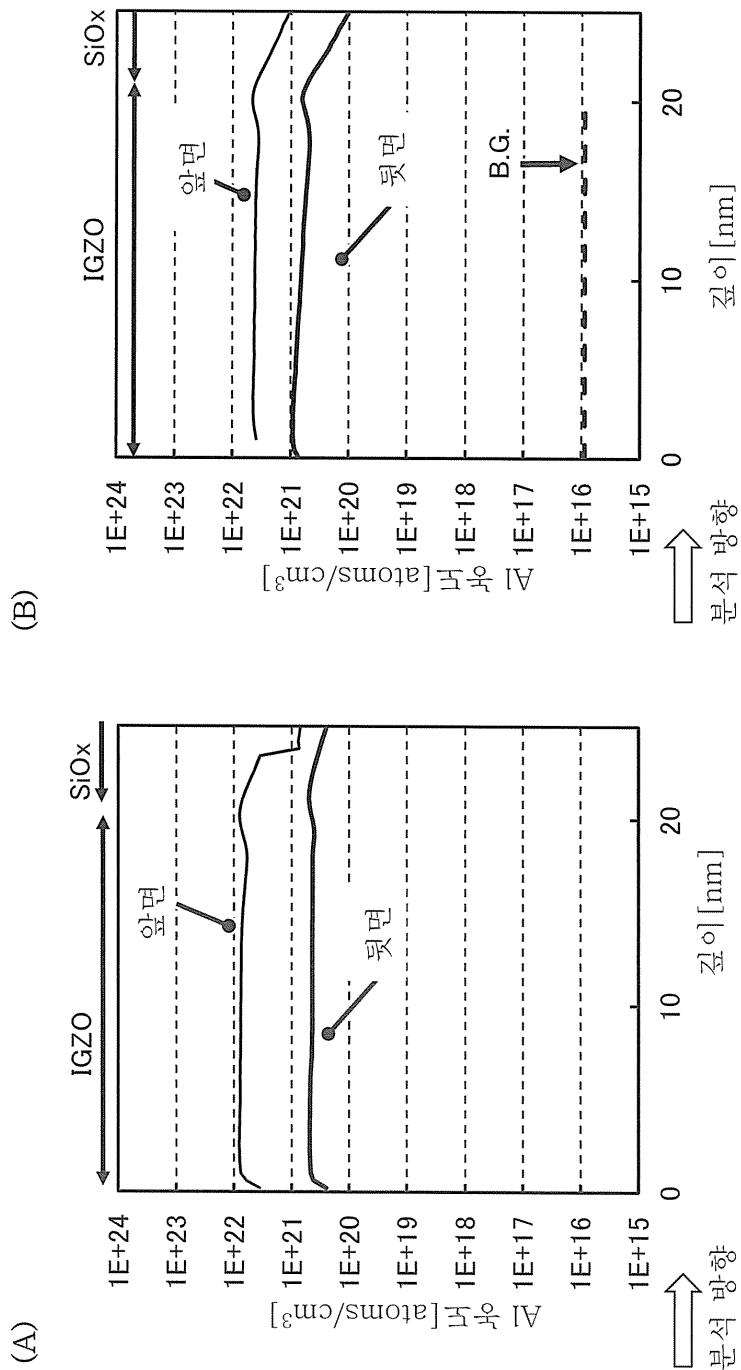
도면44



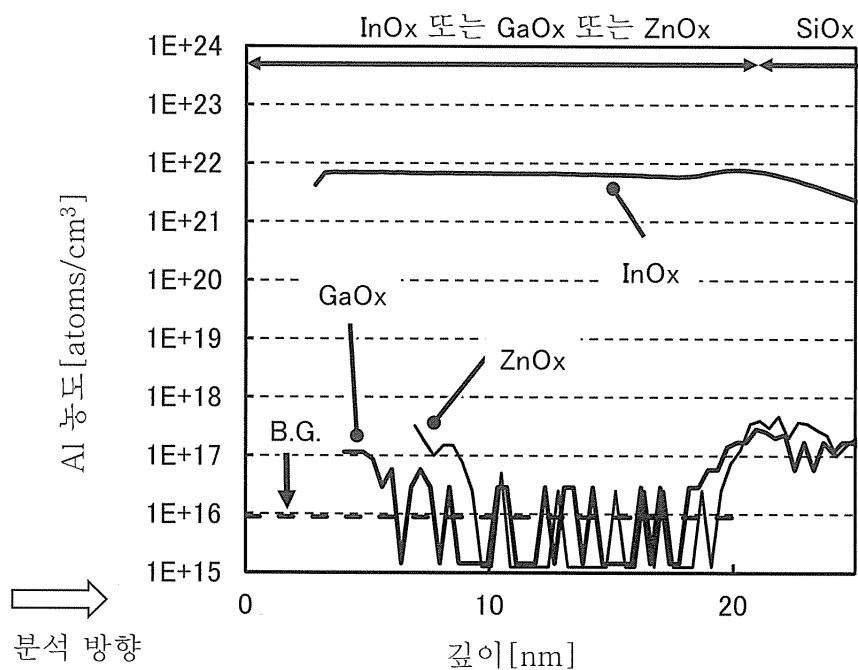
## 도면45



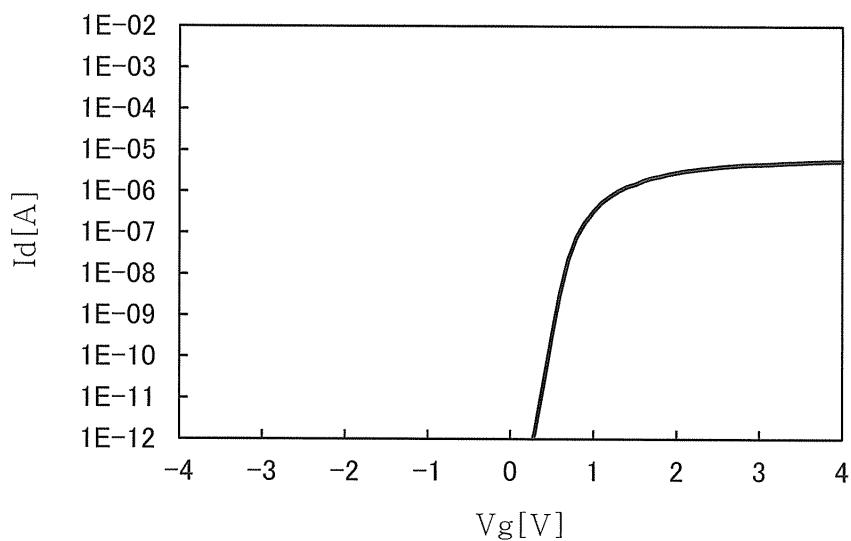
도면46



도면47

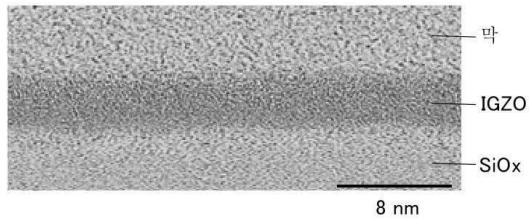


도면48

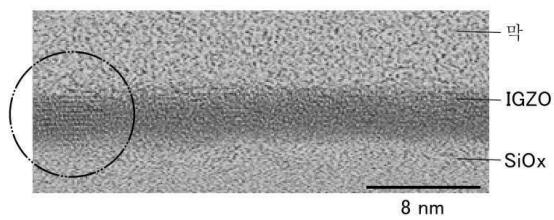


## 도면49

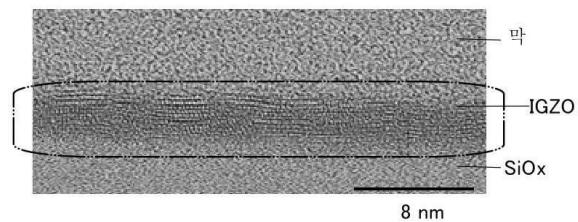
(A)



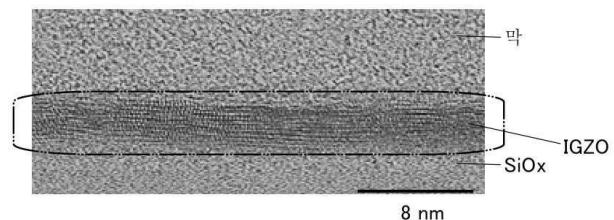
(B)



(C)



(D)



## 도면50

