

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-87440

(P2010-87440A)

(43) 公開日 平成22年4月15日(2010.4.15)

(51) Int.Cl.	F I	テーマコード (参考)
<i>H O 1 L 29/786 (2006.01)</i>	H O 1 L 29/78 6 1 6 V	4 M 1 0 4
<i>H O 1 L 51/05 (2006.01)</i>	H O 1 L 29/78 6 1 6 U	5 F 1 1 0
<i>H O 1 L 51/30 (2006.01)</i>	H O 1 L 29/78 6 1 8 B	
<i>H O 1 L 51/40 (2006.01)</i>	H O 1 L 29/78 6 1 8 E	
<i>H O 1 L 21/28 (2006.01)</i>	H O 1 L 29/28 1 0 0 A	
審査請求 有 請求項の数 11 O L (全 16 頁) 最終頁に続く		

(21) 出願番号 特願2008-258044 (P2008-258044)
 (22) 出願日 平成20年10月3日 (2008. 10. 3)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100098785
 弁理士 藤島 洋一郎
 (74) 代理人 100109656
 弁理士 三反崎 泰司
 (74) 代理人 100130915
 弁理士 長谷部 政男
 (74) 代理人 100155376
 弁理士 田名網 孝昭
 (72) 発明者 平井 暢一
 東京都港区港南1丁目7番1号 ソニー株式会社社内

最終頁に続く

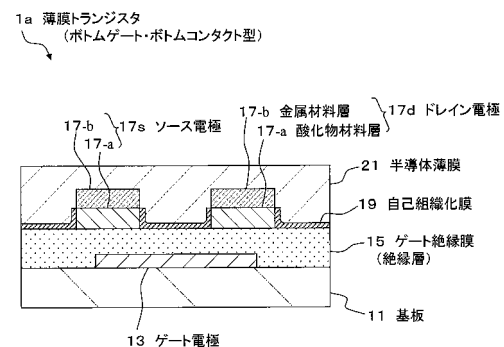
(54) 【発明の名称】 薄膜トランジスタ、薄膜トランジスタの製造方法、および電子機器

(57) 【要約】

【課題】基板やゲート絶縁膜の露出表面と、ソース電極およびドレイン電極の露出表面とに、良好で均一な膜質の半導体薄膜を設けることが可能な薄膜トランジスタを提供する。

【解決手段】薄膜トランジスタ1aは、有機材料または酸化物材料またはシリコン系材料からなるゲート絶縁膜(絶縁層)15上に、導電性酸化物材料からなる酸化物材料層17-aとこの上部の金属材料層17-bとからなるソース電極およびドレイン電極が設けられたものである。そしてゲート絶縁膜(絶縁層)15とソース電極17sおよびドレイン電極17dとにおける酸化物材料層17-aとの露出面が、自己組織化膜19で覆われており、この自己組織化膜19で覆われた上部のソース電極17s - ドレイン電極17d間にわたって半導体薄膜21が設けられている。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

有機材料または酸化物材料またはシリコン系材料からなる絶縁層と、
導電性酸化物材料を用いて前記絶縁層上に形成されたソース電極およびドレイン電極と、
前記絶縁層と前記ソース電極およびドレイン電極との露出面を覆う自己組織化膜と、
前記自己組織化膜が設けられた前記絶縁層上に前記ソース電極 - ドレイン電極間にわたって形成された半導体薄膜と
を備えた薄膜トランジスタ。

【請求項 2】

10

前記ソース電極およびドレイン電極は、前記導電性酸化物材料からなる酸化物材料層上に金属材料層を積層してなり、
前記絶縁層は、ゲート絶縁膜を構成するものであり、
前記自己組織化膜は、前記ゲート絶縁膜の露出表面と前記ソース電極およびドレイン電極を構成する前記酸化物材料層の露出表面とを連続的に覆う状態で設けられていると共に、
前記ゲート絶縁膜下にはゲート電極が設けられている
請求項 1 記載の薄膜トランジスタ。

【請求項 3】

20

前記ソース電極およびドレイン電極は、金属材料層上に前記導電性酸化物材料からなる酸化物材料層を積層してなり、
前記自己組織化膜は、前記絶縁層の露出表面と前記ソース電極およびドレイン電極を構成する前記酸化物材料層の露出表面とを覆う状態で設けられていると共に、
前記半導体薄膜上には、ゲート絶縁膜を介してゲート電極が設けられている
請求項 1 記載の薄膜トランジスタ。

【請求項 4】

前記自己組織化膜は、シランカップリング剤で構成されている
請求項 1 ~ 3 のうちの 1 項に記載の薄膜トランジスタ。

【請求項 5】

30

前記半導体薄膜は、有機半導体薄膜である
請求項 1 ~ 4 のうちの 1 項に記載の薄膜トランジスタ。

【請求項 6】

有機材料または酸化物材料またはシリコン系材料からなる絶縁層上に、導電性酸化物材料を用いてソース電極およびドレイン電極を形成する第 1 工程と、
前記絶縁層と前記ソース電極およびドレイン電極との露出表面に、表面処理によって自己組織化膜を形成する第 2 工程と、
前記自己組織化膜が設けられた前記絶縁層上に前記ソース電極 - ドレイン電極間にわたって半導体薄膜を形成する第 3 工程とを行う
薄膜トランジスタの製造方法。

【請求項 7】

40

前記第 1 工程の前に、ゲート電極を覆う状態で前記絶縁層をゲート絶縁膜として形成する工程を行い、
前記第 1 工程では、前記導電性酸化物材料からなる酸化物材料層上に金属材料層を積層してなる前記ソース電極およびドレイン電極を形成し、
前記第 2 工程では、前記ゲート絶縁膜の露出表面と前記ソース電極およびドレイン電極を構成する前記酸化物材料層の露出表面とを連続的に覆う状態で前記自己組織化膜を形成する
請求項 6 記載の薄膜トランジスタの製造方法。

【請求項 8】

前記第 1 工程では、金属材料層上に前記導電性酸化物材料からなる酸化物層を積層して

50

なる前記ソース電極およびドレイン電極を形成し、

前記第2工程では、前記絶縁層の露出表面と前記ソース電極およびドレイン電極を構成する前記酸化物層の露出表面とに前記自己組織化膜を形成し、

前記第3工程の後に、半導体薄膜上にゲート絶縁膜を介してゲート電極を形成する工程を行う

請求項6記載の薄膜トランジスタの製造方法。

【請求項9】

前記自己組織化膜を形成する工程では、シランカップリング剤を用いた表面処理を行う請求項6～8のうちの1項に記載の薄膜トランジスタの製造方法。

【請求項10】

前記第3工程では、前記半導体薄膜として有機半導体薄膜を形成する請求項6～9のうちの1項に記載の薄膜トランジスタの製造方法。

【請求項11】

有機材料または酸化物材料またはシリコン系材料からなる絶縁層と、導電性酸化物材料を用いて前記絶縁層上に形成されたソース電極およびドレイン電極と

、前記絶縁層と前記ソース電極およびドレイン電極との露出面を覆う自己組織化膜と、

前記自己組織化膜が設けられた前記絶縁層上に前記ソース電極・ドレイン電極間にわたって形成された半導体薄膜とを備えた薄膜トランジスタを有する

電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタ、薄膜トランジスタの製造方法、および電子機器に関し、特にソース電極とドレイン電極との上層に半導体薄膜を設けてなるボトムコンタクト型の薄膜トランジスタとその製造方法、さらにはこの薄膜トランジスタを備えた電子機器に関する。

【背景技術】

【0002】

近年、活性層として有機半導体薄膜を用いた薄膜トランジスタ(thin film transistor: TFT)、いわゆる有機薄膜トランジスタ(以下、有機TFTと記す)が注目されている。有機TFTは、活性層となる有機半導体薄膜を塗布成膜によって低温で形成することが可能であるため、低コスト化に有利である。また、プラスチック等の耐熱性のないフレキシブルな基板上への形成も可能であり、薄型表示装置の駆動素子としても注目されている。

【0003】

このような有機TFTにおいては、活性層となる有機半導体薄膜の膜質が、下地表面の性質に大きく依存することが知られている。そのため、有機TFTの製造においては、デバイス特性の向上を図るために、下地自体の材質を工夫したり、有機半導体薄膜の形成前に下地表面を改質することにより良質な有機半導体薄膜を形成する試みが行われている。

【0004】

例えば、有機半導体薄膜の下地となる基板やゲート絶縁膜は、無機化合物から有機高分子化合物に至るまでの幅広い材料の中から適する材料を選択して用いることにより、これらの上部においての有機半導体薄膜の成長を良好にしている。これに対して、ソース電極およびドレイン電極は、導電性などの観点から材料選択が限られている。このため、例えばチオール分子などによりソース電極およびドレイン電極を表面処理することで、これらの電極上においての有機半導体薄膜の成長を良好にしている。

【0005】

またこの他にも、酸化シリコン(SiO_2)からなるゲート絶縁膜上に、金(Au)からなるソース電極およびドレイン電極を形成した後、オクタデシルトリクロロシラン(OC

10

20

30

40

50

tadecyltrichlorosilane : O T S) のエタノール溶液を用いた処理を行う。これにより、 SiO_2 上にO T Sの単分子膜を自己組織化的に形成し、有機半導体薄膜の下地となるゲート絶縁膜表面を改質することが開示されている（下記非特許文献1参照）。

【 0 0 0 6 】

さらに、有機半導体薄膜の下地となるゲート絶縁膜の表面に、有機半導体薄膜の下地改質のための自己組織化単分子層を設ける際、この自己組織化単分子層を、ゲート絶縁膜と自己組織化単分子層の前駆体との反応性生物として形成する方法が開示されている（例えば下記特許文献 1 参照）。

【 0 0 0 7 】

【 非特許文献 1 】 「 IEEE ELECTRON DEVICE LETTERS 」、1997年、VOL.18、NO.12、p.606-608 10

【 特許文献 1 】 特表 2 0 0 5 - 5 0 3 0 2 6 号公報

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 8 】

ところで、ボトムコンタクト型の有機 T F T の製造においては、基板とソース電極およびドレイン電極とが混在する表面上、またはゲート絶縁膜とソース電極およびドレイン電極とが混在する表面上に有機半導体薄膜を形成する必要がある。

【 0 0 0 9 】

しかしながら、上述したように基板やゲート絶縁膜の材料を適宜選択し、この上部に形成したソース電極およびドレイン電極をチオール分子で表面処理する方法では、表面処理プロセスにおいて基板やゲート絶縁膜にダメージが加わる。これにより、材料選択された基板やゲート絶縁膜上においての良好な有機半導体薄膜の成長が阻害され、デバイス特性の劣化を招く要因となる。 20

【 0 0 1 0 】

またゲート絶縁膜の表面にO T S等の自己組織化層を形成する方法では、例えば金（A u）のような導電性の良好な材料からなるソース電極およびドレイン電極の表面には、自己組織化層が形成され難い。このため、ソース電極およびドレイン電極の表面状態と、基板やゲート絶縁膜の表面状態とを完全に同じにすることはできず、ソース電極およびドレイン電極上において、基板やゲート絶縁膜上と同様の有機半導体薄膜の成長を行うことは 30 困難であった。これは、有機 T F T におけるコンタクト抵抗の増加によるデバイス特性の劣化を招く要因となる。

【 0 0 1 1 】

そこで本発明は、基板やゲート絶縁膜の露出表面と、ソース電極およびドレイン電極の露出表面とに、良好で均一な膜質の半導体薄膜を設けることが可能で、これによりソース電極およびドレイン電極との間のコンタクト抵抗の低減などの特性の向上が図られた薄膜トランジスタを提供すること、さらにはこのような薄膜トランジスタの製造方法およびこの薄膜トランジスタを用いた電子機器を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 1 2 】

このような目的を達成するための本発明の薄膜トランジスタは、有機材料または酸化物材料またはシリコン系材料からなる絶縁層上に、導電性酸化物材料を用いて構成されたソース電極およびドレイン電極が設けられたものである。そして特に、これらの絶縁層とソース電極およびドレイン電極との露出面が自己組織化膜で覆われており、この自己組織化膜で覆われた絶縁層上にソース電極 - ドレイン電極間にわたって半導体薄膜が設けられている。 40

【 0 0 1 3 】

また本発明の薄膜トランジスタの製造方法は、次の工程を順次行なう。先ず第 1 工程では、有機材料または酸化物材料またはシリコン系材料からなる絶縁層上に導電性酸化物材料を用いてソース電極およびドレイン電極を形成する。次に第 2 工程では、絶縁層とソー 50

ス電極およびドレイン電極との露出表面に、表面処理によって自己組織化膜を形成する。その後第3工程では、自己組織化膜が設けられた絶縁層上に、ソース電極 - ドレイン電極間にわたって半導体薄膜を形成する。

【0014】

また本発明の電子機器は、以上のような構成の薄膜トランジスタを有する電子機器である。

【0015】

以上の構成では、有機材料または酸化物材料またはシリコン系材料からなる絶縁層の露出表面と、ソース電極およびドレイン電極を構成する導電性酸化物材料の露出表面とに、同一の自己組織化膜を形成することができる。これにより、ソース電極 - ドレイン電極間にわたって設けられる半導体薄膜の下地が、同一の自己組織化膜によって均質に改質される。

10

【発明の効果】

【0016】

以上説明したように本発明によれば、ソース電極 - ドレイン電極間にわたって設けられる半導体薄膜の下地を、同一の自己組織化膜によって均質に改質することが可能になる。これにより、基板やゲート絶縁膜の露出表面と、ソース電極およびドレイン電極の露出表面とに、良好で均一な膜質の半導体薄膜を設けることが可能になり、半導体薄膜を用いた薄膜トランジスタにおいてのソース電極およびドレイン電極との間のコンタクト抵抗の低減や特性の向上を図ることが可能になる。またこれと共に、このような薄膜トランジスタを用いて構成された電子機器においての特性の向上を図ることが可能になる。

20

【発明を実施するための最良の形態】

【0017】

以下、本発明を適用した各実施の形態を、図面に基づいて説明する。尚、各実施形態においては、薄膜トランジスタの構成、薄膜トランジスタの製造方法の順に説明し、その後、この薄膜トランジスタを用いた電子機器としての表示装置の実施形態を説明する。

【0018】

第1実施形態の薄膜トランジスタの構成

図1は第1実施形態の薄膜トランジスタの断面図である。この図に示す薄膜トランジスタ1aは、ボトムゲート・ボトムコンタクト型の薄膜トランジスタとして構成されており、基板11側から順に、ゲート電極13、ゲート絶縁膜15、ソース電極17sおよびドレイン電極17d、自己組織化膜19、および半導体薄膜21を備えている。

30

【0019】

このうち特にソース電極17sおよびドレイン電極17dが、導電性酸化物材料を用いて構成されている点、およびゲート絶縁膜15とソース電極17sおよびドレイン電極17dとの露出面を覆う状態で自己組織化膜19が設けられている点が特徴的である。以下、薄膜トランジスタ1aの構成を、基板11側から順に説明する。

【0020】

基板11は、少なくとも表面側が絶縁性材料で構成されていれば良く、例えばガラス基板からなる。基板11の材料は、この他にもポリエチレンテレフタレート（PET）、ポリエーテルスルホン（PES）、ポリエチレンナフタレート（PEN）、ポリカーボネート（PC）、液晶ポリマーなどのプラスチックシートが用いられる。さらに基板11には、ステンレス、アルミニウム、銅などの金属シートの表面を絶縁処理して用いても良い。

40

【0021】

この基板11上に設けられたゲート電極13は、例えばアルミニウム（Al）からなる。またこのゲート電極13は、この他にもタングステン（W）、タンタル（Ta）、モリブデン（Mo）、金（Au）、クロム（Cr）、チタン（Ti）、銅（Cu）、ニッケル（Ni）等のスパッタリング法、蒸着法、あるいはめっき法によって成膜された金属材料膜をパターンニングしてなるものであって良い。またゲート電極13は、金（Au）微粒子や

50

銀（Ａｇ）微粒子等を含有するインクペーストを用いたインクジェット印刷、スクリーン印刷、オフセット印刷、グラビア印刷等の印刷技術によってパターン形成されたものであっても良い。

【００２２】

ゲート絶縁膜１５は、次に説明する自己組織化膜の下地となる絶縁層として構成され、有機材料または酸化物材料またはシリコン系材料からなる。このゲート絶縁膜１５は、例えばポリビニルフェノールのような塗布性膜が可能な材料からなることが好ましい。

【００２３】

このようなゲート絶縁膜（絶縁層）１５は、ポリビニルフェノールの他、ポリイミド、ポリメタクリル酸メチル、ポリビニルアルコール、ポリパラキシリレン、ポリエステル、ポリエチレン、ポリカーボネート、ポリアミド、ポリアミドイミド、ポリエーテルイミド、ポリシロキサン、ポリメタクリルアミド、ポリウレタン、ポリブタジエン、ポリスチレン、ポリ塩化ビニル、ニトリルゴム、アクリルゴム、ブチルゴム、エポキシ樹脂、フェノール樹脂、メラミン樹脂、ウレア樹脂、ノボラック樹脂などの有機材料が用いられる。また有機材料は、サイトップ（登録商標）のようなフッ素樹脂であっても良い。

10

【００２４】

またゲート絶縁膜（絶縁層）１５は、上述した有機材料以外にも、窒化ケイ素、酸化ケイ素、炭化ケイ素などのシリコン系材料、さらには酸化アルミニウム、酸化タンタル、酸化ハフニウム、のような酸化物材料で構成されていても良い。

20

【００２５】

そしてゲート絶縁膜（絶縁層）１５上に設けられるソース電極１７ｓおよびドレイン電極１７ｄは、導電性酸化物材料を用いて構成されている。ここでは特に、導電性酸化物材料からなる酸化物材料層１７-aと、この上部の金属材料層１７-bとの積層構造としてソース電極１７ｓおよびドレイン電極１７ｄが構成されているところが特徴的である。

【００２６】

ここで導電性酸化物材料からなる酸化物材料層１７-aは、例えば酸化モリブデン、インジウム・スズ酸化物（ＩＴＯ）、インジウム・亜鉛酸化物（ＩＺＯ）、酸化チタン、酸化スズ、酸化亜鉛、酸化ニオブ、酸化インジウム、酸化ジルコニウム、酸化ランタン、チタン酸ストロンチウム、チタン酸バリウムなどが用いられる。

30

【００２７】

また、金属材料層１７-bは、例えば金（Ａｕ）、白金（Ｐｔ）、パラジウム（Ｐｄ）、クロム（Ｃｒ）、ニッケル（Ｎｉ）、モリブデン（Ｍｏ）、ニオブ（Ｎｂ）、ネオジム（Ｎｄ）、ルビジウム（Ｒｂ）、ロジウム（Ｒｈ）、アルミニウム（Ａｌ）、銀（Ａｇ）、タンタル（Ｔａ）、タングステン（Ｗ）、チタン（Ｔｉ）、銅（Ｃｕ）、インジウム（Ｉｎ）、錫（Ｓｎ）やそれらの合金が用いられる。

【００２８】

自己組織化膜１９は、ゲート絶縁膜１５の露出表面と、ソース電極１７ｓおよびドレイン電極１７ｄを構成する酸化物材料層１７-aの露出表面とを覆う状態で設けられている。ここで、ソース電極１７ｓおよびドレイン電極１７ｄの酸化物材料層１７-aは、ゲート絶縁膜１５の直上に設けられている。このため、ゲート絶縁膜１５の露出表面と酸化物材料層１７-aの露出表面とを覆う自己組織化膜１９は、連続的に設けられた同一の膜となる。

40

【００２９】

ここで自己組織化膜１９は、以降の製造方法で説明するように、表面処理を行うことにより特定材料の表面上に自己組織的に分子が配列して配列形成された膜である。特に、ここでは、ソース電極１７ｓおよびドレイン電極１７ｄを構成する酸化物材料層１７-aの露出表面と、有機材料または酸化物材料またはシリコン系材料からなるゲート絶縁膜１５の露出表面とに、同一の表面処理によって連続した自己組織化膜１９が形成される。このような自己組織化膜１９は、例えばシラン化合物からなるシランカップリング剤かなる。

【００３０】

シランカップリング剤の具体例としては、オクタデシルトリクロロシランが例示される

50

が、この他にも分子の一端に加水分解でシラノール基 (Si-OH) を与えるエトキシ (又はメトキシ) 基を有する化合物をシランカップリング剤として用いることができる。

【0031】

そして半導体薄膜 21 は、ソース電極 17s およびドレイン電極 17d 間にわたって設けられる。この半導体薄膜 21 は、対向配置されたソース電極 17s、ドレイン電極 17d、およびこれらの電極 17s - 17d 間のゲート絶縁膜 15 に対して自己組織化膜 19 を介して密着成膜されている。尚、ソース電極 17s およびドレイン電極 17d の金属材料層 17-b の露出表面に対しては、半導体薄膜 21 が直接成膜されていて良い。

【0032】

このような半導体薄膜 21 は、例えばペンタセン、ナフタセン、ヘキサセン、ヘプタセン、ピレン、クリセン、ペリレン、コロネン、ルブレン、ポリチオフェン、ポリアセン、ポリフェニレンビニレン、ポリピロール、ポルフィリン、カーボンナノチューブ、フラーレン、金属フタロシアニンやそれらの誘導体といった有機半導体材料からなる。

【0033】

また半導体薄膜 21 は、や InGaZnO₄, ZnO といった酸化物半導体を用いてもよい。

【0034】

第 1 実施形態の薄膜トランジスタの製造方法

図 2 は、以上のような構成の薄膜トランジスタの製造手順の一例を示す断面工程図である。次にこれらの断面工程図に基づいて第 1 実施形態の薄膜トランジスタ 1a の製造方法を説明する。

【0035】

先ず、図 2 (1) に示すように、基板 11 上にゲート電極 13 をパターン形成する。ここでは、ガラス基板 11 上に例えばアルミニウム膜を成膜した後、レジストパターンをマスクにしたウェットエッチングによりアルミニウム膜をパターニングすることにより、アルミニウムからなるゲート電極 13 をパターン形成する。

【0036】

次に、図 2 (2) に示すように、ゲート電極 13 が形成された基板 11 上に、ゲート絶縁膜 15 を成膜する。ここでは例えば、ゲート電極 13 が形成された基板 11 上に、ポリビニルフェノール溶液をスピコートし加熱乾燥させることにより、ゲート電極 13 を覆う状態で有機材料からなるゲート絶縁膜 (絶縁層) 15 を形成する。尚、ゲート絶縁膜 13 の成膜は、ゲート絶縁膜として用いる材質によって適宜選択された成膜方法によって行うこととする。

【0037】

その後、図 2 (3) に示すように、ゲート絶縁膜 15 上に、酸化物材料層 17-a と金属材料層 17-b との積層構造からなるソース電極 17s とドレイン電極 17d とを形成する。ここでは例えば、リフトオフ法を適用したソース電極 17s およびドレイン電極 17d の形成を行う。この際先ず、ゲート絶縁膜 15 上にレジストパターンを形成し、その上部から酸化モリブデン膜および Au 膜をこの順に成膜し、次いでレジストパターンを除去する。これにより、レジストパターン上の酸化モリブデン膜および Au 膜をリフトオフ除去し、ゲート絶縁膜 15 上に残った酸化モリブデン膜からなる酸化物材料層 17-a および Au 膜からなる金属材料層 17-b との積層部を、ソース電極 17s とドレイン電極 17d として形成する。

【0038】

次いで、図 2 (4) に示すように、ゲート絶縁膜 15 と、ソース電極 17s およびドレイン電極 17d における酸化物材料層 17-a との露出表面に、自己組織化膜 19 を成膜する。ここでは、ソース電極 17s およびドレイン電極 17d が形成された基板 11 を、例えばシランカップリング剤であるオクタデシルトリクロシラン溶液に浸漬させる表面処理を行う。これにより、有機材料からなるゲート絶縁膜 (絶縁層) 15 の露出表面と、ソース電極 17s およびドレイン電極 17d における酸化物材料層 17-a の露出表面とに、

10

20

30

40

50

シランカップリング剤からなる自己組織化膜 19 が連続的に形成される。

【0039】

この状態で、図 2 (5) に示すように、ソース電極 17s - ドレイン電極 17d 間に渡って半導体薄膜 21 を形成する。ここでは、例えば抵抗加熱法によってペンタセンからなる半導体薄膜 21 を蒸着成膜する。尚、半導体薄膜 21 の成膜方法は、用いる材料によって塗布法や印刷法等の適する成膜方法が選択される。

【0040】

以上により、図 1 を用いて説明した構成のボトムゲート・ボトムコンタクト型の薄膜トランジスタ 1a が得られる。

【0041】

以上の第 1 実施形態では、有機材料または酸化物材料またはシリコン系材料からなるゲート絶縁膜 15 上に、下層部分を導電性酸化物材料からなる酸化物材料層 17-a としたソース電極 17s およびドレイン電極 17d を設けた。このため、ゲート絶縁膜 15 の露出表面と、ソース電極 17s およびドレイン電極 17d における下層部分の側壁露出面とに、同一の自己組織化膜 19 を設けることが可能である。これにより、ソース電極 17s - ドレイン電極 17d 間にわたって設けられる半導体薄膜 21 の下地を同一の自己組織化膜 19 によって均質に改質することができ、この上部に形成される半導体薄膜 21 を良好で均一な膜質とすることが可能になる。

【0042】

この結果、半導体薄膜 21 を用いた薄膜トランジスタ 1a において、半導体薄膜 21 と、ソース電極 17s およびドレイン電極 17d との間のコンタクト抵抗の低減が図られるなど、トランジスタ特性の特性の向上を図ることが可能になる。

【0043】

また、ソース電極 17s およびドレイン電極 17d は、上述した酸化物材料層 17-a の上部に金属材料層 17-b を設けた積層構造である。このため、導電性も十分に確保された構成となっている。尚、図 2 (4) を用いて説明した表面処理による自己組織化膜 19 の形成においては、この金属材料層 17-b の露出表面には自己組織化膜 19 は形成され難い。しかしながら、自己組織化膜 19 は、ゲート絶縁膜 15 とこの直上の酸化物材料層 17-a の側壁に形成されていれば、ゲート絶縁膜 15 と接する側には自己組織化膜 19 を介して良質な半導体薄膜 21 を成長させることが可能なのである。

【0044】

第 2 実施形態の薄膜トランジスタの構成

図 3 は第 2 実施形態の薄膜トランジスタの断面図である。以下、図 1 を用いて説明した第 1 実施形態の薄膜トランジスタと同一の構成要素には同一の符号を付して、第 2 実施形態の薄膜トランジスタ 1b の構成を説明する。

【0045】

この図に示す薄膜トランジスタ 1b は、トップゲート・ボトムコンタクト型の薄膜トランジスタとして構成されており、基板 11' 側から順に、ソース電極 17s およびドレイン電極 17d、自己組織化膜 19、半導体薄膜 21、ゲート絶縁膜 15'、およびゲート電極 13 を備えている。

【0046】

このうち特にソース電極 17s およびドレイン電極 17d が、導電性酸化物材料を用いて構成されている点、および基板 11' とソース電極 17s およびドレイン電極 17d との露出面を覆う状態で自己組織化膜 19 が設けられている点が特徴的である。以下、薄膜トランジスタ 1b の構成を、基板 11' 側から順に説明する。

【0047】

基板 11' は、次に説明する自己組織化膜の下地となる絶縁層として構成され、少なくとも表面側が、有機材料または酸化物材料またはシリコン系材料からなる。

【0048】

このような基板 (絶縁層) 11' は、ガラス基板、石英基板、さらにはポリエチレンテ

10

20

30

40

50

レフタレート (PET)、ポリエーテルスルホン (PES)、ポリエチレンナフタレート (PEN)、ポリカーボネート (PC)、液晶ポリマーなどのプラスチックシートからなる単一構造であっても良い。また、基板 11' は、ステンレス、アルミニウム、銅などの金属シートの表面を絶縁処理することにより、有機材料または酸化物材料またはシリコン系材料からなる絶縁層として用いても良い。

【0049】

そして絶縁層として基板 11' 上に設けられるソース電極 17s およびドレイン電極 17d は、導電性酸化物材料を用いて構成されている。ここでは特に、第 1 実施形態とは逆に、金属材料層 17-b と、この上部の電性酸化物材料からなる酸化物材料層 17-a との積層構造としてソース電極 17s およびドレイン電極 17d が構成されているところが特徴的である。

10

【0050】

ここで酸化物材料層 17-a は、第 1 実施形態と同様であって、例えば酸化モリブデン、インジウム・スズ酸化物 (ITO)、インジウム・亜鉛酸化物 (IZO)、酸化チタン、酸化スズ、酸化亜鉛、酸化ニオブ、酸化インジウム、酸化ジルコニウム、酸化ランタン、チタン酸ストロンチウム、チタン酸バリウムなどが用いられる。

【0051】

また、金属材料層 17-b は、第 1 実施形態と同様であって、例えば金 (Au)、白金 (Pt)、パラジウム (Pd)、クロム (Cr)、ニッケル (Ni)、モリブデン (Mo)、ニオブ (Nb)、ネオジム (Nd)、ルビジウム (Rb)、ロジウム (Rh)、アルミニウム (Al)、銀 (Ag)、タンタル (Ta)、タングステン (W)、チタン (Ti)、銅 (Cu)、インジウム (In)、錫 (Sn) やそれらの合金が用いられる。

20

【0052】

自己組織化膜 19 は、基板 11' の露出表面と、ソース電極 17s およびドレイン電極 17d を構成する酸化物材料層 17-a の露出表面とを覆う状態で設けられている。ここで、ソース電極 17s およびドレイン電極 17d の酸化物材料層 17-a は、基板 11' 上に金属材料層 17-b を介して設けられている。このため、基板 11' の露出表面と酸化物材料層 17-a の露出表面とを覆う自己組織化膜 19 は、同一材料からなるが金属材料層 17-b の側壁部分で分断された状態となる。またソース電極 17s およびドレイン電極 17d の上部が酸化物材料層 17-a で構成されるため、ソース電極 17s およびドレイン電極 17d の上面も自己組織化膜 19 で覆われた状態となる。

30

【0053】

ここで自己組織化膜 19 は、第 1 実施形態と同様であり、表面処理を行うことにより特定材料の表面上に自己組織的に分子が配列して配列形成された膜である。特にここでは、ソース電極 17s およびドレイン電極 17d を構成する酸化物材料層 17-a の露出表面と、有機材料または酸化物材料またはシリコン系材料からなる基板 11' の露出表面とは、同一の表面処理によって同一の自己組織化膜 19 が形成される。このような自己組織化膜 19 は、例えばシラン化合物からなるシランカップリング剤かなる。

【0054】

シランカップリング剤の具体例としては、第 1 実施形態と同様に、オクタデシルトリクロロシランが例示されるが、この他にも分子の一端に加水分解でシラノール基 (Si-OH) を与えるエトキシ (又はメトキシ) 基を有する化合物をシランカップリング剤として用いることができる。

40

【0055】

そして半導体薄膜 21 は、ソース電極 17s およびドレイン電極 17d 間にわたって設けられる。この半導体薄膜 21 は、対向配置されたソース電極 17s、ドレイン電極 17d、およびこれらの電極 17s - 17d 間の基板 11' に対して自己組織化膜 19 を介して密着成膜されている。尚、ソース電極 17s およびドレイン電極 17d の金属材料層 17-b の露出表面に対しては、半導体薄膜 21 が直接成膜されていて良い。

【0056】

50

このような半導体薄膜 21 は、第 1 実施形態と同様であって、例えばペンタセン、ナフタセン、ヘキサセン、ヘプタセン、ピレン、クリセン、ペリレン、コロネン、ルブレン、ポリチオフェン、ポリアセン、ポリフェニレンビニレン、ポリピロール、ポルフィリン、カーボンナノチューブ、フラレン、金属フタロシアニンやそれらの誘導体といった有機半導体材料からなる。また半導体薄膜は、や InGaZnO_4 、 ZnO といった酸化物半導体を用いてもよい。

【0057】

ゲート絶縁膜 15' は、ゲート絶縁膜として適する材料を選択して用いれば良く、例えばポリパラキシリレンなどが用いられる。このようなゲート絶縁膜 15' は、ポリパラキシリレンの他、ポリイミド、ポリメタクリル酸メチル、ポリビニールアルコール、ポリビニルフェノール、ポリエステル、ポリエチレン、ポリカーボネート、ポリアミド、ポリアミドイミド、ポリエーテルイミド、ポリシロキサン、ポリメタクリルアミド、ポリウレタン、ポリブタジエン、ポリスチレン、ポリ塩化ビニル、ニトリルゴム、アクリルゴム、ブチルゴム、エポキシ樹脂、フェノール樹脂、メラミン樹脂、ウレア樹脂、ノボラック樹脂、窒化ケイ素、酸化ケイ素、炭化ケイ素、酸化アルミニウム、酸化タンタル、酸化ハフニウム、サイトップ（登録商法）などを用いても良い。

【0058】

このゲート絶縁膜 15' 上に設けられたゲート電極 13 は、例えば金 (Au) からなる。尚このゲート電極 13 は、第 1 実施形態と同様の材料が用いられ、金 (Au) の他にも、タングステン (W)、タンタル (Ta)、モリブデン (Mo)、アルミニウム (Al)、クロム (Cr)、チタン (Ti)、銅 (Cu)、ニッケル (Ni) 等のスパッタリング法、蒸着法、あるいはめっき法によって成膜された金属材料膜をパターンニングしてなるものであって良い。またゲート電極 13 は、金 (Au) 微粒子や銀 (Ag) 微粒子等を含むインクペーストを用いたインクジェット印刷、スクリーン印刷、オフセット印刷、グラビア印刷等の印刷技術によってパターン形成されたものであっても良い。

【0059】

第 2 実施形態の薄膜トランジスタの製造方法

図 4 は、以上のような構成の薄膜トランジスタの製造手順の一例を示す断面工程図である。次にこれらの断面工程図に基づいて第 2 実施形態の薄膜トランジスタ 1b の製造方法を説明する。

【0060】

先ず、図 4 (1) に示すように、基板 11' 上に、金属材料層 17-b と酸化物材料層 17-a との積層構造からなるソース電極 17s とドレイン電極 17d とを形成する。ここでは例えば、リフトオフ法を適用してソース電極 17s およびドレイン電極 17d の形成を行う。この際先ず、ガラス基板 11' 上にレジストパターンを形成し、その上部から Au 膜および酸化モリブデン膜をこの順に成膜し、次いでレジストパターンを除去する。これにより、レジストパターン上の Au 膜および酸化モリブデン膜をリフトオフ除去し、ゲート絶縁膜 15 上に残った Au 膜からなる金属材料層 17-b および酸化モリブデン膜からなる酸化物材料層 17-a との積層部を、ソース電極 17s とドレイン電極 17d として形成する。

【0061】

次に、図 4 (2) に示すように、基板 11' と、ソース電極 17s およびドレイン電極 17d における酸化物材料層 17-a との露出表面に、自己組織化膜 19 を成膜する。ここでは、ソース電極 17s およびドレイン電極 17d が形成された基板 11' を、シランカップリング剤であるオクタデシルトリクロロシラン溶液に浸漬させる表面処理を行う。これにより、シリコンを含むガラス材料からなる基板 11' の露出表面と、ソース電極 17s およびドレイン電極 17d における酸化物材料層 17-a の露出表面とに、シランカップリング剤からなる自己組織化膜 19 が形成される。

【0062】

尚、自己組織化膜 19 を形成するための表面処理には、オクタデシルトリクロロシラン

10

20

30

40

50

の他に、分子の一端に加水分解でシラノール基（ $\text{Si}-\text{OH}$ ）を与えるエトキシ（又はメトキシ）基を有する化合物（いわゆるシランカップリング剤）を用いることができる。

【0063】

先ず、図4（3）に示すように、ソース電極17s - ドレイン電極17d間に渡って半導体薄膜21を形成する。ここでは、例えば抵抗加熱法によってペンタセンからなる半導体薄膜21を蒸着成膜する。尚、半導体薄膜21の成膜方法は、用いる材料によって塗布法や印刷法等の適する成膜方法が選択される。

【0064】

先ず、図4（4）に示すように、半導体薄膜21上に、ゲート絶縁膜15'を成膜する。ここでは例えば、半導体薄膜21上に、ポリパラキシリレンからなるゲート絶縁膜15'をCVDで成膜する。

10

【0065】

先ず、図4（5）に示すように、ゲート絶縁膜15'上にゲート電極13をパターン形成する。ここでは、ポリパラキシリレンからなるゲート絶縁膜15'上に、例えば金（Au）膜を成膜した後、レジストパターンをマスクにしたウェットエッチングにより金（Au）膜をパターニングすることにより、金（Au）からなるゲート電極13をパターン形成する。

【0066】

以上により、図3を用いて説明した構成のトップゲート・ボトムコンタクト型の薄膜トランジスタ1bが得られる。

20

【0067】

以上の第2実施形態では、有機材料または酸化物材料またはシリコン系材料からなる基板11'上に、上層部分を導電性酸化物材料からなる酸化物材料層17-aとしたソース電極17sおよびドレイン電極17dを設けた。このため、基板11'の露出表面と、ソース電極17sおよびドレイン電極17dにおける上面と上層部分の側壁露出面とに、同一の自己組織化膜19を設けることができる。これにより、ソース電極17s - ドレイン電極17d間にわたって設けられる半導体薄膜21の下地を同一の自己組織化膜19によって均質に改質することができ、この上部に形成される半導体薄膜21を良好で均一な膜質とすることが可能になる。

【0068】

30

この結果、半導体薄膜21を用いた薄膜トランジスタ1bにおいて、半導体薄膜21と、ソース電極17sおよびドレイン電極17dとの間のコンタクト抵抗の低減が図られるなど、トランジスタ特性の特性の向上を図ることが可能になる。

【0069】

また、ソース電極17sおよびドレイン電極17dは、上述した酸化物材料層17-aの下部に金属材料層17-b上を設けた積層構造である。このため、導電性も十分に確保された構成となっている。尚、図4（2）を用いて説明した表面処理による自己組織化膜19の形成においては、この金属材料層17-bの露出表面に自己組織化膜19は形成され難い。しかしながら、自己組織化膜19は、ゲート絶縁膜15'に対向する位置に形成されていれば、ゲート絶縁膜15'と接する側には自己組織化膜19を介して良質な半導体薄膜21を成長させることが可能なものでありゲート絶縁膜15'との境界部分における半導体薄膜21の膜質を良好に成長させることが可能である。

40

【0070】

電子機器

図5には、図1で示した第1実施形態のボトムゲート・ボトムコンタクト構造の薄膜トランジスタ1aを備えた本発明の電子機器の一例として、有機電界発光素子ELを用いたアクティブマトリックス型の表示装置の1画素分の断面図を示す。

【0071】

この図に示す表示装置5は、有機電界発光素子ELを設けた表示装置であり、次のように構成されている。

50

【 0 0 7 2 】

すなわち、薄膜トランジスタ 1 a は、例えばここでの図示を省略した保護膜を介して層間絶縁膜 5 1 で覆われる。この層間絶縁膜 5 1 は、平坦化膜として構成されることが好ましい。またこの層間絶縁膜 5 1 には、薄膜トランジスタ 1 a のドレイン電極 1 7 d に達する接続孔 5 1 a が設けられている。

【 0 0 7 3 】

そして、層間絶縁膜 5 1 上の各画素に、接続孔 5 1 a を介して薄膜トランジスタ 1 a に接続された有機電界発光素子 E L が設けられている。この有機電界発光素子 E L は、層間絶縁膜 5 1 上に設けられた絶縁性パターン 5 3 で素子分離されている。

【 0 0 7 4 】

この有機電界発光素子 E L は、層間絶縁膜 5 1 上に設けられた画素電極 5 5 を備えている。この画素電極 5 5 は、各画素毎に導電性パターンとして形成され、層間絶縁膜 5 1 に設けられた接続孔 5 1 a を介して薄膜トランジスタ 1 a のドレイン電極 1 7 d における金属材料層 1 7 -b に接続されている。このような画素電極 5 5 は、例えば陽極として用いられるものであり、光反射性を有して構成されていることとする。

【 0 0 7 5 】

そして、この画素電極 5 5 の周縁が、有機電界発光素子 E L を素子分離するための絶縁性パターン 5 3 で覆われている。この絶縁性パターン 5 3 は、画素電極 5 5 を広く露出させる開口窓 5 3 a を備えており、この開口窓 5 3 a が有機電界発光素子 E L の画素開口となる。このような絶縁性パターン 5 3 は、例えば感光性樹脂を用いて構成され、リソグラフィ法を適用してパターニングされたものであることとする。

【 0 0 7 6 】

そして、このような絶縁性パターン 5 3 から露出する画素電極 5 5 上を覆う状態で、有機層 5 7 が設けられている。この有機層 5 7 は、少なくとも有機発光層を備えた積層構造からなり、必要に応じて陽極（ここでは画素電極 5 5）側から順に、正孔注入層、正孔輸送層、有機発光層、電子輸送層、電子注入層、さらには他の層を積層してなる。また有機層 5 7 は、例えば各有機電界発光素子 E L で発生させる発光光の波長毎に、少なくとも有機発光層を含む層が画素毎に異なる構成でパターン形成されていることとする。また、各波長の画素で共通の層を有していても良い。さらに、この有機電界発光素子 E L が、微小共振器構造として構成されている場合、各有機電界発光素子 E L から取り出す波長に合わせて有機層 5 7 の膜厚が調整されていることとする。

【 0 0 7 7 】

以上のような有機層 5 7 を覆い、画素電極 5 5 との間に有機層 5 7 を挟持する状態で、共通電極 5 9 が設けられている。この共通電極 5 9 は、有機電界発光素子 E L の有機発光層で発生させた光 h を取り出す側の電極であり、光透過性を有する材料で構成されていることとする。またここでは、画素電極 5 5 が陽極として機能するものであるため、この共通電極 5 9 は、少なくとも有機層 5 7 に接する側が陰極として機能する材料を用いて構成されていることとする。さらに、この有機電界発光素子 E L が、微小共振器構造として構成されている場合、この共通電極 5 9 は、半透過半反射性を有する構成であることとする。

【 0 0 7 8 】

そして、以上のような画素電極 5 5 と共通電極 5 9 との間に有機層 5 7 が挟持された各画素部分が、有機電界発光素子 E L として機能する部分となる。

【 0 0 7 9 】

またここでの図示は省略したが、各有機電界発光素子 E L の形成面側は、光透過性材料からなる封止樹脂で覆われ、さらにこの封止樹脂を介して光透過性材料からなる対向基板が張り合わされた状態で表示装置 5 が構成されている。

【 0 0 8 0 】

ここで、この表示装置 5 は、基板 1 1 表面側の各画素に、上述した構成の薄膜トランジスタ 1 a とこれに接続された有機電界発光素子 E L とが配列されたものであり、全体の回

10

20

30

40

50

路構成は、例えば図 6 の回路構成図に示すように構成されている。

【 0 0 8 1 】

この図に示すように、表示装置 5 の基板 1 1 上には、表示領域 1 1 a とその周辺領域 1 1 b とが設定されている。表示領域 1 1 a には、複数の走査線 6 1 と複数の信号線 6 3 とが縦横に配線されており、それぞれの交差部に対応して 1 つの画素 a が設けられた画素アレイ部として構成されている。また周辺領域 1 1 b には、走査線 6 1 を走査駆動する走査線駆動回路 6 5 と、輝度情報に応じた映像信号（すなわち入力信号）を信号線 6 3 に供給する信号線駆動回路 6 7 とが配置されている。

【 0 0 8 2 】

走査線 6 1 と信号線 6 3 との各交差部に設けられる画素回路は、例えばスイッチング用の薄膜トランジスタ $T_r 1$ 、駆動用の薄膜トランジスタ $T_r 2$ 、保持容量 C_s 、および有機電界発光素子 E_L で構成されている。このうち、薄膜トランジスタ $T_r 1$ 、 $T_r 2$ として、第 1 実施形態で説明した構成の薄膜トランジスタ 1 a が適用される。

【 0 0 8 3 】

そして、走査線駆動回路 6 5 による駆動により、スイッチング用の薄膜トランジスタ $T_r 1$ を介して信号線 6 3 から書き込まれた映像信号が保持容量 C_s に保持され、保持された信号量に応じた電流が駆動用の薄膜トランジスタ $T_r 2$ から有機電界発光素子 E_L に供給され、この電流値に応じた輝度で有機電界発光素子 E_L が発光する。尚、駆動用の薄膜トランジスタ $T_r 2$ と保持容量 C_s とは、共通の電源供給線（ V_{cc} ）6 9 に接続されている。

【 0 0 8 4 】

先に説明した図 5 の断面図は、以上のような画素回路において、薄膜トランジスタ $T_r 2$ と有機電界発光素子 E_L とが積層された部分の断面を示している。そして、画素回路に示した薄膜トランジスタ $T_r 1$ は、薄膜トランジスタ $T_r 2$ と同一層を用いて構成されている。また画素回路に示した容量素子 C_s は、薄膜トランジスタ $T_r 2$ のゲート電極 - ゲート絶縁膜 - ドレイン電極の層部分を積層して構成されている。さらに、画素回路に示した走査線 6 1 はゲート電極 1 3 を延設して構成され、画素回路に示した信号線 6 3 および電源供給線 6 9 は、断面図のソース電極 1 7 s およびドレイン電極 1 7 d と同一層を用いて同一の層構造で構成される。

【 0 0 8 5 】

尚、以上のような画素回路の構成は、あくまでも一例であり、必要に応じて画素回路内に容量素子を設けたり、さらに複数のトランジスタを設けて画素回路を構成しても良い。また、周辺領域 1 1 b には、画素回路の変更に応じて必要な駆動回路が追加される。

【 0 0 8 6 】

以上のような構成の表示装置 5 によれば、第 1 実施形態で説明したようにトランジスタ特性の良好な薄膜トランジスタ 1 a を用いて画素回路を構成しているため、表示特性の向上を図ることが可能になる。また、信号線 6 3 および電源供給線 6 9 は、金属材料層 1 7 b を用いたソース電極 1 7 s およびドレイン電極 1 7 d と同一層を用いて同一の層構造で構成されるため、導電性も良好である。

【 0 0 8 7 】

尚、上述した実施形態においては、図 1 を用いて説明した第 1 実施形態のボトムゲート・ボトムコンタクト構造の薄膜トランジスタ 1 a を用いた表示装置を説明した。しかしながら、上述した表示装置には、図 3 を用いて説明した第 2 実施形態のトップゲート・ボトムコンタクト構造の薄膜トランジスタ 1 b を適用しても良く、同様の効果を得ることができる。さらに上述した実施形態においては、薄膜トランジスタを備えた電子機器の一例として、有機電界発光素子 E_L を用いたアクティブマトリックス型の表示装置を例示した。しかしながら本発明の電子機器は、薄膜トランジスタを搭載した電子機器に広く適用可能である。例えば、表示装置であれば、液晶表示装置のようなフレキシブルディスプレイに適用できる。また表示装置以外にも、ID タグ、センサー等の電子機器への適用が可能であり、同様の効果を得ることができる。

10

20

30

40

50

【図面の簡単な説明】

【 0 0 8 8 】

【図 1】第 1 実施形態の薄膜トランジスタの断面図および平面図である。

【図 2】第 1 実施形態の薄膜トランジスタの製造方法を示す断面工程図である。

【図 3】第 2 実施形態の薄膜トランジスタの断面図および平面図である。

【図 4】第 2 実施形態の薄膜トランジスタの製造方法を示す断面工程図である。

【図 5】実施形態の電子機器として表示装置の一例を示す断面図である。

【図 6】図 5 の表示装置の回路構成図である。

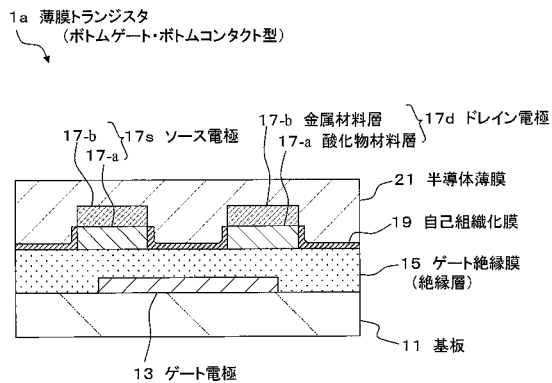
【符号の説明】

【 0 0 8 9 】

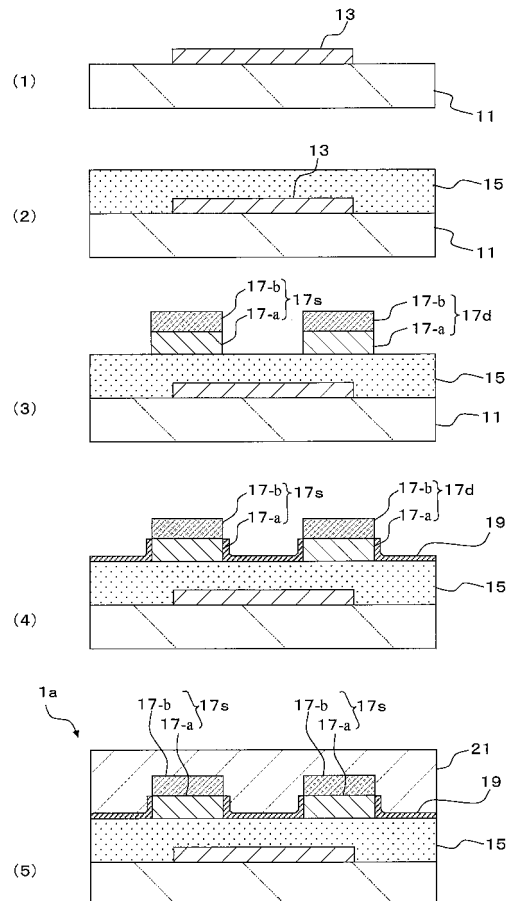
10

1 a , 1 b ... 薄膜トランジスタ、1 1 ... 基板、1 1 ' ... 基板（絶縁層）、1 3 ... ゲート電極、1 5 ... ゲート絶縁膜、1 5 ' ... ゲート絶縁膜（絶縁層）、1 7 -a... 酸化物材料層、1 7 -b... 金属材料層、1 7 s ... ソース電極、1 7 d ... ドレイン電極、1 9 ... 自己組織化膜、2 1 ... 半導体薄膜

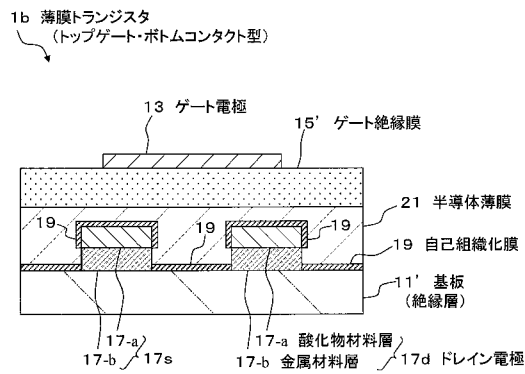
【図 1】



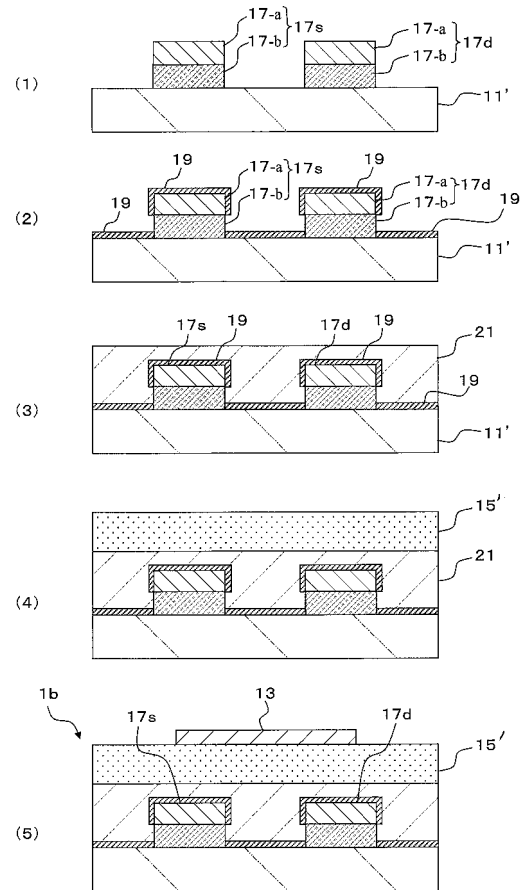
【図 2】



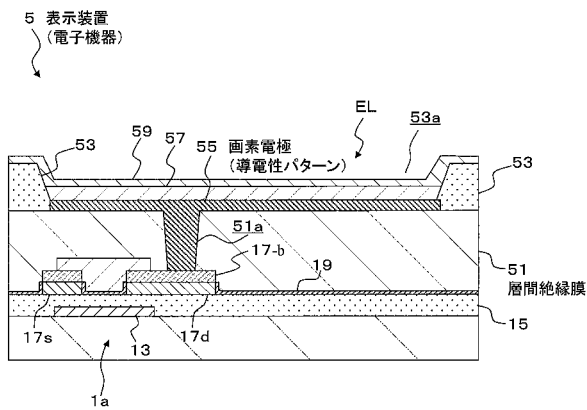
【図 3】



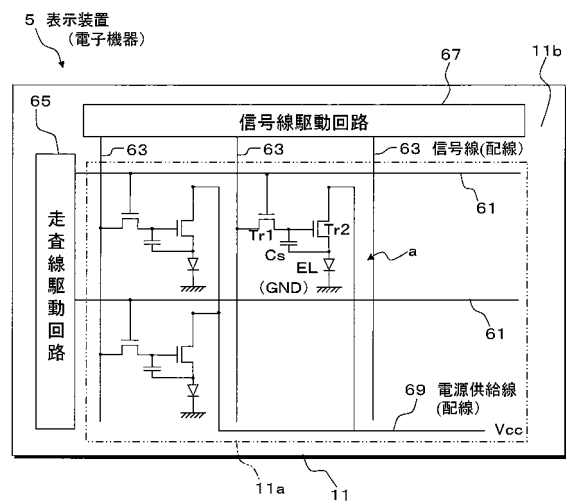
【図 4】



【図 5】



【図 6】



Tr1 スイッチングトランジスタ
(1a, 1b, 1c 有機薄膜トランジスタ)
Tr2 駆動トランジスタ
(1a, 1b, 1c 有機薄膜トランジスタ)
EL 有機電界発光素子

 フロントページの続き

(51)Int.Cl. F I テーマコード(参考)

H 0 1 L 29/417 (2006.01)

H 0 1 L 29/28 2 8 0
 H 0 1 L 29/28 3 1 0 J
 H 0 1 L 21/28 3 0 1 R
 H 0 1 L 21/28 3 0 1 B
 H 0 1 L 29/50 M

F ターム(参考) 4M104 AA06 AA09 AA10 BB02 BB04 BB05 BB06 BB07 BB08 BB09
 BB13 BB14 BB16 BB17 BB18 BB36 CC01 CC05 DD34 DD37
 DD51 DD64 DD68 EE03 EE14 EE16 EE17 EE18 FF13 GG08
 HH15
 5F110 AA30 BB01 CC03 CC05 DD01 DD02 DD03 EE02 EE03 EE04
 EE42 EE43 EE44 FF01 FF02 FF03 FF27 GG01 GG05 GG42
 GG57 HK02 HK03 HK04 HK07 HK21 NN71 NN72 NN73 QQ14