



(21)申請案號：107130944

(22)申請日：中華民國 107 (2018) 年 09 月 04 日

(51)Int. Cl.：H01L31/107 (2006.01)H01L31/18 (2006.01)

(30)優先權：2017/09/06 日本2017-170988

(71)申請人：日商日本電信電話股份有限公司 (日本) NIPPON TELEGRAPH AND TELEPHONE CORPORATION (JP)
日本

(72)發明人：名田允洋 NADA, MASAHIRO (JP)；松崎秀昭 MATSUZAKI, HIDEAKI (JP)

(74)代理人：劉法正；尹重君

(56)參考文獻：
TW 200814345AUS 2016/0351743A1

審查人員：林聖傑

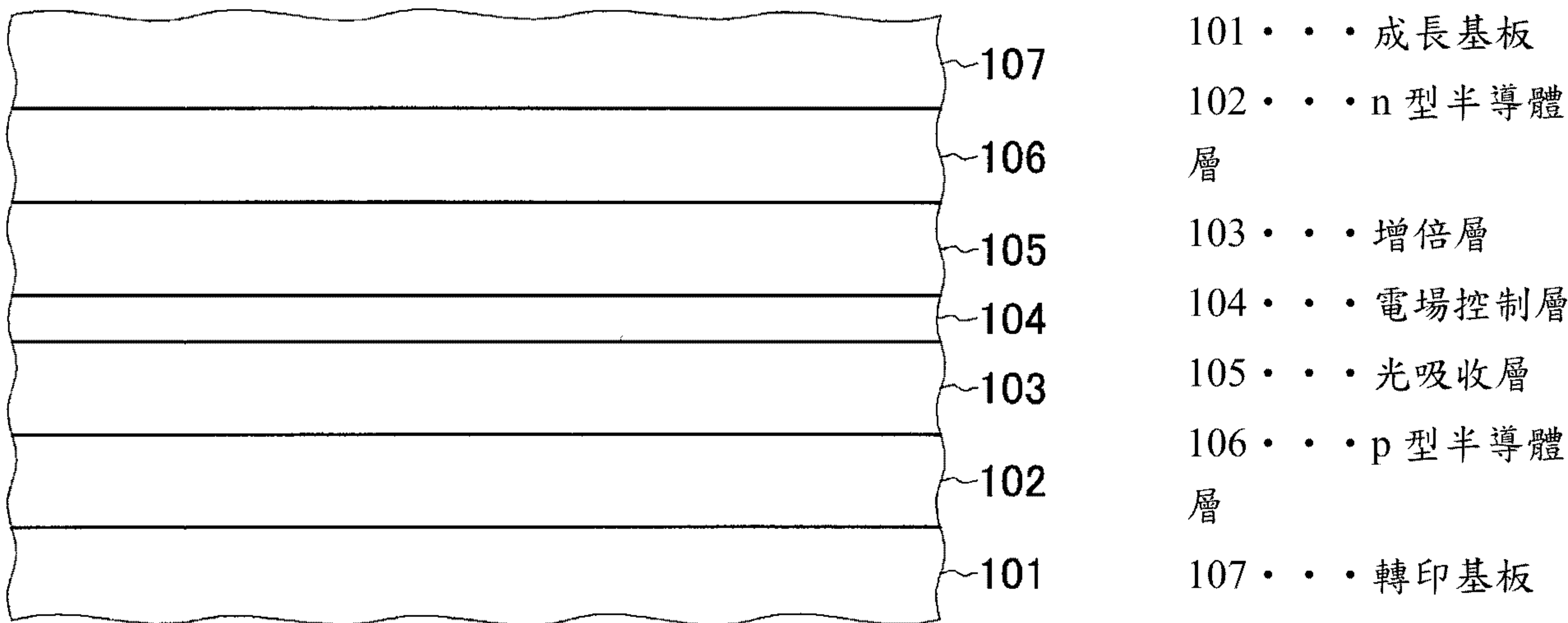
申請專利範圍項數：15 項圖式數：5共 33 頁

(54)名稱
突崩式光二極體及其製造方法

(57)摘要

在將 n 型半導體層、增倍層、電場控制層、光吸收層、p 型半導體層形成在成長基板上之後，將 p 型半導體層黏貼在轉印基板。之後，將成長基板去除，且將 n 型半導體層加工成小於增倍層的面積。

指定代表圖：



【圖1E】



I686961

【發明摘要】

【中文發明名稱】

突崩式光二極體及其製造方法

【中文】

在將n型半導體層、增倍層、電場控制層、光吸收層、p型半導體層形成在成長基板上之後，將p型半導體層黏貼在轉印基板。之後，將成長基板去除，且將n型半導體層加工成小於增倍層的面積。

【指定代表圖】 圖1E

【代表圖之符號簡單說明】

- 101…成長基板
- 102…n型半導體層
- 103…增倍層
- 104…電場控制層
- 105…光吸收層
- 106…p型半導體層
- 107…轉印基板

【特徵化學式】

(無)

【發明說明書】

【中文發明名稱】

突崩式光二極體及其製造方法

【技術領域】

【0001】 本發明為關於突崩式光二極體及其製造方法。

【先前技術】

【0002】 光通訊中一般的光接收器為藉由光二極體(PD)、或突崩式光二極體(APD)等受光元件、以及將藉由受光元件所產生的光電流放大的轉阻放大器所構成。受光元件將所入射的光轉換成電流。光二極體係光電轉換效率形成為量子效率而100%成為上限。

【0003】 相對於此，如眾所週知，突崩式光二極體係量子效率超過100%，適用於高感度的光接收器(參照非專利文獻1)。在突崩式光二極體中，將在元件內所產生的光電子在高電場下加速，藉此使其與晶格原子衝撞，使晶格原子離子化，藉此使載體放大。藉此，在突崩式光二極體中，對1光子輸出複數載體。結果，突崩式光二極體可得超過100%的感度，作為量子轉換效率。

【0004】 光通訊用途的突崩式光二極體主要由III-V族化合物半導體所構成。例如，在光吸收層使用在InP進行晶格整合的InGaAs。此外，在增益層使用InP或InAlAs。此乃基於以適用在通訊波長具有吸收帶域而且載體輸送速度優異的InGaAs作為光吸收層材料為前提之故。

【0005】 但是，近年來，確立出在Si上直接成長Ge的結晶成長技術，由Ge構成光吸收層，由Si構成增倍層的「Si系突崩式光二極體」備受矚目。Ge在通訊波長帶域中的光吸收係數、及電子、電洞的飽和速度方面雖然不及InGaAs，但是在實驗上呈現出一定的高速動作，確認至25Gbit/s的動作(非專利文獻2)。

【0006】 在Si基板上製作突崩式光二極體，首先，可進行原在III-V族半導體系的突崩式光二極體極為困難之大口徑晶圓的製作。此外，在Si基板上製作突崩式光二極體，可沿用原在CMOS或雙極性電晶體等中所使用的電子元件的製程線。由該等來看，Si系突崩式光二極體在可預期量產化及低成本化的方面具有優勢。

【0007】 但是，若將突崩式光二極體應用在光通訊，最為重要的技術事項之一為暗電流的減低。若突崩式光二極體的暗電流高，不僅造成長期動作的可靠性降低，亦有導致收訊訊號的SN比劣化的可能性之故。若突崩式光二極體的暗電流大於光接收器內的電路雜音或因轉阻放大器等所致之其他雜音電流，並無法改善對應突崩式光二極體之增益的收訊感度。

【0008】 以突崩式光二極體的暗電流的主要要素而言，列舉側面暗電流。側面暗電流的發生原因關係到突崩式光二極體的元件側面中的電荷狀態。在III-V族或Si的半導體材料的表面近傍，一般而言，費米能階被釘扎在傳導帶側。因此，突崩式光二極體元件內的電子朝向元件表面

(側面)移動。該電子朝向側面的移動程度嚴重時，電子通道層被形成在元件的側面。

【0009】 為抑制上述之突崩式光二極體的側面暗電流，往往使用適用離子植入或選擇擴散等選擇摻雜技術的電場狹窄構造。在圖5A中顯示電場狹窄構造的突崩式光二極體。該突崩式光二極體在基板201之上積層有n型半導體層202、Si增倍層203、p型Si電場控制層204、Ge光吸收層205。此外，在Ge光吸收層205的表面側形成有p型雜質區域206。其中，在圖5B中顯示該突崩式光二極體的平面方向中的元件表面近傍的能帶概略圖。

【0010】 p型雜質區域206為在小於突崩式光二極體元件(Ge光吸收層205)的面積的區域，以成為p型的方式施行選擇摻雜的區域。如上所示藉由設置p型雜質區域206，在突崩式光二極體動作時，元件內部的發生電場可限定在p型雜質區域206。

[先前技術文獻]

[非專利文獻]

【0011】 [非專利文獻1]J. C. Campbel,“Recent Advances in Telecommunications Avalanche Photodiodes”, Journal of Lightwave Technology, vol.25, no.1, pp.109-121, 2007.

[非專利文獻2]Mengyuan Huang et al.,“25Gb/s Normal Incident Ge/Si Avalanche Photodiode”, European Conference on Optical Communication

(ECOC), We.2.4.4, 2014.

[非專利文獻3]Y.Muramoto and T. Ishibashi, “InP/InGaAs pin photodiode structure maximising bandwidth and efficiency”, Electronics Letters, vol.39, no.24, pp.2003.

【發明內容】

【0012】 [發明所欲解決之課題]

【0013】 但是，即使具有上述之電場狹窄構造，亦殘留發生側面暗電流之虞。藉由形成為電場狹窄構造，因外部電壓所致之元件側面中的電場的發生受到抑制。但是，即使形成為電場狹窄構造，藉由因費米能階釘扎而起之對元件側面的能帶彎曲(參照圖5B)，電子容易移動至元件側面之故。如上所示，以往在Si系的突崩式光二極體中，有並不容易抑制側面暗電流發生的問題。

【0014】 本發明為用以解決如以上所示之問題點而完成者，目的在可在Si系的突崩式光二極體中，抑制側面暗電流的發生。

【0015】 [解決課題之手段]

本發明之突崩式光二極體之製造方法中，該突崩式光二極體具備：形成在轉印基板上之由p型半導體構成的p型半導體層；形成在p型半導體層上之由鍺構成的光吸收層；形成在光吸收層上之由p型半導體構成的電場控制層；形成在電場控制層上之由矽構成的增倍層；及形成在增倍層上之由n型矽構成的n型半導體層，該突崩式光二極

體之製造方法具備：將n型半導體層、增倍層、電場控制層、光吸收層形成在成長基板上的第1工序；將形成在成長基板上的n型半導體層、增倍層、電場控制層、光吸收層轉印在轉印基板的第2工序；及在將n型半導體層、增倍層、電場控制層、光吸收層轉印在轉印基板之後，將n型半導體層加工成小於增倍層的面積的第3工序。

【0016】 本發明之突崩式光二極體具備：形成在基板上之由p型半導體構成的p型半導體層；形成在p型半導體層上之由鍺構成的光吸收層；形成在光吸收層上之由p型半導體構成的電場控制層；形成在電場控制層上之由矽構成的增倍層；及形成在增倍層上，由n型矽構成，且面積小於增倍層的n型半導體層。

【0017】 [發明之效果]

如以上說明所示，藉由本發明，在第1基板之側配置p型半導體層而在元件上部配置n型半導體層，且將該n型半導體層形成為小於增倍層的面積，因此在Si系的突崩式光二極體中，可得可抑制側面暗電流發生的優異效果。

【圖式簡單說明】

【0018】 圖1A為顯示用以說明本發明之實施形態1中的突崩式光二極體之製造方法的途中工序的狀態的剖面圖。

圖1B為顯示用以說明本發明之實施形態1中的突崩式光二極體之製造方法的途中工序的狀態的剖面圖。

圖1C為顯示用以說明本發明之實施形態1中的突崩式

光二極體之製造方法的途中工序的狀態的剖面圖。

圖1D為顯示用以說明本發明之實施形態1中的突崩式光二極體之製造方法的途中工序的狀態的剖面圖。

圖1E為顯示用以說明本發明之實施形態1中的突崩式光二極體之製造方法的途中工序的狀態的剖面圖。

圖1F為顯示用以說明本發明之實施形態1中的突崩式光二極體之製造方法的途中工序的狀態的剖面圖。

圖1G為顯示用以說明本發明之實施形態1中的突崩式光二極體之製造方法的途中工序的狀態的剖面圖。

圖1H為顯示用以說明本發明之實施形態1中的突崩式光二極體之製造方法的途中工序的狀態的剖面圖。

圖2為顯示本發明之實施形態2中的突崩式光二極體的構成的剖面圖。

圖3A為顯示本發明之實施形態3中的突崩式光二極體的構成的剖面圖。

圖3B為顯示實施形態3中的突崩式光二極體的能帶構造的說明圖。

圖4為顯示本發明之實施形態4中的突崩式光二極體的構成的剖面圖。

圖5A為顯示習知之突崩式光二極體的構成的剖面圖。

圖5B為顯示習知之突崩式光二極體的平面方向中的元件表面近傍的能帶的概略狀態的能帶圖。

【實施方式】

【0019】 以下參照圖示，說明本發明之實施形態。

【0020】 [實施形態1]

首先，參照圖1A~圖1H，說明本發明之實施形態1中的突崩式光二極體之製造方法。

【0021】 首先，如圖1A所示，在成長基板101之上形成由n型的矽(Si)所成之n型半導體層102。成長基板101由例如單結晶Si所構成。其中，如後所述，成長基板101若由n型的矽所構成即可。接著，如圖1B所示，在n型半導體層102之上形成由Si所成之增倍層103。接著，在增倍層103之上形成由p型的半導體(例如Si)所成之電場控制層104。

【0022】 例如，若藉由眾所週知之CVD(Chemical Vapor Deposition，化學氣相沈積)法等，使Si成長在成長基板101之上，藉此形成n型半導體層102、增倍層103、電場控制層104即可。此外，以n型摻雜物而言，若使用例如砷(As)即可。此外，以p型摻雜物而言，若使用例如硼(B)即可。

【0023】 接著，如圖1C所示，在電場控制層104之上形成由鍺(Ge)所成之光吸收層105。接著，如圖1D所示，在光吸收層105之上形成由p型的半導體所成之p型半導體層106(第1工序)。p型半導體層106若由例如Ge構成即可。例如，若藉由將GeH₄作為來源氣體的熱CVD法，以成長溫度條件600℃沈積鍺，藉此形成光吸收層105、p型半導體層106即可。若為該成長溫度條件，由於比Si的成長溫度條件充分低，因此由Si所構成的下層的n型半導體層102、增倍層103、電場控制層104並不會有受到損傷的情

形。

【0024】 接著，如圖1E所示，將p型半導體層106黏貼在轉印基板107。例如由元件的寄生電容刪減的觀點來看，轉印基板107以由高電阻材料構成佳，例如若由高電阻Si、SiC等構成即可。由熱傳導率更高的SiC構成轉印基板107，藉此可使元件的放熱性提升。

【0025】 對轉印基板107貼合p型半導體層106，若使用例如表面活性化法或原子擴散法等接合方法即可。例如，可對各接合面照射Ar射束而活性化來進行接合。此外，亦可藉由使用厚度數100nm的金屬層的金屬接合，實施上述貼合。

【0026】 如以上所示，在將p型半導體層106黏貼在轉印基板107之後，將成長基板101去除。將該去除後的狀態顯示在圖1F。例如，若藉由眾所週知之蝕刻技術來將成長基板101去除即可。在此，若由n型Si構成成長基板101，即使在將成長基板101去除時殘留若干，亦不會影響電特性。此外，此時，由於不需要設置蝕刻停止層，因此可簡化工序。

【0027】 在本發明中，如上所述，將n型半導體層102、增倍層103、電場控制層104、光吸收層105形成在成長基板之上之後，藉由貼合，將該等轉印在轉印基板107(第2工序)。在實施形態1中，將n型半導體層102、增倍層103、電場控制層104、光吸收層105、p型半導體層106形成在成長基板101之上，之後，將該等轉印在轉印基

板107。

【0028】 在實施形態1中，第1工序將n型半導體層102、增倍層103、電場控制層104、光吸收層105、p型半導體層106，依此等順序形成在成長基板101之上。此外，第2工序包含：藉由將p型半導體層106貼合在轉印基板107，將形成在成長基板101之上的n型半導體層102、增倍層103、電場控制層104、光吸收層105轉印在轉印基板107的工序；及在將p型半導體層106貼合在轉印基板107之後，將成長基板101去除的工序。

【0029】 如以上所示轉印至轉印基板107，且將成長基板101去除之後，如圖1G所示，將n型半導體層102加工成小於增倍層103的面積(第3工序)。此外，如圖1H所示，將光吸收層105、電場控制層104、增倍層103加工成預定形狀的高台121。例如，若以藉由眾所週知之光微影技術及乾式蝕刻技術/濕式蝕刻技術所致之圖案化，實施上述加工即可。

【0030】 例如，使用以光微影技術所形成的遮罩圖案，將n型半導體層102，藉由一般所使用的反應性離子蝕刻(RIE)而加工成平面視圓形的高台121的形狀。高台121亦可形成為平面視矩形。接著，新形成大於經加工的n型半導體層102的面積的遮罩圖案，使用新的遮罩圖案，將光吸收層105、電場控制層104、增倍層103，藉由例如使用CF₄與O₂的混合氣體的RIE，形成平面視圓形的高台121。高台121亦可形成為平面視矩形。

【0031】 此外，形成上述元件構造之後，如圖1H所示，在n型半導體層102之上形成第1電極108。此外，在包含增倍層103的高台121的周圍的p型半導體層106之上形成第2電極109。例如，若藉由使用電子束蒸鍍沈積鈦(Ti)/鋁(Al)，來形成第1電極108、第2電極109即可。其中，之後，形成用以保護元件的保護層，此外，形成貫穿保護層而與各電極相連接的配線構造。保護層若由例如SiO₂或SiN所構成即可。此外，配線構造若由例如Au等金屬所構成即可。

【0032】 藉由上述所得之實施形態1中的突崩式光二極體成為如下所示之構成。首先，具備有形成在轉印基板107之上之由p型的半導體所成之p型半導體層106。此外，具備有形成在p型半導體層106之上之由鍺所成之光吸收層105。此外，具備有形成在光吸收層105之上之由p型的半導體所成之電場控制層104。此外，具備有形成在電場控制層104之上之由Si所成之增倍層103。此外，具備有形成在增倍層103之上之由n型的Si所成之n型半導體層102。此外，n型半導體層102被形成為小於增倍層103的面積。其中，在實施形態1中，電場控層104由p型的Si所構成。

【0033】 上述實施形態1中的突崩式光二極體係p型半導體層106、由Ge所成之光吸收層105、p型電場控制層104、增倍層103、n型半導體層102依該等順序被積層在在轉印基板107之上。該構造相對於使用圖5A所說明的關

連技術的突崩式光二極體，由基板之側觀看， p 型與 n 型呈反轉。此外，在實施形態1中， n 型半導體層102被形成為小於增倍層103的面積。由該等情形，藉由實施形態1，相對於使用圖5A所說明的關連技術，可抑制側面暗電流發生。

【0034】 在突崩式光二極體中，使施加於第1電極108與第2電極109之間的電壓，以由0V成為逆電壓的方式增大，藉此使其進行動作。在該電壓施加中，一邊伴隨電場控制層104的空乏化，增倍層103的電場強度一邊上升。若施加電壓大於電場控制層104完全空乏化的電壓，在光吸收層105開始產生電場，在光吸收層105中所生成的光載體即開始漂移移動。在該漂移中，在光吸收層105所產生的電子朝向 n 型半導體層102移動，在光吸收層105所產生的電洞朝向 p 型半導體層106移動。

【0035】 藉由實施形態1， n 型半導體層102形成為小於增倍層103(電場控制層104、光吸收層105、 p 型半導體層106)的面積。在此，在突崩式光二極體的動作電壓區域中，若增倍層103空乏化，元件內的電場強度依 n 型半導體層102的形狀(所形成的區域)所規定。

【0036】 如前所述，基本上，藉由因靠近傳導帶的費米能階的表面釘扎而起之對元件側面的能帶彎曲，藉由光吸收所生成的電子的一部分欲移動至元件的側面側的表面。但是，如實施形態1所示，若藉由 n 型半導體層102來規定內部電場時，藉由更大的內部電場，電子朝向 n 型半

導體層102移動。結果，藉由實施形態1，可抑制側面暗電流。

【0037】 此外，藉由實施形態1，不會有在形成有Ge之層的狀態下形成Si之層的情形。在實施形態1中，先形成Si之層，在形成有Si之層之後，形成Ge之層。Ge與Si的成長溫度明顯不同，Si的成長溫度較高。若在形成有Ge之層的狀態下形成Si之層，因Si之層之成長時的熱，Ge之層會受到損傷。相對於此，藉由實施形態1，將成長溫度較高的Si之層先成長，之後成長成長溫度較低的Ge之層。藉此，任何層均可在因熱所致之損傷受到抑制的狀態下形成。

【0038】 [實施形態2]

接著，參照圖2，說明本發明之實施形態2。在實施形態2中，在前述之實施形態1之突崩式光二極體之製造方法中，另外，如圖2所示，在n型半導體層102的周圍的增倍層103之上形成絕緣層110(第4工序)。例如，在第2工序之後，形成覆蓋n型半導體層102的區域的遮罩圖案，在該狀態下，藉由形成為垂直異向性高的狀態的濺鍍法，例如將SiO₂沈積。之後，藉由將上述遮罩圖案剝離(lift off)，若在n型半導體層102的周圍的增倍層103之上形成由SiO₂所成之絕緣層110即可。

【0039】 藉由實施形態2，由於具備絕緣層110，因此可抑制伴隨動作溫度中的熱激發之對元件側面形成電子通道。

【0040】 如前所述，在突崩式光二極體中，藉由將施加於第1電極108與第2電極109之間的電壓，以由0V成為逆電壓的方式增大來使其進行動作。在動作狀態中，若在光吸收層105中所生成的光載體開始漂移移動，在光吸收層105所產生的電子朝向n型半導體層102移動，在光吸收層105所產生的電洞朝向p型半導體層106移動。

【0041】 在實施形態2中，n型半導體層102亦形成為小於增倍層103(電場控制層104、光吸收層105、p型半導體層106)的面積。因此，在實施形態2中，亦與前述實施形態1同樣地，電子朝向n型半導體層102移動，可抑制側面暗電流。但是，在實施形態1的構成中，並無法抑制伴隨動作溫度中的熱激發之對元件側面形成電子通道。

【0042】 相對於此，在實施形態2中，在n型半導體層102的周圍的增倍層103之上(平台)的部分形成有由介電質(例如SiO₂)所成之絕緣層110。例如，SiO₂已知僅形成相對Si為非常小的界面準位，在與SiO₂的界面中，Si的費米能階大致被釘扎在中間能隙。結果，在SiO₂與Si的界面，不易發生載體蓄積。此藉由將同部位在電性上與其他部位分離，不僅抑制在光吸收層105的側面所產生的電子流入至n型半導體層102的情形，亦導致在長期動作中，界面的電特性亦不易劣化的特徵。亦即，藉由形成為實施形態2的構成，成為不僅抑制暗電流，亦有助於元件動作的長期可靠性者。

【0043】 [實施形態3]

接著，參照圖3A、圖3B，說明本發明之實施形態3。在實施形態3中，在前述之實施形態2的突崩式光二極體中，以厚度方向，在光吸收層105的p型半導體層106a之側形成p型的區域。如上所示，在實施形態3中，另外具備在光吸收層105的p型半導體層106a之側形成p型區域的工序。在實施形態3中，如圖3A所示，光吸收層105形成為由p型半導體層106a之側的區域的p型光吸收層105a、與非摻雜的光吸收層105b所構成者。光吸收層105形成為由p型光吸收層105a與光吸收層105b的積層構造所構成者。

【0044】 此外，在實施形態3中，由GaAs構成轉印基板107a，且由p型的GaAs構成p型半導體層106a。此時，首先，將n型半導體層102、增倍層103、電場控制層104、光吸收層105形成在成長基板(未圖示)之上。其中，在電場控制層104之上沈積Ge而形成光吸收層105之後，導入p型雜質至從該表面側為預定深度為止，藉此形成p型光吸收層105a。另一方面，將p型半導體層106a形成在轉印基板107a之上。之後，在光吸收層105(p型光吸收層105a)貼合p型半導體層106a，且將成長基板去除。

【0045】 在實施形態3中，第1工序包含：將n型半導體層102、增倍層103、電場控制層104、光吸收層105依該等順序形成在成長基板之上的工序；及將p型半導體層106a形成於轉印基板107a之上的工序。此外，第2工序包含：將p型半導體層106a貼合在光吸收層105(p型光吸收層105a)，藉此將形成在成長基板之上的n型半導體層102、

增倍層103、電場控制層104、光吸收層105轉印在轉印基板107a的工序；及在將p型半導體層106a貼合在光吸收層105(p型光吸收層105a)之後，將成長基板去除的工序。

【0046】 如上所示，在轉印基板107a之上，積層有p型半導體層106a、光吸收層105、電場控制層104、增倍層103、n型半導體層102之後，將n型半導體層102加工成小於增倍層103的面積。此外，將光吸收層105、電場控制層104、增倍層103加工成預定形狀的高台121。如上所示形成元件構造之後，如圖3A所示，在n型半導體層102之上，首先，形成第1電極108。此外，在包含增倍層103的高台121的周圍的p型半導體層106a之上形成第2電極109。此外，在n型半導體層102的周圍的增倍層103之上形成絕緣層110。

【0047】 在上述構成之實施形態3中，若藉由將施加於第1電極108與第2電極109之間的電壓，以由0V成為逆電壓的方式加大而使其進行動作時，首先，一邊伴隨電場控制層104的空乏化，增倍層103的電場強度一邊上升。若施加電壓大於電場控制層104完全空乏化的電壓，在非摻雜的光吸收層105b開始發生電場，在光吸收層105b中所生成的光載體開始漂移移動。此外，在p型光吸收層105a所產生的光載體之中，電子進行擴散移動，電洞以介電緩和時間移動至p型半導體層106a。

【0048】 但是，在Si/Ge系的突崩式光二極體中，其層構成的自由度並不一定高。例如在III-V族半導體中，已

知一種被稱為**MIC**(Maximum induced current，最大感應電流)構造之兼顧光吸收層中的高速性與高感度性的構造(非專利文獻3)。此由**p**型半導體層側觀看，為將由相對為較寬能隙的材料所成之擴散防止層、**p**型光吸收層、非摻雜光吸收層依此順序組合者。**p**型光吸收層中的光載體基本上僅有電子成為有效載體，藉由擴散機構予以電荷輸送，但是藉由由寬能隙材料所成之擴散防止層，防止電子朝**p**型半導體層方向逆流。

【0049】 但是，若以**Si/Ge**系形成光吸收層，已知即使為**Si**、**Ge**、及**SiGe**混晶的任何材料形態，傳導帶的能量位置亦幾乎不會改變。此亦即意指在**Si/Ge**系的材料中，即使欲形成上述**MIC**光吸收層構造，亦無法形成擴散防止層。若無擴散防止層，在**p**型光吸收層發生的電子亦擴散移動至**p**型半導體層側，無法作為有效載體取出，因此造成感度降低。

【0050】 相對於此，在實施形態3中，由相對為較寬能隙的**III-V**族化合物半導體構成**p**型半導體層106a，藉此即使為**SiGe**系的突崩式光二極體，亦實現**MIC**構造的光吸收層105，可達成高速高感度化。

【0051】 在圖3B中顯示實施形態3中的突崩式光二極體的能帶構造。在實施形態3中，**p**型半導體層106a兼作擴散防止層。與**Ge**相比，**GaAs**係傳導帶端位於更高能量側，因此在**p**型光吸收層105a所產生的電子並未擴散至**p**型半導體層106a側，而選擇性地朝增倍層103方向擴散移動。

【0052】 此外，GaAs與Si相比較，可進行更高濃度的摻雜。因此，與一般的Si系突崩式光二極體相比較，實施形態3的突崩式光二極體可減低元件電阻。如上所示，藉由實施形態3，可減低突崩式光二極體的暗電流，且確保元件動作的長期可靠性，可得更為高速高感度性。

【0053】 [實施形態4]

接著，參照圖4，說明本發明之實施形態4。在實施形態4中，在前述實施形態1中，在轉印基板107之上形成金屬層111，且在其上設置p型半導體層106。首先，與前述之實施形態1同樣地，將n型半導體層102、增倍層103、電場控制層104、光吸收層105、p型半導體層106形成在成長基板(未圖示)之上。另一方面，在轉印基板107之上形成由厚度20nm的Ti層與厚度400nm的Au層所成之金屬層111。例如，若藉由濺鍍法或真空蒸鍍法等，沈積預定的金屬即可。

【0054】 接著，將形成在成長基板之上的n型半導體層102、增倍層103、電場控制層104、光吸收層105、p型半導體層106，轉印在形成有金屬層111的轉印基板107。例如，將p型半導體層106貼合在金屬層111，之後，將成長基板去除。

【0055】 如上所示，在轉印基板107之上，透過金屬層111積層p型半導體層106、光吸收層105、電場控制層104、增倍層103、n型半導體層102之後，將n型半導體層102加工成小於增倍層103的面積。此外，在實施形態4中，

將p型半導體層106、光吸收層105、電場控制層104、增倍層103加工成預定形狀的高台121。如上所示形成元件構造之後，如圖4所示，在n型半導體層102之上形成第1電極108，在包含增倍層103的高台121的周圍的金屬層111之上形成第2電極109。此外，在n型半導體層102的周圍的增倍層103之上形成絕緣層110。

【0056】 在實施形態4中，第2工序包含：在轉印基板107之上形成金屬層111的工序；及將形成在成長基板之上的n型半導體層102、增倍層103、電場控制層104、光吸收層105，轉印在形成有金屬層111的轉印基板107的工序。實施形態4的突崩式光二極體成為另外具備：形成在轉印基板107與p型半導體層106之間的金屬層111者。

【0057】 即使為上述構成之實施形態4，若藉由將施加於第1電極108與第2電極109之間的電壓，以由0V成為逆電壓的方式加大而使其進行動作時，首先，一邊伴隨電場控制層104的空乏化，增倍層103的電場強度一邊上升。若施加電壓大於電場控制層104完全空乏化的電壓時，在光吸收層105開始產生電場，在光吸收層105中所生成的光載體開始漂移移動。

【0058】 如上所述在突崩式光二極體內所產生的電子透過n型半導體層102而在第1電極108被取出，電洞透過p型半導體層106而由第2電極109被取出。

【0059】 在此，一般而言，在Si或Ge等半導體材料中，形成為p型時的片電阻大於形成為n型時的片電阻。此

起因於難以進行p型高濃度摻雜、及電洞的移動度比電子為較小。在此，在實施形態1~3之情形下，電洞以與p型半導體層106的層厚方向呈垂直的方向(與轉印基板107的平面呈平行的方向)移動而到達至第1電極108。此時，p型半導體層106中的電洞的電阻增大，進而有導致元件電阻增大之虞。

【0060】 相對於此，在實施形態4中，電洞電流在p型半導體層106內以層厚方向移動，經由電阻小的金屬層111而由第2電極109被取出。因此，在實施形態4中，在本質上可減低p型半導體層106中的電阻，結果可放大突崩式光二極體的CR帶寬。

【0061】 此外，藉由適當設定金屬層111的材料，可使用金屬層111作為反射鏡。藉此，在製造製程中，不需要另外形成反射鏡，無須增加製造製程，即可組入反射鏡。此外，例如，若在轉印基板107預先設置透鏡的構造，可在突崩式光二極體集積透鏡。此在製作光接收器上，可因省略透鏡而刪減零件個數，可進行更為容易的光接收器構裝。

【0062】 如以上說明所示，在本發明中，在轉印基板之側配置p型半導體層而在元件上部配置n型半導體層，且將該n型半導體層形成為小於增倍層的面積。結果，藉由本發明，在Si系的突崩式光二極體中，可抑制側面暗電流發生。此外，藉由本發明，可確保元件動作的長期可靠性，可更加減低元件電阻，藉此可放大CR帶寬，可實現突崩式

光二極體的高速化。

【0063】 其中，本發明並非為限定於以上說明之實施形態者，在本發明之技術思想內，依該領域中具通常知識者，清楚自明可實施眾多變形及組合。例如，增倍層或光吸收層、電場控制層當然亦可由Si與Ge的混晶所構成。

【0064】 此外，轉印基板亦可在例如形成光導波路的目的下，利用眾所週知之SOI(Silicon on insulator，絕緣層上矽晶)基板。此外，轉印基板亦可在提高放熱效率至極限的目的下由鑽石所構成。藉由如上所示，可抑制突崩式光二極體的內部的溫度上升，可提升元件性能。此外，若由SiC構成轉印基板，可兼顧一定放熱性的提升與低成本化，自不待言。此外，關於對轉印基板之轉印中的接合方法，亦可適用熔合接合或表面活性化法、原子擴散法、金屬接合等各種接合方法，不會有因該等接合方法而失去本發明之一般性的情形。

【符號說明】

- 【0065】 101…成長基板
- 102…n型半導體層
- 103…增倍層
- 104…電場控制層
- 105…光吸收層
- 105a…p型光吸收層
- 105b…光吸收層
- 106…p型半導體層

106a …p型半導體層

107…轉印基板

107a…轉印基板

108…第1電極

109…第2電極

110…絕緣層

111…金屬層

121…高台

201…基板

202…n型半導體層

203…Si增倍層

204…p型Si電場控制層

205…Ge光吸收層

206…p型雜質區域

【發明申請專利範圍】

【第1項】 一種突崩式光二極體之製造方法，該突崩式光二極體具備：

形成在轉印基板上之由p型半導體構成的p型半導體層；

形成在前述p型半導體層上之由鍺構成的光吸收層；

形成在前述光吸收層上之由p型半導體構成的電場控制層；

形成在前述電場控制層上之由矽構成的增倍層；及

形成在前述增倍層上之由n型矽構成的n型半導體層，

該突崩式光二極體之製造方法之特徵為：

具備：

第1工序，將前述n型半導體層、前述增倍層、前述電場控制層、前述光吸收層形成在成長基板上；

第2工序，將形成在前述成長基板上的前述n型半導體層、前述增倍層、前述電場控制層、前述光吸收層轉印在前述轉印基板；及

第3工序，在將前述n型半導體層、前述增倍層、前述電場控制層、前述光吸收層轉印在前述轉印基板之後，將前述n型半導體層加工成小於前述增倍層的面積。

【第2項】 如請求項1之突崩式光二極體之製造方法，其中前述第1工序將前述n型半導體層、前述增倍層、前述電場控制層、前述光吸收層、前述p型半導體層，以此等順序形成在前述成長基板上，

前述第2工序包含：

將前述p型半導體層貼合在前述轉印基板，藉此將形成在前述成長基板上的前述n型半導體層、前述增倍層、前述電場控制層、前述光吸收層轉印在前述轉印基板的工序；及

在將前述p型半導體層貼合在前述轉印基板之後，將前述成長基板去除的工序。

【第3項】 如請求項1之突崩式光二極體之製造方法，其中前述第1工序包含：

將前述n型半導體層、前述增倍層、前述電場控制層、前述光吸收層以此等順序形成在前述成長基板上的工序；及

將前述p型半導體層形成在前述轉印基板上的工序，
前述第2工序包含：

將前述p型半導體層貼合在前述光吸收層，藉此將形成在前述成長基板上的前述n型半導體層、前述增倍層、前述電場控制層、前述光吸收層轉印在前述轉印基板的工序；及

在將前述p型半導體層貼合在前述光吸收層之後，將前述成長基板去除的工序。

【第4項】 如請求項1至3中任一項之突崩式光二極體之製造方法，其更具備：

在將前述n型半導體層加工成小於前述增倍層的面積之後，在前述n型半導體層的周圍的前述增倍層上形成絕

緣層的第4工序。

【第5項】 如請求項1至3中任一項之突崩式光二極體之製造方法，其更具備：

在前述光吸收層的前述p型半導體層之側形成p型區域的工序。

【第6項】 如請求項4之突崩式光二極體之製造方法，其更具備：

在前述光吸收層的前述p型半導體層之側形成p型區域的工序。

【第7項】 如請求項1至3中任一項之突崩式光二極體之製造方法，其中前述第2工序包含：

在前述轉印基板上形成金屬層的工序；及

將形成在前述成長基板上的前述n型半導體層、前述增倍層、前述電場控制層、前述光吸收層，轉印在形成有前述金屬層的前述轉印基板的工序。

【第8項】 如請求項4之突崩式光二極體之製造方法，其中前述第2工序包含：

在前述轉印基板上形成金屬層的工序；及

將形成在前述成長基板上的前述n型半導體層、前述增倍層、前述電場控制層、前述光吸收層，轉印在形成有前述金屬層的前述轉印基板的工序。

【第9項】 如請求項5之突崩式光二極體之製造方法，其中前述第2工序包含：

在前述轉印基板上形成金屬層的工序；及

將形成在前述成長基板上的前述n型半導體層、前述增倍層、前述電場控制層、前述光吸收層，轉印在形成有前述金屬層的前述轉印基板的工序。

【第10項】 如請求項6之突崩式光二極體之製造方法，其中前述第2工序包含：

在前述轉印基板上形成金屬層的工序；及

將形成在前述成長基板上的前述n型半導體層、前述增倍層、前述電場控制層、前述光吸收層，轉印在形成有前述金屬層的前述轉印基板的工序。

【第11項】 一種突崩式光二極體，其特徵為：

具備：

形成在基板上之由p型半導體構成的p型半導體層；

形成在前述p型半導體層上之由銻構成的光吸收層；

形成在前述光吸收層上之由p型半導體構成的電場控制層；

形成在前述電場控制層上之由矽構成的增倍層；及

形成在前述增倍層上，由n型矽構成，且面積小於前述增倍層的n型半導體層。

【第12項】 如請求項11之突崩式光二極體，其更具備：形成在前述n型半導體層的周圍的前述增倍層上的絕緣層。

【第13項】 如請求項11或12之突崩式光二極體，其中前述光吸收層在前述p型半導體層之側包含p型區域。

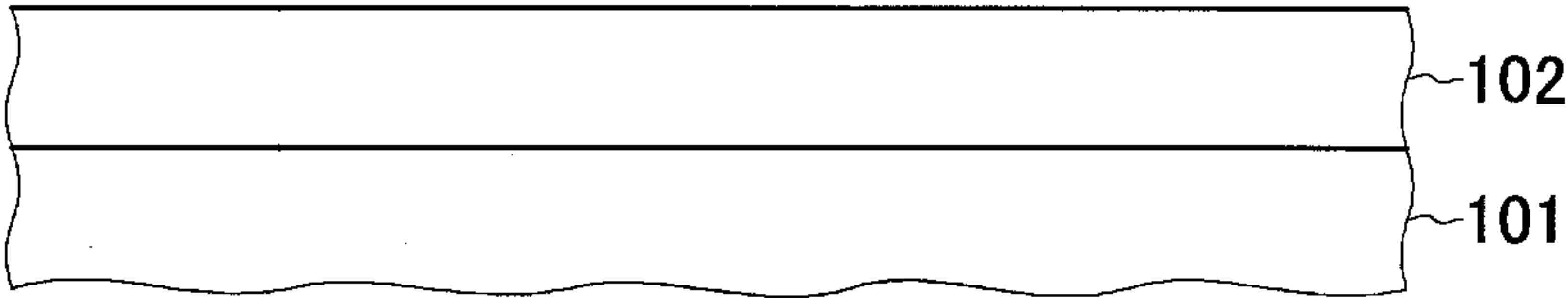
【第14項】 如請求項11或12之突崩式光二極體，其更

第 107130944 號專利申請案 申請專利範圍替換本 修正日期：108 年 12 月 13 日

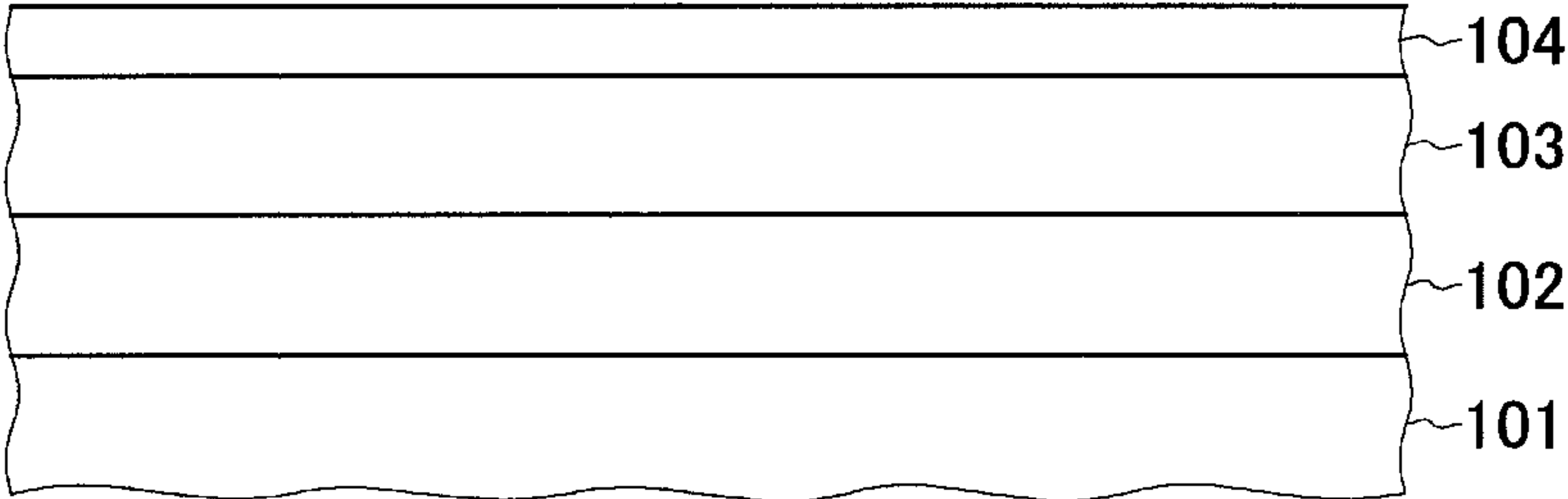
具備：形成在前述基板與前述p型半導體層之間的金屬層。

【第15項】 如請求項13之突崩式光二極體，其更具備：形成在前述基板與前述p型半導體層之間的金屬層。

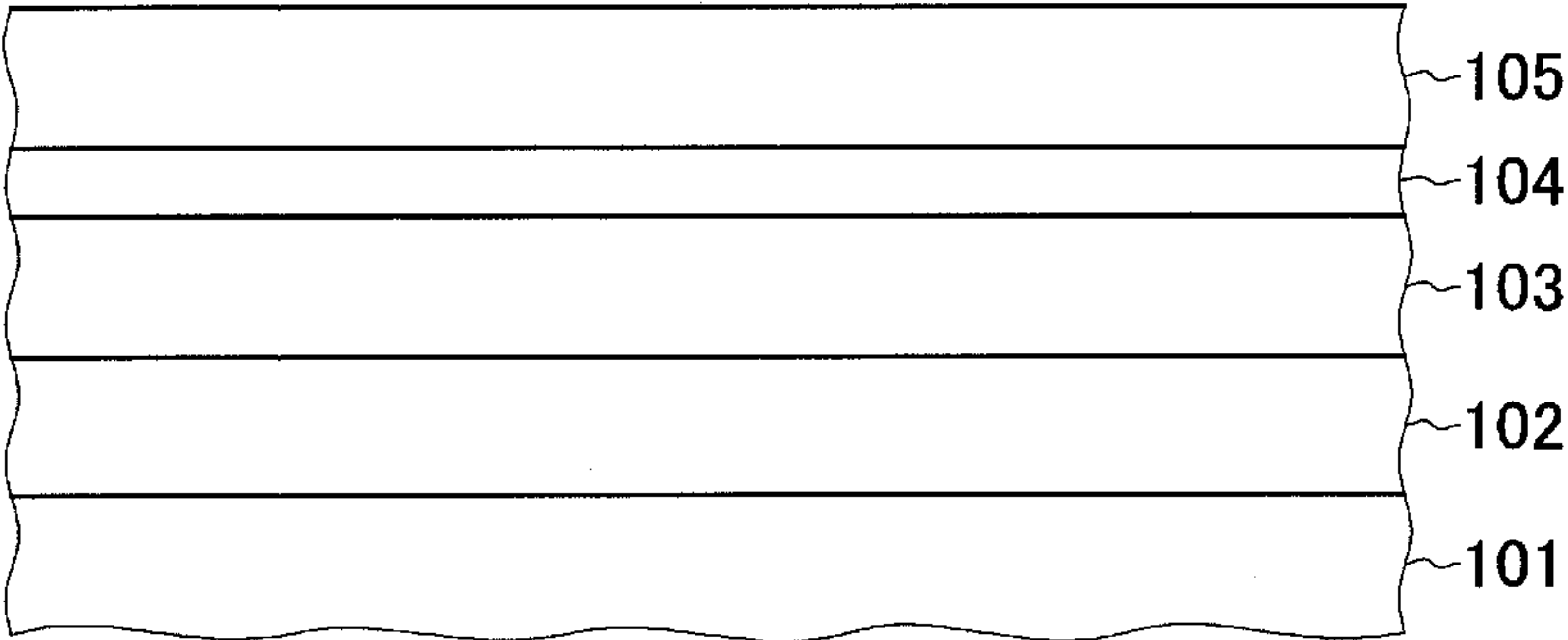
【發明圖式】



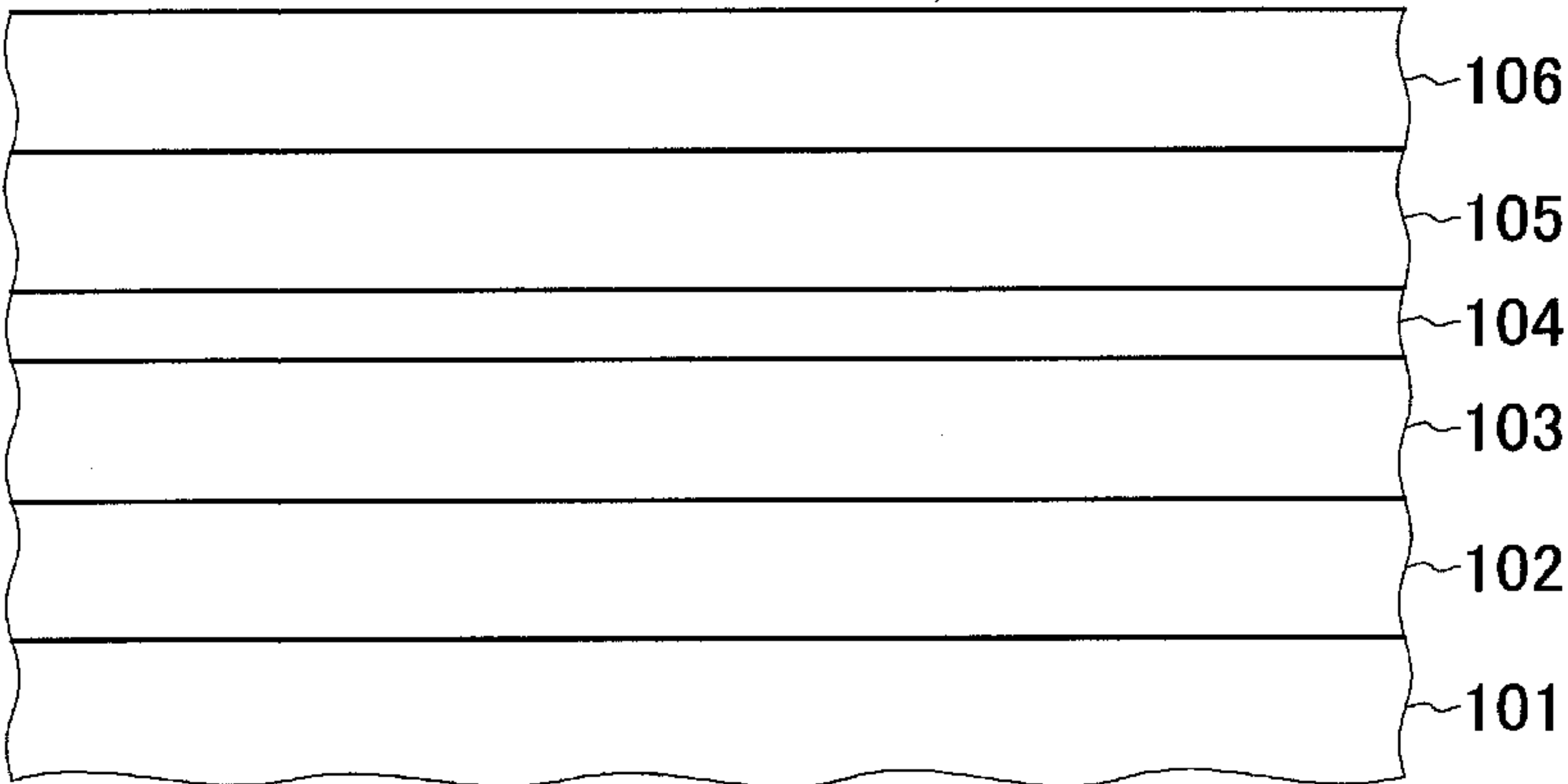
【圖1A】



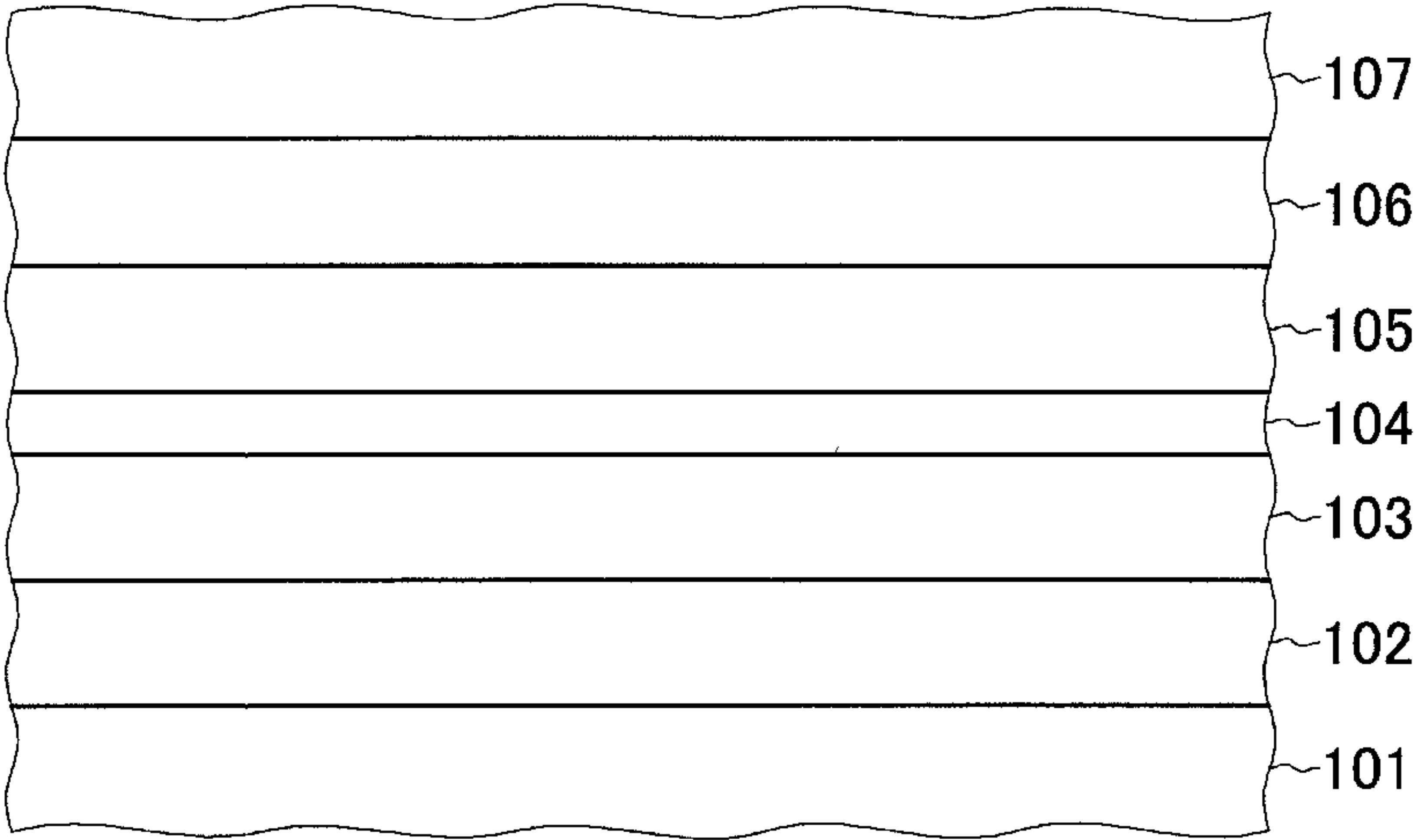
【圖1B】



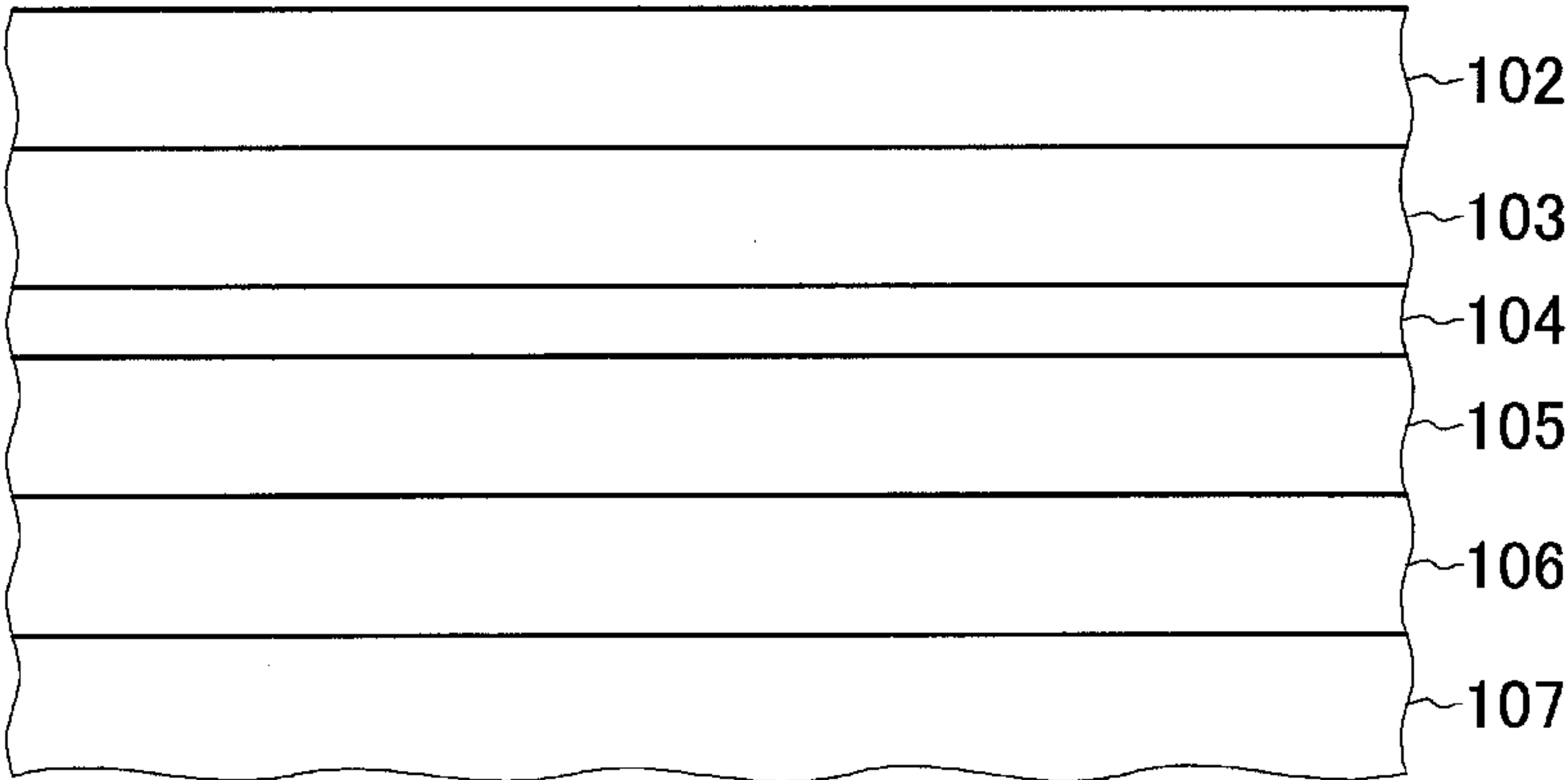
【圖1C】



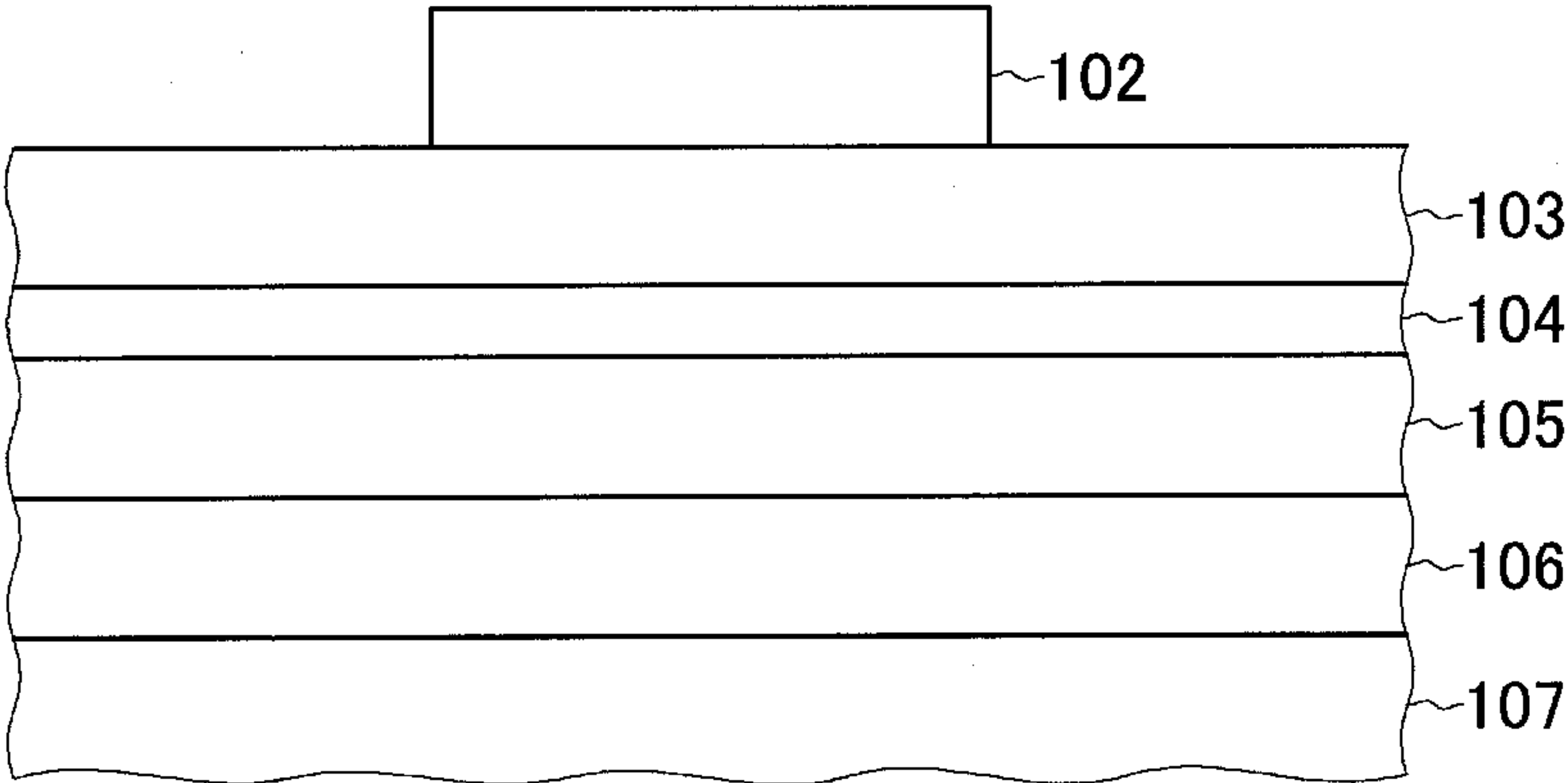
【圖1D】



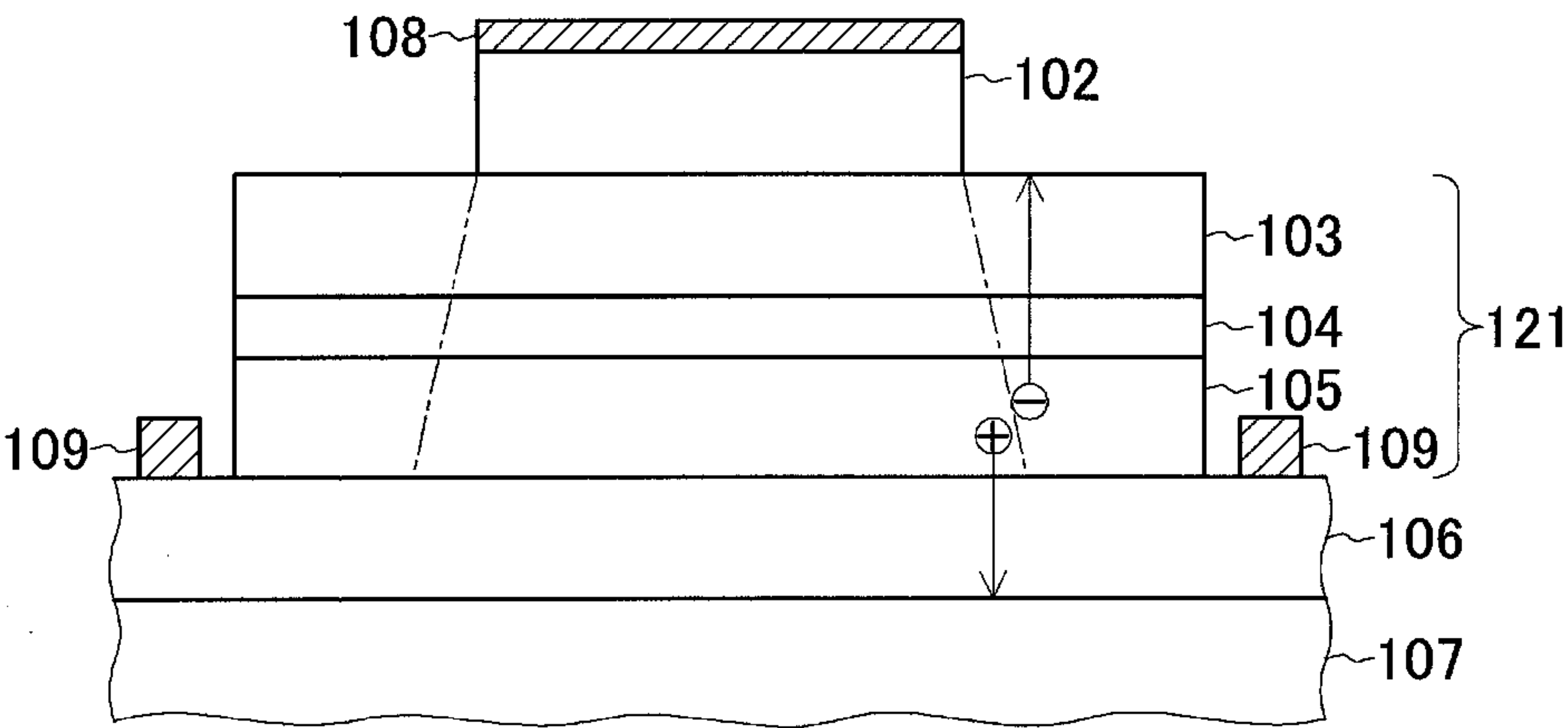
【圖1E】



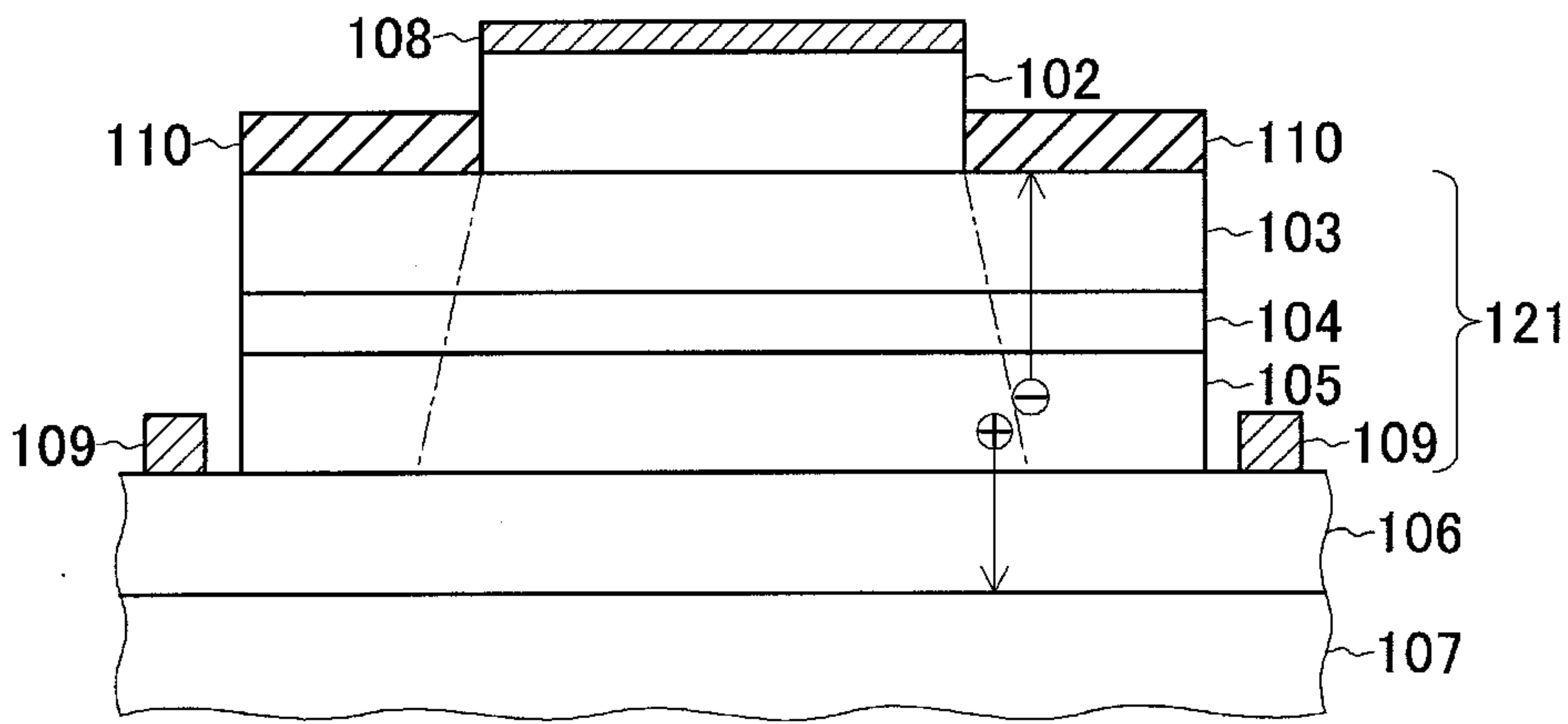
【圖1F】



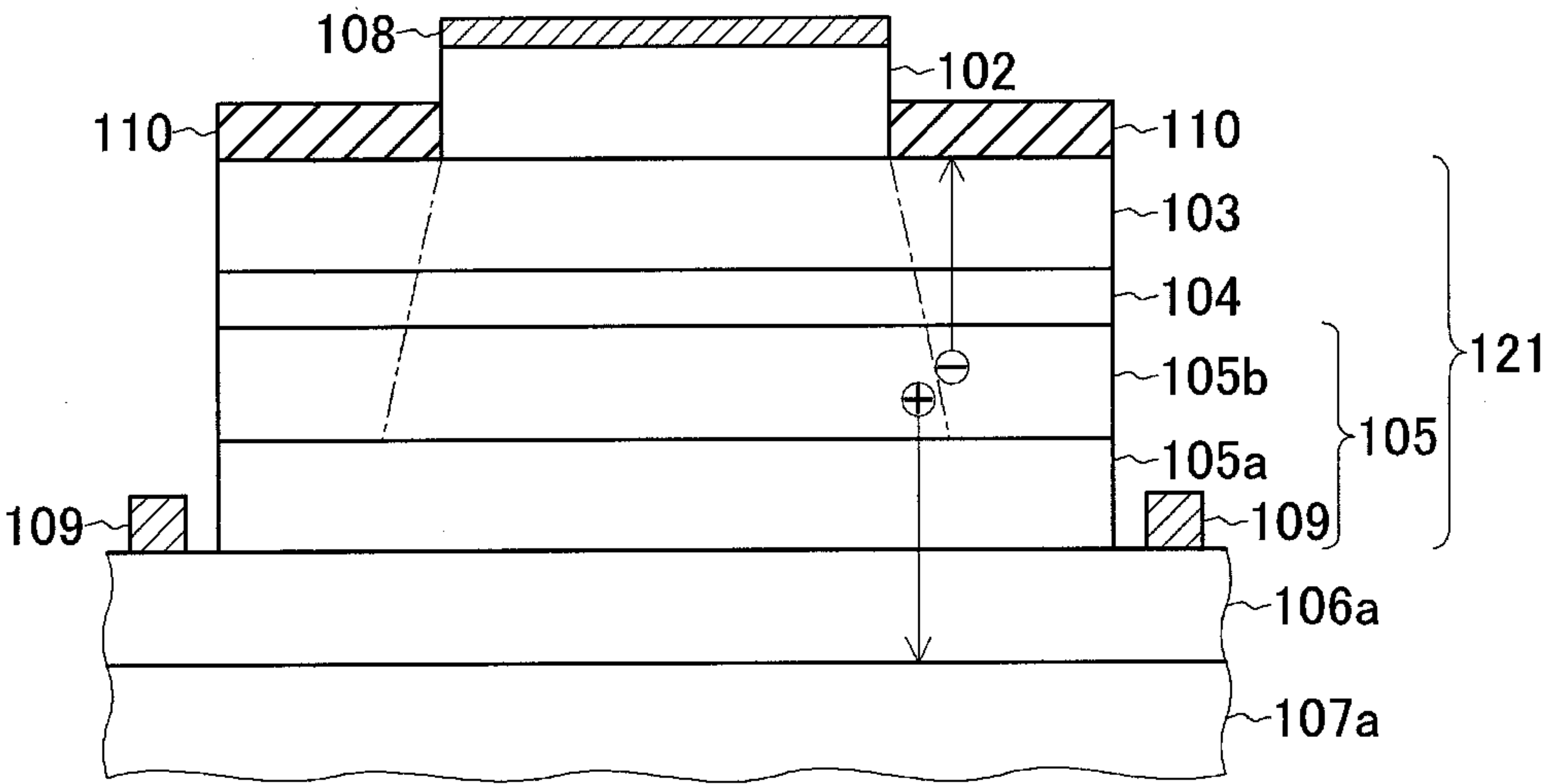
【圖1G】



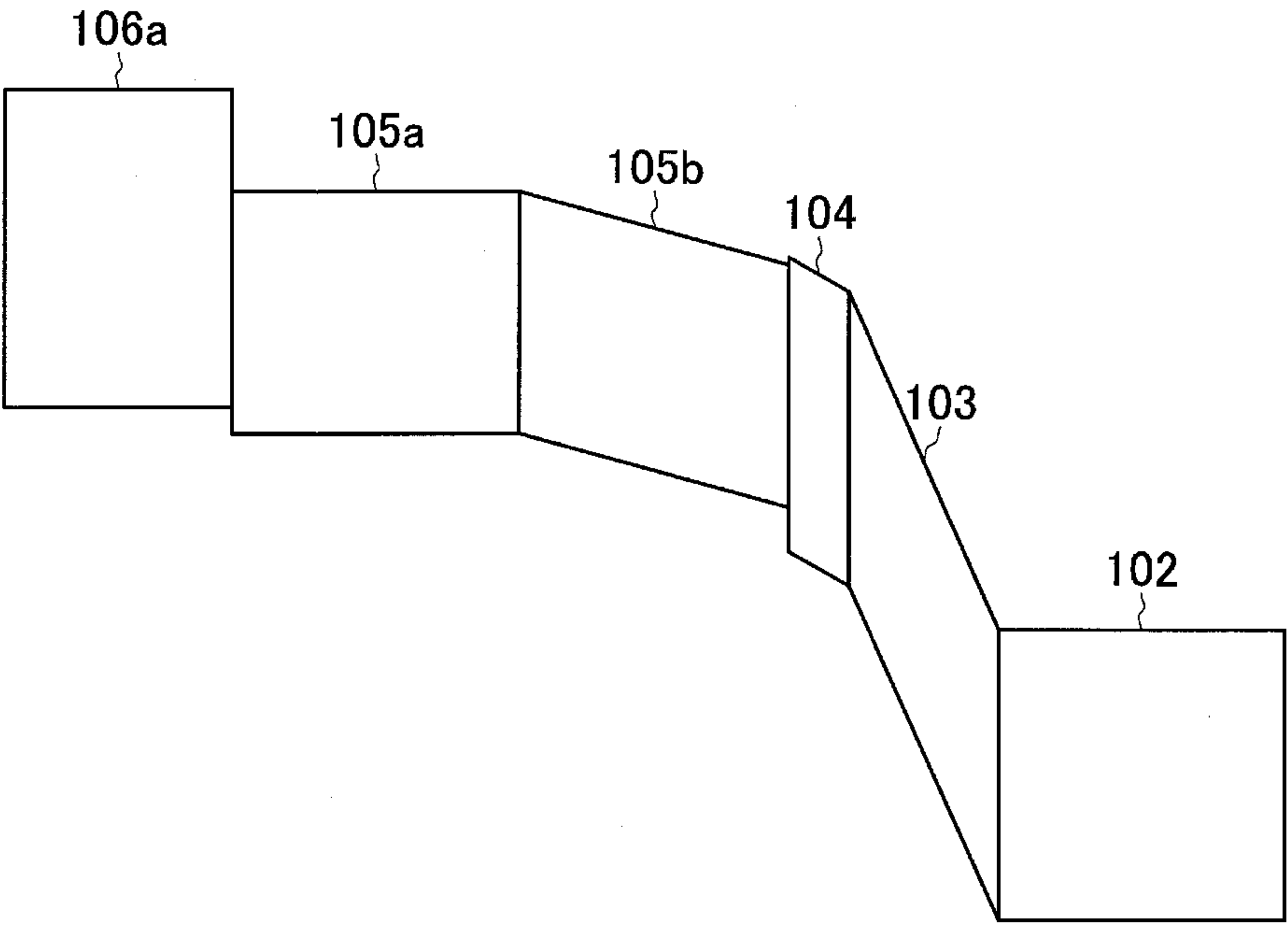
【圖1H】



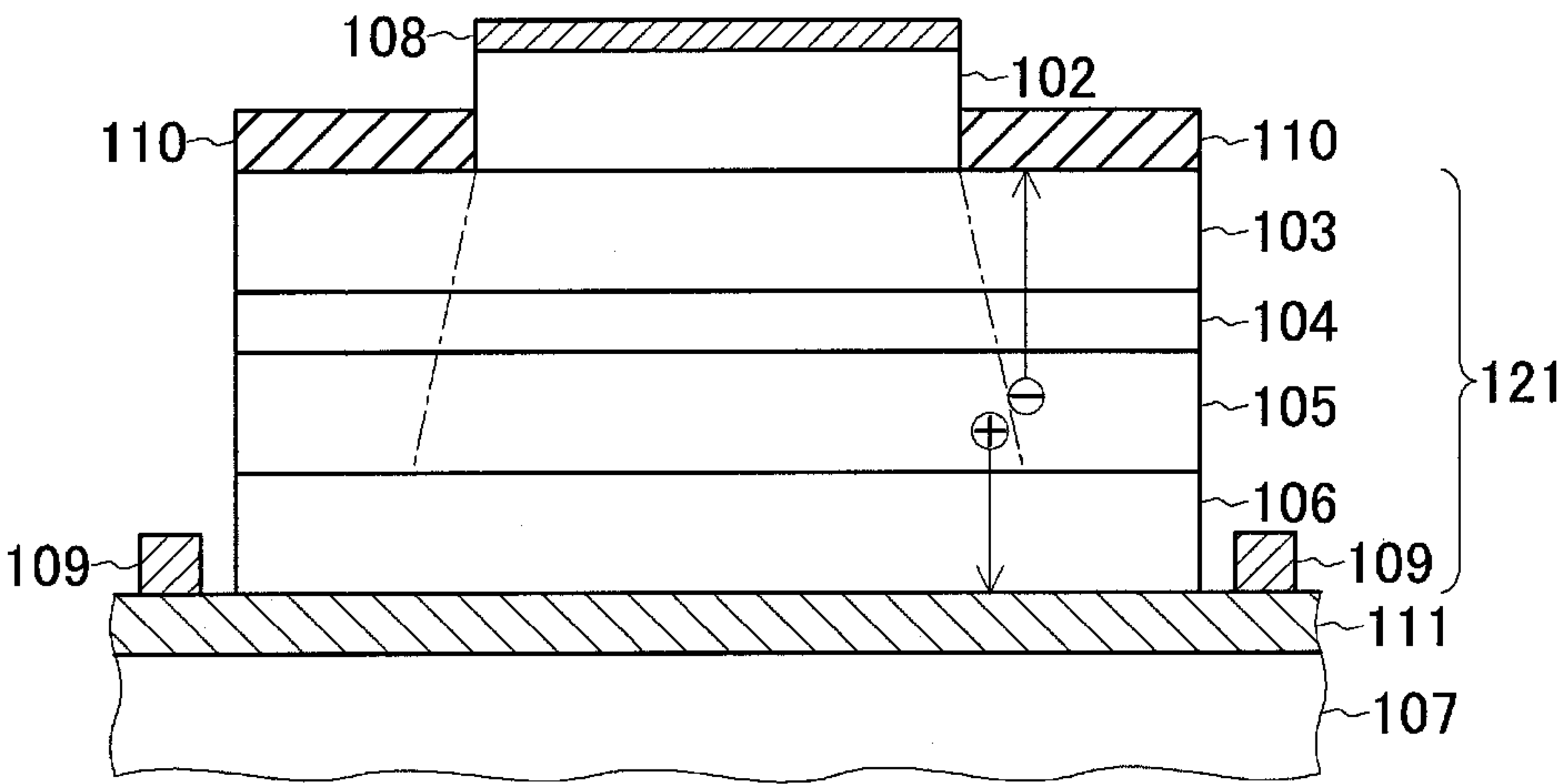
【圖2】



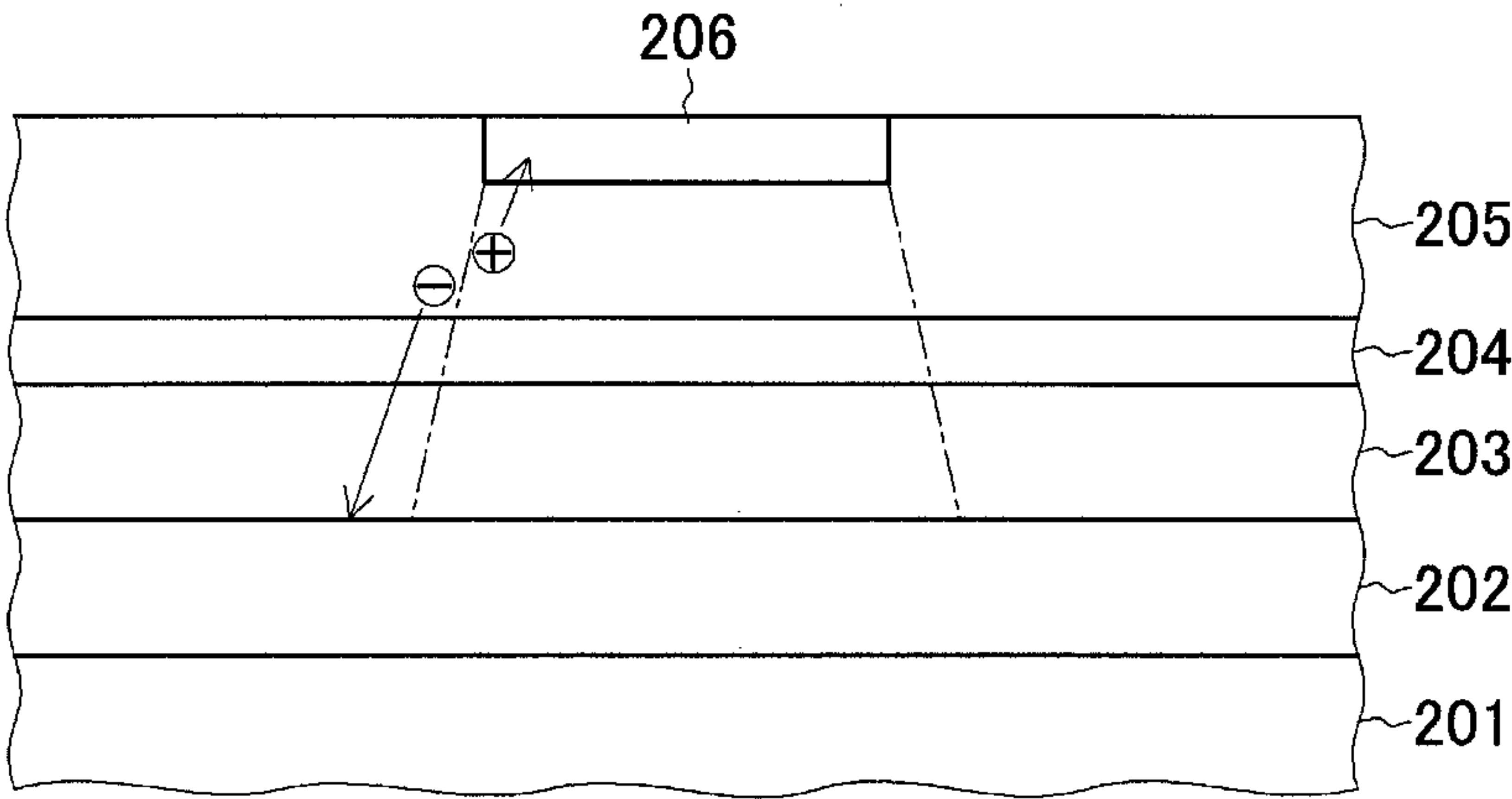
【圖3A】



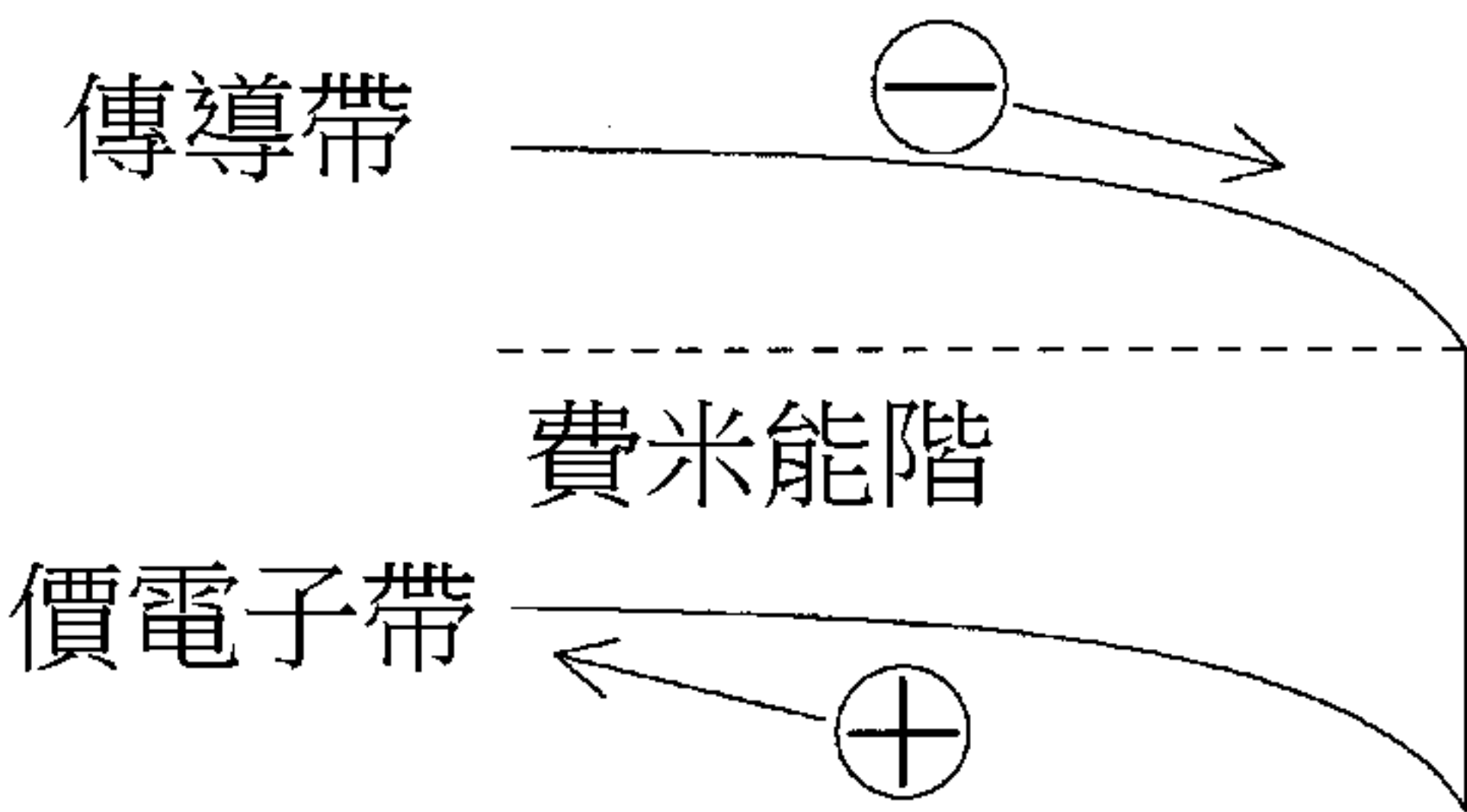
【圖3B】



【圖4】



【圖5A】



【圖5B】