

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第3区分  
 【発行日】平成24年4月12日(2012.4.12)

【公開番号】特開2010-278491(P2010-278491A)  
 【公開日】平成22年12月9日(2010.12.9)  
 【年通号数】公開・登録公報2010-049  
 【出願番号】特願2009-126056(P2009-126056)  
 【国際特許分類】

H 0 3 L 7/099 (2006.01)

H 0 3 L 7/187 (2006.01)

H 0 3 L 1/02 (2006.01)

【F I】

H 0 3 L 7/08 F

H 0 3 L 7/18 C

H 0 3 L 1/02

【手続補正書】

【提出日】平成24年2月24日(2012.2.24)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

制御電圧によって発振周波数を可変させる電圧制御発振回路と、  
 前記電圧制御発振回路の出力又は該出力を分周した信号と基準信号とを位相比較する位相比較器と、  
 前記位相比較結果に基づき前記電圧制御発振回路への制御電圧を生成するループフィルタと、を備えた周波数シンセサイザであって、  
 前記電圧制御発振回路が、容量バンクと可変容量素子とを備え、  
 前記容量バンクが、  
 複数の重み付けされた容量素子と、  
 前記複数の容量素子にそれぞれ対応した複数のビット信号に基づきオン・オフされる複数のスイッチと、を備え、  
 さらに、  
 前記電圧制御発振回路の前記容量バンクの寄生容量の補正電位を生成する第1の補正電位発生回路と、  
 前記可変容量素子の補正電位を生成する第2の補正電位発生回路と、  
 前記第2の補正電位発生回路の出力電位を前記制御ビット信号に基づき重み付け処理する重み付け回路と、  
 前記第1の補正電位発生回路の出力電圧と前記重み付け回路の出力電圧を合成する合成回路と、  
 を備えた温度補償ブロックを備え、  
 前記温度補償ブロックの前記合成回路の出力により、前記電圧制御発振回路の前記可変容量素子が制御される、ことを特徴とする周波数シンセサイザ。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0085

## 【補正方法】変更

## 【補正の内容】

## 【0085】

なお、これ以外の形式の定電圧源であっても、同様の効果が得られることは勿論である。また定電圧源の代わりに、PTAT (Proportionate To Absolute Temperature) 等温度依存性の電流を出力する定電流源と、電流 - 電圧変換回路の組み合わせで構成しても良い。また温度依存性のない定電流源と、温度依存性が設計された電流 - 電圧変換回路の組み合わせであっても良い。以上説明したように、本発明によれば、周波数微調整用パラクタの容量可変範囲と、温度補償ブロック出力に制御させる補償パラクタの容量可変範囲の和が、温度変動に対する耐性に寄与するため、PLLのロック外れが生じにくい。

上記した実施形態は以下のように付記される(ただし、以下に限定されない)。

## (形態1)

制御電圧によって発振周波数を可変させる電圧制御発振回路と、

前記電圧制御発振回路の出力又は該出力を分周した信号と基準信号とを位相比較する位相比較器と、

前記位相比較結果に基づき前記電圧制御発振回路への制御電圧を生成するループフィルタと、を備えた周波数シンセサイザであって、

前記電圧制御発振回路が、容量バンクと可変容量素子とを備え、

前記容量バンクが、

複数の重み付けされた容量素子と、

前記複数の容量素子にそれぞれ対応した複数のビット信号に基づきオン・オフされる複数のスイッチと、を備え、

さらに、

前記電圧制御発振回路の前記容量バンクの寄生容量の補正電位を生成する第1の補正電位発生回路と、

前記可変容量素子の補正電位を生成する第2の補正電位発生回路と、

前記第2の補正電位発生回路の出力電位を前記制御ビット信号に基づき重み付け処理する重み付け回路と、

前記第1の補正電位発生回路の出力電圧と前記重み付け回路の出力電圧を合成する合成回路と、

を備えた温度補償ブロックを備え、

前記温度補償ブロックの前記合成回路の出力により、前記電圧制御発振回路の前記可変容量素子が制御される、ことを特徴とする周波数シンセサイザ。

## (形態2)

前記温度補償ブロックが、

前記制御ビット信号に対応した電圧を生成する回路を備え、

前記重み付け回路が、前記制御ビット信号に対応した電圧によってゲインが可変されるゲイン可変利アンプを含む、ことを特徴とする形態1記載の周波数シンセサイザ。

## (形態3)

前記温度補償ブロックにおいて、

前記第1の補正電位発生回路が、

前記容量バンクのレプリカ回路と、

別の固定容量と、

前記レプリカ回路の容量を所定の電流で所定時間充電し、前記別の固定容量を前記電流で同じ時間充電し、両者の容量の端子電圧の電圧差を検出して出力する差動増幅回路と、

を備えた、ことを特徴とする形態1記載の周波数シンセサイザ。

## (形態4)

前記温度補償ブロックにおいて、

前記重み付け回路が、

前記制御ビット信号でオン・オフされるスイッチと、前記スイッチに直列に接続される抵抗と、の組を複数並列接続した並列抵抗アレイを備え、

前記合成回路が、

前記第2の補正電位発生回路の出力で抵抗が可変される可変抵抗を備え、

前記並列抵抗アレイに、前記可変抵抗が並列に接続され、前記可変容量素子に接続される、ことを特徴とする形態1記載の周波数シンセサイザ。

(形態5)

前記温度補償ブロックにおいて、

前記重み付け回路が、

抵抗と、前記抵抗に、並列接続され前記制御ビット信号でオン・オフされ、オン時抵抗を短絡させるスイッチと、の組を複数直列接続した抵抗アレイと、

を備え、

前記合成回路が、

前記第2の補正電位発生回路の出力で抵抗が可変される可変抵抗を備え、

前記抵抗アレイに、前記可変抵抗が直列に接続され、前記可変容量素子に接続される、ことを特徴とする形態1記載の周波数シンセサイザ。

(形態6)

前記温度補償ブロックにおいて、

前記重み付け回路が、前記第1の補正電位発生回路の出力電圧を基準電圧として受け、前記制御ビット信号に応じた電圧を出力するデジタルアナログ変換回路を備えている、ことを特徴とする形態1記載の周波数シンセサイザ。

(形態7)

前記電圧制御発振回路が、

前記第2の補正電位発生回路の出力電圧を受ける可変容量素子と、

前記重み付け回路の出力電圧を受ける別の可変容量素子と、

を備えた、ことを特徴とする形態1記載の周波数シンセサイザ。

(形態8)

前記温度補償ブロックにおける前記重み付け回路の出力電圧と、前記第2の補正電位発生回路の出力電圧と、前記ループフィルタの出力とを合成する回路を備え、前記合成した電圧が、前記電圧制御発振回路の前記可変容量素子に印加される、ことを特徴とする形態1記載の周波数シンセサイザ。

(形態9)

前記第1の補正電位発生回路として、その出力電圧の温度依存性がある所望の値になるように設計された電圧源を備えた、ことを特徴とする形態1記載の周波数シンセサイザ。

(形態10)

前記電圧制御発振回路の発振周波数の変化の符号と、前記第1、第2の補正電位発生回路による前記電圧制御発振回路の発振周波数の変化の符号とが互いに逆である、ことを特徴とする、形態1記載の周波数シンセサイザ。