



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년03월10일
(11) 등록번호 10-1372795
(24) 등록일자 2014년03월04일

(51) 국제특허분류(Int. Cl.)
G05F 3/16 (2006.01) G01R 19/145 (2006.01)
H03K 17/22 (2006.01) H03K 17/28 (2006.01)
(21) 출원번호 10-2010-0002780
(22) 출원일자 2010년01월12일
심사청구일자 2012년01월04일
(65) 공개번호 10-2010-0083728
(43) 공개일자 2010년07월22일
(30) 우선권주장
JP-P-2009-005214 2009년01월13일 일본(JP)
(56) 선행기술조사문헌
JP06213941 A*
JP2001127594 A
JP2004165649 A
JP2002320380 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
세이코 인스트루 가부시키가이샤
일본국 치바켄 치바시 미하마구 나카세 1쵸메 8반지
(72) 발명자
스기우라 마사카즈
일본 지바켄 지바시 미하마구 나카세 1쵸메 8 세이코 인스트루 가부시키가이샤 나이
이가라시 아츠시
일본 지바켄 지바시 미하마구 나카세 1쵸메 8 세이코 인스트루 가부시키가이샤 나이
(74) 대리인
특허법인코리어나

전체 청구항 수 : 총 9 항

심사관 : 김재호

(54) 발명의 명칭 전원 전압 감시 회로, 및 그 전원 전압 감시 회로를 구비하는 전자 회로

(57) 요약

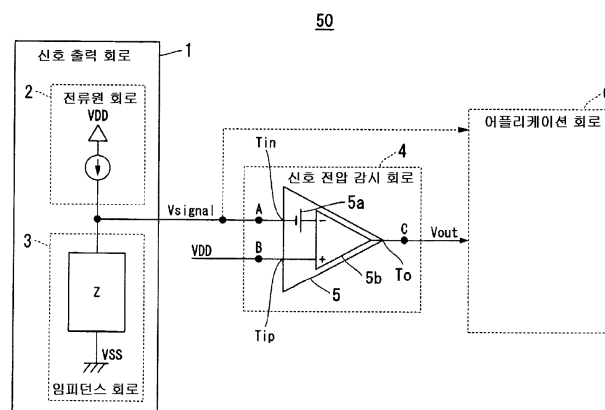
(과제)

전자 회로에 있어서, 최저 동작 전원 전압의 저전압화를 도모하여, 전원 전압을 효율적으로 이용할 수 있는 전원 전압 감시 회로를 제공한다.

(해결 수단)

본 발명의 전원 전압 감시 회로 (50) 는, 전원 전압의 증가에 대해 포화 특성을 나타내는 신호 전압 (Vsignal) 을 출력하는 신호 출력 회로 (1) 와, 전원 전압 (VDD) 과 신호 전압 (Vsignal) 을 비교하여, 소정의 전압차가 발생한 경우, 신호 전압 (Vsignal) 이 정상인 것을 나타내는 신호 (Vout) 를 출력하는 신호 전압 감시 회로 (4) 를 갖고 구성된다. 이로써, 전자 회로에 있어서의 최저 동작 전원 전압의 저전압화를 도모하여, 전원 전압을 효율적으로 이용할 수 있다.

대표도



특허청구의 범위

청구항 1

전자 회로에 공급되는 전원 전압을 감시하는 전원 전압 감시 회로로서,

상기 전원 전압의 증가에 대해 포화 특성을 나타내는 신호 전압을 출력하는 신호 출력 회로와,

상기 전원 전압 자체와 미리 설정된 설정 전압을 상기 신호 전압에 가산한 가산 전압과 비교하여, 상기 전원 전압이 상기 가산 전압을 초과하는 경우, 상기 신호 전압이 정상인 것을 나타내는 신호를 출력하는 신호 전압 감시 회로를 구비하는 것을 특징으로 하는 전원 전압 감시 회로.

청구항 2

제 1 항에 있어서,

상기 신호 출력 회로는,

전원으로부터 전류원 회로를 통해 전류의 공급을 받는 임피던스 회로를 가지며, 상기 임피던스 회로에 의해 상기 신호 전압을 생성하여 출력하고,

상기 신호 전압 감시 회로는,

상기 신호 출력 회로로부터 출력되는 신호 전압과 상기 전원 전압을 비교하여, 상기 전원 전압과 상기 신호 전압 사이의 전압차가 상기 설정 전압을 초과하는 경우, 상기 전원 전압이 상기 전자 회로의 최저 동작 전원 전압 이상이 된 것을 나타내는 신호를 출력하는 것을 특징으로 하는 전원 전압 감시 회로.

청구항 3

제 2 항에 있어서,

상기 임피던스 회로에 의해, 상기 전원 전압과 비교되는 기준 전압으로서, 나아가서는 온도 의존성을 나타내는 전압으로서 상기 신호 전압을 생성하여 출력하는 것을 특징으로 하는 전원 전압 감시 회로.

청구항 4

제 1 항에 있어서,

상기 신호 출력 회로는,

전원의 투입시에 있어서 전원 전압이 소정 전압으로 천이될 때까지 동안에는, 상기 전원 전압의 증가에 따라 증가되는 신호 전압을 출력함과 함께, 상기 전원 전압이 상기 소정 전압을 초과하여 증가되는 경우, 포화 특성을 갖고 단조 증가되는 전압을 신호 전압으로서 출력하고,

상기 신호 전압 감시 회로는,

상기 신호 출력 회로로부터 출력되는 신호 전압과 상기 전원 전압을 비교하여, 상기 전원 전압과 상기 신호 전압 사이의 전압차가 상기 설정 전압을 초과하는 경우, 상기 전원 전압이 상기 전자 회로의 최저 동작 전원 전압을 초과한 것을 나타내는 신호를 출력하는 것을 특징으로 하는 전원 전압 감시 회로.

청구항 5

제 1 항에 있어서,

상기 신호 전압 감시 회로는,

미리 정해지는 전위차에 의해 나타내어지는 오프셋 전위를 일방의 입력으로 설정하고, 입력되는 2 개의 신호의 전위차가 그 오프셋 전위를 만족하는 경우에 상기 전원 전압이 최저 동작 전원 전압을 초과한 것을 나타내는 신호를 출력하는 오프셋 기능이 있는 비교 회로를 구비하는 것을 특징으로 하는 전원 전압 감시 회로.

청구항 6

제 1 항에 있어서,
 상기 신호 출력 회로는,
 전류원 회로와 임피던스 회로가 직렬로 접속되어 구성되고,
 상기 전류원 회로와 임피던스 회로의 회로 접속점으로부터 상기 신호 전압이 출력되는 것을 특징으로 하는 전원 전압 감시 회로.

청구항 7

제 6 항에 있어서,
 상기 임피던스 회로는,
 상기 전류원 회로로부터 출력되는 전류를 입력으로 하고,
 검출된 물리량에 따른 전압 신호를 출력하는 센서인 것을 특징으로 하는 전원 전압 감시 회로.

청구항 8

제 7 항에 있어서,
 상기 센서는, 온도를 검출하는 온도 센서인 것을 특징으로 하는 전원 전압 감시 회로.

청구항 9

제 1 항 내지 제 8 항 중 어느 한 항에 기재된 전원 전압 감시 회로를 구비하는 것을 특징으로 하는 전자 회로.

명세서

기술분야

[0001] 본 발명은, 전자 회로에 있어서의 최저 동작 전원 전압의 저전압화를 도모하여, 저전압 동작화를 가능하게 하는 전원 전압 감시 회로, 및 그 전원 전압 감시 회로를 구비하는 전자 회로에 관한 것이다.

배경기술

[0002] 전자 회로에서는, 그 회로에 적합한 동작 가능 전원 전압 범위가 정해져 있다. 그 동작 가능 전원 전압 범위에 있어서는, 그 회로의 동작이 보증되어, 그 회로로부터 출력되는 신호의 신뢰도를 확보할 수 있다.

[0003] 전자 회로의 전원 투입시에 있어서는, 그 전원 전압이 동작 가능 전원 전압이 될 때까지 과도적으로 상승되므로, 상기 동작 가능 전원 전압에 도달할 때까지의 상태 천이가 발생하게 된다. 이 때문에, 전자 회로에는, 출력되는 신호의 신뢰도를 확보하기 위해, 출력되는 신호를 제어하여 확정시키는 처치가 실시되고 있다 (예를 들어, 특허 문헌 1 참조).

[0004] 이와 같은 처치로서, 전원 전압 감시 회로를 형성하고, 입력되는 전원 전압을 감시하여, 저전원 전압 상태를 검출하는 처치가 취해지는 경우가 있다. 예를 들어, 특허 문헌 1 의 도 1 에 나타낸 전원 전압 감시 회로에서는, 전자 회로 (20) 에 급전되는 전원 전압을 감시하고, 전원 전압이 소정의 설정값 이상이 되면, 전자 회로 (20) 에 대해 동작 허가 신호를 제공한다. 이로써, 전자 회로 (20) 가 오동작하는 것을 방지할 수 있게 된다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본공개특허공보평08-279739호

발명의 내용

해결하려는 과제

- [0006] 특허 문헌 1 의 전원 전압 감시 회로에서는, 전술한 바와 같이 브리더 저항에 의해 전원 전압을 검출하는 전원 전압 검출 회로를 이용하고 있다. 즉, 회로 내에서 본래적 최저 동작 전원 전압이 보증되어야 하는 회로란, 다른 회로에 의해 최저 동작 전원 전압 이상이 된 것을 검출하도록 구성되어 있다. 이것은, 전자 회로에 있어서 전원 전압을 효율적으로 이용할 수 없다는 의미에서 비효율적이다.
- [0007] 즉, 전원 전압의 최저 동작 전원 전압의 보증이 필요한 본래의 회로에 있어서, 전원 전압이 최저 동작 전원 전압을 초과하면, 바로 그 정보를 외부 회로로 발신할 수 있는 구성이 바람직하다. 이와 같이 함으로써, 최저 동작 전원 전압의 저전압화를 도모할 수 있기 때문에, 전자 회로, 예를 들어 IC 등의 최저 동작 전원 전압 사양을 저전압화하는 것이 가능해진다.
- [0008] 본 발명은, 상기 문제를 해결하기 위해 이루어진 것으로, 본 발명의 목적은, 전자 회로에 있어서의 최저 동작 전원 전압의 저전압화를 도모하여, 전원 전압을 효율적으로 이용할 수 있는, 전원 전압 감시 회로, 및 그 전원 전압 감시 회로를 구비하는 전자 회로를 제공하는 것에 있다.

과제의 해결 수단

- [0009] 본 발명은, 상기 문제를 해결하기 위해 이루어진 것으로, 본 발명의 전원 전압 감시 회로는, 전자 회로에 공급되는 전원 전압을 감시하는 전원 전압 감시 회로로서, 상기 전원 전압의 증가에 대해 포화 특성을 나타내는 신호 전압을 출력하는 신호 출력 회로와, 상기 전원 전압과 상기 신호 전압을 비교하여, 상기 전원 전압과 상기 신호 전압 사이에 소정의 전압차가 발생한 경우, 상기 신호 전압이 정상인 것을 나타내는 신호를 출력하는 신호 전압 감시 회로를 구비하는 것을 특징으로 한다.
- [0010] 또, 본 발명의 전원 전압 감시 회로는, 전원으로부터 전류원 회로를 통해 전류의 공급을 받는 임피던스 회로를 가지며, 상기 임피던스 회로에 의해 상기 신호 전압을 생성하여 출력하는 신호 출력 회로와, 상기 신호 출력 회로로부터 출력되는 신호 전압과 상기 전원 전압을 비교하여, 상기 전원 전압과 상기 신호 전압 사이에 소정의 전압차가 발생한 경우, 상기 전원 전압이 상기 전자 회로의 최저 동작 전원 전압 이상이 된 것을 나타내는 신호를 출력하는 신호 전압 감시 회로를 구비하는 것을 특징으로 한다.
- [0011] 또, 본 발명의 전원 전압 감시 회로는, 상기 임피던스 회로에 의해, 상기 전원 전압과 비교되는 기준 전압으로서, 나아가서는 온도 의존성을 나타내는 전압으로서 상기 신호 전압을 생성하여 출력하는 것을 특징으로 한다.
- [0012] 또, 본 발명의 전원 전압 감시 회로는, 상기 신호 출력 회로는, 전원의 투입시에 있어서 전원 전압이 소정 전압으로 천이될 때까지 동안에는, 상기 전원 전압의 증가에 따라 증가되는 신호 전압을 출력함과 함께, 상기 전원 전압이 상기 소정 전압을 초과하여 증가되는 경우, 포화 특성을 갖고 단조 증가되는 전압을 신호 전압으로서 출력하고, 상기 신호 전압 감시 회로는, 상기 신호 출력 회로로부터 출력되는 신호 전압과 상기 전원 전압을 비교하여, 상기 전원 전압과 상기 신호 전압 사이에 소정의 전압차가 발생한 경우, 상기 전원 전압이 상기 전자 회로의 최저 동작 전원 전압을 초과한 것을 나타내는 신호를 출력하는 것을 특징으로 한다.
- [0013] 또, 본 발명의 전원 전압 감시 회로는, 상기 신호 전압 감시 회로는, 미리 정해지는 전위차에 의해 나타내어지는 오프셋 전위를 일방의 입력으로 설정하고, 입력되는 2 개의 신호의 전위차가 그 오프셋 전위를 만족하는 경우에 상기 전원 전압이 최저 동작 전원 전압을 초과한 것을 나타내는 신호를 출력하는 오프셋 기능이 있는 비교 회로를 구비하는 것을 특징으로 한다.
- [0014] 또, 본 발명의 전원 전압 감시 회로는, 상기 신호 출력 회로는, 전류원 회로와 임피던스 회로가 직렬로 접속되어 구성되고, 상기 전류원 회로와 임피던스 회로의 회로 접속점으로부터 상기 신호 전압이 출력되는 것을 특징으로 한다.
- [0015] 또, 본 발명의 전원 전압 감시 회로는, 상기 임피던스 회로는, 상기 전류원 회로로부터 출력되는 전류를 입력으로 하고, 검출된 물리량에 따른 전압 신호를 출력하는 센서인 것을 특징으로 한다.
- [0016] 또, 본 발명의 전원 전압 감시 회로는, 상기 센서는, 온도를 검출하는 온도 센서인 것을 특징으로 한다.
- [0017] 또, 본 발명의 전자 회로는, 상기 중 어느 하나에 기재된 전원 전압 감시 회로를 구비하는 것을 특징으로 한다.

발명의 효과

[0018] 본 발명의 전원 전압 감시 회로에 의하면, 신호 출력 회로는, 온도 센서 등의 전원 전압에 대해 포화 특성을 나타내는 신호 전압을 출력하고, 신호 전압 감시 회로는, 신호 출력 회로로부터 출력되는 신호 전압과 전원 전압을 비교하여, 전원 전압과 신호 전압 사이에 소정의 전압차가 발생한 경우, 신호 출력 회로로부터 출력되는 신호 전압이 정상인 것을 나타내는 신호를 출력한다.

[0019] 이로써, 전자 회로에 있어서의 최저 동작 전원 전압의 저전압화를 도모하여, 전원 전압을 효율적으로 이용할 수 있다. 이 때문에, 예를 들어 IC 등의 최저 동작 전원 전압 사양을 저전압화하는 것이 가능해진다.

도면의 간단한 설명

[0020] 도 1은 본 발명의 제 1 실시형태에 의한 전원 전압 감시 회로를 나타내는 개략 구성도.

도 2는 신호 출력 회로의 구성을 나타내는 도면.

도 3은 밴드 갭 레퍼런스 회로의 예를 나타내는 도면.

도 4는 제 1 실시형태에 있어서의 전원 전압 감시 회로의 동작을 나타내는 타이밍 차트.

도 5는 어플리케이션 회로의 제 1 예를 나타내는 도면.

도 6은 어플리케이션 회로의 제 2 예를 나타내는 도면.

도 7은 본 발명의 제 2 실시형태에 의한 검출 회로를 나타내는 개략 구성도.

도 8은 제 2 실시형태에 있어서의 검출 회로의 동작을 나타내는 타이밍 차트.

도 9는 제 3 실시형태에 의한 검출 회로를 나타내는 개략 구성도.

도 10은 제 3 실시형태에 있어서의 검출 회로의 동작을 나타내는 타이밍 차트.

도 11은 제 4 실시형태에 의한 검출 회로를 나타내는 개략 구성도.

도 12는 제 4 실시형태에 있어서의 검출 회로의 동작을 나타내는 타이밍 차트.

도 13은 제 5 실시형태에 의한 검출 회로를 나타내는 개략 구성도.

도 14는 제 5 실시형태에 의한 저전원 전압 검출 회로를 나타내는 개략 구성도.

도 15는 제 5 실시형태에 의한 저전원 전압 검출 회로의 동작을 나타내는 도면.

도 16은 제 5 실시형태에 있어서의 검출 회로의 동작을 나타내는 타이밍 차트.

도 17은 제 6 실시형태에 의한 저전원 전압 검출 회로를 나타내는 개략 구성도.

도 18은 제 6 실시형태에 의한 저전원 전압 검출 회로의 동작을 나타내는 도면.

도 19는 제 7 실시형태에 의한 검출 회로를 나타내는 개략 구성도.

도 20은 제 7 실시형태에 있어서의 검출 회로의 동작을 나타내는 타이밍 차트.

도 21은 제 8 실시형태에 의한 검출 회로를 나타내는 개략 구성도.

도 22는 제 8 실시형태에 있어서의 검출 회로의 동작을 나타내는 타이밍 차트.

발명을 실시하기 위한 구체적인 내용

[0021] 이하, 본 발명의 실시형태에 대해 도면을 참조하여 설명한다.

[0022] (제 1 실시형태)

[0023] 도 1은, 본 발명의 제 1 실시형태에 의한 전원 전압 감시 회로를 나타내는 개략 구성도이다.

[0024] 전원 전압 감시 회로 (50)는, 신호 출력 회로 (1)와, 신호 전압 감시 회로 (4)로 구성된다. 또, 전원 전압 감시 회로 (50)의 출력 신호는, 후속되는 어플리케이션 회로 (6)에 출력된다. 또, 신호 출력 회로 (1)의 출력 신호도 어플리케이션 회로 (6)에서 사용되는 경우도 있다.

[0025] 전원 전압 감시 회로 (50)에 있어서의 신호 출력 회로 (1)는, 일정 전류를 공급하는 전류원 회로 (2)와, 그

전류원 회로 (2)로부터의 전류를 입력으로 하는 임피던스 회로 (3)가 직렬로 접속되어 구성된다. 또, 전류원 회로 (2)와 임피던스 회로 (3)의 회로 접속점으로부터 신호 전압 (Vsignal)이 출력된다.

[0026] 이 임피던스 회로 (3)는, 예를 들어 순방향으로 바이어스되며 온도 센서로서 사용되는 다이오드 등으로 구성된다. 그리고, 전원의 투입시에 있어서 전원 전압 (VDD)이 소정 전압으로 천이될 때까지 동안, 즉 전원 전압이 낮고 임피던스 회로 (3)에 공급되는 전류가 적은 경우에는, 임피던스 회로 (3)는 고임피던스 상태를 나타내고, 신호 전압 (Vsignal)의 전압은 전원 전압 (VDD)이 된다. 즉, 전원 전압 (VDD)이 낮은 상태에서는, 임피던스 회로 (3)로부터 출력되는 신호 전압 (Vsignal)은, 전원 전압 (VDD)의 증가와 함께 직선적으로 증가된다 (도 4의 신호 전압 (Vsignal)과 전원 전압 (VDD)을 참조).

[0027] 그리고, 전원 전압 (VDD)이 증가되어 소정 전압을 초과한 경우에는, 전류원 회로 (2)를 통해 임피던스 회로 (3)에 흐르는 전류가 증대되는데, 임피던스 회로 (3)에 일정값 이상의 전류가 흐르면, 임피던스 회로 (3)양단의 전압은 포화 특성을 나타내고, 일정한 전압 (임계값 전압)이 된다. 또한, 전원 전압 (VDD)이 증가되고, 임피던스 회로 (3)에 공급되는 전류가 증가되면, 임피던스 회로 (3)양단의 전압은, 전술한 일정값으로부터 포화 특성을 갖고 완만하게 단조 증가되는 전압이 된다. 또한, 임피던스 회로 (3)가 온도 센서용 다이오드 등으로 구성되는 경우에는, 전술한 일정한 전압 (임계값 전압)은 온도 의존성을 나타내는 전압이 된다. 이 임피던스 회로 (3)의 상세한 것에 대해서는 후술한다.

[0028] 상기 서술한 임피던스 회로 (3)로부터 출력되는 신호 전압 (Vsignal)은, 신호 전압 감시 회로 (4)에 있어서 전원 전압 (VDD)과 비교될 때의 기준 전압이 되는 신호이고, 임피던스 회로 (3)가 온도 센서용 다이오드 등으로 구성되는 경우에는, 온도 의존성을 나타내는 신호가 된다.

[0029] 전원 전압 감시 회로 (50)에 있어서의 신호 전압 감시 회로 (4)는, 2개의 입력 단자 (Tip, Tin)와 출력 단자 (To)를 갖는다. 신호 전압 감시 회로 (4)는, 입력되는 2개의 신호 전위를 비교하여, 그 전위차가 소정의 값 이상인지의 여부를 검출하고, 검출 결과를 로우 레벨 또는 하이 레벨의 2값화된 논리 신호에 의해 출력한다.

[0030] 신호 전압 감시 회로 (4)의 일 형태로서 오프셋 콤퍼레이터 (5)를 나타낸다. 오프셋 콤퍼레이터 (5)는, 바이어스 전압원 (5a) 및 콤퍼레이터 (5b)를 구비한다. 바이어스 전압원 (5a)은, 소정의 바이어스 전위 (Vb)를 발생시켜 입력 단자 (Tip)의 입력 신호에 대해 전압 오프셋을 설정한다. 콤퍼레이터 (5b)는, 입력되는 2개의 신호의 전위차를 검출한다.

[0031] 오프셋 콤퍼레이터 (5)에서는, 입력 단자 (Tin)가 바이어스 전압원 (5a)을 개재하여 콤퍼레이터 (5b)의 반전 입력단 (入力端)에 접속되고, 입력 단자 (Tip)가 콤퍼레이터 (5b)의 비반전 입력단에 접속되고, 콤퍼레이터 (5b)의 출력단 (出力端)이 출력 단자 (To)에 접속된다.

[0032] 입력 단자 (Tin)에 입력되는 신호는, 바이어스 전압원 (5a)에 의해 바이어스 전위 (Vb)만큼 높은 전위로 변환되고, 콤퍼레이터 (5b)에 입력된다. 이와 같은 구성을 취함으로써, 오프셋 콤퍼레이터 (5)는, 입력 단자 (Tip)에 입력된 신호가, 입력 단자 (Tin)에 입력된 신호의 전압보다, 소정 전압 (바이어스 전위 (Vb))만큼 높아진 임계값 전압에 의해 비교된다.

[0033] 입력 단자 (Tip)에 입력되는 신호 (VDD)의 전위가, 입력 단자 (Tin)에 입력되는 신호 전압 (Vsignal)의 전위에 바이어스 전위 (Vb)를 가산한 전압보다 낮은 상태에서부터 높은 상태로 천이되면 출력 신호 (Vout)가 반전된다. 그 출력 신호 (Vout)는, 입력 단자 (Tip)에 입력되는 신호 (VDD)의 전위가, 입력 단자 (Tin)에 입력되는 신호 전압 (Vsignal)의 전위에 바이어스 전위 (Vb)를 가산한 전압보다 낮은 상태에서는, 로우 레벨을 나타낸다. 또, 출력 신호 (Vout)는, 입력 단자 (Tip)에 입력되는 신호 (VDD)의 전위가, 입력 단자 (Tin)에 입력되는 신호 전압 (Vsignal)의 전위에 바이어스 전위 (Vb)를 가산한 전압보다 높은 상태에서는, 하이 레벨을 나타낸다.

[0034] 신호 전압 감시 회로 (4)의 출력 전압 (Vout)은, 후속되는 어플리케이션 회로 (6)를 향하여 출력된다. 어플리케이션 회로 (6)에서는, 신호 전압 감시 회로 (4)의 출력 전압 (Vout)을 입력하고, 그 출력 전압 (Vout)이 하이 레벨로 천이된 것을 검출하고, 전원 전압 (VDD)이 최저 동작 전원 전압을 초과한 것을 감지한다. 또, 신호 출력 회로 (1)의 신호 출력 (Vsignal)도, 예를 들어 온도 센서의 신호로서 어플리케이션 회로 (6)에 출력되고, 어플리케이션 회로 (6)에서 이용되는 경우가 있다.

[0035] 또, 도 2는, 신호 출력 회로의 구성예를 나타내는 도면이다. 도 2(A)에 나타내는 예는, 전류원 회로 (2a)를, 참조 전류 (Ir)를 생성하는 디프레션형 PMOS 트랜지스터 (Q13)와, 커런트 미러 회로를 구성하는 PMOS 트

랜지스터 (Q11, Q12) 로 구성하고 있다. 또, 임피던스 회로 (3a) 를, 게이트와 드레인을 기준 전위 (VSS) 에 공통 접속한 NMOS 트랜지스터 (Q14) 로 구성하고, NMOS 트랜지스터 (Q14) 를 다이오드 (온도 검출용 센서) 로서 사용하는 예를 나타내고 있다.

[0036] 또, 도 2(B) 는, 백 바이어스를 가한 디프레션형 PMOS 트랜지스터 (Q15) 에 의해 전류원 회로 (2b) 를 구성하고, 임피던스 회로 (3a) 를 도 2(A) 와 동일하게, 게이트와 드레인을 기준 전위 (VSS) 에 공통 접속한 NMOS 트랜지스터 (Q14) 로 구성된 예를 나타내고 있다.

[0037] 또한, 임피던스 회로 (3a) 는, 도 2(A), (B) 에 나타내는 NMOS 트랜지스터 (Q14) 에 한정되지 않고, 전류원 회로로부터의 전류를 입력으로 하고, 검출된 물리량에 따른 전압 신호를 출력하는 센서이면 된다. 예를 들어, 도 2(C) 에 나타내는 온도 검출용 다이오드 (D) 를 임피던스 회로로서 사용할 수 있다. 또, 도 2(D) 에 나타내는 MR 소자 (자기 저항 소자) 를 임피던스 회로로서 사용할 수 있다. 또한, 도 2(E) 에 나타내는, 컬렉터와 베이스를 공통 접지한 바이폴러 트랜지스터 소자 (Q15) 를 온도 센서로서 사용할 수 있다.

[0038] 또, 도 3 에 나타내는, 밴드 갭 레퍼런스 회로여도 된다. 도 3 에 나타내는 밴드 갭 레퍼런스 회로에서는, 게이트가 공통 접속되는 3 개의 PMOS 트랜지스터 (Q21, Q22, Q23) 를 갖고 있다.

[0039] 또, PMOS 트랜지스터 (Q21) 의 드레인에 이미터가 접속됨과 함께, 컬렉터와 베이스가 기준 전위 (VSS) 에 공통 접속되는 바이폴러형 PNP 트랜지스터 (Q31) 와, PMOS 트랜지스터 (Q22) 의 드레인에 저항 (R1) 을 개재하여 이미터가 접속됨과 함께, 컬렉터와 베이스가 기준 전위 (VSS) 에 공통 접속되는 바이폴러 트랜지스터 (Q32) 를 갖고 있다.

[0040] 또한, PMOS 트랜지스터 (Q23) 의 드레인에 저항 (R2) 을 개재하여 이미터가 접속됨과 함께, 컬렉터와 베이스가 기준 전위 (VSS) 에 공통 접속되는 바이폴러형 PNP 트랜지스터 (Q33) 를 갖고 있다. 여기서, 트랜지스터 (Q31, Q32) 는 이미터 면적이 1 대 n ($n \geq 1$) 의 관계를 갖고 있다.

[0041] 또, 트랜지스터 (Q31) 의 이미터측 (회로점 (a)) 과, 저항 (R1) 의 회로점 (b) 이 연산 증폭기 (Amp1) 의 입력 단자에 이매지너리 쇼트점으로서 입력되고, 연산 증폭기 (Amp1) 의 출력 단자는, PMOS 트랜지스터 (Q21, Q22, Q23) 의 게이트에 접속되어 있다. 이로써, 전술한 회로점 (a) 과 회로점 (b) 의 전위가 동등해지도록 PMOS 트랜지스터 (Q21 과 Q22) 에 흐르는 전류가 제어된다. 또, 저항 (R1 과 R2) 은 동일한 온도 계수를 갖는 저항이 선택되고, 예를 들어 저항 (R1) 과 저항 (R2) 의 저항값이 동등해지도록 선정한다.

[0042] 이 구성에 있어서, PMOS 트랜지스터 (Q23) 가 전류원 회로가 되고, 저항 (R2) 과 트랜지스터 (Q33) 가 임피던스 회로가 되는 PTAT 회로가 구성되고, 출력 전압 (PTATout) (PMOS 트랜지스터 (Q23) 의 드레인의 전압) 은,

[0043] 「PTATout = $(V_t/R1) \ln(N)$,」

[0044] 여기서, 「 $V_t = KT/q$, K : 볼츠만 상수, T : 절대 온도, q : 전자의 전하량」 으로 나타내고, 출력 전압 (PTATout) 은 절대 온도 (T) 에 비례하는 전압으로서 출력된다.

[0045] 이와 같이, 도 3 에 나타내는 밴드 갭 레퍼런스 회로는, 전류원 회로 (PMOS 트랜지스터 (Q23)) 와, 임피던스 회로 (저항 (R2) 과 바이폴러 트랜지스터 (Q33)) 를 갖고 있고, 도 1 에 나타내는 신호 출력 회로 (1) 로 할 수 있다. 또, 예를 들어 선행 문헌 (일본 공개특허공보 2001-147725) 에서 나타내는 밴드 갭 레퍼런스 회로도, 동일하게 도 1 에 나타내는 신호 출력 회로 (1) 로서 사용할 수 있다.

[0046] 상기 서술한 바와 같이, 신호 출력 회로 (1) 는 전류원 회로와 임피던스 회로로 구성되는데, 이 임피던스 회로는, 전원의 투입시에 있어서 전원 전압 (VDD) 이 소정 전압으로 천이될 때까지 동안에는, 전원 전압 (VDD) 의 증가에 따라 직선적으로 증가됨과 함께, 전원 전압 (VDD) 이 소정의 전압 범위를 초과한 경우에 일정값의 전압, 또는 그 일정값으로부터 완만하게 단조 증가되는 전압을 신호 전압으로서 출력하는 임피던스 회로이면 된다. 즉, 임피던스 회로는, 도 2 에 나타낸, 트랜지스터, 다이오드, MR 센서 등, 도 3 에 나타낸 밴드 갭 레퍼런스 회로에 한정되지 않고, 예를 들어 제너 다이오드 (전원에 저항을 개재하여 접속되는 제너 다이오드) 등이어도 된다.

[0047] 도 4 는, 제 1 실시형태에 있어서의 전원 전압 감시 회로의 동작을 나타내는 타이밍 차트이다. 도 4 에 나타내는 타이밍 차트는, 도 1 에 나타내는 신호 전압 감시 회로 (4) 의 A 점에 입력되는 신호 전압 (Vsignal), B 점에 입력되는 전원 전압 (VDD), 및 C 점으로부터 출력되는 출력 신호 (Vout) 의 천이 상태를 나타내고 있다.

[0048] 도면에 나타내는 초기 상태에서는, 전원은 미투입 상태로서, 각각의 회로에 있어서 전하의 충전 등도 없어, 각

신호 모두 무신호 상태를 나타내고 있다.

- [0049] 시각 (t1) 에 있어서, 신호 출력 회로 (1) 및 신호 전압 감시 회로 (4) 에 전원이 투입된다. 그 후, 전원 전압 (VDD) 이 서서히 상승한다. 동일한 전원으로부터 전력이 공급되는 신호 출력 회로 (1) 의 출력인 신호 전압 (Vsignal) 은, 전원 전압 (VDD) 이 낮은 상태에서는, 전류원 회로 (2) 의 기능에 의해 출력 전압은 전원 전압 (VDD) 이 된다. 즉, 신호 전압 (Vsignal) 은, 전원 전압 (VDD) 의 상승에 따라 동일한 변화 특성을 나타내고 서서히 상승한다.
- [0050] 신호 전압 감시 회로 (4) 에서는, 입력되는 신호의 판정에 일방의 신호에 오프셋 전위를 인가하여 비교함으로써, 입력되는 신호의 전위차가 작은 경우라도 오프셋된 전위에 의해 비교 판정된 결과가 출력되므로 출력 신호가 하이 레벨과 로우 레벨을 교대로 출력하여 요동치는 불안정한 상태가 되지는 않는다. 이 때문에 신호 (Vout) 는 로우 레벨을 나타낸다. 즉, 시각 (t1) 으로부터 시각 (t2) 까지의 사이는, 신호 전압 (Vsignal) 및 전원 전압 (VDD) 은 서서히 직선적으로 증가되는데, 신호 전압 (Vsignal) 과 전원 전압 (VDD) 의 전위차가, 오프셋 콤퍼레이터 (5) 에 부여된 오프셋 전위보다 작기 때문에, 신호 (Vout) 는 로우 레벨을 나타낸다.
- [0051] 전원 투입 후의 최저 동작 전원 전압이 공급될 때까지의 과도 상태에 있어서는, 신호 전압 감시 회로 (4) 로부터 출력되는 신호 (Vout) 가 로우 레벨로 유지되기 때문에, 어플리케이션 회로 (6) 에서는, 예를 들어 신호 (Vout) 가 로우 레벨인 경우, 예를 들어 자신을 비활성 상태에 두고, 불필요한 신호를 출력하지 않게 할 수 있다.
- [0052] 시각 (t2) 에서는, 전원 전압 (VDD) 이 상승되어 각각의 회로가 동작 가능한 상태로 천이된다. 신호 전압 감시 회로 (4) 에서는, 입력되는 신호 전압 (Vsignal) 과 전원 전압 (VDD) 의 전위차가 작은 상태에 있는데, 일방의 입력 신호에는 오프셋 전위가 인가되어 있음으로써, 신호 (Vout) 는 로우 레벨로 확정되어 있다. 어플리케이션 회로 (6) 에서는, 신호 (Vout) 가 로우 레벨로 확정되어 있음으로써, 예를 들어 자신을 비활성 상태에 두고, 불필요한 신호를 출력하지 않게 할 수 있다.
- [0053] 시각 (t3) 에서는, 신호 (V(A)) 에 의해 나타내는 신호 출력 회로 (1) 로부터 출력되는 신호 전압 (Vsignal) 이 소정 전압에 도달하면, 임피던스 회로 (3) 의 포화 전압 특성에 의해, 일정한 전압이 출력되게 된다. 전원이 출력하는 전원 전압 (VDD) 의 전위는 계속적으로 상승한다. 또, 신호 전압 (Vsignal) 과 전원 전압 (VDD) 의 전위차는, 오프셋 콤퍼레이터 (5) 에 부여된 오프셋 전위보다 작기 때문에 신호 (Vout) 는 로우 레벨로 유지되어 있다.
- [0054] 시각 (t4) 에서는, 신호 출력 회로 (1) 로부터 출력되는 신호 전압 (Vsignal) 과 전원 전압 (VDD) 에, 소정의 전위차, 즉 신호 전압 감시 회로 (4) 에 있어서의 오프셋 전위의 전압 이상의 전위차가 발생한 것이, 신호 전압 감시 회로 (4) 에 의해 검출된다. 그 검출에 의해, 예를 들어 전원에 의해 인가되는 전원 전압 (VDD) 이 신호 출력 회로 (1) 및 어플리케이션 회로 (6) 에 동작 가능한 전원 전압 (VDD) 이 공급되는 상태로 천이된 것으로 나타난다.
- [0055] 이로써, 신호 전압 감시 회로 (4) 는, 신호 (Vout) 에 출력되어 있던 출력 신호의 로우 레벨 상태를 해제하고, 하이 레벨로 천이시킨다. 이 하이 레벨의 전위는, 전원 전압 (VDD) 의 전위 상승에 따라 상승한다.
- [0056] 시각 (t5) 에서는, 전원 전압 (VDD) 이 소정의 동작 가능 전원 전압에 도달하여 상승이 멈추고, 전원 전압 (VDD) 이 일정값을 나타내게 된다. 또, 신호 (Vout) 의 상승도 멈추어 일정값을 나타내는 상태로 천이된다.
- [0057] 이상에 나타난 바와 같이 전원이 투입된 것에 의해 각 신호의 상태가 천이된다. 전원이 출력하는 전원 전압 (VDD) 이 소정의 동작 가능 전원 전압에 도달할 때까지, 신호 (Vout) 에 불필요한 검출 신호가 출력되지 않고, 로우 레벨을 확보할 수 있다.
- [0058] 또, 도 5 는, 도 1 에 나타내는 어플리케이션 회로 (6) 의 제 1 예를 나타내는 도면으로서, 후단에 접속되는 어플리케이션 회로의 예로서 볼티지 팔로워 회로 (6a) 를 예로 든 것이다.
- [0059] 도 5 에 나타내는 예는, 신호 출력 회로 (1) 내의 임피던스 회로를, NMOS 트랜지스터를 다이오드로서 사용하고, 온도 센서로서 임피던스 회로 (3b) 를 구성한 예이다. 또, 볼티지 팔로워 회로 (6a) 에 있어서, 신호 출력 회로 (1) 로부터 출력되는 신호 전압 (Vsignal) 과, 신호 전압 감시 회로 (4) 로부터의 출력 신호 (Vout) 의 양방을 이용하는 예이다.
- [0060] 이 볼티지 팔로워 회로 (6a) 는, 커런트 미러 부하형 작동 입력단 (入力段) 과, 전류 부하형 소스 접지 이득단

(利得段)으로 구성되는 볼티지 팔로워 회로이며, NMOS 트랜지스터 (Q44)의 게이트에 입력되는 입력 신호 (V/F REF)의 전압이, 출력 신호 (V/F Out)의 전압으로서 출력된다.

[0061] 이 볼티지 팔로워 회로 (6a)에 있어서, 커런트 미러 부하형 작동 입력단은, PMOS 트랜지스터 (Q41, Q42)로 구성되는 커런트 미러 회로와, 작동 신호가 게이트에 입력되는 NMOS 트랜지스터 (Q43, Q44)와, 바이어스 전류원이 되는 NMOS 트랜지스터 (Q46, Q47)로 구성되어 있다. 또, NMOS 트랜지스터 (Q43)의 게이트는, PMOS 트랜지스터 (Q45)의 드레인에 접속되고, 볼티지 팔로워 회로가 구성되어 있다. 소스 접지 이득단은, PMOS 트랜지스터 (Q45)와 NMOS 트랜지스터 (Q47)로 구성되어 있다.

[0062] 상기 구성에 있어서, NMOS 트랜지스터 (Q46, Q47)의 게이트에는, 신호 출력 회로 (1)로부터 출력되는 신호 전압 (Vsignal)이 입력된다. 즉, 볼티지 팔로워 회로 (6a)에 있어서의 바이어스 전류는, 신호 전압 (Vsignal)을 게이트에 받는 NMOS 트랜지스터 (Q46, Q47)에 의해 생성되는 것으로 하고 있다.

[0063] 이 구성에 의해, 전원 전압 (VDD)이 상승하고, 신호 출력 회로 (1)로부터의 신호 전압 (Vsignal)의 전압 레벨이, NMOS 트랜지스터 (Q46, Q47)의 게이트·소스간의 임계값을 초과하면, 볼티지 팔로워 회로 (6a)내의 NMOS 트랜지스터 (Q46, Q47)에 의해 바이어스 전류가 생성되어, 볼티지 팔로워 회로 (6a)로서의 동작을 개시할 수 있다. 이와 같이, 신호 출력 회로 (1)로부터의 신호 전압 (Vsignal)에 의해, 볼티지 팔로워 회로 (6a)를 직접 활성화시킬 수 있어, 볼티지 팔로워 회로 (6a)에 있어서의 최저 동작 전원 전압의 저전압화를 도모할 수 있다.

[0064] 또, 이 도 5에 나타내는 볼티지 팔로워 회로 (6a)에 있어서는, 전원 (VDD)이 저하되면, 신호 전압 (Vsignal)도 저하되므로, 바이어스 전류가 저하되게 되고, 볼티지 팔로워 회로 (6a)의 동작 포인트가 커서 상정으로부터 벗어나는 것을 생각할 수 있다. 이와 같은 경우, 신호 (Vout)에 의해 SW1, SW2를 ON/OFF 제어함으로써, 전류원 (Is1, Is2)에 의해 바이어스 전류의 저하를 보상할 수 있게 된다. 또한, 신호 (Vout)는, 신호 전압 감시 회로 (4)내의 오프셋 콤퍼레이터 (5)의 출력 신호이다.

[0065] 또, 도 6은, 도 1에 나타내는 어플리케이션 회로의 제 2예를 나타내는 도면으로서, 후단에 접속되는 어플리케이션 회로의 예로서, 콤퍼레이터 회로 (6b)를 예로 든 것이다.

[0066] 도 6에 나타내는 예는, 신호 출력 회로 (1)내의 임피던스 회로를, NMOS 트랜지스터를 다이오드로서 사용하고, 온도 센서로서 임피던스 회로 (3b)를 구성한 예이다. 또, 콤퍼레이터 회로 (6b)에 있어서, 신호 출력 회로 (1)로부터 출력되는 신호 전압 (Vsignal)과, 신호 전압 감시 회로 (4)로부터의 출력 신호 (Vout)의 양방을 이용하는 예이다.

[0067] 이 콤퍼레이터 회로 (6b)는, 도 5에 나타내는 볼티지 팔로워 회로 (6a)와 동일한 회로 구성의 것이며, 동일한 구성 부분에는 동일한 부호를 붙이고, 중복되는 설명은 생략한다. 이 콤퍼레이터 회로 (6b)에서는, NMOS 트랜지스터 (Q43, Q44)각각의 게이트에 입력되는 신호 (Vin(1))의 전압과, 신호 (Vin(2))의 전압이 비교되어, 비교 결과가 출력 신호 (Comp·Out)로서 출력된다.

[0068] 이 구성에 의해, 전원 전압 (VDD)이 상승하고, 신호 출력 회로 (1)로부터 출력되는 신호 전압 (Vsignal)의 전압 레벨이, NMOS 트랜지스터 (Q46, Q47)의 게이트·소스간의 임계값을 초과하면, 콤퍼레이터 회로 (6b)내의 NMOS 트랜지스터 (Q46, Q47)에 의해 바이어스 전류가 생성되어, 콤퍼레이터 회로 (6b)로서의 동작을 개시할 수 있다. 이와 같이, 신호 출력 회로 (1)로부터 출력되는 신호 전압 (Vsignal)에 의해, 콤퍼레이터 회로 (6b)를 직접 활성화시킬 수 있어, 콤퍼레이터 회로 (6b)에 있어서의 최저 동작 전원 전압의 저전압화를 도모할 수 있다.

[0069] 또, 이 도 6에 나타내는 콤퍼레이터 회로 (6b)에 있어서는, 전원 전압 (VDD)이 저하되면, 신호 전압 (Vsignal)도 저하되므로, 바이어스 전류가 저하되게 되고, 콤퍼레이터 회로 (6b)의 동작 포인트가 커서 상정으로부터 벗어나는 것을 생각할 수 있다. 이와 같은 경우, Vout에 의해 SW1, SW2를 ON/OFF 제어함으로써, 전류원 (Is1, Is2)에 의해 바이어스 전류의 저하를 보상할 수 있게 된다. 또한, 신호 (Vout)는, 신호 전압 감시 회로 (4)내의 오프셋 콤퍼레이터 (5)의 출력 신호이다.

[0070] 이상, 본 발명의 제 1 실시형태에 대해 설명했는데, 도 1에 나타내는 전원 전압 감시 회로 (50)에 있어서, 전술한 신호 출력 회로는 신호 출력 회로 (1)가 상당하고, 전술한 신호 전압 감시 회로는 신호 전압 감시 회로 (4)가 상당한다. 또, 전술한 오프셋 기능이 있는 비교 회로는 오프셋 콤퍼레이터 (5)가 상당하고, 전술한 전류원 회로는 전류원 회로 (2)가 상당하고, 임피던스 회로는 임피던스 회로 (3)가 상당한다.

- [0071] 그리고, 도 1에 나타내는 전원 전압 감시 회로 (50)에 있어서는, 온도 센서 등의 인가되는 전압에 대해 포화 특성을 나타내는 신호 전압 (Vsignal)을 출력하는 신호 출력 회로 (1)와, 전원 전압 (VDD)과 신호 전압 (Vsignal)을 비교하여, 전원 전압 (VDD)과 신호 전압 (Vsignal) 사이에 소정의 전압차가 발생한 경우, 신호 전압 (Vsignal)이 정상인 것을 나타내는 신호 (Vout)를 출력하는 신호 전압 감시 회로 (4)를 갖고 구성된다. 이로써, 전자 회로에 있어서의 최저 동작 전원 전압의 저전압화를 도모하여, 전원 전압을 효율적으로 이용할 수 있다. 또, 전원 전압 (VDD)이 소정 전압이 되는 것을 기다리지 않고, 설령 정격 동작 전압보다 상당히 낮은 전압이어도, 이 전원 전압에서 회로 동작을 허가하는 것이 가능해진다.
- [0072] 또, 본 발명의 전원 전압 감시 회로 (50)에 있어서는, 전원으로부터 전류원 회로 (2)를 통해 전류의 공급을 받는 임피던스 회로 (3)를 갖고, 이 임피던스 회로 (3)에 의해, 신호 전압 (Vsignal)을 생성하여 출력하는 신호 출력 회로 (1)와, 신호 출력 회로 (1)로부터 출력되는 신호 전압 (Vsignal)과 전원 전압 (VDD)을 비교하여, 전원 전압 (VDD)과 신호 전압 (Vsignal) 사이에 소정의 전압차가 발생한 경우, 전원 전압 (VDD)이 전자 회로의 최저 동작 전원 전압 이상이 된 것을 나타내는 신호 (Vout)를 출력하는 신호 전압 감시 회로 (4)를 갖고 구성된다. 이로써, 전자 회로에 있어서의 최저 동작 전원 전압의 저전압화를 도모하여, 전원 전압을 효율적으로 이용할 수 있게 된다.
- [0073] 또, 본 발명의 전원 전압 감시 회로 (50)에 있어서는, 임피던스 회로 (3)에 의해, 전원 전압 (VDD)과 비교되는 기준 전압으로서, 나아가서는 온도 의존성을 나타내는 전압으로서 신호 전압 (Vsignal)을 생성하여 출력한다. 이로써, 예를 들어 온도 검출용 다이오드 등의 온도 센서의 검출 신호를 신호 전압 (Vsignal)으로 하고, 이 신호 전압 (Vsignal)을 전원 전압 (VDD)과 비교하여, 신호 전압 (Vsignal)이 정상인 것을 나타내는 신호 (Vout)를 출력할 수 있다.
- [0074] 또, 본 발명의 전원 전압 감시 회로 (50)에 있어서는, 신호 출력 회로 (1)는, 전원의 투입시에 전원 전압 (VDD)이 소정 전압이 될 때까지는, 전원 전압 (VDD)의 증가에 따라 증가되는 전압을 신호 전압 (Vsignal)으로서 출력함과 함께, 전원 전압 (VDD)이 소정 전압을 초과하여 증가되는 경우, 포화 특성을 갖고 단조 증가되는 전압을 신호 전압 (Vsignal)으로서 출력한다. 신호 전압 감시 회로 (4)는, 신호 출력 회로 (1)로부터 출력되는 신호 전압 (Vsignal)과 전원 전압 (VDD)을 비교하여, 전원 전압 (VDD)과 신호 전압 (Vsignal) 사이에 소정의 전압차가 발생한 경우, 전원 전압 (VDD)이 전자 회로에 있어서의 최저 동작 전원 전압 이상이 된 것을 나타내는 신호 (Vout)를 출력한다. 이로써, 전자회로에 있어서의 최저 동작 전원 전압의 저전압화를 도모하여, 전원 전압을 효율적으로 이용할 수 있게 된다.
- [0075] 또, 본 발명의 전원 전압 감시 회로에 있어서는, 신호 전압 감시 회로 (4)는, 오프셋 전위가 일방의 입력으로 설정되는 비교기 (오프셋 콤퍼레이터 (5))를 갖고, 이 비교기 (오프셋 콤퍼레이터 (5))에 의해 신호 출력 회로 (1)로부터 출력되는 신호 전압 (Vsignal)과 전원 전압 (VDD)을 비교하여, 신호 출력 회로 (1)로부터 출력되는 신호 전압 (Vsignal)과 전원 전압 (VDD)의 전위차가 오프셋 전위를 만족하는 경우에 전원 전압 (VDD)이 최저 동작 전원 전압을 초과한 것을 나타내는 신호 (Vout)를 출력한다. 이로써, 신호 출력 회로로부터의 신호와 오프셋 전위를 기초로, 전자 회로에 있어서의 최저 동작 전원 전압을 용이하게 검출할 수 있다.
- [0076] 또, 본 발명의 전원 전압 감시 회로 (50)에 있어서는, 신호 출력 회로 (1)는, 전류원 회로 (2)와 임피던스 회로 (3)가 직렬로 접속되어 구성되고, 전류원 회로 (2)와 임피던스 회로 (3)의 회로 접속점으로부터 신호 전압이 출력된다. 이로써, 예를 들어 임피던스 회로로서 순방향으로 바이어스된 다이오드 등을 사용하여 신호 출력 회로 (1)를 용이하게 구성할 수 있다. 또, 임피던스 회로를 온도 센서 등으로 구성할 수 있다.
- [0077] 또, 본 발명의 전원 전압 감시 회로 (50)에 있어서는, 임피던스 회로 (3)는, 전류원 회로 (2)로부터 출력되는 전류를 입력으로 하고, 검출된 물리량에 따른 전압 신호를 출력하는 센서이다. 이로써, 센서로부터의 출력 신호를 검출 대상으로 하여, 센서가 안정적으로 동작할 수 있는 전원 전압 (VDD)의 레벨을 검출할 수 있다. 이 때문에, 센서가 안정적으로 동작할 수 있는 전압을 전자 회로의 최저 동작 전원 전압으로 할 수 있고, 전자 회로에 있어서의 최저 동작 전원 전압의 저전압화를 도모하여, 전원 전압을 효율적으로 이용할 수 있게 된다.
- [0078] 또, 본 발명의 전원 전압 감시 회로 (50)에 있어서는, 임피던스 회로 (3)는, 전류원 회로 (2)로부터 출력되는 전류를 입력으로 하고, 검출된 온도에 따른 전압 신호를 출력하는 온도 센서이다. 이로써, 온도 센서로부터의 출력 신호를 검출 대상으로 하여, 이 온도 센서가 안정적으로 동작할 수 있는 전원 전압의 레벨을 검출할 수 있다. 이 때문에, 온도 센서가 안정적으로 동작할 수 있는 전압을 전자 회로의 최저 동작 전원 전압으로 할 수 있고, 전자 회로에 있어서의 최저 동작 전원 전압의 저전압화를 도모하여, 전원 전압을 효율적으로

이용할 수 있게 된다.

- [0079] 또, 본 발명의 전자 회로는, 본 발명의 전원 전압 감시 회로를 구비하기 때문에, 이로써, 전자 회로에 있어서의 최저 동작 전원 전압의 저전압화를 도모하여, 전원 전압을 효율적으로 이용할 수 있게 된다.
- [0080] (제 2 실시형태)
- [0081] 도 7 은, 제 2 실시형태에 의한 검출 회로를 나타내는 개략 구성도이다. 이 제 2 실시형태에서는, 도 1 에 나타내는 제 1 실시형태의 전원 전압 감시 회로의 응용예이고, 온도 센서 등의 신호를 검출하는 검출 회로의 예를 나타낸 것이다.
- [0082] 이 도 7 에 나타내는 제 2 실시형태에서는, 도 1 에 나타내는 신호 출력 회로 (1) 중의 임피던스 회로를, 예를 들어 도 2 에 나타내는 바와 같이 다이오드 등의 온도 센서로서 구성하고, 이 온도 센서로부터 출력되는 신호를 V_{temp} 로 한 것이다. 즉, 도 1 에 나타내는 신호 출력 회로 (1) 로부터 출력되는 신호 전압 (V_{signal}) 을, 온도 센서의 출력 신호 (V_{temp}) 로 한 것이다. 또, 도 1 에 나타내는 신호 전압 감시 회로 (4) 를, 도 7 에 나타내는 인터럽트 조건 생성 회로 (10a) 로서 사용한 예를 나타낸 것이다.
- [0083] 또한, 후술하는 제 3 실시형태 내지 제 8 실시형태에서 설명되는 검출 회로, 및 제 9 실시형태의 센서 장치도, 도 1 에 나타내는 본 발명의 전원 전압 감시 회로의 응용예로서 나타내는 것이다. 또, 도 1 의 신호 전압 감시 회로 (4) 를 구성하는 오프셋 콤퍼레이터 (5) 가, 제 4 실시형태 내지 제 7 실시형태에 있어서의 인터럽트 조건 생성 회로 중의 오프셋 콤퍼레이터 (11) 에 상당하는 것이다.
- [0084] 도 7 에 나타내는 검출 회로 (100) 는, 인터럽트 조건 생성 회로 (10a), 인터럽트 조건 점수 회로 (20a) 및 콤퍼레이터 (30) 를 구비한다. 검출 회로 (100) 에 있어서의 인터럽트 조건 생성 회로 (10a) 는, 2 개의 입력 단자 (T_{ip} , T_{in}) 와 출력 단자 (T_{o}) 를 갖는다. 인터럽트 조건 생성 회로 (10a) 는, 입력되는 2 개의 신호의 전위를 비교하여, 그 전위차가 소정의 값 이상인지의 여부를 검출하고, 검출 결과를 2 값화된 논리 신호에 의해 출력한다.
- [0085] 인터럽트 조건 생성 회로 (10a) 의 일 형태로서 오프셋 콤퍼레이터 (11) 를 나타낸다. 오프셋 콤퍼레이터 (11) 는, 바이어스 전압원 (11b) 및 콤퍼레이터 (11c) 를 구비한다. 바이어스 전압원 (11b) 은, 소정의 바이어스 전위 (V_b) 를 발생시켜 입력되는 신호에 발생시킨 전위분의 전압 오프셋을 설정한다. 콤퍼레이터 (11c) 는, 입력되는 2 개의 신호의 전위차를 검출한다.
- [0086] 오프셋 콤퍼레이터 (11) 에서는, 입력 단자 (T_{in}) 가 바이어스 전압원 (11b) 을 개재하여 콤퍼레이터 (11c) 의 반전 입력단에 접속되고, 입력 단자 (T_{ip}) 가 콤퍼레이터 (11c) 의 비반전 입력단에 접속되고, 콤퍼레이터 (11c) 의 출력단이 출력 단자 (T_{o}) 에 접속된다.
- [0087] 입력 단자 (T_{in}) 에 입력되는 신호는, 바이어스 전압원 (11b) 에 의해 바이어스 전위 (V_b) 분만큼 높은 전위로 변환되고, 콤퍼레이터 (11c) 에 입력된다.
- [0088] 이와 같은 구성을 취함으로써, 오프셋 콤퍼레이터 (11) 는, 입력 단자 (T_{ip}) 에 입력된 신호의 전압이, 입력 단자 (T_{in}) 에 입력된 신호의 전압보다, 소정 전압 (바이어스 전위 (V_b)) 분만큼 높아진 임계값 전압에 의해 비교된다. 입력 단자 (T_{ip}) 에 입력되는 신호의 전위가, 입력 단자 (T_{in}) 에 입력되는 신호의 전위에 바이어스 전위 (V_b) 를 가산한 전압보다 낮은 상태에서부터 높은 상태로 천이되면 출력 신호가 반전된다. 그 출력 신호는, 전자의 상태 (바이어스 전위 (V_b) 를 가산한 전압보다 낮은 상태) 에서는 로우 레벨을 나타낸다. 인터럽트 조건 생성 회로 (10a) 로부터는, 오프셋 콤퍼레이터 (11) 의 출력과 동일한 신호가 출력된다.
- [0089] 인터럽트 조건 점수 회로 (20a) 는, 신호 입력 단자 (In) 와 제어 입력 단자 ($Cont$) 와 출력 단자 (Out) 를 갖는다. 인터럽트 조건 점수 회로 (20a) 의 일 형태로서 출력 설정 회로 (21) 를 나타낸다. 출력 설정 회로 (21) 는, 인버터 (반전 회로) (21a) 및 NAND (반전 논리곱) 게이트 (21b) 를 구비한다. 출력 설정 회로 (21) 에서는, 신호 입력 단자 (In) 가 NAND 게이트 (21b) 의 일방의 입력단에 접속되고, 제어 입력 단자 ($Cont$) 가 NAND 게이트 (21b) 의 타방의 입력단에 접속되고, NAND 게이트 (21b) 의 출력단이 인버터 (21a) 를 개재하여 출력 단자 (Out) 에 접속된다. 이와 같은 구성을 취함으로써, 제어 입력 단자 ($Cont$) 에 입력되는 제어 신호 (S_{cont}) 가 로우 레벨인 경우에는, 출력 신호 (V_{out}) 가 로우 레벨로 설정되고, 제어 신호 (S_{cont}) 가 로우 레벨인 경우에는, 입력되는 신호 (S_g) 와 동일한 논리를 나타내는 신호가 출력 신호 (V_{out}) 에 출력된다. 즉, 인터럽트 조건 점수 회로 (20a) 는, 제어 신호로서 입력되는 인터럽트 신호에 의한 인터럽트가 해제될 때까지, 입력되는 신호 (S_g) 의 출력을 허가하지 않고 로우 레벨을 나타내는 소정 전압을 출력 신호 (V_{out}) 로서 출

력한다. 또, 인터럽트 조건 접수 회로 (20a) 는, 인터럽트 신호에 의한 인터럽트가 해제되면, 입력되는 신호 (Sg) 의 출력을 허가하여 출력 신호 (Vout) 로서 출력한다.

[0090] 콤퍼레이터 (30) 는, 입력되는 2 개의 신호의 전위차를 검출하고, 검출한 전위차에 기초하여 판정한 결과를 2 값화된 논리 신호로 출력한다.

[0091] 다음으로, 센서 회로를 구성하는 검출 회로 (100) 의 접속예를 나타낸다. 검출 회로 (100) 에는, 검출 회로 (100) 를 작동시키는 전원 전압 (VDD) 과, 도시되지 않은 센서 회로로부터의 입력 신호 (Vtemp) 와, 도시되지 않은 기준 전원 (RF) 으로부터 출력되는 기준 전압 (Vref) 이 입력된다. 도시되지 않은 센서 회로 및 기준 전원 (RF) 은, 전원에 접속되는 전원 단자에 정전류원이 접속되고, 그 정전류원의 부하가 되는 임피던스 소자를 개재하여 접지 전압 (VSS) 에 접속된다. 각각의 출력은, 정전류원과 임피던스 소자의 접속점으로부터 출력된다. 따라서, 전원 전압 (VDD) 이 낮은 상태에서는, 이들의 출력 전압은 전류원의 기능에 의해 전원 전압 이 된다.

[0092] 인터럽트 조건 생성 회로 (10a) 에 있어서의 입력 단자 (Tip) 에는, 전원이 접속되고 전원 전압 (VDD) 이 입력된다. 또, 입력 단자 (Tin) 에는, 도시되지 않은 센서 회로의 출력단이 접속된다.

[0093] 콤퍼레이터 (30) 에 있어서의 비반전 입력 단자에는, 기준 전압 (Vref) 을 출력하는 도시되지 않은 기준 전원 (RF) 이 접속되고, 반전 입력 단자에는, 도시되지 않은 센서 회로의 출력단이 접속된다.

[0094] 인터럽트 조건 접수 회로 (20a) 에 있어서의 입력 단자 (In) 에는 콤퍼레이터 (30) 의 출력단이 접속되고, 제어 입력 단자 (Cont) 에는 인터럽트 조건 생성 회로 (10a) 의 출력 단자 (To) 가 접속되고, 출력 단자 (To) 가 검출 회로 (100) 의 출력 단자에 접속된다.

[0095] 이와 같은 구성에 의한 검출 회로 (100) 에서는, 인터럽트 조건 생성 회로 (10a) 로부터 출력되는 제어 신호 (Scont) 는, 전원 전압 (VDD) 이 입력 신호 (Vtemp) 의 전압에 바이어스 전위 (Vb) 를 가산한 전위보다 낮은 경우에는 로우 레벨을 나타낸다. 또, 인터럽트 조건 생성 회로 (10a) 로부터 출력되는 제어 신호 (Scont) 는, 전원 전압 (VDD) 이 입력 신호 (Vtemp) 의 전압에 바이어스 전위 (Vb) 를 가산한 전위보다 높은 경우에는 하이 레벨을 나타낸다.

[0096] 콤퍼레이터 (30) 의 출력 신호 (Sg) 는, 입력 신호 (Vtemp) 의 전압이 기준 전압 (Vref) 보다 낮은 경우에는 하이 레벨을 나타낸다. 또, 입력 신호 (Vtemp) 의 전압이 기준 전압 (Vref) 보다 높은 경우에는 로우 레벨을 나타낸다.

[0097] 인터럽트 조건 접수 회로 (20a) 의 출력 신호 (Vout) 에는, 제어 신호 (Scont) 가 로우 레벨인 경우에는, 고정적으로 로우 레벨이 출력되고, 제어 신호 (Scont) 가 하이 레벨인 경우에는, 입력 신호 (Vtemp) 에 따라 변화되는 콤퍼레이터 (30) 로부터의 출력 신호 (Sg) 가 출력된다.

[0098] 도 8 은, 제 2 실시형태에 있어서의 검출 회로 (100) 의 동작을 나타내는 타이밍 차트의 예이다. 도 7 의 블록도에 나타난 점 A~H 에 따라, 그들 점에 있어서의 각 신호의 천이에 대해 설명한다.

[0099] 점 A 의 파형은, 센서 회로로부터 입력되고, 검출 회로 (100) 가 검출 처리하는 입력 신호 (Vtemp) 의 전압 천이를 나타낸다. 점 B 의 파형은, 검출 회로 (100) 에 공급되는 전원 전압 (VDD) 의 전압 천이를 나타낸다. 이 전원 전압 (VDD) 은, 검출 회로 (100) 그리고 도 7 에 도시되지 않은 기준 전원 (RF) 및 센서 회로에 공급되어 있는 전원 전압을 나타낸다. 점 C 의 파형은, 인터럽트 조건 생성 회로 (10a) 에 있어서의 오프셋 콤퍼레이터 (11) 에 의해 판정되고, 인터럽트 조건 생성 회로 (10a) 로부터 출력된 제어 신호 (Scont) 의 전압 천이를 나타낸다. 이 신호에 기초하여, 인터럽트 조건 접수 회로 (20a) 가 제어된다. 점 F 의 파형은, 기준 전원 (RF) 으로부터 출력되는 기준 전압 (Vref) 의 전압 천이를 나타낸다. 점 G 의 파형은, 콤퍼레이터 (30) 에 의한 판정 결과인 출력 신호 (Sg) 의 전압 천이를 나타낸다. 이 신호는, 인터럽트 조건 접수 회로 (20a) 에 대한 입력 신호가 된다. 점 H 의 파형은, 인터럽트 조건 접수 회로 (20a) 의 출력 신호 (Vout) 의 전압 천이를 나타낸다. 이 타이밍 차트에 나타내는 범위에서는, 센서 회로에 의해 검출해야 할 사상 (事象) 은 발생하지 않은 상태를 나타내고, 출력 신호 (Vout) 는 항상 로우 레벨을 나타낸다.

[0100] 도면에 나타내는 초기 상태에서는, 전원은 미투입 상태로서, 각각의 회로에 있어서 전하의 충전 등도 없어, 각 신호 모두 무신호 상태를 나타내고 있다.

[0101] 시각 (t1) 에 있어서, 검출 회로 (100) 그리고 검출 회로 (100) 에 접속되어 있는 센서 회로 및 기준 전원 (RF)

에 대해 전원이 투입된다.

- [0102] 그 후, 전원 전압 (VDD) 이 서서히 상승한다. 동일한 전원으로부터 전력이 공급되는 센서 회로 및 기준 전원 (RF) 의 출력인 입력 신호 (Vtemp) 및 기준 전압 (Vref) 은, 전원 전압 (VDD) 이 낮은 상태에서는, 전류원의 기능에 의해 이들의 출력 전압은 전원 전압 (VDD) 이 된다. 입력 신호 (Vtemp) 및 기준 전압 (Vref) 은, 전원 전압 (VDD) 의 상승에 따라 동일한 변화 특성을 나타내고 서서히 상승한다.
- [0103] 인터럽트 조건 생성 회로 (10a) 에서는, 입력되는 신호의 판정에 일방의 신호에 오프셋 전위를 인가하여 비교함으로써, 입력되는 신호의 전위차가 작은 경우라도 오프셋된 전위에 의해 비교 판정된 결과가 출력되므로 출력 신호가 하이 레벨과 로우 레벨을 교대로 출력하여 요동되는 불안정한 상태가 되지는 않는다. 이 때문에 제어 신호 (Scont) 는 로우 레벨을 나타낸다.
- [0104] 검출 회로 (100) 에서는, 전원 투입 후의 동작 가능 전원 전압이 공급될 때까지의 과도 상태에 있어서는, 콤퍼레이터 (30) 의 출력 신호 (Sg) 에 불필요한 검출 신호가 출력되는 경우가 있다. 즉, 콤퍼레이터 (30) 가 구비하는 입력 신호 판정 회로가 정상적으로 동작하기 위해 필요한 전원 전압에 도달하지 않았기 때문에, 출력 신호 (Sg) 는, 신호의 상태를 특정할 수 없는 부정 상태가 된다.
- [0105] 한편, 인터럽트 조건 접수 회로 (20a) 는, 전원 전압 (VDD) 이 소정 전압에 도달할 때까지 입력 신호의 출력을 허가하지 않고 소정 전압을 출력 신호 (Vout) 로서 출력한다. 출력 신호 (Vout) 로서 출력되는 소정 전압은, 센서 회로에 있어서 비검출 상태 (해제 상태) 를 나타내는 전압이 설정되고, 제어 신호 (Scont) 에 따라 제어된다. 제어 신호 (Scont) 에는, 로우 레벨이 출력되어 있음으로써, 출력 신호 (Vout) 가 로우 레벨로 확보되어, 불필요한 검출 상태를 나타내는 신호가 출력되지는 않는다.
- [0106] 시각 (t2) 에서는, 전원 전압 (VDD) 이 상승하여, 각각의 회로가 동작 가능한 상태로 천이된다.
- [0107] 인터럽트 조건 생성 회로 (10a) 에서는, 입력 신호 (Vtemp) 는 전원 전압 (VDD) 의 상승에 따라 상승되므로, 그 전위차가 작은 상태에 있다. 일방의 신호에는 오프셋 전위가 인가되어 있음으로써, 출력되는 제어 신호 (Scont) 는 로우 레벨로 확정되어 있다. 센서 회로 및 기준 전원 (RF) 의 출력인 입력 신호 (Vtemp) 및 기준 전압 (Vref) 도 전원 전압 (VDD) 의 상승에 따라 서서히 상승하기 때문에, 그 전위차가 작은 상태에 있다. 전위차가 작은 2 개의 신호를 비교하여 얻어지는 출력 신호 (Sg) 는, 신호의 상태를 특정할 수 없는 부정 상태가 계속된다. 인터럽트 조건 접수 회로 (20a) 에서는, 제어 신호 (Scont) 가 로우 레벨로 확정되어 있음으로써, 출력 신호 (Vout) 가 로우 레벨로 확보되어, 불필요한 검출 상태를 나타내는 신호가 출력되지는 않는다.
- [0108] 시각 (t3) 에서는, 기준 전원 (RF) 으로부터 입력되는 기준 전압 (Vref) 이 소정 전압에 도달하면 정전압 제어되고, 일정한 전압이 입력되게 된다. 전원 전압 (VDD) 및 센서 회로로부터의 입력 신호 (Vtemp) 의 전위는 계속적으로 상승한다.
- [0109] 기준 전압 (Vref) 이 소정 전압을 나타내게 되고, 기준 전압 (Vref) 은 입력 신호 (Vtemp) 보다 낮은 전위를 나타내므로, 출력 신호 (Sg) 는, 상태가 정해지지 않은 부정 상태에서부터 올바른 판정 결과가 출력되는 상태로 천이된다. 또, 제어 신호 (Scont) 에 의한 제어가 계속됨으로써, 출력 신호 (Vout) 는 로우 레벨로 확보되어, 불필요한 검출 상태를 나타내는 신호가 출력되지는 않는다.
- [0110] 시각 (t4) 에서는, 센서 회로로부터의 입력 신호 (Vtemp) 는, 소정의 검출 상태를 나타내는 정상 동작 상태로 천이된다. 이로써, 센서 회로가 검출되는 상태에 따라 입력 신호 (Vtemp) 는 변화되게 되어, 지금까지 계속되고 있던 전원 전압 (VDD) 의 상승에 수반되는 상승은 정지한다. 그리고, 센서 회로가 구비하는 정전류 회로가 공급하는 전류와 센서 회로의 임피던스에 의해 정해지는 입력 신호 (Vtemp) 의 전압값보다, 전원 전압 (VDD) 이 높아진 것에 의해, 센서 회로로부터의 입력 신호 (Vtemp) 에 의한 변화를 검출할 수 있게 된다.
- [0111] 시각 (t5) 에서는, 센서 회로로부터의 입력 신호 (Vtemp) 와 전원 전압 (VDD) 에, 소정의 전위차, 즉 인터럽트 조건 생성 회로 (10a) 에 있어서의 오프셋 전위의 전압 이상의 전위차가 발생하는 것이, 인터럽트 조건 생성 회로 (10a) 에 의해 검출된다. 그 검출에 의해, 전원 전압 (VDD) 이 센서 회로에 동작 가능한 전원 전압이 공급되는 상태로 천이된 것으로 나타난다. 인터럽트 조건 생성 회로 (10a) 에서는, 제어 신호 (Scont) 의 인터럽트 상태 (로우 레벨) 를 해제함으로써, 제어 신호 (Scont) 의 전압이 전원 전압 (VDD) 의 전위 상승에 따라 상승한다.
- [0112] 시각 (t6) 에서는, 전원 전압 (VDD) 이 소정의 동작 가능 전원 전압에 도달하여 상승이 멈추고, 전원 전압

(VDD) 이 일정값을 나타내게 된다. 또, 제어 신호 (Scont) 의 전압 상승도 멈추어 일정값을 나타내는 상태로 천이된다.

[0113] 이상에 나타난 바와 같이 전원이 투입된 것에 의해 각 신호의 상태가 천이된다. 전원 전압 (VDD) 이 소정의 동작 가능 전원 전압에 도달할 때까지, 출력 신호 (Vout) 는 로우 레벨로 확보되어, 불필요한 검출 상태를 나타내는 신호가 출력되지는 않는다.

[0114] (제 3 실시형태)

[0115] 도면을 참조하여, 형태가 상이한 검출 회로의 실시형태에 대해 나타낸다.

[0116] 도 9 는, 제 3 실시형태에 의한 검출 회로를 나타내는 개략 구성도이다. 도 9 에 나타내는 예에서는, 도 7 에 나타내는 제 2 실시형태에 있어서의 인터럽트 조건 생성 회로 (10a) (도 1 에 나타내는 신호 전압 감시 회로 (4) 와 동일한 구성의 회로) 대신에, POC (Power On Clear) 회로 (12) 를 사용하는 예를 나타낸 것이다. 이것은, 후술하는 실시형태의 설명에 있어서, 도 9 에 나타내는 POC 회로 (12) 와, 도 7 에 나타내는 인터럽트 조건 생성 회로 (10a) 를 병용하여 사용하는 경우가 있기 때문에, 여기서 POC 회로 (12) 를 사용하는 검출 회로의 예에 대해 설명해 두는 것이다.

[0117] 도 9 에 나타내는 검출 회로 (200) 는, 인터럽트 조건 생성 회로 (10b), 인터럽트 조건 접수 회로 (20a) 및 콤퍼레이터 (30) 를 구비한다. 도 7 과 동일한 구성에는 동일한 부호를 붙이고, 상이한 구성에 대해 설명한다.

[0118] 검출 회로 (200) 에 있어서의 인터럽트 조건 생성 회로 (10b) 는, 전원 투입시에 소정 시간 동안, 초기 상태를 유지하는 신호를 출력한다. 인터럽트 조건 생성 회로 (10b) 는, POC (Power On Clear) 회로 (12) 로 이루어진다. POC 회로 (12) 는, 이른바 전원 투입 초기화 회로이다. POC 회로 (12) 는, 직렬로 접속된 콘덴서 (12C) 와 저항 (12R) 은, 전원 (전원 전압 (VDD)) 에 콘덴서 (12C) 의 일단이 접속되고, 기준이 되는 전원 (접지 전압 (VSS)) 에 저항 (12R) 의 일단이 접속된다. 콘덴서 (12C) 와 저항 (12R) 의 접속점은, 인버터 (NOT 회로) (12a) 의 입력단에 접속되고, 인버터 (12a) 가 인터럽트 조건 생성 회로 (10b) 의 제어 신호 (Scont) 를 출력한다. 이 인터럽트 조건 생성 회로 (10b) 의 출력 단자는, 인터럽트 조건 접수 회로 (20a) 의 제어 입력 단자 (Cont) 에 접속된다.

[0119] 이와 같은 구성에 의한 검출 회로 (200) 에서는, 인터럽트 조건 생성 회로 (10b) 로부터 출력되는 제어 신호 (Scont) 는, 전원의 투입 후, 소정 시간 경과할 때까지 로우 레벨을 나타내고, 소정 시간 경과하면 하이 레벨을 나타낸다.

[0120] 콤퍼레이터 (30) 의 출력 신호 (Sg) 는, 입력 신호 (Vtemp) 의 전압이 기준 전압 (Vref) 보다 낮은 경우에는 하이 레벨을 나타낸다. 또, 콤퍼레이터 (30) 의 출력 신호 (Sg) 는, 입력 신호 (Vtemp) 의 전압이 기준 전압 (Vref) 보다 높은 경우에는 로우 레벨을 나타낸다.

[0121] 인터럽트 조건 접수 회로 (20a) 의 출력 신호 (Vout) 는, 제어 신호 (Scont) 가 로우 레벨인 경우에는 고정적으로 로우 레벨이 출력되고, 제어 신호 (Scont) 가 하이 레벨인 경우에는 입력 신호 (Vtemp) 에 따라 변화되는 콤퍼레이터 (30) 의 출력 신호 (Sg) 가 출력된다.

[0122] 도 10 은, 제 3 실시형태에 있어서의 검출 회로의 동작을 나타내는 타이밍 차트이다.

[0123] 도 9 의 블록도에 나타난 점 A~H, 점 P 및 점 Vd 에 따라, 그들 점에 있어서의 각 신호의 천이에 대해 설명한다. 도 8 과 동일한 신호, 시각에는 동일한 부호를 붙이고, 상이한 신호, 시각을 중심으로 설명한다. 도 8 에 나타난 검출 회로 (100) 는, 검출 회로 (200) 로 바꾸어 읽는다.

[0124] 파형 (VDD) 은, POC 회로 (12) 의 전원 전압 (VDD) 의 전압 천이를 나타낸다. 점 Vd 의 파형은, POC 회로 (12) 에 있어서의 CR 회로의 접합점 (Vd) 의 전압 천이를 나타낸다. 점 P 의 파형은, 인터럽트 조건 생성 회로 (10b) 에 있어서의 POC 회로 (12) 에 의해 판정되고, 출력된 제어 신호 (Scont) 의 전압 천이를 나타낸다. 이 신호에 기초하여, 인터럽트 조건 접수 회로 (20a) 가 제어된다.

[0125] 도면에 나타내는 초기 상태에서는, 전원은 미투입 상태로서, 각각의 회로에 있어서 전하의 충전 등도 없어, 각 신호 모두 무신호 상태를 나타내고 있다.

[0126] 시각 (t1) 에 있어서, 검출 회로 (200) 그리고 검출 회로 (200) 에 접속되어 있는 센서 회로 및 기준 전원 (RF) 에 대해 전원이 투입된다. 그 후, 전원 전압 (VDD) 이 서서히 상승한다. 센서 회로 및 기준 전원 (RF)

의 출력인 입력 신호 (Vtemp) 및 기준 전압 (Vref) 은, 전원 전압 (VDD) 이 낮은 상태에서는, 전류원의 기능에 의해 이들의 출력 전압은 전원 전압 (VDD) 이 된다. 입력 신호 (Vtemp) 및 기준 전압 (Vref) 은, 전원 전압 (VDD) 의 상승에 따라 동일한 변화 특성을 나타내고 서서히 상승한다. 인터럽트 조건 생성 회로 (10b) 에 있어서의 POC 회로 (12) 에서는, 전원 전압 (VDD) 을 검출한다.

[0127] 콘텐서 (12C) 와 저항 (12R) 으로 이루어지는 시상수 회로에 의해, 전원 전압 (VDD) 을 입력으로 한 스텝 응답으로서 동정되는 1 차 지연의 과도 특성에 의해 점 Vd 의 전위가 천이된다. 전원 투입에 추종하여 점 Vd 의 전위가 상승되는데, 인버터 (12a) 가 아직 활성화되지 않았기 때문에 제어 신호 (Scont) 는 로우 레벨을 나타낸다.

[0128] 검출 회로 (200) 에서는, 전원 투입 후의 동작 가능 전원 전압이 공급될 때까지의 과도 상태에 있고, 콤퍼레이터 (30) 의 출력 신호 (Sg) 는, 신호의 상태를 특정할 수 없는 부정 상태가 된다.

[0129] 한편, 인터럽트 조건 접수 회로 (20a) 는, 전원 전압 (VDD) 이 소정 전압에 도달할 때까지 입력 신호의 출력을 허가하지 않고 소정 전압을 출력 신호 (Vout) 로서 출력한다. 출력 신호 (Vout) 로서 출력되는 소정 전압은, 센서 회로에 있어서 비검출 상태 (해제 상태) 를 나타내는 전압이 설정되고, 제어 신호 (Scont) 에 따라 제어된다. 제어 신호 (Scont) 에는, 로우 레벨이 출력되어 있음으로써, 출력 신호 (Vout) 는 로우 레벨로 확보되어, 불필요한 검출 상태를 나타내는 신호가 출력되지는 않는다.

[0130] 시각 (t2) 에서는, 전원 전압 (VDD) 이 상승하여, 각각의 회로가 동작 가능한 상태로 천이된다.

[0131] 인터럽트 조건 생성 회로 (10b) 에 있어서의 POC 회로 (12) 에서는, 점 Vd 의 전위가 인버터 (12a) 에 있어서의 임계값 전위보다 높은 상태를 나타낸다. 인버터 (12a) 의 전원 전압이 과도적으로 상승함에 따라 인버터 (12a) 의 임계값 전위도 전원 전압의 상승에 따라 상승한다. 이로써, 제어 신호 (Scont) 는, 로우 레벨로 확보되어 있다. 센서 회로 및 기준 전원 (RF) 의 출력인 입력 신호 (Vtemp) 및 기준 전압 (Vref) 도 전원 전압 (VDD) 의 상승에 따라 서서히 상승하기 때문에, 그 전위차가 작은 상태에 있다. 전위차가 작은 2 개의 신호를 비교하여 얻어지는 출력 신호 (Sg) 는, 신호의 상태를 특정할 수 없는 부정 상태가 계속된다. 인터럽트 조건 접수 회로 (20a) 에서는, 제어 신호 (Scont) 가 로우 레벨로 확보되어 있음으로써, 출력 신호 (Vout) 는 로우 레벨로 확보되어, 불필요한 검출 상태를 나타내는 신호가 출력되지는 않는다.

[0132] 시각 (t3) 에서는, 기준 전원 (RF) 으로부터 입력되는 기준 전압 (Vref) 이 소정 전압에 도달하면 정전압 제어되고, 일정한 전압이 입력되게 된다. 전원 전압 (VDD) 및 센서 회로로부터의 입력 신호 (Vtemp) 의 전위는 계속적으로 상승한다.

[0133] 기준 전압 (Vref) 이 소정 전압을 나타내게 되고, 기준 전압 (Vref) 은 입력 신호 (Vtemp) 보다 낮은 전위를 나타내므로, 출력 신호 (Sg) 는, 상태가 정해지지 않은 부정 상태에서부터 올바른 판정 결과가 출력되는 상태로 천이된다. 또, 제어 신호 (Scont) 에 의한 제어가 계속됨으로써, 출력 신호 (Vout) 는 로우 레벨로 확보되어, 불필요한 검출 상태를 나타내는 신호가 출력되지는 않는다.

[0134] 시각 (t4) 에서는, 센서 회로로부터의 입력 신호 (Vtemp) 는, 소정의 검출 상태를 나타내는 정상 동작 상태로 천이된다. 이로써, 센서 회로가 검출되는 상태에 따라 입력 신호 (Vtemp) 는 변화되게 되어, 지금까지 계속되고 있던 전원 전압 (VDD) 의 상승에 수반되는 상승은 정지한다. 그리고, 센서 회로가 구비하는 정전류 회로가 공급하는 전류와 센서 회로의 임피던스에 의해 정해지는 입력 신호 (Vtemp) 의 전압값보다, 전원 전압 (VDD) 이 높아진 것에 의해, 센서 회로로부터의 입력 신호 (Vtemp) 에 의한 변화를 검출할 수 있게 된다.

[0135] 시각 (t6) 에서는, 전원 전압 (VDD) 이 소정의 동작 가능 전원 전압에 도달하여 상승이 멈추고, 전원 전압 (VDD) 이 일정값을 나타내게 된다. 또, 제어 신호 (Scont) 의 전위의 상승도 멈추어 일정값을 나타내는 상태로 천이된다.

[0136] 인터럽트 조건 생성 회로 (10b) 에 있어서의 POC 회로 (12) 에서는, 전원 전압 (VDD) 이 정전압 제어로 천이되었기 때문에, 점 Vd 의 전위 상승이 멈추어 강하로 변한다.

[0137] 시각 (t7) 에서는, 인터럽트 조건 생성 회로 (10b) 에 있어서의 POC 회로 (12) 에서는, 점 Vd 의 전위가 인버터 (12a) 의 임계값 전압 이하로 저하된 것에 의해 제어 신호 (Scont) 가 하이 레벨로 천이된다. 인터럽트 조건 생성 회로 (10b) 는, 제어 신호 (Scont) 에 출력되어 있던 제어 신호의 인터럽트 상태 (로우 레벨) 를 해제한다. 이로써, 검출 회로 (200) 는, 검출 신호의 출력을 실시할 수 있는 통상 상태로 천이된다.

[0138] 이상에 나타난 바와 같이 전원이 투입된 것에 의해 각 신호의 상태가 천이된다. 전원 전압 (VDD) 이 소정의

동작 가능 전원 전압에 도달할 때까지, 출력 신호 (Vout) 는 로우 레벨로 확보되어, 불필요한 검출 상태를 나타내는 신호가 출력되지 않는다.

- [0139] (제 4 실시형태)
- [0140] 도면을 참조하여, 형태가 상이한 검출 회로의 실시형태에 대해 나타낸다.
- [0141] 도 11 은, 제 4 실시형태에 의한 검출 회로를 나타내는 개략 구성도이다.
- [0142] 검출 회로 (300) 는, 인터럽트 조건 생성 회로 (10c), 인터럽트 조건 접수 회로 (20a) 및 콤퍼레이터 (30) 를 구비한다. 도 7 및 도 9 와 동일한 구성에는 동일한 부호를 붙이고, 상이한 구성에 대해 설명한다.
- [0143] 검출 회로 (300) 에 있어서 인터럽트 조건 생성 회로 (10c) 는, 오프셋 콤퍼레이터 (11), POC 회로 (13) 및 RS 플립 플롭 (14) 을 구비한다.
- [0144] POC 회로 (13) 는, 이른바 전원 투입 초기화 회로이다. POC 회로 (13) 는, 직렬로 접속된 콘덴서 (13C) 와 저항 (13R) 은, 전원의 정극 (전원 전압 (VDD)) 에 콘덴서 (13C) 의 일단이 접속되고, 전원의 부극 (접지 전압 (VSS)) 에 저항 (13R) 의 일단이 접속된다. 콘덴서 (13C) 와 저항 (13R) 의 접속점은, 버퍼 (13b) 의 입력단에 접속된다. 버퍼 (13b) 는, 입력되는 전압 (점 Vd 의 전압) 이 버퍼 (13b) 의 임계값 전압 (반전 전압) 이상이 되면, 출력되는 신호 (Sp') 가 전원 전압 (VDD) 에 의해 나타내어지는 하이 레벨이 되고, 임계값 전압 (반전 전압) 이하가 되면, 신호 (Sp') 가 기준 전압 (VSS) 에 의해 나타내어지는 로우 레벨이 된다. 버퍼 (13b) 로부터 출력되는 신호는, POC 회로 (13) 의 출력 신호가 된다. Vd 가 버퍼 (13b) 의 반전 전압 이상이 되면, 신호 (Sp') 가 전원 전압 (VDD) 이 되고, 반전 전압 이하가 되면, 신호 (Sp') 가 기준 전압 (VSS) 이 된다. 버퍼 (13b) 의 임계값 전압은, 전원 전압 (VDD) 의 절반의 전압이 된다. 오프셋 콤퍼레이터 (11) 는, 신호 (Sc) 를 출력한다. 신호 (Sc) 는, 실시형태에 있어서의 제어 신호 (Scont) 에 상당한다. RS 플립 플롭 (14) 은, RS 형 플립 플롭을 나타낸다.
- [0145] 오프셋 콤퍼레이터 (11) 의 출력단이 RS 플립 플롭 (14) 의 세트 입력단 (S) 에 접속되고, POC 회로 (13) 의 출력단이 RS 플립 플롭 (14) 의 리셋 입력단 (R) 에 접속되고, RS 플립 플롭 (14) 의 출력단이 인터럽트 조건 생성 회로 (10c) 의 제어 신호 (Scont) 를 출력한다. RS 플립 플롭 (14) 은, 세트 입력단 (S) 및 리셋 입력단 (R) 에 하이 레벨이 입력된 경우에는, 각각 출력 신호를 하이 레벨 (세트) 및 로우 레벨 (리셋) 로 설정하고, 모두 하이 레벨이 입력되면 리셋 요구를 우선시켜 로우 레벨 (리셋) 을 설정한다.
- [0146] 이와 같은 구성에 의한 검출 회로 (300) 에서는, 인터럽트 조건 생성 회로 (10c) 로부터 출력되는 제어 신호 (Scont) 는, 전원 전압 (VDD) 이 입력 신호 (Vtemp) 의 전압에 바이어스 전위 (Vb) 를 가산한 전위보다 낮은 경우에는 로우 레벨을 나타낸다. 또, 제어 신호 (Scont) 는, 전원 전압 (VDD) 이 입력 신호 (Vtemp) 의 전압에 바이어스 전위 (Vb) 를 가산한 전위보다 높은 경우에는 하이 레벨을 나타낸다.
- [0147] 인터럽트 조건 생성 회로 (10c) 로부터 출력되는 제어 신호 (Scont) 는, 전원의 투입 후, 소정 시간 경과할 때까지 하이 레벨을 나타내고, 소정 시간 경과하면 로우 레벨을 나타낸다.
- [0148] 콤퍼레이터 (30) 의 출력 신호 (Sg) 는, 입력 신호 (Vtemp) 의 전압이 기준 전압 (Vref) 보다 낮은 경우에는 하이 레벨을 나타낸다. 또, 입력 신호 (Vtemp) 의 전압이 기준 전압 (Vref) 보다 높은 경우에는 로우 레벨을 나타낸다.
- [0149] 인터럽트 조건 접수 회로 (20a) 의 출력 신호 (Vout) 는, 제어 신호 (Scont) 가 로우 레벨인 경우에는 고정적으로 로우 레벨이 출력되고, 제어 신호 (Scont) 가 하이 레벨인 경우에는 입력 신호 (Vtemp) 에 따라 변화되는 콤퍼레이터 (30) 의 출력 신호 (Sg) 가 출력된다.
- [0150] 도 12 는, 제 4 실시형태에 있어서의 검출 회로의 동작을 나타내는 타이밍 차트이다.
- [0151] 도 11 의 블록도에 나타난 점 A~H 및 점 P' 에 따라, 그들 점에 있어서의 각 신호의 천이에 대해 설명한다. 도 8 및 도 10 과 동일한 신호, 시각에는 동일한 부호를 붙이고, 상이한 신호, 시각을 중심으로 설명한다. 도 8 에 나타난 검출 회로 (100) 및 도 10 에 나타난 검출 회로 (200) 는, 검출 회로 (300) 로 바뀌어 읽는다.
- [0152] 점 C 의 파형은, 인터럽트 조건 생성 회로 (10c) 에 있어서의 오프셋 콤퍼레이터 (11) 로부터 출력되는 신호 (Sc) 의 전압 천이를 나타낸다. 점 E 의 파형은, 인터럽트 조건 생성 회로 (10c) 에 있어서의 RS 플립 플롭 (14) 으로부터 출력되는 제어 신호 (Scont) 를 나타낸다. 점 P' 의 파형은, 인터럽트 조건 생성 회로 (10c)

에 있어서의 POC 회로 (13)로부터 출력되는 신호 (Sp')의 전압 전이를 나타낸다.

- [0153] 도면에 나타내는 초기 상태에서는, 전원은 미투입 상태로서, 각각의 회로에 있어서 전하의 충전 등도 없어, 각 신호 모두 무신호 상태를 나타내고 있다.
- [0154] 시각 (t1)에 있어서, 검출 회로 (300) 그리고 검출 회로 (300)에 접속되어 있는 센서 회로 및 기준 전원 (RF)에 대해 전원이 투입된다. 그 후, 전원 전압 (VDD)이 서서히 상승한다. 센서 회로 및 기준 전원 (RF)의 출력인 입력 신호 (Vtemp) 및 기준 전압 (Vref)은, 전원 전압 (VDD)이 낮은 상태에서는, 전류원의 기능에 의해 이들의 출력 전압은 전원 전압 (VDD)이 된다. 입력 신호 (Vtemp) 및 기준 전압 (Vref)은, 전원 전압 (VDD)의 상승에 따라 동일한 변화 특성을 나타내고 서서히 상승한다.
- [0155] 검출 회로 (300)에서는, 전원 투입 후의 동작 가능 전원 전압이 공급될 때까지의 과도 상태에 있고, 콤퍼레이터 (30)의 출력 신호 (Sg)는, 신호의 상태를 특정할 수 없는 부정 상태가 된다.
- [0156] 인터럽트 조건 생성 회로 (10c)에 있어서의 오프셋 콤퍼레이터 (11)에서는, 입력되는 신호의 판정에 일방의 신호에 오프셋 전위를 인가하여 비교함으로써, 입력되는 신호의 전위차가 작은 경우라도 오프셋된 전위에 의해 비교 판정된 결과가 출력되므로 불안정해지지는 않는다. 이 때문에 신호 (Sc)는 로우 레벨을 나타낸다.
- [0157] POC 회로 (13)에서는, 전원 전압 (VDD)을 검출한다. 전원 투입에 추종하여 점 Vd의 전위가 상승되는데, 버퍼 (13b)가 아직 활성화되지 않았기 때문에 신호 (Sp')는 로우 레벨을 나타낸다. RS 플립 플롭 (14)은, 세트 (S) 단자에 로우 레벨, 리셋 (R) 단자에 로우 레벨이 입력되는데, 아직 활성화되지 않았기 때문에 제어 신호 (Scont)는 초기 상태가 유지된 로우 레벨이 출력된다.
- [0158] 한편, 인터럽트 조건 점수 회로 (20a)는, 전원 전압 (VDD)이 소정 전압에 도달할 때까지 입력 신호의 출력을 허가하지 않고 소정 전압을 출력 신호 (Vout)로서 출력한다. 출력 신호 (Vout)로서 출력되는 소정 전압은, 센서 회로에 있어서 비검출 상태 (해제 상태)를 나타내는 전압이 설정되고, 제어 신호 (Scont)에 따라 제어된다. 제어 신호 (Scont)에는, 로우 레벨이 출력되어 있음으로써, 출력 신호 (Vout)는 로우 레벨로 확보되어, 불필요한 검출 상태를 나타내는 신호가 출력되지는 않는다.
- [0159] 시각 (t2)에서는, 전원 전압 (VDD)이 상승하여, 각각의 회로가 동작 가능한 상태로 천이된다.
- [0160] 인터럽트 조건 생성 회로 (10c)에 있어서의 오프셋 콤퍼레이터 (11)에서는, 입력 신호 (Vtemp)와 전원 전압 (VDD)의 전위차가 작은 상태에 있는데, 일방의 신호에는 오프셋 전위가 인가되어 있음으로써, 신호 (Sc)는 로우 레벨로 확정되어 있다. POC 회로 (13)에서는, 점 Vd에 있어서의 신호의 전압이 버퍼 (13b)에 있어서의 임계값 전위보다 높은 상태를 나타낸다. 버퍼 (13b)의 전원 전압 (VDD)이 과도적으로 상승함에 따라 버퍼 (13b)의 임계값 전위도 전원 전압 (VDD)의 상승에 따라 상승한다. 이로써, 신호 (Sp')는 하이 레벨을 출력한다. RS 플립 플롭 (14)은, 세트 (S) 단자에 로우 레벨, 리셋 (R) 단자에 하이 레벨이 입력되고, 출력 (Q) 단자에는 제어 신호 (Scont)로서 로우 레벨이 출력된다.
- [0161] 센서 회로 및 기준 전원 (RF)의 출력인 입력 신호 (Vtemp) 및 기준 전압 (Vref)도 전원 전압 (VDD)의 상승에 따라 서서히 상승하기 때문에, 그 전위차가 작은 상태에 있다. 전위차가 작은 2개의 신호를 비교하여 얻어지는 출력 신호 (Sg)는, 신호의 상태를 특정할 수 없는 부정 상태가 계속된다. 인터럽트 조건 점수 회로 (20a)에서는, 제어 신호 (Scont)가 로우 레벨로 확정되어 있음으로써, 출력 신호 (Vout)는 로우 레벨로 확보되어, 불필요한 검출 상태를 나타내는 신호가 출력되지는 않는다.
- [0162] 시각 (t3)에서는, 기준 전압 (Vref)에 의해 나타내어지는 기준 전원 (RF)으로부터의 입력이 소정 전압에 도달하면 정전압 제어되고, 일정한 전압이 입력되게 된다. 전원 전압 (VDD) 및 센서 회로로부터의 입력 신호 (Vtemp)의 전위는 계속적으로 상승한다.
- [0163] 기준 전압 (Vref)이 소정 전압을 나타내게 되고, 기준 전압 (Vref)은 입력 신호 (Vtemp)보다 낮은 전위를 나타내므로, 출력 신호 (Sg)는, 상태가 정해지지 않은 부정 상태로부터 올바른 판정 결과가 출력되는 상태로 천이된다. 또, 제어 신호 (Scont)에 의한 제어가 계속됨으로써, 출력 신호 (Vout)는 로우 레벨로 확보되어, 불필요한 검출 상태를 나타내는 신호가 출력되지는 않는다.
- [0164] 시각 (t4)에서는, 센서 회로로부터의 입력 신호 (Vtemp)는, 소정의 검출 상태를 나타내는 정상 동작 상태로 천이된다. 이로써, 센서 회로가 검출되는 상태에 따라 입력 신호 (Vtemp)는 변화되게 되어, 지금까지 계속되고 있던 전원 전압 (VDD)의 상승에 수반되는 상승은 정지한다. 그리고, 센서 회로가 구비하는 정전류 회로가 공급하는 전류와 센서 회로의 임피던스에 의해 정해지는 입력 신호 (Vtemp)의 전압값보다, 전원 전압

(VDD) 이 높아진 것에 의해, 센서 회로로부터의 입력 신호 (Vtemp) 에 의한 변화를 검출할 수 있게 된다.

- [0165] 시각 (t5) 에서는, 센서 회로로부터의 입력 신호 (Vtemp) 와 전원 전압 (VDD) 에, 소정의 전위차, 즉 인터럽트 조건 생성 회로 (10c) 에 있어서의 오프셋 전위의 전압 이상의 전위차가 발생하는 것을, 인터럽트 조건 생성 회로 (10c) 에 있어서의 오프셋 콤퍼레이터 (11) 가 검출한다. 그 검출에 의해, 전원 전압 (VDD) 이 센서 회로에 동작 가능한 전원 전압이 공급되는 상태로 천이된 것으로 나타난다.
- [0166] 오프셋 콤퍼레이터 (11) 는, 신호 (Sc) 에 하이 레벨을 출력하고, 그 전위는 전원 전압 (VDD) 의 전위 상승에 따라 상승한다. RS 플립 플롭 (14) 은, 세트 (S) 단자에 하이 레벨, 리셋 (R) 단자에 하이 레벨이 입력되고, 출력 (Q) 단자에 로우 레벨을 출력한다. 또, 제어 신호 (Scont) 에 의한 제어가 계속됨으로써, 출력 신호 (Vout) 는 로우 레벨로 확보되어, 불필요한 검출 상태를 나타내는 신호가 출력되지는 않는다.
- [0167] 시각 (t6) 에서는, 전원 전압 (VDD) 이 소정의 동작 가능 전원 전압에 도달하여 상승이 멈추고, 전원 전압 (VDD) 이 일정값을 나타내게 된다. 또, 신호 (Sc) 외에, 다른 신호의 상승도 멈추어 일정값을 나타내는 상태로 천이된다. 인터럽트 조건 생성 회로 (10c) 에 있어서의 POC 회로 (13) 에 의한 점 Vd 에서는, 점 Vd 에 있어서의 신호의 전위가 저하된다. 점 Vd 에 있어서의 신호는, 전원 전압 (VDD) 의 절반의 전압을 임계값 전압으로서 버퍼 (13b) 에 의해 판정되고, 신호 (Sp') 에 하이 레벨이 출력된다.
- [0168] 인터럽트 조건 생성 회로 (10c) 에 있어서의 RS 플립 플롭 (14) 은, 입력 신호에는 상태의 변경이 없고 세트 (S) 단자에 하이 레벨, 리셋 (R) 단자에 하이 레벨이 입력되고, 출력 (Q) 단자에 로우 레벨의 출력을 계속한다. 인터럽트 조건 생성 회로 (10c) 는, 제어 신호 (Scont) 의 인터럽트 상태 (로우 레벨) 를 계속시킨다. 또, 제어 신호 (Scont) 에 의한 제어가 계속됨으로써, 출력 신호 (Vout) 는 로우 레벨로 확보되어, 불필요한 검출 상태를 나타내는 신호가 출력되지는 않는다.
- [0169] 시각 (t7) 에서는, 인터럽트 조건 생성 회로 (10c) 에 있어서의 POC 회로 (13) 에 의한 점 Vd 에서는, 점 Vd 에 있어서의 신호의 전위가 버퍼 (13b) 의 임계값 전압 (전원 전압 (VDD) 의 절반의 전압) 이하로 저하된 것에 의해 신호 (Sp') 가 로우 레벨로 천이된다. RS 플립 플롭 (14) 은, 세트 (S) 단자에 하이 레벨, 리셋 (R) 단자에 로우 레벨이 입력되고, 출력 (Q) 단자에는 하이 레벨이 출력되고, 제어 신호 (Scont) 로서 출력된다.
- [0170] 인터럽트 조건 생성 회로 (10c) 는, 제어 신호 (Scont) 를 인터럽트 해제 상태 (하이 레벨) 로 설정한다. 이로써, 검출 회로 (300) 는, 검출 신호의 출력을 실시할 수 있는 통상 상태로 천이되고, 인터럽트 조건 접수 회로 (20a) 의 입력인 출력 신호 (Sg) 가 출력되도록 전환된다. 출력 신호 (Sg) 는 로우 레벨이므로, 출력 신호 (Vout) 는 로우 레벨로 확보되어, 불필요한 검출 상태를 나타내는 신호가 출력되지는 않는다.
- [0171] 이상에 나타난 바와 같이 전원이 투입된 것에 의해 각 신호의 상태가 천이된다. 전원 전압 (VDD) 이 소정의 동작 가능 전원 전압에 도달할 때까지, 출력 신호 (Vout) 는 로우 레벨로 확보되어, 불필요한 검출 상태를 나타내는 신호가 출력되지는 않는다.
- [0172] (제 5 실시형태)
- [0173] 도면을 참조하여, 형태가 상이한 검출 회로의 실시형태에 대해 나타낸다.
- [0174] 도 13 은, 제 5 실시형태에 의한 검출 회로를 나타내는 개략 구성도이다.
- [0175] 검출 회로 (400) 는, 인터럽트 조건 생성 회로 (10d), 인터럽트 조건 접수 회로 (20a) 및 콤퍼레이터 (30) 를 구비한다. 도 7 및 도 11 과 동일한 구성에는 동일한 부호를 붙이고, 상이한 구성에 대해 설명한다.
- [0176] 검출 회로 (400) 에 있어서 인터럽트 조건 생성 회로 (10d) 는, 오프셋 콤퍼레이터 (11), RS 플립 플롭 (14) 및 저전원 전압 검출 회로 (15) 를 구비한다.
- [0177] 저전원 전압 검출 회로 (15) 는, 전원 전압 (VDD) 의 저하 검출을 실시한다.
- [0178] 도 14 는, 저전원 전압 검출 회로 (15) 의 일례를 나타내는 개략 구성도이다.
- [0179] 도 14 에 나타난 저전원 전압 검출 회로 (15) 는, 트랜지스터 (Q1) 와 정전류원 (I1) 을 구비한다.
- [0180] 트랜지스터 (Q1) 는, N 채널 전계 효과형 트랜지스터 (NMOSFET) 를 나타낸다. 트랜지스터 (Q1) 는, 게이트가 전원의 정극 (전원 전압 (VDD)) 에 접속되고, 소스가 전원의 부극 (접지 전압 (VSS)) 에 접속되고, 드레인이 편단 (片端) 이 전원의 정극에 접속된 정전류원 (I1) 에 접속된다. 즉, 트랜지스터 (Q1) 는, 정전류원 (I1) 을 부하로 한 소스 접지형 증폭 회로를 구성한다.

- [0181] 도 15 는, 도 14 에 나타낸 저전원 전압 검출 회로 (15) 의 동작을 나타내는 도면이다.
- [0182] 도 15(a) 는, 가로축에 트랜지스터 (Q1) 에 있어서의 게이트·소스간 전압 (VGS) 을 나타내고, 세로축에 드레인 전류 (ID) 를 나타내고, 트랜지스터 (Q1) 의 증폭 특성을 나타내는 그래프이다. 그래프의 가로축에 있어서의 절편이 되는 V_{th} 는, 트랜지스터 (Q1) 의 게이트·소스간 전압의 임계값 전압을 나타낸다. 이 그래프에 나타내는 바와 같이, 트랜지스터 (Q1) 의 게이트·소스간 전압 (VGS) 이 소정 전압 (V_{α}) 이하의 상태에서는, 트랜지스터 (Q1) 는 포화 상태가 되지 않아, 정전류원 (I1) 으로 설정된 정전류 (i_1) 를 흐르게 할 수 없다. 또, 게이트·소스간 전압 (VGS) 이 소정 전압 (V_{α}) 을 초과한 상태에서는, 트랜지스터 (Q1) 는 포화 상태가 된다.
- [0183] 도 15(b) 는, 이 회로 구성에 의해 나타내어지는 특성에 의해, 서서히 상승하는 전원 전압 (VDD) 을 인가했을 때의 신호 (Sd) 의 변화를 나타내는 타이밍 차트이다.
- [0184] 전원 전압 (VDD) 이, 전압 (V_{α}) 에 도달할 때까지 신호 (Sd) 의 전압은, 전압 (VDD) 의 변화에 따라 천이된다. 전원 전압 (VDD) 이 전압 (V_{α}) 에 도달하면 신호 (Sd) 는 로우 레벨을 나타내는 상태로 천이된다.
- [0185] 도 13 으로 돌아와, 인터럽트 조건 생성 회로 (10d) 의 접속을 나타낸다.
- [0186] 오프셋 콤퍼레이터 (11) 의 출력단이 RS 플립 플롭 (14) 의 세트 입력단 (S) 에 접속되고, 저전원 전압 검출 회로 (15) 의 출력단이 RS 플립 플롭 (14) 의 리셋 입력단 (R) 에 접속되고, RS 플립 플롭 (14) 의 출력단이 인터럽트 조건 생성 회로 (10d) 의 출력 신호를 출력한다.
- [0187] 도 16 은, 제 5 실시형태에 있어서의 검출 회로의 동작을 나타내는 타이밍 차트이다.
- [0188] 도 13 의 블록도에 나타낸 점 A~H 에 따라, 그들 점에 있어서의 각 신호의 천이에 대해 설명한다. 도 8, 도 10 및 도 14 와 동일한 신호, 시각에는 동일한 부호를 붙이고, 상이한 신호, 시각을 중심으로 설명한다. 도 8 에 나타낸 검출 회로 (100), 도 10 에 나타낸 검출 회로 (200) 및 도 14 에 나타낸 검출 회로 (300) 는, 검출 회로 (400) 로 바꾸어 읽는다.
- [0189] 점 D 의 파형은, 저전원 전압 검출 회로 (15) 로부터 출력되는 신호 (Sd) 를 나타낸다.
- [0190] 도면에 나타내는 초기 상태에서는, 전원은 미투입 상태로서, 각각의 회로에 있어서 전하의 충전 등도 없어, 각 신호 모두 무신호 상태를 나타내고 있다.
- [0191] 시각 (t_1) 에 있어서, 검출 회로 (400) 그리고 검출 회로 (400) 에 접속되어 있는 센서 회로 및 기준 전원 (RF) 에 대해 전원이 투입된다. 그 후, 전원 전압 (VDD) 이 서서히 상승한다. 센서 회로 및 기준 전원 (RF) 의 출력인 입력 신호 (V_{temp}) 및 기준 전압 (V_{ref}) 은, 전원 전압 (VDD) 이 낮은 상태에서는, 전류원의 기능에 의해 이들의 출력 전압은 전원 전압 (VDD) 이 된다. 입력 신호 (V_{temp}) 및 기준 전압 (V_{ref}) 은, 전원 전압 (VDD) 의 상승에 따라 동일한 변화 특성을 나타내고 서서히 상승한다.
- [0192] 검출 회로 (400) 에서는, 전원 투입 후의 동작 가능 전원 전압이 공급될 때까지의 과도 상태에 있고, 콤퍼레이터 (30) 의 출력 신호 (Sg) 는, 신호의 상태를 특정할 수 없는 부정 상태가 된다.
- [0193] 인터럽트 조건 생성 회로 (10d) 에 있어서의 오프셋 콤퍼레이터 (11) 에서는, 입력되는 신호의 판정에 일방의 신호에 오프셋 전위를 인가하여 비교함으로써, 입력되는 신호의 전위차가 작은 경우라도 오프셋된 전위에 의해 비교 판정된 결과가 출력되므로 불안정해지지는 않는다. 이 때문에 신호 (Sc) 는 로우 레벨을 나타낸다.
- [0194] 저전원 전압 검출 회로 (15) 에서는, 전원 전압이 회로를 구성하는 반도체 소자 (예를 들어, 트랜지스터 (Q1 및 Q2)) 에 있어서의 임계값 전위보다 낮은 상태에 있고, 신호 (Sd) 는 전원 전압의 상승과 함께 상승한다. RS 플립 플롭 (14) 은, 세트 (S) 단자에 로우 레벨, 리셋 (R) 단자에 로우 레벨이 입력되는데, 아직 활성화되지 않았기 때문에 제어 신호 (Scont) 는 초기 상태가 유지된 로우 레벨이 출력된다.
- [0195] 한편, 인터럽트 조건 접수 회로 (20a) 는, 전원 전압이 소정 전압에 도달할 때까지 입력 신호의 출력을 허가하지 않고 소정 전압을 출력 신호 (Vout) 로서 출력한다. 출력 신호 (Vout) 로서 출력되는 소정 전압은, 센서 회로에 있어서 비검출 상태 (해제 상태) 를 나타내는 전압이 설정되고, 제어 신호 (Scont) 에 따라 제어된다. 제어 신호 (Scont) 에는, 제어 신호 (Scont) 로서 로우 레벨이 출력되어 있으므로, 출력 신호 (Vout) 는

로우 레벨로 확보되어, 불필요한 검출 상태를 나타내는 신호가 출력되지는 않는다.

- [0196] 시각 (t2) 에서는, 전원 전압 (VDD) 이 상승하여, 각각의 회로가 동작 가능한 상태로 천이된다.
- [0197] 인터럽트 조건 생성 회로 (10d) 에 있어서의 오프셋 콤퍼레이터 (11) 에서는, 입력 신호 (Vtemp) 와 전원 전압 (VDD) 의 전위차가 작은 상태에 있는데, 일방의 신호에는 오프셋 전위가 인가되어 있으므로, 신호 (Sc) 는 로우 레벨로 확보되어 있다. 저전원 전압 검출 회로 (15) 에서는, 전원 전압이 회로를 구성하는 반도체 소자 (예를 들어, 트랜지스터 (Q1 및 Q2)) 에 있어서의 임계값 전위보다 높은 상태가 되고, 신호 (Sd) 는 전원 전압이 소정의 임계값 전압을 초과했기 때문에, 로우 레벨을 출력한다. RS 플립 플롭 (14) 은, 세트 (S) 단자에 로우 레벨, 리셋 (R) 단자에 로우 레벨이 입력되고, 제어 신호 (Scont) 에는, 회로가 활성화되고 입력 신호의 상태에 따라 로우 레벨이 출력된다.
- [0198] 센서 회로 및 기준 전원 (RF) 의 출력인 입력 신호 (Vtemp) 및 기준 전압 (Vref) 도 전원 전압 (VDD) 의 상승에 따라 서서히 상승하기 때문에, 그 전위차가 작은 상태에 있다. 전위차가 작은 2 개의 신호를 비교하여 얻어지는 출력 신호 (Sg) 는, 신호의 상태를 특정할 수 없는 부정 상태가 계속된다. 인터럽트 조건 접수 회로 (20a) 에서는, 제어 신호 (Scont) 가 로우 레벨로 확보되어 있으므로, 출력 신호 (Vout) 는 로우 레벨로 확보되어, 불필요한 검출 상태를 나타내는 신호가 출력되지는 않는다.
- [0199] 시각 (t3) 에서는, 기준 전압 (Vref) 에 의해 나타내어지는 기준 전원 (RF) 으로부터의 입력이 소정 전압에 도달하면 정전압 제어되고, 일정한 전압이 입력되게 된다. 전원 전압 (VDD) 및 센서 회로로부터의 입력 신호 (Vtemp) 의 전위는 계속적으로 상승한다.
- [0200] 기준 전압 (Vref) 이 소정 전압을 나타내게 되고, 기준 전압 (Vref) 은 입력 신호 (Vtemp) 보다 낮은 전위를 나타내므로, 출력 신호 (Sg) 의 출력은, 상태가 정해지지 않은 부정 상태에서 올바른 판정 결과가 출력되는 상태로 천이된다. 또, 제어 신호 (Scont) 에 의한 제어가 계속됨으로써, 출력 신호 (Vout) 는 로우 레벨로 확보되어, 불필요한 검출 상태를 나타내는 신호가 출력되지는 않는다.
- [0201] 시각 (t4) 에서는, 센서 회로로부터의 입력 신호 (Vtemp) 는, 소정의 검출 상태를 나타내는 정상 동작 상태로 천이된다. 이로써, 센서 회로가 검출되는 상태에 따라 입력 신호 (Vtemp) 는 변화되게 되어, 지금까지 계속되고 있던 전원 전압 (VDD) 의 상승에 수반되는 상승은 정지한다. 그리고, 센서 회로가 구비하는 정전류 회로가 공급하는 전류와 센서 회로의 임피던스에 의해 정해지는 입력 신호 (Vtemp) 의 전압값보다, 전원 전압 (VDD) 이 높아진 것에 의해, 센서 회로로부터의 입력 신호 (Vtemp) 에 의한 변화를 검출할 수 있게 된다.
- [0202] 시각 (t5) 에서는, 센서 회로로부터의 입력 신호 (Vtemp) 와 전원 전압 (VDD) 에, 소정의 전위차, 즉 인터럽트 조건 생성 회로 (10d) 에 있어서의 오프셋 전위의 전압 이상의 전위차가 발생하는 것을, 인터럽트 조건 생성 회로 (10d) 에 있어서의 오프셋 콤퍼레이터 (11) 가 검출한다. 그 검출에 의해, 전원 전압 (VDD) 이 센서 회로에 동작 가능한 전원 전압이 공급되는 상태로 천이된 것으로 나타난다.
- [0203] 오프셋 콤퍼레이터 (11) 는, 신호 (Sc) 에 하이 레벨을 출력하고, 전원 전압 (VDD) 의 전위 상승에 따라 상승한다. RS 플립 플롭 (14) 은, 세트 (S) 단자에 하이 레벨, 리셋 (R) 단자에 로우 레벨이 입력되고, 출력을 반전시키고 하이 레벨을 출력한다. 인터럽트 조건 생성 회로 (10d) 는, 제어 신호 (Scont) 의 인터럽트 상태 (로우 레벨) 를 해제한다. 이로써, 검출 회로 (400) 는, 검출 신호의 출력을 실시할 수 있는 통상 상태로 천이된다.
- [0204] 시각 (t6) 에서는, 전원 전압 (VDD) 이 소정의 동작 가능 전원 전압에 도달하여 상승이 멈추고, 전원 전압 (VDD) 이 일정값을 나타내게 된다. 또, 신호 (Sc) 그리고 다른 신호도 전원 전압의 상승에 따른 전압의 상승도 멈추어 일정값을 나타내는 상태로 천이된다.
- [0205] 이상에 나타난 바와 같이 전원이 투입된 것에 의해 각 신호의 상태가 천이된다. 전원 전압 (VDD) 이 소정의 동작 가능 전원 전압에 도달할 때까지, 출력 신호 (Vout) 는 로우 레벨로 확보되어, 불필요한 검출 상태를 나타내는 신호가 출력되지는 않는다.
- [0206] (제 6 실시형태)
- [0207] 도면을 참조하여, 형태가 상이한 저전원 전압 검출 회로의 실시형태에 대해 나타낸다.
- [0208] 도 17 은, 제 6 실시형태에 의한 저전원 전압 검출 회로를 나타내는 개략 구성도이다.
- [0209] 도 17 에 나타난 저전원 전압 검출 회로 (15b) 는, 트랜지스터 (Q1, Q2) 와 정전류원 (I1, I2) 을 구비한다.

- [0210] 트랜지스터 (Q1 과 Q2) 는, N 채널 전계 효과형 트랜지스터 (NMOSFET) 를 나타낸다. 트랜지스터 (Q2) 는, 게이트와 드레인이 전원의 정극 (전원 전압 (VDD)) 에 접속되고, 소스가 편단이 전원의 부극 (설치 전압 (VSS)) 에 접속된 정전류원 (I2) 에 접속된다.
- [0211] 트랜지스터 (Q1) 는, 게이트가 트랜지스터 (Q2) 의 소스에 접속되고, 소스가 접지 전압 (VSS) 에 접속되고, 드레인이 편단이 전원의 정극에 접속된 정전류원 (I1) 에 접속된다. 즉, 트랜지스터 (Q1 과 Q2) 는, 다단 접속된 증폭 회로를 형성하고, 정전류원 (I1) 을 부하로 한 소스 접지형 증폭 회로를 출력단으로 한 구성이 된다.
- [0212] 도 18 은, 제 6 실시형태에 의한 저전원 전압 검출 회로의 동작을 나타내는 도면이다.
- [0213] 도 18(a) 는, 가로축에 트랜지스터 (Q1(Q2)) 에 있어서의 게이트·소스간 전압 (VGS) 을 나타내고, 세로축에 드레인 전류 (ID) 를 나타내고, 트랜지스터 (Q1(Q2)) 의 증폭 특성을 나타내는 그래프이다. 그래프 가로축의 절편이 되는 V_{th} 는, 트랜지스터 (Q1(Q2)) 의 게이트·소스간 전압 (VGS) 의 임계값 전압을 나타낸다. 이 그래프에 나타내는 바와 같이, 트랜지스터 (Q1(Q2)) 의 게이트·소스간 전압 (VGS) 이 소정 전압 (V_{α}) 이하의 상태에서는, 설정된 정전류 (I1) 를 흐르게 할 수 없는 트랜지스터 (Q1(Q2)) 는 오프 (차단) 상태가 된다. 또, 게이트·소스간 전압 (VGS) 이 소정 전압 (V_{α}) 을 초과한 상태에서는, 트랜지스터 (Q1(Q2)) 는 온 (도통) 상태가 된다. 또한, 트랜지스터 (Q1 과 Q2) 는 특성이 상이한 것을 선정해도 된다.
- [0214] 도 18(b) 는, 이 회로 구성에 의해 나타내어지는 특성에 의해, 서서히 상승하는 전원 전압 (VDD) 을 인가했을 때의 신호 (Sd) 의 변화를 나타내는 타이밍 차트이다.
- [0215] 전원 전압 (VDD) 이, 전압 ($2 \times V_{\alpha}$) 에 도달할 때까지 신호 (Sd) 의 전압은, 전원 전압 (VDD) 의 변화에 따라 천이된다. 전원 전압 (VDD) 이, 전압 ($2 \times V_{\alpha}$) 에 도달하면 신호 (Sd) 는 로우 레벨을 나타내는 상태로 천이된다. 트랜지스터 (Q1 과 Q2) 를 다단으로 접속된 구성으로 함으로써, 저전원 검출 전압의 임계값 전압을 트랜지스터 1 단인 경우의 배의 전압으로 할 수 있다.
- [0216] (제 7 실시형태)
- [0217] 도면을 참조하여, 형태가 상이한 검출 회로의 실시형태에 대해 나타낸다.
- [0218] 도 19 는, 제 7 실시형태에 의한 검출 회로를 나타내는 개략 구성도이다.
- [0219] 검출 회로 (500) 는, 인터럽트 조건 생성 회로 (10a), 인터럽트 조건 접수 회로 (20b) 및 콤퍼레이터 (30) 를 구비한다. 도 7 과 동일한 구성에는 동일한 부호를 붙이고, 상이한 구성에 대해 설명한다.
- [0220] 검출 회로 (500) 에 있어서의 인터럽트 조건 접수 회로 (20b) 는, 선택 회로 (22) 를 구비한다.
- [0221] 선택 회로 (22) 는, 입력되는 제어 신호에 연동하는 스위치 (22a 및 22b) 를 구비한다.
- [0222] 스위치 (22a 및 22b) 는, 입력단 (In1, In2) 에 대응하여 형성되는 출력단 (Out1, Out2) 과의 사이에 각각 접속되고, 제어 신호 입력 단자 (Cont) 에 제어 신호 (Scont) 로서 입력되는 인터럽트 신호에 따라, 소정 전압을 출력하는지 입력단에 입력된 입력 신호를 출력하는지를 선택하여 전환한다. 스위치 (22a 및 22b) 로부터 출력되는 소정 전압은, 스위치 (22b) 로부터 출력되는 전압 (V_{+}) 보다 스위치 (22a) 로부터 출력되는 전압 (V_{-}) 이 낮게 설정된다. 즉, 인터럽트 조건 접수 회로 (20b) 는, 제어 신호로서 입력되는 인터럽트 신호에 의한 인터럽트가 해제될 때까지 입력 신호의 출력을 허가하지 않고, 스위치 (22a 및 22b) 를 통해 출력하는 소정 전압을 출력 신호로서 출력한다. 또, 인터럽트 조건 접수 회로 (20b) 는, 인터럽트 신호에 의한 인터럽트가 해제되면 입력 신호의 출력을 허가하여 출력 신호로서 출력한다.
- [0223] 다음으로, 검출 회로 (500) 의 접속을 나타낸다.
- [0224] 검출 회로 (500) 에는, 검출 회로 (500) 를 작동시키는 전원과, 도시되지 않은 센서 회로로부터의 입력 신호 (V_{temp}) 와, 도시되지 않은 기준 전원 (RF) 으로부터 출력되는 기준 전압 (V_{ref}) 이 입력된다. 인터럽트 조건 생성 회로 (10a) 에 있어서의 입력 단자 (Tip) 에는, 전원의 정극에 접속되고 전압 (VDD) 이 인가된다. 또, 입력 단자 (Tin) 에는, 도시되지 않은 센서 회로의 출력단이 접속된다. 인터럽트 조건 접수 회로 (20b) 에 있어서의 입력 단자 (In1) 에는 기준 전압 (V_{ref}) 을 출력하는 도시되지 않은 기준 전원 (RF) 이 접속되고, 입력 단자 (In2) 에는 도시되지 않은 센서 회로의 출력단이 접속되고, 제어 입력 단자 (Cont) 에는 인터럽트 조건 생성 회로 (10a) 의 출력단이 접속된다. 콤퍼레이터 (30) 에 있어서의 비반전 입력 단자에는, 인터럽트

조건 접수 회로 (20b) 에 있어서의 출력 단자 (Out1) 가 접속되고, 반전 입력 단자에는, 인터럽트 조건 접수 회로 (20b) 에 있어서의 출력 단자 (Out2) 가 접속된다.

[0225] 도 20 은, 제 7 실시형태에 있어서의 검출 회로의 동작을 나타내는 타이밍 차트이다.

[0226] 도 19 의 블록도에 나타난 점 A~G' 에 따라, 그들 점에 있어서의 각 신호의 전이에 대해 설명한다. 도 8 과 동일한 신호, 시각에는 동일한 부호를 붙이고, 상이한 신호, 시각을 중심으로 설명한다. 도 8 에 나타난 검출 회로 (100) 는, 검출 회로 (500) 로 바꾸어 읽는다.

[0227] 점 A' 의 파형은, 인터럽트 조건 접수 회로 (20b) 에 있어서의 점 A' 에 출력하는 신호 Sa' 의 전압 전이를 나타낸다. 신호 Sa' 에는, 센서 회로로부터 입력된 입력 신호 (Vtemp) 와 동일한 신호, 또는 미리 정해진 소정 전압 중 어느 것이 출력된다.

[0228] 점 F' 의 파형은, 인터럽트 조건 접수 회로 (20b) 에 있어서의 점 F' 에 출력하는 신호 Sf' 의 전압 전이를 나타낸다. 신호 Sf' 에는, 검출 회로 (500) 에 공급되는 기준 전압 (RF) 으로부터 출력되는 기준 전압 (Vref), 또는 미리 정해진 소정 전압 중 어느 것이 출력된다.

[0229] 점 G' 의 파형은, 콤퍼레이터 (30) 에 의해 판정되고, 검출 회로 (500) 의 출력 신호 (Vout) 가 된다. 이 타이밍 차트에 나타내어지는 범위에서는, 센서 회로에 의해 검출해야 할 사상은 발생하지 않은 상태를 나타내고, 출력 신호 (Vout) 는 항상 로우 레벨을 나타낸다.

[0230] 도면에 나타내는 초기 상태에서는, 전원은 미투입 상태로서, 각각의 회로에 있어서 전하의 충전 등도 없어, 각 신호 모두 무신호 상태를 나타내고 있다.

[0231] 시각 (t1) 에 있어서, 검출 회로 (500) 그리고 검출 회로 (500) 에 접속되어 있는 센서 회로 및 기준 전압 (RF) 에 대해 전원이 투입된다. 그 후, 전원 전압 (VDD) 이 서서히 상승한다. 센서 회로 및 기준 전압 (RF) 의 출력인 입력 신호 (Vtemp) 및 기준 전압 (Vref) 은, 전원 전압 (VDD) 이 낮은 상태에서는, 전류원의 기능에 의해 이들의 출력 전압은 전원 전압 (VDD) 이 된다. 입력 신호 (Vtemp) 및 기준 전압 (Vref) 은, 전원 전압 (VDD) 의 상승에 따라 동일한 변화 특성을 나타내고 서서히 상승한다.

[0232] 인터럽트 조건 생성 회로 (10a) 에서는, 입력되는 신호의 판정에 일방의 신호에 오프셋 전위를 인가하여 비교한다. 이로써, 인터럽트 조건 생성 회로 (10a) 에서는, 입력되는 신호의 전위차가 작은 경우라도 오프셋된 전위에 의해 비교 판정된 결과가 출력되므로 불안정해지지 않는다. 이 때문에 제어 신호 (Scont) 는 로우 레벨을 나타낸다.

[0233] 한편, 인터럽트 조건 접수 회로 (20b) 의 신호가 입력되는 콤퍼레이터 (30) 에서는, 전원 전압 (VDD) 이 소정 전압에 도달할 때까지 출력 신호 (Vout) 를 비검출 상태 (해제 상태) 를 나타내도록 확정시키는 처리가 실시된다. 해제 상태를 나타내도록 확정시키는 처리는, 제어 신호 (Scont) 에 의해 제어된다. 제어 신호 (Scont) 가 로우 레벨인 것에 의해, 인터럽트 조건 접수 회로 (20b) 는, 출력단 (Out1, Out2) 으로부터 신호 (Sf') 와 신호 (Sa') 에 의해 나타내어지는 소정 전압을 출력한다. 인터럽트 조건 접수 회로 (20b) 는, 신호 (Sf') 에는 접지 전위 (VSS) 근방의 전압 (V-) 을, 신호 (Sa') 에는 전원 전압 (VDD) 에 따라 상승하는 전압 (V+) 을 출력한다. 이로써, 콤퍼레이터 (30) 의 출력 신호 (Vout) 는 로우 레벨로 확보되어, 불필요한 검출 상태를 나타내는 신호가 출력되지는 않는다.

[0234] 시각 (t2) 에서는, 전원 전압 (VDD) 이 상승하여, 각각의 회로가 동작 가능한 상태로 전이된다.

[0235] 인터럽트 조건 생성 회로 (10a) 에서는, 입력 신호 (Vtemp) 와 전원 전압 (VDD) 의 전위차가 작은 상태에 있는데, 일방의 신호에는 오프셋 전위가 인가되어 있음으로써, 제어 신호 (Scont) 는 로우 레벨로 확정되어 있다. 센서 회로 및 기준 전압 (RF) 의 출력인 입력 신호 (Vtemp) 및 기준 전압 (Vref) 도 전원 전압 (VDD) 이 상승함에 따라 서서히 상승한다.

[0236] 제어 신호 (Scont) 가 로우 레벨인 것에 의해, 인터럽트 조건 접수 회로 (20b) 그리고 콤퍼레이터 (30) 에서는, 시각 (t1) 으로부터의 상태가 계속된다. 이로써, 콤퍼레이터 (30) 의 출력 신호 (Vout) 는 로우 레벨로 확보되어, 불필요한 검출 상태를 나타내는 신호가 출력되지는 않는다.

[0237] 시각 (t3) 에서는, 기준 전압 (Vref) 에 의해 나타내어지는 기준 전압 (RF) 으로부터의 입력이 소정 전압에 도달하면 정전압 제어되고, 일정한 전압이 입력되게 된다. 전원 전압 (VDD) 및 센서 회로로부터의 입력 신호 (Vtemp) 의 전위는 계속적으로 상승한다.

- [0238] 기준 전압 (Vref) 이 소정 전압을 나타내게 되고, 기준 전압 (Vref) 은 입력 신호 (Vtemp) 보다 낮은 전위를 나타내게 된다.
- [0239] 전술한 시각 (t2) 으로부터 상태와 동일하게 인터럽트 조건 생성 회로 (10a) 에서는, 입력 신호 (Vtemp) 와 전원 전압 (VDD) 의 전위차가 작은 상태에 있는데, 일방의 신호에는 오프셋 전위가 인가되어 있음으로써, 제어 신호 (Scont) 는 로우 레벨로 확정되어 있다. 센서 회로의 출력, 즉 입력 신호 (Vtemp) 는 전원 전압 (VDD) 이 상승함에 따라 서서히 상승한다.
- [0240] 제어 신호 (Scont) 가 로우 레벨인 것에 의해, 인터럽트 조건 접수 회로 (20b) 그리고 콤퍼레이터 (30) 에서는, 시각 (t1) 으로부터의 상태가 계속된다. 이로써, 콤퍼레이터 (30) 의 출력 신호 (Vout) 는 로우 레벨로 확보되어, 불필요한 검출 상태를 나타내는 신호가 출력되지는 않는다.
- [0241] 시각 (t4) 에서는, 센서 회로로부터의 입력 신호 (Vtemp) 는, 소정의 검출 상태를 나타내는 정상 동작 상태로 천이된다. 이로써, 센서 회로가 검출되는 상태에 따라 입력 신호 (Vtemp) 는 변화되게 되어, 지금까지 계속되고 있던 전원 전압 (VDD) 의 상승에 수반되는 상승은 정지한다. 그리고, 센서 회로가 구비하는 정전류 회로가 공급하는 전류와 센서 회로의 임피던스에 의해 정해지는 입력 신호 (Vtemp) 의 전압값보다, 전원 전압 (VDD) 이 높아진 것에 의해, 센서 회로로부터의 입력 신호 (Vtemp) 에 의한 변화를 검출할 수 있게 된다.
- [0242] 시각 (t5) 에서는, 센서 회로로부터의 입력 신호 (Vtemp) 와 전원 전압 (VDD) 에, 소정의 전위차, 즉 인터럽트 조건 생성 회로 (10a) 에 있어서의 오프셋 전위의 전압 (바이어스 전압 (Vb)) 이상의 전위차가 발생하는 것이, 인터럽트 조건 생성 회로 (10a) 에 의해 검출된다. 그 검출에 의해, 전원 전압 (VDD) 이 센서 회로에 동작 가능한 전원 전압이 공급되는 상태로 천이된 것으로 나타난다. 인터럽트 조건 생성 회로 (10a) 에서는, 제어 신호 (Scont) 가 인터럽트 해제 상태 (하이 레벨) 로 설정되고, 제어 신호 (Scont) 의 전압은 전원 전압 (VDD) 의 전위 상승에 따라 상승한다.
- [0243] 제어 신호 (Scont) 가 인터럽트 해제 상태 (하이 레벨) 로 설정된 것에 의해, 인터럽트 조건 접수 회로 (20b) 는, 입력단에 입력된 입력 신호를 출력하도록 전환한다. 인터럽트 조건 접수 회로 (20b) 는, 신호 (Sa') 에는 입력된 입력 신호 (Vtemp) 를 출력하고, 신호 (Sf') 에는 입력된 기준 전압 (Vref) 을 출력한다.
- [0244] 시각 (t6) 에서는, 전원 전압 (VDD) 이 소정의 동작 가능 전원 전압에 도달하여 상승이 멈추고, 일정값을 나타내게 된다. 또, 제어 신호 (Scont) 의 전압 상승도 멈추어 일정값을 나타내는 상태로 천이된다.
- [0245] 이상에 나타난 바와 같이 전원이 투입된 것에 의해 각 신호의 상태가 천이된다. 전원 전압 (VDD) 이 소정의 동작 가능 전원 전압에 도달할 때까지, 출력 신호 (Vout) 에 불필요한 검출 신호가 출력되지 않고, 출력 신호 (Vout) 는 로우 레벨로 확보되어, 불필요한 검출 상태를 나타내는 신호가 출력되지는 않는다.
- [0246] (제 8 실시형태)
- [0247] 도면을 참조하여, 형태가 상이한 검출 회로의 실시형태에 대해 나타낸다.
- [0248] 도 21 은, 제 8 실시형태에 의한 검출 회로를 나타내는 개략 구성도이다.
- [0249] 검출 회로 (600) 는, 인터럽트 조건 생성 회로 (10b), 인터럽트 조건 접수 회로 (20b) 및 콤퍼레이터 (30) 를 구비한다. 도 7, 도 9 및 도 19 와 동일한 구성에는 동일한 부호를 붙이고 있다.
- [0250] 다음으로, 검출 회로 (600) 의 접속을 나타낸다.
- [0251] 검출 회로 (600) 에는, 검출 회로 (600) 를 작동시키는 전원과, 도시되지 않은 센서 회로로부터의 입력 신호 (Vtemp) 와, 도시되지 않은 기준 전원 (RF) 으로부터 출력되는 기준 전압 (Vref) 이 입력된다. 인터럽트 조건 접수 회로 (20b) 에 있어서의 입력 단자 (In1) 에는, 기준 전압 (Vref) 을 출력하는 도시되지 않은 전원의 정극 (전원 전압 (VDD)) 이 접속되고, 입력 단자 (In2) 에는, 도시되지 않은 센서 회로의 출력단이 접속되고, 제어 입력 단자 (Cont) 에는, 인터럽트 조건 생성 회로 (10b) 의 출력단이 접속된다. 콤퍼레이터 (30) 에 있어서의 비반전 입력 단자에는, 인터럽트 조건 접수 회로 (20b) 에 있어서의 출력 단자 (Out1) 가 접속되고, 반전 입력 단자에는, 인터럽트 조건 접수 회로 (20b) 에 있어서의 출력 단자 (Out2) 가 접속된다.
- [0252] 도 22 는, 제 8 실시형태에 있어서의 검출 회로의 동작을 나타내는 타이밍 차트이다.
- [0253] 도 21 의 블록도에 나타난 점 A~G' 및 점 P 에 따라, 그들 점에 있어서의 각 신호의 천이에 대해 설명한다. 도 8, 도 10 및 도 20 과 동일한 신호, 시각에는 동일한 부호를 붙이고, 상이한 신호, 시각을 중심으로 설명

한다. 도 7 에 나타낸 검출 회로 (100), 도 9 에 나타낸 검출 회로 (200) 및 도 19 에 나타낸 검출 회로 (500) 는, 검출 회로 (600) 로 바꾸어 읽는다.

- [0254] 도면에 나타내어지는 초기 상태에서는, 전원은 미투입 상태로서, 각각의 회로에 있어서 전하의 충전 등도 없어, 각 신호 모두 무신호 상태를 나타내고 있다.
- [0255] 시각 (t1) 에 있어서, 검출 회로 (600) 그리고 검출 회로 (600) 에 접속되어 있는 센서 회로 및 기준 전원 (RF) 에 대해 전원이 투입된다. 그 후, 전원 전압 (VDD) 이 서서히 상승한다. 센서 회로 및 기준 전원 (RF) 의 출력인 입력 신호 (Vtemp) 및 기준 전압 (Vref) 은, 전원 전압 (VDD) 이 낮은 상태에서는, 전류원의 기능에 의해 이들의 출력 전압은 전원 전압 (VDD) 이 된다. 입력 신호 (Vtemp) 및 기준 전압 (Vref) 은, 전원 전압 (VDD) 의 상승에 따라 동일한 변화 특성을 나타내고 서서히 상승한다.
- [0256] 인터럽트 조건 생성 회로 (10b) 에 있어서의 POC 회로 (12) 에서는, 전원 전압 (VDD) 을 검출한다. 콘텐츠 (12C) 와 저항 (12R) 으로 이루어지는 시상수 회로에 의해, 전원 전압 (VDD) 을 입력으로 한 스텝 응답으로서 동정되는 1 차 지연의 과도 특성에 의해 점 Vd 의 전위가 천이된다. 전원 투입에 추종하여 전원 전압 (VDD) 이 상승하는데, 인버터 (12a) 가 아직 활성화되지 않았기 때문에 제어 신호 (Scont) 는 로우 레벨을 나타낸다.
- [0257] 한편, 인터럽트 조건 접수 회로 (20b) 의 신호가 입력되는 콤퍼레이터 (30) 에서는, 전원 전압 (VDD) 이 소정 전압에 도달할 때까지 출력 신호 (Vout) 를 비검출 상태 (해제 상태) 를 나타내도록 확정시키는 처리가 실시된다. 해제 상태를 나타내도록 확정시키는 처리는, 제어 신호 (Scont) 에 의해 제어된다. 제어 신호 (Scont) 가 로우 레벨인 것에 의해, 인터럽트 조건 접수 회로 (20b) 는, 출력단 (Out1, Out2) 으로부터 신호 (Sf') 와 신호 (Sa') 에 의해 나타내어지는 소정 전압을 출력한다. 신호 (Sf') 에는 접지 전위 (VSS) 근방의 전압 (V-) 을, 신호 (Sa') 에는 전원 전압 (VDD) 에 따라 상승하는 전압 (V+) 을 출력한다. 이로써, 콤퍼레이터 (30) 의 출력 신호 (Vout) 에는 로우 레벨이 출력되어, 불필요한 검출 상태를 나타내는 신호가 출력되지 않고 해제 상태를 나타내는 신호를 출력한다.
- [0258] 시각 (t2) 에서는, 전원 전압 (VDD) 이 상승하여, 각각의 회로가 동작 가능한 상태로 천이된다.
- [0259] 인터럽트 조건 생성 회로 (10b) 에 있어서의 POC 회로 (12) 에서는, 점 Vd 의 전압이 인버터 (12a) 에 있어서의 임계값 전위보다 높은 상태를 나타낸다. 인버터 (12a) 의 전원 전압 (VDD) 이 과도적으로 상승함에 따라 인버터 (12a) 의 임계값 전위도 전원 전압 (VDD) 의 상승에 따라 상승한다. 이로써, 제어 신호 (Scont) 는, 로우 레벨로 확정되어 있다. 센서 회로 및 기준 전원 (RF) 의 출력인 입력 신호 (Vtemp) 및 기준 전압 (Vref) 도 전원 전압 (VDD) 이 상승함에 따라 서서히 상승한다.
- [0260] 제어 신호 (Scont) 가 로우 레벨인 것에 의해, 인터럽트 조건 접수 회로 (20b) 그리고 콤퍼레이터 (30) 에서는, 시각 (t1) 으로부터의 상태가 계속된다. 이로써, 콤퍼레이터 (30) 의 출력 신호 (Vout) 는 로우 레벨로 확보되어, 불필요한 검출 상태를 나타내는 신호가 출력되지 않는다.
- [0261] 시각 (t3) 에서는, 기준 전원 (RF) 으로부터 입력되는 기준 전압 (Vref) 이 소정 전압에 도달하면 정전압 제어 되고, 일정한 전압이 입력되게 된다. 전원 전압 (VDD) 및 센서 회로로부터의 입력 신호 (Vtemp) 의 전위는, 계속적으로 상승한다.
- [0262] 기준 전압 (Vref) 이 소정 전압을 나타내게 되고, 기준 전압 (Vref) 은 입력 신호 (Vtemp) 보다 낮은 전위를 나타내게 된다. 전술한 시각 (t2) 으로부터의 상태와 동일하게 인터럽트 조건 생성 회로 (10b) 에 있어서의 상태의 변화는 없고, 제어 신호 (Scont) 에는 로우 레벨이 출력되고 있다. 센서 회로의 출력, 즉 입력 신호 (Vtemp) 는 전원 전압 (VDD) 이 상승함에 따라 서서히 상승한다. 제어 신호 (Scont) 가 로우 레벨인 것에 의해, 인터럽트 조건 접수 회로 (20b) 그리고 콤퍼레이터 (30) 에서는, 시각 (t1) 으로부터의 상태가 계속된다. 이로써, 콤퍼레이터 (30) 의 출력 신호 (Vout) 는 로우 레벨로 확보되어, 불필요한 검출 상태를 나타내는 신호가 출력되지 않는다.
- [0263] 시각 (t4) 에서는, 센서 회로로부터의 입력 신호 (Vtemp) 는, 소정의 검출 상태를 나타내는 정상 동작 상태로 천이된다. 이로써, 센서 회로가 검출하는 상태에 따라 입력 신호 (Vtemp) 는 변화되게 되어, 지금까지 계속되고 있던 전원 전압 (VDD) 의 상승에 수반되는 상승은 정지한다.
- [0264] 시각 (t6) 에서는, 전원 전압 (VDD) 이 소정의 동작 가능 전원 전압에 도달하여 상승이 멈추고, 일정값을 나타내게 된다. 또, 제어 신호 (Scont) 의 상승도 멈추어 일정값을 나타내는 상태로 천이된다. 인터럽트 조건 생성 회로 (10b) 에 있어서의 POC 회로 (12) 에서는, 점 Vd 의 전위 상승이 멈추어 강하로 변한다.

- [0265] 시각 (t_7)에서는, 인터럽트 조건 생성 회로 (10b)에 있어서의 POC 회로 (12)에 의한 점 V_d 의 전위가 인버터 (12a)의 임계값 전압 이하로 저하된 것에 의해 제어 신호 (Scont)가 하이 레벨로 천이된다. 인터럽트 조건 생성 회로 (10b)는, 제어 신호 (Scont)에 출력되고 있던 제어 신호의 인터럽트 상태 (로우 레벨)를 해제하고, 인터럽트 해제 상태를 나타내는 하이 레벨을 출력한다.
- [0266] 인터럽트 조건 점수 회로 (20b)로부터의 신호가 입력되는 콤퍼레이터 (30)에서는, 인터럽트 조건 점수 회로 (20b)에 입력된 신호가, 인터럽트 조건 점수 회로 (20b)를 경유하여 입력된다. 전원 전압 (VDD)이 소정 전압에 도달할 때까지 출력 신호 (Vout)를 해제 상태를 나타내도록 확정시키는 처리가 실시된다. 해제 상태를 나타내도록 확정시키는 처리는, 제어 신호 (Scont)로서 입력되는 제어 신호 (Scont)에 의해 제어된다. 제어 신호 (Scont)가 하이 레벨인 것에 의해, 인터럽트 조건 점수 회로 (20b)는, 출력단 (Out1, Out2)으로부터 신호 (Sf')와 신호 (Sa')를 출력하고, 그 신호는 기준 전압 (V_{ref})과 입력 신호 (V_{temp})에 의한 신호가 된다. 이로써, 검출 회로 (600)는, 검출 신호의 출력을 실시할 수 있는 통상 상태로 천이된다.
- [0267] 이상에 나타난 바와 같이 전원이 투입된 것에 의해 각 신호의 상태가 천이된다. 전원 전압 (VDD)이 소정의 동작 가능 전원 전압에 도달할 때까지, 출력 신호 (Vout)는 로우 레벨로 확보되어, 불필요한 검출 상태를 나타내는 신호가 출력되지 않는다.
- [0268] (실시형태 9)
- [0269] 실시형태 1 내지 실시형태 7에 나타난 검출 회로 (검출 회로 (100) 내지 검출 회로 (600))는, 센서 (900)와 조합함으로써, 원하는 센서 장치를 구성할 수 있다.
- [0270] 센서 (900)로서 적용할 수 있는 각종 센서의 예로서, 온도 센서, MR 센서, BGR 센서 등을 들 수 있다. 센서 (900)는, 전원의 정극 (전원 전압 (VDD))에 접속된 정전류 회로와, 정전류 회로의 부하가 되는 임피던스 회로를 조합하여 구성할 수 있다. 임피던스 회로는, 각각의 센서의 목적에 따라, 검출한 현상의 크기에 따라 임피던스가 변화되는 소자를 선정한다. 이로써, 전원 투입 후의 동작에 있어서, 전원 투입에 의해 출력 신호에 잘못된 검출 신호를 송출하지 않고 신뢰성이 높은 센서 장치를 구성할 수 있게 된다.
- [0271] 종래의 검출 회로 및 센서 장치에서는, 스스로 동작 가능 상태를 외부에 전할 수 있는 구성을 가지지 않는 것이 일반적이다. 그러한 검출 회로 및 센서 장치가, 갖고 있던 전원 전압 감시 회로에서는, 전원 전압 (VDD)을 효율적으로 사용하지 못해, 최저 동작 전압을 낮게 하는 것을 저해하는 것이었다. 본 발명을 적용함으로써, 상기 과제도 해결할 수 있다.
- [0272] 이상, 본 발명의 실시형태에 대해 설명했지만, 본 발명의 전원 전압 감시 회로, 이 전원 전압 감시 회로의 응용 예인 검출 회로, 센서 장치 및 전자 회로는, 상기 서술한 도시에에만 한정되는 것은 아니고, 본 발명의 요지를 일탈하지 않는 범위 내에서 여러 가지 변형을 더할 수 있는 것은 물론이다.

부호의 설명

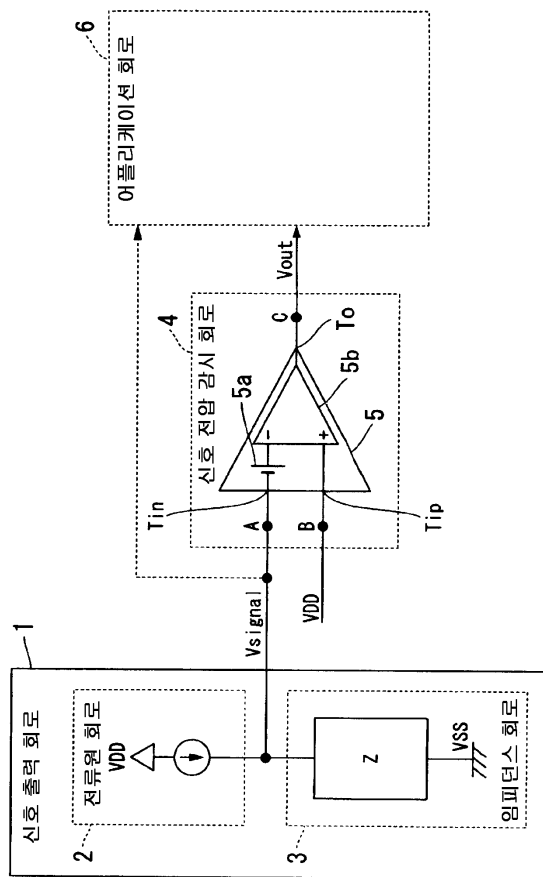
- [0273] 1 : 신호 출력 회로
2 : 전원원 회로
3, 3a, 3b : 임피던스 회로
4 : 신호 전압 감시 회로
5 : 오프셋 콤퍼레이터
5a : 바이어스 전압원
5b : 콤퍼레이터
6 : 어플리케이션 회로
6a : 볼티지 팔로워 회로
6b : 콤퍼레이터 회로
50 : 전원 전압 감시 회로
100 : 검출 회로

- 10a : 인터럽트 조건 생성 회로
- 11 : 오프셋 콤퍼레이터
- 11b : 바이어스 전압원
- 11c : 콤퍼레이터
- 20a : 인터럽트 조건 집수 회로
- 21 : 출력 설정 회로
- 21a : 인버터
- 21b : NAND 게이트
- 30 : 콤퍼레이터

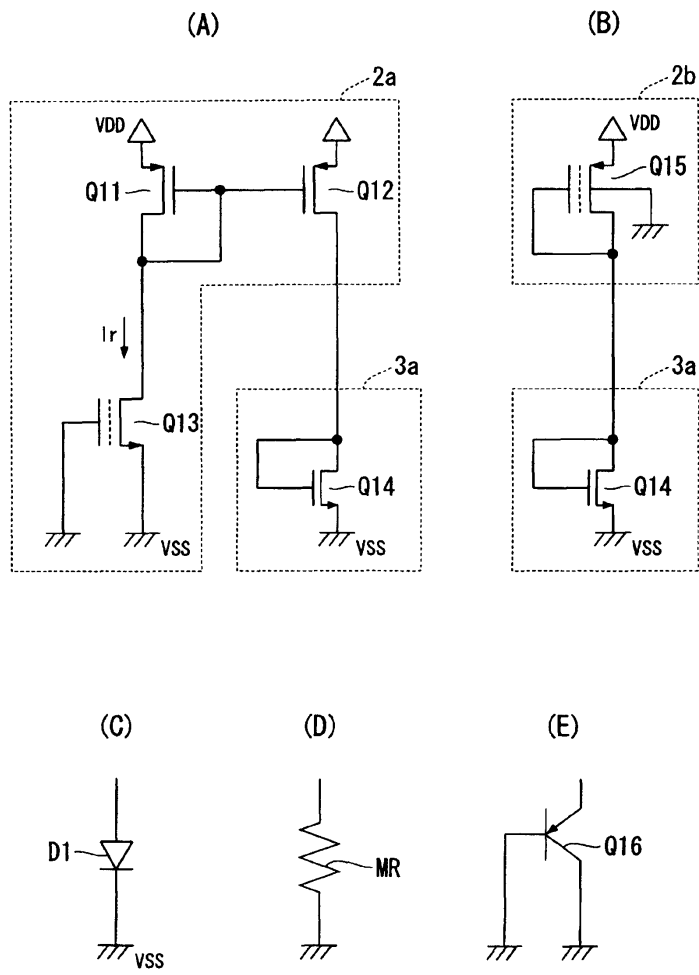
도면

도면1

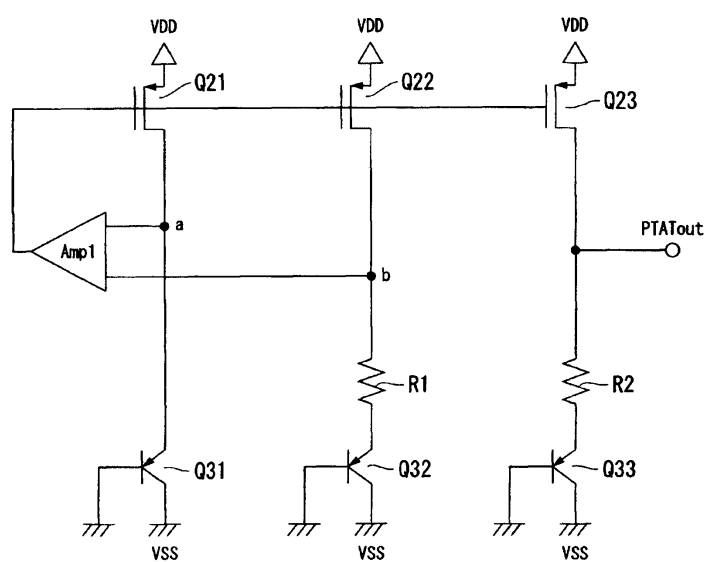
50



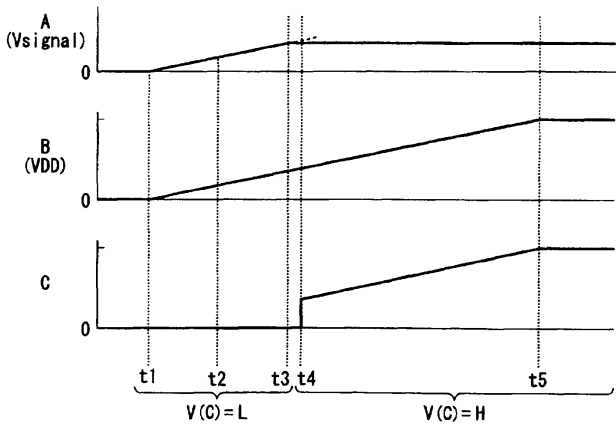
도면2



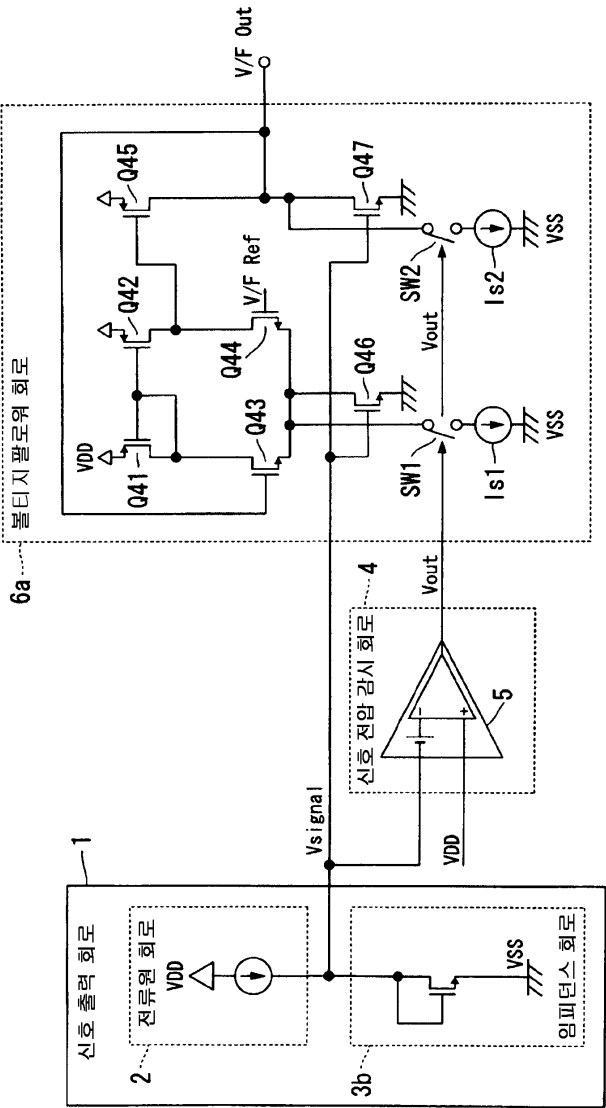
도면3



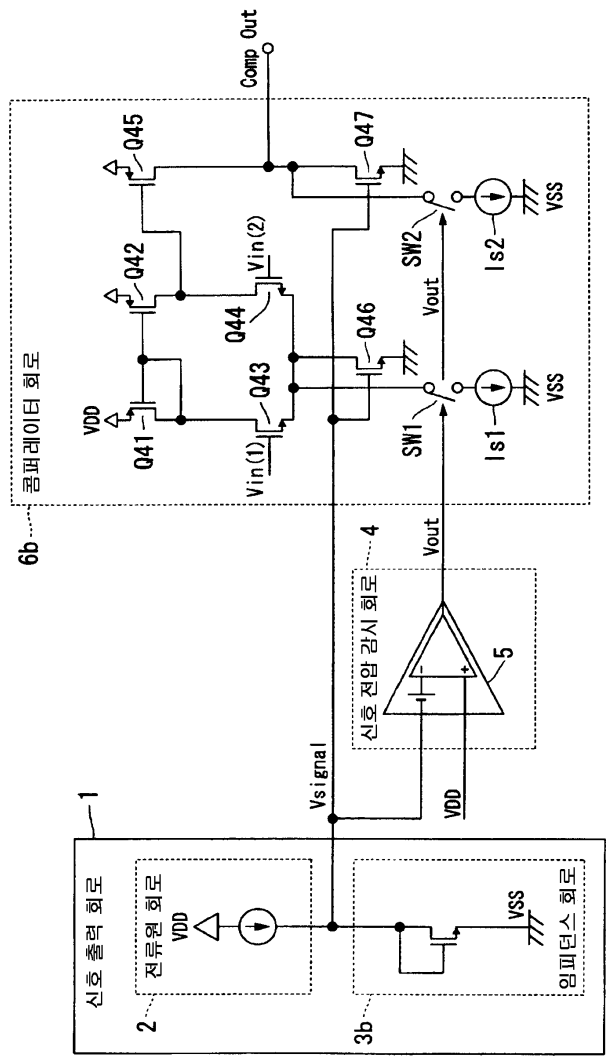
도면4



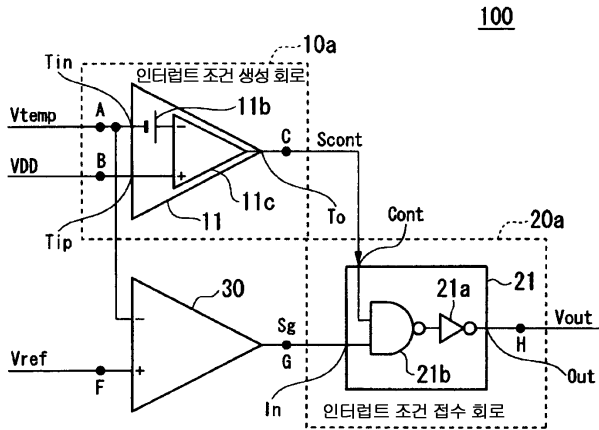
도면5



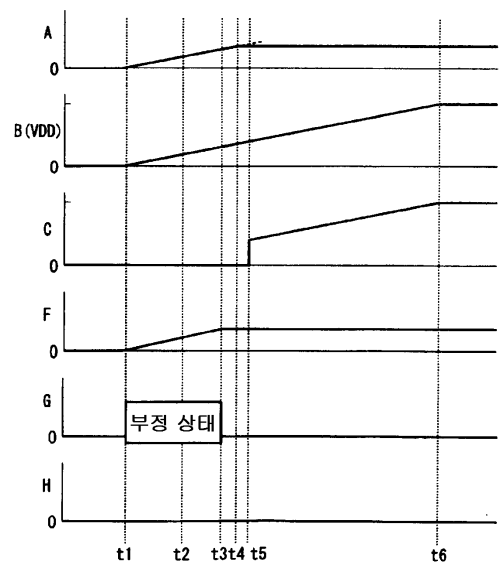
도면6



도면7

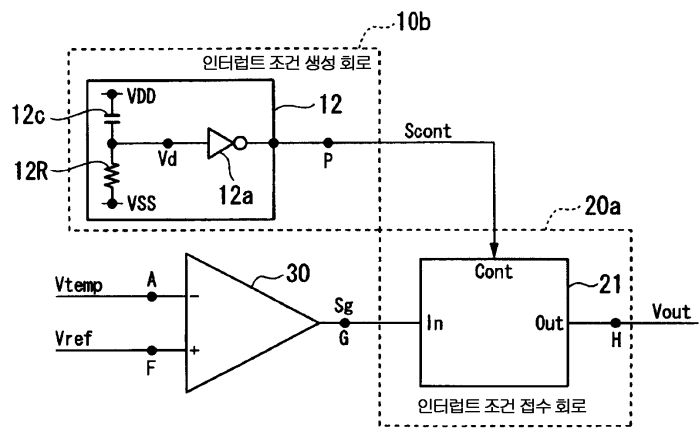


도면8

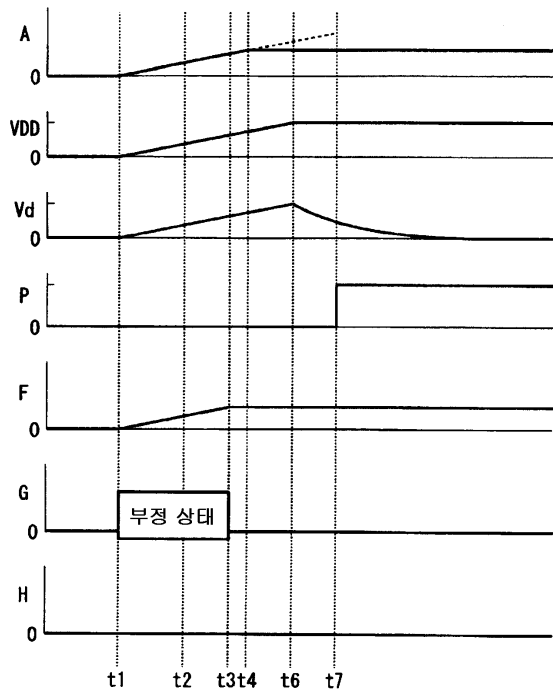


도면9

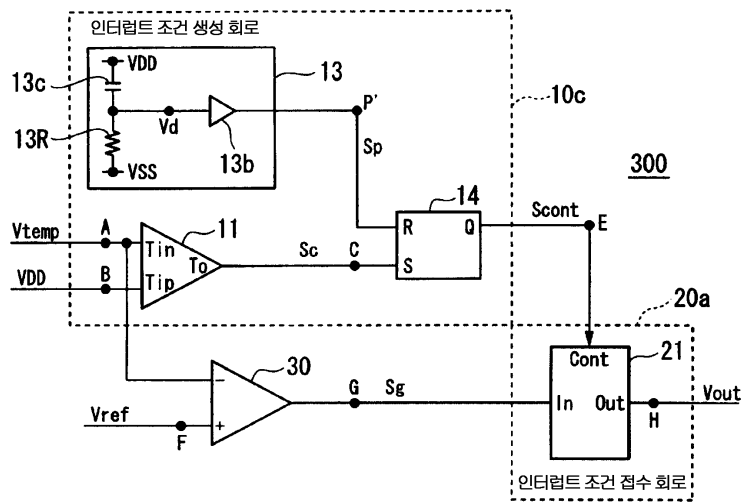
200



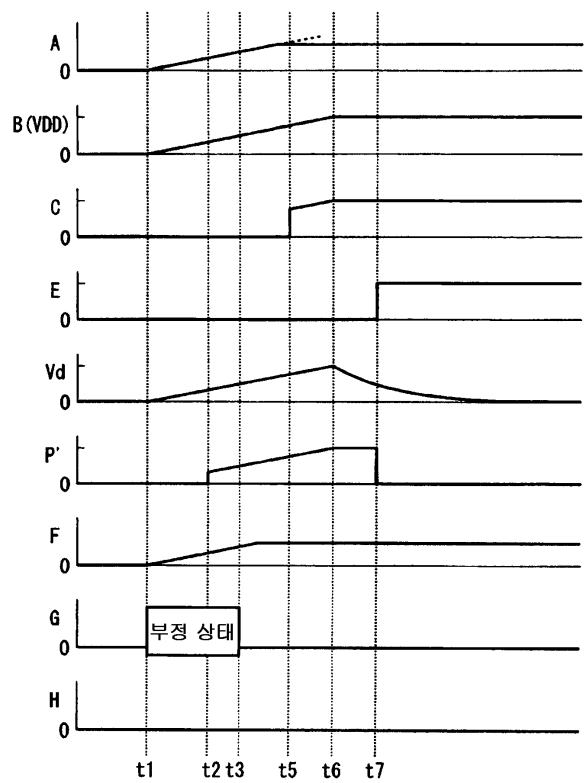
도면10



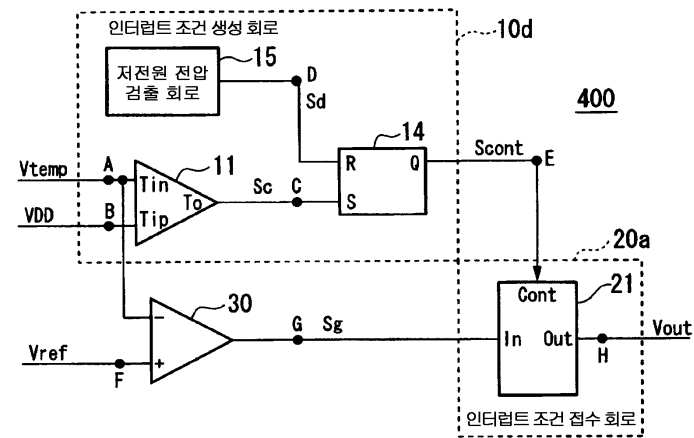
도면11



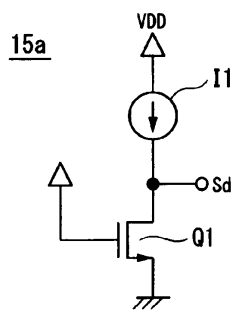
도면12



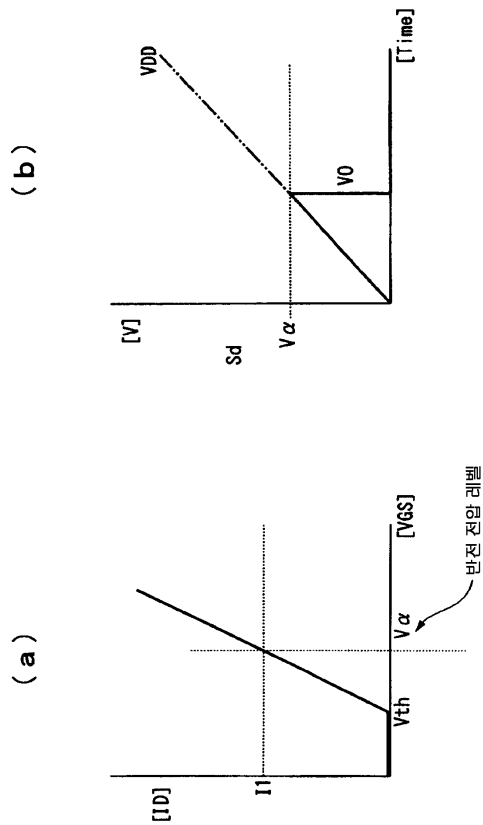
도면13



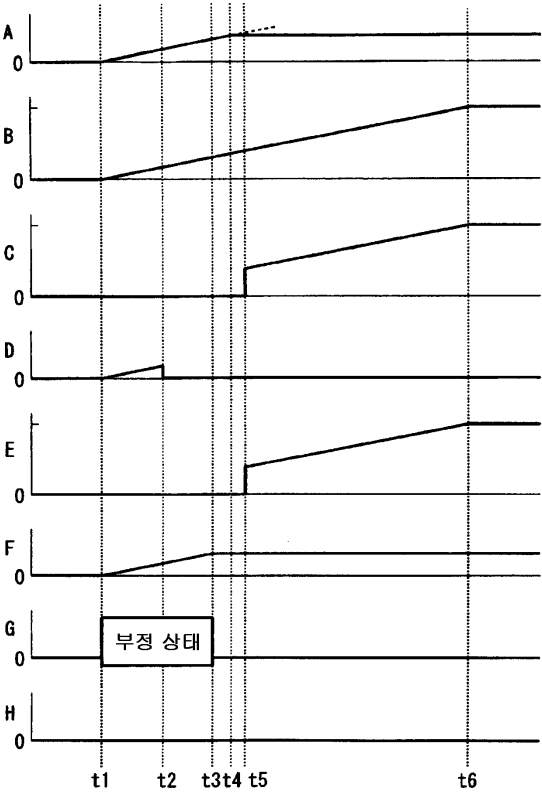
도면14



도면15

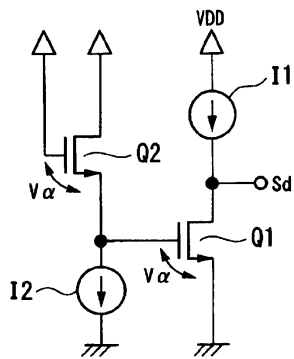


도면16

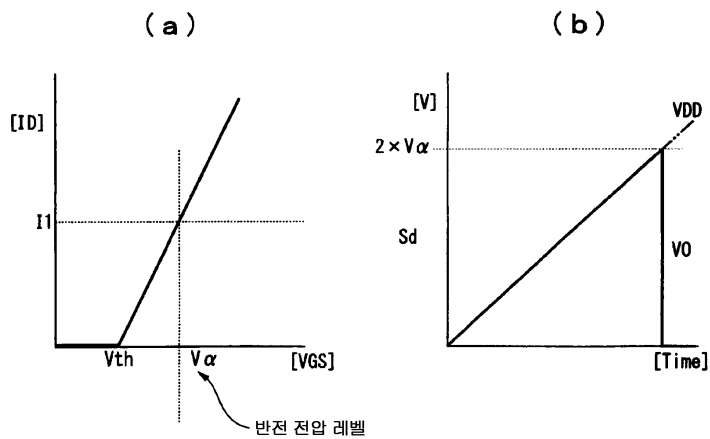


도면17

15b

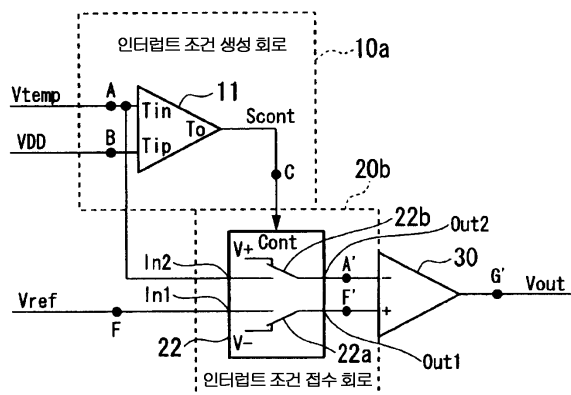


도면18

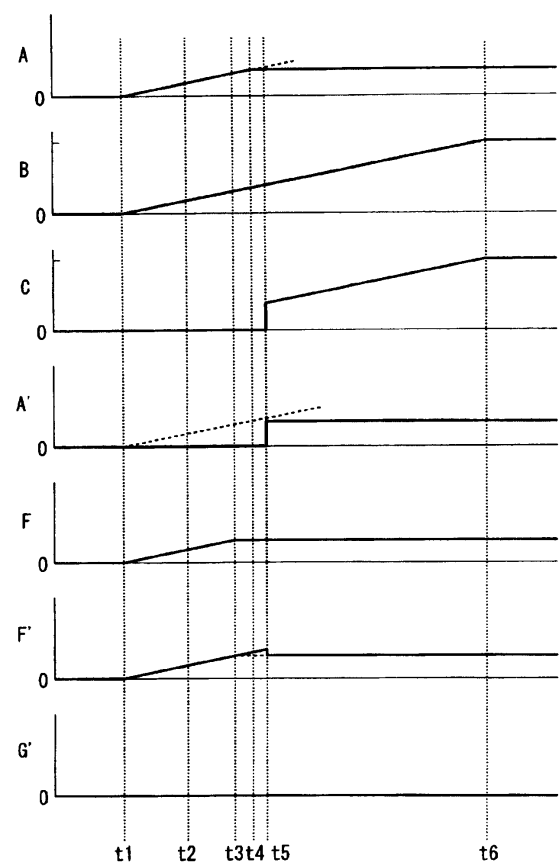


도면19

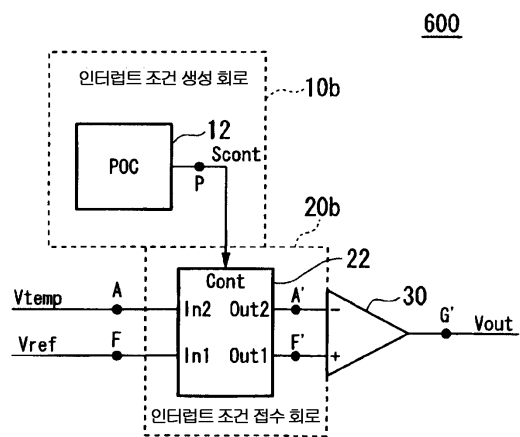
500



도면20



도면21



도면22

