

A1

**DEMANDE
DE BREVET D'INVENTION**

②①

N° 80 19528

⑤④ Cellule de mémoire statique et mémoire formée de telles cellules.

⑤① Classification internationale (Int. Cl.³). G 11 C 11/40.

②② Date de dépôt 10 septembre 1980.

③③ ③② ③① Priorité revendiquée : *Pays-Bas, 11 septembre 1979, n° 79 06 752.*

④① Date de la mise à la disposition du
public de la demande B.O.P.I. — « Listes » n° 12 du 20-3-1981.

⑦① Déposant : NV PHILIPS'GLOEILAMPENFABRIEKEN, société anonyme de droit néerlandais,
résidant aux Pays-Bas.

⑦② Invention de : Jan Lohstroh.

⑦③ Titulaire : *Idem* ⑦①

⑦④ Mandataire : Jean De La Source, société civile S.P.I.D.,
209, rue de l'Université, 75007 Paris.

"Cellule de mémoire statique et mémoire formée de telles cellules."

5 La présente invention concerne une cellule de mémoire bipolaire statique du type à couplage d'émetteur, comportant un premier et un deuxième transistors, la zone de base du premier transistor étant connectée à la zone de collecteur du deuxième transistor et la zone de base du deuxième transistor à la zone de collecteur du premier, et les zones de collecteur étant connectées à une ligne d'alimentation
10 par l'intermédiaire d'un élément de charge.

De telles cellules de mémoire et des mémoires qui en sont équipées sont de manière générale connues.

Selon une forme d'exécution simple, dans des cellules connues, les éléments de charge sont formés par des résistances qui présentent une caractéristique de courant-tension en principe linéaire.
15

Ces cellules ont cependant l'inconvénient de présenter un petit rapport (pratiquement égal à 1) entre le courant de lecture et le courant de mémorisation ou de retenue. Cependant, ce rapport est de préférence aussi grand que possible, comme expliqué ci-dessous dans les grandes lignes.
20

On sait que la cellule peut se trouver dans deux états stables dans lesquels un courant passe soit par le premier soit par le deuxième transistor, en fonction de l'information stockée. En fonctionnement, il arrivera fréquemment
25 que l'information stockée dans une cellule doive être retenue ou conservée mais ne doive pas être lue. Le courant qui, dans ces conditions, passe par la cellule, et qui est qualifié de courant de retenue, est en substance responsable de la dissipation de puissance d'attente (stand by) et est,
30 pour cette raison, maintenu aussi faible que possible. La limite inférieure du courant de retenue est déterminée par l'impédance des éléments de charge. En dessous de cette limite inférieure, les critères de stabilité ne sont plus respectés, ce qui peut entraîner la perte de l'information
35 stockée. Pendant la lecture, un courant important est de

préférence envoyé à travers la cellule pour charger rapidement des capacités parasites et ainsi raccourcir le temps de lecture. La valeur maximale pour le courant de lecture est aussi déterminée par la grandeur de l'impédance de l'élément de charge.

Pour améliorer le rapport courant de retenue/courant de lecture, on a déjà suggéré d'utiliser un élément à résistance non linéaire en lieu et place d'un élément à résistance linéaire. Un tel élément à résistance non linéaire peut, par exemple, être formé par une résistance à laquelle une diode est connectée en parallèle, de sorte qu'un faible courant de retenue peut passer par la résistance relativement élevée et le courant de lecture important peut passer par la diode. Ces diodes fournissent des charges non linéaires au moyen desquelles, dans la pratique, on obtient des rapports de courant de lecture/courant de retenue de 10 à 20. La fabrication des diodes peut être très simple. Dans un procédé bien connu dans lequel intervient une couche épitaxiale du premier type de conduction appliquée sur un substrat du même type de conduction et des couches de collecteur ensevelies intermédiaires du type de conduction opposée, les diodes peuvent, comme cela ressortira clairement de la description des figures, même être fabriquées automatiquement, c'est-à-dire qu'en dehors des domaines de résistance, des jonctions pn supplémentaires sont formées. Les dispositifs obtenus de cette manière simple présentent des propriétés favorables, en ce sens que le courant de retenue faible donne une dissipation faible, tandis que la possibilité d'utiliser un courant de lecture important permet d'obtenir des temps de lecture courts.

Il est cependant souvent souhaitable que les temps de lecture au moyen desquels l'information est enregistrée dans la cellule soient plus courts que ceux permis dans les cellules de mémoire connues jusqu'à présent. L'invention a pour but de procurer une cellule de mémoire bipolaire statique dans laquelle, en conservant un rapport courant

de lecture/courant de retenue favorable, on obtienne un raccourcissement sensible du temps d'enregistrement.

Une cellule de mémoire statique du type ECL (circuit logique à couplage d'émetteur) comporte, suivant l'invention :

- 5 A un corps semiconducteur du premier type de conduction présentant une couche superficielle de valeur ohmique relativement élevée du premier type de conduction adjacente à une surface avec deux flots disposés l'un à côté de l'autre et isolés l'un de l'autre qui sont séparés au-dessous, du
- 10 reste du corps semiconducteur, par des couches ensevelies à valeur ohmique relativement basse du second type de conduction ;
- 15 B un premier et un deuxième transistor respectivement dans un premier et dans l'autre des dits flots, ces transistors comportant chacun une zone de base du premier type de conduction, au moins une zone d'émetteur du second type de conduction adjacente à la surface et une zone de collecteur du second type de conduction qui, au moins en partie, est
- 20 formée par la couche ensevelie associée du second type de conduction ;
- 25 C des connexions en croix entre la zone de base du premier transistor et la zone de collecteur du deuxième transistor et entre la zone de base du deuxième transistor et la zone de collecteur du premier transistor ;
- 30 D un premier et un second élément de charge entre une ligne d'alimentation et les zones de collecteur respectivement du premier et du second transistor, ces éléments de charge comportant chacun une résistance et une diode connectée en parallèle, pour le passage du courant dans le sens conducteur, étant entendu que les résistances du premier et du second élément de charge sont formées respectivement par un domaine de résistance du premier type de conduction qui s'étend entre la zone de base du second transistor et une connexion d'alimentation dans le second flot
- 35 et par un domaine de résistance du premier type de conduction qui s'étend entre la zone de base du premier transistor et une connexion d'alimentation dans le premier ilot

et que les diodes du premier et du second élément de charge sont formées par les jonctions pn respectivement entre la couche ensevelie en dessous du premier flot et le domaine de résistance dans le premier flot et entre la couche ensevelie en dessous du second flot et le domaine de résistance dans le second flot ;

5 E un troisième et un quatrième transistor respectivement dans le premier et dans le deuxième flot à l'endroit des dites connexions d'alimentation, ces transistors comportant une zone de base du premier type de conduction et
10 une zone d'émetteur et de collecteur du second type de conduction, étant entendu que les jonctions émetteur-base de ces transistors sont formées par lesdites jonctions pn entre les couches ensevelies du second type de conduction et
15 les domaines de résistance du premier type de conduction et que les zones de collecteur de ces transistors sont formées par des zones superficielles du second type de conduction placées dans les domaines de résistance et formant
20 avec les domaines de résistance des jonctions pn court-circuitées par les connexions d'alimentation.

Il s'avère qu'avec des cellules de mémoire fabriquées de cette façon, on peut obtenir un rapport de courant de lecture/courant de retenue de 10 à 20, tandis que dans des
25 mémoires de 1k, formées de ces cellules, on peut obtenir des temps d'enregistrement largement inférieurs à 10 ns. Comme cela ressortira davantage de la description des figures, la fabrication de la cellule n'exige aucune phase de processus supplémentaire ou compliquée, tandis que l'espace total que la cellule occupe dans le corps semiconducteur n'est pas supérieur ou n'est qu'à peine supérieur à
30 celui occupé dans les cellules de mémoire connues, ce qui est très important en particulier pour la construction de mémoires plus grandes.

L'invention sera expliquée ci-après plus en détail, dans quelques formes d'exécution et avec référence aux dessins schématiques annexés, dans lesquels :

35

- la figure 1 est une vue en plan du dessus schématique d'une cellule de mémoire statique conforme à l'invention ;

- la figure 2 est une vue en coupe suivant la ligne II-II de la figure 1 ;

5 - la figure 3 est une vue en coupe suivant la ligne III-III de la figure 1 ;

- la figure 4 illustre le schéma électrique équivalent ;

- la figure 5 est une vue en coupe d'une variante d'une cellule de mémoire conforme à l'invention, et

10 - la figure 6 est une vue en coupe d'une autre forme d'exécution d'une cellule de mémoire conforme à l'invention.

Il convient de noter que les figures ne sont pas dessinées à l'échelle et que, dans la vue en plan du dessus, pour plus de clarté, seules les positions réciproques des flots, des ouvertures de contact et des couches de métallisation
15 sont indiquées.

Le dispositif représenté sur les figures 1 à 3 comporte un corps semiconducteur 1 en silicium en substance du premier type de conduction. A titre d'exemple, on choisit à cet effet
20 un corps du type p, mais on peut évidemment aussi partir d'un corps du type n.

Le corps semiconducteur 1 comporte une couche supérieure 3 à valeur ohmique relativement élevée du type p, adjacente à la surface 2, qui peut, par exemple, être formée par une
25 couche épitaxiale de type p relativement faiblement dopée formée par croissance sur le substrat de type p 4 qui aura aussi en général une valeur ohmique relativement élevée.

Dans la couche épitaxiale 3 sont formés des domaines en forme d'îlots 5, 6 isolés électriquement l'un de l'autre et
30 qualifiés ci-après aussi de premier et de second flots. Les flots 5, 6 sont limités, à leurs bords latéraux verticaux, par un diélectrique 7 formé d'un motif d'oxyde de silicium qui s'étend à partir de la surface 2 dans le sens de l'épaisseur du corps semiconducteur 1 jusqu'aux domaines de type n
35 8, 9. Les domaines 8, 9 sont formés par des couches ensevelies relativement fortement dopées qui s'étendent en dessous

de la totalité de l'îlot 5 ou de l'îlot 6 et séparent ces îlots du reste du corps semiconducteur 1. On peut obtenir les couches ensevelies 8,9 d'une manière bien connue en munissant le substrat de type p 4, avant l'application de la
5 couche épitaxiale 3, localement de domaines dopés à l'arsenic à partir desquels les couches ensevelies sont formées par la suite par diffusion de l'arsenic.

Dans l'îlot 5 est formé un premier transistor T_1 comportant une zone de base de type p 10, une zone d'émetteur de
10 type n 11 et une zone de collecteur de type n qui est formée au moins pour partie par la couche ensevelie 8 en dessous de l'îlot 5. Outre la zone d'émetteur 11, le transistor comporte encore une deuxième zone d'émetteur 12 qui sert à la sélection, mais d'autres manières bien connues peuvent bien
15 entendu aussi être utilisées pour sélectionner les sorties.

D'une manière analogue, dans l'îlot 6 est formé un deuxième transistor, indiqué par T_2 , comportant également une zone de base de type p 10, deux zones d'émetteur 11, 12 et une zone de collecteur formée par la couche ensevelie 9 en
20 dessous de l'îlot 6.

Entre la base 10 de T_1 et le collecteur 9 de T_2 se trouve une connexion en croix 13 ayant la forme d'une couche de métal, par exemple de Al qui est en contact avec les zones
9 et 10 par l'intermédiaire des fenêtres de contact 15 ménagées dans la couche d'oxyde 14 recouvrant la surface. Pour
25 les contacts prévus entre la couche d'aluminium 13 et la couche ensevelie 8, 9, peuvent être prévues des zones n 16 profondes (figure 3) qui s'étendent à l'endroit des contacts entre la surface 2 et les couches ensevelies 8, 9.

Il convient de noter que les ouvertures de contact 15, telles qu'indiquées sur la figure 1, peuvent dépasser les bords des îlots, étant donné que ces bords sont quand même limités par le motif d'oxyde de silicium relativement épais
7 dont on peut sans inconvénient éliminer une mince couche
35 pendant l'ouverture des fenêtres 15.

D'une manière analogue, une connexion en croix 13 est présente entre la zone de base 10 du transistor T_2 et le

collecteur 8 du transistor T_1 . Les émetteurs 11 des transistors T_1 et T_2 sont connectés, par l'intermédiaire de fenêtres 15 également chevauchantes, à une ligne métallique 17 et les émetteurs 12 sont connectés aux lignes de sélection 18, 19.

Les zones de collecteur 8, 9 du transistor T_1 ou T_2 sont connectées à une ligne d'alimentation 20 par l'intermédiaire d'éléments de charge qui comportent chacun une résistance et une diode connectée en parallèle sur cette résistance. Ainsi, le collecteur 8 du transistor T_1 est couplé, par l'intermédiaire de la connexion en croix 13 (voir figure 4), à la résistance R_1 et simultanément à la jonction émetteur-base D_1 fonctionnant comme diode du transistor pnp T_{R1} . Le collecteur 9 du transistor T_2 est connecté d'une manière identique à la résistance R_2 et à la diode D_2 connectée en parallèle sur la résistance R_1 qui est formée de la jonction émetteur-base du transistor T_{R2} . Dans la forme d'exécution représentée aux figures 1 à 3, la résistance R_2 est formée par le domaine de type p entre la zone de base 10 du transistor T_1 et la ligne 20, ce domaine étant pourvu à la surface 2 d'une zone de type p 21 fortement dopée par implantation en vue de l'obtention de la résistance souhaitée. La résistance R_1 est formée par le domaine de type p entre la zone de base 10 du transistor T_2 et la ligne 20, ce domaine étant également pourvu d'une zone implantée. A l'endroit des connexions entre les résistances R_1 et R_2 dans la ligne d'alimentation 20 peuvent être placées des zones de contact 22 permettant d'obtenir un bon contact. Les zones 22 peuvent être formées en même temps que les zones de base 10. Les transistors pnp T_{p1} et T_{p2} sont obtenus automatiquement avec les zones 22, en tant qu'émetteurs de type p, les couches ensevelies 8, 9, en tant que zones de base de type n et le substrat 4 de type p, en tant que collecteur. L'amplification de courant β de ces transistors ($\beta = \frac{i_C}{i_B}$) est si basse que pour la lecture des cellules, pratiquement tout le courant passe par les collecteurs et par les zones de collecteur sous la forme d'un courant de diode pour la jonction émetteur-base du transistor T_{R1} ou du

transistor T_{R2} , de sorte que pratiquement aucun courant n'est perdu à travers le substrat.

Pour améliorer la vitesse, comme le montre aussi le schéma de la figure 4, entre la ligne d'alimentation 20 et les collecteurs 8, 9 des transistors T_1 et T_2 est connecté un troisième ou un quatrième transistor npn T_3 ou T_4 à jonction de base-collecteur en court-circuit, ces transistors servant de diodes parallèles aux diodes D_1 ou D_2 . Les transistors T_3 et T_4 peuvent, comme cela ressort entre autres de la figure 2, être obtenus simplement par application, dans les zones de type p 22, d'une zone de type n 23, de préférence au moment de l'application des zones d'émetteur 11, 12 en dessous d'une partie des contacts entre les zones 22 et la ligne d'alimentation 20, de sorte que les jonctions pn 24 entre les zones de type p 22 et les zones de type n 23 sont court-circuitées par la ligne 20. Les transistors T_3 et T_4 sont maintenant formés par les structures npn à fonctionnement inverse dont les couches ensevelies 8, 9 forment les émetteurs, les zones 22,5 ou 22,6, les zones de base et les zones de type n 23, les collecteurs.

Puisque l'on peut choisir des valeurs relativement grandes pour les résistances R_1 et R_2 , étant donné que les courants de lecture importants passent en effet par les diodes D_1 T_3 ou D_2 T_4 , on peut, tout en satisfaisant aux critères de stabilité nécessaires, choisir des courants de retenue ou d'attente (stand by) très faibles (faible dissipation). Des courants de lecture importants sont possibles grâce à la présence des diodes fonctionnant en parallèle D_1 T_3 et D_2 T_4 . De plus, la cellule ici décrite présente des temps d'enregistrement très courts, en dépit de l'importante accumulation de charge en général possible dans les diodes D_1 et D_2 . Aussi longtemps que le courant de saturation des transistors npn T_3 , T_4 est supérieur au courant de saturation des diodes D_1 , D_2 et que la fréquence de coupure des transistors npn T_3 , T_4 est supérieure à celle des diodes D_1 , D_2 (transistors pnp), le temps d'enregistrement de la cellule de mémoire ne sera pas influencé ou ne

sera qu'à peine influencé par les temps de mise hors circuit importants des diodes D_1 , D_2 .

5 A l'aide des cellules de mémoire ici décrites, on réalise des mémoires de 1k bit présentant des rapports de courant de retenue/courant de lecture de 10 à 20 et des
10 temps d'enregistrement nettement inférieurs à 10 ns (5ns). Une telle mémoire peut être fabriquée au moyen de phases de procédé courantes et avec une densité très grande, étant donné que les transistors et des diodes présents en supplément par rapport aux cellules habituelles ne doivent pas être mis en place séparément, mais sont obtenus automatiquement de la manière décrite plus haut.

15 Dans la forme d'exécution ici décrite, on utilise une couche épitaxiale de type p à haute valeur ohmique. L'invention peut cependant aussi être utilisée sans plus lorsque la couche épitaxiale de type p est remplacée par une couche épitaxiale de type n.

20 La figure 5 illustre une variante de la cellule décrite dans la première forme d'exécution, en une vue en coupe correspondant à la vue en coupe de la figure 2, dans laquelle, pour plus de simplicité, la couche d'oxyde 14 est enfermée sur la surface 2 avec les fenêtres qui y sont ménagées. La cellule se distingue de la précédente par le fait que la zone de type n 23 ne doit pas être placée dans
25 la zone de contact 22, mais à côté, dans une partie de prolongement 25 de la zone implantée 21 qui accuse une résistance supérieure à celle de la zone 22. Cette cellule permet d'obtenir une nouvelle amélioration grâce au profil de dopage plus favorable dans la base des transistors npn T_3 , T_4
30 pendant le temps de transit (transit-time) des transistors npn. De plus, on peut de cette façon obtenir des diodes avec un courant de saturation plus élevé.

35 Dans cette forme d'exécution également, la couche épitaxiale de type p 3 peut être remplacée sans plus par une couche épitaxiale de type n.

La figure 6 illustre une autre variante au moyen de laquelle on peut obtenir avantageusement lesdits avantages

(temps de transit plus court et courant de saturation plus élevé). Dans cette forme d'exécution la zone n supplémentaire 23 est disposée à côté de la zone de contact de type p 22 directement dans la couche de type p faiblement dopée 3.

Il est clair que l'invention n'est pas limitée aux formes d'exécution décrites ici, mais que de nombreuses variations sont possibles sans sortir de son cadre.

Ainsi, dans les formes d'exécution décrites, tous les types de conduction peuvent être inversés. Au lieu du motif d'oxyde 7 enseveli, on peut aussi utiliser d'autres moyens d'isolation, par exemple des rainures taillées par morsure chimique. Dans les formes d'exécution de l'invention, pour plus de simplicité, on n'a représenté qu'une seule couche de métallisation. Toutefois, dans des réalisations pratiques dans lesquelles des croisements apparaissent entre les pistes conductrices, il faudra utiliser des câblages à plusieurs couches.

REVENDEICATIONS

1.- Cellule de mémoire bipolaire statique comportant :

- 5 A un corps semiconducteur du premier type de conduction présentant une couche superficielle de valeur ohmique relativement élevée du premier type de conduction adjacente à une surface avec deux flots disposés l'un à côté de l'autre et isolés l'un de l'autre qui sont séparés au-dessous, du reste du corps semiconducteur, par des couches ensevelies à valeur ohmique relativement basse du second type
- 10 de conduction ;
- B un premier et un deuxième transistors respectivement dans un premier et dans l'autre desdits flots, ces transistors comportant chacun une zone de base du premier type de conduction, au moins une zone d'émetteur du second type de
- 15 conduction adjacente à la surface et une zone de collecteur du second type de conduction qui, au moins en partie, est formée par la couche ensevelie associée au second type de conduction ;
- C des connexions en croix entre la zone de base du premier transistor et la zone de collecteur du deuxième transistor et entre la zone de base du deuxième transistor et la zone de collecteur du premier transistor ;
- 20
- D un premier et un second élément de charge entre une ligne d'alimentation et les zones de collecteur respectivement du premier et du second transistor, ces éléments de
- 25 charge comportant chacun une résistance et une diode connectée en parallèle, pour le passage du courant dans le sens conducteur, étant entendu que les résistances du premier et du second élément de charge sont formées respectivement par
- 30 un domaine de résistance du premier type de conduction qui s'étend entre la zone de base du second transistor et une connexion d'alimentation dans le second flot et par un domaine de résistance du premier type de conduction qui s'étend
- 35 entre la zone de base du premier transistor et une connexion d'alimentation dans le premier flot et que les diodes du

premier et du second élément de charge sont formées par les jonctions pn respectivement entre la couche ensevelie en dessous du premier flot et le domaine de résistance dans le premier flot et entre la couche ensevelie en dessous du second flot et le domaine de résistance dans le second flot ;
5 E un troisième et un quatrième transistor respectivement dans le premier et dans le deuxième flot à l'endroit des dites connexions d'alimentation, ces transistors comportant une zone de base du premier type de conduction et une
10 zone d'émetteur et de collecteur du second type de conduction, étant entendu que les jonctions émetteur-base de ces transistors sont formées par lesdites jonctions pn entre les couches ensevelies du second type de conduction et les domaines de résistance du premier type de conduction et que
15 les zones de collecteur de ces transistors sont formées par des zones superficielles du second type de conduction placées dans les domaines de résistance et formant avec les domaines de résistance des jonctions pn court-circuitées par les connexions d'alimentation.

20 2.- Cellule de mémoire statique suivant la revendication 1, caractérisée en ce que les flots sont isolés le long de leur pourtour latéral du reste du corps ~~semiconduc-~~teur par un motif d'oxyde de silicium enseveli ~~qui s'étend~~ à partir de la surface du corps semiconducteur jusqu'aux
25 couches ensevelies.

3.- Cellule de mémoire statique suivant la revendication 1 ou 2, caractérisée en ce que la résistance spécifique d'au moins une partie des domaines de ~~résistance est~~ supérieure à celle des zones de base du premier et du
30 deuxième transistor.

4.- Mémoire statique formée d'un certain nombre de cellules de mémoire suivant l'une quelconque des revendications précédentes.

PL. 1/2

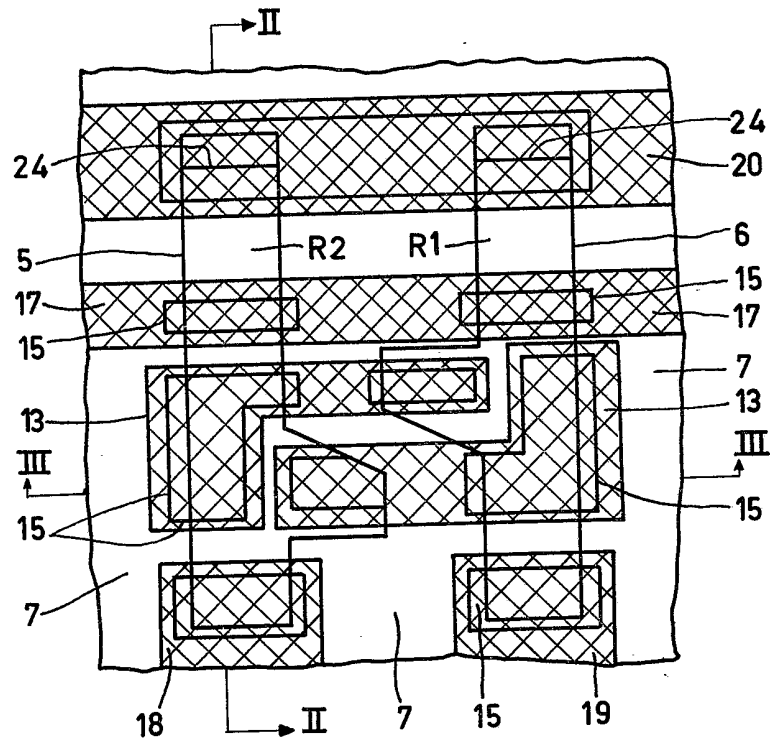


FIG. 1

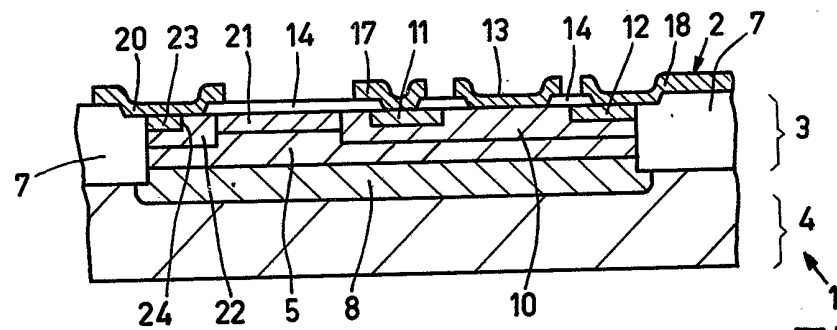


FIG. 2

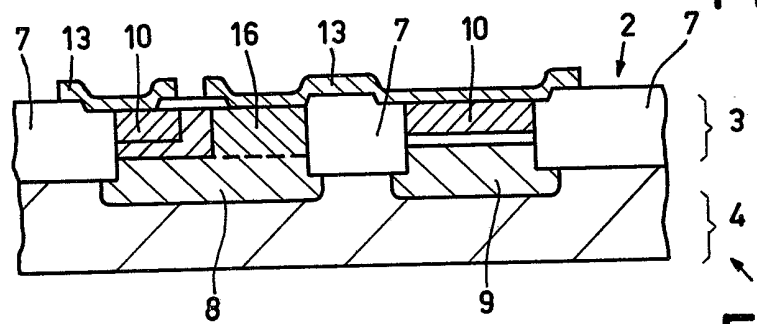


FIG. 3

PL. 2/2

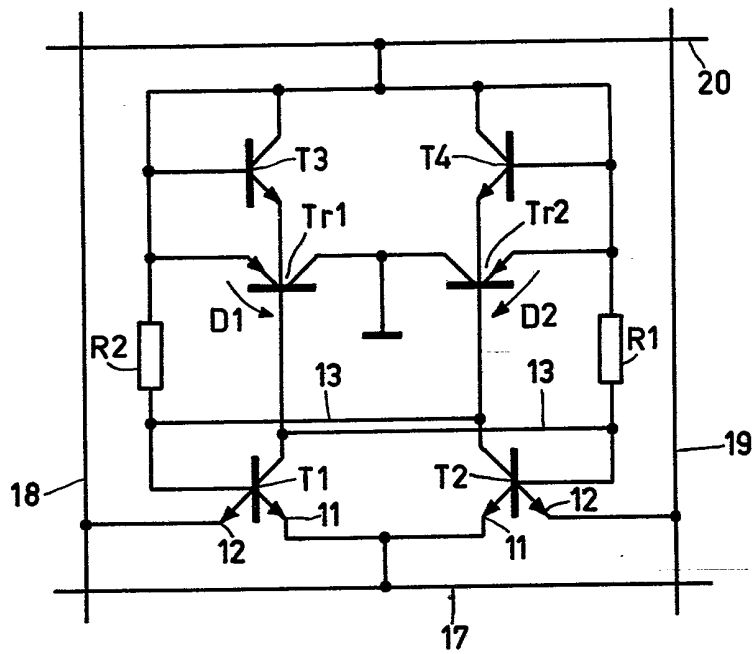


FIG.4

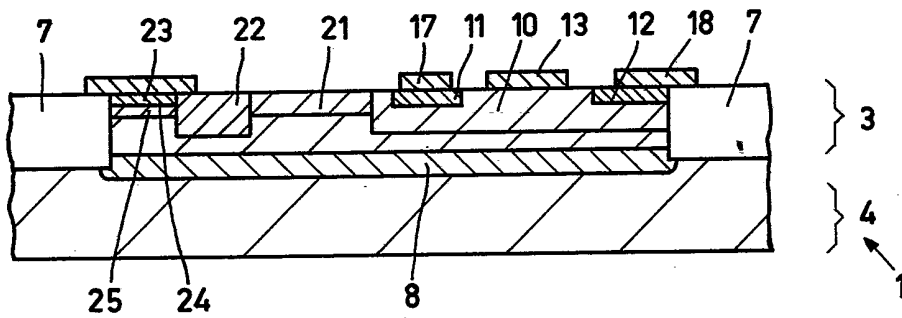


FIG.5

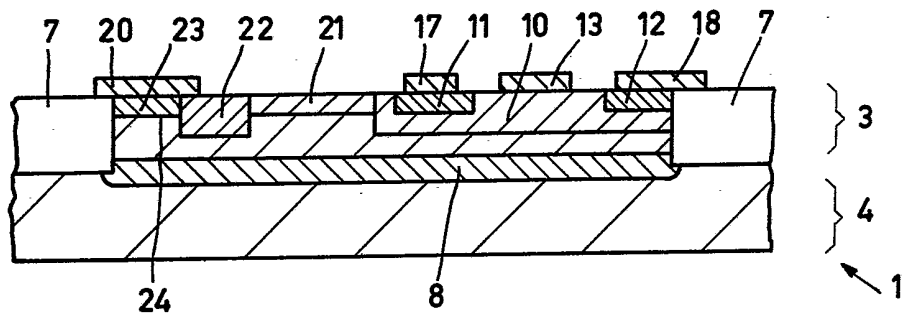


FIG.6