

(19) 日本国特許庁 (JP)

## (12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2010-62546

(P2010-62546A)

(43) 公開日 平成22年3月18日 (2010.3.18)

(51) Int.Cl.	F I	テーマコード (参考)
<b>H O 1 L 29/786 (2006.01)</b>	H O 1 L 29/78 6 1 6 V	2 H O 9 2
<b>H O 1 L 21/28 (2006.01)</b>	H O 1 L 29/78 6 1 8 B	3 K 1 0 7
<b>H O 1 L 29/417 (2006.01)</b>	H O 1 L 29/78 6 1 8 F	4 M 1 0 4
<b>G O 2 F 1/1368 (2006.01)</b>	H O 1 L 29/78 6 1 6 U	5 F 1 1 0
<b>H O 1 L 51/50 (2006.01)</b>	H O 1 L 21/28 3 0 1 B	
審査請求 未請求 請求項の数 15 O L (全 39 頁) 最終頁に続く		

(21) 出願番号	特願2009-181670 (P2009-181670)	(71) 出願人	000153878
(22) 出願日	平成21年8月4日 (2009.8.4)		株式会社半導体エネルギー研究所
(31) 優先権主張番号	特願2008-206125 (P2008-206125)		神奈川県厚木市長谷398番地
(32) 優先日	平成20年8月8日 (2008.8.8)	(72) 発明者	山崎 舜平
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	宮入 秀和
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	宮永 昭治
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	秋元 健吾
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
			最終頁に続く

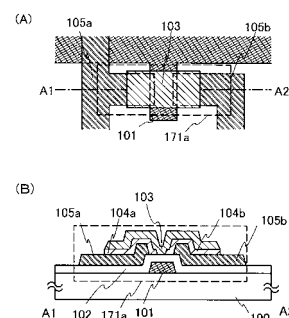
(54) 【発明の名称】 半導体装置およびその作製方法

## (57) 【要約】

【課題】インジウム (I n)、ガリウム (G a)、及び亜鉛 (Z n) を含む酸化物半導体膜を用いる薄膜トランジスタにおいて、ソース電極またはドレイン電極のコンタクト抵抗を低減した薄膜トランジスタ及びその作製方法を提供することを課題の一つとする。

【解決手段】ソース電極層及びドレイン電極層とI G Z O半導体層との間に、I G Z O半導体層よりもキャリア濃度の高いバッファ層を意図的に設けることによってオーミック性のコンタクトを形成する。

【選択図】 図 1



## 【特許請求の範囲】

## 【請求項 1】

ゲート電極層と、前記ゲート電極層上にゲート絶縁層と、前記ゲート絶縁層上にソース電極層及びドレイン電極層と、前記ソース電極層上に n 型の導電型を有する第 1 のバッファ層と、前記ドレイン電極層上に n 型の導電型を有する第 2 のバッファ層と、前記第 1 及び第 2 のバッファ層上に酸化物半導体層とを含む薄膜トランジスタを有し、前記ゲート電極層と重なる前記酸化物半導体層の一部は、前記ゲート絶縁層上に接し、且つ、前記ソース電極層と前記ドレイン電極層の間に設けられ、前記第 1 及び第 2 のバッファ層のキャリア濃度は、前記酸化物半導体層のキャリア濃度より高く、前記酸化物半導体層と前記ソース電極層は前記第 1 のバッファ層を介して電氣的に接続し、前記酸化物半導体層と前記ドレイン電極層は前記第 2 のバッファ層を介して電氣的に接続することを特徴とする半導体装置。

10

## 【請求項 2】

請求項 1 において、前記第 1 及び第 2 のバッファ層は n 型を付与する不純物元素を含むことを特徴とする半導体装置。

## 【請求項 3】

請求項 1 または請求項 2 において、前記酸化物半導体層のキャリア濃度は  $1 \times 10^{17}$  atoms/cm<sup>3</sup> 未満であり、前記第 1 及び第 2 のバッファ層のキャリア濃度は  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 以上であることを特徴とする半導体装置。

20

## 【請求項 4】

請求項 1 乃至 3 のいずれか一項において、さらに前記酸化物半導体層と前記第 1 のバッファ層の間に第 3 のバッファ層と、前記酸化物半導体層と前記第 2 のバッファ層の間に第 4 のバッファ層とを有し、前記第 3 のバッファ層のキャリア濃度は前記酸化物半導体層より高く、前記第 1 のバッファ層より低く、前記第 4 のバッファ層のキャリア濃度は前記酸化物半導体層より高く、前記第 2 のバッファ層より低いことを特徴とする半導体装置。

30

## 【請求項 5】

請求項 1 乃至 4 のいずれか一項において、前記ソース電極層及び前記ドレイン電極層はチタンを含むことを特徴とする半導体装置。

## 【請求項 6】

請求項 1 乃至 5 のいずれか一項において、前記ドレイン電極層の側面と対向する前記ソース電極層の側面は、前記第 1 のバッファ層で覆われ、前記ソース電極層の側面と対向する前記ドレイン電極層の側面は、第 2 のバッファ層で覆われていることを特徴とする半導体装置。

## 【請求項 7】

請求項 1 乃至 5 のいずれか一項において、前記酸化物半導体層はインジウム、ガリウム、及び亜鉛を含むことを特徴とする半導体装置。

40

## 【請求項 8】

請求項 1 乃至 5 のいずれか一項において、前記第 1 及び第 2 のバッファ層はインジウム、ガリウム、及び亜鉛を含むことを特徴とする半導体装置。

## 【請求項 9】

請求項 1 乃至 5 のいずれか一項において、前記第 1 及び第 2 のバッファ層はマグネシウム、アルミニウム、又はチタンを含むことを特徴とする半導体装置。

## 【請求項 10】

基板上にゲート電極層を形成し、前記ゲート電極層上にゲート絶縁層を形成し、前記ゲート絶縁層上にソース電極層及びドレイン電極層を形成し、

50

前記ソース電極層及び前記ドレイン電極層上に n 型の導電性を有するバッファ層を形成し、  
前記バッファ層上に酸化物半導体層を形成し、  
前記バッファ層のキャリア濃度は、前記酸化物半導体層のキャリア濃度より高く、  
前記酸化物半導体層と前記ソース電極層及び前記ドレイン電極層は前記バッファ層を介して電氣的に接続することを特徴とする半導体装置の作製方法。

【請求項 11】

請求項 10 において、前記酸化物半導体層の一部は、前記ゲート電極層と重なる前記ゲート絶縁層上に接し、且つ、前記ソース電極層と前記ドレイン電極層の間に形成することを特徴とする半導体装置の作製方法。

10

【請求項 12】

請求項 10 または請求項 11 において、前記酸化物半導体層のキャリア濃度は  $1 \times 10^{17} \text{ atoms/cm}^3$  未満とし、前記バッファ層のキャリア濃度は  $1 \times 10^{18} \text{ atoms/cm}^3$  以上とすることを特徴とする半導体装置の作製方法。

【請求項 13】

請求項 10 乃至 12 のいずれか一項において、前記酸化物半導体層はインジウム、ガリウム、及び亜鉛を含むことを特徴とする半導体装置の作製方法。

【請求項 14】

請求項 10 乃至 13 のいずれか一項において、前記のバッファ層はインジウム、ガリウム、及び亜鉛を含むことを特徴とする半導体装置の作製方法。

20

【請求項 15】

請求項 10 乃至 14 のいずれか一項において、前記バッファ層にマグネシウム、アルミニウム、又はチタンを含むことを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はチャンネル形成領域に酸化物半導体膜を用いた薄膜トランジスタ（以下、TFT という）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置や有機発光素子を有する発光表示装置を部品として搭載した電子機器に関する。

30

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

近年、マトリクス状に配置された表示画素毎に TFT からなるスイッチング素子を設けたアクティブマトリクス型の表示装置（液晶表示装置や発光表示装置や電気泳動式表示装置）が盛んに開発されている。アクティブマトリクス型の表示装置は、画素（又は 1 ドット）毎にスイッチング素子が設けられており、単純マトリクス方式に比べて画素密度が増えた場合に低電圧駆動できるので有利である。

40

【0004】

また、チャンネル形成領域に酸化物半導体膜を用いて薄膜トランジスタ（TFT）などを作製し、電子デバイスや光デバイスに応用する技術が注目されている。例えば、酸化物半導体膜として酸化亜鉛（ZnO）を用いる TFT や、 $\text{InGaO}_3(\text{ZnO})_m$  を用いる TFT が挙げられる。これらの酸化物半導体膜を用いた TFT を、透光性を有する基板上に形成し、画像表示装置のスイッチング素子などに用いる技術が特許文献 1 及び特許文献 2 で開示されている。

【先行技術文献】

【特許文献】

【0005】

50

【特許文献１】特開２００７－１２３８６１号公報

【特許文献２】特開２００７－９６０５５号公報

【発明の概要】

【発明が解決しようとする課題】

【０００６】

チャンネル形成領域に酸化物半導体膜を用いる薄膜トランジスタには、動作速度が速く、製造工程が比較的簡単であり、十分な信頼性が求められている。

【０００７】

薄膜トランジスタを形成するにあたり、ソース電極及びドレイン電極は、低抵抗な金属材料を用いる。特に、大面積の表示を行う表示装置を製造する際、配線の抵抗による信号の遅延問題が顕著になってくる。従って、配線や電極の材料としては、電気抵抗値の低い金属材料を用いることが望ましい。一方、電気抵抗値の低い金属材料からなるソース電極及びドレイン電極と、酸化物半導体膜とが直接接する薄膜トランジスタ構造とすると、コンタクト抵抗が高くなる恐れがある。コンタクト抵抗が高くなる原因は、ソース電極及びドレイン電極と、酸化物半導体膜との接触面でショットキー接合が形成されることが要因の一つと考えられる。

10

【０００８】

加えて、ソース電極及びドレイン電極と、酸化物半導体膜とが直接接する部分には容量が形成され、周波数特性（ $f$ 特性と呼ばれる）が低くなり、薄膜トランジスタの高速動作を妨げる恐れがある。

20

【０００９】

インジウム（ $In$ ）、ガリウム（ $Ga$ ）、及び亜鉛（ $Zn$ ）を含む酸化物半導体膜を用いる薄膜トランジスタにおいて、ソース電極またはドレイン電極のコンタクト抵抗を低減した薄膜トランジスタ及びその作製方法を提供することを課題の一つとする。

【００１０】

また、 $In$ 、 $Ga$ 、及び $Zn$ を含む酸化物半導体膜を用いる薄膜トランジスタの動作特性や信頼性を向上させることも課題の一つとする。

【００１１】

また、 $In$ 、 $Ga$ 、及び $Zn$ を含む酸化物半導体膜を用いる薄膜トランジスタの電気特性のバラツキを低減することも課題の一つとする。特に、液晶表示装置においては、個々の素子間でのバラツキが大きい場合、その $TF$ 特性のバラツキに起因する表示むらが発生する恐れがある。

30

【００１２】

また、発光素子を有する表示装置においても、画素電極に一定の電流が流れるように配置された $TF$ （駆動回路または画素に配置される発光素子に電流を供給する $TF$ ）のオン電流（ $I_{on}$ ）のバラツキが大きい場合、表示画面において輝度のバラツキが生じる恐れがある。

【００１３】

以上、本発明の一形態は、上記課題の少なくとも一つを解決することを目的とする。

【課題を解決するための手段】

40

【００１４】

本発明の一形態は、半導体層として $In$ 、 $Ga$ 、及び $Zn$ を含む酸化物半導体膜を用い、半導体層とソース電極層及びドレイン電極層との間にバッファ層が設けられた薄膜トランジスタを含むことを要旨とする。

【００１５】

本明細書において、 $In$ 、 $Ga$ 、及び $Zn$ を含む酸化物半導体膜を用いて形成された半導体層を「 $IGZO$ 半導体層」とも記す。

【００１６】

ソース電極層と $IGZO$ 半導体層とはオーミック性のコンタクトが必要であり、さらに、そのコンタクト抵抗は極力低減することが望まれる。同様に、ドレイン電極層と $IGZO$

50

半導体層とはオーミック性のコンタクトが必要であり、さらに、そのコンタクト抵抗は極力低減することが望まれる。

【0017】

そこで、ソース電極層及びドレイン電極層とIGZO半導体層との間に、IGZO半導体層よりもキャリア濃度の高いバッファ層を意図的に設けることによってオーミック性のコンタクトを形成する。

【0018】

バッファ層としては、n型の導電性を有するIn、Ga、及びZnを含む酸化物半導体膜を用いる。バッファ層にn型を付与する不純物元素を含ませてもよい。不純物元素として、例えば、マグネシウム、アルミニウム、チタン、鉄、錫、カルシウム、ゲルマニウム、スカンジウム、イットリウム、ジルコニウム、ハフニウム、ボロン、タリウム、鉛などを用いることができる。マグネシウム、アルミニウム、チタンなどをバッファ層に含めると、酸素のブロッキング効果などがあり、成膜後の加熱処理などによって半導体層の酸素濃度を最適な範囲内に保持できる。

10

【0019】

バッファ層は、n<sup>+</sup>層として機能し、ドレイン領域またはソース領域とも呼ぶことができる。

【0020】

薄膜トランジスタの電気特性のバラツキを低減するためには、IGZO半導体層はアモルファス状態であることが好ましい。

20

【0021】

本明細書で開示する半導体装置の一形態は、ゲート電極層と、該ゲート電極層上にゲート絶縁層と、該ゲート絶縁層上にソース電極層及びドレイン電極層と、該ソース電極層及びドレイン電極層上にn型の導電性を有するバッファ層と、該バッファ層上に半導体層とを含む薄膜トランジスタを有し、ゲート電極層と重なる半導体層の一部は、ゲート絶縁層上に接し、且つ、ソース電極層とドレイン電極層の間に設けられ、半導体層及びバッファ層はインジウム、ガリウム、及び亜鉛を含む酸化物半導体層であり、バッファ層のキャリア濃度は、半導体層のキャリア濃度より高く、半導体層とソース電極層及びドレイン電極層とはバッファ層を介して電氣的に接続する。

【0022】

本発明の一形態は、上記課題の少なくとも一つを解決する。

30

【0023】

上記構成において、さらに、半導体層とバッファ層との間にキャリア濃度が半導体層より高く、バッファ層より低い第2のバッファ層を設けてもよい。第2のバッファ層はn<sup>-</sup>層として機能する。

【0024】

In、Ga、及びZnを含む酸化物半導体膜（IGZO膜）はキャリア濃度が高くなるにつれ、ホール移動度も高くなる特性を有している。よって、In、Ga、及びZnを含む酸化物半導体膜のキャリア濃度とホール移動度の関係は図25に示すようになる。本発明において、半導体層のチャネルとして適するIGZO膜のキャリア濃度範囲（チャネル用濃度範囲1）は $1 \times 10^{17} \text{ atoms/cm}^3$ 未満（より好ましくは $1 \times 10^{11} \text{ atoms/cm}^3$ 以上）、バッファ層として適するIGZO膜のキャリア濃度範囲（バッファ層濃度範囲2）は、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以上（より好ましくは $1 \times 10^{22} \text{ atoms/cm}^3$ 以下）が好ましい。上記IGZO膜のキャリア濃度は、半導体層として用いた場合、室温で、ソース、ドレイン、及びゲート電圧を印加しない状態での値である。

40

【0025】

チャネル用のIGZOのキャリア濃度範囲が上記範囲を越えると、薄膜トランジスタとしてノーマリーオンになる恐れがある。よって上記キャリア濃度範囲内のIGZO膜を半導体層のチャネルとして用いることで信頼性の高い薄膜トランジスタとすることができる。

50

## 【 0 0 2 6 】

また、ソース電極層及びドレイン電極層にチタン膜を用いることが好ましい。例えば、チタン膜、アルミニウム膜、チタン膜の積層を用いると低抵抗であり、かつアルミニウム膜にヒロックが発生しにくい。

## 【 0 0 2 7 】

また、ソース電極層の側面と、該側面と対向するドレイン電極層の側面は、バッファ層で覆われている。従って、薄膜トランジスタのチャネル長 $L$ は、ソース電極層を覆う第1のバッファ層と、ドレイン電極層を覆う第2のバッファ層の間隔に相当する。

## 【 0 0 2 8 】

また、上記構造を実現するための発明の構成は、基板上にゲート電極層を形成し、該ゲート電極層上にゲート絶縁層を形成し、該ゲート絶縁層上にソース電極層及びドレイン電極層を形成し、該ソース電極層及びドレイン電極層上に $n$ 型の導電型を有するバッファ層を形成し、該バッファ層上に半導体層を形成し、該半導体層及びバッファ層はインジウム、ガリウム、及び亜鉛を含む酸化物半導体層を用いて形成し、バッファ層のキャリア濃度は、半導体層のキャリア濃度より高く、半導体層とソース電極層及びドレイン電極層とはバッファ層を介して電氣的に接続することを特徴とする半導体装置の作製方法である。

## 【 0 0 2 9 】

なお、上記作製方法において、半導体層の一部は、ゲート電極層と重なるゲート絶縁層上に接し、且つ、ソース電極層とドレイン電極層の間に形成する。

## 【 0 0 3 0 】

半導体層、 $n$ 型の導電型を有するバッファ層、ソース電極層及びドレイン電極層はスパッタ法（スパッタリング法）で形成すればよい。ゲート絶縁層及び半導体層は酸素雰囲気下（又は酸素90%以上、希ガス（アルゴン）10%以下）で、 $n$ 型の導電型を有するバッファ層は希ガス（アルゴン）雰囲気下で成膜することが好ましい。

## 【 0 0 3 1 】

スパッタ法にはスパッタ用電源に高周波電源を用いるRFスパッタ法と、DCスパッタ法があり、さらにパルス的にバイアスを与えるパルスDCスパッタ法もある。RFスパッタ法は主に絶縁膜を成膜する場合に用いられ、DCスパッタ法は主に金属膜を成膜する場合に用いられる。

## 【 0 0 3 2 】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

## 【 0 0 3 3 】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタ法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタ法を用いるスパッタ装置がある。

## 【 0 0 3 4 】

また、スパッタ法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタ法や、成膜中に基板にも電圧をかけるバイアススパッタ法もある。

## 【 0 0 3 5 】

これら各種のスパッタ法を用いて半導体層、 $n$ 型の導電型を有するバッファ層、ソース電極層及びドレイン電極層を形成する。

## 【 発明の効果 】

## 【 0 0 3 6 】

本発明によって、光電流が少なく、寄生容量が小さく、オンオフ比の高い薄膜トランジスタを得ることができ、良好な動特性を有する薄膜トランジスタを作製できる。よって、電気特性が高く信頼性のよい薄膜トランジスタを有する半導体装置を提供することができる。

10

20

30

40

50

## 【図面の簡単な説明】

## 【0037】

【図1】本発明の一形態の半導体装置を説明する図。

【図2】本発明の一形態の半導体装置を説明する図。

【図3】本発明の一形態の半導体装置の作製方法を説明する図。

【図4】本発明の一形態の半導体装置を説明する図。

【図5】本発明の一形態の半導体装置を説明する図。

【図6】半導体装置のブロック図を説明する図。

【図7】信号線駆動回路の構成を説明する図。

【図8】信号線駆動回路の動作を説明するタイミングチャート。

10

【図9】信号線駆動回路の動作を説明するタイミングチャート。

【図10】シフトレジスタの構成を説明する図。

【図11】図10に示すフリップフロップの接続構成を説明する図。

【図12】本発明の一形態の半導体装置を説明する図。

【図13】本発明の一形態の半導体装置を説明する図。

【図14】本発明の一形態の半導体装置を説明する図。

【図15】本発明の一形態の半導体装置を説明する図。

【図16】本発明の一形態の半導体装置を説明する図。

【図17】本発明の一形態の半導体装置を説明する図。

【図18】本発明の一形態の半導体装置を説明する図。

20

【図19】本発明の一形態の半導体装置を説明する図。

【図20】電子ペーパーの使用形態の例を説明する図。

【図21】電子書籍の一例を示す外観図。

【図22】テレビジョン装置およびデジタルフォトフレームの例を示す外観図。

【図23】遊技機の例を示す外観図。

【図24】携帯電話機の一例を示す外観図。

【図25】ホール移動度とキャリア濃度の関係を説明する図。

## 【発明を実施するための形態】

## 【0038】

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

30

## 【0039】

## (実施の形態1)

本実施の形態では、薄膜トランジスタ及びその作製工程について、図1及び図2を用いて説明する。

## 【0040】

40

本実施の形態のボトムゲート構造の一種(ボトムコンタクト構造とも呼ぶ)である薄膜トランジスタ171a、171bを図1及び図2に示す。図1(A)は平面図であり、図1(B)は図1(A)における線A1-A2の断面図である。

## 【0041】

図1において、基板100上に、ゲート電極層101、ゲート絶縁層102、ソース電極層又はドレイン電極層105a、105b、n型の導電型を有するバッファ層104a、104b、及び半導体層103を有する薄膜トランジスタ171aが設けられている。

## 【0042】

半導体層103としてIn、Ga、及びZnを含む酸化物半導体膜を用い、ソース電極層又はドレイン電極層105a、105bとIGZO半導体層である半導体層103との間

50

に、半導体層 103 よりもキャリア濃度の高いバッファ層 104 a、104 b を意図的に設けることによってオーミック性のコンタクトを形成する。

【0043】

バッファ層 104 a、104 b としては、n 型の導電性を有する In、Ga、及び Zn を含む酸化物半導体膜を用いる。バッファ層 104 a、104 b に n 型を付与する不純物元素を含ませてもよい。不純物元素として、例えばマグネシウム、アルミニウム、チタン、鉄、錫、カルシウム、ゲルマニウム、スカンジウム、イットリウム、ジルコニウム、ハフニウム、ボロン、タリウム、鉛などを用いることができる。マグネシウム、アルミニウム、チタンなどをバッファ層に含めると、酸素のブロック効果などがあり、成膜後の加熱処理などによって半導体層の酸素濃度を最適な範囲内に保持できる。

10

【0044】

本発明において、半導体層のキャリア濃度範囲は  $1 \times 10^{17} \text{ atoms/cm}^3$  未満 (より好ましくは  $1 \times 10^{11} \text{ atoms/cm}^3$  以上)、バッファ層のキャリア濃度範囲は、 $1 \times 10^{18} \text{ atoms/cm}^3$  以上 ( $1 \times 10^{22} \text{ atoms/cm}^3$  以下) が好ましい。

【0045】

チャネル用の IGZO 膜のキャリア濃度範囲が上記範囲を越えると、薄膜トランジスタとしてノーマリーオンになる恐れがある。よって上記キャリア濃度範囲内の IGZO 膜を半導体層のチャネルとして用いることで信頼性の高い薄膜トランジスタとすることができる。

20

【0046】

また半導体層とバッファ層との間に、n - 層として機能するバッファ層よりキャリア濃度が低く半導体層よりキャリア濃度が高い第 2 のバッファ層を設ける場合は、第 2 のバッファ層のキャリア濃度を、半導体層とバッファ層のキャリア濃度の間の濃度範囲とすればよい。

【0047】

バッファ層 104 a、104 b は、n + 層として機能し、ドレイン領域またはソース領域とも呼ぶことができる。

【0048】

図 1 (A) 及び図 1 (B) の薄膜トランジスタ 171 a の作製方法を図 3 (A) 乃至 (E) を用いて説明する。

30

【0049】

基板 100 上にゲート電極層 101、ゲート絶縁層 102、導電膜 117 を形成する (図 3 (A) 参照。)。基板 100 は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、若しくはアルミノシリケートガラスなど、フュージョン法やフロート法で作製される無アルカリガラス基板、セラミック基板の他、本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板等を用いることができる。また、ステンレス合金などの金属基板の表面に絶縁膜を設けた基板を適用しても良い。基板 100 の大きさは、 $320 \text{ mm} \times 400 \text{ mm}$ 、 $370 \text{ mm} \times 470 \text{ mm}$ 、 $550 \text{ mm} \times 650 \text{ mm}$ 、 $600 \text{ mm} \times 720 \text{ mm}$ 、 $680 \text{ mm} \times 880 \text{ mm}$ 、 $730 \text{ mm} \times 920 \text{ mm}$ 、 $1000 \text{ mm} \times 1200 \text{ mm}$ 、 $1100 \text{ mm} \times 1250 \text{ mm}$ 、 $1150 \text{ mm} \times 1300 \text{ mm}$ 、 $1500 \text{ mm} \times 1800 \text{ mm}$ 、 $1900 \text{ mm} \times 2200 \text{ mm}$ 、 $2160 \text{ mm} \times 2460 \text{ mm}$ 、 $2400 \text{ mm} \times 2800 \text{ mm}$ 、又は  $2850 \text{ mm} \times 3050 \text{ mm}$  等を用いることができる。

40

【0050】

また基板 100 上に下地膜として絶縁膜を形成してもよい。下地膜としては、CVD 法やスパッタ法等を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜の単層、又は積層で形成すればよい。

【0051】

ゲート電極層 101 は、チタン、モリブデン、クロム、タンタル、タングステン、アルミニウムなどの金属材料またはその合金材料を用いて形成する。ゲート電極層 101 は、ス

50



パッタ法や真空蒸着法で基板 100 上に導電膜を形成し、当該導電膜上にフォトリソグラフィ技術またはインクジェット法によりマスクを形成し、当該マスクを用いて導電膜をエッチングすることで、形成することができる。また、銀、金、銅などの導電性ナノペーストを用いてインクジェット法により吐出し焼成して、ゲート電極層 101 を形成することができる。なお、ゲート電極層 101 の密着性向上とゲート電極層 101 の材料の基板や下地膜への拡散を防ぐバリアメタルとして、上記金属材料の窒化物膜を、基板 100 及びゲート電極層 101 の間に設けてもよい。また、ゲート電極層 101 は単層構造としても積層構造としてもよく、例えば基板 100 側からモリブデン膜とアルミニウム膜との積層、モリブデン膜とアルミニウムとネオジムとの合金膜との積層、チタン膜とアルミニウム膜との積層、チタン膜、アルミニウム膜及びチタン膜との積層などを用いることができる。

10

#### 【0052】

なお、ゲート電極層 101 上には半導体膜や配線を形成するので、段切れ防止のため端部がテーパ状になるように加工することが望ましい。

#### 【0053】

ゲート絶縁層 102 は、CVD 法やスパッタ法等を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜で形成することができる。図 2 に示す薄膜トランジスタ 171b はゲート絶縁層 102 を積層する例である。

#### 【0054】

ゲート絶縁層 102 として、窒化珪素膜または窒化酸化珪素膜と、酸化珪素膜または酸化窒化珪素膜との順に積層して形成することができる。なお、ゲート絶縁層を 2 層とせず、基板側から窒化珪素膜または窒化酸化珪素膜と、酸化珪素膜または酸化窒化珪素膜と、窒化珪素膜または窒化酸化珪素膜との順に 3 層積層して形成することができる。また、ゲート絶縁層を、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜の単層で形成することができる。

20

#### 【0055】

また、ゲート絶縁層 102 は酸素雰囲気下（又は酸素 90% 以上、希ガス（アルゴン、又はヘリウムなど）10% 以下）で成膜することが好ましい。

#### 【0056】

また、ゲート絶縁層 102 として、プラズマ CVD 法によりゲート電極層 101 上に窒化珪素膜を形成し、窒化珪素膜上にスパッタ法により酸化珪素膜を積層してもよい。プラズマ CVD 法によりゲート電極層 101 上に窒化珪素膜と酸化珪素膜を順に積層し、酸化珪素膜上にさらにスパッタ法により酸化珪素膜を積層してもよい。

30

#### 【0057】

本明細書において、酸化窒化珪素膜とは、その組成として、窒素よりも酸素の含有量が多いものであって、ラザフォード後方散乱法（RBS: Rutherford Backscattering Spectrometry）及び水素前方散乱法（HFS: Hydrogen Forward Scattering）を用いて測定した場合に、濃度範囲として酸素が 50 ~ 70 原子%、窒素が 0.5 ~ 15 原子%、Si が 25 ~ 35 原子%、水素が 0.1 ~ 10 原子% の範囲で含まれるものをいう。また、窒化酸化珪素膜とは、その組成として、酸素よりも窒素の含有量が多いものであって、RBS 及び HFS を用いて測定した場合に、濃度範囲として酸素が 5 ~ 30 原子%、窒素が 20 ~ 55 原子%、Si が 25 ~ 35 原子%、水素が 10 ~ 30 原子% の範囲で含まれるものをいう。但し、酸化窒化珪素膜または窒化酸化珪素膜を構成する原子の合計を 100 原子% としたとき、窒素、酸素、Si 及び水素の含有比率が上記の範囲内に含まれるものとする。

40

#### 【0058】

また、ゲート絶縁層 102 として、アルミニウム、イットリウム、又はハフニウムの酸化物、窒化物、酸化窒化物、又は窒化酸化物の一種又はそれらの化合物を少なくとも 2 種以上含む化合物を用いることもできる。

#### 【0059】

50

また、ゲート絶縁層 102 に、塩素、フッ素などのハロゲン元素を含ませてもよい。ゲート絶縁層 102 中のハロゲン元素の濃度は、濃度ピークにおいて  $1 \times 10^{15} \text{ atoms/cm}^3$  以上  $1 \times 10^{20} \text{ atoms/cm}^3$  以下とすればよい。

【0060】

導電膜 117 は、アルミニウム、若しくは銅、シリコン、チタン、ネオジウム、スカンジウム、モリブデンなどの耐熱性向上元素若しくはヒロック防止元素が添加されたアルミニウム合金の単層または積層で形成することが好ましい。また、後の工程で形成される n 型の導電型を有する半導体膜と接する側の膜を、チタン、タンタル、モリブデン、タングステン、またはこれらの元素の窒化物で形成し、その上にアルミニウムまたはアルミニウム合金を形成した積層構造としても良い。更には、アルミニウムまたはアルミニウム合金の上面及び下面を、チタン、タンタル、モリブデン、タングステン、またはこれらの元素の窒化物で挟んだ積層構造としてもよい。ここでは、導電膜 117 として、チタン膜、アルミニウム膜、及びチタン膜の積層導電膜を用いる。

10

【0061】

チタン膜、アルミニウム膜、チタン膜の積層を用いると低抵抗であり、かつアルミニウム膜にヒロックが発生しにくい。

【0062】

導電膜 117 は、スパッタ法や真空蒸着法で形成する。また、導電膜 117 は、銀、金、銅などの導電性ナノペーストを用いてスクリーン印刷法、インクジェット法等を用いて吐出し焼成して形成しても良い。

20

【0063】

次に導電膜 117 上にマスク 118 を形成し、マスク 118 を用いてエッチングにより導電膜 117 を加工し、ソース電極層又はドレイン電極層 105 a、105 b を形成する（図 3（B）参照。）。

【0064】

次いで、マスク 118 を除去し、ソース電極層又はドレイン電極層 105 a、105 b 上に n 型の導電型を有する In、Ga、及び Zn を含む酸化物半導体膜である n 型の導電型を有する半導体膜を形成する。例えば、IGZO を第 1 のターゲットとし、n 型の導電型を有する材料を第 2 のターゲットとし、同時にスパッタリング法を用いて成膜（共スパッタリング）することにより、混合膜を形成し、バッファ層として用いてもよい。ここで、ソース電極層又はドレイン電極層 105 a、105 b の上面及び側面は、n 型の導電型を有する半導体膜で覆われ、n 型の導電型を有する半導体膜は、ソース電極層又はドレイン電極層 105 a、105 b を保護することができる。

30

【0065】

次いで、n 型の導電型を有する半導体膜上にマスク 116 を形成し、マスク 116 を用いてエッチングにより n 型の導電型を有する半導体膜を加工し、n 型半導体層 115 a、115 b を形成する（図 3（C）参照。）。ここでは、ソース電極層又はドレイン電極層 105 a、105 b を保護するために、n 型の導電型を有する半導体膜でソース電極層又はドレイン電極層 105 a、105 b を覆うパターン形状としている。ただし、図 3（C）に示すパターン形状に限定されず、ソース電極層又はドレイン電極層 105 a、105 b において、少なくともゲート電極に近い側の側面は n 型の導電型を有する半導体膜で覆う必要があるが、ゲート電極から遠い側の側面は特に覆わなくともよい。ソース電極層又はドレイン電極層 105 a、105 b において、ゲート電極に近い側の側面が n 型の導電型を有する半導体膜で覆われていない場合、側面がチャネルを形成する IGZO 膜と直接接することとなり、ショットキー接合が形成され、コンタクト抵抗が高くなる恐れがある。

40

【0066】

また、n 型の導電型を有する半導体膜を加工するエッチングにより形成された n 型半導体層 115 a、115 b の間隔が、薄膜トランジスタのチャネル長となる。n 型半導体層 115 a、115 b の間隔が一定であり、且つその間隔がゲート電極上方に位置していれば位置ずれが生じてもほぼ同じ電気特性を得ることができるため、薄膜トランジスタのバラ

50

ツキを低減することができる。また、 $n$ 型半導体層 115a、115b の間隔をエッチング条件によって自由に決定することができる。従来の薄膜トランジスタはソース電極層とドレイン電極層の間隔がチャンネル長となるが、導電率の高い金属膜やヒロックが生じやすい金属膜を用いるため、ソース電極層とドレイン電極層の間隔を狭い間隔とするとショートする恐れがあった。

#### 【0067】

次いで、マスク 116 を除去して、 $n$ 型半導体層 115a、115b 上に半導体膜 111 を形成する（図 3（D）参照。）。

#### 【0068】

半導体膜 111 としては、In、Ga、及び Zn を含む酸化物半導体膜を形成する。例えば、半導体膜 111 として、スパッタ法を用いて、In、Ga、及び Zn を含む酸化物半導体膜を膜厚 50 nm で形成すればよい。半導体膜 111 は酸素雰囲気下（又は酸素 90 % 以上、希ガス（アルゴン、又はヘリウムなど）10 % 以下）で成膜することが好ましい。

10

#### 【0069】

半導体膜 111 や  $n$  型の導電型を有する半導体膜などの酸化物半導体膜のスパッタ法以外の他の成膜方法としては、パルスレーザー蒸着法（PLD 法）及び電子ビーム蒸着法などの気相法を用いることができる。気相法の中でも、材料系の組成を制御しやすい点では、PLD 法が、量産性の点からは、上述したようにスパッタ法が適している。

#### 【0070】

半導体膜 111 の具体的な成膜条件例としては、直径 8 インチの In、Ga、及び Zn を含む酸化物半導体ターゲットを用いて、基板とターゲットの間との距離を 170 mm、圧力 0.4 Pa、直流（DC）電源 0.5 kW、アルゴン又は酸素雰囲気下で成膜することができる。また、パルス直流（DC）電源を用いると、ごみが軽減でき、膜厚分布も均一となるために好ましい。

20

#### 【0071】

次に半導体膜 111 を加工するためのマスク 113 を形成する（図 3（E）参照。）。マスク 113 を用いて半導体膜 111 をエッチングすることで、半導体層 103 を形成することができる。

#### 【0072】

また、同じマスク 113 を用いてエッチングしてバッファ層 104a、104b を形成する。このため、図 1 に示すように、半導体層 103 の端部と、バッファ層 104a、104b の端部はほぼ一致する形状となる。なお、半導体膜 111 や  $n$  型半導体層 115a、115b などの IGZO 半導体膜のエッチングには、クエン酸やシュウ酸などの有機酸をエッチャントに用いることができる。例えば、50 nm の半導体膜 111 は ITO07N（関東化学社製）を使い 150 秒でエッチング加工できる。

30

#### 【0073】

また、半導体層 103 の端部をテーパを有する形状にエッチングすることで、段差形状による配線の段切れを防ぐことができる。

#### 【0074】

この後、マスク 113 を除去する。以上の工程により、薄膜トランジスタ 171a を形成することができる。なお、薄膜トランジスタ 171a のチャンネル長  $L$  は、 $n$  型半導体層 115a、115b の間隔（バッファ層 104a、104b の間隔）に相当する。従って、 $n$  型半導体層 115a、115b の間隔を変えずに、ソース電極層又はドレイン電極層 105a、105b の間隔を広くすることができる。ソース電極層又はドレイン電極層 105a、105b の間隔を広くすることにより、ヒロックが発生してソース電極層とドレイン電極層の間で短絡が生じることを防止することができる。また、ソース電極層又はドレイン電極層 105a、105b の間隔を広くすることにより、ゲート電極と重なる面積を縮小してゲート電極との寄生容量を低減することができるため、良好な動特性、例えば高い周波数特性（ $f$  特性と呼ばれる）を有する薄膜トランジスタを実現できる。

40

50

## 【0075】

さらに、薄膜トランジスタ171a上に保護膜として絶縁膜を形成してもよい。保護膜としてはゲート絶縁層と同様に形成することができる。なお、保護膜は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。例えば、薄膜トランジスタ171a上に保護膜として酸化珪素膜と窒化珪素膜との積層を形成すればよい。

## 【0076】

また、半導体層103、及びバッファ層104a、104bなどの酸化物半導体膜は成膜後に加熱処理を行うことが好ましい。加熱処理は成膜後であればどの工程で行ってもよいが、成膜直後、保護膜の形成後などで行うことができる。また、他の加熱処理と兼ねて行ってもよい。また加熱温度は300 以上400 以下、好ましくは350 とすればよい。加熱処理は半導体層103とバッファ層104a、104bと別工程で複数回行ってもよい。

10

## 【0077】

また、図2に示す薄膜トランジスタ171bの作製工程を図3を用いて説明する。なお、図2に示す薄膜トランジスタ171bの作製工程は、図1(B)の薄膜トランジスタ171aと作製工程が一部異なるだけであるので、その部分を以下に説明する。

## 【0078】

図2においては、図1(B)とは、ゲート絶縁層102が2層である点と、バッファ層の端部の位置が半導体層の端部の位置と異なっている点が相違点である。

20

## 【0079】

図3(E)に示すマスク113を用いてエッチングする際、半導体層103のみを選択的にエッチングし、n型半導体層115a、115bを残存させると図2に示す薄膜トランジスタ171bを得ることができる。図2においては、n型半導体層115a、115bがバッファ層として機能する。また、薄膜トランジスタ171b上にさらに層間絶縁膜を形成して、層間絶縁膜上に配線を形成する場合、コンタクトホール底面にn型半導体層115a、115bが残存した状態であっても、配線とソース電極層及びドレイン電極層と電氣的に良好な接続を行うことができる。

## 【0080】

本実施の形態では、ゲート電極層、ゲート絶縁層、ソース電極層及びドレイン電極層、バッファ層(In、Ga、及びZnを含みn型の導電性を有する酸化物半導体層)、半導体層(In、Ga、及びZnを含む酸化物半導体層)という積層構造を有する薄膜トランジスタとし、In、Ga、及びZnを含むn型の導電性を有する酸化物半導体層というようなキャリア濃度が高いバッファ層を用いることによって、半導体層の膜厚を薄膜にしたままで、かつ寄生容量を抑制できる。なお、バッファ層は薄膜であっても、ゲート絶縁層に対する割合が十分であるため寄生容量は十分に抑制される。

30

## 【0081】

本実施の形態によって、光電流が少なく、寄生容量が小さく、オンオフ比の高い薄膜トランジスタを得ることができ、良好な動特性を有する薄膜トランジスタを作製できる。よって、電気特性が高く信頼性のよい薄膜トランジスタを有する半導体装置を提供することができる。

40

## 【0082】

(実施の形態2)

本実施の形態は、本発明の一形態のマルチゲート構造の薄膜トランジスタの例である。従って、他は実施の形態1と同様に行うことができ、実施の形態1と同一部分又は同様な機能を有する部分、及び工程の繰り返しの説明は省略する。

## 【0083】

本実施の形態では、半導体装置に用いられる薄膜トランジスタについて、図4(A)(B)及び図5(A)(B)を用いて説明する。

## 【0084】

50

図 4 ( A ) は、薄膜トランジスタを示す平面図であり、図 4 ( B ) は、図 4 ( A ) における線 E 1 - E 2 の薄膜トランジスタ 1 7 2 a を示す断面図に相当する。

【 0 0 8 5 】

図 4 ( A ) ( B ) に示すように、基板 1 5 0 上に、ゲート電極層 1 5 1 a、1 5 1 b、ゲート絶縁層 1 5 2、ソース電極層又はドレイン電極層 1 5 5 a、1 5 5 b、バッファ層 1 5 4 a、1 5 4 b、1 5 4 c、半導体層のチャネル形成領域 1 5 3 a、1 5 3 b を含むマルチゲート構造の薄膜トランジスタ 1 7 2 a が設けられている。なお、マルチゲート構造の薄膜トランジスタ 1 7 2 a において、第 1 のチャネル長 L 1 は、バッファ層 1 5 4 a、1 5 4 c の間隔に相当し、第 2 のチャネル長 L 2 は、バッファ層 1 5 4 b、1 5 4 c の間隔に相当する。

10

【 0 0 8 6 】

半導体層のチャネル形成領域 1 5 3 a、1 5 3 b は、I n、G a、及び Z n を含む酸化物半導体層であり、バッファ層 1 5 4 a、1 5 4 b、1 5 4 c は n 型の導電性を有する I n、G a、及び Z n を含む酸化物半導体層である。ソース領域又はドレイン領域 ( n + 層 ) として機能するバッファ層 1 5 4 a、1 5 4 b は、半導体層のチャネル形成領域 1 5 3 a、1 5 3 b よりキャリア濃度が高い。

【 0 0 8 7 】

半導体層のチャネル形成領域 1 5 3 a と半導体層のチャネル形成領域 1 5 3 b とは、電氣的に接続している。また、半導体層のチャネル形成領域 1 5 3 a はバッファ層 1 5 4 a を介してソース電極層又はドレイン電極層 1 5 5 a と、半導体層のチャネル形成領域 1 5 3 b はバッファ層 1 5 4 b を介してソース電極層又はドレイン電極層 1 5 5 b と電氣的に接続している。

20

【 0 0 8 8 】

図 5 に他の構成のマルチゲート構造の薄膜トランジスタ 1 7 2 b を示す。図 5 ( A ) は、薄膜トランジスタ 1 7 2 b を示す平面図であり、図 5 ( B ) は、図 5 ( A ) における線 F 1 - F 2 の薄膜トランジスタ 1 7 2 b を示す断面図に相当する。図 5 の薄膜トランジスタ 1 7 2 b においては、半導体層が複数に分かれており、ソース電極層又はドレイン電極層 1 5 5 a、1 5 5 b と同工程で形成される配線層 1 5 6 が設けられ、半導体層 1 5 3 c と半導体層 1 5 3 d とはバッファ層 1 5 4 c、1 5 4 d を介して配線層 1 5 6 によって電氣的に接続されている。

30

【 0 0 8 9 】

なお、マルチゲート構造の薄膜トランジスタ 1 7 2 b において、第 1 のチャネル長 L 1 は、バッファ層 1 5 4 a、1 5 4 c の間隔に相当し、第 2 のチャネル長 L 2 は、バッファ層 1 5 4 b、1 5 4 d の間隔に相当する。

【 0 0 9 0 】

このように、本発明の一形態のマルチゲート構造の薄膜トランジスタにおいては、各ゲート電極層上に形成される半導体層は連続して設けられてもよいし、バッファ層及び配線層などを介して複数の半導体層が電氣的に接続して設けられてもよい。

【 0 0 9 1 】

本発明の一形態のマルチゲート構造の薄膜トランジスタは、オフ電流が少なく、そのような薄膜トランジスタを含む半導体装置は高い電気特性及び高信頼性を付与することができる。

40

【 0 0 9 2 】

本実施の形態では、マルチゲート構造としてゲート電極層が 2 つのダブルゲート構造の例を示すが、本発明の一形態はより多くのゲート電極層を有するトリプルゲート構造などにも適用することができる。

【 0 0 9 3 】

本実施の形態は他の実施の形態と適宜組み合わせる実施することができる。

【 0 0 9 4 】

( 実施の形態 3 )

50

本実施の形態では、本発明の一形態の半導体装置の一例である表示装置において、同一基板上に少なくとも駆動回路の一部と、画素部に配置する薄膜トランジスタを作製する例について以下に説明する。

#### 【0095】

画素部に配置する薄膜トランジスタは、実施の形態1または実施の形態2に従って形成する。また、実施の形態1または実施の形態2に示す薄膜トランジスタはnチャネル型TFTであるため、駆動回路のうち、nチャネル型TFTで構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成する。

#### 【0096】

本発明の一形態の半導体装置の一例であるアクティブマトリクス型液晶表示装置のブロック図の一例を図6(A)に示す。図6(A)に示す表示装置は、基板5300上に表示素子を備えた画素を複数有する画素部5301と、各画素を選択する走査線駆動回路5302と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路5303とを有する。

10

#### 【0097】

また、実施の形態1または実施の形態2のいずれかに示す薄膜トランジスタは、nチャネル型TFTであり、nチャネル型TFTで構成する信号線駆動回路について図7を用いて説明する。

#### 【0098】

図7に示す信号線駆動回路は、ドライバIC5601、スイッチ群5602\_\_1~5602\_\_M、第1の配線5611、第2の配線5612、第3の配線5613及び配線5621\_\_1~5621\_\_Mを有する。スイッチ群5602\_\_1~5602\_\_Mそれぞれは、第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cを有する。

20

#### 【0099】

ドライバIC5601は第1の配線5611、第2の配線5612、第3の配線5613及び配線5621\_\_1~5621\_\_Mに接続される。そして、スイッチ群5602\_\_1~5602\_\_Mそれぞれは、第1の配線5611、第2の配線5612、第3の配線5613及びスイッチ群5602\_\_1~5602\_\_Mそれぞれに対応した配線5621\_\_1~5621\_\_Mに接続される。そして、配線5621\_\_1~5621\_\_Mそれぞれは、第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cを介して、3つの信号線に接続される。例えば、J列目の配線5621\_\_J(配線5621\_\_1~配線5621\_\_Mのうちいずれか)は、スイッチ群5602\_\_Jが有する第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cを介して、信号線S<sub>j</sub>-1、信号線S<sub>j</sub>、信号線S<sub>j</sub>+1に接続される。

30

#### 【0100】

なお、第1の配線5611、第2の配線5612、第3の配線5613には、それぞれ信号が入力される。

#### 【0101】

なお、ドライバIC5601は、単結晶基板上に形成されていることが望ましい。さらに、スイッチ群5602\_\_1~5602\_\_Mは、画素部と同一基板上に形成されていることが望ましい。したがって、ドライバIC5601とスイッチ群5602\_\_1~5602\_\_MとはFPCなどを介して接続するとよい。

40

#### 【0102】

次に、図7に示した信号線駆動回路の動作について、図8のタイミングチャートを参照して説明する。なお、図8のタイミングチャートは、i行目の走査線G<sub>i</sub>が選択されている場合のタイミングチャートを示している。さらに、i行目の走査線G<sub>i</sub>の選択期間は、第1のサブ選択期間T<sub>1</sub>、第2のサブ選択期間T<sub>2</sub>及び第3のサブ選択期間T<sub>3</sub>に分割されている。さらに、図7の信号線駆動回路は、他の行の走査線が選択されている場合でも図

50

8と同様の動作をする。

【0103】

なお、図8のタイミングチャートは、J列目の配線5621\_\_Jが第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cを介して、信号線S<sub>j</sub>-1、信号線S<sub>j</sub>、信号線S<sub>j</sub>+1に接続される場合について示している。

【0104】

なお、図8のタイミングチャートは、i行目の走査線G<sub>i</sub>が選択されるタイミング、第1の薄膜トランジスタ5603aのオン・オフのタイミング5703a、第2の薄膜トランジスタ5603bのオン・オフのタイミング5703b、第3の薄膜トランジスタ5603cのオン・オフのタイミング5703c及びJ列目の配線5621\_\_Jに入力される信号5721\_\_Jを示している。

【0105】

なお、配線5621\_\_1～配線5621\_\_Mには第1のサブ選択期間T<sub>1</sub>、第2のサブ選択期間T<sub>2</sub>及び第3のサブ選択期間T<sub>3</sub>において、それぞれ別のビデオ信号が入力される。例えば、第1のサブ選択期間T<sub>1</sub>において配線5621\_\_Jに入力されるビデオ信号は信号線S<sub>j</sub>-1に入力され、第2のサブ選択期間T<sub>2</sub>において配線5621\_\_Jに入力されるビデオ信号は信号線S<sub>j</sub>に入力され、第3のサブ選択期間T<sub>3</sub>において配線5621\_\_Jに入力されるビデオ信号は信号線S<sub>j</sub>+1に入力される。さらに、第1のサブ選択期間T<sub>1</sub>、第2のサブ選択期間T<sub>2</sub>及び第3のサブ選択期間T<sub>3</sub>において、配線5621\_\_Jに入力されるビデオ信号をそれぞれData\_\_j-1、Data\_\_j、Data\_\_j+1とする。

【0106】

図8に示すように、第1のサブ選択期間T<sub>1</sub>において第1の薄膜トランジスタ5603aがオンし、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cがオフする。このとき、配線5621\_\_Jに入力されるData\_\_j-1が、第1の薄膜トランジスタ5603aを介して信号線S<sub>j</sub>-1に入力される。第2のサブ選択期間T<sub>2</sub>では、第2の薄膜トランジスタ5603bがオンし、第1の薄膜トランジスタ5603a及び第3の薄膜トランジスタ5603cがオフする。このとき、配線5621\_\_Jに入力されるData\_\_jが、第2の薄膜トランジスタ5603bを介して信号線S<sub>j</sub>に入力される。第3のサブ選択期間T<sub>3</sub>では、第3の薄膜トランジスタ5603cがオンし、第1の薄膜トランジスタ5603a及び第2の薄膜トランジスタ5603bがオフする。このとき、配線5621\_\_Jに入力されるData\_\_j+1が、第3の薄膜トランジスタ5603cを介して信号線S<sub>j</sub>+1に入力される。

【0107】

以上のことから、図7の信号線駆動回路は、1ゲート選択期間を3つに分割することで、1ゲート選択期間中に1つの配線5621から3つの信号線にビデオ信号を入力することができる。したがって、図7の信号線駆動回路は、ドライバIC5601が形成される基板と、画素部が形成されている基板との接続数を信号線の数に比べて約1/3にすることができる。接続数が約1/3になることによって、図7の信号線駆動回路は、信頼性、歩留まりなどを向上できる。

【0108】

なお、図7のように、1ゲート選択期間を複数のサブ選択期間に分割し、複数のサブ選択期間それぞれにおいて、ある1つの配線から複数の信号線それぞれにビデオ信号を入力することができれば、薄膜トランジスタの配置や数、駆動方法などは限定されない。

【0109】

例えば、3つ以上のサブ選択期間それぞれにおいて1つの配線から3つ以上の信号線それぞれにビデオ信号を入力する場合は、薄膜トランジスタ及び薄膜トランジスタを制御するための配線を追加すればよい。ただし、1ゲート選択期間を4つ以上のサブ選択期間に分割すると、1つのサブ選択期間が短くなる。したがって、1ゲート選択期間は、2つ又は

10

20

30

40

50

3つのサブ選択期間に分割されることが望ましい。

#### 【0110】

別の例として、図9のタイミングチャートに示すように、1つの選択期間をプリチャージ期間 $T_p$ 、第1のサブ選択期間 $T_1$ 、第2のサブ選択期間 $T_2$ 、第3のサブ選択期間 $T_3$ に分割してもよい。さらに、図9のタイミングチャートは、 $i$ 行目の走査線 $G_i$ が選択されるタイミング、第1の薄膜トランジスタ5603aのオン・オフのタイミング5803a、第2の薄膜トランジスタ5603bのオン・オフのタイミング5803b、第3の薄膜トランジスタ5603cのオン・オフのタイミング5803c及び $j$ 列目の配線5621\_\_ $j$ に入力される信号5821\_\_ $j$ を示している。図9に示すように、プリチャージ期間 $T_p$ において第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cがオンする。このとき、配線5621\_\_ $j$ に入力されるプリチャージ電圧 $V_p$ が第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cを介してそれぞれ信号線 $S_{j-1}$ 、信号線 $S_j$ 、信号線 $S_{j+1}$ に入力される。第1のサブ選択期間 $T_1$ において第1の薄膜トランジスタ5603aがオンし、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cがオフする。このとき、配線5621\_\_ $j$ に入力される $Data\_j - 1$ が、第1の薄膜トランジスタ5603aを介して信号線 $S_{j-1}$ に入力される。第2のサブ選択期間 $T_2$ では、第2の薄膜トランジスタ5603bがオンし、第1の薄膜トランジスタ5603a及び第3の薄膜トランジスタ5603cがオフする。このとき、配線5621\_\_ $j$ に入力される $Data\_j$ が、第2の薄膜トランジスタ5603bを介して信号線 $S_j$ に入力される。第3のサブ選択期間 $T_3$ では、第3の薄膜トランジスタ5603cがオンし、第1の薄膜トランジスタ5603a及び第2の薄膜トランジスタ5603bがオフする。このとき、配線5621\_\_ $j$ に入力される $Data\_j + 1$ が、第3の薄膜トランジスタ5603cを介して信号線 $S_{j+1}$ に入力される。

10

20

30

#### 【0111】

以上のことから、図9のタイミングチャートを適用した図7の信号線駆動回路は、サブ選択期間の前にプリチャージ選択期間を設けることによって、信号線をプリチャージできるため、画素へのビデオ信号の書き込みを高速に行うことができる。なお、図9において、図8と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

30

#### 【0112】

また、走査線駆動回路の構成について説明する。走査線駆動回路は、シフトレジスタ、バッファを有している。また場合によってはレベルシフトを有していても良い。走査線駆動回路において、シフトレジスタにクロック信号(CLK)及びスタートパルス信号(SP)が入力されることによって、選択信号が生成される。生成された選択信号はバッファにおいて緩衝増幅され、対応する走査線に供給される。走査線には、1ライン分の画素のトランジスタのゲート電極が接続されている。そして、1ライン分の画素のトランジスタを一斉にONにしないので、バッファは大きな電流を流すことが可能なものが用いられる。

40

#### 【0113】

走査線駆動回路の一部に用いるシフトレジスタの一形態について図10及び図11を用いて説明する。

#### 【0114】

図10にシフトレジスタの回路構成を示す。図10に示すシフトレジスタは、複数のフリップフロップ5701\_\_ $i$  (フリップフロップ5701\_\_1 ~ 5701\_\_ $n$ のうちいずれか)で構成される。また、第1のクロック信号、第2のクロック信号、スタートパルス信号、リセット信号が入力されて動作する。

#### 【0115】

図10のシフトレジスタの接続関係について説明する。図10のシフトレジスタは、 $i$ 段目のフリップフロップ5701\_\_ $i$  (フリップフロップ5701\_\_1 ~ 5701\_\_ $n$ のう

50



ちいずれか一)は、図11に示した第1の配線5501が第7の配線5717 $\_i-1$ に接続され、図11に示した第2の配線5502が第7の配線5717 $\_i+1$ に接続され、図11に示した第3の配線5503が第7の配線5717 $\_i$ に接続され、図11に示した第6の配線5506が第5の配線5715に接続される。

【0116】

また、図11に示した第4の配線5504が奇数段目のフリップフロップでは第2の配線5712に接続され、偶数段目のフリップフロップでは第3の配線5713に接続され、図11に示した第5の配線5505が第4の配線5714に接続される。

【0117】

ただし、1段目のフリップフロップ5701 $\_1$ の図11に示す第1の配線5501は第1の配線5711に接続され、 $n$ 段目のフリップフロップ5701 $\_n$ の図11に示す第2の配線5502は第6の配線5716に接続される。

10

【0118】

なお、第1の配線5711、第2の配線5712、第3の配線5713、第6の配線5716を、それぞれ第1の信号線、第2の信号線、第3の信号線、第4の信号線と呼んでもよい。さらに、第4の配線5714、第5の配線5715を、それぞれ第1の電源線、第2の電源線と呼んでもよい。

【0119】

次に、図10に示すフリップフロップの詳細について、図11に示す。図11に示すフリップフロップは、第1の薄膜トランジスタ5571、第2の薄膜トランジスタ5572、第3の薄膜トランジスタ5573、第4の薄膜トランジスタ5574、第5の薄膜トランジスタ5575、第6の薄膜トランジスタ5576、第7の薄膜トランジスタ5577及び第8の薄膜トランジスタ5578を有する。なお、第1の薄膜トランジスタ5571、第2の薄膜トランジスタ5572、第3の薄膜トランジスタ5573、第4の薄膜トランジスタ5574、第5の薄膜トランジスタ5575、第6の薄膜トランジスタ5576、第7の薄膜トランジスタ5577及び第8の薄膜トランジスタ5578は、 $n$ チャネル型トランジスタであり、ゲート・ソース間電圧( $V_{gs}$ )がしきい値電圧( $V_{th}$ )を上回ったとき導通状態になるものとする。

20

【0120】

次に、図10に示すフリップフロップの接続構成について、以下に示す。

30

【0121】

第1の薄膜トランジスタ5571の第1の電極(ソース電極またはドレイン電極の一方)が第4の配線5504に接続され、第1の薄膜トランジスタ5571の第2の電極(ソース電極またはドレイン電極の他方)が第3の配線5503に接続される。

【0122】

第2の薄膜トランジスタ5572の第1の電極が第6の配線5506に接続され、第2の薄膜トランジスタ5572の第2の電極が第3の配線5503に接続される。

【0123】

第3の薄膜トランジスタ5573の第1の電極が第5の配線5505に接続され、第3の薄膜トランジスタ5573の第2の電極が第2の薄膜トランジスタ5572のゲート電極に接続され、第3の薄膜トランジスタ5573のゲート電極が第5の配線5505に接続される。

40

【0124】

第4の薄膜トランジスタ5574の第1の電極が第6の配線5506に接続され、第4の薄膜トランジスタ5574の第2の電極が第2の薄膜トランジスタ5572のゲート電極に接続され、第4の薄膜トランジスタ5574のゲート電極が第1の薄膜トランジスタ5571のゲート電極に接続される。

【0125】

第5の薄膜トランジスタ5575の第1の電極が第5の配線5505に接続され、第5の薄膜トランジスタ5575の第2の電極が第1の薄膜トランジスタ5571のゲート電極

50

に接続され、第 5 の薄膜トランジスタ 5 5 7 5 のゲート電極が第 1 の配線 5 5 0 1 に接続される。

【 0 1 2 6 】

第 6 の薄膜トランジスタ 5 5 7 6 の第 1 の電極が第 6 の配線 5 5 0 6 に接続され、第 6 の薄膜トランジスタ 5 5 7 6 の第 2 の電極が第 1 の薄膜トランジスタ 5 5 7 1 のゲート電極に接続され、第 6 の薄膜トランジスタ 5 5 7 6 のゲート電極が第 2 の薄膜トランジスタ 5 5 7 2 のゲート電極に接続される。

【 0 1 2 7 】

第 7 の薄膜トランジスタ 5 5 7 7 の第 1 の電極が第 6 の配線 5 5 0 6 に接続され、第 7 の薄膜トランジスタ 5 5 7 7 の第 2 の電極が第 1 の薄膜トランジスタ 5 5 7 1 のゲート電極に接続され、第 7 の薄膜トランジスタ 5 5 7 7 のゲート電極が第 2 の配線 5 5 0 2 に接続される。第 8 の薄膜トランジスタ 5 5 7 8 の第 1 の電極が第 6 の配線 5 5 0 6 に接続され、第 8 の薄膜トランジスタ 5 5 7 8 の第 2 の電極が第 2 の薄膜トランジスタ 5 5 7 2 のゲート電極に接続され、第 8 の薄膜トランジスタ 5 5 7 8 のゲート電極が第 1 の配線 5 5 0 1 に接続される。

【 0 1 2 8 】

なお、第 1 の薄膜トランジスタ 5 5 7 1 のゲート電極、第 4 の薄膜トランジスタ 5 5 7 4 のゲート電極、第 5 の薄膜トランジスタ 5 5 7 5 の第 2 の電極、第 6 の薄膜トランジスタ 5 5 7 6 の第 2 の電極及び第 7 の薄膜トランジスタ 5 5 7 7 の第 2 の電極の接続箇所をノード 5 5 4 3 とする。さらに、第 2 の薄膜トランジスタ 5 5 7 2 のゲート電極、第 3 の薄膜トランジスタ 5 5 7 3 の第 2 の電極、第 4 の薄膜トランジスタ 5 5 7 4 の第 2 の電極、第 6 の薄膜トランジスタ 5 5 7 6 のゲート電極及び第 8 の薄膜トランジスタ 5 5 7 8 の第 2 の電極の接続箇所をノード 5 5 4 4 とする。

【 0 1 2 9 】

なお、第 1 の配線 5 5 0 1、第 2 の配線 5 5 0 2、第 3 の配線 5 5 0 3 及び第 4 の配線 5 5 0 4 を、それぞれ第 1 の信号線、第 2 の信号線、第 3 の信号線、第 4 の信号線と呼んでもよい。さらに、第 5 の配線 5 5 0 5 を第 1 の電源線、第 6 の配線 5 5 0 6 を第 2 の電源線と呼んでもよい。

【 0 1 3 0 】

また、信号線駆動回路及び走査線駆動回路を実施の形態 1 または実施の形態 2 に示す n チャンネル型 T F T のみで作製することも可能である。実施の形態 1 または実施の形態 2 に示す n チャンネル型 T F T はトランジスタの移動度が大きいため、駆動回路の駆動周波数を高くすることが可能となる。また、実施の形態 1 または実施の形態 2 に示す n チャンネル型 T F T は n 型を有するインジウム、ガリウム、及び亜鉛を含む酸化物半導体層であるバッファ層により寄生容量が低減されるため、周波数特性 ( f 特性と呼ばれる ) が高い。例えば、実施の形態 1 または実施の形態 2 に示す n チャンネル型 T F T を用いた走査線駆動回路は、高速に動作させることが出来るため、フレーム周波数を高くすること、または、黒画面挿入を実現することなども実現することが出来る。

【 0 1 3 1 】

さらに、走査線駆動回路のトランジスタのチャンネル幅を大きくすることや、複数の走査線駆動回路を配置することなどによって、さらに高いフレーム周波数を実現することが出来る。複数の走査線駆動回路を配置する場合は、偶数行の走査線を駆動する為の走査線駆動回路を片側に配置し、奇数行の走査線を駆動するための走査線駆動回路をその反対側に配置することにより、フレーム周波数を高くすることを実現することが出来る。

【 0 1 3 2 】

また、本発明の一形態の半導体装置の一例であるアクティブマトリクス型発光表示装置を作製する場合、少なくとも一つの画素に複数の薄膜トランジスタを配置するため、走査線駆動回路を複数配置することが好ましい。アクティブマトリクス型発光表示装置のブロック図の一例を図 6 ( B ) に示す。

【 0 1 3 3 】

図 6 ( B ) に示す発光表示装置は、基板 5 4 0 0 上に表示素子を備えた画素を複数有する画素部 5 4 0 1 と、各画素を選択する第 1 の走査線駆動回路 5 4 0 2 及び第 2 の走査線駆動回路 5 4 0 4 と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路 5 4 0 3 とを有する。

【 0 1 3 4 】

図 6 ( B ) に示す発光表示装置の画素に入力されるビデオ信号をデジタル形式とする場合、画素はトランジスタのオンとオフの切り替えによって、発光もしくは非発光の状態となる。よって、面積階調法または時間階調法を用いて階調の表示を行うことができる。面積階調法は、1 画素を複数の副画素に分割し、各副画素を独立にビデオ信号に基づいて駆動させることによって、階調表示を行う駆動法である。また時間階調法は、画素が発光する期間を制御することによって、階調表示を行う駆動法である。

10

【 0 1 3 5 】

発光素子は、液晶素子などに比べて応答速度が高いため、液晶素子よりも時間階調法に適している。具体的に時間階調法で表示を行なう場合、1 フレーム期間を複数のサブフレーム期間に分割する。そしてビデオ信号に従い、各サブフレーム期間において画素の発光素子を発光または非発光の状態にする。複数のサブフレーム期間に分割することによって、1 フレーム期間中に画素が実際に発光する期間のトータルの長さを、ビデオ信号により制御することができ、階調を表示することができる。

【 0 1 3 6 】

なお、図 6 ( B ) に示す発光表示装置では、一つの画素にスイッチング用 T F T と、電流制御用 T F T との 2 つを配置する場合、スイッチング用 T F T のゲート配線である第 1 の走査線に入力される信号を第 1 走査線駆動回路 5 4 0 2 で生成し、電流制御用 T F T のゲート配線である第 2 の走査線に入力される信号を第 2 の走査線駆動回路 5 4 0 4 で生成している例を示しているが、第 1 の走査線に入力される信号と、第 2 の走査線に入力される信号とを、共に 1 つの走査線駆動回路で生成するようにしても良い。また、例えば、スイッチング素子が有する各トランジスタの数によって、スイッチング素子の動作を制御するのに用いられる第 1 の走査線が、各画素に複数設けられることもあり得る。この場合、複数の第 1 の走査線に入力される信号を、全て 1 つの走査線駆動回路で生成しても良いし、複数の各走査線駆動回路で生成しても良い。

20

【 0 1 3 7 】

また、発光表示装置においても、駆動回路のうち、n チャネル型 T F T で構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成することができる。また、信号線駆動回路及び走査線駆動回路を実施の形態 1 または実施の形態 2 に示す n チャネル型 T F T のみで作製することも可能である。

30

【 0 1 3 8 】

また、上述した駆動回路は、液晶表示装置や発光表示装置に限らず、スイッチング素子と電氣的に接続する素子を利用して電子インクを駆動させる電子ペーパーに用いてもよい。電子ペーパーは、電気泳動表示装置（電気泳動ディスプレイ）も呼ばれており、紙と同じ読みやすさ、他の表示装置に比べ低消費電力、薄くて軽い形状とすることが可能という利点を有している。

40

【 0 1 3 9 】

電気泳動ディスプレイは、様々な形態が考えられ得るが、プラスの電荷を有する第 1 の粒子と、マイナスの電荷を有する第 2 の粒子とを含むマイクロカプセルが溶媒または溶質に複数分散されたものであり、マイクロカプセルに電界を印加することによって、マイクロカプセル中の粒子を互いに反対方向に移動させて一方側に集合した粒子の色のみを表示するものである。なお、第 1 の粒子または第 2 の粒子は染料を含み、電界がない場合において移動しないものである。また、第 1 の粒子の色と第 2 の粒子の色は異なるもの（無色を含む）とする。

【 0 1 4 0 】

このように、電気泳動ディスプレイは、誘電定数の高い物質が高い電界領域に移動する、

50

いわゆる誘電泳動的効果を利用したディスプレイである。電気泳動ディスプレイは、液晶表示装置には必要な偏光板、対向基板も電気泳動表示装置には必要なく、厚さや重さが半減する。

【0141】

上記マイクロカプセルを溶媒中に分散させたものが電子インクと呼ばれるものであり、この電子インクはガラス、プラスチック、布、紙などの表面に印刷することができる。また、カラーフィルタや色素を有する粒子を用いることによってカラー表示も可能である。

【0142】

また、アクティブマトリクス基板上に適宜、二つの電極の間に挟まれるように上記マイクロカプセルを複数配置すればアクティブマトリクス型の表示装置が完成し、マイクロカプセルに電界を印加すれば表示を行うことができる。例えば、実施の形態1または実施の形態2の薄膜トランジスタによって得られるアクティブマトリクス基板を用いることができる。

10

【0143】

なお、マイクロカプセル中の第1の粒子および第2の粒子は、導電体材料、絶縁体材料、半導体材料、磁性材料、液晶材料、強誘電性材料、エレクトロルミネセント材料、エレクトロクロミック材料、磁気泳動材料から選ばれた一種の材料、またはこれらの複合材料を用いればよい。

【0144】

以上の工程により、半導体装置として信頼性の高い表示装置を作製することができる。

20

【0145】

本実施の形態は、実施の形態1または実施の形態2に記載した構成と適宜組み合わせて実施することが可能である。

【0146】

(実施の形態4)

本発明の一形態の薄膜トランジスタを作製し、該薄膜トランジスタを画素部、さらには駆動回路に用いて表示機能を有する半導体装置(表示装置ともいう)を作製することができる。また、本発明の一形態の薄膜トランジスタを用いた駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

30

【0147】

表示装置は表示素子を含む。表示素子としては液晶素子(液晶表示素子ともいう)、発光素子(発光表示素子ともいう)を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL(Electro Luminescence)素子、有機EL素子等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。

【0148】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに本発明の一形態は、該表示装置を作製する過程における、表示素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、表示素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であって、エッチングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

40

【0149】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源(照明装置含む)を指す。また、コネクタ、例えばFPC(Flexible printed circuit)もしくはTAB(Tape Automated Bonding)テープもしくはTCP(Tape Carrier Package)が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG(Chip On Glass)方式によりIC(集積回

50

路)が直接実装されたモジュールも全て表示装置に含むものとする。

【0150】

本実施の形態では、本発明の一形態の半導体装置として液晶表示装置の例を示す。

【0151】

図12(A)(B)に、本発明を適用したアクティブマトリクス型の液晶表示装置を示す。図12(A)は液晶表示装置の平面図であり、図12(B)は図12(A)における線V-Xの断面図である。半導体装置に用いられる薄膜トランジスタ201としては、実施の形態2で示す薄膜トランジスタと同様に作製でき、IGZO半導体層及びn型の導電性を有するIGZO半導体層を含む信頼性の高い薄膜トランジスタである。また、実施の形態1で示す薄膜トランジスタも本実施の薄膜トランジスタ201として適用することもできる。

10

【0152】

図12(A)の本実施の形態の液晶表示装置は、ソース配線層202、マルチゲート構造の薄膜トランジスタ201、ゲート配線層203、容量配線層204を含む。

【0153】

また、図12(B)において、本実施の形態の液晶表示装置は、マルチゲート構造の薄膜トランジスタ201、絶縁層211、絶縁層212、絶縁層213、及び表示素子に用いる電極層255、配向膜として機能する絶縁層261、偏光板268が設けられた基板200と、配向膜として機能する絶縁層263、表示素子に用いる電極層265、カラーフィルタとして機能する着色層264、偏光板267が設けられた基板266とが液晶層262を挟持して対向しており、液晶表示素子260を有している。

20

【0154】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層262に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が $10\mu s \sim 100\mu s$ と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

【0155】

なお図12は透過型液晶表示装置の例であるが、本発明の一形態は反射型液晶表示装置でも半透過型液晶表示装置でも適用できる。

30

【0156】

また、図12の液晶表示装置では、基板266の外側(視認側)に偏光板267を設け、内側に着色層264、表示素子に用いる電極層265という順に設ける例を示すが、偏光板267は基板266の内側に設けてもよい。また、偏光板と着色層の積層構造も図12Bに限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、ブラックマトリクスとして機能する遮光膜を設けてもよい。

【0157】

また、本実施の形態では、薄膜トランジスタの表面凹凸を低減するため、及び薄膜トランジスタの信頼性を向上させるため、実施の形態2で得られた薄膜トランジスタを保護膜や平坦化絶縁膜として機能する絶縁層(絶縁層211、絶縁層212、絶縁層213)で覆う構成となっている。なお、保護膜は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。保護膜は、CVD法、またはスパッタ法等を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜の単層、又は積層で形成すればよい。また、保護膜として、プロセスガスに有機シランガスと酸素を用いて、プラズマCVD法で酸化珪素膜を形成してもよい。

40

【0158】

有機シランとは、珪酸エチル(TEOS:化学式 $Si(OC_2H_5)_4$ )、テトラメチルシラン(TMOS:化学式 $Si(CH_3)_4$ )、テトラメチルシクロテトラシロキサン(T

50

M C T S )、オクタメチルシクロテトラシロキサン ( O M C T S )、ヘキサメチルジシラザン ( H M D S )、トリエトキシシラン (  $\text{SiH}(\text{OC}_2\text{H}_5)_3$  )、またはトリスジメチルアミノシラン (  $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$  ) などの化合物である。

【 0 1 5 9 】

保護膜の一層目として絶縁層 2 1 1 を形成する。絶縁層 2 1 1 は、アルミニウム膜のヒロック防止に効果がある。ここでは、絶縁層 2 1 1 として、プラズマ C V D 法を用いて酸化珪素膜を形成する。酸化珪素膜の成膜用プロセスガスには、T E O S、および  $\text{O}_2$  を用い、その流量は、 $\text{T E O S} \setminus \text{O}_2 = 15 \setminus 750$  ( s c c m ) である。成膜工程の基板温度は 3 0 0 である。

【 0 1 6 0 】

また、保護膜の二層目として絶縁層 2 1 2 を形成する。ここでは、絶縁層 2 1 2 として、プラズマ C V D 法を用いて窒化珪素膜を形成する。窒化珪素膜の成膜用プロセスガスには、 $\text{SiH}_4$ 、 $\text{N}_2$ 、 $\text{NH}_3$  および  $\text{H}_2$  を用いる。保護膜の一層として窒化珪素膜を用いると、ナトリウム等の可動イオンが半導体領域中に侵入して、T F T の電気特性を変化させることを抑制することができる。

【 0 1 6 1 】

また、保護膜を形成した後に、I G Z O 半導体層のアニール ( 3 0 0 ~ 4 0 0 ) を行ってもよい。

【 0 1 6 2 】

また、平坦化絶縁膜として絶縁層 2 1 3 を形成する。絶縁層 2 1 3 としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料 ( l o w - k 材料 )、シロキサン系樹脂、P S G ( リンガラス )、B P S G ( リンボロンガラス ) 等を用いることができる。シロキサン系樹脂は、置換基に水素の他、フッ素、アルキル基、またはアリール基のうち少なくとも 1 種を有していてもよい。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層 2 1 3 を形成してもよい。

【 0 1 6 3 】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成された  $\text{Si} - \text{O} - \text{Si}$  結合を含む樹脂に相当する。シロキサン系樹脂は、置換基に水素の他、フッ素、アルキル基、または芳香族炭化水素のうち、少なくとも 1 種を有していてもよい。

【 0 1 6 4 】

絶縁層 2 1 3 の形成には、その材料に応じて、C V D 法、スパッタ法、S O G 法、スピコート、ディップ、スプレー塗布、液滴吐出法 ( インクジェット法、スクリーン印刷、オフセット印刷等 )、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。絶縁層 2 1 3 を材料液を用いて形成する場合、バークする工程で同時に、I G Z O 半導体層のアニール ( 3 0 0 ~ 4 0 0 ) を行ってもよい。絶縁層 2 1 3 の焼成工程と I G Z O 半導体層のアニールを兼ねることで効率よく半導体装置を作製することが可能となる。

【 0 1 6 5 】

画素電極層として機能する電極層 2 5 5、2 6 5 は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物 ( 以下、I T O と示す )、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

【 0 1 6 6 】

また、電極層 2 5 5、2 6 5 として、導電性高分子 ( 導電性ポリマーともいう ) を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が 1 0 0 0 0 / 以下、波長 5 5 0 n m における透光率が 7 0 % 以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が 0 . 1 ・ c m 以下であることが好ましい。

10

20

30

40

50

## 【0167】

導電性高分子としては、いわゆる 電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

## 【0168】

以上の工程により、半導体装置として信頼性の高い液晶表示装置を作製することができる。

## 【0169】

本実施の形態は、実施の形態1乃至3のいずれかーに記載した構成と適宜組み合わせで実施することが可能である。

10

## 【0170】

(実施の形態5)

本実施の形態では、本発明の一形態の半導体装置として電子ペーパーの例を示す。

## 【0171】

図13は、本発明を適用した半導体装置の例としてアクティブマトリクス型の電子ペーパーを示す。半導体装置に用いられる薄膜トランジスタ581としては、実施の形態2で示す薄膜トランジスタと同様に作製でき、IGZO半導体層及びn型の導電性を有するIGZO半導体層を含む信頼性の高い薄膜トランジスタである。また、実施の形態1で示す薄膜トランジスタも本実施の薄膜トランジスタ581として適用することもできる。

20

## 【0172】

図13の電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極層である第1の電極層及び第2の電極層の間に配置し、第1の電極層及び第2の電極層に電位差を生じさせての球形粒子の向きを制御することにより、表示を行う方法である。

## 【0173】

薄膜トランジスタ581はマルチゲート構造の逆スタガ型的一种(ボトムコンタクト型とも呼ぶ)の薄膜トランジスタであり、ソース電極層又はドレイン電極層によって第1の電極層587と、絶縁層585に形成する開口で接しており電氣的に接続している。第1の電極層587と第2の電極層588との間には黒色領域590a及び白色領域590bを有し、周りに液体で満たされているキャビティ594を含む球形粒子589が設けられており、球形粒子589の周囲は樹脂等の充填材595で充填されている(図13参照。)

30

## 【0174】

また、ツイストボールの代わりに、電気泳動素子を用いることも可能である。透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径10 $\mu$ m~200 $\mu$ m程度のマイクロカプセルを用いる。第1の電極層と第2の電極層との間に設けられるマイクロカプセルは、第1の電極層と第2の電極層によって、電場が与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、一般的に電子ペーパーとよばれている。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電波発信源から表示機能付き半導体装置(単に表示装置、又は表示装置を具備する半導体装置ともいう)を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。

40

## 【0175】

以上の工程により、半導体装置として信頼性の高い電子ペーパーを作製することができる。

## 【0176】

本実施の形態は、実施の形態1乃至3のいずれかーに記載した構成と適宜組み合わせで実

50

施することが可能である。

【0177】

(実施の形態6)

本実施の形態では、本発明の一形態の半導体装置として発光表示装置の例を示す。表示装置の有する表示素子としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

【0178】

有機EL素子は、発光素子に電圧を印加することにより、一对の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア(電子および正孔)が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

10

【0179】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光である。薄膜型無機EL素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機EL素子を用いて説明する。

20

【0180】

図14(A)(B)は、本発明を適用した半導体装置の例としてアクティブマトリクス型の発光表示装置を示す。図14(A)は発光表示装置の平面図であり、図14(B)は図14(A)における線Y-Zの断面図である。なお、図15に、図14に示す発光表示装置の等価回路を示す。

【0181】

半導体装置に用いられる薄膜トランジスタ301、302としては、実施の形態1及び実施の形態2で示す薄膜トランジスタと同様に作製でき、IGZO半導体層及びn型の導電型を有するIGZO半導体層を含む信頼性の高い薄膜トランジスタである。

30

【0182】

図14(A)及び図15に示す本実施の形態の発光表示装置は、マルチゲート構造の薄膜トランジスタ301、薄膜トランジスタ302、発光素子303、容量素子304、ソース配線層305、ゲート配線層306、電源線307を含む。薄膜トランジスタ301、302はnチャネル型薄膜トランジスタである。

【0183】

また、図14(B)において、本実施の形態の発光表示装置は、薄膜トランジスタ302、絶縁層311、絶縁層312、絶縁層313、隔壁321、及び発光素子303に用いる第1の電極層320、電界発光層322、第2の電極層323を有している。

40

【0184】

絶縁層313は、アクリル、ポリイミド、ポリアミドなどの有機樹脂、またはシロキサンを用いて形成することが好ましい。

【0185】

本実施の形態では画素の薄膜トランジスタ302がn型であるので、画素電極層である第1の電極層320として、陰極を用いるのが望ましい。具体的には、陰極としては、仕事関数が小さい材料、例えば、Ca、Al、CaF、MgAg、AlLi等を用いることができる。

【0186】

隔壁321は、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。特

50



に感光性の材料を用い、第 1 の電極層 3 2 0 上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【 0 1 8 7 】

電界発光層 3 2 2 は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【 0 1 8 8 】

電界発光層 3 2 2 を覆うように、陽極を用いた第 2 の電極層 3 2 3 を形成する。第 2 の電極層 3 2 3 は、実施の形態 4 に画素電極層として列挙した透光性を有する導電性材料を用いた透光性導電膜で形成することができる。上記透光性導電膜の他に、窒化チタン膜またはチタン膜を用いても良い。第 1 の電極層 3 2 0 と電界発光層 3 2 2 と第 2 の電極層 3 2 3 とが重なり合うことで、発光素子 3 0 3 が形成されている。この後、発光素子 3 0 3 に酸素、水素、水分、二酸化炭素等が侵入しないように、第 2 の電極層 3 2 3 及び隔壁 3 2 1 上に保護膜を形成してもよい。保護膜としては、窒化珪素膜、窒化酸化珪素膜、DLC 膜等を形成することができる。

10

【 0 1 8 9 】

さらに、実際には、図 1 4 ( B ) まで完成したら、さらに外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム ( 貼り合わせフィルム、紫外線硬化樹脂フィルム等 ) やカバー材でパッケージング ( 封入 ) することが好ましい。

【 0 1 9 0 】

次に、発光素子の構成について、図 1 6 を用いて説明する。ここでは、駆動用 TFT が n 型の場合を例に挙げて、画素の断面構造について説明する。図 1 6 ( A ) ( B ) ( C ) の半導体装置に用いられる駆動用 TFT である TFT 7 0 0 1、7 0 1 1、7 0 2 1 は、実施の形態 1 で示す薄膜トランジスタと同様に作製でき、IGZO 半導体層及び n 型の導電性を有する IGZO 半導体層を含む信頼性の高い薄膜トランジスタである。また、実施の形態 2 で示す薄膜トランジスタを TFT 7 0 0 1、7 0 1 1、7 0 2 1 として適用することもできる。

20

【 0 1 9 1 】

発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、図 1 6 に示す画素構成はどの射出構造の発光素子にも適用することができる。

30

【 0 1 9 2 】

上面射出構造の発光素子について図 1 6 ( A ) を用いて説明する。

【 0 1 9 3 】

図 1 6 ( A ) に、駆動用 TFT である TFT 7 0 0 1 が n 型で、発光素子 7 0 0 2 から発せられる光が陽極 7 0 0 5 側に抜ける場合の、画素の断面図を示す。図 1 6 ( A ) では、発光素子 7 0 0 2 の陰極 7 0 0 3 と駆動用 TFT である TFT 7 0 0 1 が電氣的に接続されており、陰極 7 0 0 3 上に発光層 7 0 0 4、陽極 7 0 0 5 が順に積層されている。陰極 7 0 0 3 は仕事関数が小さく、なおかつ光を反射する導電膜であれば様々の材料を用いることができる。例えば、Ca、Al、CaF、MgAg、AlLi 等が望ましい。そして発光層 7 0 0 4 は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極 7 0 0 3 上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極 7 0 0 5 は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物 ( 以下、ITO と示す。 )、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性導電膜を用いても良い。

40

【 0 1 9 4 】

50

陰極 7003 及び陽極 7005 で発光層 7004 を挟んでいる領域が発光素子 7002 に相当する。図 16 (A) に示した画素の場合、発光素子 7002 から発せられる光は、矢印で示すように陽極 7005 側に射出する。

#### 【0195】

次に、下面射出構造の発光素子について図 16 (B) を用いて説明する。駆動用 TFT 7011 が n 型で、発光素子 7012 から発せられる光が陰極 7013 側に射出する場合、画素の断面図を示す。図 16 (B) では、駆動用 TFT 7011 と電氣的に接続された透光性を有する導電膜 7017 上に、発光素子 7012 の陰極 7013 が成膜されており、陰極 7013 上に発光層 7014、陽極 7015 が順に積層されている。なお、陽極 7015 が透光性を有する場合、陽極上を覆うように、光を反射または遮蔽するための遮蔽膜 7016 が成膜されていてもよい。陰極 7013 は、図 16 (A) の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度（好ましくは、5 nm ~ 30 nm 程度）とする。例えば 20 nm の膜厚を有するアルミニウム膜を、陰極 7013 として用いることができる。そして発光層 7014 は、図 16 (A) と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極 7015 は光を透過する必要はないが、図 16 (A) と同様に、透光性を有する導電性材料を用いて形成することができる。そして遮蔽膜 7016 は、例えば光を反射する金属等を用いることができるが、金属膜に限定されない。例えば黒の顔料添加した樹脂等を用いることもできる。

10

#### 【0196】

陰極 7013 及び陽極 7015 で、発光層 7014 を挟んでいる領域が発光素子 7012 に相当する。図 16 (B) に示した画素の場合、発光素子 7012 から発せられる光は、矢印で示すように陰極 7013 側に射出する。

20

#### 【0197】

次に、両面射出構造の発光素子について、図 16 (C) を用いて説明する。図 16 (C) では、駆動用 TFT 7021 と電氣的に接続された透光性を有する導電膜 7027 上に、発光素子 7022 の陰極 7023 が成膜されており、陰極 7023 上に発光層 7024、陽極 7025 が順に積層されている。陰極 7023 は、図 16 (A) の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば 20 nm の膜厚を有する Al を、陰極 7023 として用いることができる。そして発光層 7024 は、図 16 (A) と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極 7025 は、図 16 (A) と同様に、光を透過する透光性を有する導電性材料を用いて形成することができる。

30

#### 【0198】

陰極 7023 と、発光層 7024 と、陽極 7025 とが重なっている部分が発光素子 7022 に相当する。図 16 (C) に示した画素の場合、発光素子 7022 から発せられる光は、矢印で示すように陽極 7025 側と陰極 7023 側の両方に射出する。

#### 【0199】

なお、ここでは、発光素子として有機 EL 素子について述べたが、発光素子として無機 EL 素子を設けることも可能である。

40

#### 【0200】

なお本実施の形態では、発光素子の駆動を制御する薄膜トランジスタ（駆動用 TFT）と発光素子が電氣的に接続されている例を示したが、駆動用 TFT と発光素子との間に電流制御用 TFT が接続されている構成であってもよい。

#### 【0201】

なお本実施の形態で示す半導体装置は、図 16 に示した構成に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。

#### 【0202】

以上の工程により、半導体装置として信頼性の高い発光表示装置を作製することができる

50

。

【0203】

本実施の形態は、実施の形態1乃至3のいずれか一に記載した構成と適宜組み合わせて実施することが可能である。

【0204】

(実施の形態7)

本発明の半導体装置の一形態である表示パネルの構成について、以下に示す。本実施の形態では、表示素子として液晶素子を有する液晶表示装置の一形態である液晶表示パネル(液晶パネルともいう)、表示素子として発光素子を有する半導体装置の一形態である発光表示パネル(発光パネルともいう)について説明する。

10

【0205】

次に、本発明の半導体装置の一形態に相当する発光表示パネルの外観及び断面について、図17を用いて説明する。図17Aは、第1の基板上に形成されたIGZO半導体層及びn型の導電性を有するIGZO半導体層を含む信頼性の高い薄膜トランジスタ及び発光素子を、第2の基板との間にシール材によって封止した、パネルの上面図であり、図17(B)は、図17(A)のH-Iにおける断面図に相当する。

【0206】

第1の基板4501上に設けられた画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bを囲むようにして、シール材4505が設けられている。また画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bの上に第2の基板4506が設けられている。よって画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、第1の基板4501とシール材4505と第2の基板4506とによって、充填材4507と共に密封されている。

20

【0207】

また第1の基板4501上に設けられた画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、薄膜トランジスタを複数有しており、図17(B)では、画素部4502に含まれる薄膜トランジスタ4510と、信号線駆動回路4503aに含まれる薄膜トランジスタ4509とを例示している。

30

【0208】

薄膜トランジスタ4509、4510は、IGZO半導体層及びn型の導電性を有するIGZO半導体層を含む薄膜トランジスタに相当し、実施の形態1、又は実施の形態2に示す薄膜トランジスタを適用することができる。本実施の形態において、薄膜トランジスタ4509、4510はnチャネル型薄膜トランジスタである。

【0209】

また4511は発光素子に相当し、発光素子4511が有する画素電極である第1の電極層4517は、薄膜トランジスタ4510のソース電極層またはドレイン電極層と電氣的に接続されている。なお発光素子4511の構成は、本実施の形態に示した構成に限定されない。発光素子4511から取り出す光の方向などに合わせて、発光素子4511の構成は適宜変えることができる。

40

【0210】

また、信号線駆動回路4503a、4503b、走査線駆動回路4504a、4504b、または画素部4502に与えられる各種信号及び電位は、FPC4518a、4518bから供給されている。

【0211】

本実施の形態では、接続端子4515が、第2の電極層4512と同じ導電膜から形成され、配線4516は、発光素子4511が有する第1の電極層4517と同じ導電膜から形成されている。

【0212】

接続端子4515は、FPC4518aが有する端子と、異方性導電膜4519を介して

50

電氣的に接続されている。

【0213】

発光素子4511からの光の取り出し方向に位置する基板には、第2の基板は透光性でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

【0214】

また、充填材4507としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。本実施の形態は充填材として窒素を用いた。

10

【0215】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板（楕円偏光板を含む）、位相差板（ / 4板、 / 2板）、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

【0216】

信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜によって形成された駆動回路で実装されていてもよい。また、信号線駆動回路のみ、或いは一部、又は走査線駆動回路のみ、或いは一部のみを別途形成して実装しても良く、本実施の形態は図17の構成に限定されない。

20

【0217】

次に、本発明の半導体装置の一形態に相当する液晶表示パネルの外観及び断面について、図18を用いて説明する。図18（A1）（A2）は、第1の基板4001上に形成されたIGZO半導体層及びn型の導電性を有するIGZO半導体層を含む信頼性の高い薄膜トランジスタ4010、4011、及び液晶素子4013を、第2の基板4006との間にシール材4005によって封止した、パネルの上面図であり、図18（B）は、図18（A1）（A2）のM-Nにおける断面図に相当する。

【0218】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路4003が実装されている。

30

【0219】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。図18（A1）は、COG方法により信号線駆動回路4003を実装する例であり、図18（A2）は、TAB方法により信号線駆動回路4003を実装する例である。

40

【0220】

また第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図18（B）では、画素部4002に含まれる薄膜トランジスタ4010と、走査線駆動回路4004に含まれる薄膜トランジスタ4011とを例示している。

【0221】

薄膜トランジスタ4010、4011は、IGZO半導体層及びn型の導電性を有するIGZO半導体層を含む薄膜トランジスタに相当し、実施の形態1、または実施の形態2に

50

示す薄膜トランジスタを適用することができる。本実施の形態において、薄膜トランジスタ4010、4011はnチャネル型薄膜トランジスタである。

【0222】

また、液晶素子4013が有する画素電極層4030は、薄膜トランジスタ4010と電氣的に接続されている。そして液晶素子4013の対向電極層4031は第2の基板4006上に形成されている。画素電極層4030と対向電極層4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極層4030、対向電極層4031はそれぞれ配向膜として機能する絶縁層4032、4033が設けられ、絶縁層4032、4033を介して液晶層4008を挟持している。

【0223】

なお、第1の基板4001、第2の基板4006としては、ガラス、金属（代表的にはステンレス）、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、ポリエステルフィルム、またはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやポリエステルフィルムで挟んだ構造のシートを用いることもできる。

【0224】

また4035は絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、画素電極層4030と対向電極層4031との間の距離（セルギャップ）を制御するために設けられている。なお球状のスペーサを用いても良い。

【0225】

また別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。

【0226】

本実施の形態では、接続端子4015が、液晶素子4013が有する画素電極層4030と同じ導電膜から形成され、配線4016は、薄膜トランジスタ4010、4011のゲート電極層と同じ導電膜で形成されている。

【0227】

接続端子4015は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

【0228】

また図18においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【0229】

図19は、本発明を適用して作製されるTFT基板2600を用いて半導体装置として液晶表示モジュールを構成する一例を示している。

【0230】

図19は液晶表示モジュールの一例であり、TFT基板2600と対向基板2601がシール材2602により固着され、その間にTFT等を含む画素部2603、液晶層を含む表示素子2604、着色層2605が設けられ表示領域を形成している。着色層2605はカラー表示を行う場合に必要であり、RGB方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。TFT基板2600と対向基板2601の外側には偏光板2606、偏光板2607、拡散板2613が配設されている。光源は冷陰極管2610と反射板2611により構成され、回路基板2612は、フレキシブル配線基板2609によりTFT基板2600の配線回路部2608と接続され、コントロール回路や電源回路などの外部回路が組み込まれている。また偏光板と、液晶層との間に位相差板を有した状態で積層してもよい。

【0231】

液晶表示モジュールには、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、MVA (Multi-domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optical Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モードなどを用いることができる。

【0232】

以上の工程により、半導体装置として信頼性の高い表示パネルを作製することができる。

【0233】

本実施の形態は、実施の形態1乃至6のいずれかーに記載した構成と適宜組み合わせて実施することが可能である。

【0234】

(実施の形態8)

本発明の半導体装置の一形態は、電子ペーパーとして適用することができる。電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを用いて、電子書籍(電子ブック)、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図20、図21に示す。

【0235】

図20(A)は、電子ペーパーで作られたポスター2631を示している。広告媒体が紙の印刷物である場合には、広告の交換は人手によって行われるが、本発明を適用した電子ペーパーを用いれば短時間で広告の表示を変えることができる。また、表示も崩れることなく安定した画像が得られる。なお、ポスターは無線で情報を送受信できる構成としてもよい。

【0236】

また、図20(B)は、電車などの乗り物の車内広告2632を示している。広告媒体が紙の印刷物である場合には、広告の交換は人手によって行われるが、本発明を適用した電子ペーパーを用いれば人手を多くかけることなく短時間で広告の表示を変えることができる。また表示も崩れることなく安定した画像が得られる。なお、車内広告は無線で情報を送受信できる構成としてもよい。

【0237】

また、図21は、電子書籍2700の一例を示している。例えば、電子書籍2700は、筐体2701および筐体2703の2つの筐体で構成されている。筐体2701および筐体2703は、軸部2711により一体とされており、該軸部2711を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

【0238】

筐体2701には表示部2705が組み込まれ、筐体2703には表示部2707が組み込まれている。表示部2705および表示部2707は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部(図21では表示部2705)に文章を表示し、左側の表示部(図21では表示部2707)に画像を表示することができる。

【0239】

また、図21では、筐体2701に操作部などを備えた例を示している。例えば、筐体2701において、電源2721、操作キー2723、スピーカ2725などを備えている。操作キー2723により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や

10

20

30

40

50

側面に、外部接続用端子（イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍2700は、電子辞書としての機能を持たせた構成としてもよい。

【0240】

また、電子書籍2700は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0241】

本実施の形態は、実施の形態1乃至3のいずれか一、または実施の形態5に記載した構成と適宜組み合わせることで実施することが可能である。

10

【0242】

（実施の形態9）

本発明に係る半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、例えば、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

【0243】

図22（A）は、テレビジョン装置9600の一例を示している。テレビジョン装置9600は、筐体9601に表示部9603が組み込まれている。表示部9603により、映像を表示することが可能である。また、ここでは、スタンド9605により筐体9601を支持した構成を示している。

20

【0244】

テレビジョン装置9600の操作は、筐体9601が備える操作スイッチや、別体のリモコン操作機9610により行うことができる。リモコン操作機9610が備える操作キー9609により、チャンネルや音量の操作を行うことができ、表示部9603に表示される映像を操作することができる。また、リモコン操作機9610に、当該リモコン操作機9610から出力する情報を表示する表示部9607を設ける構成としてもよい。

【0245】

なお、テレビジョン装置9600は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

30

【0246】

図22（B）は、デジタルフォトフレーム9700の一例を示している。例えば、デジタルフォトフレーム9700は、筐体9701に表示部9703が組み込まれている。表示部9703は、各種画像を表示することが可能であり、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

【0247】

なお、デジタルフォトフレーム9700は、操作部、外部接続用端子（USB端子、USBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部9703に表示させることができる。

40

【0248】

また、デジタルフォトフレーム9700は、無線で情報を送受信出来る構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

【0249】

50

図 2 3 ( A ) は携帯型遊技機であり、筐体 9 8 8 1 と筐体 9 8 9 1 の 2 つの筐体で構成されており、連結部 9 8 9 3 により、開閉可能に連結されている。筐体 9 8 8 1 には表示部 9 8 8 2 が組み込まれ、筐体 9 8 9 1 には表示部 9 8 8 3 が組み込まれている。また、図 2 3 ( A ) に示す携帯型遊技機は、その他、スピーカ部 9 8 8 4、記録媒体挿入部 9 8 8 6、LED ランプ 9 8 9 0、入力手段 ( 操作キー 9 8 8 5、接続端子 9 8 8 7、センサ 9 8 8 8 ( 力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの )、マイクロフォン 9 8 8 9 ) 等を備えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも本発明に係る半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。図 2 3 ( A ) に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図 2 3 ( A ) に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

10

#### 【 0 2 5 0 】

図 2 3 ( B ) は大型遊技機であるスロットマシン 9 9 0 0 の一例を示している。スロットマシン 9 9 0 0 は、筐体 9 9 0 1 に表示部 9 9 0 3 が組み込まれている。また、スロットマシン 9 9 0 0 は、その他、スタートレバーやストップスイッチなどの操作手段、コイン投入口、スピーカなどを備えている。もちろん、スロットマシン 9 9 0 0 の構成は上述のものに限定されず、少なくとも本発明に係る半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。

20

#### 【 0 2 5 1 】

図 2 4 は、携帯電話機 1 0 0 0 の一例を示している。携帯電話機 1 0 0 0 は、筐体 1 0 0 1 に組み込まれた表示部 1 0 0 2 の他、操作ボタン 1 0 0 3、外部接続ポート 1 0 0 4、スピーカ 1 0 0 5、マイク 1 0 0 6などを備えている。

#### 【 0 2 5 2 】

図 2 4 に示す携帯電話機 1 0 0 0 は、表示部 1 0 0 2 を指などで触れることで、情報を入力することができる。また、電話を掛ける、或いはメールを打つなどの操作は、表示部 1 0 0 2 を指などで触れることにより行うことができる。

#### 【 0 2 5 3 】

表示部 1 0 0 2 の画面は主として 3 つのモードがある。第 1 は、画像の表示を主とする表示モードであり、第 2 は、文字等の情報の入力を主とする入力モードである。第 3 は表示モードと入力モードの 2 つのモードが混合した表示 + 入力モードである。

30

#### 【 0 2 5 4 】

例えば、電話を掛ける、或いはメールを作成する場合は、表示部 1 0 0 2 を文字の入力を主とする文字入力モードとし、画面に表示させた文字の入力操作を行えばよい。この場合、表示部 1 0 0 2 の画面のほとんどにキーボードまたは番号ボタンを表示させることが好ましい。

#### 【 0 2 5 5 】

また、携帯電話機 1 0 0 0 内部に、ジャイロ、加速度センサ等の傾きを検出するセンサを有する検出装置を設けることで、携帯電話機 1 0 0 0 の向き ( 縦か横か ) を判断して、表示部 1 0 0 2 の画面表示を自動的に切り替えるようにすることができる。

40

#### 【 0 2 5 6 】

また、画面モードの切り替えは、表示部 1 0 0 2 を触れること、又は筐体 1 0 0 1 の操作ボタン 1 0 0 3 の操作により行われる。また、表示部 1 0 0 2 に表示される画像の種類によって切り替えるようにすることもできる。例えば、表示部に表示する画像信号が動画のデータであれば表示モード、テキストデータであれば入力モードに切り替える。

#### 【 0 2 5 7 】

また、入力モードにおいて、表示部 1 0 0 2 の光センサで検出される信号を検知し、表示部 1 0 0 2 のタッチ操作による入力が一定期間ない場合には、画面のモードを入力モード

50



から表示モードに切り替えるように制御してもよい。

【 0 2 5 8 】

表示部 1 0 0 2 は、イメージセンサとして機能させることもできる。例えば、表示部 1 0 0 2 に掌や指を触れることで、掌紋、指紋等を撮像することで、本人認証を行うことができる。また、表示部に近赤外光を発光するバックライトまたは近赤外光を発光するセンシング用光源を用いれば、指静脈、掌静脈などを撮像することもできる。

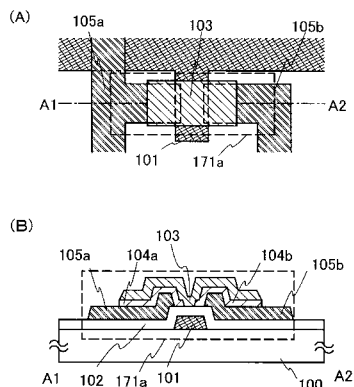
【 符号の説明 】

【 0 2 5 9 】

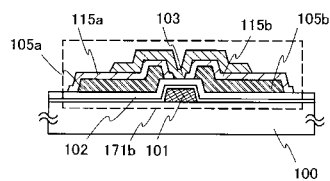
- 1 0 0 : 基板
- 1 0 1 : ゲート電極層
- 1 0 2 : ゲート絶縁層
- 1 0 3 : 半導体層
- 1 0 4 a、1 0 4 b : n 型の導電性を有するバッファ層
- 1 0 5 a、1 0 5 b : ソース電極層又はドレイン電極層
- 1 1 1 : 半導体膜
- 1 1 3、1 1 6、1 1 8 : マスク
- 1 1 5 a、1 1 5 b : n 型半導体層
- 1 1 7 : 導電膜
- 1 7 1 a、1 7 1 b : 薄膜トランジスタ

10

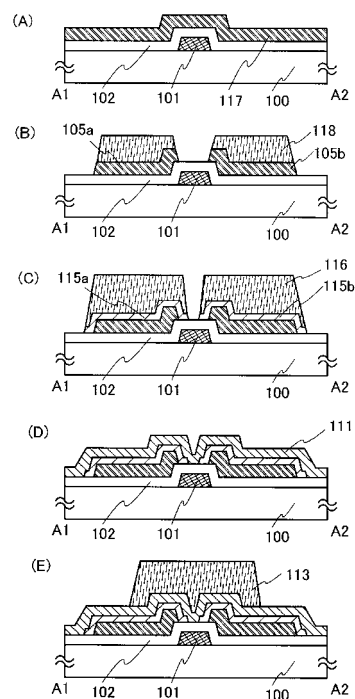
【 図 1 】



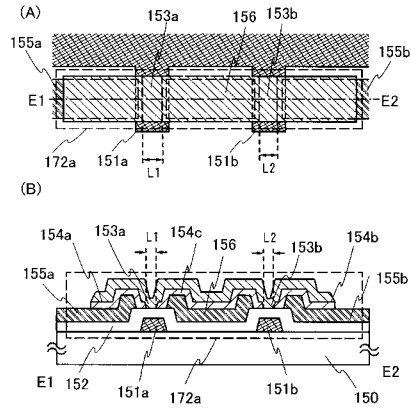
【 図 2 】



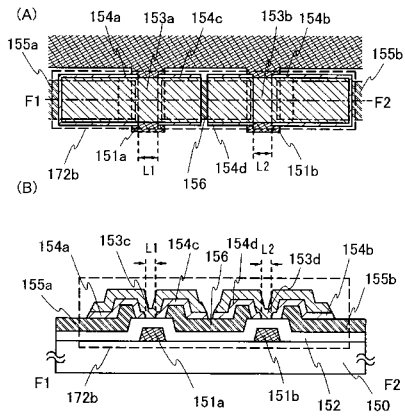
【 図 3 】



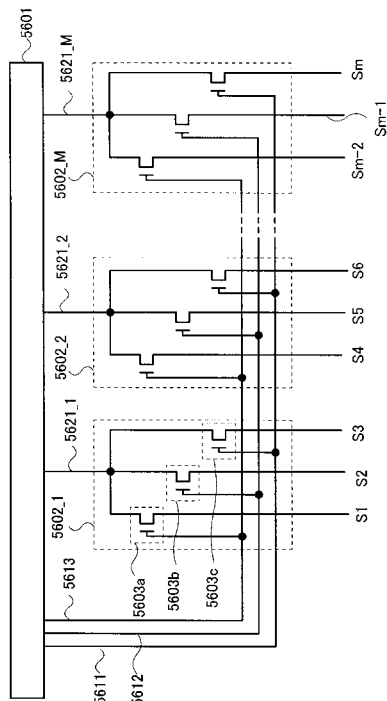
【図4】



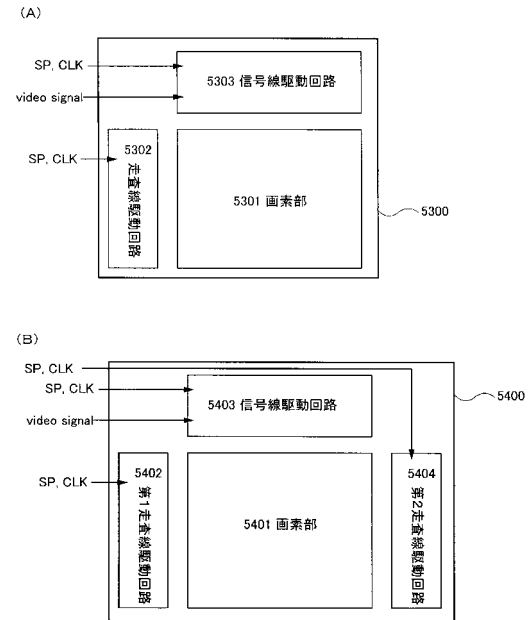
【図5】



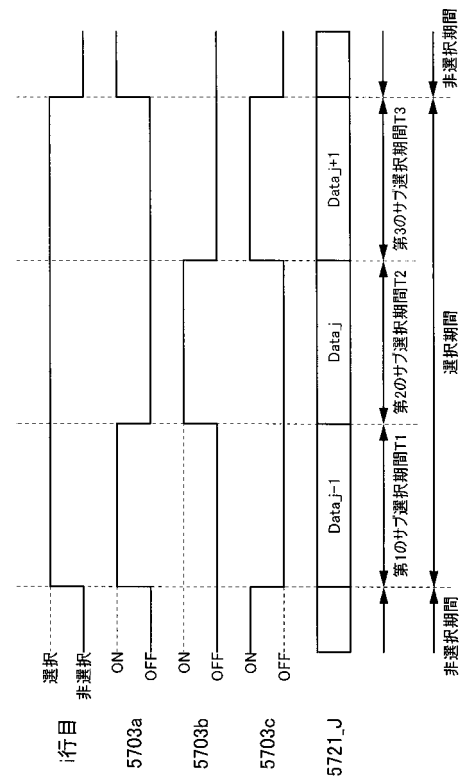
【図7】



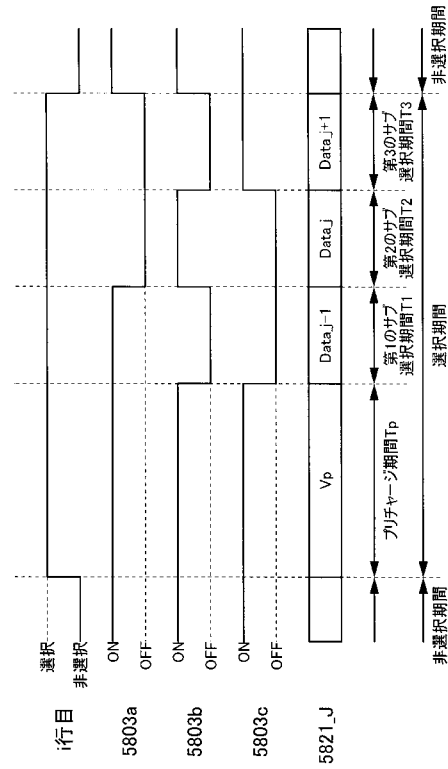
【図6】



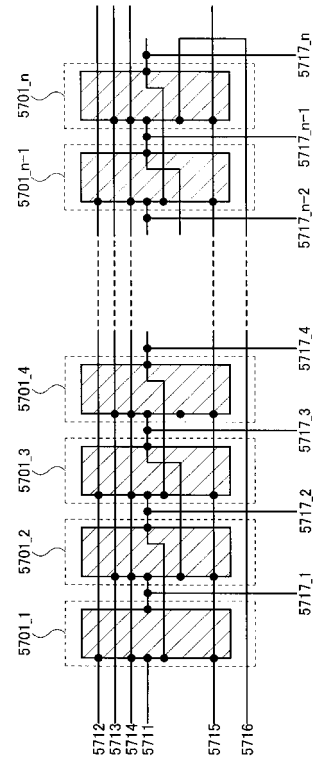
【図8】



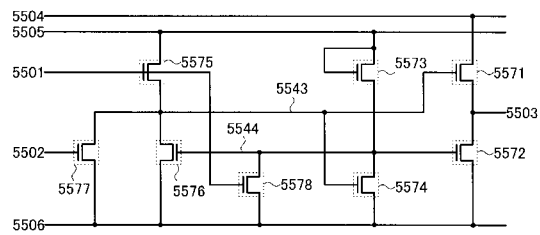
【図 9】



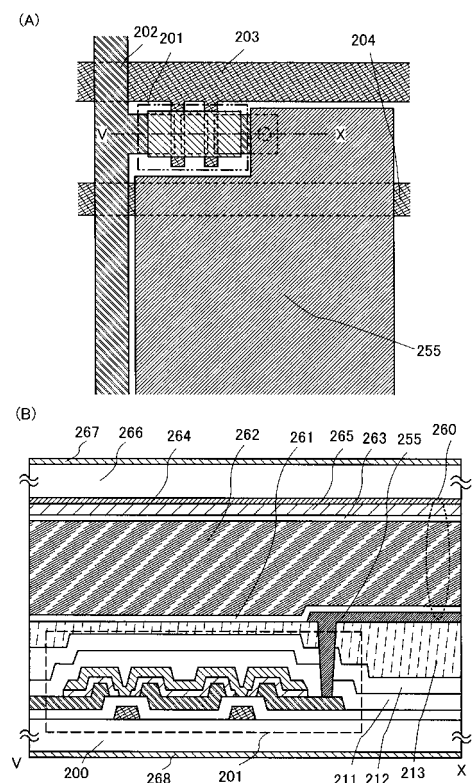
【図 10】



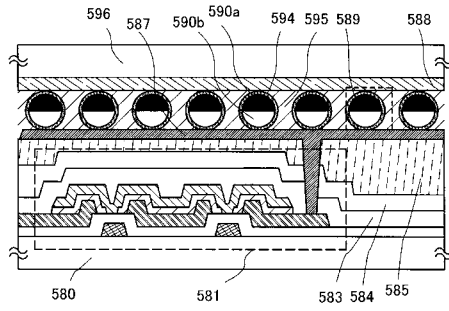
【図 11】



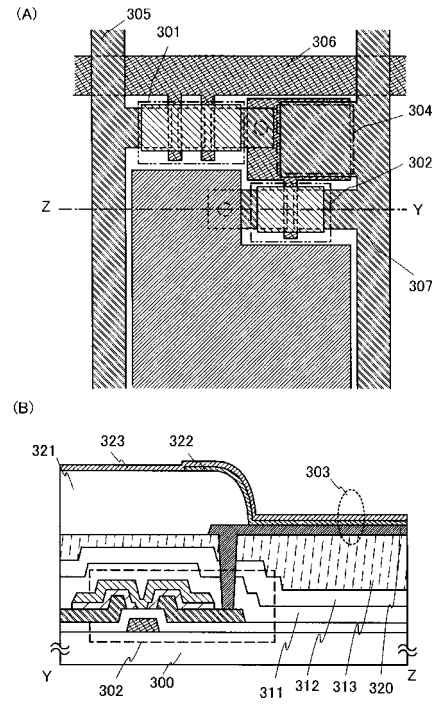
【図 12】



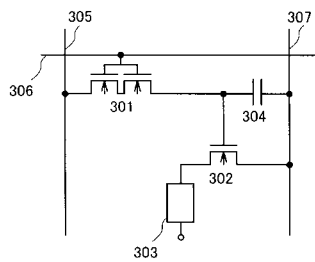
【図 13】



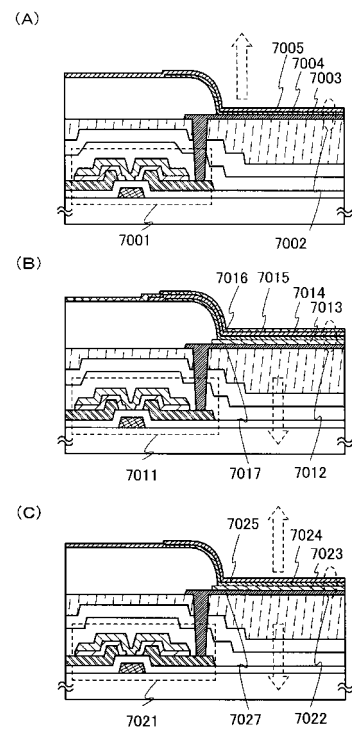
【図 14】



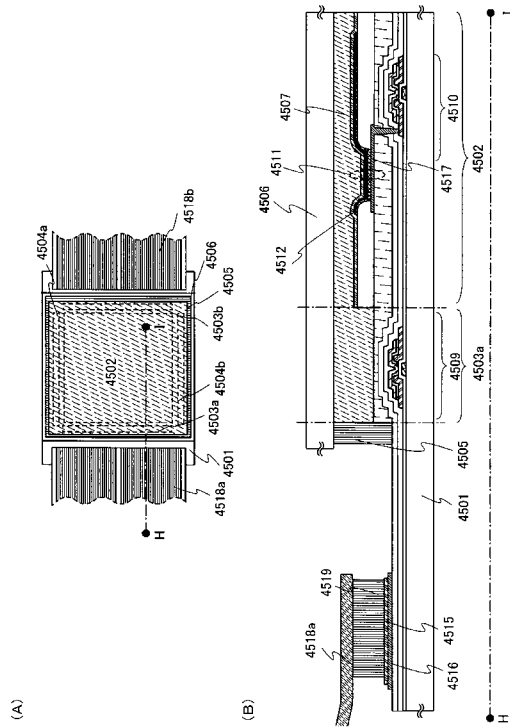
【図 15】



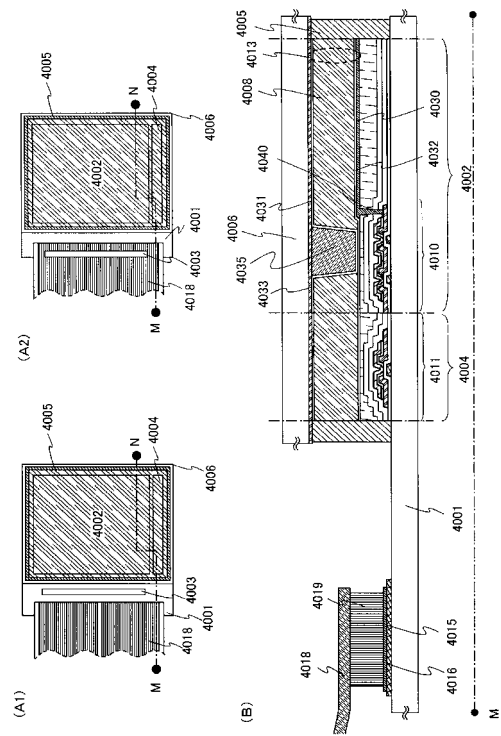
【図 16】



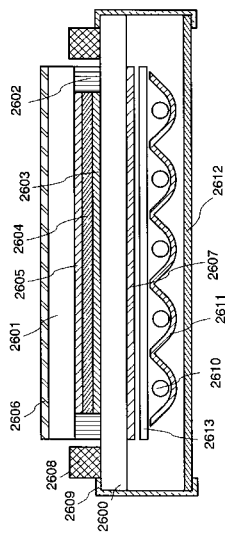
【図 17】



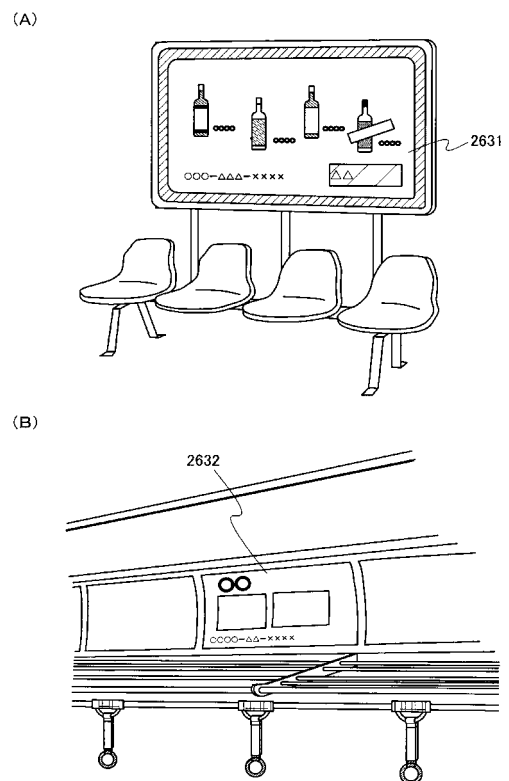
【図 18】



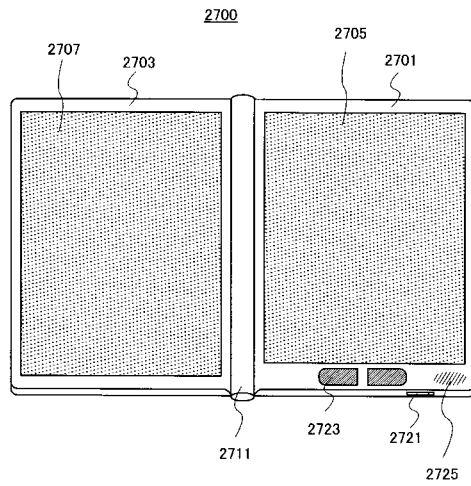
【図 19】



【図 20】

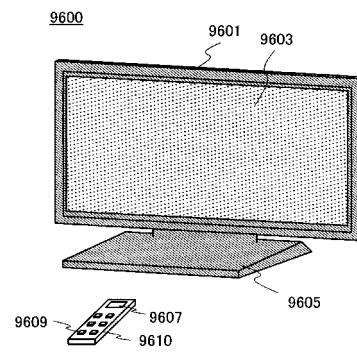


【図 2 1】

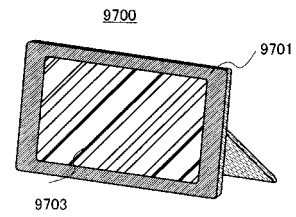


【図 2 2】

(A)

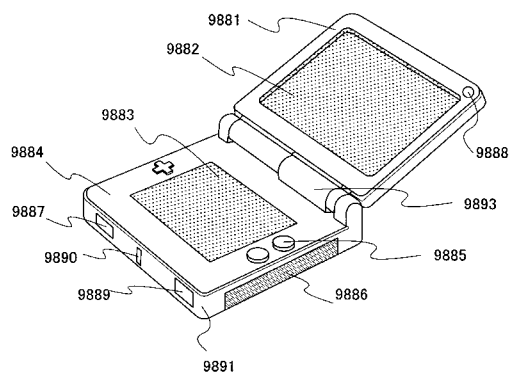


(B)

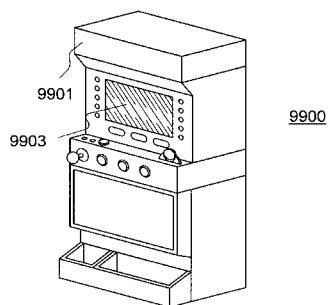


【図 2 3】

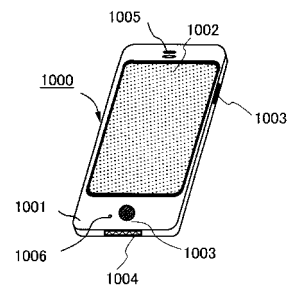
(A)



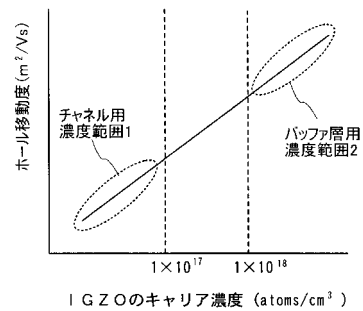
(B)



【図 2 4】



【図 2 5】



## フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	H 0 1 L 29/50	M
	G 0 2 F 1/1368	
	H 0 5 B 33/14	A

(72)発明者 白石 康次郎

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

F ターム(参考) 2H092 GA59 HA03 HA05 JA26 JA33 JA35 JA39 JA46 JA47 JA49  
 JB13 JB57 JB69 KA05 KA08 KA12 KA18 KA24 MA05 MA07  
 MA13 MA17 NA01 NA22 NA27 QA07 QA09 QA13 QA14  
 3K107 AA01 BB01 CC21 CC33 EE04 FF14 HH05  
 4M104 AA03 AA09 BB02 BB04 BB08 BB09 BB13 BB14 BB16 BB17  
 BB18 BB36 BB40 CC01 DD34 DD37 DD51 DD78 DD91 FF08  
 FF13 GG09 GG10 GG14 HH15  
 5F110 AA02 AA05 BB02 CC03 DD01 DD02 DD06 DD13 DD14 DD15  
 DD24 EE01 EE03 EE04 EE06 EE14 EE23 EE28 EE42 EE43  
 EE44 EE48 FF01 FF02 FF03 FF04 FF07 FF09 FF10 FF28  
 FF29 FF30 GG01 GG06 GG22 GG25 GG34 GG42 GG43 GG58  
 HK01 HK02 HK03 HK04 HK08 HK17 HK21 HK22 HK25 HK32  
 HK33 HK42 HL01 HL07 HL09 HM02 NN02 NN03 NN05 NN22  
 NN23 NN24 NN25 NN27 NN33 NN34 NN35 NN36 NN40 NN71  
 NN72 QQ09 QQ19