

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4549071号
(P4549071)

(45) 発行日 平成22年9月22日 (2010. 9. 22)

(24) 登録日 平成22年7月16日 (2010. 7. 16)

(51) Int. Cl.	F I
HO 1 L 21/822 (2006. 01)	HO 1 L 27/04 H
HO 1 L 27/04 (2006. 01)	HO 1 L 29/72 Z
HO 1 L 21/331 (2006. 01)	
HO 1 L 29/73 (2006. 01)	

請求項の数 5 (全 24 頁)

(21) 出願番号	特願2004-19980 (P2004-19980)	(73) 特許権者	302062931
(22) 出願日	平成16年1月28日 (2004. 1. 28)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2004-282031 (P2004-282031A)		神奈川県川崎市中原区下沼部 1 7 5 3 番地
(43) 公開日	平成16年10月7日 (2004. 10. 7)	(74) 代理人	100064746
審査請求日	平成19年1月19日 (2007. 1. 19)		弁理士 深見 久郎
(31) 優先権主張番号	特願2003-52780 (P2003-52780)	(74) 代理人	100085132
(32) 優先日	平成15年2月28日 (2003. 2. 28)		弁理士 森田 俊雄
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100109162
			弁理士 酒井 将行
		(74) 代理人	100111246
			弁理士 荒川 伸夫

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

信号入力端子に電氣的に接続され、かつダイオードとトランジスタとを有するサージ保護回路を備えた半導体装置であって、

主表面を有する半導体基板と、

前記半導体基板の主表面に形成されたフィールド酸化膜と、

前記半導体基板の主表面上に形成され、かつ前記信号入力端子に電氣的に接続された第1の導電層とを備え、

前記ダイオードのカソードは、第1のカソード領域と第2のカソード領域とを有し、前記第1のカソード領域は、前記第1の導電層と電氣的に接続して前記半導体基板の主表面に形成されていて、前記第2のカソード領域は、前記ダイオードのアノード領域とツェナー降伏が生じる p n 接合を構成し、

前記ツェナー降伏が生じる p n 接合は、前記フィールド酸化膜から離れており、

前記カソードと前記トランジスタのコレクタとが前記信号入力端子に電氣的に接続されており、前記アノードと前記トランジスタのベースとは互いに同じ導電型に形成されていて、かつ互いに電氣的に接続されており、

前記アノード領域の側面または上面を覆うように、前記第2のカソード領域が形成されていることを特徴とする、半導体装置。

【請求項 2】

信号入力端子に電氣的に接続され、かつダイオードとトランジスタとを有するサージ保

10

20

護回路を備えた半導体装置であって、

主表面を有する半導体基板と、

前記半導体基板の主表面に形成されたフィールド酸化膜と、

前記半導体基板の主表面上に形成され、かつ前記信号入力端子に電氣的に接続された第1の導電層とを備え、

前記ダイオードのカソードは、第1のカソード領域と第2のカソード領域とを有し、前記第1のカソード領域は、前記第1の導電層と電氣的に接続して前記半導体基板の主表面に形成されていて、前記第2のカソード領域は、前記ダイオードのアノード領域とツェナー降伏が生じるpn接合を構成し、

前記ツェナー降伏が生じるpn接合は、前記フィールド酸化膜から離れており、

前記カソードと前記トランジスタのコレクタとが前記信号入力端子に電氣的に接続されており、前記アノードと前記トランジスタのベースとは互いに同じ導電型に形成されていて、かつ互いに電氣的に接続されており、

前記第2のカソード領域の側面または上面を覆うように、前記アノード領域が形成されていることを特徴とする、半導体装置。

【請求項3】

前記コレクタは、前記半導体基板内に形成されたエピタキシャル層と、前記エピタキシャル層内に形成された第1の埋め込み層とを有し、

前記ベースは、前記エピタキシャル層内に形成された第2の埋め込み層を有し、

前記第1の埋め込み層は前記エピタキシャル層よりも不純物濃度が高く、かつ第2の埋め込み層と隣接していることを特徴とする、請求項1または2に記載の半導体装置。

【請求項4】

前記第2の埋め込み層は、前記第1の埋め込み層と隣接する部分に相対的に不純物濃度の低い低濃度領域を有することを特徴とする、請求項3に記載の半導体装置。

【請求項5】

前記半導体基板の主表面上に形成された第2の導電層をさらに備え、

前記トランジスタの前記ベースおよびエミッタは、ともに前記第2の導電層と電氣的に接続されていることを特徴とする、請求項3または4に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、より特定的にはサージ保護回路を備えた半導体装置に関する。

【背景技術】

【0002】

自動車、モーター、蛍光表示、オーディオ等やトランジスタ素子等よりなるIC (Integrated Circuit) を瞬間的に大きく増加した電流あるいは電圧 (サージ) から保護するためのサージ保護回路として、様々なものが提案されてきた。このうち、1つのダイオードと1つのnpnトランジスタから構成されるサージ保護回路は、簡易な構成で得られるサージ保護回路として知られている。1つのダイオードと1つのnpnトランジスタから構成される従来のサージ保護回路は、以下のような構成になっている。

【0003】

1つのダイオードと1つのnpnトランジスタから構成される従来のサージ保護回路において、ダイオードのカソードは、フィールド酸化膜によって電氣的に分離された半導体基板の主表面に形成された高濃度の第1のn⁺拡散層を有している。この第1のn⁺拡散層は、半導体基板上に形成された導電層と接触することで信号入力端子と電氣的に接続されている。ダイオードのアノードは、p型拡散層と、p型拡散層内に形成されたp⁺拡散層とを有している。このp⁺拡散層はカソードとなるn⁺拡散層と直接接している。

【0004】

また、npnトランジスタのコレクタは、上記第1のn⁺拡散層と、埋込みn⁺拡散層と

10

20

30

40

50

、半導体基板内に形成された n^+ エピタキシャル層とを有している。 npn トランジスタのベースは、 n^+ エピタキシャル層内に形成された p 型拡散層を有している。 npn トランジスタのエミッタは、 p 型拡散層内に形成された第2の n^+ 拡散層を有している。

【0005】

上記第1の n^+ 拡散層は、ダイオードのカソード領域に含まれ、かつ npn トランジスタのコレクタ領域に含まれている。また、 p 型拡散層はダイオードのアノード領域に含まれ、かつ npn トランジスタのベース領域に含まれている。

【0006】

続いて、上記従来のサージ保護回路の動作について説明する。信号入力端子にサージ電圧が印加されると、上記第1の n^+ 拡散層にサージ電圧が印加され、ダイオードの逆方向電圧が上昇する。この逆方向電圧が一定値を超えるとダイオードがツェナー降伏し、ダイオードのカソードからアノードへ電流が流れる。このアノード領域に含まれている p 型拡散層は npn トランジスタのベース領域でもあるため、この電流が npn トランジスタのベース電流となる。これにより、 npn トランジスタが導通するため、信号入力端子に印加されたサージの電荷が npn トランジスタのエミッタ側から放電される。

【0007】

また、上記以外のサージ保護回路は、たとえば特開平5-206385号公報および特開昭56-19657号公報に開示されている（特許文献1、2参照）。

【特許文献1】特開平5-206385号公報

【特許文献2】特開昭56-19657号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

上記構成を有する従来のサージ保護回路においては、ダイオードのカソード領域となる第1の n^+ 拡散層と上記導電層とのコンタクト抵抗を下げるために、第1の n^+ 拡散層は高濃度に形成されている。また、この第1の n^+ 拡散層と接する部分におけるアノード領域の濃度が低いと、ダイオードが降伏した場合に、第1の n^+ 拡散層とアノード（ p 型拡散層）との pn 接合の空乏層中に存在する電子が、第1の n^+ 拡散層に隣接するフィールド酸化膜にトラップされる。この場合、 pn 接合の空乏層が広がり、ダイオードの降伏電圧が上昇する問題が生じる。したがって、アノードとなる p 型拡散層内の第1の n^+ 拡散層と接する部分には、高濃度の p^+ 拡散層を形成することにより、第1の n^+ 拡散層からの電子をスムーズにアノード（ p 型拡散層）へ流す必要がある。つまり、ツェナー降伏が生じる pn 接合を構成するアノード領域とカソード領域とがともに高濃度で形成される必要がある。

【0009】

しかしながら、ツェナー降伏が生じる pn 接合を構成するアノード領域とカソード領域とがともに高濃度で形成されると、アノード領域とカソード領域との pn 接合の空乏層幅が極端に狭くなる。その結果、降伏電圧よりも低い電圧でサージ保護回路に電流が流れる現象（電流のリーク）が起こり、サージ保護回路が正常に動作しないという問題があった。

【0010】

したがって、本発明の目的は、電流のリークが生じず、かつ正常に動作するサージ保護回路を備えた半導体装置を提供することである。

【課題を解決するための手段】

【0011】

本発明の一の局面に係る半導体装置は、信号入力端子に電氣的に接続され、かつダイオードとトランジスタとを有するサージ保護回路を備えた半導体装置であって、主表面を有する半導体基板と、半導体基板の主表面に形成されたフィールド酸化膜と、半導体基板の主表面上に形成され、かつ信号入力端子に電氣的に接続された第1の導電層とを備えている。ダイオードのカソードは、第1のカソード領域と第2のカソード領域とを有し、第1

10

20

30

40

50

のカソード領域は、第1の導電層と電氣的に接続して半導体基板の主表面に形成されていて、第2のカソード領域は、ダイオードのアノード領域とツェナー降伏が生じるpn接合を構成し、ツェナー降伏が生じるpn接合は、フィールド酸化膜から離れている。カソードとトランジスタのコレクタとが信号入力端子に電氣的に接続されており、アノードとトランジスタのベースとは互いに同じ導電型に形成されていて、かつ互いに電氣的に接続されている。アノード領域の側面または上面を覆うように、第2のカソード領域が形成されている。

本発明の他の局面に係る半導体装置は、信号入力端子に電氣的に接続され、かつダイオードとトランジスタとを有するサージ保護回路を備えた半導体装置であって、主表面を有する半導体基板と、半導体基板の主表面に形成されたフィールド酸化膜と、半導体基板の主表面上に形成され、かつ信号入力端子に電氣的に接続された第1の導電層とを備えている。ダイオードのカソードは、第1のカソード領域と第2のカソード領域とを有し、第1のカソード領域は、第1の導電層と電氣的に接続して半導体基板の主表面に形成されていて、第2のカソード領域は、ダイオードのアノード領域とツェナー降伏が生じるpn接合を構成し、ツェナー降伏が生じるpn接合は、フィールド酸化膜から離れている。カソードとトランジスタのコレクタとが信号入力端子に電氣的に接続されており、アノードとトランジスタのベースとは互いに同じ導電型に形成されていて、かつ互いに電氣的に接続されている。第2のカソード領域の側面または上面を覆うように、アノード領域が形成されている。

【発明の効果】

【0012】

以上により、本発明の半導体装置は、第1の導電層と電氣的に接続されている第1のカソード領域と、ツェナー降伏が生じるpn接合を構成している第2のカソード領域とが別々に形成されている。したがって、第1のカソード領域の不純物濃度を高くすることにより第1の導電層との接触抵抗を下げることができる。また、アノード領域と第2のカソード領域との不純物濃度を低くすることにより、電流のリークを防止できる。さらに、ツェナー降伏が生じるアノード領域と第2のカソード領域とのpn接合がフィールド酸化膜から離れているので、アノード領域とカソード領域とのpn接合の空乏層中に存在する電子がフィールド酸化膜にトラップされ、これによりpn接合の空乏層が広がり、ダイオードの降伏電圧が上昇するという問題を解決できる。したがって、電流のリークが生じず、かつ正常に動作するサージ保護回路を備えた半導体装置が得られる。

【発明を実施するための最良の形態】

【0013】

以下、本発明の実施の形態について図に基づいて説明する。

【0014】

(実施の形態1)

図1は本発明の実施の形態1におけるサージ保護回路を示す回路図である。

【0015】

図1を参照して、サージ保護回路31は、ダイオード22とnpnトランジスタ23とを備えている。ダイオード22のカソードおよびnpnトランジスタ23のコレクタは、信号入力端子21および装置部分25に電氣的に接続されている。ダイオード22のアノードとnpnトランジスタ23のベースとは互いに電氣的に接続されている。npnトランジスタ23のエミッタは接地電位24に電氣的に接続されている。

【0016】

続いて、本実施の形態におけるサージ保護回路を備えた半導体装置の構成について説明する。

【0017】

図2は、本発明の実施の形態1におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。図3は図2のIII-III線に沿った断面図である。

【0018】

図2および図3を参照して、半導体装置51において、たとえばシリコン単結晶よりなる半導体基板41の下部にp⁻領域1が形成されている。p⁻領域1の上には注入拡散によりn⁺拡散層2が形成されている。このn⁺拡散層2の上にn⁻エピタキシャル層4が形成されている。このn⁻エピタキシャル層4の周囲を取り囲むように、p⁻領域1上にp⁺拡散層3aとp型拡散層6aとが形成されていて、p型拡散層6a内にはp⁺拡散層9が形成されている。n⁺拡散層2およびn⁻エピタキシャル層4内には注入拡散によりp⁺拡散層3bが形成されている。また、半導体基板41の表面には、半導体基板の各領域を電氣的に分離するためのフィールド酸化膜7が形成されている。フィールド酸化膜7とは、LOCOS (Local Oxidation of Silicon) 法により形成されるシリコン酸化膜のことである。p⁺拡散層9とn⁺拡散層8aとn⁺拡散層8bとn⁺拡散層8cとは、フィールド酸化膜7によって各々電氣的に分離されている。

10

【0019】

このn⁺拡散層2およびn⁻エピタキシャル層4内には、サージ保護回路を構成するダイオード22とnpnトランジスタ23とが形成されている。ダイオード22は、アノード領域とカソード領域とを有している。npnトランジスタ23は、エミッタ領域とベース領域とコレクタ領域とを有している。

【0020】

ダイオード22において、アノード領域は、n型拡散層5内に形成されたp型拡散層6bにより構成されている。n型拡散層5はn⁻エピタキシャル層4内に形成されている。カソード領域は、n⁻エピタキシャル層4内に形成されたn⁺拡散層8c（第1のカソード領域）と、n⁻エピタキシャル層4と、n型拡散層5と、n型拡散層5およびp型拡散層6b内に形成されたn⁺拡散層8b（第2のカソード領域）とにより構成されている。

20

【0021】

npnトランジスタ23において、コレクタ領域は、n⁻エピタキシャル層4内に形成されたn⁺拡散層8cと、n⁻エピタキシャル層4と、n⁺拡散層2とにより構成されている。ベース領域は、n⁻エピタキシャル層4内に形成されたp型拡散層6cにより構成されている。エミッタ領域は、p型拡散層6c内に形成されたn⁺拡散層8aにより構成されている。

【0022】

本実施の形態においては、ツェナー降伏が生じるpn接合は、p型拡散層6bとn⁺拡散層8bとにより構成されている。ここで、n⁺拡散層8bはp型拡散層6bの上面を覆うように形成されている。半導体基板41を上面から見た場合（図2）におけるn⁺拡散層8bの外周部分は、n型拡散層5と電氣的に接続されている。また、p型拡散層6bの側面を覆うようにn型拡散層5が形成されている。これによりn⁺拡散層8bおよびn型拡散層5で構成されるカソード領域は四角柱の形状で形成されていて、この四角柱の内部にアノード領域であるp型拡散層6bが形成されている。したがって、ツェナー降伏が生じるpn接合（p型拡散層6bとn⁺拡散層8bとにより構成されるpn接合）はこの四角柱の内部に構成されることとなり、フィールド酸化膜7から離れている。

30

【0023】

n型拡散層5は、たとえば約 10^{12} 個/cm²の注入量でP（リン）をn⁻エピタキシャル層4に注入することにより形成されている。p型拡散層6a～6cは、たとえば約 10^{13} 個/cm²の注入量でB（ボロン）をn⁻エピタキシャル層4に注入することにより形成されている。n⁺拡散層8a～8cは、n⁻エピタキシャル層4と、n型拡散層5およびp型拡散層6bと、p型拡散層6cとの表面において、たとえば約 10^{15} 個/cm²の注入量でAs（ヒ素）を注入することにより形成されている。p⁺拡散層9は、p型拡散層6aの表面において、たとえば約 10^{15} 個/cm²の注入量でBまたはBF₂を注入することにより形成されている。

40

【0024】

半導体基板41表面を覆うように半導体基板41の主表面上に層間絶縁膜10が形成されている。層間絶縁膜10にはコンタクトホール11a～11cの各々が形成されている

50

。このコンタクトホール11a～11cの各々を介して上記の各領域に電氣的に接続するように、層間絶縁膜10上に、たとえば不純物が導入された多結晶シリコン（以下、ドーフトポリシリコンと称する）よりなる配線12a、12bが形成されている。これにより、 p^+ 拡散層9と n^+ 拡散層8aとが電氣的に接続されている。なお、配線12b（第1の導電層）は信号入力端子21（図1）および装置部分25（図1）に電氣的に接続されている。

【0025】

続いて、本実施の形態におけるサージ保護回路の動作について説明する。

【0026】

図1～図3を参照して、サージ電圧が信号入力端子21に印加されると、 n^+ 拡散層8bにサージ電圧が印加され、ダイオード22のアノードとカソードとの間の逆方向電圧が上昇する。これにより、ダイオード22がツェナー降伏し、 n^+ 拡散層8bからp型拡散層6bに電流が流れる。このp型拡散層6bからnpnトランジスタ23のベース領域であるp型拡散層6aに電流が流れ、npnトランジスタ23がONする。npnトランジスタ23がONすると、 n^- エピタキシャル層4から n^+ 拡散層8aに電流が流れることにより、信号入力端子21に印加されたサージ電圧は接地電位24である配線12aに開放される。これにより、装置部分25にサージ電圧が印可されることが防止される。

【0027】

本実施の形態においては、ダイオード22のカソード領域は n^+ 拡散層8cと n^- エピタキシャル層4とn型拡散層5と n^+ 拡散層8bとにより構成されている。このうち、配線12bに電氣的に接続されている n^+ 拡散層8cと、ツェナー降伏が生じるpn接合を構成している n^+ 拡散層8bとが別々の領域で構成されている。したがって、 n^+ 拡散層8cの不純物濃度を高くすることにより配線12bとのコンタクト抵抗を下げるができる。また、p型拡散層6bと n^+ 拡散層8bとの不純物濃度を低くすることにより、電流のリークを防止できる。さらに、ツェナー降伏が生じるp型拡散層6bと n^+ 拡散層8bとのpn接合がフィールド酸化膜7から離れているので、アノード領域とカソード領域とのpn接合の空乏層中に存在する電子がフィールド酸化膜7にトラップされ、これによりpn接合の空乏層が広がり、ダイオード22の降伏電圧が上昇するという問題を解決できる。したがって、電流のリークが生じず、かつ正常に動作するサージ保護回路を備えた半導体装置51が得られる。

【0028】

本願発明者らは、上記の効果を確認すべく以下の実験を行なった。

【0029】

具体的には、従来のサージ保護回路を備えた半導体装置の電流・電圧特性と本実施の形態におけるサージ保護回路を備えた半導体装置の電流・電圧特性とを調べた。図4（a）は、従来のサージ保護回路を備えた半導体装置の電流・電圧特性を示した図である。図4（b）は、本発明の実施の形態1におけるサージ保護回路を備えた半導体装置の電流・電圧特性を示した図である。なお、図4（a）、（b）において、電流はnpnトランジスタ23（図1）を流れる電流を対数表示している。電圧は、接地電位24（図1）の電位を0としたときの信号入力端子21（図1）の電位を示している。また、 V_1 はダイオード22（図1）の降伏電圧を示している。

【0030】

これらの結果から、従来のサージ保護回路においては、電圧が V_1 以下の場合にも電流が流れている。これはダイオード22の電流のリークに起因するものである。一方、本発明においては、電圧が V_1 以下の場合では 10^{-12} Aオーダーのわずかな電流しか流れていない。そして電圧が V_1 以上になると急激に大きな電流が流れている。したがって、本発明の実施の形態1のサージ保護回路を備える半導体装置は、電流のリークが生じず、正常に動作していることがわかる。

【0031】

また、本実施の形態においては、サージ保護回路31は、ダイオード22のカソードと

n p n トランジスタ 2 3 のコレクタとが信号入力端子 2 1 に電氣的に接続されており、ダイオード 2 2 のアノードと n p n トランジスタ 2 3 のベースとは互いに同じ導電型に形成されていて、かつ互いに電氣的に接続されている。

【0032】

これにより、ダイオード 2 2 が n p n トランジスタ 2 3 より先に確実に降伏するように回路が構成されるため、ダイオード 2 2 が降伏することで n p n トランジスタ 2 3 が確実に ON し、それにより信号入力端子 2 1 に印加されたサージ電圧が確実に開放されるため、誤作動を防止でき正常に動作するサージ保護回路 3 1 を実現することができる。

【0033】

さらに、本実施の形態においては、アノード領域である p 型拡散層 6 b の上面を覆うように、ツェナー降伏が生じる p n 接合を構成するカソード領域である n⁺ 拡散層 8 b が形成されている。

【0034】

これにより、ツェナー降伏が生じる p n 接合がフィールド酸化膜 7 から離れている構成を容易に作製できる。したがって、ツェナー降伏が生じる p n 接合の空乏層中の電子がフィールド酸化膜 7 にトラップされ空乏層幅が広がることによりダイオード 2 2 の降伏電圧が上がることを容易に防止できる。

【0035】

なお、本実施の形態においては、アノード領域である p 型拡散層 6 b の上面を覆うように、ツェナー降伏が生じる p n 接合を構成するカソード領域である n⁺ 拡散層 8 b が形成されている場合について示したが、本発明はこのような場合に限定されるものではなく、アノード領域である p 型拡散層 6 b の側面を覆うように、ツェナー降伏が生じる p n 接合を構成するカソード領域が形成されていてもよい。

【0036】

(実施の形態 2)

図 5 は、本発明の実施の形態 2 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。図 6 は図 5 の V I - V I 線に沿った断面図である。

【0037】

図 5 および図 6 を参照して、本実施の形態においては、n⁺ 拡散層 8 c を取り囲むように n⁻ エピタキシャル層 4 内に n⁺ 拡散層 1 3 a が形成されている。n⁺ 拡散層 1 3 a は、n⁺ 拡散層 2 に到達するように n⁻ エピタキシャル層 4 内にたとえばリンガラスを注入拡散することにより形成されている。これにより、n p n トランジスタ 2 3 のコレクタ領域は、n⁺ 拡散層 8 c と n⁺ 拡散層 1 3 a と n⁺ 拡散層 2 と n⁻ エピタキシャル層 4 とにより構成されている。なお、n⁺ 拡散層 1 3 a は n⁻ エピタキシャル層 4 よりも不純物濃度が高い。

【0038】

なお、これ以外の構成については図 1 ~ 図 3 に示す実施の形態 1 の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0039】

本実施の形態のサージ保護回路を備えた半導体装置においては、n p n トランジスタ 2 3 のコレクタ領域がさらに n⁺ 拡散層 1 3 a で構成されている。n⁺ 拡散層は n⁻ エピタキシャル層に比べて不純物濃度が大きいので、コレクタ領域の電気抵抗 (コレクタ抵抗) が小さい。このため、トランジスタの動作速度を向上することができ、高周波数のサージに対してもサージ保護回路が動作可能となる。これについて以下に説明する。

【0040】

トランジスタの動作速度はベース領域での少数キャリアの走行時間 τ_B が短いほど速くなる。ベース領域での少数キャリアの走行時間 τ_B は次式で表される。

【0041】

【数 1】

$$\tau_B = \frac{Q_B}{I_C} \quad \dots (1)$$

【0042】

ここで、 Q_B はベース領域に注入された少数キャリアの電荷、 I_C はコレクタ電流、 τ_B はベース領域での少数キャリアの走行時間である。式1を参照して、コレクタ電流 I_C が大きくなると少数キャリアの走行時間 τ_B が短くなる。本実施の形態においては、 n^+ 拡散層が形成されることによりコレクタ抵抗が小さくなるので、コレクタ電流 I_C が大きくなる。その結果、ベース領域での少数キャリアの走行時間 τ_B が短くなり、トランジスタの動作速度が向上することができ、高周波数のサージに対してもサージ保護回路が動作可能となる。

10

【0043】

(実施の形態3)

図7は、本発明の実施の形態3におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【0044】

図7を参照して、本実施の形態においては、 p 型拡散層6aの図中右側の n^- エピタキシャル層4内にも n^+ 拡散層13bが形成されている。 n^+ 拡散層13bは n^+ 拡散層13aと同様の方法により形成される。これにより、 npn トランジスタ23のコレクタ領域は、 n^+ 拡散層8cと n^+ 拡散層13aと n^+ 拡散層2と n^+ 拡散層13bと n^- エピタキシャル層4とにより構成されている。

20

【0045】

なお、これ以外の構成については図6に示す実施の形態2の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0046】

本実施の形態のサージ保護回路を備えた半導体装置においては、 npn トランジスタ23のコレクタ領域がさらに n^+ 拡散層13bで構成されている。 n^+ 拡散層は n^- エピタキシャル層に比べて不純物濃度が大きいので、コレクタ抵抗が小さい。このため、トランジスタの動作速度を一層向上することができ、高周波数のサージに対してもサージ保護回路が動作可能となる。

30

【0047】

(実施の形態4)

図8は、本発明の実施の形態4におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。図9は図8のIX-IX線に沿った断面図である。

【0048】

図8および図9を参照して、本実施の形態においては、ダイオード22が以下のように構成されている。

【0049】

すなわち、ダイオード22において、カソード領域は、 n^- エピタキシャル層4内に形成された n^+ 拡散層8c（第1のカソード領域）と、 n^- エピタキシャル層4と、 n^- エピタキシャル層4内に形成された n 型拡散層5（第2のカソード領域）とにより構成されている。アノード領域は、 n^- エピタキシャル層4内に形成された p 型拡散層6cと、 n 型拡散層5および p 型拡散層6c内に形成された p^+ 拡散層9aとにより構成されている。なお、 p^+ 拡散層3bと p 型拡散層6bと n^+ 拡散層8bとは形成されていない。

40

【0050】

本実施の形態においては、ツェナー降伏が生じる pn 接合は、 p^+ 拡散層9aと n 型拡散層5とにより構成されている。ここで、 p^+ 拡散層9aは n 型拡散層5の上面を覆うように形成されている。半導体基板41を上面から見た場合（図8）における p^+ 拡散層9aの外周部分は、 p 型拡散層6cと電氣的に接続されている。また、 n 型拡散層5の側面

50

を取り囲むように p 型拡散層 6 c が形成されている。これにより p⁺拡散層 9 a および p 型拡散層 6 c で構成されるアノード領域は四角柱の形状となり、この四角柱の内部にカソード領域である n 型拡散層 5 が形成されている。したがって、ツェナー降伏が生じる p n 接合 (p⁺拡散層 9 a と n 型拡散層 5 とにより構成される p n 接合) はこの四角柱の内部に構成されることとなり、フィールド酸化膜 7 から離れている。

【0051】

なお、これ以外の構成については図 1～図 3 に示す実施の形態 1 の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0052】

本実施の形態のサージ保護回路を備えた半導体装置においては、カソード領域である n 型拡散層 5 の上面を覆うように、ツェナー降伏が生じる p n 接合を構成するアノード領域である p⁺拡散層 9 a が形成されている。

10

【0053】

これにより、ツェナー降伏が生じる p n 接合がフィールド酸化膜 7 から離れている構成を容易に作製できる。したがって、ツェナー降伏が生じる p n 接合の空乏層中の電子がフィールド酸化膜 7 にトラップされ空乏層幅が広がることによりダイオード 2 2 の降伏電圧が上がることを容易に防止できる。

【0054】

なお、本実施の形態においては、カソード領域である n 型拡散層 5 の上面を覆うように、ツェナー降伏が生じる p n 接合を構成するアノード領域である p⁺拡散層 9 a が形成されている場合について示したが、本発明はこのような場合に限定されるものではなく、カソード領域である n 型拡散層 5 の側面を覆うように、ツェナー降伏が生じる p n 接合を構成するアノード領域が形成されていてもよい。

20

【0055】

(実施の形態 5)

図 10 は、本発明の実施の形態 5 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。図 11 は図 10 の X I - X I 線に沿った断面図である。

【0056】

図 10 および図 11 を参照して、本実施の形態においては、ダイオード 2 2 が以下のよう

30

【0057】

すなわち、ダイオード 2 2 において、アノード領域は、n⁻エピタキシャル層 4 内に形成された p⁺拡散層 3 b と、n⁻エピタキシャル層 4 内に形成された p 型拡散層 6 c とにより構成されている。カソード領域は、n⁻エピタキシャル層 4 内に形成された n⁺拡散層 8 c (第 1 のカソード領域) と、n⁻エピタキシャル層 4 と n⁺拡散層 2 (第 2 のカソード領域) とにより構成されている。p 型拡散層 6 c は、p⁺拡散層 3 b と接触するように、n⁻エピタキシャル層 4 内に広く形成されている。なお、n 型拡散層 5 と p 型拡散層 6 b とは形成されていない。

【0058】

本実施の形態においては、ツェナー降伏が生じる p n 接合は、p⁺拡散層 3 b と n⁺拡散層 2 とにより構成されている。p⁺拡散層 3 b と n⁺拡散層 2 とはともに n⁻エピタキシャル層 4 の内部 (図 11 中下側) に形成されていて、ツェナー降伏が生じる p n 接合は、フィールド酸化膜 7 から離れている。

40

【0059】

なお、これ以外の構成については図 1～図 3 に示す実施の形態 1 の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0060】

本実施の形態においては、ツェナー降伏が生じる p n 接合は、ともに不純物濃度の高い領域である p⁺拡散層 3 b と n⁺拡散層 2 とにより構成されている。しかしながら、以下の理由により p n 接合部分の p⁺拡散層 3 b の不純物濃度が局所的に低くなっている。

50

【0061】

すなわち、 p^+ 拡散層3bは、たとえば約 10^{14} 個/cm²の注入量でBを p^- 領域1に注入し、たとえば1150℃の熱処理を行なうことにより形成されている。 n^+ 拡散層2は、たとえば約 10^{15} 個/cm²の注入量でSb（アンチモン）を p^- 領域1に注入し、たとえば1180℃の熱処理を行なうことにより形成されている。このとき、SbはBよりも拡散係数が小さいため、Sbの拡散により、 n^+ 拡散層2は p^- 領域1付近に形成される。一方、BはSbよりも拡散係数が大きいため、Bの拡散により、 p^+ 拡散層3bは n^+ 拡散層2よりも半導体基板41表面に近い領域（図11中上側）に形成される。このようにして形成された p^+ 拡散層3bにおいては、 p^+ 拡散層3b内部においても不純物濃度差が生じている。つまり、 p^+ 拡散層3b内部において、半導体基板41表面に近い部分（図11中上側）では局所的にBの不純物濃度が高くなっている。一方、 n^+ 拡散層2とのpn接合部分では局所的にBの不純物濃度が低くなっているため、pn接合の空乏層幅が広がる。これにより、電流のリークが生じず、かつ正常に動作するサージ保護回路を備えた半導体装置が得られる。

10

【0062】

また、本実施の形態においては、ツェナー降伏が生じるpn接合を構成する p^+ 拡散層3bと n^+ 拡散層2とは、ともに半導体基板41内に形成された n^- エピタキシャル層4の内部に形成されている。これにより、ツェナー降伏が生じるpn接合が半導体基板41の内部（図11中下側）に形成されるので、サージ保護回路31で発生した熱を効率良く半導体基板41へ放出することができる。

20

【0063】

（実施の形態6）

図12は、本発明の実施の形態6におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。図13は図12のX I I I - X I I I 線に沿った断面図である。

【0064】

図12および図13を参照して、本実施の形態においては、npnトランジスタ23が以下のように構成されている。

【0065】

すなわち、npnトランジスタ23において、コレクタ領域は、 n^- エピタキシャル層4内に形成された n^+ 拡散層8cと、 n^- エピタキシャル層4と、 n^+ 拡散層2（第1の埋め込み層）とにより構成されている。ベース領域は、 n^- エピタキシャル層4内に形成された p^+ 拡散層3b（第2の埋め込み層）と、 n^- エピタキシャル層4内に形成されたp型拡散層6cとにより構成されている。エミッタ領域は、p型拡散層6c内に形成された n^+ 拡散層8aにより構成されている。 n^+ 拡散層2と p^+ 拡散層3bとは隣接している。

30

【0066】

なお、これ以外の構成については図8および図9に示す実施の形態4の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0067】

本実施の形態のサージ保護回路を備えた半導体装置51では、サージ電圧によりダイオード22がツェナー降伏すると、npnトランジスタ23では以下のように電流が流れる。すなわち、コレクタ領域で n^+ 拡散層8cから n^- エピタキシャル層4を通して n^+ 拡散層2に流れた電流が、 p^+ 拡散層3bおよびp型拡散層6cを介して n^+ 拡散層8aへ流れる。つまり、npnトランジスタ23では、 n^+ 拡散層2と p^+ 拡散層3bとが隣接しており、 n^+ 拡散層2と p^+ 拡散層3bとでコレクタとベースとの接合部分が形成されている。このように、 n^- エピタキシャル層4よりも不純物濃度の高い n^+ 拡散層2をベースとの接合部分とすることができる。

40

【0068】

本実施の形態のサージ保護回路を備えた半導体装置51において、npnトランジスタ23のコレクタは、半導体基板内に形成された n^- エピタキシャル層4と、 n^- エピタキシ

50

ャル層 4 内に形成された n^+ 拡散層 2 とを有しており、 $n p n$ トランジスタ 2 3 のベースは、 n^- エピタキシャル層 4 内に形成された p^+ 拡散層 3 b を有している。 n^+ 拡散層 2 は n^- エピタキシャル層 4 よりも不純物濃度が高く、かつ p^+ 拡散層 3 b と隣接している。

【0069】

これにより、 n^- エピタキシャル層 4 よりも不純物濃度の高い n^+ 拡散層 2 がベースとの接合部分となるので、コレクタ領域とベース領域との接合面に電流が集中しやすくなる。その結果、コレクタ領域からベース領域へ電流が流れやすくなり、一層大きな電流を開放することができる。

【0070】

図 1 4 は、本発明の実施の形態 4 におけるサージ保護回路を備えた半導体装置での電流の流れを模式的に示す断面図であり、図 1 5 は、本発明の実施の形態 6 におけるサージ保護回路を備えた半導体装置での電流の流れを模式的に示す断面図である。

【0071】

図 1 4 を参照して、実施の形態 4 の半導体装置では、 n^- エピタキシャル層 4 がベース領域との接合部分となっている。 n^- エピタキシャル層 4 は n^+ 拡散層 2 より高抵抗であるので、本実施の形態の半導体装置と比較してコレクタ領域内で電流が集中しやすく（電流密度が高くなりやすく）、コレクタ領域内に電流が流れにくい箇所が存在している。一方、図 1 5 を参照して、本実施の形態の半導体装置は、 n^- エピタキシャル層 4 よりも不純物濃度の高い n^+ 拡散層 2 がベース領域との接合部分となるので、コレクタ領域内で電流が集中せずに（電流密度が高くならずに）、コレクタ領域において電流が流れやすくなる。

【0072】

本願発明者らは、上記の効果を確認すべく、本発明の実施の形態 4 の半導体装置と、本実施の形態の半導体装置との各々において、電流によって形成されるエミッタ領域直下の深さ方向の電界強度についてシミュレーションを行なった。

【0073】

図 1 6 は、本発明の実施の形態 4 の半導体装置におけるエミッタ領域直下の深さ方向の濃度プロファイルと、エミッタ領域直下の深さ方向の電界強度とのシミュレーション結果を示す図である。図 1 7 は、本発明の実施の形態 6 の半導体装置におけるエミッタ領域直下の濃度プロファイルと、エミッタ領域直下の深さ方向の電界強度とのシミュレーション結果を示す図である。なお、図 1 6 および図 1 7 では、半導体装置 5 1 を流れる電流の電流密度がそれぞれ $10 \mu A / \mu m$ 、 $10 mA / \mu m$ である場合の電界強度のシミュレーション結果が示されている。また、図 1 6 および図 1 7 において、A で示される領域は n^+ 拡散層 8 a が形成されている領域であり、B で示される領域は p 型拡散層 6 c が形成されている領域であり、C で示される領域は n^- エピタキシャル層 4 が形成されている領域であり、D で示される領域は n^+ 拡散層 2 が形成されている領域であり、E で示される領域は p^+ 拡散層 3 b が形成されている領域である。

【0074】

図 1 6 を参照して、電流密度が $10 \mu A / \mu m$ の場合には、 n^+ 拡散層 2 内の約 $6.8 \mu m$ の深さで、電界強度の絶対値が極大となっている。電界強度の絶対値が大きい箇所は電流が集中して流れにくくなっている箇所であるので、この結果から、特に半導体装置に流れる電流が大きい場合に、 n^+ 拡散層 2 内で電流が流れにくい箇所が存在していることがわかる。

【0075】

一方、図 1 7 を参照して、電流密度が $10 \mu A / \mu m$ 、 $10 mA / \mu m$ のいずれの場合でも、 p^+ 拡散層 3 b と n^+ 拡散層 2 との接合面付近の約 $7.0 \mu m$ の深さで電界強度の絶対値が極大となっている。これにより、本実施の形態の半導体装置 5 1 では、 n^+ 拡散層 2 内で電流が流れやすくなっていることがわかる。

【0076】

（実施の形態 7）

図18は、本発明の実施の形態7におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【0077】

図18を参照して、本実施の形態においては、 n^+ 拡散層8cを取り囲むように n^- エピタキシャル層4内に n^+ 拡散層13aが形成されている。 n^+ 拡散層13aは、 n^+ 拡散層2に到達するように n^- エピタキシャル層4内にたとえばリンガラスをデポして拡散することにより形成されている。これにより、npnトランジスタ23のコレクタ領域は、 n^+ 拡散層8cと n^+ 拡散層13aと n^+ 拡散層2と n^- エピタキシャル層4とにより構成されている。なお、 n^+ 拡散層13aは n^- エピタキシャル層4よりも不純物濃度が高い。

【0078】

なお、これ以外の構成については図12および図13に示す実施の形態6の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0079】

本実施の形態のサージ保護回路を備えた半導体装置51においては、npnトランジスタ23のコレクタ領域がさらに n^+ 拡散層13aで構成されている。 n^+ 拡散層は n^- エピタキシャル層に比べて不純物濃度が大きいので、コレクタ領域の電気抵抗（コレクタ抵抗）が小さい。このため、トランジスタの動作速度を向上することができ、高周波数のサージに対してもサージ保護回路が動作可能となる。

【0080】

（実施の形態8）

図19は、本発明の実施の形態8におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【0081】

図19を参照して、本実施の形態においては、 n^+ 拡散層8aの真下に位置する p^+ 拡散層3bの一部に窪み部分14aが形成されている。窪み部分14aは n^+ 拡散層2に隣接しており、窪み部分14aに入り込むように n^+ 拡散層2が形成されている。この窪み部分14aは、 p^+ 拡散層3bを形成するために n^+ 拡散層2および n^- エピタキシャル層4内に不純物を注入する際に、窪み部分14aに不純物を注入しないようにして p^+ 拡散層3bを形成することにより形成される。窪み部分14aがこのようにして形成されるので、 p^+ 拡散層3bは、 p 型不純物の濃度が局所的に低くなっている低濃度領域14bを窪み部分14aの周辺に有している。

【0082】

なお、これ以外の構成については図12および図13に示す実施の形態6の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0083】

本実施の形態のサージ保護回路を備えた半導体装置51において、 p^+ 拡散層3bは、 n^- エピタキシャル層と隣接する部分に相対的に不純物濃度の低い低濃度領域14bを有している。

【0084】

これにより、形成する低濃度領域14bの大きさによりコレクタと接触するベース領域の抵抗を調節することができる。ベース領域の抵抗を調節することで、半導体装置に流れる電流の大きさを調節することができる。

【0085】

本願発明者らは、上記の効果を確認すべく、本実施の形態の半導体装置51において、電流によって形成されるエミッタ領域直下の電界強度についてシミュレーションを行なった。

【0086】

図20は、本発明の実施の形態8の半導体装置におけるエミッタ領域直下の深さ方向の濃度プロファイルと、エミッタ領域直下の深さ方向の電界強度とのシミュレーション結果を示す図である。なお、半導体装置を流れる電流の電流密度がそれぞれ $10\mu\text{A}/\mu\text{m}$ 、

10

20

30

40

50

10 mA/ μm である場合の電界強度のシミュレーション結果が示されている。また、図20において、Aで示される領域は n^+ 拡散層8aが形成されている領域であり、Bで示される領域はp型拡散層6cが形成されている領域であり、Dで示される領域は n^+ 拡散層2が形成されている領域であり、Eで示される領域は p^+ 拡散層3bが形成されている領域である。

【0087】

図20を参照して、電流密度が10 $\mu\text{A}/\mu\text{m}$ の場合には、図17に示す実施の形態6のシミュレーション結果と比較して電界強度の幅が大きくなっている。電界強度の幅が大きくなるほど電流が流れにくい領域は大きくなるので、この結果から、特に半導体装置を流れる電流が小さい場合に、低濃度領域14bによって半導体装置に流れる電流の大きさを調節可能であることがわかる。

10

【0088】

(実施の形態9)

図21は、本発明の実施の形態9におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【0089】

図21を参照して、本実施の形態においては、 n^+ 拡散層8cを取り囲むように n^- エピタキシャル層4内に n^+ 拡散層13aが形成されている。 n^+ 拡散層13aは、 n^+ 拡散層2に到達するように n^- エピタキシャル層4内にたとえばリングラスをデポして拡散することにより形成されている。これにより、npnトランジスタ23のコレクタ領域は、 n^+ 拡散層8cと n^+ 拡散層13aと n^+ 拡散層2と n^- エピタキシャル層4とにより構成されている。なお、 n^+ 拡散層13aは n^- エピタキシャル層4よりも不純物濃度が高い。

20

【0090】

なお、これ以外の構成については図19に示す実施の形態8の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0091】

本実施の形態のサージ保護回路を備えた半導体装置51においては、npnトランジスタ23のコレクタ領域がさらに n^+ 拡散層13aで構成されている。 n^+ 拡散層は n^- エピタキシャル層に比べて不純物濃度が大きいので、コレクタ領域の電気抵抗(コレクタ抵抗)が小さい。このため、トランジスタの動作速度を向上することができ、高周波数のサージに対してもサージ保護回路が動作可能となる。

30

【0092】

(実施の形態10)

図22は、本発明の実施の形態10におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。図23は図22のXX I I I - X X I I I 線に沿った断面図である。

【0093】

図22および図23を参照して、本実施の形態においては、npnトランジスタ23のエミッタ領域を構成する n^+ 拡散層8aの形状が実施の形態6とは異なっている。具体的には、 n^+ 拡散層8aを3つに分断するように2本の p^+ 拡散層9bがp型拡散層6c内に形成されている。2つの p^+ 拡散層9bの各々は、たとえば図22中縦方向に伸びた長方形の平面形状を有している。 n^+ 拡散層8aおよび p^+ 拡散層9bは、ともに配線12a(第2の導電層)と電氣的に接続されている。また、npnトランジスタ23のベース領域は、 n^- エピタキシャル層4内に形成された p^+ 拡散層3bと、 n^- エピタキシャル層4内に形成されたp型拡散層6cと、p型拡散層6c内に形成された p^+ 拡散層9bとにより構成されている。

40

【0094】

なお、これ以外の構成については図12および図13に示す実施の形態6の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0095】

50

本実施の形態のサージ保護回路を備えた半導体装置 5 1 において、n p n トランジスタ 2 3 のベース領域である p⁺拡散層 9 b と、エミッタ領域である n⁺拡散層 8 a とは、ともに配線 1 2 a と電氣的に接続されている。

【0096】

これにより、ベース領域である p 型拡散層 6 c を流れる電流が p⁺拡散層 9 b を通じて配線 1 2 a に流れ込むので、p 型拡散層 6 c の電子密度が低下し、n p n トランジスタ 2 3 においてコレクタ領域からエミッタ領域へ電流が流れにくくなる。したがって、p⁺拡散層 9 b の大きさを調節することで、半導体装置に流れる電流の大きさを調節することができる。

【0097】

本願発明者らは、上記の効果を確認すべく、本実施の形態の半導体装置 5 1 において、エミッタ領域直下の深さ方向の電子密度についてシミュレーションを行なった。

【0098】

図 2 4 は、本発明の実施の形態 1 0 の半導体装置におけるエミッタ領域直下の濃度プロファイルと、エミッタ領域直下の電子密度の電界分布とのシミュレーション結果を示す図である。なお、図 2 4 において、A で示される領域は n⁺拡散層 8 a が形成されている領域であり、B で示される領域は p 型拡散層 6 c が形成されている領域であり、D で示される領域は n⁺拡散層 2 が形成されている領域であり、E で示される領域は p⁺拡散層 3 b が形成されている領域である。

【0099】

図 2 4 を参照して、p⁺拡散層 3 b 内の約 6 . 2 μ m の深さから、p⁺拡散層 3 b と n⁺拡散層 2 との接合面付近の約 7 . 0 μ m の深さまでの範囲で、電子密度が大きく低下している。これにより、p 型拡散層 6 c を流れる電流が p⁺拡散層 9 b を通じて配線 1 2 a に流れ込んでいることがわかる。

【0100】

また、本願発明者らは、本実施の形態の半導体装置 5 1 において、p⁺拡散層 9 b (スリット) の数を変化させて、半導体装置に加わる電圧と半導体装置を流れる電流との関係についてシミュレーションを行なった。

【0101】

図 2 5 は、本発明の実施の形態 1 0 の半導体装置に加わる電圧と半導体装置を流れる電流密度との関係についてのシミュレーション結果を示す図である。なお、図 2 5 においては、設けられるスリットの数それぞれ 1 本～4 本である場合の電流と電圧の関係のシミュレーション結果が示されている。

【0102】

図 2 5 を参照して、電流密度が $1 \times 10^{-4} \text{ A} / \mu \text{ m}$ 以上の場合において、スリットの数が多くなる (p⁺拡散層 9 b の大きさが大きくなる) に従って半導体装置を流れる電流が大きくなっている。この結果から、特に半導体装置を流れる電流が大きい場合に、p 型拡散層 6 c 内に形成する p⁺拡散層 9 b (スリット) の数によって半導体装置に流れる電流の大きさを調節可能であることがわかる。

【0103】

さらに、本願発明者らは、本発明の実施の形態 4、6、8、および 1 0 の半導体装置の各々において、半導体装置に加わる電圧と半導体装置を流れる電流との関係についてシミュレーションを行なった。

【0104】

図 2 6 は、半導体装置に加わる電圧と半導体装置を流れる電流密度との関係についてのシミュレーション結果を示す図である。

【0105】

図 2 6 を参照して、実施の形態 6 の半導体装置では、電流密度が $1 \times 10^{-4} \text{ A} / \mu \text{ m}$ である場合に電圧は約 1 1 . 0 V となっている。これに対し、実施の形態 4 の半導体装置では、電流密度が $1 \times 10^{-4} \text{ A} / \mu \text{ m}$ である場合に電圧は約 2 6 . 0 V となっている。この

10

20

30

40

50

結果から、実施の形態 6 の半導体装置は、特に半導体装置に流れる電流が大きい場合に、実施の形態 4 の半導体装置よりも電流が流れやすくなっていることがわかる。また、実施の形態 8 の半導体装置では、電流密度が $1 \times 10^{-10} \text{ A} / \mu\text{m}$ である場合に電圧は約 26.0 V となっている。これに対し、実施の形態 6 の半導体装置では、電流密度が $1 \times 10^{-10} \text{ A} / \mu\text{m}$ である場合に電圧は約 16.0 V となっている。この結果から、実施の形態 8 の半導体装置は、特に半導体装置に流れる電流が小さい場合に、実施の形態 6 の半導体装置よりも電流が流れやすくなっており、流れる電流の大きさが調節可能であることがわかる。さらに、実施の形態 10 の半導体装置では、電流密度が $1 \times 10^{-7} \text{ A} / \mu\text{m}$ である場合に電圧は約 32.0 V となっている。これに対し、実施の形態 6 の半導体装置では、電流密度が $1 \times 10^{-7} \text{ A} / \mu\text{m}$ である場合に電圧は約 11.0 V となっている。この結果から、実施の形態 10 の半導体装置は、特に半導体装置に流れる電流が大きい場合に、実施の形態 6 の半導体装置よりも電流が流れにくくなっており、流れる電流の大きさが調節可能であることがわかる。

10

【0106】

(実施の形態 11)

図 27 は、本発明の実施の形態 11 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【0107】

図 27 を参照して、本実施の形態においては、 n^+ 拡散層 8c を取り囲むように n^- エピタキシャル層 4 内に n^+ 拡散層 13a が形成されている。 n^+ 拡散層 13a は、 n^+ 拡散層 2 に到達するように n^- エピタキシャル層 4 内にたとえばリンガラスをデポして拡散することにより形成されている。これにより、npn トランジスタ 23 のコレクタ領域は、 n^+ 拡散層 8c と n^+ 拡散層 13a と n^+ 拡散層 2 と n^- エピタキシャル層 4 とにより構成されている。なお、 n^+ 拡散層 13a は n^- エピタキシャル層 4 よりも不純物濃度が高い。

20

【0108】

なお、これ以外の構成については図 22 および図 23 に示す実施の形態 10 の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0109】

本実施の形態のサージ保護回路を備えた半導体装置 51 においては、npn トランジスタ 23 のコレクタ領域がさらに n^+ 拡散層 13a で構成されている。 n^+ 拡散層は n^- エピタキシャル層に比べて不純物濃度が大きいので、コレクタ領域の電気抵抗（コレクタ抵抗）が小さい。このため、トランジスタの動作速度を向上することができ、高周波数のサージに対してもサージ保護回路が動作可能となる。

30

【0110】

実施の形態 1 ~ 11 においては、図 1 の回路を有する半導体装置の場合について説明したが、本発明はこのような場合に限られるものではなく、信号入力端子に電氣的に接続され、かつダイオードとトランジスタとを有するサージ保護回路を備えた半導体装置であればよい。また、不純物拡散領域の形成方法については、本実施の形態における条件に限られるものではなく、他の条件であってもよい。

【0111】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

40

【図面の簡単な説明】

【0112】

【図 1】本発明の実施の形態 1 におけるサージ保護回路を示す回路図である。

【図 2】本発明の実施の形態 1 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。

【図 3】図 2 の I I I - I I I 線に沿った断面図である。

50

【図 4】 (a) 従来のサージ保護回路を備えた半導体装置の電流・電圧特性を示した図である。(b) 本発明の実施の形態 1 におけるサージ保護回路を備えた半導体装置の電流・電圧特性を示した図である。

【図 5】 本発明の実施の形態 2 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。

【図 6】 図 5 の V I - V I 線に沿った断面図である。

【図 7】 本発明の実施の形態 3 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【図 8】 本発明の実施の形態 4 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。

【図 9】 図 8 の I X - I X 線に沿った断面図である。

【図 10】 本発明の実施の形態 5 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。

【図 11】 図 10 の X I - X I 線に沿った断面図である。

【図 12】 本発明の実施の形態 6 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。

【図 13】 図 12 の X I I I - X I I I 線に沿った断面図である。

【図 14】 本発明の実施の形態 4 におけるサージ保護回路を備えた半導体装置での電流の流れを模式的に示す断面図である。

【図 15】 本発明の実施の形態 6 におけるサージ保護回路を備えた半導体装置での電流の流れを模式的に示す断面図である。

【図 16】 本発明の実施の形態 4 の半導体装置におけるエミッタ領域直下の深さ方向の濃度プロファイルと、エミッタ領域直下の深さ方向の電界強度とのシミュレーション結果を示す図である。

【図 17】 本発明の実施の形態 6 の半導体装置におけるエミッタ領域直下の濃度プロファイルと、エミッタ領域直下の深さ方向の電界強度とのシミュレーション結果を示す図である。

【図 18】 本発明の実施の形態 7 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【図 19】 本発明の実施の形態 8 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【図 20】 本発明の実施の形態 8 の半導体装置におけるエミッタ領域直下の深さ方向の濃度プロファイルと、エミッタ領域直下の深さ方向の電界強度とのシミュレーション結果を示す図である。

【図 21】 本発明の実施の形態 9 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【図 22】 本発明の実施の形態 10 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。

【図 23】 図 22 の X X I I I - X X I I I 線に沿った断面図である。

【図 24】 本発明の実施の形態 10 の半導体装置におけるエミッタ領域直下の濃度プロファイルと、エミッタ領域直下の電子密度の電界分布とのシミュレーション結果を示す図である。

【図 25】 本発明の実施の形態 10 の半導体装置に加わる電圧と半導体装置を流れる電流密度との関係についてのシミュレーション結果を示す図である。

【図 26】 半導体装置に加わる電圧と半導体装置を流れる電流密度との関係についてのシミュレーション結果を示す図である。

【図 27】 本発明の実施の形態 11 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【符号の説明】

【0113】

10

20

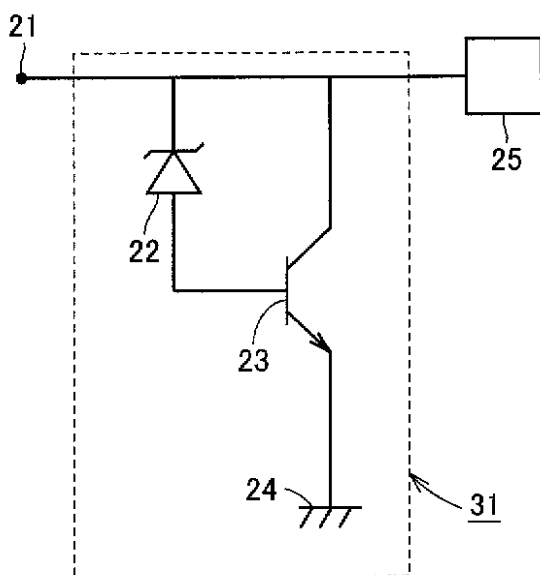
30

40

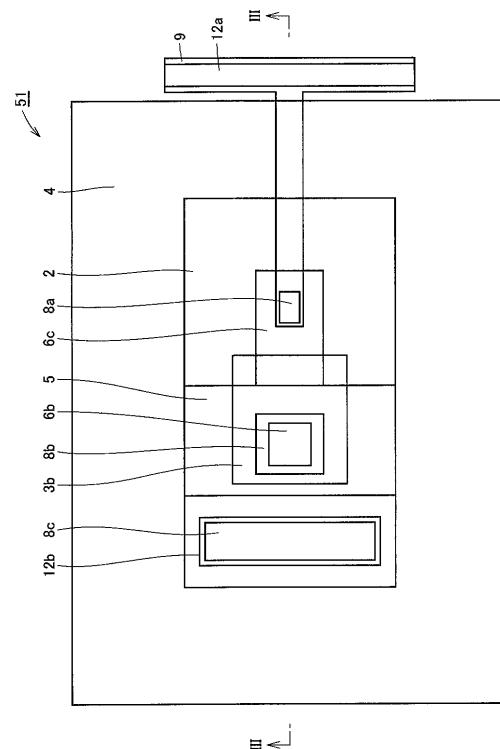
50

1 p^- 領域、2 n^+ 拡散層、3 a, 3 b p^+ 拡散層、4 n^- エピタキシャル層、5 n 型拡散層、6 a～6 c p 型拡散層、7 フィールド酸化膜、8 a～8 c n^+ 拡散層、9, 9 a, 9 b p^+ 拡散層、10 層間絶縁膜、11 a～11 c コンタクトホール、12 a, 12 b 配線、13 a, 13 b n^+ 拡散層、14 a 窪み部分、14 b 低濃度領域、21 信号入力端子、22 ダイオード、23 npnトランジスタ、24 接地電位、25 装置部分、31 サージ保護回路、41 半導体基板、51 半導体装置。

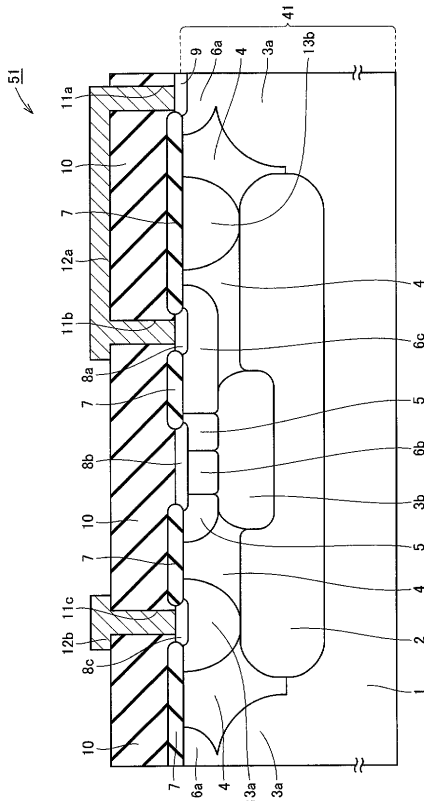
【図 1】



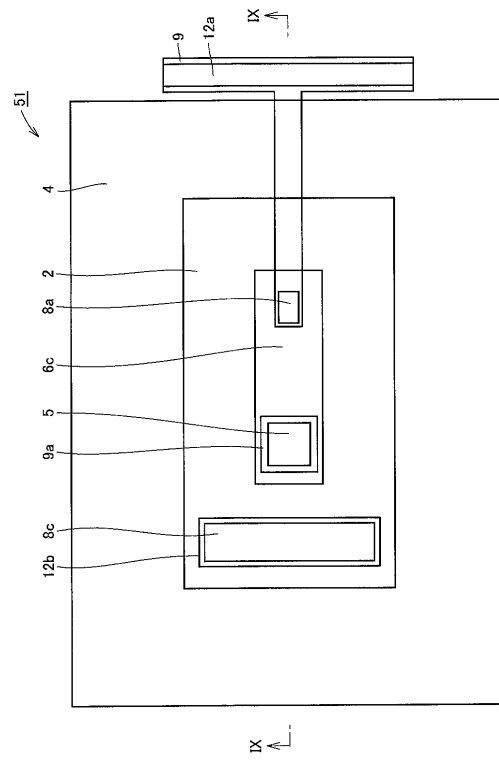
【図 2】



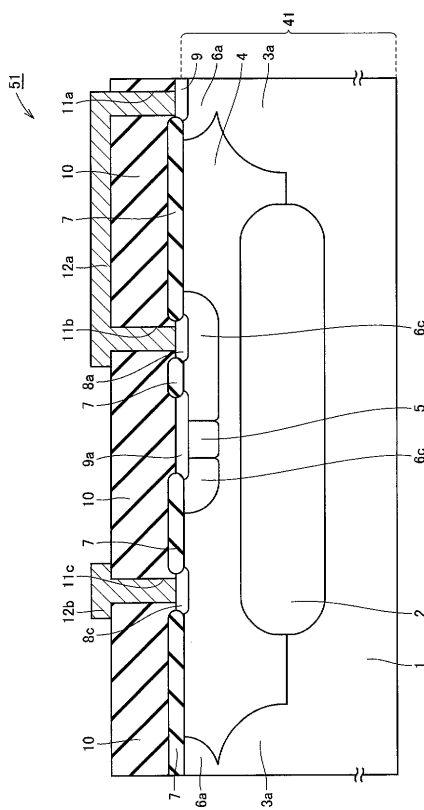
【図 7】



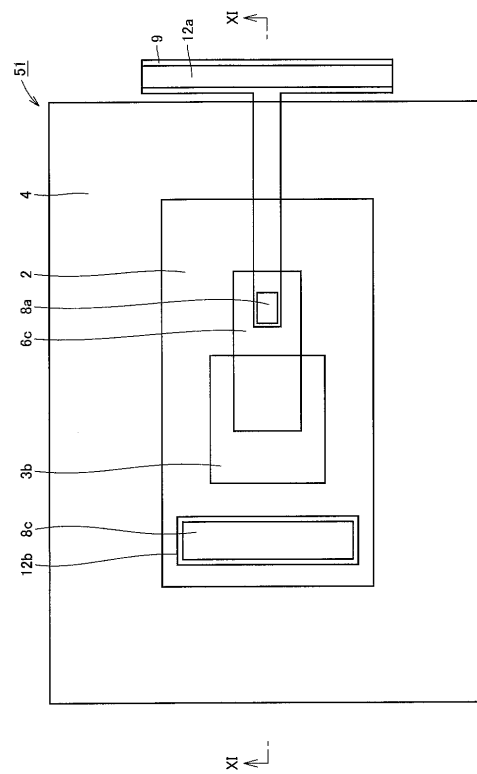
【图 8】



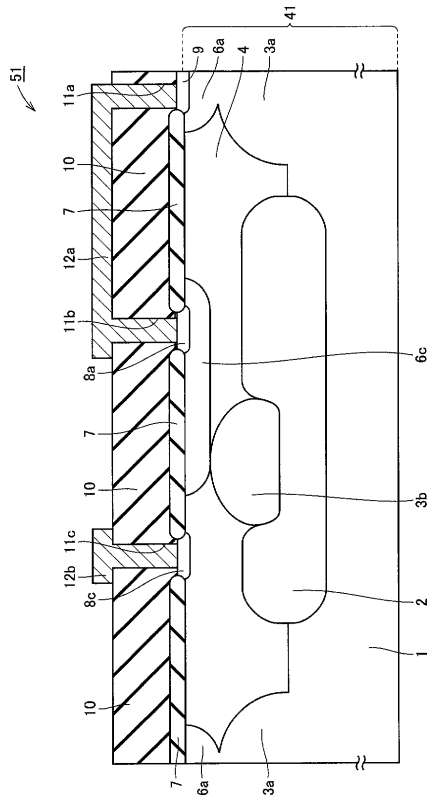
【図 9】



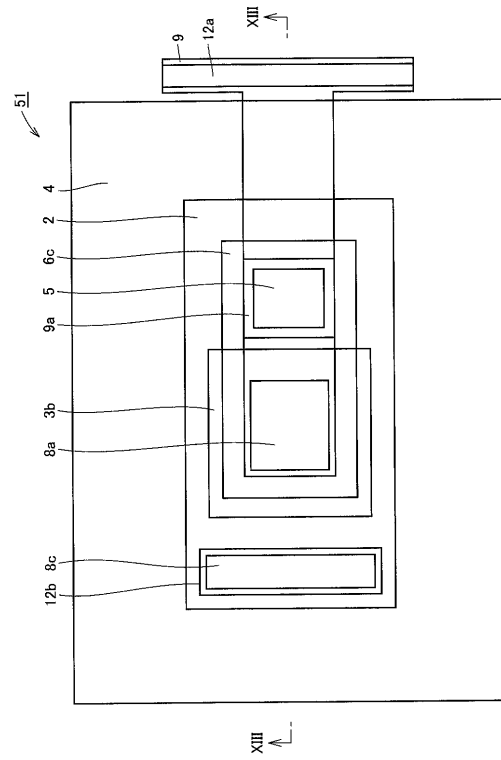
【図 10】



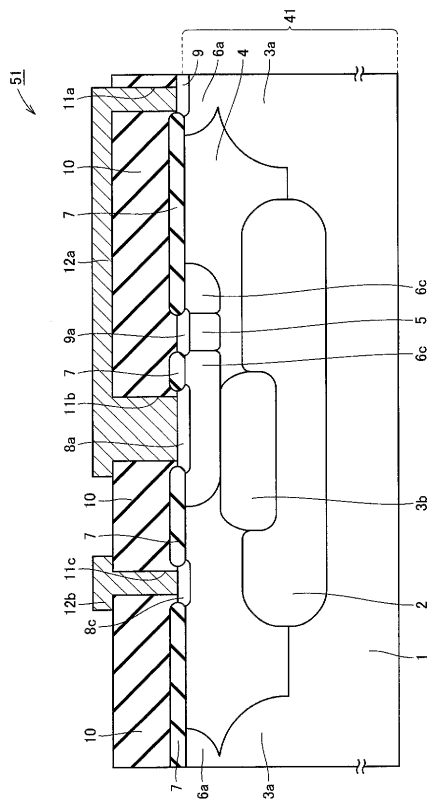
【図 1 1】



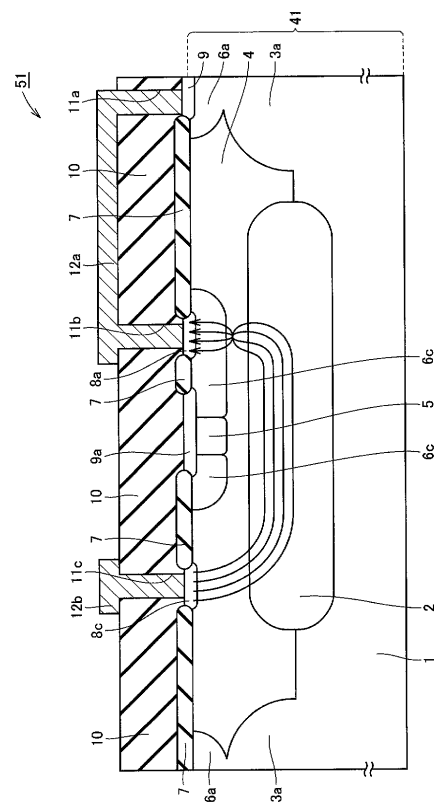
【図 1 2】



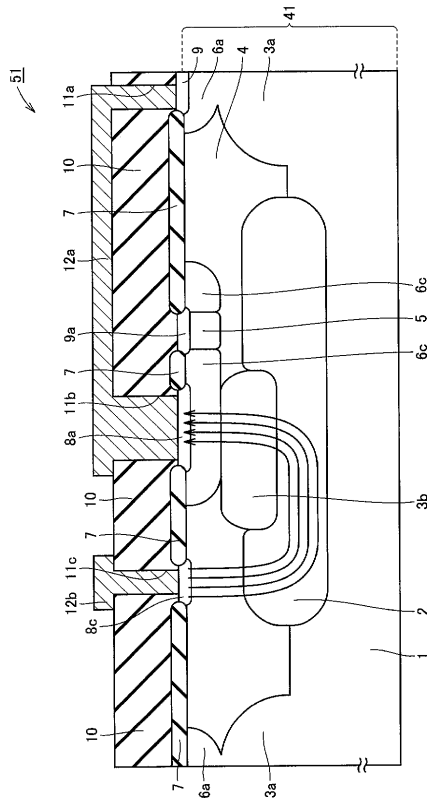
【図 13】



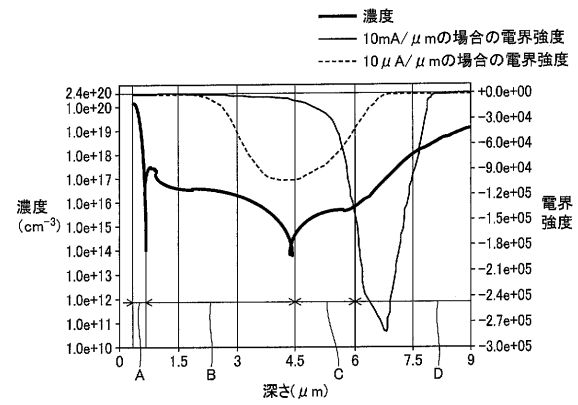
【図 14】



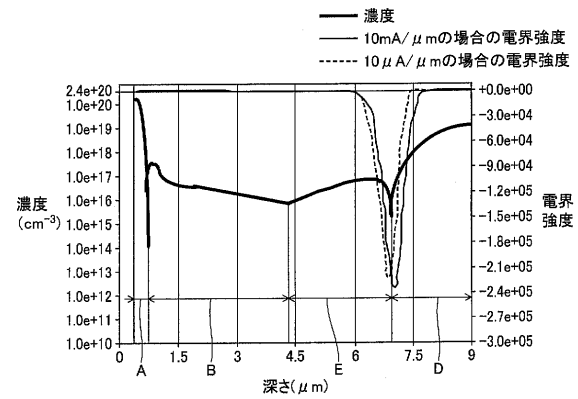
【図 15】



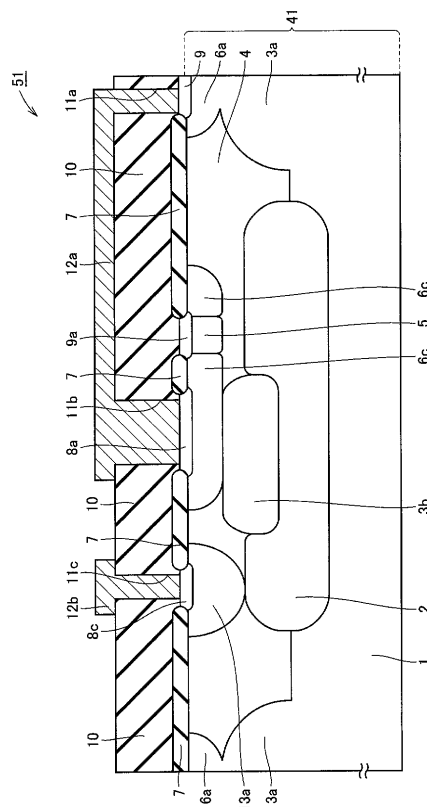
【図 16】



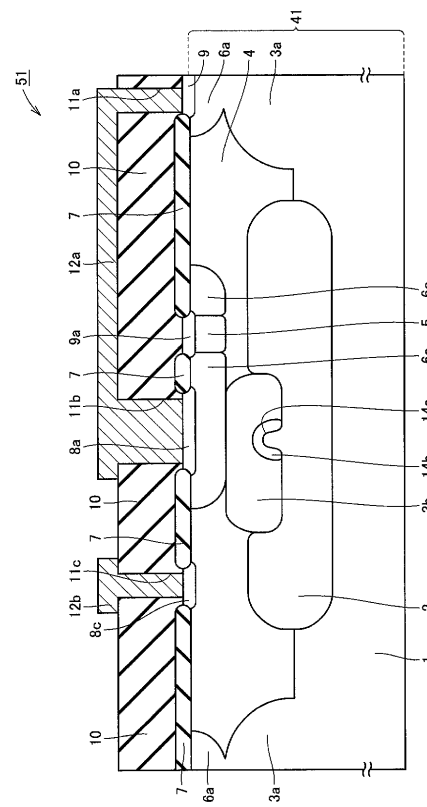
【図 17】



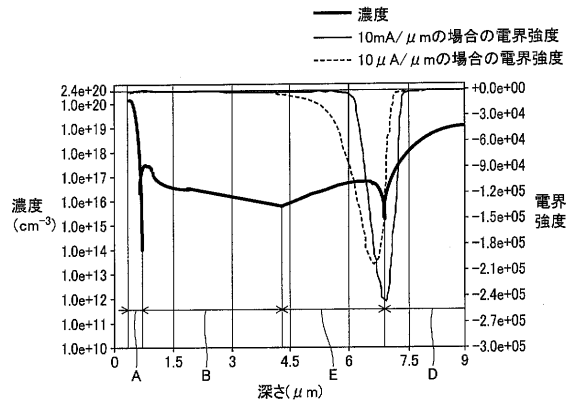
【図 18】



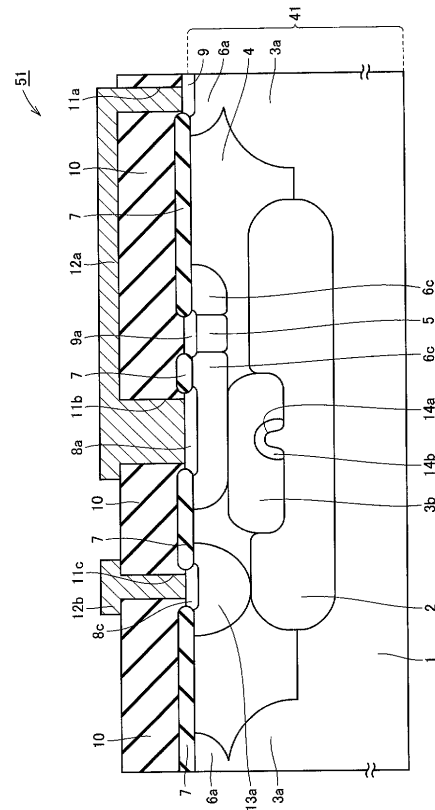
【図 19】



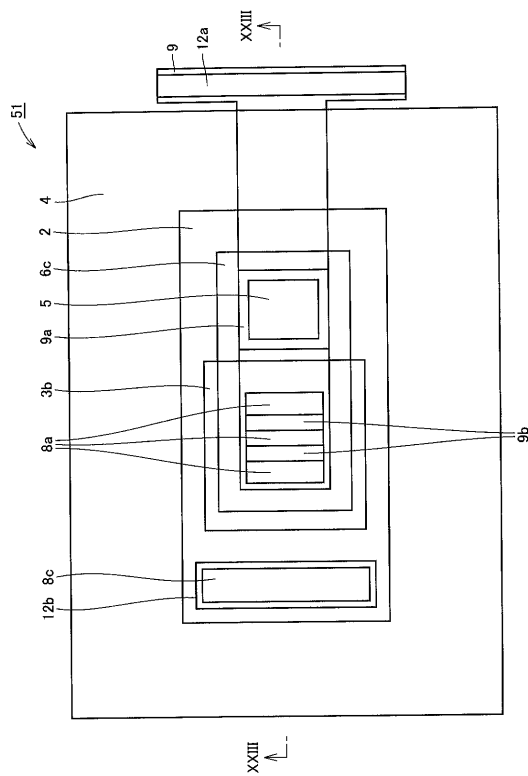
【図 20】



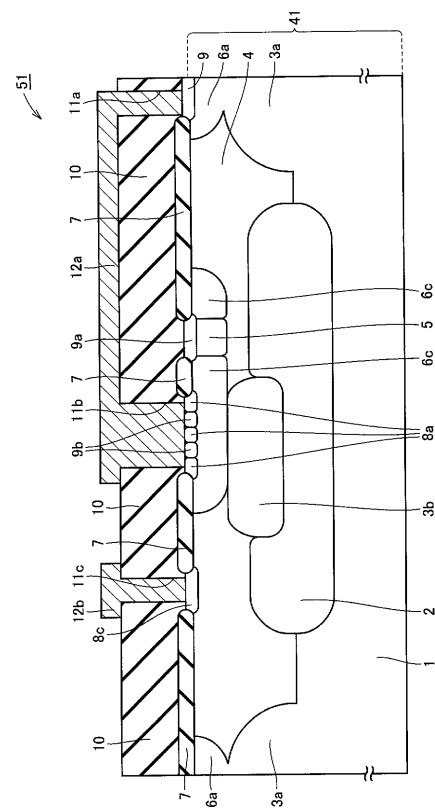
【図 21】



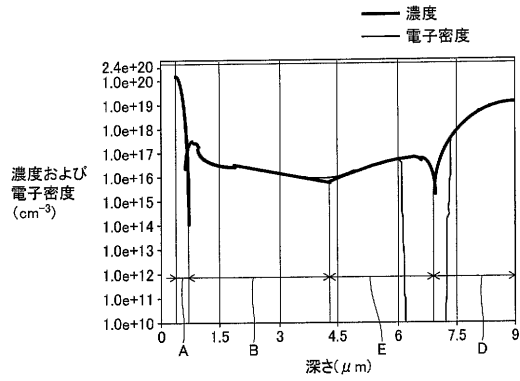
【図 22】



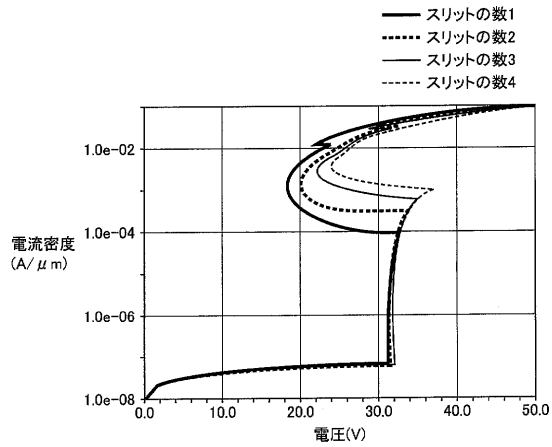
【図 23】



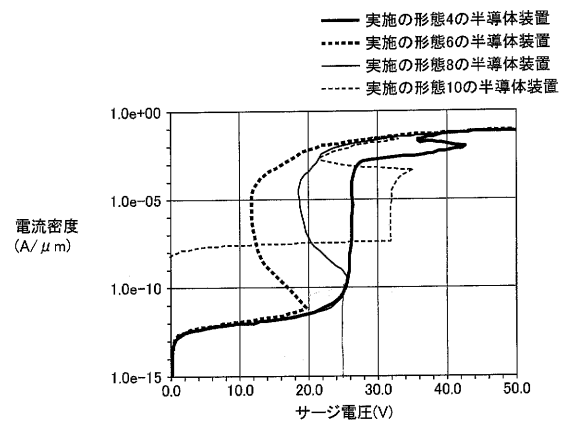
【図 2 4】



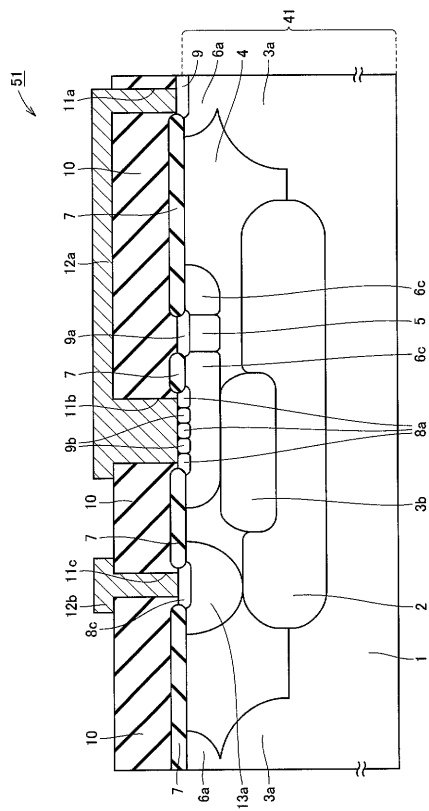
【図 2 5】



【図 2 6】



【図 2 7】



フロントページの続き

(74)代理人 100124523

弁理士 佐々木 真人

(74)代理人 100098316

弁理士 野田 久登

(72)発明者 山本 文寿

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

(72)発明者 上西 明夫

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

審査官 大嶋 洋一

(56)参考文献 特開平05-308124 (JP, A)

特開昭50-017974 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822

H01L 21/331

H01L 27/04

H01L 29/73