

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
29. Januar 2004 (29.01.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/010479 A1

(51) Internationale Patentklassifikation⁷: **H01L 21/00**

(21) Internationales Aktenzeichen: PCT/EP2003/006796

(22) Internationales Anmeldedatum:
26. Juni 2003 (26.06.2003)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
102 32 914.1 19. Juli 2002 (19.07.2002) DE

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): SPÖHRLE, Hans, Peter [DE/DE]; Jupiterstrasse 12 a, 82205 Gilching (DE).

(74) Anwälte: SCHOPPE, Fritz usw.; Schoppe, Zimmermann, Stöckeler & Zinkler, Postfach 246, 82043 Pullach bei München (DE).

(81) Bestimmungsstaaten (national): JP, US.

(84) Bestimmungsstaaten (regional): europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

Veröffentlicht:

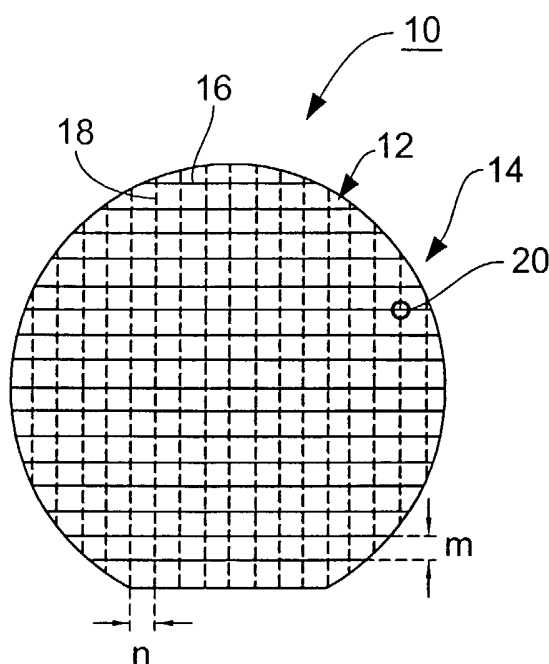
— mit internationalem Recherchenbericht

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **FRAUNHOFER-GESELLSCHAFT ZUR FÖRDERUNG DER ANGEWANDTEN FORSCHUNG** [DE/DE]; Hansastrasse 27 c, 80686 München (DE).

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(54) Title: RE-USABLE CARRIER WAFER AND METHOD FOR PRODUCING THE SAME

(54) Bezeichnung: WIEDERVERWENDBARER TRÄGERWAFER UND VERFAHREN ZUR HERSTELLUNG DESSELBEN



(57) Abstract: The invention relates to the production of a carrier wafer (10), which uses a wafer with a first and second principal surface (12, 14) lying opposite one another, whereby a plurality of trenches (16) are configured in the first principal surface (12) and a plurality of trenches (18) are configured in the second principal surface (14) of the wafer. The trenches (16) in the first principal surface (12) and the trenches (18) in the second principal surface (14) are offset at an angle in relation to each other and are configured with such a depth (d1, d2) that openings (20), which penetrate the wafer, are formed in the intersecting regions (20) of the trenches (16, 18).

(57) Zusammenfassung: Bei der Herstellung eines Trägerwafers (10) wird ein Wafer mit einer ersten und einer gegenüberliegenden zweiten Hauptoberfläche (12, 14) bereitgestellt, woraufhin eine Mehrzahl von Gräben (16) in der ersten Hauptoberfläche (12) und eine Mehrzahl von Gräben (18) in der zweiten Hauptoberfläche (14) des Wafers gebildet werden. Die Gräben (16) in der ersten Hauptoberfläche (12) und die Gräben (18) in der zweiten Hauptoberfläche (14) werden winkelvezsetzt zueinander und mit einer solchen Tiefe (d1, d2) gebildet, daß in Schnittbereichen (20) der Gräben (16, 18) den Wafer durchdringende Öffnungen (20) gebildet werden.

WO 2004/010479 A1

**Wiederverwendbarer Trägerwafer und Verfahren
zur Herstellung desselben**

Beschreibung

5

Die vorliegende Erfindung bezieht sich auf die Herstellung- und Prozessierungstechnologie von Halbleiterschaltungen und insbesondere auf ein Verfahren zur Herstellung perforierter Trägerwafer, die beispielsweise bei der Fertigung ultradünner Prozeßwafer oder Chips (Dies) und bei deren prozeßtechnischer Bearbeitung eingesetzt werden können.

Bei der Herstellung und Nutzung beispielsweise von Si-, Ge- oder III-V-Halbleiter-Schaltungen (Si = Silizium; GE = Germanium) werden gegenwärtig in zunehmendem Maße Anstrengungen unternommen, die jeweiligen Substratdicken der Halbleiterschaltungen zu minimieren, um die Material- bzw. Schaltungseigenschaften optimieren zu können. Einige Gründe für die erwünschte Verringerung der jeweiligen Substratdicken von Halbleiterschaltungen sind beispielsweise u. a. eine erhöhte Gewichtsreduktion, eine verbesserte Stapelbarkeit, eine mögliche Gehäuseverkleinerung, eine verbesserte Verlustwärmeableitung und eine erhöhte Biegsamkeit.

Um die Substratdicken von Halbleiterschaltungen auf Waferebene unter eine Dicke von etwa 80 µm dünnen zu können, muß der prozeßtechnisch zu behandelnde Schaltungswafer, der im nachfolgenden zur Vereinfachung als Prozeßwafer bezeichnet wird, mit einem Trägerwafer verbunden und durch diesen gestützt werden. Die Notwendigkeit für die Verwendung eines Trägerwafers resultiert aus den Handling-Systemen der Technologiegeräte bei der Halbleiterherstellung, wie z. B. Schleifmaschinen, Spinätzer, Poliermaschinen. Mit abnehmen-

der Dicke biegt sich der Prozeßwafer bei der Handhabung durch die Handling-Systeme und Technologiegeräte schwerkraftbedingt immer stärker durch, wodurch der Prozeßwafer die vorgegebene Geometrie der Handling-Systeme nicht mehr
5 einhalten kann, und dann beispielsweise von einem Roboter eines Handling-Systems durch Anstoßen an eine Kante zerstört werden kann.

Um nun einen Prozeßwafer mit dem stützenden Trägerwafer zu
10 verbinden, werden im allgemeinen Verbindungsschichten wie Folien, Klebstoffe, Lacke und Wachsmaterialien eingesetzt, die nach der prozeßtechnischen Behandlung des Prozeßwafers, z. B. nach dem Dünnungsprozeß, wieder gelöst werden müssen. Bei einer ganzflächigen Klebeverbindung zwischen dem Pro-
15 zeßwafer und dem Trägerwafer muß das zum Lösen verwendete Lösemittel durch den sehr kleinen Spalt, der der Dicke der Verbindungsschicht entspricht, zwischen dem Prozeßwafer und dem Trägerwafer vom Umfang der Klebeverbindung her vordrin-
gen, was im allgemeinen eine zu lange Zeitdauer in Anspruch
20 nimmt und oftmals überhaupt nicht möglich ist. Angemessene Ablösezeiten des Prozeßwafers von dem Trägerwafer können daher im allgemeinen nur erreicht werden, wenn ein Angriff des Lösemittels über die gesamte Fläche des Trägerwafers erfolgen kann. Im Stand der Technik werden beispielsweise
25 dafür perforierte Trägerwafer eingesetzt, bei denen das Lösemittel den Trägerwafer entsprechend der Perforation durchdringen kann.

Gegenwärtig werden als perforierte Trägerwafer beispiels-
30 weise neben sehr teuren, laserperforierten Saphirwafern auch Trägerwafer aus porösen Materialien, wie Sintermetallen oder Sinterkeramiken mit kleinen Porengrößen im Bereich von 1 bis 10 µm verwendet. Ferner sind auch Trägerwafer aus

organisch gebundenen porösen Materialien auf Aluminiumbasis verfügbar. Die oben genannten Trägerwafer bzw. die oben genannten Materialien für Trägerwafer weisen jedoch ungünstigerweise eine Reihe von Unzulänglichkeiten und Einschränkungen auf.

So sind bei den oben genannten Materialien im allgemeinen die Porengrößen zu klein, um ein Auswaschen der Verbindungsmaterialien, z. B. des Klebers, in einer ausreichend kurzen Zeitdauer zu ermöglichen. Ferner ist zu beachten, daß für die elektrischen Eigenschaften von Halbleiterschaltungen unerwünschte Spuren von Metallen äußerst schädlich sind, wobei die Metallspuren auf dem Prozeßwafer beispielsweise durch einen unbeabsichtigten, direkten Kontakt des Trägerwafers mit dem Prozeßwafer hervorgerufen werden können.

Ferner ist bisher die Herstellung von Platten aus den oben genannten porösen Materialien mit der erwünschten hohen Stabilität und gleichzeitig geringer Dicke nicht möglich. Darüber hinaus liegt im allgemeinen eine Differenz im thermischen Ausdehnungskoeffizienten zwischen dem Prozeßwafer aus einem Halbleitermaterial und dem Trägerwafer aus einem der oben genannten, üblicherweise verwendeten porösen Materialien vor, so daß diese Differenz des thermischen Ausdehnungskoeffizienten bei starken Temperaturunterschieden oder Temperaturschwankungen, die bei der prozeßtechnischen Behandlung des Prozeßwafers auftreten können, zu einer Durchbiegung des Verbundes aus Prozeß- und Trägerwafer führen.

30

Ausgehend von diesem Stand der Technik besteht die Aufgabe der vorliegenden Erfindung darin, ein verbessertes Verfahren zur Herstellung eines Trägerwafers und einen verbesser-

ten Trägerwafer zu schaffen, der für die Fertigung ultradünner Prozeßwafer oder Chips einsetzbar und auch wiederholt verwendbar ist.

- 5 Diese Aufgabe wird durch ein Verfahren zur Herstellung eines Trägerwafers gemäß Anspruch 1 und durch einen Trägerwafer zum Anbringen an einem Prozeßwafer gemäß Anspruch 10 gelöst.
- 10 Bei dem erfindungsgemäßen Verfahren zur Herstellung eines Trägerwafers wird zuerst ein Wafer mit einer ersten und einer gegenüberliegenden zweiten Hauptoberfläche bereitgestellt. Daraufhin wird eine Mehrzahl von Gräben in der ersten Hauptoberfläche und eine Mehrzahl von Gräben in der
- 15 zweiten gegenüberliegenden Hauptoberfläche des Wafers gebildet, wobei die Gräben in der ersten Hauptoberfläche und die Gräben in der zweiten gegenüberliegenden Hauptoberfläche des Wafers winkelyversetzt zueinander und mit einer solchen Tiefe gebildet werden, daß in Schnittbereichen der
- 20 Gräben den Wafer durchdringende Öffnungen gebildet werden.

- Der vorliegenden Erfindung liegt die Erkenntnis zugrunde, daß ein kostengünstiger und zuverlässiger, perforierter Trägerwafer für die Fertigung ultradünner Prozeßwafer oder
- 25 Chips hergestellt werden kann, indem beispielsweise mittels eines Sägevorgangs (Wafersägen), Trench-Ätzvorgangs (Grabenätzen) oder eines anderen geeigneten Vorgangs auf einem Trägerwafer, der vorzugsweise ein Halbleitermaterial, ein Glas- und/oder ein Keramikmaterial aufweist, beidseitig um
- 30 einen beliebigen Winkel versetzte Gräben in frei wählbaren Abständen auf Teilflächen oder ganzflächig auf dem Trägerwafer erzeugt werden. Die winkelyversetzten Gräben auf beiden Hauptoberflächen des Trägerwafers weisen dabei eine

vorbestimmte Tiefe, vorzugsweise eine Tiefe, die etwa der halben Dicke des Trägerwafers (und vorzugsweise etwas mehr als der halben Dicke des Trägerwafers) entspricht, auf, wodurch in Schnittbereichen der Gräben auf den beiden Haupt-
5 oberflächen des Trägerwafers Öffnungen entstehen, die den Trägerwafer durchdringen.

Die Variation der Öffnungsgrößen der den Wafer durchdringenden Öffnungen ist über die jeweilige Grabenbreite, d. h.
10 beispielsweise über die Sägeblattdicke, einstellbar, wobei damit die Anzahl, die Häufigkeit und auch die Verteilung der Öffnungen pro Flächeeinheit des Trägerwafers über den jeweiligen Abstand der Gräben einstellbar ist. Dabei ist ferner zu beachten, daß damit die Öffnungsgröße und die An-
15 zahl der Öffnungen auch in Abhängigkeit von dem jeweiligen Ort auf dem Trägerwafer variiert werden können, um beispielsweise in bestimmten Bereichen des Trägerwafers ein schnelleres Durchdringen mit dem Lösemittel, das die Verbindungsschicht zwischen dem Trägerwafer und dem Prozeßwa-
20 fer entfernen soll, zu gewährleisten, wenn dies entsprechend dem jeweiligen Anwendungsfall vorteilhaft und zweckmäßig erscheint.

Vorzugsweise sind sowohl die Gräben in der ersten Haupt-
25 oberfläche des Wafers parallel zueinander angeordnet als auch die Gräben in der zweiten Hauptoberfläche des Wafers parallel zueinander angeordnet, wobei die Gräben in der ersten und zweiten Hauptoberfläche winkelfersetzt und aus Symmetriegründen vorzugsweise senkrecht zueinander angeord-
30 net sind. Wie bereits angesprochen, ist es jedoch auch denkbar, die Geometrie, d. h. die Breite, den Abstand, die Form und die Tiefe, der Gräben so zu variieren, um in Abhängigkeit von dem Ort auf dem Trägerwafer eine bestimmte

Variation der Öffnungsgrößen, der Öffnungsformen und/oder eine Variation der Häufigkeit der Öffnungen vorzusehen.

Um die gemäß dem Stand der Technik genannten Nachteile beispielsweise bezüglich störender Metallspuren aufgrund der bisher verwendeter Materialien für Trägerwafer zu überwinden, weist der Trägerwafer gemäß der vorliegenden Erfindung im wesentlichen das gleiche Material wie der Prozeßwafer auf, an dem der Trägerwafer beispielsweise mittels einer Verbindungsschicht angebracht werden soll. Durch die Verwendung von Trägerwafern aus einem einkristallinen Halbleitermaterial können nun Trägerwafer mit gewünschter hoher Stabilität und damit Prozeßwafer geringer Dicke hergestellt werden.

Mit dem erfindungsgemäßen Verfahren zur Herstellung eines Trägerwafers, der zum Anbringen an einen Prozeßwafer mittels einer Verbindungsschicht vorgesehen ist, läßt sich also auf eine kostengünstige Weise ein wiederverwendbarer perforierter Trägerwafer herstellen. Der Trägerwafer weist dabei vorzugsweise ein Halbleitermaterial auf, das mit dem Halbleitersubstratmaterial des Prozeßwafers übereinstimmt, wobei natürlich auch Materialien wie Glas, Keramik und Kombinationen derselben bei dem erfindungsgemäßen Herstellungsverfahren als Materialien für den Trägerwafer verwendet werden können.

Nachdem bei dem erfindungsgemäßen Verfahren zur Herstellung eines Trägerwafers die Gräben beispielsweise mittels eines Sägevorgangs in zumindest eine der Hauptoberflächen des Trägerwafers eingebracht wurden, kann zur Kantenglättung und Verringerung der Bruchgefahr des Trägerwafers eine Anätzung des Trägermaterials erfolgen. Für eine spätere Ver-

wendung des perforierten Trägerwafers bei weiteren Prozeßschritten, wie z. B. bei Ätzvorgängen des Prozeßwafers, die auf den prozeßtechnisch zu behandelnden Prozeßwafer ausgeübt werden, kann der Trägerwafer beispielsweise mit
5 einer Nitridschicht versehen werden, um den mit dem Prozeßwafer verbundenen Trägerwafer gegenüber diesen Prozeßschritten resistent zu machen.

Ferner sollte beachtet werden, daß ein mit dem erfindungsgemäß hergestelltem, perforierten Trägerwafer verbundener
10 Prozeßwafer während der gesamten Dünnungssequenz des Prozeßwafers bis zu einer Dicke von etwa 20 µm mit Standard-Handling-Systemen prozessiert und daraufhin der Prozeßwafer von dem Trägerwafer abgelöst werden kann. Der perforierte
15 Trägerwafer ist dabei wiederholt verwendbar.

Mit dem erfindungsgemäß hergestellten Trägerwafer können die Eigenschaften der Gräben und kann die Verteilung der Öffnungen bzw. Porengrößen (Perforationen) des Trägerwafers
20 exakt so eingestellt werden, um ein möglichst schnelles und gleichmäßiges Lösen und Auswaschen der Verbindungsschicht zwischen dem Trägerwafer und dem Prozeßwafer in einem optimal kurzen Zeitraum zu ermöglichen. Da der Trägerwafer vorzugsweise aus dem gleichen Halbleitermaterial wie der Prozeßwafer bzw. aus einem Glas- und/oder Keramikmaterial her-
25 gestellt ist, können keine Spuren von störenden Fremdstoffen (wie z. B. Metallen), die auf einen Kontakt mit dem Trägerwafer zurückzuführen sind, auf dem Prozeßwafer zurückbleiben. Mit dem erfindungsgemäßen Verfahren zur Herstellung eines Trägerwafers ist es ferner möglich, Träger-
30 wafer mit einer relativ geringen Dicke und trotzdem mit einer ausreichend hohen Stabilität herzustellen, wobei der Trägerwafer und der Prozeßwafer im wesentlichen keine Dif-

ferenz bezüglich des thermischen Ausdehnungskoeffizienten aufweisen, so daß es bei der Prozessierung des Prozeßwafers bei Temperaturschwankungen zu keiner unerwünschten Durchbiegung des Verbundes aus Prozeß- und Trägerwafer kommen kann.

Bevorzugte Ausführungsbeispiele der vorliegenden Erfindung werden nachfolgend beziehungsweise auf die beiliegenden Zeichnungen näher erläutert. Es zeigen:

10

Fig. 1 eine Draufsicht auf einen perforierten Trägerwafer gemäß einem bevorzugten Ausführungsbeispiel der vorliegenden Erfindung; und

15

Fig. 2 eine Schnittansicht eines perforierten Trägerwafers gemäß dem bevorzugten Ausführungsbeispiel der vorliegenden Erfindung.

20

Bezug nehmend auf Fig. 1 und Fig. 2 wird nun im folgenden ein erstes bevorzugtes Ausführungsbeispiel eines Verfahrens zur Herstellung eines Trägerwafers 10 detailliert erläutert.

25

Um den Trägerwafer 10 herzustellen, werden in einen Wafer, der eine erste Hauptoberfläche 12 (in der Zeichenebene oben) und eine zweite gegenüberliegende Hauptoberfläche 14 (in der Zeichenebene unten) aufweist, jeweils eine Mehrzahl von Gräben 16 in der ersten Hauptoberfläche und eine Mehrzahl von Gräben 18 (gestrichelt gezeichnet) in der zweiten Hauptoberfläche 14 des Wafers gebildet. Die Gräben 16, 18 in dem Trägerwafer 10 werden beispielsweise mittels Sägevorgängen (Wafersägen), Grabenätzvorgängen (Trench-Ätzen) oder einer anderen geeigneten Vorgehensweise beidseitig auf

30

dem Halbleiterwafer gebildet, wobei die Gräben 16 auf der ersten Hauptoberfläche 12 des Trägerwafers 10 um einen beliebigen (von 0° verschiedenen) Winkel zu den Gräben 18 in der zweiten Hauptoberfläche 14 des Trägerwafers 10 versetzt sind, wobei bei dem bevorzugten Ausführungsbeispiel der Winkel zwischen denselben vorzugsweise etwa 90° beträgt, so daß das in Fig. 1 dargestellte symmetrische „Gitter“ aus den Gräben 16, 18 in dem Trägerwafer 10 entsteht.

Die Gräben können auf eine beliebige Weise in dem Trägerwafer 10 gebildet werden, wobei technisch gut beherrschte Sägevorgänge, Ätztvorgänge und Laserbearbeitungen bevorzugt werden, um den perforierten Trägerwafer zu bilden. So ist die Perforation des Trägerwafers beispielsweise entweder direkt mittels einer Laserbearbeitung oder auch in Kombination mit Säge- und/oder Ätztvorgängen herstellbar. So ist es z. B. vorstellbar, daß die Gräben 16 in der ersten Hauptoberfläche 12 des Wafers 10 mit einem Ätztvorgang hergestellt werden, wobei die Gräben 18 in der zweiten Hauptoberfläche 14 des Wafers 10 mit einem Sägevorgang hergestellt werden (und umgekehrt).

Im folgenden wird nun dargestellt, welche geometrischen Eigenschaften die in Fig. 1 und Fig. 2 dargestellten Gräben 16, 18 in der ersten bzw. zweiten Hauptoberfläche 12, 14 des Trägerwafers 10 aufweisen und wie diese vorzugsweise ausgelegt sind.

Wie in Fig. 2 dargestellt ist, weisen die Gräben 16 in der ersten Hauptoberfläche 12 des Trägerwafers 10 eine Tiefe d_1 , eine Breite b_1 und einen Abstand m auf, und die Gräben 18 in der zweiten Hauptoberfläche 14 des Trägerwafers 10

weisen eine Tiefe d_2 , eine Breite b_2 und einen Abstand n auf. Der Trägerwafer 10 weist eine Gesamtdicke D auf.

Bei dem in Fig. 2 dargestellten Ausführungsbeispiel wird
5 optimalerweise von keiner Verjüngung der Grabenbreite in Richtung der Grabentiefe ausgegangen, wie sie jedoch beispielsweise infolge eines Ätzvorgangs in der Praxis auftreten kann.

10 In Fig. 1 und 2 ist dargestellt, daß die Breite b_1 der Gräben 16 mit der Breite b_2 der Gräben 18 übereinstimmt. Ferner ist in Fig. 1 dargestellt, daß der Abstand m der Gräben 16 in der ersten Hauptoberfläche 12 des Wafers 10 konstant ist und mit einer Breite n der Gräben 18 in der zweiten
15 Hauptoberfläche 14 des Wafers 10 übereinstimmt. Es sollte jedoch beachtet werden, daß diese in Fig. 1 und 2 gezeigte Anordnung lediglich eine bevorzugte, optionale Ausgestaltung der Gräben 16, 18 ist.

20 Ferner ist in Fig. 1 dargestellt, daß die Gräben 16, 18 ganzflächig in dem Trägerwafer 10 angeordnet sind. Es ist jedoch auch möglich, die Gräben nur in Teilflächen der Hauptoberflächen 12, 14 des Trägerwafers 10 anzuordnen.

25 Wie bereits erwähnt, können die Gräben 16, 18 in der ersten bzw. zweiten Hauptoberfläche 12, 14 des Trägerwafers 10 in frei wählbaren Abständen und mit frei wählbaren Breiten auf Teilflächen des Trägerwafers 10 oder ganzflächig auf dem Trägerwafer 10 erzeugt werden. Da die Gräben 16, 18 in den
30 beiden Hauptoberflächen 12, 14 winkelfersetzt sind, d. h. vorzugsweise um 90° winkelfersetzt sind, entstehen Schnittbereiche 20 (Überlappungsbereiche) der Gräben, wobei diese Schnittbereiche 20 der Gräben 16, 18 den Wafer 10 durch-

dringende Öffnungen 22 ergeben, wenn die Tiefe d1 und die Tiefe d2 der Gräben 16, 18 geeignet gewählt sind.

Idealerweise entspricht die Tiefe d1, d2 der Gräben 16, 18
5 exakt der Hälfte der Dicke D des Wafers 10, wobei bei der praktischen Realisierung die Tiefe d1, d2 der Gräben 16, 18 vorzugsweise auf etwas mehr als die halbe Dicke des Halbleiterwafers eingestellt ist, um sicher die Öffnungen 22 zu bilden.

10

Für die jeweilige Wahl der Tiefe d1 des Grabens 16 und der Tiefe d2 des Grabens 18 im Verhältnis zu der Materialdicke D des Trägerwafers 10 können beispielsweise bezugnehmend auf folgende Beziehung zwischen der Materialdicke D und der
15 Tiefe d1, d2 der Gräben 16, 18 folgende denkbaren Bereiche für die Dicke d1, d2 der Gräben 16, 18 angegeben werden:

$$\begin{aligned} D &\leq d1 + d2 \leq 1,4D; \text{ und} \\ 0,3D &\leq d1 \leq 0,7D; \text{ und} \\ 20 \quad 0,3D &\leq d2 \leq 0,7D. \end{aligned}$$

Der für den jeweiligen Trägerwafer 10 optimale Tiefenbereich der Gräben 16, 18 wird letztendlich in Verbindung mit den weiteren geometrischen Eigenschaften der Gräben 16, 18
25 eingestellt, um so beispielsweise optimale Anforderungen an die Stabilität, Haltbarkeit, Wiederverwendbarkeit usw. des Trägerwafers erfüllen zu können.

Es wird deutlich, daß über die Grabenbreite b1, b2 der Gräben 16, 18, d. h. beispielsweise über die Sägeblatttdicke
30 bzw. über den Ätzvorgang, die jeweilige Größe der Öffnung 22 (variabel) einstellbar ist, wobei andererseits die Anzahl von Öffnungen 22 pro Fläche auf dem Trägerwafer 10 ü-

- ber die Abstände m , n der Gräben 16, 18 einstellbar ist. Die Breite b_1 , b_2 der Gräben 16, 18 und die Abstände der Gräben 16, 18 können beispielsweise in Abhängigkeit von dem Ort auf dem Trägerwafer 10 variiert werden, um abhängig von
- 5 dem Ort auf dem Trägerwafer 10 die optimalen Öffnungsgrößen, die optimale Anzahl und die optimale Verteilung der Öffnungen 22 pro Flächeneinheit auf dem Trägerwafer 10 zu erhalten.
- 10 In diesem Zusammenhang sollte beachtet werden, daß bezüglich der Grabenanordnung beliebige Gräben eingesetzt werden können. Fig. 1 und 2 zeigen als bevorzugtes Ausführungsbeispiel linear angeordnete Gräben. Es sollte jedoch offensichtlich sein, daß die Gräben auch kreisförmig, spiralförmig,
- 15 mig, oval usw., d. h. im wesentlichen in jeder denkbaren Form angeordnet sein können, um in Abhängigkeit von dem Ort auf dem Trägerwafer eine bestimmte Variation der Öffnungsgrößen bzw. Öffnungsformen und/oder eine Variation der Häufigkeit der Öffnungen vorsehen zu können.
- 20 Damit kann die Art und Dichte der Perforation des Trägerwafers 10 so eingestellt werden, um ein Auswaschen einer Verbindungsschicht, z. B. eines Klebstoffes, mittels eines Lösemittels in einer optimierten kurzen Zeitdauer zu ermöglichen,
- 25 chen, wobei der Durchsatz mit dem Lösemittel abhängig vom Ort auf dem Trägerwafer 10 variiert und damit optimiert werden kann, um beispielsweise ein schnelles und gleichmäßige Auswaschen der Verbindungsschicht zu ermöglichen.
- 30 Falls die Gräben 16, 18 in dem Trägerwafer 10 mittels eines Sägevorgangs erzeugt werden, kann nach dem Sägevorgang zur Kantenglättung an dem perforierten Trägerwafer 10 oder auch

zur Verringerung der Bruchgefahr desselben eine Anätzung der Kanten erfolgen.

Um den Trägerwafer beispielsweise bei einer prozeßtechni-
5 scher Bearbeitung des Prozeßwafers resistent gegen mögliche
Ätzprozeßschritte zu machen, kann für eine spätere Verwen-
dung des perforierten Trägerwafers 10 mit einem an demsel-
ben angebrachten Prozeßwafer (nicht gezeigt) bei Ätzpro-
zeßschritten der Trägerwafer mit einer als Schutzüberzug
10 wirksamen Nitridschicht versehen werden.

Es ist zu beachten, daß das erfindungsgemäße Verfahren zur
Herstellung eines Trägerwafers auch zur Stabilitätserhöhung
auf gebondete Substrate mit doppelter oder mehrfacher Dicke
15 angewendet werden kann. So kann das erfindungsgemäße Ver-
fahren zur Herstellung eines perforierten Trägerwafers auch
auf zwei oder mehrere durch Anodisches Bonden, Silicon-
Fusion-Bonden oder Kleben verbundene Einzelwafer angewendet
werden, die dann wie ein mehrfach dicker Trägerwafer mit
20 der Gesamtdicke D2 (vgl. Fig. 2) behandelt werden.

Ein mit dem perforierten Trägerwafer 10 verbundener Prozeß-
wafer kann während der gesamten Dünnungssequenz bis zu ei-
ner Dicke von etwa 20 µm herab (und auch darunter) mit
25 Standard-Handling-Systemen prozessiert und danach abgelöst
werden. Der erfindungsgemäß hergestellte perforierte Trä-
gerwafer 10 ist wiederholt verwendbar.

Ein mit dem erfindungsgemäßen Verfahren hergestellter Trä-
30 gerwafer zum Anbringen an einem Prozeßwafer mittels einer
Verbindungsschicht, wobei der Trägerwafer eine erste und
eine zweite gegenüberliegende Hauptoberfläche aufweist, um-
faßt eine Mehrzahl von Gräben in der ersten Hauptoberfläche

und eine Mehrzahl von Gräben in der zweiten Hauptoberfläche des Wafers, wobei die Gräben in der ersten Hauptoberfläche und die Gräben in der zweiten Hauptoberfläche winkelfersetzt zueinander und mit einer solchen Tiefe gebildet sind, 5 daß in Schnittbereichen der Gräben den Wafer durchdringende Öffnungen gebildet sind.

Mit dem erfindungsgemäß hergestellten Trägerwafer können die Eigenschaften der Gräben und kann die Form und die Verteilung der Öffnungen (Perforationen) des Trägerwafers exakt so eingestellt werden, um ein möglichst schnelles und gleichmäßiges Lösen und Auswaschen einer Verbindungsschicht zwischen dem Trägerwafer und dem Prozeßwafer in einem optimal kurzen Zeitraum zu ermöglichen. Da der Trägerwafer vorzugsweise aus dem gleichen Halbleitermaterial wie der Prozeßwafer hergestellt ist, können keine Spuren von Fremdstoffen (wie z. B. Metallen), die auf einen Kontakt mit dem Trägerwafer zurückzuführen sind, auf dem Prozeßwafer zurückbleiben.

20 Natürlich können auch Materialien wie Glas, Keramik und Kombinationen derselben bei dem erfindungsgemäßen Herstellungsverfahren als Materialien für den Trägerwafer verwendet werden, wobei der thermische Ausdehnungskoeffizient des Trägerwafermaterials vorzugsweise übereinstimmend mit dem 25 des Prozeßwafermaterials gewählt ist.

Mit dem erfindungsgemäßen Verfahren zur Herstellung eines Trägerwafers ist es ferner möglich, Trägerwafer mit ausreichend hoher Stabilität und trotzdem geringer Dicke herzustellen, wobei der Trägerwafer und der Prozeßwafer im wesentlichen keine Differenz bezüglich des thermischen Ausdehnungskoeffizienten aufweisen, so daß es bei der Prozes-

sierung des Prozeßwafers bei Temperaturschwankungen zu keiner unerwünschten Durchbiegung des Verbundes aus Prozeß- und Trägerwafer kommen kann.

- 5 Mit der vorliegenden Erfindung kann also ein kostengünstiger und zuverlässiger, perforierter, wiederverwendbarer Trägerwafer für die Fertigung ultradünner Prozeßwafer oder Chips hergestellt werden.

Patentansprüche

1. Verfahren zur Herstellung eines Trägerwafers (10) mit
folgenden Schritten:
5
Bereitstellen eines Wafers mit einer ersten Hauptober-
fläche (12) und einer gegenüberliegenden zweiten
Hauptoberfläche (14); und
10 Bilden einer Mehrzahl von Gräben (16) in der ersten
Hauptoberfläche (12) und einer Mehrzahl von Gräben
(18) in der zweiten Hauptoberfläche (14) des Wafers,
wobei die Gräben (16) in der ersten Hauptoberfläche
15 (12) und die Gräben (18) in der zweiten Hauptoberflä-
che (14) winkelversetzt zueinander und mit einer sol-
chen Tiefe (d1, d2) gebildet werden, daß in Schnittbe-
reichen (20) der Gräben (16, 18) den Wafer durchdrin-
gende Öffnungen (22) gebildet werden.
20
2. Verfahren gemäß Anspruch 1, bei dem die Gräben (16,
18) in der ersten und der gegenüberliegenden zweiten
Hauptoberfläche (12, 14) des Wafers mittels eines Sä-
gevorgangs, eines Ätzvorgangs und/oder einer Laserbe-
25 arbeitung gebildet werden.
3. Verfahren gemäß einem der Ansprüche 1 oder 2, bei dem
die Gräben (16, 18) auf einer Teilfläche des Wafers
angeordnet werden.
30
4. Verfahren gemäß einem der Ansprüche 1 oder 2, bei dem
die Gräben (16, 18) auf dem gesamten Wafer angeordnet
werden.

5. Verfahren gemäß einem der Ansprüche 1 bis 4, bei dem der Trägerwafer (10) vorgesehen ist, um mit einem Prozeßwafer verbunden zu werden, wobei der Trägerwafer (10) und der Prozeßwafer ein Material aufweisen, das im wesentlichen miteinander übereinstimmt.
6. Verfahren gemäß einem der Ansprüche 1 bis 4, bei dem der Trägerwafer (10) vorgesehen ist, um mit einem Prozeßwafer verbunden zu werden, wobei der Trägerwafer (10) ein Glas- und/oder Keramik-Material aufweist.
7. Verfahren gemäß einem der Ansprüche 1 bis 6, bei dem nach dem Schritt des Bildens einer Mehrzahl von Gräben (16, 18) ein Schritt des Glättens von Kanten des Trägerwafers (10) durchgeführt wird.
8. Verfahren gemäß Anspruch 7, bei dem der Schritt des Kantenglättens mit einem Ätzvorgang durchgeführt wird.
9. Verfahren gemäß einem der Ansprüche 1 bis 8, ferner mit folgendem Schritt:
- ganzflächiges Aufbringen einer Nitridschicht auf dem Trägerwafer (10).
10. Trägerwafer (10) zum Anbringen an einem Prozeßwafer mittels einer Verbindungsschicht, wobei der Trägerwafer (10) eine erste Hauptoberfläche (12) und eine zweite gegenüberliegende Hauptoberfläche (14) aufweist, mit folgenden Merkmalen:

einer Mehrzahl von Gräben (16) in der ersten Hauptoberfläche (12) und einer Mehrzahl von Gräben (18) in der zweiten Hauptoberfläche (14) des Wafers,

5 wobei die Gräben (16) in der ersten Hauptoberfläche (12) und die Gräben (18) in der zweiten Hauptoberfläche (14) winkelfersetzt zueinander und mit einer solchen Tiefe (d_1 , d_2) gebildet sind, daß in Schnittbe-
reichen (20) der Gräben (16, 18) den Wafer durchdrin-
10 gende Öffnungen (22) gebildet sind.

11. Trägerwafer gemäß Anspruch 10, bei dem die Gräben (16, 18) in der ersten und der gegenüberliegenden zweiten
Hauptoberfläche (12, 14) des Wafers mittels eines Sä-
15 gevorgangs, eines Ätzvorgangs und/oder einer Laserbe-
arbeitung gebildet sind.

12. Trägerwafer gemäß Anspruch 10 oder 11, bei dem die
Gräben (16, 18) auf einer Teilfläche des Wafers ange-
20 ordnet sind.

13. Trägerwafer gemäß Anspruch 10 oder 11, bei dem die
Gräben (16, 18) auf dem gesamten Wafer angeordnet
sind.

25 14. Trägerwafer gemäß einem der Ansprüche 10 bis 13, bei
dem der Trägerwafer (10) vorgesehen ist, um mit einem
Prozeßwafer verbunden zu werden, wobei der Trägerwafer
(10) und der Prozeßwafer ein Material aufweisen, das
30 im wesentlichen miteinander übereinstimmt.

15. Trägerwafer gemäß einem der Ansprüche 10 bis 13, bei
dem der Trägerwafer (10) vorgesehen ist, um mit einem

Prozeßwafer verbunden zu werden, wobei der Trägerwafer (10) ein Glas- und/oder Keramik-Material aufweist.

16. Trägerwafer gemäß einem der Ansprüche 10 bis 15, bei
5 dem der Trägerwafer (10) geglättete Kanten aufweist.

17. Trägerwafer gemäß einem der Ansprüche 10 bis 16, wobei
eine Nitridschicht ganzflächig auf dem Trägerwafer
(10) aufgebracht ist.

Fig. 1

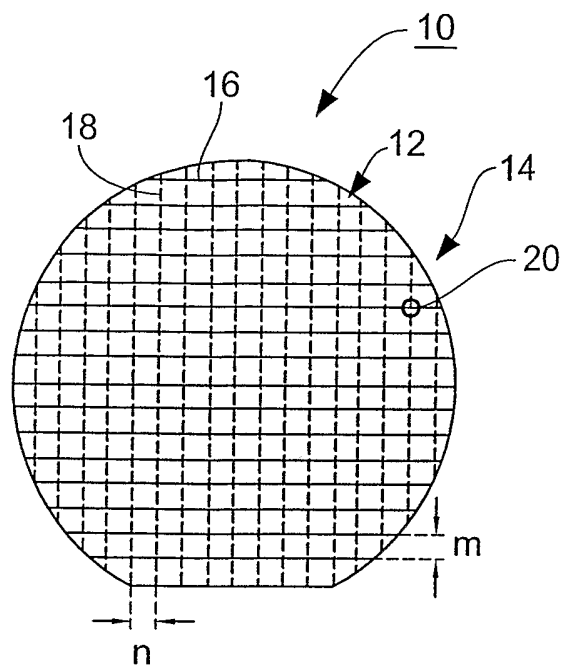
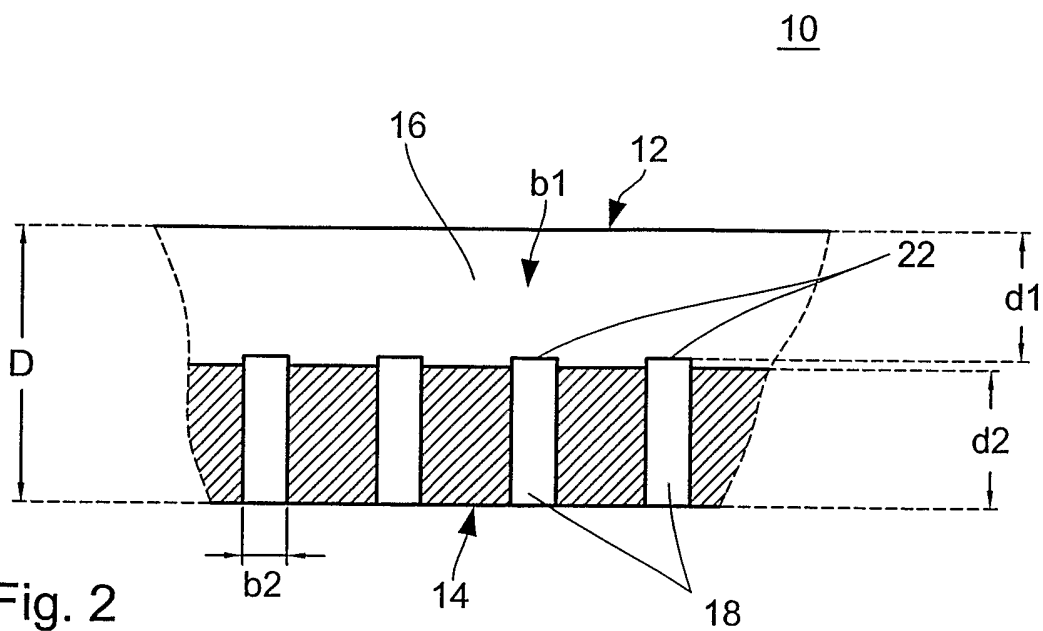


Fig. 2



INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP 03/06796

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H01L21/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	DE 197 50 316 A (SIEMENS AG) 27 May 1999 (1999-05-27) figures 1-3	1, 10
A	EP 0 488 267 A (MITSUBISHI MATERIAL SILICON ;MITSUBISHI MATERIALS CORP (JP)) 3 June 1992 (1992-06-03) abstract; examples 1,2	1, 10

☐ Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

° Special categories of cited documents :

A document defining the general state of the art which is not considered to be of particular relevance

E earlier document but published on or after the international filing date

L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

O document referring to an oral disclosure, use, exhibition or other means

P document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

& document member of the same patent family

Date of the actual completion of the international search

10 October 2003

Date of mailing of the international search report

21/10/2003

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Bader, K

INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP 03/06796

Patent document cited in search report		Publication date		Patent family member(s)	Publication date
DE 19750316	A	27-05-1999	DE	19750316 A1	27-05-1999
			WO	9926287 A1	27-05-1999
EP 0488267	A	03-06-1992	JP	2648638 B2	03-09-1997
			JP	4201145 A	22-07-1992
			DE	69119367 D1	13-06-1996
			DE	69119367 T2	17-10-1996
			EP	0488267 A2	03-06-1992
			KR	226027 B1	15-10-1999
			US	5310441 A	10-05-1994
			US	5254205 A	19-10-1993

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP 03/06796

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

IPK 7 H01L21/00

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie°	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	DE 197 50 316 A (SIEMENS AG) 27. Mai 1999 (1999-05-27) Abbildungen 1-3 ----	1,10
A	EP 0 488 267 A (MITSUBISHI MATERIAL SILICON ;MITSUBISHI MATERIALS CORP (JP)) 3. Juni 1992 (1992-06-03) Zusammenfassung; Beispiele 1,2 -----	1,10

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

° Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

Z Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

10. Oktober 2003

Absendedatum des internationalen Recherchenberichts

21/10/2003

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Bader, K

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP 03/06796

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
DE 19750316	A	27-05-1999	DE	19750316 A1	27-05-1999
			WO	9926287 A1	27-05-1999
EP 0488267	A	03-06-1992	JP	2648638 B2	03-09-1997
			JP	4201145 A	22-07-1992
			DE	69119367 D1	13-06-1996
			DE	69119367 T2	17-10-1996
			EP	0488267 A2	03-06-1992
			KR	226027 B1	15-10-1999
			US	5310441 A	10-05-1994
			US	5254205 A	19-10-1993