



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0006071
(43) 공개일자 2022년01월14일

(51) 국제특허분류(Int. Cl.)
H01L 27/088 (2006.01) H01L 27/108 (2006.01)
H01L 29/786 (2006.01)
(52) CPC특허분류
H01L 27/088 (2013.01)
H01L 27/108 (2021.01)
(21) 출원번호 10-2021-7037201
(22) 출원일자(국제) 2020년04월27일
심사청구일자 없음
(85) 번역문제출일자 2021년11월15일
(86) 국제출원번호 PCT/IB2020/053916
(87) 국제공개번호 WO 2020/225641
국제공개일자 2020년11월12일
(30) 우선권주장
JP-P-2019-088132 2019년05월08일 일본(JP)

(71) 출원인
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
쿠니타케 히토시
일본국 가나가와켄 아쓰기시 하세 398 가부시키가
이샤 한도오파이 에네루기 켄큐쇼 나이
오시마 카즈아키
일본국 가나가와켄 아쓰기시 하세 398 가부시키가
이샤 한도오파이 에네루기 켄큐쇼 나이
(뒷면에 계속)
(74) 대리인
이화의

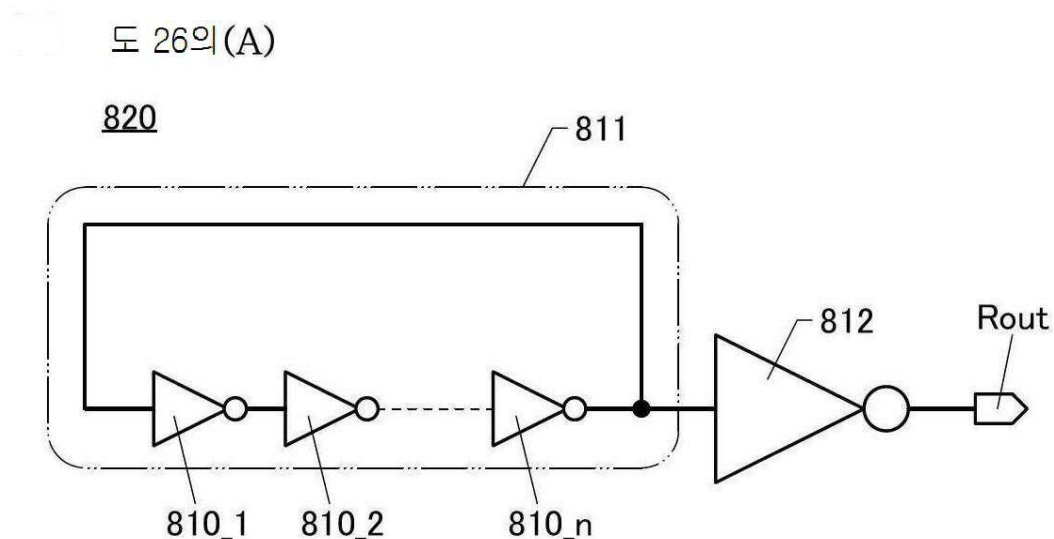
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 반도체 장치

(57) 요약

동작 온도에 따른 특성 편차가 적은 반도체 장치를 제공한다. 홀수 단의 인버터 회로가 환 형상으로 접속된 반도체 장치이고, 인버터 회로는 제 1 트랜지스터와 제 2 트랜지스터를 가지고, 제 1 트랜지스터의 게이트는 제 1 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 제 1 트랜지스터의 소스 및 드레인 중 한쪽에는 고전원 전위가 공급되고, 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 출력 단자(out)와 전기적으로 접속된다. 제 2 트랜지스터의 게이트는 입력 단자(in)와 전기적으로 접속되고, 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 출력 단자(out)와 전기적으로 접속되고, 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽에는 저전원 전위가 공급된다. 제 1 트랜지스터 및 제 2 트랜지스터는 반도체층에 산화물 반도체를 포함한다. 제 1 트랜지스터 및 제 2 트랜지스터는 각각 백 게이트를 가진다.

대표도



(52) CPC특허분류

H01L 29/7869 (2013.01)

(72) 발명자

츠다 카즈키

일본국 가나가와켄 아쓰기시 하세 398 가부시키가
이샤 한도오파이 에네루기 켄큐쇼 나이

아츠미 토모아키

일본국 가나가와켄 아쓰기시 하세 398 가부시키가
이샤 한도오파이 에네루기 켄큐쇼 나이

명세서

청구범위

청구항 1

n단(n 은 3 이상의 홀수)의 인버터 회로를 포함하는 반도체 장치로서,
 상기 n단의 인버터 회로 중 i 번째 단(i 는 2 이상 $n-1$ 이하의 자연수)의 인버터 회로의 출력은 $i+1$ 번째 단의 인버터 회로의 입력과 전기적으로 접속되고,
 $i-1$ 번째 단의 인버터 회로의 출력은 상기 i 번째 단의 상기 인버터 회로의 입력과 전기적으로 접속되고,
 n 번째 단의 인버터 회로의 출력은 첫 번째 단의 상기 인버터 회로의 입력과 전기적으로 접속되고,
 상기 n단의 인버터 회로의 각각은 제 1 트랜지스터와 제 2 트랜지스터를 가지고,
 상기 제 1 트랜지스터의 게이트는 상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속되고,
 상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 한쪽은 제 1 단자와 전기적으로 접속되고,
 상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 다른 쪽은 출력 단자와 전기적으로 접속되고,
 상기 제 2 트랜지스터의 게이트는 입력 단자와 전기적으로 접속되고,
 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 상기 출력 단자와 전기적으로 접속되고,
 상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 다른 쪽은 제 2 단자와 전기적으로 접속되고,
 상기 제 1 트랜지스터는 제 1 백 게이트를 가지고,
 상기 제 2 트랜지스터는 제 2 백 게이트를 가지고,
 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터는 각각의 반도체층에 산화물 반도체를 포함하는, 반도체 장치.

청구항 2

제 1 항에 있어서,
 상기 산화물 반도체는 In 및 Zn 중 적어도 한쪽을 포함하는, 반도체 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,
 상기 산화물 반도체는 CAAC 구조를 포함하는, 반도체 장치.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,
 상기 제 1 단자에 고전원 전위(V_{dd})가 공급되고,
 상기 제 2 단자에 저전원 전위(V_{ss})가 공급되는, 반도체 장치.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 2 트랜지스터의 채널 폭은 상기 제 1 트랜지스터의 채널 폭보다 큰, 반도체 장치.

청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

동작 온도에 따라 상기 제 2 백 게이트에 공급하는 전압을 조정하는 기능을 가지는, 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명의 일 형태는 트랜지스터, 반도체 장치, 및 전자 기기에 관한 것이다. 또한 본 발명의 일 형태는 반도체 장치의 제작 방법에 관한 것이다.

[0002] 또한 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 명세서 등에서 개시(開示)하는 발명의 기술분야는 물건, 방법, 또는 제조 방법에 관한 것이다. 또는 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다.

[0003] 또한 본 명세서 등에서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리킨다. 트랜지스터 등의 반도체 소자를 비롯하여, 반도체 회로, 연산 장치, 기억 장치는 반도체 장치의 일 형태이다. 또한, 표시 장치(액정 표시 장치, 발광 표시 장치 등), 투영 장치, 조명 장치, 전기 광학 장치, 축전 장치, 기억 장치, 촬상 장치, 및 전자 기기 등은 반도체 소자나 반도체 회로를 포함하는 경우가 있다. 따라서, 표시 장치, 투영 장치, 조명 장치, 전기 광학 장치, 축전 장치, 기억 장치, 촬상 장치, 및 전자 기기 등도 반도체 장치라고 불리는 경우가 있다.

배경 기술

[0004] 절연 표면을 가지는 기판 위에 형성된 반도체 박막을 사용하여 트랜지스터를 구성하는 기술이 주목받고 있다. 상기 트랜지스터는 집적 회로(IC)나 화상 표시 장치(단순히 표시 장치라고도 표기함)와 같은 전자 디바이스에 널리 응용되고 있다. 트랜지스터에 적용할 수 있는 반도체 박막으로서 실리콘계 반도체 재료가 널리 알려져 있지만, 그 외의 재료로서 산화물 반도체가 주목받고 있다.

[0005] 산화물 반도체에서 단결정도 비정질도 아닌 CAAC(c-axis aligned crystalline) 구조 및 nc(nanocrystalline) 구조가 발견되었다(비특허문헌 1 및 비특허문헌 2 참조).

[0006] 비특허문헌 1 및 비특허문헌 2에는, CAAC 구조를 가지는 산화물 반도체를 사용하여 트랜지스터를 제작하는 기술이 개시되어 있다.

선행기술문헌

비특허문헌

[0007] (비특허문헌 0001) S. Yamazaki et al., "SID Symposium Digest of Technical Papers", 2012, volume 43, issue 1, p.183-186

(비특허문헌 0002) S. Yamazaki et al., "Japanese Journal of Applied Physics", 2014, volume 53, Number 4S, p.04ED18-1-04ED18-10

발명의 내용

해결하려는 과제

[0008] 본 발명의 일 형태는 트랜지스터 특성의 편차가 적은 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또한 본 발명의 일 형태는 온 전류가 큰 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또한 본 발명의 일 형태는 전기 특성이 양호한 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또한 본 발명의 일 형태는 미세화

또는 고집적화가 가능한 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또한 본 발명의 일 형태는 신뢰성이 양호한 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또한 본 발명의 일 형태는 소비 전력이 낮은 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또한, 본 발명의 일 형태는 동작 온도가 변화되어도 안정적으로 동작하는 반도체 장치를 제공하는 것을 과제 중 하나로 한다.

[0009] 또한 이들 과제의 기재는 다른 과제의 존재를 방해하는 것이 아니다. 또한 본 발명의 일 형태는 이들 과제 모두를 해결할 필요는 없는 것으로 한다. 또한 이들 외의 과제는 명세서, 도면, 청구항 등의 기재에서 저절로 명백해지는 것이며 명세서, 도면, 청구항 등의 기재에서 이들 외의 과제를 추출할 수 있다.

과제의 해결 수단

[0010] 본 발명의 일 형태는 홀수 단의 인버터 회로가 환 형상으로 접속된 반도체 장치이고, 하나의 인버터 회로의 출력은 다음 단의 인버터 회로의 입력과 전기적으로 접속된다. 또한, 하나의 인버터 회로의 입력은 전단의 인버터 회로의 출력과 전기적으로 접속된다. 인버터 회로는 제 1 트랜지스터와 제 2 트랜지스터를 가지고, 제 1 트랜지스터의 게이트는 제 1 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 고전원 전위를 공급받고, 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 출력 단자(out)와 전기적으로 접속된다. 제 2 트랜지스터의 게이트는 입력 단자(in)와 전기적으로 접속되고, 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 출력 단자(out)와 전기적으로 접속되고, 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽은 저전원 전위를 공급받는다. 제 1 트랜지스터 및 제 2 트랜지스터는 반도체층에 산화물 반도체를 포함한다. 제 1 트랜지스터 및 제 2 트랜지스터는 각각 백 게이트를 가진다.

[0011] 본 발명의 다른 일 형태는 n단(n은 3 이상의 홀수)의 인버터 회로를 포함하는 반도체 장치이고, i 번째 단(i는 2 이상 n-1 이하의 자연수)의 인버터 회로의 출력은 i+1 번째 단의 인버터 회로의 입력과 전기적으로 접속되고, i-1 번째 단의 인버터 회로의 출력은 i 번째 단의 인버터 회로의 입력과 전기적으로 접속되고, n 번째 단의 인버터 회로의 출력은 첫 번째 단의 상기 인버터 회로의 입력과 전기적으로 접속되고, n단의 인버터 회로는 각각 제 1 트랜지스터와 제 2 트랜지스터를 가지고, 제 1 트랜지스터의 게이트는 제 1 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 단자와 전기적으로 접속되고, 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 출력 단자와 전기적으로 접속되고, 제 2 트랜지스터의 게이트는 입력 단자와 전기적으로 접속되고, 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 출력 단자와 전기적으로 접속되고, 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 2 단자와 전기적으로 접속되고, 제 1 트랜지스터는 제 1 백 게이트를 가지고, 제 2 트랜지스터는 제 2 백 게이트를 가지고, 제 1 트랜지스터 및 제 2 트랜지스터는 각각의 반도체층에 산화물 반도체를 포함하는, 반도체 장치이다.

[0012] 산화물 반도체는 In 및 Zn 중 적어도 한쪽을 포함하는 것이 바람직하다. 산화물 반도체는 CAAC 구조를 가지는 것이 바람직하다.

[0013] 제 2 트랜지스터의 채널 폭은 제 1 트랜지스터의 채널 폭보다 큰 것이 바람직하다.

[0014] 상술한 반도체 장치는 동작 온도에 따라 제 2 백 게이트에 공급하는 전압을 조정하는 기능을 가지는 것이 바람직하다.

발명의 효과

[0015] 본 발명의 일 형태에 의하여 트랜지스터 특성의 편차가 적은 반도체 장치를 제공할 수 있다. 또한 본 발명의 일 형태에 의하여 온 전류가 큰 반도체 장치를 제공할 수 있다. 또한, 본 발명의 일 형태에 의하여, 양호한 전기 특성을 가지는 반도체 장치를 제공할 수 있다. 또한 본 발명의 일 형태에 의하여 미세화 또는 고집적화가 가능한 반도체 장치를 제공할 수 있다. 또한 본 발명의 일 형태에 의하여 신뢰성이 양호한 반도체 장치를 제공할 수 있다. 또한 본 발명의 일 형태에 의하여 소비 전력이 낮은 반도체 장치를 제공할 수 있다. 또한, 본 발명의 일 형태에 의하여, 동작 온도가 변화되어도 안정적으로 동작하는 반도체 장치를 제공할 수 있다.

[0016] 또한 이들 효과의 기재는 다른 효과의 존재를 방해하는 것이 아니다. 또한 본 발명의 일 형태는 이들 효과 모두를 가질 필요는 없다. 또한 이들 외의 효과는 명세서, 도면, 청구항 등의 기재에서 저절로 명백해지는 것이며 명세서, 도면, 청구항 등의 기재에서 이들 외의 효과를 추출할 수 있다.

도면의 간단한 설명

[0017]

도 1의 (A)는 반도체 장치의 상면도이다. 도 1의 (B) 내지 (D)는 반도체 장치의 단면도이다.

도 2는 반도체 장치의 단면도이다.

도 3의 (A) 및 (B)는 반도체 장치의 사시도이다.

도 4의 (A) 내지 (D)는 반도체 장치의 제작 방법을 나타낸 도면이다.

도 5의 (A) 내지 (D)는 반도체 장치의 제작 방법을 나타낸 도면이다.

도 6의 (A) 내지 (D)는 반도체 장치의 제작 방법을 나타낸 도면이다.

도 7의 (A) 내지 (D)는 반도체 장치의 제작 방법을 나타낸 도면이다.

도 8의 (A) 내지 (D)는 반도체 장치의 제작 방법을 나타낸 도면이다.

도 9의 (A) 내지 (D)는 반도체 장치의 제작 방법을 나타낸 도면이다.

도 10의 (A) 내지 (D)는 반도체 장치의 제작 방법을 나타낸 도면이다.

도 11의 (A) 내지 (D)는 반도체 장치의 제작 방법을 나타낸 도면이다.

도 12의 (A)는 반도체 장치의 상면도이다. 도 12의 (B) 내지 (D)는 반도체 장치의 단면도이다.

도 13의 (A) 및 (B)는 반도체 장치의 단면도이다.

도 14는 반도체 장치의 단면도이다.

도 15는 반도체 장치의 단면도이다.

도 16의 (A)는 기억 장치의 구성예를 나타낸 블록도이다. 도 16의 (B)는 기억 장치의 사시도이다.

도 17의 (A) 내지 (H)는 메모리 셀의 구성예를 나타낸 회로도이다.

도 18의 (A) 내지 (D)는 트랜지스터의 회로 기호를 나타낸 도면이다.

도 19의 (A) 및 (B)는 반도체 장치의 모식도이다.

도 20의 (A) 내지 (E)는 기억 장치의 모식도이다.

도 21의 (A) 내지 (H)는 전자 기기를 나타낸 도면이다.

도 22의 (A) 및 (B)는 트랜지스터의 단면 TEM 이미지이다.

도 23은 트랜지스터의 I_d - V_g 특성의 측정 결과이다.

도 24의 (A)는 트랜지스터의 게이트 내압의 측정 결과이다. 도 24의 (B)는 트랜지스터의 드레인 내압의 측정 결과이다.

도 25의 (A)는 인버터 회로의 회로도이다. 도 25의 (B)는 인버터 회로의 DC 특성의 측정 결과이다.

도 26의 (A)는 링 오실레이터의 회로도이다. 도 26의 (B)는 링 오실레이터의 다이 사진이다.

도 27은 링 오실레이터의 출력 파형이다.

도 28은 지연 시간의 온도 의존성을 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0018]

이하에서 실시형태에 대하여 도면을 참조하면서 설명한다. 다만 실시형태는 많은 상이한 형태로 실시할 수 있고, 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서 본 발명은 이하의 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.

[0019]

또한 도면에서 크기, 층의 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서 반드시 그 스케일에 한정되지는 않는다. 또한 도면은 이상적인 예를 모식적으로 나타낸 것이고, 도면에 나타난 형상 또는 값 등에 한정되지 않는다. 예를 들어 실제의 제조 공정에서, 에칭 등의 처리에 의하여 층이나 레지스트 마스크 등이 의도하지 않게 감소되는 경우가 있지만, 이해를 용이하게 하기 위하여 도면에 반영하지 않은 경우가 있다.

또한 도면에서 동일한 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 상이한 도면 사이에서 공통적으로 사용하고, 이에 대한 반복적인 설명은 생략하는 경우가 있다. 또한 같은 기능을 가지는 부분을 가리키는 경우에는, 해치 패턴을 동일하게 하고, 특별히 부호를 붙이지 않는 경우가 있다.

[0020] 또한 특히 상면도("평면도"라고도 함)나 사시도 등에서, 발명의 이해를 용이하게 하기 위하여 일부의 구성 요소의 기재를 생략하는 경우가 있다. 또한 일부의 숨은선 등의 기재를 생략하는 경우가 있다.

[0021] 또한 본 명세서 등에서 "전극"이나 "배선"이라는 용어는 이들 구성 요소를 기능적으로 한정하는 것이 아니다. 예를 들어, "전극"은 "배선"의 일부로서 사용되는 경우가 있고, 그 반대도 마찬가지이다. 또한 "전극"이나 "배선"이라는 용어는, 복수의 "전극"이나 "배선"이 일체가 되어 형성되어 있는 경우 등도 포함한다.

[0022] 또한 본 명세서 등에서 전기 회로에서의 "단자"란, 전류의 입력 또는 출력, 전압의 입력 또는 출력, 또는 신호의 수신 또는 송신이 수행되는 부분을 가리킨다. 따라서, 배선 또는 전극의 일부가 단자로서 기능하는 경우가 있다.

[0023] 또한 본 명세서 등에서 제 1, 제 2 등의 서수사는 편의상 사용되는 것이며, 공정 순서 또는 적층 순서를 나타내는 것이 아니다. 그러므로 예를 들어 "제 1"을 "제 2" 또는 "제 3" 등으로 적절히 바꿔 설명할 수 있다. 또한 본 명세서 등에 기재되는 서수사와, 본 발명의 일 형태를 특정하기 위하여 사용되는 서수사는 일치하지 않는 경우가 있다.

[0024] 또한, 본 명세서 등에서 "위에", "아래에" 등의 배치를 나타내는 어구는 구성 요소끼리의 위치 관계를 설명하기 위하여 편의상 사용하는 것이고, 구성 요소의 위치 관계가 바로 위 또는 바로 아래이며 직접 접촉하는 것을 한정하는 것이 아니다. 예를 들어, "절연층(A) 위의 전극(B)"이라는 표현이면, 절연층(A) 위에 전극(B)이 직접 접촉되어 형성될 필요는 없고, 절연층(A)과 전극(B) 사이에 다른 구성 요소를 포함하는 것을 제외하지 않는다. 또한 구성 요소끼리의 위치 관계는 각 구성을 묘사하는 방향에 따라 적절히 변화된다. 그러므로 명세서에서 설명한 어구에 한정되지 않고, 상황에 따라 적절히 바꿔 말할 수 있다.

[0025] 또한, 예를 들어 본 명세서 등에서 X와 Y가 접속된다고 명시적으로 기재되는 경우에는, X와 Y가 전기적으로 접속되는 경우와, X와 Y가 기능적으로 접속되는 경우와, X와 Y가 직접 접속되는 경우가 본 명세서 등에 개시되어 있는 것으로 한다. 따라서 소정의 접속 관계, 예를 들어 도면 또는 문장에 나타난 접속 관계에 한정되지 않고, 도면 또는 문장에 나타난 접속 관계 이외의 것도 도면 또는 문장에 개시되어 있는 것으로 한다. 여기서 X, Y는 대상물(예를 들어 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다.

[0026] 또한 본 명세서 등에서 트랜지스터란 게이트와 드레인과 소스를 포함하는 적어도 3개의 단자를 가지는 소자이다. 그리고 드레인(드레인 단자, 드레인 영역, 또는 드레인 전극)과 소스(소스 단자, 소스 영역, 또는 소스 전극) 사이에 채널이 형성되는 영역(이하에서는 채널 형성 영역이라고도 함)을 가지고, 채널 형성 영역을 통하여 소스와 드레인 사이에 전류를 흘릴 수 있는 것이다. 또한 본 명세서 등에서 채널 형성 영역이란 전류가 주로 흐르는 영역을 말한다.

[0027] 또한 소스나 드레인의 기능은 상이한 극성의 트랜지스터를 채용하는 경우나, 회로 동작에서 전류의 방향이 변화되는 경우 등에는 서로 바뀌는 경우가 있다. 그러므로 본 명세서 등에서는 소스나 드레인이라는 용어는 서로 바꿔 사용할 수 있는 경우가 있다.

[0028] 또한 채널 길이란, 예를 들어 트랜지스터의 상면도에서, 반도체(또는 트랜지스터가 온 상태일 때 반도체 내에서 전류가 흐르는 부분)와 게이트 전극이 서로 중첩되는 영역, 또는 채널 형성 영역에서의 소스(소스 영역 또는 소스 전극)와 드레인(드레인 영역 또는 드레인 전극) 사이의 거리를 말한다. 또한 하나의 트랜지스터에서, 채널 길이가 모든 영역에서 같은 값을 취한다고 할 수는 없다. 즉, 하나의 트랜지스터의 채널 길이는 하나의 값으로 정해지지 않는 경우가 있다. 따라서 본 명세서에서 채널 길이는 채널 형성 영역에서의 어느 하나의 값, 최댓값, 최솟값, 또는 평균값으로 한다.

[0029] 채널 폭이란, 예를 들어 트랜지스터의 상면도에서, 반도체(또는 트랜지스터가 온 상태일 때 반도체 내에서 전류가 흐르는 부분)와 게이트 전극이 서로 중첩되는 영역, 또는 채널 형성 영역에서 채널 길이 방향을 기준으로 하여 수직인 방향의 채널 형성 영역의 길이를 말한다. 또한 하나의 트랜지스터에서, 채널 폭이 모든 영역에서 같은 값을 취한다고 할 수는 없다. 즉, 하나의 트랜지스터의 채널 폭은 하나의 값으로 정해지지 않는 경우가 있다. 따라서 본 명세서에서 채널 폭은 채널 형성 영역에서의 어느 하나의 값, 최댓값, 최솟값, 또는 평균값으로 한다.

- [0030] 또한 본 명세서 등에서 트랜지스터의 구조에 따라서는, 실제로 채널이 형성되는 영역에서의 채널 폭(이하 "실효적인 채널 폭"이라고도 함)과 트랜지스터의 상면도에서 나타내는 채널 폭(이하 "외관상 채널 폭"이라고도 함)이 상이한 경우가 있다. 예를 들어 게이트 전극이 반도체의 측면을 덮는 경우, 실효적인 채널 폭이 외관상 채널 폭보다 커져, 그 영향을 무시할 수 없는 경우가 있다. 예를 들어 미세하고 게이트 전극이 반도체의 측면을 덮는 트랜지스터에서는, 반도체의 측면에 형성되는 채널 형성 영역의 비율이 커지는 경우가 있다. 이 경우에는 외관상 채널 폭보다 실효적인 채널 폭이 더 크다.
- [0031] 이러한 경우, 실효적인 채널 폭을 실측에 의하여 추정하기 어려운 경우가 있다. 예를 들어 설겅으로부터 실효적인 채널 폭을 추정하기 위해서는, 반도체의 형상이 이미 알려져 있다는 가정이 필요하다. 따라서 반도체의 형상을 정확하게 알 수 없는 경우에는 실효적인 채널 폭을 정확하게 측정하기 어렵다.
- [0032] 본 명세서에서 단순히 채널 폭이라고 기재한 경우에는 외관상 채널 폭을 가리키는 경우가 있다. 또는 본 명세서에서 단순히 채널 폭이라고 기재한 경우에는 실효적인 채널 폭을 가리키는 경우가 있다. 또한 채널 길이, 채널 폭, 실효적인 채널 폭, 외관상 채널 폭 등의 값은 단면 TEM 이미지 등을 해석하는 것 등에 의하여 결정할 수 있다.
- [0033] 또한 반도체의 불순물이란, 예를 들어 반도체를 구성하는 주성분 외의 것을 말한다. 예를 들어 농도가 0.1atomic% 미만인 원소는 불순물이라고 할 수 있다. 불순물이 포함됨으로써, 예를 들어 반도체의 결합 준위 밀도가 높아지거나, 결정성의 저하 등이 일어나는 경우가 있다. 반도체가 산화물 반도체인 경우, 반도체의 특성을 변화시키는 불순물로서는, 예를 들어 1족 원소, 2족 원소, 13족 원소, 14족 원소, 15족 원소, 산화물 반도체의 주성분 외의 전이 금속(transition metal) 등이 있고, 예를 들어 수소, 리튬, 소듐, 실리콘, 붕소, 인, 탄소, 질소 등이 있다. 또한 몰도 불순물로서 기능하는 경우가 있다. 또한 예를 들어 불순물의 혼입으로 인하여 산화물 반도체에 산소 결손(V_O : oxygen vacancy라고도 함)이 형성되는 경우가 있다.
- [0034] 또한 본 명세서 등에서 산화질화 실리콘이란 그 조성으로서 질소보다 산소의 함유량이 많은 것을 말한다. 또한 질화산화 실리콘이란 그 조성으로서 산소보다 질소의 함유량이 많은 것을 말한다.
- [0035] 또한 본 명세서 등에서 "절연체"라는 용어를 절연막 또는 절연층이라고 바꿔 말할 수 있다. 또한 "도전체"라는 용어를 도전막 또는 도전층이라고 바꿔 말할 수 있다. 또한 "반도체"라는 용어를 반도체막 또는 반도체층이라고 바꿔 말할 수 있다.
- [0036] 또한 본 명세서 등에서 "평행"이란, 2개의 직선이 -10° 이상 10° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서 -5° 이상 5° 이하의 경우도 포함된다. 또한 "실질적으로 평행"이란, 2개의 직선이 -30° 이상 30° 이하의 각도로 배치되어 있는 상태를 말한다. 또한 "수직"이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서 85° 이상 95° 이하의 경우도 포함된다. 또한 "실질적으로 수직"이란, 2개의 직선이 60° 이상 120° 이하의 각도로 배치되어 있는 상태를 말한다.
- [0037] 본 명세서 등에서 금속 산화물(metal oxide)이란, 넓은 의미로의 금속의 산화물이다. 금속 산화물은 산화물 절연체, 산화물 도전체(투명 산화물 도전체를 포함함), 산화물 반도체(Oxide Semiconductor 또는 단순히 OS라고도 함) 등으로 분류된다. 예를 들어 트랜지스터의 반도체층에 금속 산화물을 사용한 경우, 상기 금속 산화물을 산화물 반도체라고 하는 경우가 있다. 즉, OS 트랜지스터라고 기재하는 경우에는, 금속 산화물 또는 산화물 반도체를 가지는 트랜지스터라고 바꿔 말할 수 있다.
- [0038] 또한 본 명세서 등에서 노멀리 오프란 게이트에 전위를 인가하지 않거나, 또는 게이트에 접지 전위를 인가하였을 때, 트랜지스터를 흐르는 채널 폭 $1\mu\text{m}$ 당 드레인 전류가 실온에서 $1\times 10^{-20}\text{A}$ 이하, 85°C 에서 $1\times 10^{-18}\text{A}$ 이하, 또는 125°C 에서 $1\times 10^{-16}\text{A}$ 이하인 것을 말한다.
- [0039] 또한, 본 명세서 등에서 고전원 전위(V_{dd})(이하, 단순히 " V_{dd} ", " H 전위", 또는 " H "라고도 함)란, 저전원 전위(V_{ss})(이하, 단순히 " V_{ss} ", " L 전위", 또는 " L "이라고도 함)보다 높은 전위의 전원 전위를 가리킨다. 또한, V_{ss} 란 V_{dd} 보다 낮은 전위의 전원 전위를 가리킨다. 또한, 접지 전위를 V_{dd} 또는 V_{ss} 로서 사용할 수도 있다. 예를 들어 V_{dd} 가 접지 전위인 경우에는, V_{ss} 는 접지 전위보다 낮은 전위이고, V 안정이 접지 전위인 경우에는 V_{dd} 는 접지 전위보다 높은 전위이다.
- [0040] (실시형태 1)
- [0041] 본 실시형태에서는, 본 발명의 일 형태에 따른 트랜지스터(200)를 가지는 반도체 장치의 일례에 대하여 설명한

다.

[0042] <반도체 장치의 구성예>

[0043] 도 1은 트랜지스터(200)를 가지는 반도체 장치의 상면도 및 단면도이다. 도 1의 (A)는 상기 반도체 장치의 상면도이다. 또한 도 1의 (B) 내지 (D)는 상기 반도체 장치의 단면도이다. 여기서, 도 1의 (B)는 도 1의 (A)에서 일점쇄선 A1-A2로 나타낸 부분의 단면도이고, 트랜지스터(200)의 채널 길이 방향의 단면도이기도 하다. 또한 도 1의 (C)는 도 1의 (A)에서 일점쇄선 A3-A4로 나타낸 부분의 단면도이고, 트랜지스터(200)의 채널 폭 방향의 단면도이기도 하다. 또한 도 1의 (D)는 도 1의 (A)에서 일점쇄선 A5-A6으로 나타낸 부분의 단면도이다. 또한 도 1의 (A)의 상면도에서는, 도면의 명료화를 위하여 일부의 요소를 생략하였다.

[0044] 본 발명의 일 형태의 반도체 장치는 기관(도시하지 않았음) 위의 절연체(212)와, 절연체(212) 위의 절연체(214)와, 절연체(214) 위의 트랜지스터(200)와, 트랜지스터(200) 위의 절연체(280)와, 절연체(280) 위의 절연체(282)와, 절연체(282) 위의 절연체(283)와, 절연체(283) 위의 절연체(274)와, 절연체(274) 위의 절연체(281)를 가진다. 절연체(212), 절연체(214), 절연체(280), 절연체(282), 절연체(283), 절연체(274), 및 절연체(281)는 층간막으로서 기능한다. 또한 트랜지스터(200)에 전기적으로 접속되고 플러그로서 기능하는 도전체(240)(도전체(240a) 및 도전체(240b))를 가진다. 또한, 플러그로서 기능하는 도전체(240)의 측면에 접하여 절연체(241)(절연체(241a) 및 절연체(241b))가 제공된다. 또한, 절연체(281) 위 및 도전체(240) 위에는 도전체(240)와 전기적으로 접속되고 배선으로서 기능하는 도전체(246)(도전체(246a) 및 도전체(246b))가 제공된다.

[0045] 또한, 절연체(254), 절연체(280), 절연체(282), 절연체(283), 절연체(274), 및 절연체(281)의 개구의 내벽과 접하여 절연체(241a)가 제공되고, 절연체(241a)의 측면과 접하여 도전체(240a)의 제 1 도전체가 제공되고, 더 내측에 도전체(240a)의 제 2 도전체가 제공되어 있다. 또한 절연체(254), 절연체(280), 절연체(282), 절연체(283), 절연체(274), 및 절연체(281)의 개구의 내벽과 접하여 절연체(241b)가 제공되고, 절연체(241b)의 측면과 접하여 도전체(240b)의 제 1 도전체가 제공되고, 더 내측에 도전체(240b)의 제 2 도전체가 제공되어 있다. 여기서, 도전체(240)의 상면의 높이와, 절연체(281)의 상면의 높이는 같은 정도로 할 수 있다. 또한 트랜지스터(200)에서 도전체(240)의 제 1 도전체와 도전체(240)의 제 2 도전체를 적층시키는 구성을 나타내었지만, 본 발명은 이에 한정되는 것은 아니다. 예를 들어, 도전체(240)를 단층 또는 3층 이상의 적층 구조로 하여도 좋다. 구조체가 적층 구조를 가지는 경우, 형성 순서로 서수를 붙여 구별하는 경우가 있다.

[0046] [트랜지스터(200)]

[0047] 도 1에 도시된 바와 같이, 트랜지스터(200)는 절연체(214) 위의 절연체(216)와, 절연체(216)에 매립되도록 배치된 도전체(205)(도전체(205a) 및 도전체(205b))와, 절연체(216) 위 및 도전체(205) 위의 절연체(222)와, 절연체(222) 위의 절연체(224)와, 절연체(224) 위의 산화물(230a)과, 산화물(230a) 위의 산화물(230b)과, 산화물(230b) 위의 도전체(242a), 도전체(242b), 및 산화물(230c)과, 산화물(230c) 위의 절연체(250)와, 절연체(250) 위에 위치하고 산화물(230c)과 중첩되는 도전체(260)(도전체(260a) 및 도전체(260b))와, 절연체(224)의 상면의 일부, 산화물(230a)의 측면의 일부, 산화물(230b)의 측면의 일부, 도전체(242a)의 측면, 도전체(242a)의 상면, 도전체(242b)의 측면, 및 도전체(242b)의 상면과 접하는 절연체(254)를 가진다. 또한, 산화물(230c)은 절연체(254)의 측면, 도전체(242a)의 측면, 및 도전체(242b)의 측면과 각각 접한다. 여기서, 도 1의 (B)에 나타낸 바와 같이, 도전체(260)의 상면은 절연체(250)의 상면 및 산화물(230c)의 상면과 실질적으로 일치하여 배치된다. 또한, 절연체(282)는 도전체(260), 절연체(250), 산화물(230c), 및 절연체(280)의 각각의 상면과 접한다.

[0048] 절연체(280) 및 절연체(254)에는 산화물(230b)에 도달하는 개구가 제공된다. 상기 개구 내에 산화물(230c), 절연체(250), 및 도전체(260)가 배치되어 있다. 또한, 트랜지스터(200)의 채널 길이 방향에 있어서, 도전체(242a) 및 도전체(242b) 사이에 도전체(260), 절연체(250), 및 산화물(230c)이 제공되어 있다. 절연체(250)는 도전체(260)의 측면과 중첩되는 영역과, 도전체(260)의 바닥면과 중첩되는 영역을 가진다. 또한, 산화물(230b)과 중첩되는 영역에 있어서, 산화물(230c)은 산화물(230b)과 접하는 영역과, 절연체(250)를 개재(介在)하여 도전체(260)의 측면과 중첩되는 영역과, 절연체(250)를 개재하여 도전체(260)의 바닥면과 중첩되는 영역을 가진다.

[0049] 트랜지스터(200)에서는, 채널 형성 영역을 포함하는 산화물(230)(산화물(230a), 산화물(230b), 및 산화물(230c))로서, 반도체로서 기능하는 금속 산화물(이하 산화물 반도체라고도 함)을 사용하는 것이 바람직하다.

[0050] 또한 반도체로서 기능하는 금속 산화물로서는, 밴드 갭이 2eV 이상, 바람직하게는 2.5eV 이상의 것을 사용하는 것이 바람직하다. 이와 같이, 밴드 갭이 큰 금속 산화물을 사용함으로써, 트랜지스터의 오프 전류를 저감할 수

있다.

- [0051] 채널 형성 영역에 금속 산화물을 사용한 트랜지스터는 비도통 상태에서 누설 전류가 매우 작기 때문에 소비 전력이 낮은 반도체 장치를 제공할 수 있다. 또한 금속 산화물은 스퍼터링법 등을 사용하여 성막할 수 있기 때문에, 고집적형 반도체 장치를 구성하는 트랜지스터에 사용할 수 있다.
- [0052] 산화물(230)로서 예를 들어 인듐, 원소 M, 및 아연을 가지는 In-M-Zn 산화물(원소 M은 알루미늄, 갈륨, 이트륨, 주석, 구리, 바나듐, 베릴륨, 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 등 중에서 선택된 1종류 또는 복수 종류) 등의 금속 산화물을 사용하는 것이 좋다. 또한 산화물(230)로서 In-Ga 산화물, In-Zn 산화물을 사용하여도 좋다.
- [0053] 산화물(230)은 절연체(224) 위에 배치된 산화물(230a)과, 산화물(230a) 위에 배치된 산화물(230b)과, 산화물(230b) 위에 배치되고 적어도 일부가 산화물(230b)의 상면에 접하는 산화물(230c)을 가지는 것이 바람직하다. 산화물(230b) 아래에 산화물(230a)을 가짐으로써, 산화물(230a)보다 아래쪽에 형성된 구조물로부터 산화물(230b)로의 불순물의 확산을 억제할 수 있다. 또한, 산화물(230b) 위에 산화물(230c)을 가짐으로써, 산화물(230c)보다 위쪽에 형성된 구조물로부터 산화물(230b)로의 불순물의 확산을 억제할 수 있다.
- [0054] 또한 트랜지스터(200)에서 산화물(230)이 산화물(230a), 산화물(230b), 및 산화물(230c)의 3층의 적층인 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어 산화물(230b)의 단층, 산화물(230a)과 산화물(230b)의 2층 구조, 산화물(230b)과 산화물(230c)의 2층 구조, 또는 4층 이상의 적층 구조를 제공하는 구성으로 하여도 좋고, 산화물(230a), 산화물(230b), 산화물(230c)의 각각이 적층 구조를 가져도 좋다.
- [0055] 또한, 산화물(230a)과 산화물(230b), 산화물(230b)과 산화물(230c)이 산소 이외에 공통의 원소를 주성분으로서 가지는 것이 바람직하다. 이에 의하여, 산화물(230a)과 산화물(230b)의 계면, 및 산화물(230b)과 산화물(230c)의 계면에서의 결함 준위 밀도를 낮출 수 있다. 그러므로, 계면 산란으로 인한 캐리어 전도에 대한 영향이 작아지고, 트랜지스터(200)는 높은 온 전류 및 높은 주파수 특성을 얻을 수 있다.
- [0056] 산화물(230b) 위에는 도전체(242)(도전체(242a) 및 도전체(242b))가 제공된다. 도전체(242a) 및 도전체(242b)는 각각 트랜지스터(200)의 소스 전극 또는 드레인 전극으로서 기능한다.
- [0057] 도전체(260)는 도전체(260a) 및 도전체(260b)를 가지고, 도전체(260b)의 바닥면 및 측면을 감싸도록 도전체(260a)가 배치된다. 도전체(260)는 트랜지스터(200)의 제 1 게이트(톱 게이트라고도 함) 전극으로서 기능한다.
- [0058] 도 1의 (B)에 나타난 트랜지스터(200)의 일부의 영역을 확대한 단면도를 도 2에 나타내었다. 도 2에 나타난 바와 같이, 산화물(230)은 트랜지스터(200)의 채널 형성 영역으로서 기능하는 영역(234)과, 소스 영역 또는 드레인 영역으로서 기능하는 영역(231)(영역(231a) 및 영역(231b))을 가진다. 영역(231)은 캐리어 밀도가 높고 저저항화된 영역이다. 또한, 영역(234)은 영역(231)보다 캐리어 밀도가 낮은 영역이다. 또한, 영역(231a)의 적어도 일부 및 영역(231b)의 적어도 일부는 각각 도전체(242a) 및 도전체(242b)와 접하는 영역을 가진다.
- [0059] 또한, 도 2에서는 영역(231) 및 영역(234)이 산화물(230b)에 형성되어 있는 구성을 나타내었지만, 이에 한정되지 않고, 예를 들어 영역(231) 또는 영역(234)은 산화물(230a) 및 산화물(230b)에 형성되어도 좋고, 산화물(230b) 및 산화물(230c)에 형성되어도 좋고, 산화물(230a), 산화물(230b), 및 산화물(230c)에 형성되어도 좋다.
- [0060] 또한, 도 2에서는 영역(231)과 영역(234)의 경계를 산화물(230b)의 하면에 대하여 실질적으로 수직으로 나타내었지만, 본 실시형태는 이에 한정되는 것이 아니다. 예를 들어, 산화물(230b)의 표면 근방에서는 영역(234)이 도전체(240) 측으로 연장되고, 산화물(230b)의 하면 근방에서는 끼워진 형상이 되는 경우가 있다.
- [0061] 채널 형성 영역에 산화물 반도체를 사용한 트랜지스터에 있어서는, 채널 형성 영역에 저저항 영역이 형성되면 상기 저저항 영역에 트랜지스터의 소스 전극과 드레인 전극 사이의 누설 전류(기생 채널)가 발생하기 쉽다. 또한, 상기 기생 채널에 의하여 트랜지스터의 노멀리 온화, 누설 전류의 증대, 스트레스 인가로 인한 문턱 전압의 변동(시프트) 등 트랜지스터의 특성 불량이 일어나기 쉬워진다. 또한, 트랜지스터의 가공 정밀도가 낮으면 트랜지스터 간에서 상기 기생 채널에 편차가 생김으로써, 트랜지스터 특성에 편차가 생긴다.
- [0062] 또한 산화물 반도체를 사용한 트랜지스터는, 산화물 반도체 내의 채널 형성 영역에 불순물 및 산소 결손이 존재하면, 상기 산화물 반도체가 저저항화되는 경우가 있다. 또한, 전기 특성이 변동되기 쉬워 신뢰성이 저하되는 경우가 있다. 상기 불순물로서, 예를 들어 알루미늄(Al), 실리콘(Si) 등이 있다. 채널 형성 영역에 상기 불순물이 혼입되면 결함 준위 또는 산소 결손이 형성되는 경우가 있다.

- [0063] 알루미늄 및 실리콘은 산소와의 결합 에너지가 인듐 및 아연보다 크다. 예를 들어, 산화물 반도체로서 In-M-Zn 산화물을 사용하는 경우, 상기 산화물 반도체에 알루미늄이 혼입되면 상기 산화물 반도체에 포함되는 산소가 알루미늄에 의하여 빼앗겨, 인듐 또는 아연 근방에 산소 결손이 형성되는 경우가 있다.
- [0064] 금속 산화물 내의 채널 형성 영역에 산소 결손이 포함되면 트랜지스터는 노멀리 온 특성을 가지는 경우가 있다. 또한 금속 산화물 내의 산소 결손에 수소가 들어간 경우, 산소 결손과 수소가 결합되어 V_{OH} 를 형성하는 경우가 있다. 산소 결손에 수소가 들어간 결합(V_{OH})은 도너로서 기능하고, 캐리어인 전자가 생성되는 경우가 있다. 또한 수소의 일부가 금속 원자와 결합되는 산소와 결합되어, 캐리어인 전자를 생성하는 경우가 있다. 따라서 수소가 많이 포함되는 금속 산화물을 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 또한 금속 산화물 내의 수소는 열, 전계 등의 스트레스로 인하여 이동하기 쉽기 때문에, 금속 산화물에 많은 수소가 포함되면 트랜지스터의 신뢰성이 저하될 우려도 있다.
- [0065] 따라서, 산화물 반도체의 채널 형성 영역 및 그 근방에서, 상기 불순물 및 산소 결손은 가능한 한 저감되어 있는 것이 바람직하다.
- [0066] 그래서, 트랜지스터의 채널 형성 영역 및 그 근방의 구조체를 후술하는 형상으로 하는 것이 바람직하다. 트랜지스터를 구성하는 구조체를 후술하는 형상으로 함으로써, 채널 형성 영역에 형성되는 저저항 영역을 저감하고 기생 채널의 발생을 억제할 수 있다. 따라서, 기생 채널에 기인하는 트랜지스터 특성의 편차를 억제할 수 있다. 여기서, 트랜지스터 특성이란 온 상태에서의 전류값(온 전류값), 오프 상태에서의 전류값(오프 전류값), 문턱 전압, 서브스레숄드 스윙값(S값), 전계 효과 이동도 등이다. 또한, 산화물 반도체의 채널 형성 영역 및 그 근방의 불순물 농도를 저감하고, 트랜지스터의 신뢰성을 향상시킬 수 있다.
- [0067] <채널 형성 영역 및 그 근방의 구조체의 바람직한 형상>
- [0068] 이하에서는, 채널 형성 영역 및 그 근방의 구조체의 바람직한 형상에 대하여 설명한다. 또한, 설명을 용이하게 하기 위하여, 트랜지스터(200)의 채널 형성 영역으로서 기능하는 영역은 산화물(230b)에 형성되는 것으로 한다.
- [0069] 도 3의 (A)는 도 1에 나타난 트랜지스터(200)의 사시도이다. 또한 도 3의 (A)에 나타난 트랜지스터(200)의 일부의 영역을 확대한 사시도를 도 3의 (B)에 나타내었다. 또한 도 3의 (A) 및 (B)의 사시도에서는 도면의 명료화를 위하여 일부의 요소를 생략하였다.
- [0070] 산화물(230b)은 도전체(242a)의 적어도 일부와 접하는 영역(231a)(도 3의 (B)에 도시하지 않았음)과, 도전체(242b)의 적어도 일부와 접하는 영역(231b)(도 3의 (B)에 도시하지 않았음)과, 영역(231a) 및 영역(231b) 사이에 트랜지스터(200)의 채널 형성 영역으로서 기능하는 영역(234)을 가진다. 영역(234)은 산화물(230b) 중 산화물(230b)과 도전체(260)가 중첩되는 영역을 가진다. 이하에서는, 산화물(230b) 중 산화물(230b)과 도전체(242a)가 중첩되는 영역을 영역(231a)이라고 바꿔 말할 수 있고, 산화물(230b)과 도전체(242b)가 중첩되는 영역을 영역(231b)이라고 바꿔 말할 수 있다.
- [0071] 도 1의 (C) 및 도 3의 (B)에 나타난 바와 같이, 트랜지스터(200)의 채널 폭 방향의 단면에서 보았을 때, 영역(234)에 있어서의 산화물(230b)의 측면과 산화물(230b)의 상면 사이에 만곡면을 가지는 것이 바람직하다. 즉, 상기 측면의 단부와 상기 상면의 단부는 만곡되어 있는 것이 바람직하다(이하, 라운드 형상이라고도 함).
- [0072] 여기서, 도 2 및 도 3의 (B)에 나타난 바와 같이, 트랜지스터(200)의 채널 길이 방향의 단면에서 보았을 때 서로 대향하는 도전체(242a)의 측단부와 도전체(242b)의 측단부의 거리를 L로 한다. 또한, L은 트랜지스터(200)의 채널 길이 방향의 단면에서 보았을 때 도전체(242)와 중첩되지 않는 영역에서의 산화물(230b)의 상면의 길이라고도 할 수 있다.
- [0073] 또한, 도 3의 (B)에 나타난 바와 같이, 트랜지스터(200)의 채널 폭 방향의 단면에서 보았을 때, 산화물(230b)과 도전체(260)가 중첩되는 영역에서의 산화물(230b)의 상면 중 만곡면을 가지지 않는 영역의 길이를 W로 한다.
- [0074] 또한, 상기 만곡면에서의 곡률 반경을 L_a 로 한다. 또한, L_a 는 트랜지스터(200)의 채널 폭 방향의 단면에서 보았을 때, 절연체(224)의 하면을 기준으로 한 경우의, 산화물(230b)과 도전체(260)가 중첩되는 영역에서의 산화물(230b)의 상면의 높이와, 산화물(230b)의 측면 중 만곡면을 가지는 영역의 하단부의 높이의 차이로 간주하는 경우가 있다.
- [0075] L_a 는 0nm보다 크고, 도전체(242)와 중첩되는 영역의 산화물(230b)의 막 두께보다 작거나, 또는 상기 W의 절반보다 작은 것이 바람직하다. L_a 는 구체적으로는 0nm보다 크고 20nm 이하, 바람직하게는 1nm 이상 15nm 이하, 더

바람직하게는 2nm 이상 10nm 이하로 한다. 이와 같은 형상으로 함으로써, 상기 측면과 상기 상면 사이에 전계가 집중되는 것을 억제하고, 트랜지스터 특성의 변동을 억제할 수 있다. 또한 W의 감소를 방지하고, 트랜지스터(200)의 온 전류와 이동도의 저하를 억제할 수 있다. 따라서, 양호한 전기 특성을 가지는 반도체 장치를 제공할 수 있다.

[0076] 또한 상기 형상으로 함으로써, 영역(234)에 있어서 산화물(230b)의 측면의 실효 채널 길이가 산화물(230b)의 상면의 실효 채널 길이보다 길어짐으로써, 상기 측면을 흐르는 전류가 감소된다. 따라서, 상기 측면에 형성되는 기생 채널의 영향이 억제되고, 트랜지스터(200)의 S값을 저감할 수 있다. 또한, 상기 측면에 형성되는 기생 채널에 대한, 트랜지스터마다 생기는 편차의 영향이 작아지기 때문에, 트랜지스터 특성의 편차가 적은 반도체 장치를 제공할 수 있다.

[0077] 트랜지스터(200)의 채널 폭 방향의 단면에서 보았을 때, 산화물(230b)과 도전체(260)가 중첩되는 영역에서의 산화물(230b)의 측면 중 만곡면을 가지지 않는 영역의 길이를 Lb로 한다. 또한, 산화물(230b)과 도전체(260)가 중첩되는 영역에서의 산화물(230b)의 측면이 테이퍼 형상을 가지는 경우, Lb는 산화물(230b)의 테이퍼 형상부의 길이라고 바꿔 말할 수도 있다. 또한, Lb는 절연체(224)의 하면을 기준으로 한 경우의, 상기 만곡면을 가지지 않는 영역의 상단부의 높이와, 상기 만곡면을 가지지 않는 영역의 하단부의 높이의 차이로 간주하는 경우가 있다. Lb는 La, 산화물(230b)의 막 두께, 산화물(230b)의 테이퍼각 등에 의존한다. 여기서, 테이퍼각이란 테이퍼 형상을 가지는 막의 측면과 상기 막의 바닥면 사이의 각도를 가리킨다.

[0078] 또한, 산화물(230b)과 도전체(260)가 중첩되는 영역에서의, 산화물(230b)의 상면의 막 감소량을 Lc로 한다. Lc는 예를 들어, 트랜지스터(200)의 채널 폭 방향의 단면에서 보았을 때, 절연체(222)의 바닥면을 기준으로 한 경우의, 도전체(242)와 중첩되는 영역의 산화물(230b)의 상면의 높이와, 도전체(260)와 중첩되는 영역의 산화물(230b)의 상면의 높이의 차이로서 산출할 수 있다.

[0079] 후술하지만, 산화물(230b) 위에 접하도록 제공된 도전층(242B)에 포함되는 원소가 산화물(230b)의 산소를 흡수하는 기능을 가지는 경우, 산화물(230b)과 도전층(242B) 사이 또는 산화물(230b)의 표면 근방에 저저항 영역이 부분적으로 형성되는 경우가 있다. 또한, 산화물(230b)의 채널 형성 영역의 측면에 접하도록 제공된 절연막(254A)에 포함되는 원소가 산화물(230b)의 산소를 흡수하는 기능을 가지는 경우, 산화물(230b)과 절연막(254A) 사이, 또는 산화물(230b)의 채널 형성 영역의 측면 근방에 저저항 영역이 부분적으로 형성되는 경우가 있다. 즉, 상기 원소는 산화물 반도체의 불순물이 되는 경우가 있다. 이 경우, 상기 저저항 영역에서는 불순물, 또는 산소 결손에 들어간 불순물(수소, 질소, 금속 원소 등)이 도너로서 기능하여 캐리어 밀도가 증가되는 경우가 있다.

[0080] 또한 산화물 반도체에 불순물이 혼입되면, 결합 준위 또는 산소 결손이 형성되는 경우가 있다. 따라서 산화물 반도체의 채널 형성 영역에 불순물이 혼입되면, 산화물 반도체를 사용한 트랜지스터의 전기 특성이 변동되기 쉽고, 신뢰성이 저하되는 경우가 있다. 또한 채널 형성 영역에 산소 결손이 포함되면, 트랜지스터는 노멀리 온 특성(게이트 전극에 전압을 인가하지 않아도 채널이 존재하고 트랜지스터에 전류가 흐르는 특성)을 가지기 쉽다.

[0081] 그래서, 영역(234)에서의 산화물(230b)의 상면은 도전체(242)와 중첩되는 영역에서의 산화물(230b)의 상면보다 낮은 것이 바람직하다. 예를 들어, Lc는 0nm보다 크고, 도전체(242)와 중첩되는 영역의 산화물(230b)의 막 두께보다 작은 것이 바람직하다. Lc는 구체적으로는 0nm보다 크고 15nm 이하, 바람직하게는 0.5nm 이상 10nm 이하, 더 바람직하게는 1nm 이상 5nm 이하로 한다. 이와 같은 형상으로 함으로써 상기 불순물을 제거하고, 영역(234)의 상면 근방에 형성되는 저저항 영역을 저감하고, 기생 채널의 발생을 억제할 수 있다. 또한, 영역(234)의 상면에서의 실효 채널 길이는 $L+2 \times Lc$ 가 된다. 따라서, Lc를 작게 함으로써 트랜지스터의 온 전류의 저하를 억제할 수 있다.

[0082] 또한, 산화물(230b)과 도전체(260)가 중첩되는 영역에서의 산화물(230b)의 측면의 막 감소량을 We로 한다. We는 예를 들어 트랜지스터(200)의 채널 폭 방향의 단면에서 보았을 때, 도전체(242)와 중첩되는 영역의 산화물(230b)의 측면과, 상기 만곡면을 가지지 않는 영역의 산화물(230b)의 측면의 차이로서 산출할 수 있다. 또한, 예를 들어 트랜지스터(200)의 채널 폭 방향의 단면에서 보았을 때, 도전체(242)와 중첩되는 영역의 산화물(230b)의 하면의 길이와, 도전체(242)와 중첩되지 않는 영역의 산화물(230b)의 하면의 길이의 차이의 절반으로서 산출할 수 있다.

[0083] We는 0nm보다 크고 도전체(242)와 중첩되는 영역의 산화물(230b)의 막 두께 이하로 하는 것이 바람직하다. We

는 구체적으로는 0nm보다 크고 20nm 이하, 바람직하게는 1nm 이상 15nm 이하, 더 바람직하게는 2nm 이상 10nm 이하로 한다. We를 0nm보다 크게 함으로써, 영역(234)의 측면 근방의 불순물을 제거하고, 저저항 영역을 저감하고, 기생 채널의 발생을 억제할 수 있다.

[0084] 이상에 의하여, 채널 형성 영역에 형성되는 저저항 영역을 저감하고 기생 채널의 발생을 억제할 수 있다. 따라서, 기생 채널에 기인하는 트랜지스터 특성의 편차를 억제할 수 있다. 또한, 산화물 반도체의 채널 형성 영역 및 그 근방의 불순물 농도를 저감하고, 트랜지스터의 신뢰성을 향상시킬 수 있다.

[0085] 트랜지스터(200)의 채널 형성 영역 및 그 근방의 구조체를 상기 형상으로 함으로써, 트랜지스터 특성의 편차를 저감할 수 있다. 예를 들어, Vsh의 편차를 저감할 수 있다. 본 명세서에서는 Vsh는 트랜지스터의 Id-Vg 커브에 있어서, 드레인 전류 $I_d=1.0 \times 10^{-12}$ A일 때의 게이트 전압 Vg로 정의된다. Vsh의 편차는 예를 들어 표준 편차 σ 를 사용하여 평가할 수 있다. n개(n은 3 이상의 정수임)의 트랜지스터에서의 Vsh의 표준 편차 σ 는 아래의 식으로 나타내어진다.

[0086] [수학식 1]

$$\sigma = \sqrt{\frac{1}{n} \sum_{i=1}^n (x_i - \mu)^2}$$

[0087]

[0088] 위의 식에서, x_i 는 i 번째(i는 1 이상 n 이하의 정수임) 트랜지스터의 Vsh의 값이고, μ 는 n개의 트랜지스터의 Vsh의 평균값이다.

[0089] 트랜지스터(200)의 Id-Vg 특성에서, Vsh의 표준 편차 σ 는 구체적으로는 60mV 이하, 바람직하게는 40mV 이하, 더 바람직하게는 20mV 이하이다.

[0090] 또한, 트랜지스터(200)의 채널 형성 영역 및 그 근방의 구조체를 상기 형상으로 함으로써, 산화물 반도체의 채널 형성 영역 및 그 근방의 불순물 농도를 저감할 수 있다. 구체적으로는, 산화물 반도체의 채널 형성 영역 및 그 근방에 있어서, 이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의하여 얻어지는 불순물의 농도를 1×10^{18} atoms/cm³ 이하, 바람직하게는 2×10^{16} atoms/cm³ 이하로 한다. 또는 산화물 반도체의 채널 형성 영역 및 그 근방에서, 에너지 분산형 X선 분광법(EDX: Energy Dispersive X-ray spectroscopy)을 사용한 원소 분석에 의하여 얻어지는 불순물의 농도를 1.0atomic% 이하로 한다. 또한 산화물 반도체로서 원소 M을 포함한 산화물을 사용하는 경우, 산화물 반도체의 채널 형성 영역 및 그 근방에서, 원소 M에 대한 상기 불순물의 농도비를 0.10 미만, 바람직하게는 0.05 미만으로 한다. 여기서, 농도비를 산출하는 경우에 사용하는 원소 M의 농도는, 불순물의 농도를 산출한 영역과 같은 영역의 농도이어도 좋고, 산화물 반도체 내의 농도이어도 좋다.

[0091] 또한, 채널 형성 영역의 산화물(230b)의 측면에 있어서의 불순물의 농도는 도전체(242)와 중첩되는 영역의 산화물(230b)의 측면에 있어서의 불순물의 농도보다 작게 한다. 또는, 채널 형성 영역의 산화물(230b)의 측면에 있어서의 원소 M에 대한 불순물의 농도비는 도전체(242)와 중첩되는 영역의 산화물(230b)의 측면에 있어서의 원소 M에 대한 불순물의 농도비보다 작게 한다. 또한, 채널 형성 영역의 산화물(230b)의 상면에 있어서의 원소 M에 대한 불순물의 농도비는 도전체(242)와 중첩되는 영역의 산화물(230b)의 상면에 있어서의 원소 M에 대한 불순물의 농도비보다 작게 한다.

[0092] <반도체 장치의 자세한 구성>

[0093] 이하에서는, 본 발명의 일 형태인 반도체 장치 및 상기 반도체 장치가 가지는 트랜지스터(200)의 자세한 구성에 대하여 설명한다.

[0094] 절연체(212), 절연체(214), 절연체(254), 절연체(282), 절연체(283), 및 절연체(281)는 물, 수소 등의 불순물이 기판 측으로부터, 또는 트랜지스터(200)의 위쪽으로부터 트랜지스터(200)로 확산되는 것을 억제하는 배리어 절연막으로서 기능하는 것이 바람직하다. 따라서 절연체(212), 절연체(214), 절연체(254), 절연체(282), 절연체(283), 및 절연체(281)에는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(N₂O, NO, NO₂ 등), 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는(상기 불순물이 투과하기 어려운) 절연성 재료

를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 절연성 재료를 사용하는 것이 바람직하다.

[0095] 예를 들어 절연체(212), 절연체(283), 및 절연체(281)로서 질화 실리콘 등을 사용하고, 절연체(214), 절연체(254), 및 절연체(282)로서 산화 알루미늄 등을 사용하는 것이 바람직하다. 이로써, 물, 수소 등의 불순물이 절연체(212) 및 절연체(214)를 통하여 기판 측으로부터 트랜지스터(200) 측으로 확산되는 것을 억제할 수 있다. 또는, 절연체(224) 등에 포함되는 산소가 절연체(212) 및 절연체(214)를 통하여 기판 측으로 확산되는 것을 억제할 수 있다. 또한 물, 수소 등의 불순물이 절연체(254)보다 위쪽에 배치된 절연체(280), 도전체(246) 등으로부터 절연체(254)를 통하여 트랜지스터(200) 측으로 확산되는 것을 억제할 수 있다. 이와 같이, 트랜지스터(200)를 물, 수소 등의 불순물 및 산소의 확산을 억제하는 기능을 가지는 절연체(212), 절연체(214), 절연체(254), 절연체(282), 및 절연체(283)로 둘러싸는 구조로 하는 것이 바람직하다.

[0096] 또한 절연체(212), 절연체(283), 및 절연체(281)의 저항률을 낮게 하는 것이 바람직한 경우가 있다. 예를 들어 절연체(212), 절연체(283), 및 절연체(281)의 저항률을 실질적으로 $1 \times 10^{13} \Omega \text{cm}$ 로 함으로써, 반도체 장치 제작 공정의 플라즈마 등을 사용하는 처리에서 절연체(212), 절연체(283), 및 절연체(281)가 도전체(205), 도전체(242), 또는 도전체(260)의 차지 업을 완화할 수 있는 경우가 있다. 절연체(212), 절연체(283), 및 절연체(281)의 저항률은 바람직하게는 $1 \times 10^{10} \Omega \text{cm}$ 이상 $1 \times 10^{15} \Omega \text{cm}$ 이하로 한다.

[0097] 또한, 절연체(216), 절연체(280), 및 절연체(274)는 절연체(214)보다 유전율이 낮은 것이 바람직하다. 유전율이 낮은 재료를 층간막으로 함으로써, 배선 사이에 발생하는 기생 용량을 저감할 수 있다. 예를 들어, 절연체(216), 절연체(280), 및 절연체(274)로서, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공(空孔)을 가지는 산화 실리콘 등을 적절히 사용하면 좋다.

[0098] 도전체(205)는 산화물(230) 및 도전체(260)와 중첩되도록 배치된다. 또한 도전체(205)는 절연체(214) 또는 절연체(216)에 매립되어 제공되는 것이 바람직하다.

[0099] 도전체(260)는 제 1 게이트(톱 게이트라고도 함) 전극으로서 기능하는 경우가 있다. 또한 도전체(205)는 제 2 게이트 전극으로서 기능하는 경우가 있다. 이 경우, 도전체(205)에 인가하는 전위를 도전체(260)에 인가하는 전위와 연동시키지 않고 독립적으로 변화시킴으로써, 트랜지스터(200)의 문턱 전압(V_{th})을 제어할 수 있다. 특히, 도전체(205)에 음의 전위를 인가함으로써, 트랜지스터(200)의 V_{th} 를 더 크게 하고, 오프 전류를 저감할 수 있다. 따라서, 도전체(205)에 음의 전위를 인가하는 경우, 인가하지 않은 경우보다 도전체(260)에 인가하는 전위가 0V일 때의 드레인 전류를 더 작게 할 수 있다.

[0100] 또한 도전체(205)는 도 1의 (A)에 나타난 바와 같이, 산화물(230)에서의 도전체(242a) 및 도전체(242b)와 중첩되지 않는 영역의 크기보다 크게 제공되는 것이 좋다. 특히 도 1의 (C)에 나타난 바와 같이, 도전체(205)는 산화물(230)의 채널 폭 방향과 교차되는 단부보다 외측의 영역으로도 연장되는 것이 바람직하다. 즉, 산화물(230)의 채널 폭 방향에서의 측면의 외측에서, 도전체(205)와 도전체(260)는 절연체를 개재하여 중첩되는 것이 바람직하다. 상기 구성을 가짐으로써, 제 1 게이트 전극으로서 기능하는 도전체(260)의 전계와, 제 2 게이트 전극으로서 기능하는 도전체(205)의 전계로, 산화물(230)의 채널 형성 영역을 전기적으로 둘러쌀 수 있다. 본 명세서에서 제 1 게이트 및 제 2 게이트의 전계로 채널 형성 영역을 전기적으로 둘러싸는 트랜지스터의 구조를 surrounded channel(S-channel) 구조라고 부른다.

[0101] 또한 본 명세서 등에서 S-channel 구조의 트랜지스터란, 한 쌍의 게이트 전극 중 한쪽 및 다른 쪽의 전계로 채널 형성 영역을 전기적으로 둘러싸는 트랜지스터의 구조를 말한다. 또한 본 명세서 등에서 S-channel 구조는, 소스 전극 및 드레인 전극으로서 기능하는 도전체(242a) 및 도전체(242b)와 접하는 산화물(230)의 측면 및 주변이 채널 형성 영역과 같이 I형이라는 특징을 가진다. 또한 도전체(242a) 및 도전체(242b)와 접하는 산화물(230)의 측면 및 주변은 절연체(280)와 접하기 때문에, 채널 형성 영역과 같이 I형이 될 수 있다. 또한 본 명세서 등에서 I형은 후술하는 고순도 진성과 같은 것으로 취급할 수 있다. 또한 본 명세서 등에서 개시하는 S-channel 구조는 Fin형 구조 및 플레이너형 구조와는 다르다. S-channel 구조를 채용함으로써, 단채널 효과에 대한 내성이 높아진, 바꿔 말하면 단채널 효과가 일어나기 어려운 트랜지스터로 할 수 있다.

[0102] 또한 도 1의 (C)에 나타난 바와 같이, 도전체(205)는 연장되어 배선으로서도 기능한다. 다만 이에 한정되지 않고, 도전체(205) 아래에 배선으로서 기능하는 도전체를 제공하는 구성으로 하여도 좋다. 또한 도전체(205)는 반드시 각 트랜지스터에 하나씩 제공될 필요는 없다. 예를 들어 도전체(205)를 복수의 트랜지스터로 공유하는

구성으로 하여도 좋다.

- [0103] 또한 트랜지스터(200)에서 도전체(205)가 도전체(205a)와 도전체(205b)를 적층하여 이루어지는 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어, 도전체(205)를 단층 또는 3층 이상의 적층 구조로서 제공하는 구성으로 하여도 좋다. 구조체가 적층 구조를 가지는 경우, 형성 순서로 서수를 붙여 구별하는 경우가 있다.
- [0104] 여기서 도전체(205a)에는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(N_2O , NO , NO_2 등), 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다.
- [0105] 도전체(205a)에 산소의 확산을 억제하는 기능을 가지는 도전성 재료를 사용함으로써, 도전체(205b)가 산화되어 도전율이 저하하는 것을 억제할 수 있다. 산소의 확산을 억제하는 기능을 가지는 도전성 재료로서는, 예를 들어 탄탈럼, 질화 탄탈럼, 루테튬, 산화 루테튬 등을 사용하는 것이 바람직하다. 따라서 도전체(205a)는 상기 도전성 재료의 단층 또는 적층으로 하면 좋다. 예를 들어 도전체(205a)는 탄탈럼, 질화 탄탈럼, 루테튬, 또는 산화 루테튬과 타이타늄 또는 질화 타이타늄의 적층으로 하여도 좋다.
- [0106] 또한 도전체(205b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한 도전체(205b)를 단층으로 도시하였지만 적층 구조로 하여도 좋고, 예를 들어 타이타늄 또는 질화 타이타늄과 상기 도전성 재료의 적층으로 하여도 좋다.
- [0107] 절연체(222) 및 절연체(224)는 게이트 절연체로서 기능한다.
- [0108] 절연체(222)는 수소(예를 들어 수소 원자, 수소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 것이 바람직하다. 또한 절연체(222)는 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 것이 바람직하다. 예를 들어 절연체(222)는 절연체(224)보다 수소 및 산소 중 한쪽 또는 양쪽의 확산을 더 억제하는 기능을 가지는 것이 바람직하다.
- [0109] 절연체(222)로서는 절연성 재료인 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함한 절연체를 사용하는 것이 좋다. 상기 절연체로서 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함한 산화물(하프늄 알루미늄 네이트) 등을 사용하는 것이 바람직하다. 이와 같은 재료를 사용하여 절연체(222)를 형성한 경우, 절연체(222)는 산화물(230)로부터 기관 측으로의 산소의 방출이나, 트랜지스터(200)의 주변부로부터 산화물(230)로의 수소 등의 불순물의 확산을 억제하는 층으로서 기능한다. 따라서 절연체(222)를 제공함으로써, 수소 등의 불순물이 트랜지스터(200)의 내측으로 확산되는 것을 억제하고, 산화물(230)에 산소 결손이 생성되는 것을 억제할 수 있다. 또한 도전체(205)가 절연체(224)나 산화물(230)에 포함되는 산소와 반응하는 것을 억제할 수 있다.
- [0110] 또는 상기 절연체에, 예를 들어 산화 알루미늄, 산화 비스무트, 산화 저마늄, 산화 나이오븀, 산화 실리콘, 산화 타이타늄, 산화 텅스텐, 산화 이트륨, 산화 지르코늄을 첨가하여도 좋다. 또는 이들 절연체를 질화 처리하여도 좋다. 또한 절연체(222)로서는 이들 절연체에 산화 실리콘, 산화질화 실리콘, 또는 질화 실리콘을 적층시킨 것을 사용하여도 좋다.
- [0111] 또한 절연체(222)에는 예를 들어 산화 알루미늄, 산화 하프늄, 산화 탄탈럼, 산화 지르코늄, 타이타늄산 지르콘 산 연(PZT), 타이타늄산 스트론튬($SrTiO_3$), $(Ba, Sr)TiO_3$ (BST) 등의 소위 high-k 재료를 포함한 절연체를 단층 또는 적층으로 사용하여도 좋다. 트랜지스터의 미세화 및 고집적화가 진행되면 게이트 절연체의 박막화로 인하여 누설 전류 등의 문제가 생기는 경우가 있다. 게이트 절연체로서 기능하는 절연체에 high-k 재료를 사용함으로써, 물리적 막 두께를 유지하면서 트랜지스터 동작 시의 게이트 전위를 저감할 수 있다.
- [0112] 산화물(230)과 접하는 절연체(224)는 가열에 의하여 산소가 이탈되는 것이 바람직하다. 예를 들어 절연체(224)에는 산화 실리콘, 산화질화 실리콘 등을 적절히 사용하면 좋다. 산소를 포함하는 절연체를 산화물(230)과 접하여 제공함으로써, 산화물(230) 내의 산소 결손을 저감하고 트랜지스터(200)의 신뢰성을 향상시킬 수 있다.
- [0113] 절연체(224)로서, 구체적으로는 가열에 의하여 일부의 산소가 이탈되는 산화물 재료, 바꿔 말하면 과잉 산소 영역을 가지는 절연체 재료를 사용하는 것이 바람직하다. 가열에 의하여 산소가 이탈되는 산화물이란, TDS(Thermal Desorption Spectroscopy) 분석에서 산소 분자의 이탈량이 1.0×10^{18} molecules/cm³ 이상, 바람직하게는 1.0×10^{19} molecules/cm³ 이상, 더 바람직하게는 2.0×10^{19} molecules/cm³ 이상 또는 3.0×10^{20} molecules/cm³

이상인 산화막이다. 또한 상기 TDS 분석 시의 막의 표면 온도는 100℃ 이상 700℃ 이하, 또는 100℃ 이상 400℃ 이하의 범위가 바람직하다.

[0114] 또한 상기 과잉 산소 영역을 가지는 절연체와, 산화물(230)이 접한 상태에서 가열 처리, 마이크로파 처리, 및 RF(Radio Frequency) 처리 중 어느 하나 또는 복수를 수행하여도 좋다. 상기 처리를 수행함으로써, 산화물(230) 내의 물 또는 수소를 제거할 수 있다. 예를 들어 산화물(230)에서, 산소 결손에 수소가 들어간 결합(V_OH)의 결합이 절단되는 반응, 바꿔 말하면 " $V_OH \rightarrow V_O + H$ "라는 반응이 일어나 탈수소화할 수 있다. 이때 발생한 수소의 일부는 산소와 결합되어 H_2O 로서 산화물(230) 또는 산화물(230) 근방의 절연체로부터 제거되는 경우가 있다. 또한 수소의 일부는 도전체(242)로 확산되거나 또는 도전체(242)에 포획(게터링이라고도 함)되는 경우가 있다.

[0115] 상기 마이크로파 처리에는, 예를 들어 고밀도 플라스마를 발생시키는 전원을 가지는 장치 또는 기관 측에 RF를 인가하는 전원을 가지는 장치를 사용하는 것이 적합하다. 예를 들어 산소를 포함하는 가스를 사용하고, 또한 고밀도 플라스마를 사용함으로써, 고밀도의 산소 라디칼을 생성할 수 있고, 기관 측에 RF를 인가함으로써, 고밀도 플라스마에 의하여 생성된 산소 라디칼을 산화물(230) 또는 산화물(230) 근방의 절연체 내에 효율적으로 도입할 수 있다. 또한 상기 마이크로파 처리는 압력을 133Pa 이상, 바람직하게는 200Pa 이상, 더 바람직하게는 400Pa 이상으로 하면 좋다. 또한 마이크로파 처리를 수행하는 장치 내에 도입하는 가스로서, 예를 들어 산소와 아르곤을 사용하고, 산소 유량비($O_2/(O_2+Ar)$)가 50% 이하, 바람직하게는 10% 이상 30% 이하에서 수행하면 좋다.

[0116] 또한 트랜지스터(200)의 제작 공정 중에서, 산화물(230)의 표면이 노출된 상태에서 가열 처리를 수행하는 것이 적합하다. 상기 가열 처리는 예를 들어 100℃ 이상 450℃ 이하, 더 바람직하게는 350℃ 이상 400℃ 이하에서 수행하면 좋다. 또한 가열 처리는 질소 가스 또는 불활성 가스 분위기, 또는 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행한다. 예를 들어 가열 처리는 산소 분위기에서 수행하는 것이 바람직하다. 이로써, 산화물(230)에 산소가 공급되므로 산소 결손(V_O)을 저감할 수 있다. 또한 가열 처리는 감압 상태에서 수행하여도 좋다. 또는 가열 처리는 질소 가스 또는 불활성 가스 분위기에서 가열 처리를 수행한 후에, 이탈된 산소를 보충하기 위하여 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행하여도 좋다. 또는 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 가열 처리를 수행한 후에, 연속하여 질소 가스 또는 불활성 가스 분위기에서 가열 처리를 수행하여도 좋다.

[0117] 또한 산화물(230)에 대하여 가산소화 처리를 수행함으로써, 공급된 산소에 의하여 산화물(230) 내의 산소 결손을 수복(修復)할 수 있고, 바꿔 말하면 " $V_O + O \rightarrow null$ "이라는 반응을 촉진할 수 있다. 또한 산화물(230) 내에 잔존한 수소와 공급된 산소가 반응함으로써, 상기 수소를 H_2O 로서 제거(탈수화)할 수 있다. 이에 의하여, 산화물(230) 내에 잔존한 수소가 산소 결손과 재결합되어 V_OH 가 형성되는 것을 억제할 수 있다.

[0118] 또한 절연체(222) 및 절연체(224)가 2층 이상의 적층 구조를 가져도 좋다. 이 경우, 같은 재료로 이루어지는 적층 구조에 한정되지 않고, 상이한 재료로 이루어지는 적층 구조이어도 좋다.

[0119] 산화물(230)은 화학 조성이 상이한 복수의 산화물층의 적층 구조를 가지는 것이 바람직하다. 구체적으로는, 산화물(230a)로서 사용하는 금속 산화물에서, 주성분인 금속 원소에 대한 원소 M의 원자수비가 산화물(230b)로서 사용하는 금속 산화물에서의 주성분인 금속 원소에 대한 원소 M의 원자수비보다 높은 것이 바람직하다. 또한 산화물(230a)로서 사용하는 금속 산화물에서, In에 대한 원소 M의 원자수비가 산화물(230b)로서 사용하는 금속 산화물에서의 In에 대한 원소 M의 원자수비보다 높은 것이 바람직하다. 또한 산화물(230b)로서 사용하는 금속 산화물에서, 원소 M에 대한 In의 원자수비가 산화물(230a)로서 사용하는 금속 산화물에서의 원소 M에 대한 In의 원자수비보다 높은 것이 바람직하다. 또한 산화물(230c)로서는 산화물(230a) 또는 산화물(230b)로서 사용할 수 있는 금속 산화물을 사용할 수 있다.

[0120] 또한 트랜지스터(200)의 온 전류를 높이거나 하는 경우에는 산화물(230)에 In-Zn 산화물을 사용하는 것이 적합하다. 산화물(230)에 In-Zn 산화물을 사용하는 경우, 예를 들어 산화물(230a)에 In-Zn 산화물을 사용하고 산화물(230b) 및 산화물(230c)에 In-M-Zn 산화물을 사용하는 적층 구조, 또는 산화물(230a)에 In-M-Zn 산화물을 사용하고 산화물(230b) 및 산화물(230c) 중 어느 한쪽에 In-Zn 산화물을 사용하는 적층 구조 등을 들 수 있다.

[0121] 또한 산화물(230b) 및 산화물(230c)은 결정성을 가지는 것이 바람직하다. 예를 들어 후술하는 CAAC-OS(c-axis aligned crystalline oxide semiconductor)를 사용하는 것이 바람직하다. CAAC-OS 등 결정성을 가지는 산화물은 불순물이나 결합(산소 결손 등)이 적고 결정성이 높은 치밀한 구조를 가진다. 따라서 소스 전극 또는 드레

인 전극에 의한 산화물(230b)로부터의 산소 추출을 억제할 수 있다. 이에 의하여, 열 처리를 수행한 경우에도 산화물(230b)로부터 산소가 추출되는 것을 저감할 수 있기 때문에, 트랜지스터(200)는 제조 공정에서의 높은 온도(소위 thermal budget)에 대하여 안정적이다.

- [0122] 또한 산화물(230c)로서 CAAC-OS를 사용하는 것이 바람직하고, 산화물(230c)이 가지는 결정의 c축이 산화물(230c)의 피형성면 또는 상면에 실질적으로 수직인 방향을 향하는 것이 바람직하다. CAAC-OS는 c축에 수직인 방향으로 산소를 이동시키기 쉬운 성질을 가진다. 따라서 산화물(230c)에 포함되는 산소를 산화물(230b)에 효율적으로 공급할 수 있다.
- [0123] 또한 산화물(230a) 및 산화물(230c)의 전도대 하단은 산화물(230b)의 전도대 하단보다 진공 준위에 가까운 것이 바람직하다. 바꿔 말하면, 산화물(230a) 및 산화물(230c)의 전자 친화력은 산화물(230b)의 전자 친화력보다 작은 것이 바람직하다. 이 경우, 산화물(230c)로서는 산화물(230a)로서 사용할 수 있는 금속 산화물을 사용하는 것이 바람직하다. 이때, 캐리어의 주된 경로는 산화물(230b)이다.
- [0124] 여기서, 산화물(230a), 산화물(230b), 및 산화물(230c)의 접합부에서 전도대 하단은 완만하게 변화된다. 바꿔 말하면, 산화물(230a), 산화물(230b), 및 산화물(230c)의 접합부에서의 전도대 하단은 연속적으로 변화 또는 연속 접합한다고도 할 수 있다. 이와 같이 하기 위해서는, 산화물(230a)과 산화물(230b)의 계면 및 산화물(230b)과 산화물(230c)의 계면에 형성되는 혼합층의 결합 준위 밀도를 낮추는 것이 좋다.
- [0125] 구체적으로는, 산화물(230a)과 산화물(230b), 산화물(230b)과 산화물(230c)이 산소 이외에 공통의 원소를 주성분으로서 포함함으로써, 결합 준위 밀도가 낮은 혼합층을 형성할 수 있다. 예를 들어 산화물(230b)이 In-Ga-Zn 산화물인 경우, 산화물(230a) 및 산화물(230c)에 In-Ga-Zn 산화물, Ga-Zn 산화물, 산화 갈륨 등을 사용하여도 좋다.
- [0126] 구체적으로는 산화물(230a)로서, In:Ga:Zn=1:3:4[원자수비] 또는 In:Ga:Zn=1:1:0.5[원자수비]의 금속 산화물을 사용하면 좋다. 또한 산화물(230b)로서, In:Ga:Zn=1:1:1[원자수비] 또는 In:Ga:Zn=4:2:3[원자수비]의 금속 산화물을 사용하면 좋다. 또한 산화물(230c)로서, In:Ga:Zn=1:3:4[원자수비], In:Ga:Zn=4:2:3[원자수비], Ga:Zn=2:1[원자수비], 또는 Ga:Zn=2:5[원자수비]의 금속 산화물을 사용하면 좋다.
- [0127] 또한 금속 산화물을 스퍼터링법에 의하여 성막하는 경우, 상기 원자수비는 성막된 금속 산화물의 원자수비에 한정되지 않고, 금속 산화물의 성막에 사용하는 스퍼터링 타겟의 원자수비이어도 좋다.
- [0128] 산화물(230a), 산화물(230c)을 상술한 구성으로 함으로써, 산화물(230a)과 산화물(230b)의 계면, 및 산화물(230b)과 산화물(230c)의 계면에서의 결합 준위 밀도를 낮출 수 있다. 그러므로, 계면 산란으로 인한 캐리어 전도에 대한 영향이 작아지고, 트랜지스터(200)는 높은 온 전류 및 높은 주파수 특성을 얻을 수 있다.
- [0129] 도전체(242)(도전체(242a) 및 도전체(242b))에는, 예를 들어 탄탈륨을 포함한 질화물, 타이타늄을 포함한 질화물, 몰리브데넘을 포함한 질화물, 텅스텐을 포함한 질화물, 탄탈륨 및 알루미늄을 포함한 질화물, 타이타늄 및 알루미늄을 포함한 질화물 등을 사용하는 것이 바람직하다. 본 발명의 일 형태에서는 탄탈륨을 포함한 질화물이 특히 바람직하다. 또한 예를 들어 산화 루테튬, 질화 루테튬, 스트론튬과 루테튬을 포함한 산화물, 란타넘과 니켈을 포함한 산화물 등을 사용하여도 좋다. 이들 재료는 산화되기 어려운 도전성 재료 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다.
- [0130] 또한 도전체(242)와 산화물(230b)이 접함으로써, 산화물(230b) 내의 산소가 도전체(242)로 확산되고, 도전체(242)가 산화되는 경우가 있다. 도전체(242)가 산화됨으로써 도전체(242)의 도전율이 저하될 개연성이 높다. 또한 산화물(230b) 내의 산소가 도전체(242)로 확산되는 것을 도전체(242)가 산화물(230b) 내의 산소를 흡수한다고 바꿔 말할 수 있다.
- [0131] 또한 산화물(230b) 내의 산소가 도전체(242a) 및 도전체(242b)로 확산됨으로써, 도전체(242a)와 산화물(230b) 사이 및 도전체(242b)와 산화물(230b) 사이에 층이 형성되는 경우가 있다. 상기 층은 도전체(242a) 또는 도전체(242b)보다 산소를 많이 포함하기 때문에, 상기 층은 절연성을 가지는 것으로 추정된다. 이때, 도전체(242a) 또는 도전체(242b)와, 상기 층과, 산화물(230b)의 3층 구조는 금속-절연체-반도체로 이루어지는 3층 구조로 간주할 수 있고, MIS(Metal-Insulator-Semiconductor) 구조, 또는 MIS 구조를 주로 한 다이오드 접합 구조로 간주할 수 있다.
- [0132] 또한 산화물(230b) 등에 포함되는 수소가 도전체(242a) 또는 도전체(242b)로 확산되는 경우가 있다. 특히, 도전체(242a) 및 도전체(242b)에 탄탈륨을 포함하는 질화물을 사용함으로써, 산화물(230b) 등에 포함되는 수소는

도전체(242a) 또는 도전체(242b)로 확산되기 쉽고, 확산된 수소는 도전체(242a) 또는 도전체(242b)가 가지는 질소와 결합되는 경우가 있다. 즉, 산화물(230b) 등에 포함되는 수소는 도전체(242a) 또는 도전체(242b)에 흡수되는 경우가 있다.

[0133] 또한, 도전체(242)의 측면과 도전체(242)의 상면 사이에 만곡면을 가지는 경우가 있다. 즉, 측면의 단부와 상면의 단부는 만곡되어 있는 경우가 있다. 만곡면은, 예를 들어 도전체(242)의 단부에서, 곡률 반경이 3nm 이상 10nm 이하, 바람직하게는 5nm 이상 6nm 이하로 한다. 단부에 각을 가지지 않으면, 추후의 성막 공정에서의 막의 피복성이 향상된다.

[0134] 절연체(254)는 도 1의 (B)에 나타낸 바와 같이, 도전체(242a)의 상면과 측면, 도전체(242b)의 상면과 측면, 산화물(230a)의 측면, 산화물(230b)의 측면, 그리고 절연체(224)의 상면의 일부에 접하는 것이 바람직하다. 이와 같은 구성으로 함으로써, 절연체(280)는 절연체(254)에 의하여 절연체(224), 산화물(230a), 및 산화물(230b)로부터 이격된다.

[0135] 또한, 절연체(254)는 절연체(222)와 마찬가지로 수소 및 산소 중 한쪽 또는 양쪽의 확산을 억제하는 기능을 가지는 것이 바람직하다. 예를 들어 절연체(254)는 절연체(224) 및 절연체(280)보다 수소 및 산소 중 한쪽 또는 양쪽의 확산을 더 억제하는 기능을 가지는 것이 바람직하다. 이에 의하여, 절연체(280)에 포함되는 수소가 산화물(230a) 및 산화물(230b)로 확산되는 것을 억제할 수 있다. 또한, 절연체(222) 및 절연체(254)로 절연체(224), 산화물(230) 등을 둘러싸므로써, 물, 수소 등의 불순물이 외부로부터 절연체(224) 및 산화물(230)로 확산되는 것을 억제할 수 있다. 따라서, 트랜지스터(200)에 양호한 전기 특성 및 신뢰성을 부여할 수 있다.

[0136] 절연체(254)는 스퍼터링법을 사용하여 성막되는 것이 바람직하다. 절연체(254)를, 산소를 포함한 분위기에서 스퍼터링법을 사용하여 성막함으로써, 절연체(224)에서 절연체(254)와 접하는 영역 근방에 산소를 첨가할 수 있다. 이로써, 상기 영역으로부터 절연체(224)를 통하여 산화물(230) 내에 산소를 공급할 수 있다. 여기서 절연체(254)가 위쪽으로는 산소 확산을 억제하는 기능을 가짐으로써, 산소가 산화물(230)로부터 절연체(280)로 확산되는 것을 방지할 수 있다. 또한 절연체(222)가 아래쪽으로는 산소 확산을 억제하는 기능을 가짐으로써, 산소가 산화물(230)로부터 기판 측으로 확산되는 것을 방지할 수 있다. 이러한 식으로, 산화물(230)의 채널 형성 영역에 산소가 공급된다. 이로써, 산화물(230)의 산소 결손이 저감되기 때문에, 트랜지스터의 노멀리 온화를 억제할 수 있다.

[0137] 절연체(254)로서는, 예를 들어 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함한 절연체를 성막하는 것이 좋다. 이 경우, 절연체(254)는 원자층 퇴적(ALD: Atomic Layer Deposition)법을 사용하여 성막되는 것이 바람직하다. ALD법은 피복성이 양호한 성막법이기에 때문에, 절연체(254)의 요철로 인하여 단절되는 것을 방지할 수 있다.

[0138] 또한 절연체(254)로서 예를 들어 질화 알루미늄을 포함한 절연체를 사용하면 좋다. 이로써, 절연성이 우수하고, 또한 열전도성이 우수한 막으로 할 수 있기 때문에, 트랜지스터(200)를 구동하였을 때 발생하는 열의 방열성을 높일 수 있다. 또한 질화 실리콘, 질화산화 실리콘 등을 사용할 수도 있다.

[0139] 또한 절연체(254)로서는, 예를 들어 갈륨을 포함한 산화물을 사용하여도 좋다. 갈륨을 포함한 산화물은 수소 및 산소 중 한쪽 또는 양쪽의 확산을 억제하는 기능을 가지는 경우가 있기 때문에 바람직하다. 또한 갈륨을 포함한 산화물로서 산화 갈륨, 갈륨 아연 산화물, 인듐 갈륨 아연 산화물 등을 사용할 수 있다. 또한 절연체(254)로서 인듐 갈륨 아연 산화물을 사용하는 경우, 인듐에 대한 갈륨의 원자수비는 높은 것이 더 바람직하다. 상기 원자수비를 높게 함으로써, 상기 산화물의 절연성을 높일 수 있다.

[0140] 또한 절연체(254)는 2층 이상의 다층 구조로 할 수 있다. 절연체(254)를 2층의 적층 구조로 하는 경우, 절연체(254)의 아래층 및 위층의 성막은 상기 방법을 사용하여 수행할 수 있고, 절연체(254)의 아래층 및 위층의 성막에는 같은 방법을 사용하여도 좋고, 다른 방법을 사용하여도 좋다. 예를 들어 절연체(254)로서 산소를 포함한 분위기에서 스퍼터링법을 사용하여 절연체(254)의 아래층을 성막하고, 다음으로 ALD법을 사용하여 절연체(254)의 위층을 성막하여도 좋다. ALD법은 피복성이 양호한 성막법이기에 때문에, 첫 번째 층의 요철로 인하여 단절되는 것을 방지할 수 있다.

[0141] 또한 절연체(254)의 아래층 및 위층에는 상기 재료를 사용할 수 있고, 절연체(254)의 아래층 및 위층은 같은 재료로 하여도 좋고, 각각 다른 재료로 하여도 좋다. 예를 들어 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 또는 질화 실리콘과, 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로서, 예를 들어 알

루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함한 절연체를 사용할 수 있다.

- [0142] 절연체(250)는 게이트 절연체로서 기능한다. 절연체(250)는 산화물(230c)의 적어도 일부와 접하여 배치되는 것이 바람직하다. 절연체(250)에는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 가지는 산화 실리콘 등을 사용할 수 있다. 특히 산화 실리콘 및 산화질화 실리콘은 열에 대하여 안정적이므로 바람직하다.
- [0143] 절연체(250)는 절연체(224)와 마찬가지로 가열에 의하여 산소가 방출되는 절연체를 사용하여 형성되는 것이 바람직하다. 가열에 의하여 산소가 방출되는 절연체를 절연체(250)로 하여 산화물(230c)의 적어도 일부와 접하여 제공함으로써, 산화물(230b)의 채널 형성 영역에 산소를 효과적으로 공급하여 산화물(230b)의 채널 형성 영역의 산소 결손을 저감할 수 있다. 따라서 전기 특성의 변동을 억제하고, 안정된 전기 특성을 가지며 신뢰성이 향상된 트랜지스터를 제공할 수 있다. 또한 절연체(224)와 마찬가지로 절연체(250) 내의 물, 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다. 절연체(250)의 막 두께는 1nm 이상 20nm 이하로 하는 것이 바람직하다.
- [0144] 또한, 도 1에서는 절연체(250)를 단층으로 도시하였지만, 2층 이상의 적층 구조로 하여도 좋다. 절연체(250)를 2층의 적층 구조로 하는 경우, 절연체(250)의 아래층은 가열에 의하여 산소가 방출되는 절연체를 사용하여 형성하고, 절연체(250)의 위층은 산소의 확산을 억제하는 기능을 가지는 절연체를 사용하여 형성하는 것이 바람직하다. 이와 같은 구성으로 함으로써, 절연체(250)의 아래층에 포함되는 산소가 도전체(260)로 확산되는 것을 억제할 수 있다. 즉, 산화물(230)에 공급하는 산소의 양이 감소되는 것을 억제할 수 있다. 또한, 절연체(250)의 아래층에 포함되는 산소로 인한 도전체(260)의 산화를 억제할 수 있다. 예를 들어, 절연체(250)의 아래층은 상술한 절연체(250)에 사용할 수 있는 재료를 사용하여 제공하고, 절연체(250)의 위층은 절연체(222)와 같은 재료를 사용하여 제공할 수 있다.
- [0145] 또한, 절연체(250)의 아래층에 산화 실리콘이나 산화질화 실리콘 등을 사용하는 경우, 절연체(250)의 위층에는 비유전율이 높은 high-k 재료인 절연성 재료를 사용하여도 좋다. 게이트 절연체를 절연체(250)의 아래층과 절연체(250)의 위층의 적층 구조로 함으로써, 열에 대하여 안정적이며 비유전율이 높은 적층 구조로 할 수 있다. 따라서, 게이트 절연체의 물리적 막 두께를 유지한 채, 트랜지스터 동작 시에 인가하는 게이트 전위의 저감이 가능하게 된다. 또한, 게이트 절연체로서 기능하는 절연체의 등가 산화막 두께(EOT)의 박막화가 가능하게 된다.
- [0146] 절연체(250)의 위층으로서 구체적으로는 하프늄, 알루미늄, 갈륨, 이트륨, 지르코늄, 텅스텐, 타이타늄, 탄탈럼, 니켈, 저마늄, 마그네슘 등 중에서 선택된 1종류 또는 2종류 이상이 포함된 금속 산화물, 또는 산화물(230)로서 사용할 수 있는 금속 산화물을 사용할 수 있다. 특히 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함한 절연체를 사용하는 것이 바람직하다.
- [0147] 또한 절연체(250)와 도전체(260) 사이에 금속 산화물을 제공하여도 좋다. 상기 금속 산화물은 절연체(250)로부터 도전체(260)로의 산소의 확산을 억제하는 것이 바람직하다. 산소의 확산을 억제하는 금속 산화물을 제공함으로써, 절연체(250)로부터 도전체(260)로의 산소의 확산이 억제된다. 즉, 산화물(230)에 공급하는 산소의 양이 감소되는 것을 억제할 수 있다. 또한 절연체(250)의 산소로 인한 도전체(260)의 산화를 억제할 수 있다.
- [0148] 또한 상기 금속 산화물은 제 1 게이트 전극의 일부로서의 기능을 가지는 것이 바람직하다. 예를 들어 산화물(230)로서 사용할 수 있는 금속 산화물을 상기 금속 산화물로서 사용할 수 있다. 이 경우, 도전체(260a)를 스퍼터링법에 의하여 성막함으로써, 상기 금속 산화물의 전기 저항값을 저하시켜 도전체로 할 수 있다. 이를 OC(Oxide Conductor) 전극이라고 부를 수 있다. 예를 들어, 산화물(230)로서 사용할 수 있는 산화물 반도체를 저저항화함으로써, 상기 금속 산화물로서 사용할 수 있다.
- [0149] 절연체(250)의 위층 및/또는 상기 금속 산화물을 포함함으로써, 도전체(260)로부터의 전계의 영향을 감소시키지 않고, 트랜지스터(200)의 온 전류를 향상시킬 수 있다. 또한 절연체(250)와 상기 금속 산화물의 물리적 두께에 의하여 도전체(260)와 산화물(230) 사이의 거리를 유지함으로써, 도전체(260)와 산화물(230) 사이의 누설 전류를 억제할 수 있다. 또한 절연체(250) 및 상기 금속 산화물의 적층 구조를 제공함으로써, 도전체(260)와 산화물(230) 사이의 물리적인 거리, 및 도전체(260)로부터 산화물(230)에 가해지는 전계 강도를 용이하게 적절히 조정할 수 있다.
- [0150] 도전체(260)는 도전체(260a)와, 도전체(260a) 위에 배치된 도전체(260b)를 가지는 것이 바람직하다. 예를 들어 도전체(260a)는 도전체(260b)의 바닥면 및 측면을 감싸도록 배치되는 것이 바람직하다. 또한 도 1에서는 도전

체(260)는 도전체(260a)와 도전체(260b)의 2층 구조로서 나타내었지만, 단층 구조이어도 좋고, 3층 이상의 적층 구조이어도 좋다.

- [0151] 도전체(260a)에는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자, 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다.
- [0152] 또한 도전체(260a)가 산소의 확산을 억제하는 기능을 가짐으로써, 절연체(250)에 포함되는 산소로 인하여 도전체(260b)가 산화되어 도전율이 저하되는 것을 억제할 수 있다. 산소의 확산을 억제하는 기능을 가지는 도전성 재료로서는, 예를 들어 탄탈럼, 질화 탄탈럼, 루테튬, 산화 루테튬 등을 사용하는 것이 바람직하다.
- [0153] 또한 도전체(260)는 배선으로서도 기능하기 때문에, 도전성이 높은 도전체를 사용하는 것이 바람직하다. 예를 들어 도전체(260b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용할 수 있다. 또한 도전체(260b)를 적층 구조로 하여도 좋고, 예를 들어 타이타늄 또는 질화 타이타늄과 상기 도전성 재료의 적층 구조로 하여도 좋다.
- [0154] 또한 트랜지스터(200)에서는 도전체(260)가 절연체(280) 등에 형성된 개구를 매립하도록 자기 정합(self-aligned)적으로 형성된다. 도전체(260)를 이와 같이 형성함으로써, 도전체(242a)와 도전체(242b) 사이의 영역에 도전체(260)를 위치 맞춤 없이 확실하게 배치할 수 있다.
- [0155] 또한 도 1의 (B)에 나타난 바와 같이, 도전체(260)의 상면과 절연체(250)의 상면 및 산화물(230c)의 상면은 실질적으로 정렬된다.
- [0156] 또한 도 1의 (C)에 나타난 바와 같이, 트랜지스터(200)의 채널 폭 방향에서, 절연체(222)의 바닥면을 기준으로 한 경우의, 도전체(260)에서 도전체(260)와 산화물(230b)이 중첩되지 않는 영역의 바닥면의 높이는 산화물(230b)의 바닥면의 높이보다 낮은 것이 바람직하다. 게이트 전극으로서 기능하는 도전체(260)가 절연체(250) 등을 사이에 두고 산화물(230b)의 채널 형성 영역의 측면 및 상면을 덮는 구성으로 함으로써, 도전체(260)의 전계를 산화물(230b)의 채널 형성 영역 전체에 작용시키기 쉬워진다. 따라서 트랜지스터(200)의 온 전류를 증대시켜 주파수 특성을 향상시킬 수 있다. 절연체(222)의 바닥면을 기준으로 한 경우의, 산화물(230a) 및 산화물(230b)과 도전체(260)가 중첩되지 않는 영역에서의 도전체(260)의 바닥면의 높이와 산화물(230b)의 바닥면의 높이의 차이는 0nm 이상 100nm 이하, 바람직하게는 3nm 이상 50nm 이하, 더 바람직하게는 5nm 이상 20nm 이하이다.
- [0157] 절연체(280)는 절연체(224), 산화물(230a), 산화물(230b), 도전체(242), 및 절연체(254) 위에 제공된다. 또한 절연체(280)의 상면은 평탄화되어도 좋다.
- [0158] 층간막으로서 기능하는 절연체(280)는 유전율이 낮은 것이 바람직하다. 유전율이 낮은 재료를 층간막으로 함으로써, 배선 사이에 발생하는 기생 용량을 저감할 수 있다. 절연체(280)는 예를 들어 절연체(216)와 같은 재료를 사용하여 제공되는 것이 바람직하다. 특히 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이므로 바람직하다. 특히, 산화 실리콘, 산화질화 실리콘, 공공을 가지는 산화 실리콘 등의 재료는 가열에 의하여 이탈되는 산소를 포함한 영역을 용이하게 형성할 수 있기 때문에 바람직하다.
- [0159] 또한 절연체(280) 내의 물, 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다. 또한 절연체(280)는 수소 농도가 낮고, 파잉 산소 영역 또는 파잉 산소를 포함하는 것이 바람직하고, 예를 들어 절연체(216)와 같은 재료를 사용하여 제공되어도 좋다. 또한, 절연체(280)는 상기 재료가 적층된 구조이어도 좋고, 예를 들어 스퍼터링법에 의하여 성막된 산화 실리콘과, 그 위에 화학 기상 성장(CVD: Chemical Vapor Deposition)법에 의하여 성막된 산화질화 실리콘이 적층된 적층 구조로 하면 좋다. 또한, 더 위에 질화 실리콘을 적층하여도 좋다.
- [0160] 절연체(282) 또는 절연체(283)는 물, 수소 등의 불순물이 위쪽으로부터 절연체(280)로 확산되는 것을 억제하는 배리어 절연막으로서 기능하는 것이 바람직하다. 또한, 절연체(282) 또는 절연체(283)는 산소의 투과를 억제하는 배리어 절연막으로서 기능하는 것이 바람직하다. 절연체(282) 및 절연체(283)로서는, 예를 들어 산화 알루미늄, 질화 실리콘, 질화산화 실리콘 등의 절연체를 사용하면 좋다. 예를 들어, 절연체(282)로서, 산소에 대한 차단성이 높은 산화 알루미늄을 사용하고, 절연체(283)로서, 수소에 대한 차단성이 높은 질화 실리콘을 사용하면 좋다.
- [0161] 또한 절연체(282) 위에 층간막으로서 기능하는 절연체(274)를 제공하는 것이 바람직하다. 절연체(274)는 절연

체(224) 등과 마찬가지로 막 내의 물 또는 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다.

[0162] 도전체(240a) 및 도전체(240b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한, 도전체(240a) 및 도전체(240b)는 적층 구조로 하여도 좋다.

[0163] 또한 도전체(240a) 및 도전체(240b)를 적층 구조로 하는 경우, 절연체(281), 절연체(274), 절연체(283), 절연체(282), 절연체(280), 및 절연체(254)와 접하는 도전체에는 물, 수소 등의 불순물의 투과를 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 예를 들어 탄탈럼, 질화 탄탈럼, 타이타늄, 질화 타이타늄, 루테튬, 산화 루테튬 등을 사용하는 것이 바람직하다. 또한 물, 수소 등의 불순물의 투과를 억제하는 기능을 가지는 도전성 재료를 단층 또는 적층으로 사용하여도 좋다. 상기 도전성 재료를 사용함으로써, 절연체(280)에 첨가된 산소가 도전체(240a) 및 도전체(240b)에 흡수되는 것을 방지할 수 있다. 또한, 절연체(281)보다 위층에 포함되는 물, 수소 등의 불순물이 도전체(240a) 및 도전체(240b)를 통하여 산화물(230)에 혼입되는 것을 억제할 수 있다.

[0164] 절연체(241a) 및 절연체(241b)로서는, 예를 들어 질화 실리콘, 산화 알루미늄, 질화산화 실리콘 등 절연체를 사용하면 좋다. 절연체(241a) 및 절연체(241b)는 절연체(254)와 접하여 제공되기 때문에, 절연체(280) 등에 포함되는 물, 수소 등의 불순물이 도전체(240a) 및 도전체(240b)를 통하여 산화물(230)에 혼입되는 것을 억제할 수 있다. 특히 질화 실리콘은 수소에 대한 차단성이 높기 때문에 바람직하다. 또한, 절연체(280)에 포함되는 산소가 도전체(240a) 및 도전체(240b)에 흡수되는 것을 방지할 수 있다.

[0165] 또한 도전체(240a)의 상면 및 도전체(240b)의 상면과 접하여 배선으로서 기능하는 도전체(246)(도전체(246a) 및 도전체(246b))를 배치하여도 좋다. 도전체(246)는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한 상기 도전체는 적층 구조로 하여도 좋고, 예를 들어 타이타늄 또는 질화 타이타늄과 상기 도전성 재료의 적층 구조로 하여도 좋다. 또한, 상기 도전체는 절연체에 제공된 개구에 매립되도록 형성하여도 좋다.

[0166] <반도체 장치의 구성 재료>

[0167] 이하에서는, 반도체 장치에 사용할 수 있는 구성 재료에 대하여 설명한다.

[0168] <<기관>>

[0169] 트랜지스터(200)를 형성하는 기관으로서의 예를 들어 절연체 기관, 반도체 기관, 또는 도전체 기관을 사용하면 좋다. 절연체 기관으로서의 예를 들어 유리 기관, 석영 기관, 사파이어 기관, 안정화 지르코니아 기관(이트리아 안정화 지르코니아 기관 등), 수지 기관 등이 있다. 또한 반도체 기관으로서의 예를 들어 실리콘, 저마늄 등을 재료로 한 반도체 기관, 또는 탄소화 실리콘, 실리콘 저마늄, 비소화 갈륨, 인화 인듐, 산화 아연, 산화 갈륨으로 이루어지는 화합물 반도체 기관 등이 있다. 또한 상술한 반도체 기관 내부에 절연체 영역을 가지는 반도체 기관, 예를 들어 SOI(Silicon On Insulator) 기관 등이 있다. 도전체 기관으로서의 흑연 기관, 금속 기관, 합금 기관, 도전성 수지 기관 등이 있다. 또는 금속의 질화물을 포함하는 기관, 금속의 산화물을 포함하는 기관 등이 있다. 또한 절연체 기관에 도전체 또는 반도체가 제공된 기관, 반도체 기관에 도전체 또는 절연체가 제공된 기관, 도전체 기관에 반도체 또는 절연체가 제공된 기관 등이 있다. 또는 이들 기관에 소자가 제공된 것을 사용하여도 좋다. 기관에 제공되는 소자로서는 용량 소자, 저항 소자, 스위칭 소자, 발광 소자, 기억 소자 등이 있다.

[0170] <<절연체>>

[0171] 절연체로서는, 절연성을 가지는 산화물, 질화물, 산화질화물, 질화산화물, 금속 산화물, 금속 산화질화물, 금속 질화산화물 등이 있다.

[0172] 예를 들어 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연체가 박막화됨으로써 누설 전류 등의 문제가 발생하는 경우가 있다. 게이트 절연체로서 기능하는 절연체에 high-k 재료를 사용함으로써, 물리적 막 두께를 유지하면서 트랜지스터 동작 시의 전압을 저감할 수 있다. 한편, 층간막으로서 기능하는 절연체에는 비유전율이 낮은 재료를 사용함으로써, 배선 사이에 발생하는 기생 용량을 저감할 수 있다. 따라서 절연체의 기능에 따라 재료를 선택하는 것이 좋다.

[0173] 또한 비유전율이 높은 절연체로서는 산화 갈륨, 산화 하프늄, 산화 지르코늄, 알루미늄 및 하프늄을 포함한 산화물, 알루미늄 및 하프늄을 포함한 산화질화물, 실리콘 및 하프늄을 포함한 산화물, 실리콘 및 하프늄을 포함한

한 산화질화물, 또는 실리콘 및 하프늄을 포함한 질화물 등이 있다.

[0174] 또한 비유전율이 낮은 절연체로서는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 가지는 산화 실리콘, 또는 수지 등이 있다.

[0175] 또한 금속 산화물을 사용한 트랜지스터는, 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로 둘러싸이므로써, 트랜지스터의 전기 특성을 안정적으로 할 수 있다. 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로서는, 예를 들어 붕소, 탄소, 질소, 산소, 플루오린, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄, 또는 탄탈럼을 포함한 절연체를 단층으로 또는 적층으로 사용하면 좋다. 구체적으로는, 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로서, 산화 알루미늄, 산화 마그네슘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 산화 탄탈럼 등의 금속 산화물, 질화 알루미늄, 질화산화 실리콘, 질화 실리콘 등의 금속 질화물을 사용할 수 있다.

[0176] 또한 게이트 절연체로서 기능하는 절연체는, 가열에 의하여 이탈되는 산소를 포함한 영역을 가지는 절연체인 것이 바람직하다. 예를 들어 가열에 의하여 이탈되는 산소를 포함한 영역을 가지는 산화 실리콘 또는 산화질화 실리콘이 산화물(230)과 접하는 구조로 함으로써, 산화물(230)이 가지는 산소 결손을 보상할 수 있다.

[0177] <<도전체>>

[0178] 도전체에는 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테튬, 이리듐, 스트론튬, 란타넘 등 중에서 선택된 금속 원소, 또는 상술한 금속 원소를 성분으로 하는 합금이나, 상술한 금속 원소를 조합한 합금 등을 사용하는 것이 바람직하다. 예를 들어 질화 탄탈럼, 질화 타이타늄, 텅스텐, 타이타늄과 알루미늄을 포함한 질화물, 탄탈럼과 알루미늄을 포함한 질화물, 산화 루테튬, 질화 루테튬, 스트론튬과 루테튬을 포함한 산화물, 란타넘과 니켈을 포함한 산화물 등을 사용하는 것이 바람직하다. 또한 질화 탄탈럼, 질화 타이타늄, 타이타늄과 알루미늄을 포함한 질화물, 탄탈럼과 알루미늄을 포함한 질화물, 산화 루테튬, 질화 루테튬, 스트론튬과 루테튬을 포함한 산화물, 란타넘과 니켈을 포함한 산화물은 산화되기 어려운 도전성 재료, 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다. 또한 인 등의 불순물 원소를 함유시킨 다결정 실리콘으로 대표되는, 전기 전도도가 높은 반도체, 니켈실리사이드 등의 실리사이드를 사용하여도 좋다.

[0179] 또한 상기 재료로 형성되는 도전층을 복수 적층하여 사용하여도 좋다. 예를 들어 상술한 금속 원소를 포함한 재료와 산소를 포함한 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한 상술한 금속 원소를 포함한 재료와 질소를 포함한 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한 상술한 금속 원소를 포함한 재료와, 산소를 포함한 도전성 재료와, 질소를 포함한 도전성 재료를 조합한 적층 구조로 하여도 좋다.

[0180] 또한 트랜지스터의 채널 형성 영역에 산화물을 사용하는 경우, 게이트 전극으로서 기능하는 도전체에는 상술한 금속 원소를 포함한 재료와 산소를 포함한 도전성 재료를 조합한 적층 구조를 사용하는 것이 바람직하다. 이 경우에는, 산소를 포함한 도전성 재료를 채널 형성 영역 측에 제공하는 것이 좋다. 산소를 포함한 도전성 재료를 채널 형성 영역 측에 제공함으로써, 상기 도전성 재료로부터 이탈된 산소가 채널 형성 영역에 공급되기 쉬워진다.

[0181] 특히, 게이트 전극으로서 기능하는 도전체에, 채널이 형성되는 금속 산화물에 포함되는 금속 원소 및 산소를 포함한 도전성 재료를 사용하는 것이 바람직하다. 또한 상술한 금속 원소 및 질소를 포함한 도전성 재료를 사용하여도 좋다. 예를 들어 질화 타이타늄, 질화 탄탈럼 등의 질소를 포함한 도전성 재료를 사용하여도 좋다. 또한 인듐 주석 산화물, 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 타이타늄을 포함한 인듐 산화물, 산화 타이타늄을 포함한 인듐 주석 산화물, 인듐 아연 산화물, 실리콘을 첨가한 인듐 주석 산화물을 사용하여도 좋다. 또한 질소를 포함한 인듐 갈륨 아연 산화물을 사용하여도 좋다. 이와 같은 재료를 사용함으로써, 채널이 형성되는 금속 산화물에 포함되는 수소를 포획할 수 있는 경우가 있다. 또는 외부의 절연체 등으로부터 혼입되는 수소를 포획할 수 있는 경우가 있다.

[0182] <<금속 산화물>>

[0183] 산화물(230)로서는, 반도체로서 기능하는 금속 산화물(산화물 반도체)을 사용하는 것이 바람직하다. 이하에서는, 본 발명에 따른 산화물(230)에 적용할 수 있는 금속 산화물에 대하여 설명한다.

- [0184] 금속 산화물은 적어도 인듐 또는 아연을 포함하는 것이 바람직하다. 특히, 인듐 및 아연을 포함하는 것이 바람직하다. 또한 이들에 더하여 알루미늄, 갈륨, 이트륨, 주석 등이 포함되는 것이 바람직하다. 또한 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 마그네슘 등 중에서 선택된 1종류 또는 복수 종류가 포함되어도 좋다.
- [0185] 여기서는, 금속 산화물이 인듐, 원소 M, 및 아연을 포함한 In-M-Zn 산화물인 경우를 생각한다. 또한 원소 M은 알루미늄, 갈륨, 이트륨, 또는 주석으로 한다. 그 외의 원소 M에 적용할 수 있는 원소로서는 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 마그네슘 등이 있다. 다만 원소 M으로서 상술한 원소를 복수 조합하여도 되는 경우가 있다.
- [0186] 또한 본 명세서 등에서는, 질소를 포함한 금속 산화물도 금속 산화물(metal oxide)이라고 총칭하는 경우가 있다. 또한 질소를 포함한 금속 산화물을 금속 산질화물(metal oxynitride)이라고 불러도 좋다.
- [0187] [금속 산화물의 구조]
- [0188] 산화물 반도체(금속 산화물)는 단결정 산화물 반도체와, 이 외의 비단결정 산화물 반도체로 나뉘어진다. 비단결정 산화물 반도체로서는 예를 들어 CAAC-OS, 다결정 산화물 반도체, nc-OS(nanocrystalline oxide semiconductor), a-like OS(amorphous-like oxide semiconductor), 및 비정질 산화물 반도체 등이 있다.
- [0189] CAAC-OS는 c축 배향성을 가지고, 또한 a-b면 방향에서 복수의 나노 결정이 연결되고, 변형을 가지는 결정 구조이다. 또한 변형이란, 복수의 나노 결정이 연결되는 영역에서, 격자 배열이 정렬된 영역과 격자 배열이 정렬된 다른 영역 사이에서 격자 배열의 방향이 변화되는 부분을 가리킨다.
- [0190] 나노 결정은 기본적으로 육각형이지만, 정육각형에 한정되지 않고 비정육각형인 경우가 있다. 또한 변형에서 오각형, 칠각형 등의 격자 배열을 가지는 경우가 있다. 또한 CAAC-OS의 변형 근방에서도 명확한 결정립계(grain boundary)를 확인하는 것은 어렵다. 즉, 격자 배열의 변형에 의하여 결정립계의 형성이 억제되는 것을 알 수 있다. 이는, CAAC-OS가, a-b면 방향에서 산소 원자의 배열이 조밀하지 않거나, 금속 원소가 치환됨으로써 원자 사이의 결합 거리가 변화되는 것 등에 의하여, 변형을 허용할 수 있기 때문이다.
- [0191] 또한 CAAC-OS는 인듐 및 산소를 포함한 층(이하 In층)과 원소 M, 아연, 및 산소를 포함한 층(이하 (M, Zn)층)이 적층된 층상의 결정 구조(층상 구조라고도 함)를 가지는 경향이 있다. 또한 인듐과 원소 M은 서로 치환될 수 있고, (M, Zn)층의 원소 M이 인듐과 치환된 경우, (In, M, Zn)층이라고 나타낼 수도 있다. 또한 In층의 인듐이 원소 M과 치환된 경우, (In, M)층이라고 나타낼 수도 있다.
- [0192] CAAC-OS는 결정성이 높은 금속 산화물이다. 한편, CAAC-OS에서는 명확한 결정립계를 확인하기 어렵기 때문에, 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다. 또한 금속 산화물의 결정성은 불순물의 혼입이나 결합의 생성 등으로 인하여 저하하는 경우가 있기 때문에, CAAC-OS는 불순물이나 결합(산소 결손 등)이 적은 금속 산화물이라고 할 수도 있다. 따라서 CAAC-OS를 가지는 금속 산화물은 물리적 성질이 안정된다. 그러므로 CAAC-OS를 가지는 금속 산화물은 열에 강하고 신뢰성이 높다.
- [0193] nc-OS는 미소한 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 가진다. 또한 nc-OS는 상이한 나노 결정 사이에서 결정 방위에 규칙성이 보이지 않는다. 따라서 막 전체에서 배향성이 보이지 않는다. 그러므로 nc-OS는 분석 방법에 따라서는 a-like OS나 비정질 산화물 반도체와 구별할 수 없는 경우가 있다.
- [0194] 또한 인듐과 갈륨과 아연을 포함한 금속 산화물의 한 종류인 In-Ga-Zn 산화물(이하 IGZO)은 상술한 나노 결정으로 함으로써 안정적인 구조를 가지는 경우가 있다. 특히, IGZO는 대기 중에서 결정 성장하기 어려운 경향이 있기 때문에, 큰 결정(여기서는 수mm의 결정 또는 수cm의 결정)으로 이루어지는 경우보다 작은 결정(예를 들어 상술한 나노 결정)으로 이루어지는 경우에 구조적으로 더 안정되는 경우가 있다.
- [0195] a-like OS는 nc-OS와 비정질 산화물 반도체의 중간의 구조를 가지는 금속 산화물이다. a-like OS는 공동(void) 또는 저밀도 영역을 가진다. 즉, a-like OS는 nc-OS 및 CAAC-OS에 비하여 결정성이 낮다.
- [0196] 산화물 반도체(금속 산화물)는 다양한 구조를 가지고, 각각이 상이한 특성을 가진다. 본 발명의 일 형태의 산화물 반도체에는 비정질 산화물 반도체, 다결정 산화물 반도체, a-like OS, nc-OS, CAAC-OS 중 2종류 이상이 포함되어도 좋다.
- [0197] [불순물]

- [0198] 여기서, 금속 산화물 내에서의 각 불순물의 영향에 대하여 설명한다.
- [0199] 산화물 반도체에 불순물이 혼입되면, 결함 준위 또는 산소 결손이 형성되는 경우가 있다. 따라서 산화물 반도체의 채널 형성 영역에 불순물이 혼입되면, 산화물 반도체를 사용한 트랜지스터의 전기 특성이 변동되기 쉽고, 신뢰성이 저하되는 경우가 있다. 또한 채널 형성 영역에 산소 결손이 포함되면, 트랜지스터는 노멀리 온 특성을 가지기 쉽다.
- [0200] 금속 산화물을 사용한 트랜지스터는 금속 산화물 내의 불순물 및 산소 결손으로 인하여 그 전기 특성이 변동되어, 노멀리 온 특성(게이트 전극에 전압을 인가하지 않아도 채널이 존재하고 트랜지스터에 전류가 흐르는 특성)을 가지기 쉽다. 또한 금속 산화물 내에 적당량을 넘은 과잉 산소를 포함한 상태에서 상기 트랜지스터를 구동한 경우, 과잉 산소 원자의 가수가 변화되고 상기 트랜지스터의 전기 특성이 변동됨으로써, 신뢰성이 저하되는 경우가 있다.
- [0201] 따라서, 트랜지스터에서는 캐리어 농도가 낮은 금속 산화물을 채널 형성 영역에 사용하는 것이 바람직하다. 금속 산화물의 캐리어 농도를 저감하는 경우에는, 금속 산화물 내의 불순물 농도를 저감하여 결함 준위 밀도를 저감하면 좋다. 본 명세서 등에서, 불순물 농도가 낮고 결함 준위 밀도가 낮은 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 한다. 또한 본 명세서 등에서는, 채널 형성 영역의 금속 산화물의 캐리어 농도가 $1 \times 10^{16} \text{ cm}^{-3}$ 이하인 경우를 실질적으로 고순도 진성이라고 정의한다.
- [0202] 또한 채널 형성 영역에서의 금속 산화물의 캐리어 농도는 $1 \times 10^{18} \text{ cm}^{-3}$ 이하인 것이 바람직하고, $1 \times 10^{17} \text{ cm}^{-3}$ 이하인 것이 더 바람직하고, $1 \times 10^{16} \text{ cm}^{-3}$ 이하인 것이 더 바람직하고, $1 \times 10^{13} \text{ cm}^{-3}$ 미만인 것이 더 바람직하고, $1 \times 10^{12} \text{ cm}^{-3}$ 미만인 것이 더 바람직하다. 또한 채널 형성 영역에서의 금속 산화물의 캐리어 농도의 하한값은 특별히 한정되지 않지만, 예를 들어 $1 \times 10^{-9} \text{ cm}^{-3}$ 로 할 수 있다.
- [0203] 또한 금속 산화물 내의 불순물로서는, 예를 들어 수소, 질소, 알칼리 금속, 알칼리 토금속, 철, 니켈, 실리콘 등이 있다. 특히 금속 산화물에 포함되는 수소는 금속 원자와 결합되는 산소와 반응하여 물이 되기 때문에, 금속 산화물 내에 산소 결손을 형성하는 경우가 있다. 금속 산화물 내의 채널 형성 영역에 산소 결손이 포함되면 트랜지스터는 노멀리 온 특성을 가지는 경우가 있다. 또한 금속 산화물 내의 산소 결손에 수소가 들어간 경우, 산소 결손과 수소가 결합되어 V_{OH} 를 형성하는 경우가 있다. 산소 결손에 수소가 들어간 결합(V_{OH})은 도너로서 기능하고, 캐리어인 전자가 생성되는 경우가 있다. 또한 수소의 일부가 금속 원자와 결합되는 산소와 결합되어, 캐리어인 전자를 생성하는 경우가 있다. 따라서 수소가 많이 포함되는 금속 산화물을 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 또한 금속 산화물 내의 수소는 열, 전계 등의 스트레스로 인하여 이동하기 쉽기 때문에, 금속 산화물에 많은 수소가 포함되면 트랜지스터의 신뢰성이 저하될 우려도 있다.
- [0204] 본 발명의 일 형태에서는, 산화물(230) 내의 V_{OH} 를 가능한 한 저감하고, 고순도 진성 또는 실질적으로 고순도 진성으로 하는 것이 바람직하다. 이와 같이, V_{OH} 가 충분히 저감된 금속 산화물을 얻기 위해서는, 금속 산화물 내의 수분, 수소 등의 불순물을 제거하는 것(탈수, 탈수소화 처리라고 기재하는 경우가 있음)과, 금속 산화물에 산소를 공급하여 산소 결손을 보전하는 것(가산소화 처리라고 기재하는 경우가 있음)이 중요하다. V_{OH} 등의 불순물이 충분히 저감된 금속 산화물을 트랜지스터의 채널 형성 영역에 사용함으로써, 안정된 전기 특성을 부여할 수 있다.
- [0205] 산소 결손에 수소가 들어간 결합(V_{OH})은 금속 산화물의 도너로서 기능할 수 있다. 그러나 상기 결합을 정량적으로 평가하는 것은 어렵다. 그러므로 금속 산화물은 도너 농도가 아니라 캐리어 농도로 평가되는 경우가 있다. 따라서 본 명세서 등에서는 금속 산화물의 파라미터로서, 도너 농도 대신에, 전계가 인가되지 않는 상태를 상정한 캐리어 농도를 사용하는 경우가 있다. 즉, 본 명세서 등에 기재되는 "캐리어 농도"는 "도너 농도"라고 바꿔 말할 수 있는 경우가 있다. 또한, 본 명세서 등에 기재된 "캐리어 농도"는 "밀도"라고 바꿔 말할 수 있다.
- [0206] 따라서, 금속 산화물 내의 수소는 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로는 SIMS에 의하여 얻어지는 금속 산화물의 수소 농도를 $1 \times 10^{20} \text{ atoms/cm}^3$ 미만, 바람직하게는 $1 \times 10^{19} \text{ atoms/cm}^3$ 미만, 더 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 미만, 더욱 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 미만으로 한다. 수소 등의 불순물이 충분히 저감된 금속 산화물을 트랜지스터의 채널 형성 영역에 사용함으로써, 안정된 전기 특성을 부여할 수 있다.

- [0207] 또한 상기 결합 준위에는 트랩 준위가 포함되는 경우가 있다. 금속 산화물의 트랩 준위에 포획된 전하는, 소실되는 데 걸리는 시간이 길고, 마치 고정 전하처럼 작용하는 경우가 있다. 그러므로 트랩 준위 밀도가 높은 금속 산화물을 채널 형성 영역에 포함하는 트랜지스터는 전기 특성이 불안정해지는 경우가 있다.
- [0208] 또한 산화물 반도체의 채널 형성 영역에 불순물이 존재하면, 채널 형성 영역의 결정성이 낮아지는 경우가 있고, 채널 형성 영역과 접하여 제공되는 산화물의 결정성이 낮아지는 경우가 있다. 채널 형성 영역의 결정성이 낮으면, 트랜지스터의 안정성 또는 신뢰성이 저하되는 경향이 있다. 또한 채널 형성 영역과 접하여 제공되는 산화물의 결정성이 낮으면, 계면 준위가 형성되어 트랜지스터의 안정성 또는 신뢰성이 저하되는 경우가 있다.
- [0209] 따라서 트랜지스터의 안정성 또는 신뢰성을 향상시키기 위해서는, 산화물 반도체의 채널 형성 영역 및 그 근방의 불순물 농도를 저감하는 것이 유효하다. 불순물로서는, 수소, 질소, 알칼리 금속, 알칼리 토금속, 철, 니켈, 실리콘 등이 있다. 불순물 농도가 저감된 금속 산화물은 결합 준위 밀도가 낮기 때문에, 트랩 준위 밀도도 낮아지는 경우가 있다.
- [0210] <<이 이외의 반도체 재료>>
- [0211] 산화물(230)에 사용할 수 있는 반도체 재료는 상술한 금속 산화물에 한정되지 않는다. 산화물(230)로서, 밴드 갭을 가지는 반도체 재료(제로 갭 반도체가 아닌 반도체 재료)를 사용하여도 좋다. 예를 들어, 실리콘 등의 단체 원소의 반도체, 비소화 갈륨 등의 화합물 반도체, 반도체로서 기능하는 층상 물질(원자층 물질, 2차원 재료 등이라고도 함) 등을 반도체 재료에 사용하는 것이 바람직하다. 특히, 반도체로서 기능하는 층상 물질을 반도체 재료에 사용하면 적합하다.
- [0212] 여기서, 본 명세서 등에서 층상 물질이란 층상의 결정 구조를 가지는 재료군의 총칭이다. 층상의 결정 구조는 공유 결합이나 이온 결합에 의하여 형성되는 층이, 반데르발스 힘과 같은 공유 결합이나 이온 결합보다 약한 결합에 의하여 적층되는 구조이다. 층상 물질은 단위층 내에서의 전기 전도성이 높고, 즉, 2차원 전기 전도성이 높다. 반도체로서 기능하고, 또한 2차원 전기 전도성이 높은 재료를 채널 형성 영역에 사용함으로써, 온 전류가 큰 트랜지스터를 제공할 수 있다.
- [0213] 층상 물질로서, 그래핀, 실리센, 칼코겐화물 등이 있다. 칼코겐화물은 칼코젠을 포함하는 화합물이다. 또한, 칼코젠이란 16족에 속하는 원소의 총칭이고, 산소, 황, 셀레늄, 텔루륨, 폴로늄, 리버모륨이 포함된다. 또한, 칼코겐화물로서 전이 금속 칼코제나이드, 13족 칼코제나이드 등을 들 수 있다.
- [0214] 산화물(230)로서, 예를 들어 반도체로서 기능하는 전이 금속 칼코제나이드를 사용하는 것이 바람직하다. 산화물(230)로서 적용할 수 있는 전이 금속 칼코제나이드로서, 구체적으로는, 황화 몰리브데넘(대표적으로는 MoS_2), 셀레늄화 몰리브데넘(대표적으로는 MoSe_2), 몰리브데넘 텔루륨(대표적으로는 MoTe_2), 황화 텅스텐(대표적으로는 WS_2), 셀레늄화 텅스텐(대표적으로는 WSe_2), 텅스텐 텔루륨(대표적으로는 WTe_2), 황화 하프늄(대표적으로는 HfS_2), 셀레늄화 하프늄(대표적으로는 HfSe_2), 황화 지르코늄(대표적으로는 ZrS_2), 셀레늄화 지르코늄(대표적으로는 ZrSe_2) 등을 들 수 있다.
- [0215] <반도체 장치의 제작 방법>
- [0216] 다음으로, 도 1에 나타난 본 발명의 일 형태인 반도체 장치의 제작 방법을 도 4 내지 도 11을 사용하여 설명한다.
- [0217] 도 4 내지 도 11에서 각 도면의 (A)는 상면도이다. 또한 각 도면의 (B)는 (A)에서 일점쇄선 A1-A2로 나타난 부분에 대응하는 단면도이고, 트랜지스터(200)의 채널 길이 방향의 단면도이기도 하다. 또한 각 도면의 (C)는 (A)에서 일점쇄선 A3-A4로 나타난 부분에 대응하는 단면도이고, 트랜지스터(200)의 채널 폭 방향의 단면도이기도 하다. 또한 각 도면의 (D)는 각 도면의 (A)에서 일점쇄선 A5-A6으로 나타난 부분의 단면도이다. 또한 각 도면의 (A)의 상면도에서는, 도면의 명료화를 위하여 일부의 요소를 생략하였다.
- [0218] 우선, 기판(도시하지 않았음)을 준비하고, 상기 기판 위에 절연체(212)를 성막한다. 절연체(212)의 성막은 스퍼터링법, CVD법, 분자선 에피택시(MBE: Molecular Beam Epitaxy)법, 펄스 레이저 퇴적(PLD: Pulsed Laser Deposition)법, ALD법 등을 사용하여 수행할 수 있다.
- [0219] 또한 CVD법은 플라스마를 이용하는 플라스마 CVD(PECVD: Plasma Enhanced CVD)법, 열을 이용하는 열 CVD(TCVD: Thermal CVD)법, 광을 이용하는 광 CVD(Photo CVD)법 등으로 분류할 수 있다. 또한 사용하는 원료 가스에 따라

금속 CVD(MCVD: Metal CVD)법, 유기 금속 CVD(MOCVD: Metal Organic CVD)법으로 분류할 수 있다.

- [0220] 플라스마 CVD법에 의하여, 비교적 낮은 온도에서 품질이 높은 막을 얻을 수 있다. 또한 열 CVD법은 플라스마를 사용하지 않기 때문에, 피처리물에 대한 플라스마 대미지를 작게 할 수 있는 성막 방법이다. 예를 들어 반도체 장치에 포함되는 배선, 전극, 소자(트랜지스터, 용량 소자 등) 등은 플라스마로부터 전하를 받아 차지 업하는 경우가 있다. 이때, 축적된 전하로 인하여 반도체 장치에 포함되는 배선, 전극, 소자 등이 파괴되는 경우가 있다. 한편, 플라스마를 사용하지 않는 열 CVD법의 경우, 이와 같은 플라스마 대미지가 생기지 않기 때문에, 반도체 장치의 수율을 높일 수 있다. 또한 열 CVD법에서는 성막 시에 플라스마 대미지가 생기지 않기 때문에, 결함이 적은 막을 얻을 수 있다.
- [0221] 또한 ALD법에서는 원자의 성질인 자기 제어성을 이용하여 한 층씩 원자를 퇴적할 수 있기 때문에, 매우 얇게 성막할 수 있고, 종횡비가 높은 구조에 대한 성막이 가능하고, 편향 등의 결함이 적은 성막이 가능하고, 피복성이 우수한 성막이 가능하고, 저온에서의 성막이 가능하다는 등의 효과가 있다. 또한, ALD법에는 플라스마를 이용하는 PEALD(Plasma Enhanced ALD)법도 포함된다. 플라스마를 이용하면, 더 낮은 온도에서 성막할 수 있어 바람직한 경우가 있다. 또한 ALD법에서 사용하는 전구체에는 탄소 등의 불순물이 포함되는 경우가 있다. 그러므로 ALD법에 의하여 제공된 막은, 다른 성막법에 의하여 제공된 막과 비교하여 탄소 등의 불순물을 많이 포함하는 경우가 있다. 또한 불순물의 정량은 X선 광전자 분광법(XPS: X-ray Photoelectron Spectroscopy)을 사용하여 수행할 수 있다.
- [0222] CVD법 및 ALD법은 타깃 등으로부터 방출되는 입자가 퇴적되는 성막 방법과는 달리, 피처리물의 표면에서의 반응에 의하여 막이 형성되는 성막 방법이다. 따라서 피처리물의 형상의 영향을 받기 어렵고, 단차 피복성이 양호한 성막 방법이다. 특히, ALD법은 우수한 단차 피복성과 우수한 두께 균일성을 가지기 때문에, 종횡비가 높은 개구부의 표면을 피복하는 경우 등에 적합하다. 다만 ALD법은 성막 속도가 비교적 느리기 때문에, 성막 속도가 빠른 CVD법 등의 다른 성막 방법과 조합하여 사용되는 것이 바람직한 경우도 있다.
- [0223] CVD법 및 ALD법은 원료 가스의 유량비를 변화시킴으로써, 얻어지는 막의 조성을 제어할 수 있다. 예를 들어 CVD법 및 ALD법은 원료 가스의 유량비를 변화시킴으로써, 임의의 조성의 막을 성막할 수 있다. 또한 예를 들어 CVD법 및 ALD법은 성막하면서 원료 가스의 유량비를 변화시킴으로써, 조성이 연속적으로 변화된 막을 성막할 수 있다. 원료 가스의 유량비를 변화시키면서 성막하는 경우, 반송이나 압력 조정에 걸리는 시간이 불필요한 만큼, 복수의 성막실을 사용하여 성막하는 경우보다, 성막에 걸리는 시간을 단축할 수 있다. 따라서 반도체 장치의 생산성을 높일 수 있는 경우가 있다.
- [0224] 본 실시형태에서는, 절연체(212)로서 CVD법에 의하여 질화 실리콘을 성막한다. 이와 같이, 절연체(212)로서 질화 실리콘 등 구리가 투과하기 어려운 절연체를 사용함으로써, 절연체(212)보다 아래층(도시하지 않았음)의 도전체에 구리 등 확산되기 쉬운 금속을 사용하여도, 상기 금속이 절연체(212)를 통하여 위쪽으로 확산되는 것을 억제할 수 있다. 또한, 질화 실리콘과 같은, 물, 수소 등 불순물이 투과하기 어려운 절연체를 사용함으로써 절연체(212)보다 아래층에 포함되는 물, 수소 등의 불순물의 확산을 억제할 수 있다.
- [0225] 다음으로, 절연체(212) 위에 절연체(214)를 성막한다. 절연체(214)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다. 본 실시형태에서는 절연체(214)로서 산화 알루미늄을 사용한다.
- [0226] 다음으로, 절연체(214) 위에 절연체(216)를 성막한다. 절연체(216)는 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 성막할 수 있다.
- [0227] 다음으로, 절연체(216)에, 절연체(214)에 도달하는 개구를 형성한다. 개구에는 예를 들어 홈이나 슬릿 등도 포함된다. 또한 개구가 형성된 영역을 가리켜 개구부라고 하는 경우가 있다. 개구의 형성에는 웨트 에칭을 사용하여도 좋지만, 드라이 에칭을 사용하는 것이 미세 가공을 하기 위해서는 더 바람직하다. 또한 절연체(214)로서는, 절연체(216)를 에칭하여 홈을 형성하는 경우의 에칭 스톱퍼막으로서 기능하는 절연체를 선택하는 것이 바람직하다. 예를 들어 홈을 형성하는 절연체(216)에 산화 실리콘을 사용한 경우에는, 절연체(214)에 질화 실리콘, 산화 알루미늄, 산화 하프늄을 사용하는 것이 좋다.
- [0228] 드라이 에칭 장치로서는 평행 평판형 전극을 가지는 용량 결합형 플라스마(CCP: Capacitively Coupled Plasma) 에칭 장치를 사용할 수 있다. 평행 평판형 전극을 가지는 용량 결합형 플라스마 에칭 장치는, 평행 평판형 전극 중 한쪽에 고주파 전압을 인가하는 구성을 가져도 좋다. 또는 평행 평판형 전극 중 한쪽에 복수의 상이한 고주파 전압을 인가하는 구성을 가져도 좋다. 또는 평행 평판형 전극의 각각에 주파수가 같은 고주파 전압을 인가하는 구성을 가져도 좋다. 또는 평행 평판형 전극의 각각에 주파수가 상이한 고주파 전압을 인가하는 구성

을 가져도 좋다. 또는 고밀도 플라스마원을 가지는 드라이 에칭 장치를 사용할 수 있다. 고밀도 플라스마원을 가지는 드라이 에칭 장치로서는, 예를 들어 유도 결합형 플라스마(ICP: Inductively Coupled Plasma) 에칭 장치 등을 사용할 수 있다.

[0229] 개구의 형성 후에, 도전체(205a)가 되는 도전막을 성막한다. 상기 도전막은 산소의 투과를 억제하는 기능을 가지는 도전체를 포함하는 것이 바람직하다. 예를 들어 질화 탄탈럼, 질화 텅스텐, 질화 타이타늄 등을 사용할 수 있다. 또는 산소의 투과를 억제하는 기능을 가지는 도전체와 탄탈럼, 텅스텐, 타이타늄, 몰리브데넘, 알루미늄, 구리, 몰리브데넘 텅스텐 합금과의 적층막으로 할 수 있다. 상기 도전막의 성막은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다.

[0230] 본 실시형태에서는, 도전체(205a)가 되는 도전막을 다층 구조로 한다. 우선, 스퍼터링법에 의하여 질화 탄탈럼을 성막하고, 상기 질화 탄탈럼 위에 질화 타이타늄을 적층한다. 이러한 금속 질화물을 도전체(205b)의 아래층에 사용함으로써, 후술하는 도전체(205b)가 되는 도전막으로서 구리 등 확산되기 쉬운 금속을 사용하여도 상기 금속이 도전체(205a)로부터 외부로 확산되는 것을 방지할 수 있다.

[0231] 다음으로, 도전체(205b)가 되는 도전막을 성막한다. 상기 도전막의 성막은 도금법, 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다. 본 실시형태에서는, 도전체(205b)가 되는 도전막으로서 구리 등 저저항 도전성 재료를 성막한다.

[0232] 다음으로, CMP 처리를 수행함으로써, 도전체(205a)가 되는 도전막, 그리고 도전체(205b)가 되는 도전막의 일부를 제거하여 절연체(216)를 노출시킨다. 그 결과, 개구부에만 도전체(205a) 및 도전체(205b)가 잔존한다. 이로써, 상면이 평탄한 도전체(205)를 형성할 수 있다(도 4 참조). 또한, 상기 CMP 처리에 의하여 절연체(216)의 일부가 제거되는 경우가 있다.

[0233] 또한, 위에서는 도전체(205)를 절연체(216)의 개구에 매립되도록 형성하였지만, 본 실시형태는 이에 한정되는 것이 아니다. 예를 들어, 절연체(214) 위에 도전체(205)를 형성하고, 도전체(205) 위에 절연체(216)를 성막하고, 절연체(216)에 CMP 처리를 수행함으로써 절연체(216)의 일부를 제거하여, 도전체(205)의 표면을 노출시키면 좋다.

[0234] 다음으로, 절연체(216) 및 도전체(205) 위에 절연체(222)를 성막한다. 절연체(222)로서 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함한 절연체를 성막하는 것이 좋다. 또한, 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체로서, 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미늄네이트) 등을 사용하는 것이 바람직하다. 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함한 절연체는 산소, 수소, 및 물에 대한 배리어성을 가진다. 절연체(222)가 수소 및 물에 대한 배리어성을 가짐으로써, 트랜지스터(200)의 주변에 제공된 구조체에 포함되는 수소 및 물이 절연체(222)를 통하여 트랜지스터(200)의 내측으로 확산되는 것이 억제되고, 산화물(230) 내의 산소 결손의 생성을 억제할 수 있다.

[0235] 절연체(222)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다.

[0236] 이어서 가열 처리를 수행하는 것이 바람직하다. 가열 처리는 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 500℃ 이하, 더 바람직하게는 320℃ 이상 450℃ 이하에서 수행하면 좋다. 또한 가열 처리는 질소 가스 또는 불활성 가스 분위기, 또는 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행한다. 또한 가열 처리는 감압 상태에서 수행하여도 좋다. 또는 가열 처리는 질소 가스 또는 불활성 가스 분위기에서 가열 처리를 수행한 후에, 이탈된 산소를 보충하기 위하여 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행하여도 좋다.

[0237] 본 실시형태에서는, 가열 처리로서 절연체(222)의 성막 후에 질소 분위기에서 400℃의 온도에서 1시간의 처리를 수행한 후에, 연속하여 산소 분위기에서 400℃의 온도에서 1시간의 처리를 수행한다. 상기 가열 처리에 의하여, 절연체(222)에 포함되는 물, 수소 등의 불순물을 제거하는 것 등이 가능하다. 또한 가열 처리는 절연체(224)의 성막 후 등의 타이밍에 수행할 수도 있다.

[0238] 다음으로, 절연체(222) 위에 절연체(224)를 성막한다. 절연체(224)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다. 본 실시형태에서는 절연체(224)로서 CVD법에 의하여 산화질화 실리콘막을 성막한다.

[0239] 여기서, 절연체(224)에 과잉 산소 영역을 형성하기 위하여, 감압 상태에서 산소를 포함한 플라스마 처리를 수행하여도 좋다. 산소를 포함한 플라스마 처리에는, 예를 들어 마이크로파를 사용한 고밀도 플라스마를 발생시키

는 전원을 가지는 장치를 사용하는 것이 바람직하다. 또는 기관 측에 RF를 인가하는 전원을 가져도 좋다. 고밀도 플라스마를 사용함으로써 고밀도의 산소 라디칼을 생성할 수 있고, 기관 측에 RF를 인가함으로써 고밀도 플라스마에 의하여 생성된 산소 라디칼을 절연체(224) 내에 효율적으로 도입할 수 있다. 또는 이 장치를 사용하여 불활성 가스를 포함한 플라스마 처리를 수행한 후에, 이탈된 산소를 보충하기 위하여 산소를 포함한 플라스마 처리를 수행하여도 좋다. 또한 상기 플라스마 처리의 조건을 적절히 선택함으로써, 절연체(224)에 포함되는 물, 수소 등의 불순물을 제거할 수 있다. 그 경우, 가열 처리는 수행하지 않아도 된다.

[0240] 여기서, 절연체(224) 위에 예를 들어 스퍼터링법에 의하여 산화 알루미늄을 성막한 후, 절연체(224)에 도달할 때까지 CMP 처리를 수행하여도 좋다. 상기 CMP 처리를 수행함으로써, 절연체(224)의 표면의 평탄화 및 평활화를 수행할 수 있다. 상기 산화 알루미늄을 절연체(224) 위에 배치하고 CMP 처리를 수행함으로써, CMP 처리의 종점 검출이 용이해진다. 또한 CMP 처리에 의하여 절연체(224)의 일부가 연마되어 절연체(224)의 막 두께가 얇아지는 경우가 있지만, 절연체(224)의 성막 시에 막 두께를 조정하면 좋다. 절연체(224)의 표면의 평탄화 및 평활화를 수행함으로써, 나중에 성막하는 산화물의 피복물의 악화를 방지하고, 반도체 장치의 수율 저하를 방지할 수 있는 경우가 있다. 또한 절연체(224) 위에 스퍼터링법에 의하여 산화 알루미늄을 성막함으로써, 절연체(224)에 산소를 첨가할 수 있어 바람직하다.

[0241] 다음으로, 절연체(224) 위에 산화막(230A), 산화막(230B)을 이 순서대로 성막한다(도 4 참조). 또한 산화막(230A) 및 산화막(230B)은 대기 환경에 노출시키지 않고 연속하여 성막하는 것이 바람직하다. 대기에 개방하지 않고 성막함으로써, 산화막(230A) 및 산화막(230B) 위에 대기 환경으로부터의 불순물 또는 수분이 부착되는 것을 방지할 수 있어, 산화막(230A)과 산화막(230B)의 계면 근방을 청정하게 유지할 수 있다.

[0242] 산화막(230A) 및 산화막(230B)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다.

[0243] 예를 들어 산화막(230A) 및 산화막(230B)을 스퍼터링법에 의하여 성막하는 경우에는, 스퍼터링 가스로서 산소, 또는 산소와 희가스의 혼합 가스를 사용한다. 스퍼터링 가스에 포함되는 산소의 비율을 높임으로써, 성막되는 산화막 내의 과잉 산소를 증가시킬 수 있다. 또한 상기 산화막을 스퍼터링법에 의하여 성막하는 경우에는, 상기 In-M-Zn 산화물 타겟 등을 사용할 수 있다.

[0244] 특히, 산화막(230A)의 성막 시에 스퍼터링 가스에 포함되는 산소의 일부가 절연체(224)에 공급되는 경우가 있다. 따라서 상기 스퍼터링 가스에 포함되는 산소의 비율은 70% 이상, 바람직하게는 80% 이상, 더 바람직하게는 100%로 하면 좋다.

[0245] 또한 산화막(230B)을 스퍼터링법에 의하여 형성하는 경우, 스퍼터링 가스에 포함되는 산소의 비율을 30%를 초과하고 100% 이하, 바람직하게는 70% 이상 100% 이하로 하여 성막하면, 산소 과잉형 산화물 반도체가 형성된다. 산소 과잉형 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터에서는, 비교적 높은 신뢰성을 얻을 수 있다. 다만 본 발명의 일 형태는 이에 한정되지 않는다. 산화막(230B)을 스퍼터링법에 의하여 형성하는 경우, 스퍼터링 가스에 포함되는 산소의 비율을 1% 이상 30% 이하, 바람직하게는 5% 이상 20% 이하로 하여 성막하면, 산소 결핍형 산화물 반도체가 형성된다. 산소 결핍형 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터에서는, 비교적 높은 전계 효과 이동도를 얻을 수 있다. 또한 기관을 가열하면서 성막함으로써, 상기 산화막의 결정성을 향상시킬 수 있다.

[0246] 본 실시형태에서는 산화막(230A)을, 스퍼터링법에 의하여 In:Ga:Zn=1:3:4[원자수비]의 산화물 타겟을 사용하여 성막한다. 또한 스퍼터링법에 의하여 In:Ga:Zn=4:2:4.1[원자수비]의 산화물 타겟을 사용하여 산화막(230B)을 성막한다. 또한 각 산화막은, 성막 조건 및 원자수비를 적절히 선택함으로써 산화물(230a) 및 산화물(230b)에 요구되는 특성에 맞추어 형성되는 것이 좋다.

[0247] 또한 절연체(222), 절연체(224), 산화막(230A), 및 산화막(230B)을 대기에 노출시키지 않고 성막하는 것이 바람직하다. 예를 들어 멀티 챔버 방식의 성막 장치를 사용하면 좋다.

[0248] 다음으로, 가열 처리를 수행하여도 좋다. 상기 가열 처리에는 상술한 가열 처리 조건을 사용할 수 있다. 상기 가열 처리에 의하여, 산화막(230A) 및 산화막(230B) 내의 물, 수소 등의 불순물을 제거하는 것 등이 가능하다. 본 실시형태에서는, 질소 분위기에서 400℃의 온도에서 1시간의 처리를 수행한 후에, 연속하여 산소 분위기에서 400℃의 온도에서 1시간의 처리를 수행한다.

[0249] 다음으로, 산화막(230B) 위에 도전막(242A)을 성막한다(도 4 참조). 도전막(242A)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다. 또한 도전막(242A)을 성막하기 전에 가열 처리를

수행하여도 좋다. 상기 가열 처리는 감압하에서 수행하고, 대기에 노출시키지 않고 연속하여 도전막(242A)을 성막하여도 좋다. 이러한 처리를 수행함으로써, 산화막(230B)의 표면 등에 흡착된 수분 및 수소를 제거하고, 또한 산화막(230A) 및 산화막(230B) 내의 수분 농도 및 수소 농도를 저감할 수 있다. 가열 처리의 온도는 100℃ 이상 400℃ 이하가 바람직하다. 본 실시형태에서는 가열 처리의 온도를 200℃로 한다.

[0250] 다음으로 리소그래피법을 사용하여 산화막(230A), 산화막(230B), 및 도전막(242A)을 섬 형상으로 가공하여 산화물(230a), 산화물(230b), 및 도전층(242B)을 형성한다(도 5 참조). 또한, 상기 가공에는 드라이 에칭법이나 웨트 에칭법을 사용할 수 있다. 드라이 에칭법에 의한 가공은 미세 가공에 적합하다. 또한 산화막(230A), 산화막(230B), 및 도전막(242A)의 가공은 각각 다른 조건으로 수행하여도 좋다. 또한, 상기 공정에서, 절연체(224)의 산화물(230a)과 중첩되지 않는 영역의 막 두께가 얇아지는 경우가 있다.

[0251] 또한 리소그래피법에서는, 먼저 마스크를 통하여 레지스트를 노광한다. 다음으로, 노광된 영역을 현상액을 사용하여 제거 또는 잔존시켜 레지스트 마스크를 형성한다. 그리고 상기 레지스트 마스크를 통하여 에칭 처리를 함으로써, 도전체, 반도체, 절연체 등을 원하는 형상으로 가공할 수 있다. 예를 들어 KrF 엑시머 레이저 광, ArF 엑시머 레이저 광, EUV(Extreme Ultraviolet) 광 등을 사용하여 레지스트를 노광함으로써 레지스트 마스크를 형성하면 좋다. 또한 기관과 투영 렌즈 사이에 액체(예를 들어 물)를 채우고 노광하는 액침 기술을 사용하여도 좋다. 또한 상술한 광 대신에 전자 빔이나 이온 빔을 사용하여도 좋다. 또한 전자 빔이나 이온 빔을 사용하는 경우에는 마스크는 불필요하다. 또한 레지스트 마스크는 에칭 등의 드라이 에칭 처리를 수행하거나, 웨트 에칭 처리를 수행하거나, 드라이 에칭 처리 후에 웨트 에칭 처리를 수행하거나, 또는 웨트 에칭 처리 후에 드라이 에칭 처리를 수행함으로써 제거할 수 있다.

[0252] 또한 레지스트 마스크 대신에 절연체나 도전체로 이루어지는 하드 마스크를 사용하여도 좋다. 하드 마스크를 사용하는 경우, 도전막(242A) 위에 하드 마스크 재료가 되는 절연막이나 도전막을 형성하고, 그 위에 레지스트 마스크를 형성하고, 하드 마스크 재료를 에칭함으로써 원하는 형상의 하드 마스크를 형성할 수 있다. 도전막(242A)의 에칭은 레지스트 마스크를 제거한 후에 수행하여도 좋고, 레지스트 마스크를 남긴 채 수행하여도 좋다. 후자의 경우, 에칭 중에 레지스트 마스크가 소실되는 경우가 있다. 도전막(242A)의 에칭 후에 하드 마스크를 에칭에 의하여 제거하여도 좋다. 한편, 하드 마스크의 재료가 후공정에 영향을 미치지 않거나, 또는 후공정에서 이용될 수 있는 경우에는 하드 마스크를 반드시 제거할 필요는 없다.

[0253] 여기서 산화물(230a), 산화물(230b), 및 도전층(242B)은 적어도 일부가 도전체(205)와 중첩되도록 형성된다. 또한 산화물(230a), 산화물(230b), 및 도전층(242B)의 측면은 절연체(222)의 상면에 대하여 실질적으로 수직인 것이 바람직하다. 산화물(230a), 산화물(230b), 및 도전층(242B)의 측면을 절연체(222)의 상면에 대하여 실질적으로 수직으로 함으로써, 복수의 트랜지스터(200)를 제공할 때 면적을 축소하고, 밀도를 높일 수 있다. 또한 산화물(230a), 산화물(230b), 및 도전층(242B)의 측면과 절연체(222)의 상면이 이루는 각이 작은 구성으로 하여도 좋다. 그 경우, 산화물(230a), 산화물(230b), 및 도전층(242B)의 측면과 절연체(222)의 상면이 이루는 각은 60° 이상 70° 미만이 바람직하다. 이와 같은 형상으로 함으로써, 추후의 공정에서 절연체(254) 등의 피복성이 향상되므로 공동 등의 결함을 저감할 수 있다.

[0254] 또한, 도전층(242B)의 측면과 도전층(242B)의 상면 사이에 만곡면을 가진다. 즉, 상기 측면의 단부와 상기 상면의 단부는 만곡되어 있는 것이 바람직하다. 만곡면은, 예를 들어 도전층(242B)의 단부에서, 곡률 반경이 3nm 이상 10nm 이하, 바람직하게는 5nm 이상 6nm 이하로 한다. 단부에 각을 가지지 않으면, 추후의 성막 공정에서의 막의 피복성이 향상된다.

[0255] 다음으로 절연체(224), 산화물(230a), 산화물(230b), 및 도전층(242B) 위에 절연막(254A)을 성막한다(도 6 참조).

[0256] 절연막(254A)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다. 절연막(254A)으로서는 산소의 투과를 억제하는 기능을 가지는 절연막을 사용하는 것이 바람직하다. 예를 들어 스퍼터링법 또는 ALD법으로, 산화 알루미늄, 질화 실리콘, 산화 실리콘, 또는 산화 갈륨을 성막한다. 또한 스퍼터링법에 의하여 산화 알루미늄을 성막하고, 상기 산화 알루미늄 위에 ALD법에 의하여 산화 알루미늄을 성막하여도 좋다.

[0257] 다음으로, 절연막(254A) 위에 절연체(280)가 되는 절연막을 성막한다. 상기 절연막의 성막은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다. 본 실시형태에서는, 상기 절연막으로서 CVD법 또는 스퍼터링법에 의하여 산화 실리콘막을 성막한다. 또한 상기 절연막을 성막하기 전에 가열 처리를 수행하여도 좋다. 가열 처리는 감압하에서 수행하고, 대기에 노출시키지 않고 연속하여 상기 절연막을 성막하여도 좋다.

이러한 처리를 수행함으로써, 절연막(254A)의 표면 등에 흡착된 수분 및 수소를 제거하고, 또한 산화물(230a), 산화물(230b), 및 절연체(224) 내의 수분 농도 및 수소 농도를 저감할 수 있다. 상술한 가열 처리 조건을 사용할 수 있다.

- [0258] 또한 상기 절연막은 다층 구조로 하여도 좋다. 예를 들어 스퍼터링법에 의하여 산화 실리콘막을 성막하고, 상기 산화 실리콘막 위에 CVD법에 의하여 산화 실리콘막을 성막하는 구조로 하여도 좋다.
- [0259] 다음으로, 상기 절연막에 대하여 CMP 처리를 수행하여, 상면이 평탄한 절연체(280)를 형성한다(도 6 참조).
- [0260] 여기서, 마이크로파 처리를 수행하여도 좋다. 마이크로파 처리는 산소를 포함하는 분위기하 및 감압하에서 수행하는 것이 바람직하다. 마이크로파 처리를 수행함으로써, 마이크로파에 의한 전계가 절연체(280), 산화물(230b), 산화물(230a) 등에 가해지므로, 산화물(230b) 및 산화물(230a) 내의 V_{OH} 를 산소 결손(V_O)과 수소(H)로 분단할 수 있다. 이때 분단된 수소의 일부는 절연체(280)가 가지는 산소와 결합되어 물 분자로서 제거되는 경우가 있다. 또한 수소의 일부는 절연막(254A)을 통하여 도전체(242)에 게터링되는 경우가 있다.
- [0261] 또한 마이크로파 처리 후에 감압 상태를 유지한 채 가열 처리를 수행하여도 좋다. 이러한 처리를 수행함으로써 절연체(280), 산화물(230b), 및 산화물(230a) 내의 수소를 효율적으로 제거할 수 있다. 또한 가열 처리의 온도는 300℃ 이상 500℃ 이하로 하는 것이 바람직하다.
- [0262] 또한 마이크로파 처리를 수행하면 절연체(280)의 막질이 개량되어 수소, 물, 불순물 등의 확산을 억제할 수 있다. 따라서, 절연체(280) 형성 후의 추후 공정 또는 열처리 등으로 인하여, 절연체(280)를 통하여 수소, 물, 불순물 등이 산화물(230)로 확산되는 것을 억제할 수 있다.
- [0263] 다음으로, 절연체(280)의 일부, 절연막(254A)의 일부, 및 도전층(242B)의 일부를 가공하여, 산화물(230b)에 도달하는 개구를 형성한다. 상기 개구는 도전체(205)와 중첩되도록 형성되는 것이 바람직하다. 상기 개구의 형성에 의하여 절연체(254), 도전체(242a), 및 도전체(242b)를 형성한다(도 7 참조).
- [0264] 이때, 상기 개구와 중첩되는 영역의 산화물(230b)을 박막화하는 것이 바람직하다. 상기 영역의 막 감소량은 도 3의 (B)에 나타난 L_c 에 상당한다. 상기 영역의 산화물(230b)을 박막화함으로써, 채널 형성 영역의 상면 근방에 저저항 영역이 형성되는 것을 억제하고, 기생 채널의 발생을 억제할 수 있다. 따라서, 기생 채널에 기인하는 트랜지스터 특성의 편차를 억제할 수 있다.
- [0265] 또한, 상기 개구와 중첩되는 영역의 산화물(230b)의 측면의 일부를 제거하는 것이 바람직하다. 상기 영역의 막 감소량은 도 3의 (B)에 나타난 W_e 에 상당한다. 이에 의하여, 채널 형성 영역의 측면 근방에 저저항 영역이 형성되는 것을 억제하고, 기생 채널의 발생을 억제할 수 있다. 따라서, 기생 채널에 기인하는 트랜지스터 특성의 편차를 억제할 수 있다.
- [0266] 또한 절연체(280)의 일부, 절연막(254A)의 일부, 및 도전층(242B)의 일部的 가공은, 각각 다른 조건으로 수행하여도 좋다. 예를 들어, 절연체(280)의 일부를 드라이 에칭법에 의하여 가공하고, 절연막(254A)의 일부를 웨트 에칭법에 의하여 가공하고, 도전층(242B)의 일부를 드라이 에칭법에 의하여 가공하여도 좋다.
- [0267] 여기서, 산화물(230a), 산화물(230b) 등의 표면에 부착되거나 또는 내부로 확산된 불순물을 제거하는 것이 바람직하다. 상기 불순물로서는, 절연체(280), 절연막(254A), 및 도전층(242B)에 포함되는 성분, 상기 개구의 형성 시에 사용하는 장치에 사용되는 부재에 포함되는 성분, 에칭에 사용하는 가스 또는 액체에 포함되는 성분 등에 기인한 것을 들 수 있다. 상기 불순물로서는, 예를 들어 알루미늄, 실리콘, 탄탈럼, 플루오린, 염소 등이 있다.
- [0268] 상기 불순물 등을 제거하기 위하여 세정 처리를 수행하여도 좋다. 세정 방법으로서, 세정액 등을 사용한 웨트 세정, 플라스마를 사용한 플라스마 처리, 열 처리에 의한 세정 등이 있고, 상기 세정을 적절히 조합하여 수행하여도 좋다.
- [0269] 웨트 세정으로서, 암모니아수, 옥살산, 인산, 플루오린화 수소산 등을 탄산수 또는 순수(純水)로 희석한 수용액, 순수, 탄산수 등을 사용하여 세정 처리를 수행하여도 좋다. 또한 이들 수용액, 순수, 또는 탄산수를 사용한 초음파 세정을 수행하여도 좋다. 또한 이들 세정을 적절히 조합하여 수행하여도 좋다.
- [0270] 다음으로, 가열 처리를 수행하여도 좋다. 상기 가열 처리는 산소를 포함한 분위기하에서 수행하는 것이 적합하다. 또한 상기 가열 처리는 감압하에서 수행하고, 대기에 노출시키지 않고 연속하여 산화막(230C)을 성막하여도 좋다(도 8 참조). 이러한 처리를 수행함으로써, 산화물(230b)의 표면 등에 흡착된 수분 및 수소를

제거하고, 또한 산화물(230a) 및 산화물(230b) 내의 수분 농도 및 수소 농도를 저감할 수 있다. 가열 처리의 온도는 100℃ 이상 400℃ 이하가 바람직하다. 본 실시형태에서는 가열 처리의 온도를 200℃로 한다.

[0271] 산화막(230C)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다. 산화막(230C)에 요구되는 특성에 맞추어, 산화막(230A) 또는 산화막(230B)과 같은 성막 방법을 사용하여 산화막(230C)을 성막하면 좋다. 본 실시형태에서는 산화막(230C)을, 스퍼터링법에 의하여 In:Ga:Zn=4:2:4.1[원자수비]의 산화물 타깃을 사용하여 성막한다.

[0272] 또한 산화막(230C)은 적층으로 하여도 좋다. 예를 들어 스퍼터링법에 의하여 In:Ga:Zn=4:2:4.1[원자수비]의 산화물 타깃을 사용하여 성막하고, 연속하여 In:Ga:Zn=1:3:4[원자수비]의 산화물 타깃을 사용하여 성막하여도 좋다.

[0273] 산화막(230C)의 성막 시에, 스퍼터링 가스에 포함되는 산소의 일부가 산화물(230a) 및 산화물(230b)에 공급되는 경우가 있다. 또는, 산화막(230C)의 성막 시에 스퍼터링 가스에 포함되는 산소의 일부가 절연체(280)에 공급되는 경우가 있다. 따라서 산화막(230C)의 스퍼터링 가스에 포함되는 산소의 비율은 70% 이상, 바람직하게는 80% 이상, 더 바람직하게는 100%로 하면 좋다.

[0274] 다음으로, 가열 처리를 수행하여도 좋다. 가열 처리는 감압하에서 수행하고, 대기에 노출시키지 않고 연속하여 절연막(250A)을 성막하여도 좋다(도 8 참조). 이러한 처리를 수행함으로써, 산화막(230C)의 표면 등에 흡착된 수분 및 수소를 제거하고, 또한 산화물(230a), 산화물(230b), 및 산화막(230C) 내의 수분 농도 및 수소 농도를 저감할 수 있다. 가열 처리의 온도는 100℃ 이상 400℃ 이하가 바람직하다.

[0275] 절연막(250A)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다. 본 실시형태에서는 절연막(250A)으로서 CVD법에 의하여 산화질화 실리콘을 성막한다. 또한 절연막(250A)을 성막할 때의 성막 온도는 350℃ 이상 450℃ 미만, 특히 400℃ 전후로 하는 것이 바람직하다. 절연막(250A)을 400℃에서 성막함으로써, 불순물이 적은 절연막을 성막할 수 있다.

[0276] 또한, 절연체(250)를 2층의 적층 구조로 하는 경우, 절연체(250)의 아래층이 되는 절연막 및 절연체(250)의 위층이 되는 절연막은 대기 환경에 노출시키지 않고 연속적으로 성막하는 것이 바람직하다. 대기에 개방하지 않고 성막함으로써, 절연체(250)의 아래층이 되는 절연막, 및 절연체(250)의 위층이 되는 절연막 위에 대기 환경으로부터의 불순물 또는 수분이 부착되는 것을 방지할 수 있어, 절연체(250)의 아래층이 되는 절연막과 절연체(250)의 위층이 되는 절연막의 계면 근방을 청정하게 유지할 수 있다.

[0277] 여기서, 절연막(250A)을 성막한 후에, 산소를 포함한 분위기하 및 감압하에서 마이크로파 처리를 수행하여도 좋다. 마이크로파 처리를 수행함으로써, 마이크로파에 의한 전계가 절연막(250A), 산화막(230C), 산화물(230b), 산화물(230a) 등에 인가되므로, 산화막(230C) 내, 산화물(230b) 내, 및 산화물(230a) 내의 V_0H 를 V_0 와 수소로 분단할 수 있다. 이때 분단된 수소의 일부는 산소와 결합되어 H_2O 로서 절연막(250A), 산화막(230C), 산화물(230b), 및 산화물(230a)로부터 제거되는 경우가 있다. 또한 수소의 일부는 도전체(242)(도전체(242a) 및 도전체(242b))에 게터링되는 경우가 있다. 마이크로파 처리를 이러한 식으로 수행함으로써, 절연막(250A) 내, 산화막(230C) 내, 산화물(230b) 내, 및 산화물(230a) 내의 수소 농도를 저감할 수 있다. 또한 산화물(230a) 내, 산화물(230b) 내, 및 산화막(230C) 내의 V_0H 를 V_0 와 수소로 분단한 후에 존재할 수 있는 V_0 에 산소가 공급됨으로써, V_0 를 수복하거나 또는 보전할 수 있다.

[0278] 또한 마이크로파 처리 후에 감압 상태를 유지한 채 가열 처리를 수행하여도 좋다. 이러한 처리를 수행함으로써, 절연막(250A) 내, 산화막(230C) 내, 산화물(230b) 내, 및 산화물(230a) 내의 수소를 효율적으로 제거할 수 있다. 또한 수소의 일부는 도전체(242)(도전체(242a) 및 도전체(242b))에 게터링되는 경우가 있다. 또는 마이크로파 처리 후에 감압 상태를 유지한 채 가열 처리를 수행하는 단계를 복수 회 반복하여 수행하여도 좋다. 가열 처리를 반복 수행함으로써, 절연막(250A) 내, 산화막(230C) 내, 산화물(230b) 내, 및 산화물(230a) 내의 수소를 더 효율적으로 제거할 수 있다. 또한 가열 처리의 온도는 300℃ 이상 500℃ 이하로 하는 것이 바람직하다.

[0279] 또한 마이크로파 처리를 수행하여 절연막(250A)의 막질을 개량함으로써, 수소, 물, 불순물 등의 확산을 억제할 수 있다. 따라서 도전체(260)가 되는 도전막의 성막 등의 후공정, 또는 열 처리 등의 후처리에 의하여 절연체(250)를 통하여 수소, 물, 불순물 등이 산화물(230b), 산화물(230a) 등으로 확산되는 것을 억제할 수 있다.

[0280] 다음으로, 도전막(260A), 도전막(260B)을 이 순서대로 성막한다(도 9 참조). 도전막(260A) 및 도전막(260B)의

성막은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다. 본 실시형태에서는 ALD법을 사용하여 도전막(260A)을 성막하고, CVD법을 사용하여 도전막(260B)을 성막한다.

- [0281] 다음으로, CMP 처리에 의하여 산화막(230C), 절연막(250A), 도전막(260A), 및 도전막(260B)을 절연체(280)가 노출될 때까지 연마함으로써, 산화물(230c), 절연체(250), 및 도전체(260)(도전체(260a) 및 도전체(260b))를 형성한다(도 10 참조). 이로써, 산화물(230c)은 산화물(230b)에 도달하는 개구의 내벽(측벽 및 바닥면)을 덮도록 배치된다. 또한 절연체(250)는 산화물(230c)을 개재하여 상기 개구의 내벽을 덮도록 배치된다. 또한 도전체(260)는 산화물(230c) 및 절연체(250)를 개재하여 상기 개구를 매립하도록 배치된다.
- [0282] 다음으로, 가열 처리를 수행하여도 좋다. 본 실시형태에서는, 질소 분위기에서 400℃의 온도에서 1시간의 처리를 수행한다. 상기 가열 처리에 의하여 절연체(250) 및 절연체(280) 내의 수분 농도 및 수소 농도를 저감할 수 있다.
- [0283] 다음으로, 산화물(230c) 위, 절연체(250) 위, 도전체(260) 위, 및 절연체(280) 위에 절연체(282)를 형성한다(도 11 참조). 절연체(282)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다. 절연체(282)로서는 예를 들어 스퍼터링법에 의하여 산화 알루미늄을 성막하는 것이 바람직하다. 스퍼터링법을 사용하여 산소를 포함하는 분위기에서 절연체(282)의 성막을 수행함으로써, 성막하면서 절연체(280)에 산소를 첨가할 수 있다. 이때, 기판을 가열하면서 절연체(282)를 성막하는 것이 바람직하다. 또한, 도전체(260)의 상면에 접하여 절연체(282)를 형성함으로써, 이 후의 가열 처리에 있어서 절연체(280)가 가지는 산소가 도전체(260)에 흡수되는 것을 억제할 수 있어 바람직하다.
- [0284] 다음으로, 절연체(282) 위에 절연체(283)를 성막한다(도 11 참조). 절연체(283)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다. 절연체(283)로서 질화 실리콘 또는 질화산화 실리콘을 성막하는 것이 바람직하다.
- [0285] 다음으로, 가열 처리를 수행하여도 좋다. 본 실시형태에서는, 질소 분위기에서 400℃의 온도에서 1시간의 처리를 수행한다. 상기 가열 처리에 의하여 절연체(282)의 성막에 의하여 첨가된 산소를 절연체(280)로 확산시키고, 또한 산화물(230c)을 통하여, 산화물(230a) 및 산화물(230b)에 공급할 수 있다. 또한, 상기 가열 처리는 절연체(283)의 성막 후에 한정되지 않고, 절연체(282)의 성막 후에 수행하여도 좋다.
- [0286] 다음으로, 절연체(283) 위에 절연체(274)를 성막하여도 좋다. 절연체(274)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다.
- [0287] 다음으로, 절연체(274) 위에 절연체(281)를 성막하여도 좋다. 절연체(281)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다. 절연체(281)로서는 예를 들어 스퍼터링법에 의하여 질화 실리콘을 성막하는 것이 바람직하다.
- [0288] 다음으로 절연체(254), 절연체(280), 절연체(282), 절연체(283), 절연체(274), 절연체(281)에, 도전체(242a) 및 도전체(242b)에 도달하는 개구를 형성한다. 상기 개구의 형성은 리소그래피법을 사용하여 수행하면 좋다.
- [0289] 다음으로, 절연체(241)(절연체(241a) 및 절연체(241b))가 되는 절연막을 성막하고, 상기 절연막을 이방성 에칭하여 절연체(241)를 형성한다. 상기 절연막의 성막은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다. 상기 절연체(241)가 되는 절연막으로서, 산소의 투과를 억제하는 기능을 가지는 절연막을 사용하는 것이 바람직하다. 예를 들어, PEALD법을 사용하여 질화 실리콘을 성막하는 것이 바람직하다. 질화 실리콘은 수소에 대한 차단성이 높기 때문에 바람직하다.
- [0290] 또한, 절연체(241)가 되는 절연막의 이방성 에칭으로서, 예를 들어 드라이 에칭법 등을 사용하면 좋다. 개구의 측벽부에 절연체(241)를 제공함으로써 외부로부터의 산소의 투과를 억제하고, 다음으로 형성하는 도전체(240a) 및 도전체(240b)의 산화를 방지할 수 있다. 또한, 도전체(240a) 및 도전체(240b)로부터 물, 수소 등의 불순물이 외부로 확산되는 것을 방지할 수 있다.
- [0291] 다음으로, 도전체(240a) 및 도전체(240b)가 되는 도전막을 성막한다. 상기 도전막은 물, 수소 등 불순물의 투과를 억제하는 기능을 가지는 도전체를 포함하는 적층 구조로 하는 것이 바람직하다. 예를 들어, 질화 탄탈럼, 질화 타이타늄 등과, 텅스텐, 몰리브데넘, 구리 등과 적층으로 할 수 있다. 상기 도전막의 성막은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다.
- [0292] 다음으로, CMP 처리를 수행함으로써, 도전체(240a) 및 도전체(240b)가 되는 도전막의 일부를 제거하여 절연체(281)를 노출시킨다. 이 결과, 상기 개구에만 상기 도전막이 잔존함으로써 상면이 평탄한 도전체(240a) 및 도

전체(240b)를 형성할 수 있다(도 1 참조). 또한, 상기 CMP 처리에 의하여 절연체(281)의 일부가 제거되는 경우가 있다.

- [0293] 다음으로, 도전체(246)가 되는 도전막을 성막한다. 상기 도전막의 성막은 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 사용하여 수행할 수 있다.
- [0294] 다음으로 도전체(246)가 되는 도전막을 리소그래피법에 의하여 가공하여, 도전체(240a)의 상면과 접하는 도전체(246a), 및 도전체(240b)의 상면과 접하는 도전체(246b)를 형성한다(도 1 참조).
- [0295] 이러한 식으로, 도 1에 나타난 트랜지스터(200)를 가지는 반도체 장치를 제작할 수 있다. 도 4 내지 도 11에 나타난 바와 같이, 본 실시형태에 나타난 반도체 장치의 제작 방법을 사용함으로써, 트랜지스터(200)를 제작할 수 있다.
- [0296] <반도체 장치의 변형예>
- [0297] 이하에서는, 도 12 및 도 13을 사용하여 본 발명의 일 형태인 반도체 장치의 일례에 대하여 설명한다.
- [0298] [반도체 장치의 변형예 1]
- [0299] 도 12의 (A)에는 반도체 장치의 상면도를 나타내었다. 또한 도 12의 (B)는 도 12의 (A)에서 일점쇄선 A1-A2로 나타난 부분에 대응하는 단면도이다. 또한 도 12의 (C)는 도 12의 (A)에서 일점쇄선 A3-A4로 나타난 부분에 대응하는 단면도이다. 또한 도 12의 (D)는 도 12의 (A)에서 일점쇄선 A5-A6으로 나타난 부분에 대응하는 단면도이다. 도 12의 (A)의 상면도에서는, 도면의 명료화를 위하여 일부의 요소를 생략하였다.
- [0300] 또한 도 12에 나타난 반도체 장치에서, <반도체 장치의 구성예>에 나타난 반도체 장치를 구성하는 구조와 같은 기능을 가지는 구조에는 같은 부호를 부기하였다. 또한 본 항목에서도 반도체 장치의 구성 재료로서는 <반도체 장치의 구성예>에서 자세히 설명한 재료를 사용할 수 있다.
- [0301] 도 12에 나타난 반도체 장치는 도 1에 나타난 반도체 장치의 변형예이다. 도 12에 나타난 반도체 장치는 도 1에 나타난 반도체 장치와 절연체(283)의 형상이 상이하다. 또한, 산화물(243)(산화물(243a) 및 산화물(243b))을 가지는 점이 상이하다. 또한, 산화물(230c), 절연체(254) 각각을 2층의 적층 구조로서 제공하는 구성을 나타내었다.
- [0302] 도 12에 나타난 반도체 장치에서는 절연체(214), 절연체(216), 절연체(222), 절연체(224), 절연체(254), 절연체(280), 및 절연체(282)가 패터닝되어 있고, 절연체(283)가 이들을 덮는 구조이다. 즉, 절연체(283)는 절연체(282)의 상면 및 측면과, 절연체(280)의 측면과, 절연체(254)의 측면과, 절연체(224)의 측면과, 절연체(222)의 측면과, 절연체(216)의 측면과, 절연체(214)의 측면과, 절연체(212)의 상면에 접한다. 이로써, 산화물(230) 등을 포함하고 절연체(214), 절연체(216), 절연체(222), 절연체(224), 절연체(254), 절연체(280), 및 절연체(282)는 절연체(283)와 절연체(212)에 의하여 외부로부터 격리된다. 바꿔 말하면, 트랜지스터(200)는 절연체(283) 및 절연체(212)로 밀봉된 영역 내에 배치된다.
- [0303] 절연체(212) 및 절연체(283)는 수소(예를 들어, 수소 원자, 수소 분자 등 중 적어도 하나) 또는 물 분자의 확산을 억제하는 기능이 높은 것이 바람직하다. 예를 들어, 절연체(212) 및 절연체(283)로서는, 수소 배리어성이 더 높은 질화 실리콘 또는 질화산화 실리콘을 사용하는 것이 바람직하다.
- [0304] 상기 구성으로 함으로써, 상기 밀봉된 영역 외에 포함되는 수소가 상기 밀봉된 영역 내에 혼입되는 것을 억제할 수 있다.
- [0305] 또한, 도 12에 나타난 트랜지스터(200)에서는 절연체(212), 절연체(214), 절연체(283)를 단층으로서 제공하는 구성에 대하여 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어, 절연체(212), 절연체(214), 절연체(283)를 2층 이상의 적층 구조로서 제공하는 구성으로 하여도 좋다.
- [0306] 또한, 도 12에 나타난 트랜지스터(200)는 도전체(242)(도전체(242a) 및 도전체(242b))와 산화물(230) 사이에 산소의 투과를 억제하는 기능을 가지는 산화물(243)(산화물(243a) 및 산화물(243b))을 가진다. 소스 전극이나 드레인 전극으로서 기능하는 도전체(242)와 산화물(230b) 사이에 산소의 투과를 억제하는 기능을 가지는 산화물(243)을 배치함으로써, 도전체(242)와 산화물(230b) 사이의 전기 저항이 저감되기 때문에 바람직하다. 이와 같은 구성으로 함으로써, 트랜지스터(200)의 전기 특성 및 트랜지스터(200)의 신뢰성을 향상시킬 수 있다.
- [0307] 산화물(243)로서 원소 M을 가지는 금속 산화물을 사용하여도 좋다. 특히, 원소 M로서는 알루미늄, 갈륨, 이

트륨, 또는 주석을 사용하면 좋다. 산화물(243)은 산화물(230b)보다 원소 M의 농도가 높은 것이 바람직하다. 또한 산화물(243)로서, 산화 갈륨을 사용하여도 좋다. 또한 산화물(243)로서, In-M-Zn 산화물 등의 금속 산화물을 사용하여도 좋다. 구체적으로는, 산화물(243)로서 사용하는 금속 산화물에서, In에 대한 원소 M의 원자수비가 산화물(230b)로서 사용하는 금속 산화물에서의 In에 대한 원소 M의 원자수비보다 높은 것이 바람직하다. 또한, 산화물(243)의 막 두께는 0.5nm 이상 5nm 이하가 바람직하고, 더 바람직하게는 1nm 이상 3nm 이하, 더욱 바람직하게는 1nm 이상 2nm 이하이다. 또한 산화물(243)은 결정성을 가지는 것이 바람직하다. 산화물(243)이 결정성을 가지는 경우, 산화물(230) 내의 산소의 방출을 적합하게 억제할 수 있다. 예를 들어 산화물(243)이 육방정 등의 결정 구조를 가지면, 산화물(230) 내의 산소가 방출되는 것을 억제할 수 있는 경우가 있다.

[0308] 또한, 트랜지스터(200)의 채널 길이 방향의 단면에서 보았을 때, 도전체(260)와 중첩되는 영역의 산화물(230c)의 하면은 산화물(243)(산화물(243a) 및 산화물(243b))의 하면과 같은 정도, 또는 산화물(243)(산화물(243a) 및 산화물(243b))의 하면보다 낮은 것이 바람직하다. 이와 같은 형상으로 함으로써, 산화물(230b)과 산화물(230c)의 계면 근방의 불순물을 제거하고, 영역(234)의 상면 근방에 형성되는 저저항 영역을 저감할 수 있다. 예를 들어, 트랜지스터(200)의 채널 길이 방향의 단면에서 보았을 때, 절연체(224)의 하면을 기준으로 하였을 때, 산화물(243)의 하면의 높이와, 도전체(260)와 중첩되는 영역의 산화물(230c)의 하면의 높이의 차이는 0nm 이상 10nm 이하, 바람직하게는 0nm 이상 5nm 이하, 더 바람직하게는 0nm 이상 3nm 이하로 한다.

[0309] 또한 도 12에 나타낸 트랜지스터(200)에서는 산화물(230c)이 산화물(230c1)과 산화물(230c2)의 적층으로 이루어지는 구성을 나타내었다.

[0310] 산화물(230c2)은 산화물(230c1)로서 사용되는 금속 산화물을 구성하는 금속 원소 중 적어도 하나를 포함하는 것이 바람직하고, 상기 금속 원소를 모두 포함하는 것이 더 바람직하다. 예를 들어 산화물(230c1)로서 In-Ga-Zn 산화물 또는 In-Zn 산화물을 사용하고, 산화물(230c2)로서 In-Ga-Zn 산화물, Ga-Zn 산화물, 또는 산화 갈륨을 사용하는 것이 좋다. 이에 의하여, 산화물(230c1)과 산화물(230c2)의 계면에서의 결합 준위 밀도를 낮출 수 있다.

[0311] 또한 산화물(230a) 및 산화물(230c2)의 전도대 하단이 산화물(230b) 및 산화물(230c1)의 전도대 하단보다 진공 준위에 가까운 것이 바람직하다. 바꿔 말하면, 산화물(230a) 및 산화물(230c2)의 전자 친화력이 산화물(230b) 및 산화물(230c1)의 전자 친화력보다 작은 것이 바람직하다. 이 경우, 산화물(230c2)로서는 산화물(230a)로서 사용할 수 있는 금속 산화물을 사용하고, 산화물(230c1)로서는 산화물(230b)로서 사용할 수 있는 금속 산화물을 사용하는 것이 바람직하다. 이때, 캐리어의 주된 경로는 산화물(230b)뿐만 아니라, 산화물(230c1)도 캐리어의 주된 경로인 경우가 있다. 산화물(230b)로서 사용할 수 있는 금속 산화물을 산화물(230c1)로서 사용함으로써, 채널 형성 영역의 상면에 있어서의 실효적인 채널 길이가 길어지는 것을 억제하고, 트랜지스터(200)의 온 전류의 저하를 억제할 수 있다.

[0312] 구체적으로는, 산화물(230c1)로서 In:Ga:Zn=4:2:3[원자수비] 또는 In:Ga:Zn=5:1:6[원자수비]의 금속 산화물 또는 In-Zn 산화물을 사용하고, 산화물(230c2)로서 In:Ga:Zn=1:3:4[원자수비], Ga:Zn=2:1[원자수비], Ga:Zn=2:5[원자수비], 또는 산화 갈륨의 금속 산화물을 사용하면 좋다.

[0313] 또한 산화물(230c2)은 산화물(230c1)보다 산소의 확산 또는 투과를 억제하는 금속 산화물인 것이 바람직하다. 절연체(250)와 산화물(230c1) 사이에 산화물(230c2)을 제공함으로써, 절연체(280)에 포함되는 산소가 절연체(250)로 확산되는 것을 억제할 수 있다. 따라서 산화물(230c1)을 통하여 산화물(230b)에 상기 산소를 효율적으로 공급할 수 있다.

[0314] 또한 산화물(230c2)로서 사용하는 금속 산화물에서, 주성분인 금속 원소에 대한 In의 원자수비를, 산화물(230c1)로서 사용하는 금속 산화물에서의 주성분인 금속 원소에 대한 In의 원자수비보다 낮게 함으로써, In이 절연체(250) 측으로 확산되는 것을 억제할 수 있다. 절연체(250)는 게이트 절연체로서 기능하기 때문에, In이 절연체(250) 등에 혼입된 경우, 트랜지스터는 특성 불량을 일으킨다. 따라서, 산화물(230c1)과 절연체(250) 사이에 산화물(230c2)을 제공함으로써, 신뢰성이 높은 반도체 장치를 제공할 수 있다.

[0315] 또한, 산화물(230c1)은 트랜지스터(200)마다 제공하여도 좋다. 즉, 트랜지스터(200)의 산화물(230c1)과, 상기 트랜지스터(200)에 인접한 트랜지스터(200)의 산화물(230c1)은 접하지 않아도 된다. 또한, 트랜지스터(200)의 산화물(230c1)과, 상기 트랜지스터(200)에 인접한 트랜지스터(200)의 산화물(230c1)을 이격하여도 좋다. 바꿔 말하면, 산화물(230c1)이 트랜지스터(200)와, 상기 트랜지스터(200)에 인접한 트랜지스터(200) 사이에 배치되지 않는 구성으로 하여도 좋다.

- [0316] 복수의 트랜지스터(200)가 채널 폭 방향으로 배치되어 있는 반도체 장치에 있어서, 상기 구성으로 함으로써 트랜지스터(200)에 산화물(230c)이 각각 독립적으로 제공된다. 따라서, 트랜지스터(200)와, 상기 트랜지스터(200)에 인접한 트랜지스터(200) 사이에 기생 트랜지스터가 생기는 것을 억제하고, 상기 누설 경로가 생기는 것을 억제할 수 있다. 따라서, 양호한 전기 특성을 가지며 미세화 또는 고집적화가 가능한 반도체 장치를 제공할 수 있다.
- [0317] 예를 들어, 트랜지스터(200)의 채널 폭 방향에 있어서 서로 대향하는, 트랜지스터(200)의 산화물(230c1)의 측단부와, 상기 트랜지스터(200)에 인접한 트랜지스터(200)의 산화물(230c1)의 측단부 사이의 거리를 L_1 로서 나타내는 경우, L_1 을 0nm보다 크게 한다. 또한, 트랜지스터(200)의 채널 폭 방향에 있어서 서로 대향하는, 트랜지스터(200)의 산화물(230a)의 측단부와, 상기 트랜지스터(200)에 인접한 트랜지스터(200)의 산화물(230a)의 측단부 사이의 거리를 L_2 로서 나타내는 경우, L_2 에 대한 L_1 의 비(L_1/L_2)의 값은, 바람직하게는 0보다 크고 1 미만, 더 바람직하게는 0.1 이상 0.9 이하, 더 바람직하게는 0.2 이상 0.8 이하이다. 또한 L_2 는 서로 대향하는, 트랜지스터(200)의 산화물(230b)의 측단부와, 상기 트랜지스터(200)에 인접한 트랜지스터(200)의 산화물(230b)의 측단부 사이의 거리이어도 좋다.
- [0318] 상기 L_2 에 대한 L_1 의 비(L_1/L_2)를 작게 함으로써, 산화물(230c1)이, 트랜지스터(200)와 상기 트랜지스터(200)에 인접한 트랜지스터(200) 사이에 배치되지 않는 영역의 위치 어긋남이 생겨도 트랜지스터(200)의 산화물(230c1)과, 상기 트랜지스터(200)에 인접한 트랜지스터(200)의 산화물(230c1)을 이격할 수 있다.
- [0319] 또한, 상기 L_2 에 대한 L_1 의 비(L_1/L_2)를 크게 함으로써, 트랜지스터(200)와 상기 트랜지스터(200)에 인접한 트랜지스터(200)의 간격을 좁게 하여도 최소 가공 치수의 폭을 확보할 수 있고, 반도체 장치를 더 미세화 또는 고집적화할 수 있다.
- [0320] 또한, 도전체(260), 절연체(250), 산화물(230c2)은 각각 인접된 트랜지스터(200) 사이에서 공통적으로 사용되어도 좋다. 즉, 트랜지스터(200)의 도전체(260)는 상기 트랜지스터(200)에 인접한 트랜지스터(200)의 도전체(260)와 연속하여 제공된 영역을 가진다. 또한, 트랜지스터(200)의 절연체(250)는 상기 트랜지스터(200)에 인접한 트랜지스터(200)의 절연체(250)와 연속하여 제공된 영역을 가진다. 또한, 트랜지스터(200)의 산화물(230c2)은 상기 트랜지스터(200)에 인접한 트랜지스터(200)의 산화물(230c2)과 연속하여 제공된 영역을 가진다.
- [0321] 또한 상기 구성으로 함으로써, 산화물(230c2)은 트랜지스터(200)와, 상기 트랜지스터(200)에 인접한 트랜지스터(200) 사이에 절연체(224)에 접하는 영역을 가진다.
- [0322] 또한, 산화물(230c1)과 마찬가지로, 트랜지스터(200)의 산화물(230c2)과, 상기 트랜지스터(200)에 인접한 트랜지스터(200)의 산화물(230c2)을 이격하여도 좋다. 이때, 절연체(250)는 트랜지스터(200)와, 상기 트랜지스터(200)에 인접한 트랜지스터(200) 사이에 절연체(224)에 접하는 영역을 가진다.
- [0323] 또한, 도 12에 나타난 트랜지스터(200)에서는, 절연체(254)는 절연체(254a)와 절연체(254b)를 적층하는 구성을 나타내었다. 또한, 절연체(254a) 및 절연체(254b)의 재료, 성막 방법 등의 설명은 <반도체 장치의 자세한 구성>에 기재된 절연체(254)의 아래층 및 절연체(254)의 위층의 설명을 각각 참조할 수 있다.
- [0324] 또한, 절연체(254)를 제공하지 않고, 도전체(242)의 상면과 절연체(280) 사이에 배리어층으로서 기능하는 절연체를 제공하여도 좋다. 상기 구성으로 함으로써, 절연체(280)에 포함되는 과잉 산소가 도전체(242)에 흡수되는 것을 억제할 수 있다. 또한 도전체(242)의 산화를 억제함으로써, 트랜지스터(200)와 배선의 접촉 저항이 증가되는 것을 억제할 수 있다. 따라서 트랜지스터(200)에 양호한 전기 특성 및 신뢰성을 부여할 수 있다.
- [0325] 따라서, 상기 절연체는 산소의 확산을 억제하는 기능을 가지는 것이 바람직하다. 예를 들어 상기 절연체는 절연체(280)보다 산소의 확산을 억제하는 기능을 가지는 것이 바람직하다.
- [0326] 상기 절연체로서는 예를 들어 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함한 절연체를 성막하는 것이 좋다. 특히 ALD법에 의하여 산화 알루미늄을 성막하는 것이 좋다. ALD법을 사용함으로써, 치밀하고 크랙이나 핀홀 등의 결함이 저감되거나 또는 두께가 균일한 막을 형성할 수 있다. 또한, 상기 절연체로서는, 예를 들어 질화 알루미늄을 포함하는 절연체를 사용하면 좋다.
- [0327] [반도체 장치의 변형예 2]
- [0328] 도 13의 (A) 및 (B)에 복수의 트랜지스터(트랜지스터(200_1) 내지 트랜지스터(200_n))를 절연체(283) 및 절연체

(212)로 포괄하여 밀봉한 구성을 나타내었다. 또한, 도 13의 (A) 및 (B)에서, 트랜지스터(200₁) 내지 트랜지스터(200_n)는 채널 길이 방향으로 배열된 것으로 보이지만, 이에 한정되는 것이 아니다. 트랜지스터(200₁) 내지 트랜지스터(200_n)는 채널 폭 방향으로 배열되어 있어도 좋고, 매트릭스상으로 배치되어 있어도 좋고, 규칙성을 가지지 않고 배치되어도 좋다.

[0329] 도 13의 (A)에 나타난 바와 같이, 복수의 트랜지스터(트랜지스터(200₁) 내지 트랜지스터(200_n))의 외측에서, 절연체(283)와 절연체(212)가 접하는 부분(이하, 밀봉부(265)라고 부르는 경우가 있음)이 형성되어 있다. 밀봉부(265)는 상기 복수의 트랜지스터(트랜지스터군이라고도 함)를 둘러싸도록 형성되어 있다. 이와 같은 구조로 함으로써, 복수의 트랜지스터를 절연체(283)와 절연체(212)로 감쌀 수 있다. 즉, 복수의 트랜지스터의 사방의 측면과 위쪽을 절연체(283) 및 절연체(281)가 감쌀 수 있고, 아래쪽을 절연체(212)가 감쌀 수 있다. 이와 같이, 밀봉부(265)로 둘러싸인 트랜지스터군이 기판 위에 복수 제공된다.

[0330] 여기서, 밀봉부(265)와 상기 밀봉부(265)에 가장 근접된 산화물(230)과의 거리는 짧은 것이 바람직하다. 예를 들어, 밀봉부(265)와 상기 밀봉부(265)에 가장 근접된 산화물(230)의 거리는 1 μ m 이하가 바람직하고, 500nm 이하가 더 바람직하다. 이와 같은 구성으로 함으로써 절연체(283) 등에 밀봉되는 절연체(280)의 체적을 작게 할 수 있기 때문에, 절연체(280)에 포함되는 수소의 양을 저감할 수 있다.

[0331] 또한, 밀봉부(265)에 중첩시켜 다이싱 라인(스크라이브 라인, 분단 라인, 또는 절단 라인이라고 부르는 경우가 있음)을 제공하여도 좋다. 상기 기판은 다이싱 라인에서 분단되기 때문에, 밀봉부(265)로 둘러싸인 트랜지스터군이 하나의 칩으로 꺼내진다.

[0332] 또한, 도 13의 (A)에서는 복수의 트랜지스터(트랜지스터(200₁) 내지 트랜지스터(200_n))를 하나의 밀봉부(265)로 둘러싸는 예를 나타내었지만, 이에 한정되는 것이 아니다. 도 13의 (B)에 나타난 바와 같이, 복수의 트랜지스터(트랜지스터(200₁) 내지 트랜지스터(200_n))를 복수의 밀봉부로 둘러싸는 구성으로 하여도 좋다. 도 13의 (B)에서는, 상기 복수의 트랜지스터를 밀봉부(265a)로 둘러싸고, 또한 외측의 밀봉부(265b)로도 둘러싸는 구성으로 하였다.

[0333] 이와 같이, 복수의 밀봉부로 복수의 트랜지스터를 둘러싸는 구성으로 함으로써, 절연체(283)와 절연체(212)가 접하는 부분이 증가하기 때문에, 절연체(283)와 절연체(212)의 밀착성을 더 향상시킬 수 있다. 이에 의하여, 더 확실하게 상기 복수의 트랜지스터를 밀봉할 수 있다.

[0334] 이 경우, 밀봉부(265a) 또는 밀봉부(265b)에 중첩시켜 다이싱 라인을 제공하여도 좋고, 밀봉부(265a)와 밀봉부(265b) 사이에 다이싱 라인을 제공하여도 좋다.

[0335] 또한, 도 13의 (A) 및 (B)에서, 절연체(212)는 절연체(212)의 아래층과 절연체(212)의 위층을 적층하는 구성을 나타내었다. 예를 들어, 절연체(212)의 아래층으로서 PECVD법에 의하여 질화 실리콘을 성막하고, 절연체(212)의 위층으로서 스퍼터링법에 의하여 질화 실리콘을 성막한다. 이에 의하여 절연체(212)의 아래층을 절연체(212)의 위층보다 높은 레이트로 성막할 수 있기 때문에, 생산성을 향상시킬 수 있다. 또한, 절연체(212)의 아래층보다 산화물(230)의 가까이에 배치되는 절연체(212)의 위층의 수소 농도를 절연체(212)의 아래층의 수소 농도보다 저감할 수 있다. 이와 같이, 절연체(212)로서 질화 실리콘과 같이 물, 수소 등의 불순물이 투과하기 어려운 절연체를 사용함으로써 절연체(212)보다 아래층(도시하지 않았음)으로부터 물, 수소 등의 불순물의 확산을 억제할 수 있다. 또한, 절연체(212)로서 질화 실리콘 등의 구리가 투과하기 어려운 절연체를 사용함으로써, 절연체(212)보다 아래층의 도전체에 구리 등 확산되기 쉬운 금속을 사용하여도, 상기 금속이 절연체(212)를 통하여 위쪽으로 확산되는 것을 억제할 수 있다.

[0336] 또한, 상기 구성에 한정되지 않고, 절연체(212)의 아래층 및 절연체(212)의 위층 중 어느 한쪽을 제공한 단층 구조로 하여도 좋다. 또한, 도 13 및 (B) 등에 있어서, 절연체(214)를 제공하는 구조로 하였지만, 이에 한정되지 않고 절연체(214)를 제공하지 않는 구조로 하여도 좋다.

[0337] 본 발명의 일 형태에 의하여 트랜지스터 특성의 편차가 적은 반도체 장치를 제공할 수 있다. 또한 본 발명의 일 형태에 의하여 온 전류가 큰 반도체 장치를 제공할 수 있다. 또한 본 발명의 일 형태에 의하여 전기 특성이 양호한 반도체 장치를 제공할 수 있다. 또한, 본 발명의 일 형태에 의하여 미세화 또는 고집적화가 가능한 반도체 장치를 제공할 수 있다. 또한 본 발명의 일 형태에 의하여 신뢰성이 양호한 반도체 장치를 제공할 수 있다. 또한 본 발명의 일 형태에 의하여 소비 전력이 낮은 반도체 장치를 제공할 수 있다.

[0338] 상술한 바와 같이, 본 실시형태에 나타난 구성, 방법 등은 다른 실시형태, 실시예 등에 기재되는 구성, 방법 등

과 적절히 조합하여 사용할 수 있다.

- [0339] (실시형태 2)
- [0340] 본 실시형태에서는 반도체 장치의 일 형태를 도 14 및 도 15를 사용하여 설명한다.
- [0341] [기억 장치 1]
- [0342] 본 발명의 일 형태에 따른 반도체 장치(기억 장치)의 일례를 도 14에 나타내었다. 본 발명의 일 형태의 반도체 장치에서, 트랜지스터(200)는 트랜지스터(300)의 위쪽에 제공되고, 용량 소자(100)는 트랜지스터(300) 및 트랜지스터(200)의 위쪽에 제공되어 있다. 또한 트랜지스터(200)로서는, 앞의 실시형태에서 설명한 트랜지스터(200)를 사용할 수 있다. 따라서, 트랜지스터(200), 및 트랜지스터(200)를 포함하는 층에 대해서는 앞의 실시형태의 기재를 참작할 수 있다.
- [0343] 트랜지스터(200)는 산화물 반도체를 가지는 반도체층에 채널이 형성되는 트랜지스터이다. 트랜지스터(200)는 오프 전류가 작기 때문에, 이를 기억 장치에 사용함으로써 장기간에 걸쳐 기억 내용을 유지할 수 있다. 즉, 리프래시 동작이 불필요하거나, 또는 리프래시 동작 빈도가 매우 낮기 때문에, 기억 장치의 소비 전력을 충분히 저감할 수 있다.
- [0344] 도 14에 나타난 반도체 장치에서, 배선(1001)은 트랜지스터(300)의 소스에 전기적으로 접속되고, 배선(1002)은 트랜지스터(300)의 드레인에 전기적으로 접속되어 있다. 또한 배선(1003)은 트랜지스터(200)의 소스 및 드레인 중 한쪽에 전기적으로 접속되고, 배선(1004)은 트랜지스터(200)의 제 1 게이트에 전기적으로 접속되고, 배선(1006)은 트랜지스터(200)의 제 2 게이트에 전기적으로 접속되어 있다. 그리고 트랜지스터(300)의 게이트, 및 트랜지스터(200)의 소스 및 드레인 중 다른 쪽은 용량 소자(100)의 한쪽 전극에 전기적으로 접속되고, 배선(1005)은 용량 소자(100)의 다른 쪽 전극에 전기적으로 접속되어 있다.
- [0345] 또한 도 14에 나타난 기억 장치를 매트릭스상으로 배치함으로써, 메모리 셀 어레이를 구성할 수 있다.
- [0346] <트랜지스터(300)>
- [0347] 트랜지스터(300)는 기판(311) 위에 제공되고, 게이트로서 기능하는 도전체(316), 게이트 절연체로서 기능하는 절연체(315), 기판(311)의 일부로 이루어지는 반도체 영역(313), 및 소스 영역 또는 드레인 영역으로서 기능하는 저저항 영역(314a) 및 저저항 영역(314b)을 가진다. 트랜지스터(300)는 p채널형 및 n채널형 중 어느 것이어도 좋다.
- [0348] 여기서, 도 14에 나타난 트랜지스터(300)에서는 채널이 형성되는 반도체 영역(313)(기판(311)의 일부)이 볼록 형상을 가진다. 또한 반도체 영역(313)의 측면 및 상면을, 절연체(315)를 개재하여 도전체(316)가 덮도록 제공되어 있다. 또한 도전체(316)에는 일함수를 조정하는 재료를 사용하여도 좋다. 이와 같은 트랜지스터(300)는 반도체 기판의 볼록부를 이용하기 때문에 FIN형 트랜지스터라고도 불린다. 또한 볼록부의 상부와 접하여, 볼록부를 형성하기 위한 마스크로서 기능하는 절연체를 가져도 좋다. 또한 여기서는 반도체 기판의 일부를 가공하여 볼록부를 형성하는 경우에 대하여 설명하였지만, SOI 기판을 가공하여 볼록 형상을 가지는 반도체막을 형성하여도 좋다.
- [0349] 또한 도 14에 나타난 트랜지스터(300)는 일례이고, 그 구조에 한정되지 않고, 회로 구성이나 구동 방법에 따라 적절한 트랜지스터를 사용하면 좋다.
- [0350] <용량 소자(100)>
- [0351] 용량 소자(100)는 트랜지스터(200)의 위쪽에 제공된다. 용량 소자(100)는 제 1 전극으로서 기능하는 도전체(110)와, 제 2 전극으로서 기능하는 도전체(120)와, 유전체로서 기능하는 절연체(130)를 가진다.
- [0352] 또한 예를 들어 도전체(240) 위에 제공된 도전체(112)와 도전체(110)는 동시에 형성할 수 있다. 또한, 도전체(112)는 용량 소자(100), 트랜지스터(200), 또는 트랜지스터(300)와 전기적으로 접속되는 플러그 또는 배선으로서의 기능을 가진다.
- [0353] 도 14에서는 도전체(112) 및 도전체(110)를 단층 구조로 나타내었지만, 상기 구성에 한정되지 않고, 2층 이상의 적층 구조이어도 좋다. 예를 들어, 배리어성을 가지는 도전체와 도전성이 높은 도전체 사이에 배리어성을 가지는 도전체 및 도전성이 높은 도전체에 대하여 밀착성이 높은 도전체를 형성하여도 좋다.
- [0354] 또한, 절연체(130)는, 예를 들어 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화

알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, 질화 알루미늄, 산화 하프늄, 산화질화 하프늄, 질화산화 하프늄, 질화 하프늄 등을 사용하면 좋고, 적층 또는 단층으로 제공할 수 있다.

[0355] 예를 들어, 절연체(130)에는 산화질화 실리콘 등의 절연 내력이 큰 재료와 고유전율(high-k) 재료의 적층 구조를 사용하는 것이 바람직하다. 상기 구성에 의하여, 용량 소자(100)는 고유전율(high-k)의 절연체를 가짐으로써 충분한 용량을 확보할 수 있고, 절연 내력이 큰 절연체를 가짐으로써 절연 내력이 향상되고, 용량 소자(100)의 정전 파괴를 억제할 수 있다.

[0356] 또한 고유전율(high-k) 재료(비유전율이 높은 재료)의 절연체로서는 산화 갈륨, 산화 하프늄, 산화 지르코늄, 알루미늄 및 하프늄을 포함한 산화물, 알루미늄 및 하프늄을 포함한 산화질화물, 실리콘 및 하프늄을 포함한 산화물, 실리콘 및 하프늄을 포함한 산화질화물, 실리콘 및 하프늄을 포함한 질화물 등이 있다.

[0357] 한편, 절연 내력이 큰 재료(비유전율이 낮은 재료)로서는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 가지는 산화 실리콘, 수지 등이 있다.

[0358] <배선층>

[0359] 각 구조체 사이에는 층간막, 배선, 플러그 등이 제공된 배선층이 제공되어도 좋다. 또한 배선층은 설계에 따라 복수 층 제공할 수 있다. 여기서, 플러그 또는 배선으로서의 기능을 가지는 도전체에는, 복수의 구조를 합쳐서 동일한 부호를 부여하는 경우가 있다. 또한 본 명세서 등에서 배선과, 배선에 전기적으로 접속되는 플러그가 일체물이어도 좋다. 즉, 도전체의 일부가 배선으로서 기능하는 경우 및 도전체의 일부가 플러그로서 기능하는 경우도 있다.

[0360] 예를 들어 트랜지스터(300) 위에는 층간막으로서 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)가 순차적으로 적층되어 제공되어 있다. 또한 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)에는, 용량 소자(100), 또는 트랜지스터(200)와 전기적으로 접속되는 도전체(328), 및 도전체(330) 등이 매립되어 있다. 또한 도전체(328) 및 도전체(330)는 플러그 또는 배선으로서 기능한다.

[0361] 또한 층간막으로서 기능하는 절연체는 그 아래쪽의 요철 형상을 피복하는 평탄화막으로서 기능하여도 좋다. 예를 들어 절연체(322)의 상면은 평탄성을 높이기 위하여 화학 기계 연마(CMP)법 등을 사용한 평탄화 처리에 의하여 평탄화되어도 좋다.

[0362] 절연체(326) 및 도전체(330) 위에 배선층을 제공하여도 좋다. 예를 들어 도 14에서는 절연체(350), 절연체(352), 및 절연체(354)가 순차적으로 적층되어 제공되어 있다. 또한 절연체(350), 절연체(352), 및 절연체(354)에는 도전체(356)가 형성되어 있다. 도전체(356)는 플러그 또는 배선으로서 기능한다.

[0363] 마찬가지로, 절연체(210), 절연체(212), 절연체(214), 및 절연체(216)에는 도전체(218), 트랜지스터(200)를 구성하는 도전체(도전체(205)) 등이 매립되어 있다. 또한, 도전체(218)는 용량 소자(100), 또는 트랜지스터(300)와 전기적으로 접속되는 플러그, 또는 배선으로서의 기능을 가진다. 또한 도전체(120) 및 절연체(130) 위에는 절연체(150)가 제공되어 있다.

[0364] 여기서, 앞의 실시형태에 나타난 절연체(241)와 마찬가지로, 플러그로서 기능하는 도전체(218)의 측면에 접하여 절연체(217)가 제공된다. 절연체(217)는, 절연체(210), 절연체(212), 절연체(214), 및 절연체(216)에 형성된 개구의 내벽에 접하여 제공되어 있다. 즉, 절연체(217)는 도전체(218)와, 절연체(210), 절연체(212), 절연체(214), 및 절연체(216) 사이에 제공되어 있다. 또한, 도전체(205)는 도전체(218)와 병행하여 형성할 수 있기 때문에, 도전체(205)의 측면에 접하여 절연체(217)가 형성되는 경우도 있다.

[0365] 절연체(217)로서는, 예를 들어 질화 실리콘, 산화 알루미늄, 질화산화 실리콘 등 절연체를 사용하면 좋다. 절연체(217)는 절연체(210), 절연체(212), 절연체(214), 절연체(216), 및 절연체(222)에 접하여 제공되기 때문에, 절연체(210), 절연체(216) 등에 포함되는 물, 수소 등의 불순물이 도전체(218)를 통하여 산화물(230)에 혼입되는 것을 억제할 수 있다. 특히 질화 실리콘은 수소에 대한 차단성이 높기 때문에 바람직하다. 또한, 절연체(210) 또는 절연체(216)에 포함되는 산소가 도전체(218)에 흡수되는 것을 방지할 수 있다.

[0366] 절연체(217)는 절연체(241)와 같은 방법으로 형성할 수 있다. 예를 들어, PEALD법을 사용하여 질화 실리콘을 성막하고, 이방성 에칭을 사용하여 도전체(356)에 도달하는 개구를 형성하면 좋다.

[0367] 층간막으로서 사용할 수 있는 절연체로서는, 절연성을 가지는 산화물, 질화물, 산화질화물, 질화산화물, 금속

산화물, 금속 산화질화물, 금속 질화산화물 등이 있다.

- [0368] 예를 들어, 층간막으로서 기능하는 절연체에는 비유전율이 낮은 재료를 사용함으로써, 배선 사이에 발생하는 기생 용량을 저감할 수 있다. 따라서 절연체의 기능에 따라 재료를 선택하는 것이 좋다.
- [0369] 예를 들어 절연체(150), 절연체(210), 절연체(352), 및 절연체(354) 등에는 비유전율이 낮은 절연체를 가지는 것이 바람직하다. 예를 들어 상기 절연체는 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 가지는 산화 실리콘, 수지 등을 가지는 것이 바람직하다. 또는 상기 절연체는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 또는 공공을 가지는 산화 실리콘과, 수지의 적층 구조를 가지는 것이 바람직하다. 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이기 때문에, 수지와 조합함으로써 열적으로 안정적이며 비유전율이 낮은 적층 구조로 할 수 있다. 수지로서는, 예를 들어 폴리에스터, 폴리올레핀, 폴리아마이드(나일론, 아라미드 등), 폴리이미드, 폴리카보네이트, 아크릴 등이 있다.
- [0370] 또한 산화물 반도체를 사용한 트랜지스터는, 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로 둘러싸으로써, 트랜지스터의 전기 특성을 안정적으로 할 수 있다. 따라서 절연체(214), 절연체(212), 절연체(350) 등으로서 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체를 사용하면 좋다.
- [0371] 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로서는 예를 들어 붕소, 탄소, 질소, 산소, 플루오린, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄, 또는 탄탈륨을 포함한 절연체를 단층으로 또는 적층으로 사용하면 좋다. 구체적으로는, 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로서 산화 알루미늄, 산화 마그네슘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 또는 산화 탄탈륨 등의 금속 산화물, 질화산화 실리콘, 질화 실리콘 등을 사용할 수 있다.
- [0372] 배선, 플러그에 사용할 수 있는 도전체에는 알루미늄, 크롬, 구리, 은, 금, 백금, 탄탈륨, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테튬 등 중에서 선택된 금속 원소를 1종류 이상 포함하는 재료를 사용할 수 있다. 또한 인 등의 불순물 원소를 함유시킨 다결정 실리콘으로 대표되는, 전기 전도도가 높은 반도체, 니켈실리사이드 등의 실리사이드를 사용하여도 좋다.
- [0373] 예를 들어 도전체(328), 도전체(330), 도전체(356), 도전체(218), 도전체(112) 등으로서, 상기 재료로 형성되는 금속 재료, 합금 재료, 금속 질화물 재료, 금속 산화물 재료 등의 도전성 재료를 단층으로 또는 적층으로 사용할 수 있다. 내열성과 도전성을 양립하는 텅스텐이나 몰리브데넘 등의 고용점 재료를 사용하는 것이 바람직하고, 텅스텐을 사용하는 것이 바람직하다. 또는 알루미늄이나 구리 등의 저저항 도전성 재료로 형성하는 것이 바람직하다. 저저항 도전성 재료를 사용함으로써, 배선 저항을 낮게 할 수 있다.
- [0374] <산화물 반도체가 제공된 층의 배선 또는 플러그>
- [0375] 또한 트랜지스터(200)에 산화물 반도체를 사용하는 경우, 산화물 반도체 근방에 과잉 산소 영역을 가지는 절연체가 제공되는 경우가 있다. 그 경우, 상기 과잉 산소 영역을 가지는 절연체와, 상기 과잉 산소 영역을 가지는 절연체에 제공하는 도전체 사이에 배리어성을 가지는 절연체를 제공하는 것이 바람직하다.
- [0376] 예를 들어 도 14에서는 과잉 산소를 포함하는 절연체(224) 및 절연체(280)와, 도전체(240) 사이에 절연체(241)를 제공하는 것이 좋다. 절연체(241), 절연체(222), 및 절연체(254)가 접하여 제공되면, 절연체(224) 및 트랜지스터(200)는 배리어성을 가지는 절연체로 밀봉되는 구조를 가질 수 있다. 또한 절연체(241)는 절연체(280)의 일부와 접하는 것이 바람직하다. 절연체(241)가 절연체(274)까지 연장되어 있음으로써, 산소나 불순물의 확산을 더 억제할 수 있다.
- [0377] 즉, 절연체(241)를 제공함으로써, 절연체(224) 및 절연체(280)에 포함되는 과잉 산소가 도전체(240)에 흡수되는 것을 억제할 수 있다. 또한 절연체(241)를 가짐으로써, 불순물인 수소가 도전체(240)를 통하여 트랜지스터(200)로 확산되는 것을 억제할 수 있다.
- [0378] 또한 절연체(241)에는, 물, 수소 등의 불순물 및 산소의 확산을 억제하는 기능을 가지는 절연성 재료를 사용하는 것이 좋다. 예를 들어, 질화 실리콘, 질화산화 실리콘, 산화 알루미늄, 산화 하프늄 등을 사용하는 것이 바람직하다. 특히 질화 실리콘은 수소에 대한 차단성이 높기 때문에 바람직하다. 또한, 이 외에도, 예를 들어 산화 마그네슘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 탄탈

럼 등의 금속 산화물 등을 사용할 수 있다.

- [0379] 이상이 구성예에 대한 설명이다. 본 구성을 사용함으로써, 산화물 반도체를 가지는 트랜지스터를 사용한 반도체 장치에서 전기 특성의 변동을 억제하면서 신뢰성을 향상시킬 수 있다. 또한 온 전류가 큰 산화물 반도체를 가지는 트랜지스터를 제공할 수 있다. 또한 오프 전류가 작은 산화물 반도체를 가지는 트랜지스터를 제공할 수 있다. 또한 소비 전력이 저감된 반도체 장치를 제공할 수 있다.
- [0380] [기억 장치 2]
- [0381] 본 발명의 일 형태인 반도체 장치를 사용한 기억 장치의 일례를 도 15에 나타내었다. 도 15에 나타난 기억 장치는 도 14에 나타난 트랜지스터(200), 트랜지스터(300), 및 용량 소자(100)를 가지는 반도체 장치에 더하여 트랜지스터(400)를 가진다.
- [0382] 트랜지스터(400)는 트랜지스터(200)의 제 2 게이트 전압을 제어할 수 있다. 예를 들어 트랜지스터(400)의 제 1 게이트 및 제 2 게이트를 소스에 다이오드 접속하고, 트랜지스터(400)의 소스와 트랜지스터(200)의 제 2 게이트를 접속하는 구성으로 한다. 상기 구성에서 트랜지스터(200)의 제 2 게이트의 음의 전위를 유지할 때, 트랜지스터(400)의 제 1 게이트-소스 사이의 전압 및 제 2 게이트-소스 사이의 전압은 0V가 된다. 트랜지스터(400)에 서는, 제 2 게이트 전압 및 제 1 게이트 전압이 0V일 때의 드레인 전류가 매우 작기 때문에, 트랜지스터(200) 및 트랜지스터(400)에 전원 공급을 하지 않아도, 트랜지스터(200)의 제 2 게이트의 음의 전위가 장시간 유지될 수 있다. 이로써, 트랜지스터(200) 및 트랜지스터(400)를 가지는 기억 장치는 장기간에 걸쳐 기억 내용을 유지할 수 있다.
- [0383] 따라서 도 15에서, 배선(1001)은 트랜지스터(300)의 소스에 전기적으로 접속되고, 배선(1002)은 트랜지스터(300)의 드레인에 전기적으로 접속되어 있다. 또한 배선(1003)은 트랜지스터(200)의 소스 및 드레인 중 한쪽에 전기적으로 접속되고, 배선(1004)은 트랜지스터(200)의 제 1 게이트에 전기적으로 접속되고, 배선(1006)은 트랜지스터(200)의 제 2 게이트에 전기적으로 접속되어 있다. 그리고 트랜지스터(300)의 게이트, 및 트랜지스터(200)의 소스 및 드레인 중 다른 쪽은 용량 소자(100)의 한쪽 전극에 전기적으로 접속되고, 배선(1005)은 용량 소자(100)의 다른 쪽 전극에 전기적으로 접속되어 있다. 배선(1007)은 트랜지스터(400)의 소스에 전기적으로 접속되고, 배선(1008)은 트랜지스터(400)의 제 1 게이트에 전기적으로 접속되고, 배선(1009)은 트랜지스터(400)의 제 2 게이트에 전기적으로 접속되고, 배선(1010)은 트랜지스터(400)의 드레인에 전기적으로 접속되어 있다. 여기서, 배선(1006), 배선(1007), 배선(1008), 및 배선(1009)이 전기적으로 접속되어 있다.
- [0384] 또한 도 15에 나타난 기억 장치는, 도 14에 나타난 기억 장치와 마찬가지로 매트릭스상으로 배치함으로써, 메모리 셀 어레이를 구성할 수 있다. 또한 하나의 트랜지스터(400)는 복수의 트랜지스터(200)의 제 2 게이트 전압을 제어할 수 있다. 그러므로 트랜지스터(400)는 트랜지스터(200)보다 적게 제공되는 것이 좋다.
- [0385] <트랜지스터(400)>
- [0386] 트랜지스터(400)는 트랜지스터(200)와 같은 층에 형성되고, 병행하여 제작할 수 있는 트랜지스터이다. 트랜지스터(400)는 제 1 게이트로서 기능하는 도전체(460)(도전체(460a) 및 도전체(460b))와, 제 2 게이트로서 기능하는 도전체(405)와, 게이트 절연층으로서 기능하는 절연체(222), 절연체(224), 및 절연체(450)와, 채널 형성 영역을 가지는 산화물(430c)과, 소스로서 기능하는 도전체(442a), 산화물(431a), 및 산화물(431b)과, 드레인으로서 기능하는 도전체(442b), 산화물(432a), 및 산화물(432b)과, 플러그로서 기능하는 도전체(440)(도전체(440a) 및 도전체(440b))와, 도전체(440)의 배리어 절연막으로서 기능하는 절연체(441)(절연체(441a) 및 절연체(441b))를 가진다.
- [0387] 도전체(405)와 도전체(205)는 같은 층에 형성된다. 산화물(431a) 및 산화물(432a)은 산화물(230a)과 같은 층에 형성되고, 산화물(431b) 및 산화물(432b)은 산화물(230b)과 같은 층에 형성된다. 도전체(442a) 및 도전체(442b)와 도전체(242)는 같은 층에 형성된다. 산화물(430c)과 산화물(230c)은 같은 층에 형성된다. 절연체(450)와 절연체(250)는 같은 층에 형성된다. 도전체(460)와 도전체(260)는 같은 층에 형성된다. 도전체(440)와 도전체(240)는 같은 층에 형성된다. 절연체(441)와 절연체(241)는 같은 층에 형성된다.
- [0388] 또한 같은 층에 형성된 구조체는 동시에 형성할 수 있다. 예를 들어 산화물(430c)은 산화물(230c)이 되는 산화막을 가공함으로써 형성할 수 있다.
- [0389] 트랜지스터(400)의 활성층으로서 기능하는 산화물(430c)은, 산화물(230) 등과 마찬가지로, 산소 결손이 저감되고 수소, 물 등의 불순물이 저감되어 있다. 이로써, 트랜지스터(400)의 문턱 전압을 0V보다 크게 하고, 오프

전류를 저장하고, 제 2 게이트 전압 및 제 1 게이트 전압이 0V일 때의 드레인 전류를 매우 작게 할 수 있다.

[0390] <다이싱 라인>

[0391] 이하에서는, 대면적 기판을 반도체 소자마다 분단함으로써, 복수의 반도체 장치를 칩 형상으로 얻는 경우에 제 공되는 다이싱 라인(스크라이브 라인, 분단 라인, 또는 절단 라인이라고 부르는 경우가 있음)에 대하여 설명한 다. 분단 방법으로서, 예를 들어 우선 기판에 반도체 소자를 분단하기 위한 홈(다이싱 라인)을 형성한 후, 다이싱 라인에서 절단하여, 복수의 반도체 장치로 분단(분할)하는 경우가 있다.

[0392] 여기서, 예를 들어 도 15에 나타난 바와 같이, 절연체(254)와 절연체(222)가 접하는 영역이 다이싱 라인이 되도 록 설계하는 것이 바람직하다. 즉, 복수의 트랜지스터(200)를 가지는 메모리 셀 및 트랜지스터(400)의 가장자 리에 제공되는 다이싱 라인이 되는 영역 근방에서, 절연체(224)에 개구를 제공한다. 또한, 절연체(224)의 측면 을 덮도록 절연체(254)를 제공한다.

[0393] 즉, 상기 절연체(224)에 제공된 개구에서, 절연체(222)와 절연체(254)가 접한다. 예를 들어, 이때 절연체(22 2)와 절연체(254)를 같은 재료 및 같은 방법을 사용하여 형성하여도 좋다. 절연체(222)와 절연체(254)를 같은 재료 및 같은 방법으로 제공함으로써, 밀착성을 높일 수 있다. 예를 들어 산화 알루미늄을 사용하는 것이 바람 직하다.

[0394] 상기 구조에 의하여, 절연체(222) 및 절연체(254)로 절연체(224), 트랜지스터(200), 및 트랜지스터(400)를 둘러 쌀 수 있다. 절연체(222) 및 절연체(254)는 산소, 수소, 및 물의 확산을 억제하는 기능을 가지기 때문에, 본 실시형태에 나타난 반도체 소자가 형성된 회로 영역마다 기판을 분단함으로써, 복수의 칩으로 가공하여도, 분단 한 기판의 측면 방향으로부터 수소, 물 등의 불순물이 혼입되어 트랜지스터(200) 및 트랜지스터(400)로 확산되 는 것을 방지할 수 있다.

[0395] 또한 상기 구조에 의하여, 절연체(224)의 과잉 산소가 절연체(254) 및 절연체(222)를 통하여 외부로 확산되는 것을 방지할 수 있다. 따라서 절연체(224)의 과잉 산소는 트랜지스터(200) 또는 트랜지스터(400)에서 채널이 형성되는 산화물에 효율적으로 공급된다. 상기 산소에 의하여 트랜지스터(200) 또는 트랜지스터(400)에서 채널 이 형성되는 산화물의 산소 결손을 저감할 수 있다. 이로써 트랜지스터(200) 또는 트랜지스터(400)에서 채널이 형성되는 산화물을 결함 준위 밀도가 낮고 안정적인 특성을 가지는 산화물 반도체로 할 수 있다. 즉 트랜지스 터(200) 또는 트랜지스터(400)의 전기 특성의 변동을 억제하면서 신뢰성을 향상시킬 수 있다.

[0396] 본 실시형태에 나타난 구성, 방법 등은 다른 실시형태, 실시예 등에 기재되는 구성, 방법 등과 적절히 조합하여 사용할 수 있다.

[0397] (실시형태 3)

[0398] 본 실시형태에서는, 도 16 및 도 17을 사용하여 본 발명의 일 형태에 따른 산화물을 반도체에 사용한 트랜지스 터(이하, OS 트랜지스터라고 부르는 경우가 있음) 및 용량 소자가 적용된 기억 장치(이하, OS 메모리 장치라고 부르는 경우가 있음)에 대하여 설명한다. OS 메모리 장치는 적어도 용량 소자와, 용량 소자의 충방전을 제어하 는 OS 트랜지스터를 가지는 기억 장치이다. OS 트랜지스터의 오프 전류는 매우 작기 때문에, OS 메모리 장치는 유지 특성이 우수하고, 비휘발성 메모리로서 기능할 수 있다.

[0399] <기억 장치의 구성예>

[0400] 도 16의 (A)에 OS 메모리 장치의 구성의 일례를 나타내었다. 기억 장치(1400)는 주변 회로(1411) 및 메모리 셀 어레이(1470)를 가진다. 주변 회로(1411)는 행 회로(1420), 열 회로(1430), 출력 회로(1440), 및 컨트롤 로직 회로(1460)를 가진다.

[0401] 열 회로(1430)는 예를 들어 열 디코더, 프리차지 회로, 감지 증폭기, 기록 회로 등을 가진다. 프리차지 회로는 배선을 프리차지하는 기능을 가진다. 감지 증폭기는 메모리 셀로부터 판독된 데이터 신호를 증폭하는 기능을 가진다. 또한 상기 배선은 메모리 셀 어레이(1470)가 가지는 메모리 셀에 접속되는 배선이고, 자세한 내용은 후술한다. 증폭된 데이터 신호는 출력 회로(1440)를 통하여 데이터 신호(RDATA)로서 기억 장치(1400)의 외부에 출력된다. 또한 행 회로(1420)는, 예를 들어 행 디코더, 워드선 드라이버 회로 등을 가지고, 액세스하는 행을 선택할 수 있다.

[0402] 기억 장치(1400)에는 외부로부터 전원 전압으로서 저전원 전압(VSS), 주변 회로(1411)용 고전원 전압(VDD), 메 모리 셀 어레이(1470)용 고전원 전압(VIL)이 공급된다. 또한 기억 장치(1400)에는 제어 신호(CE, WE, RE), 어

드레스 신호(ADDR), 데이터 신호(WDATA)가 외부로부터 입력된다. 어드레스 신호(ADDR)는 행 디코더 및 열 디코더에 입력되고, 데이터 신호(WDATA)는 기록 회로에 입력된다.

- [0403] 컨트롤 로직 회로(1460)는 외부로부터 입력되는 제어 신호(CE, WE, RE)를 처리하고, 행 디코더, 열 디코더의 제어 신호를 생성한다. 제어 신호(CE)는 칩 인에이블 신호이고, 제어 신호(WE)는 기록 인에이블 신호이고, 제어 신호(RE)는 판독 인에이블 신호이다. 컨트롤 로직 회로(1460)가 처리하는 신호는 이들에 한정되지 않고, 필요에 따라 다른 제어 신호를 입력하면 좋다.
- [0404] 메모리 셀 어레이(1470)는 매트릭스상으로 배치된 복수의 메모리 셀(MC)과 복수의 배선을 가진다. 또한 메모리 셀 어레이(1470)와 행 회로(1420)를 접속하는 배선의 수는 메모리 셀(MC)의 구성, 1열에 포함되는 메모리 셀(MC)의 개수 등에 따라 결정된다. 또한 메모리 셀 어레이(1470)와 열 회로(1430)를 접속하는 배선의 수는 메모리 셀(MC)의 구성, 1행에 포함되는 메모리 셀(MC)의 개수 등에 따라 결정된다.
- [0405] 또한 도 16의 (A)에서는 주변 회로(1411)와 메모리 셀 어레이(1470)를 동일 평면 위에 형성하는 예를 나타내었지만, 본 실시형태는 이에 한정되는 것이 아니다. 예를 들어 도 16의 (B)에 나타난 바와 같이, 주변 회로(1411)의 일부 위에 중첩되도록 메모리 셀 어레이(1470)를 제공하여도 좋다. 예를 들어 메모리 셀 어레이(1470) 아래에 중첩되도록 감지 증폭기를 제공하는 구성으로 하여도 좋다.
- [0406] 도 17은 상술한 메모리 셀(MC)에 적용할 수 있는 메모리 셀의 구성예에 대하여 설명한 것이다.
- [0407] [DOSRAM]
- [0408] 도 17의 (A) 내지 (C)에 DRAM의 메모리 셀의 회로 구성예를 나타내었다. 본 명세서 등에서는, 1OS 트랜지스터 1용량 소자형 메모리 셀을 사용한 DRAM을 DOSRAM(Dynamic Oxide Semiconductor Random Access Memory)이라고 부르는 경우가 있다. 도 17의 (A)에 나타난 메모리 셀(1471)은 트랜지스터(M1)와 용량 소자(CA)를 가진다. 또한 트랜지스터(M1)는 게이트(톱 게이트라고 부르는 경우가 있음) 및 백 게이트를 가진다.
- [0409] 트랜지스터(M1)의 제 1 단자는 용량 소자(CA)의 제 1 단자에 접속되고, 트랜지스터(M1)의 제 2 단자는 배선(BIL)에 접속되고, 트랜지스터(M1)의 게이트는 배선(WOL)에 접속되고, 트랜지스터(M1)의 백 게이트는 배선(BGL)에 접속되어 있다. 용량 소자(CA)의 제 2 단자는 배선(CAL)에 접속되어 있다.
- [0410] 배선(BIL)은 비트선으로서 기능하고, 배선(WOL)은 워드선으로서 기능한다. 배선(CAL)은 용량 소자(CA)의 제 2 단자에 소정의 전위를 인가하기 위한 배선으로서 기능한다. 데이터의 기록 시 및 판독 시, 배선(CAL)에는 저레벨 전위를 인가하는 것이 바람직하다. 배선(BGL)은 트랜지스터(M1)의 백 게이트에 전위를 인가하기 위한 배선으로서 기능한다. 배선(BGL)에 임의의 전위를 인가함으로써, 트랜지스터(M1)의 문턱 전압을 증감시킬 수 있다.
- [0411] 여기서, 도 17의 (A)에 나타난 메모리 셀(1471)은, 도 14에 나타난 기억 장치에 대응한다. 즉, 트랜지스터(M1)는 트랜지스터(200)에, 용량 소자(CA)는 용량 소자(100)에, 배선(BIL)은 배선(1003)에, 배선(WOL)은 배선(1004)에, 배선(BGL)은 배선(1006)에, 배선(CAL)은 배선(1005)에 대응한다. 또한 도 14에 나타난 트랜지스터(300)는, 도 16의 (B)에 나타난 기억 장치(1400)의 주변 회로(1411)에 제공되는 트랜지스터에 대응한다.
- [0412] 또한 메모리 셀(MC)은 메모리 셀(1471)에 한정되지 않고, 회로 구성을 변경할 수 있다. 예를 들어 메모리 셀(MC)은 도 17의 (B)에 나타난 메모리 셀(1472)과 같이, 트랜지스터(M1)의 백 게이트가 배선(BGL)이 아니라 배선(WOL)에 접속되는 구성으로 하여도 좋다. 또한 예를 들어 메모리 셀(MC)은 도 17의 (C)에 나타난 메모리 셀(1473)과 같이, 싱글 게이트 구조의 트랜지스터, 즉 백 게이트를 가지지 않는 트랜지스터(M1)로 구성된 메모리 셀이어도 좋다.
- [0413] 앞의 실시형태에서 설명한 반도체 장치를 메모리 셀(1471) 등에 사용하는 경우, 트랜지스터(M1)로서 트랜지스터(200)를 사용하고, 용량 소자(CA)로서 용량 소자(100)를 사용할 수 있다. 트랜지스터(M1)로서 OS 트랜지스터를 사용함으로써, 트랜지스터(M1)의 누설 전류를 매우 작게 할 수 있다. 즉, 기록한 데이터가 트랜지스터(M1)에 의하여 장시간 유지될 수 있기 때문에, 메모리 셀의 리프레시 빈도를 낮출 수 있다. 또한 메모리 셀의 리프레시 동작을 불필요하게 할 수 있다. 또한 누설 전류가 매우 작기 때문에, 메모리 셀(1471), 메모리 셀(1472), 메모리 셀(1473)에서 멀티레벨 데이터 또는 아날로그 데이터를 유지할 수 있다.
- [0414] 또한 DOSRAM에서, 상술한 바와 같이 메모리 셀 어레이(1470) 아래에 중첩되도록 감지 증폭기를 제공하는 구성으로 하면, 비트선을 짧게 할 수 있다. 이로써, 비트선 용량이 작아지고 메모리 셀의 유지 용량을 저감할 수 있다.

- [0415] [NOSRAM]
- [0416] 도 17의 (D) 내지 (G)에 2트랜지스터 1용량 소자의 게인 셀형 메모리 셀의 회로 구성예를 나타내었다. 도 17의 (D)에 나타난 메모리 셀(1474)은 트랜지스터(M2)와 트랜지스터(M3)와 용량 소자(CB)를 가진다. 또한 트랜지스터(M2)는 톱 게이트(단순히 게이트라고 부르는 경우가 있음) 및 백 게이트를 가진다. 본 명세서 등에서는, 트랜지스터(M2)로서 OS 트랜지스터를 사용한 게인 셀형 메모리 셀을 가지는 기억 장치를 NOSRAM(Nonvolatile Oxide Semiconductor RAM)이라고 부르는 경우가 있다.
- [0417] 트랜지스터(M2)의 제 1 단자는 용량 소자(CB)의 제 1 단자에 접속되고, 트랜지스터(M2)의 제 2 단자는 배선(WBL)에 접속되고, 트랜지스터(M2)의 게이트는 배선(WOL)에 접속되고, 트랜지스터(M2)의 백 게이트는 배선(BGL)에 접속되어 있다. 용량 소자(CB)의 제 2 단자는 배선(CAL)에 접속되어 있다. 트랜지스터(M3)의 제 1 단자는 배선(RBL)에 접속되고, 트랜지스터(M3)의 제 2 단자는 배선(SL)에 접속되고, 트랜지스터(M3)의 게이트는 용량 소자(CB)의 제 1 단자에 접속되어 있다.
- [0418] 배선(WBL)은 기록 비트선으로서 기능하고, 배선(RBL)은 판독 비트선으로서 기능하고, 배선(WOL)은 워드선으로서 기능한다. 배선(CAL)은 용량 소자(CB)의 제 2 단자에 소정의 전위를 인가하기 위한 배선으로서 기능한다. 데이터의 기록 시, 데이터 유지 중, 데이터의 판독 시, 배선(CAL)에는 저레벨 전위를 인가하는 것이 바람직하다. 배선(BGL)은 트랜지스터(M2)의 백 게이트에 전위를 인가하기 위한 배선으로서 기능한다. 배선(BGL)에 임의의 전위를 인가함으로써, 트랜지스터(M2)의 문턱 전압을 증감시킬 수 있다.
- [0419] 여기서, 도 17의 (D)에 나타난 메모리 셀(1474)은, 도 15에 나타난 기억 장치에 대응한다. 즉, 트랜지스터(M2)는 트랜지스터(200)에, 용량 소자(CB)는 용량 소자(100)에, 트랜지스터(M3)는 트랜지스터(300)에, 배선(WBL)은 배선(1003)에, 배선(WOL)은 배선(1004)에, 배선(BGL)은 배선(1006)에, 배선(CAL)은 배선(1005)에, 배선(RBL)은 배선(1001)에, 배선(SL)은 배선(1002)에 대응한다.
- [0420] 또한 메모리 셀(MC)은 메모리 셀(1474)에 한정되지 않고, 회로 구성을 적절히 변경할 수 있다. 예를 들어 메모리 셀(MC)은 도 17의 (E)에 나타난 메모리 셀(1475)과 같이, 트랜지스터(M2)의 백 게이트가 배선(BGL)이 아니라 배선(WOL)에 접속되는 구성으로 하여도 좋다. 또한 예를 들어 메모리 셀(MC)은 도 17의 (F)에 나타난 메모리 셀(1476)과 같이, 싱글 게이트 구조의 트랜지스터, 즉 백 게이트를 가지지 않는 트랜지스터(M2)로 구성된 메모리 셀이어도 좋다. 또한 예를 들어 메모리 셀(MC)은 도 17의 (G)에 나타난 메모리 셀(1477)과 같이, 배선(WBL)과 배선(RBL)을 하나의 배선(BIL)으로 합친 구성이어도 좋다.
- [0421] 앞의 실시형태에서 설명한 반도체 장치를 메모리 셀(1474) 등에 사용하는 경우, 트랜지스터(M2)로서 트랜지스터(200)를 사용하고, 트랜지스터(M3)로서 트랜지스터(300)를 사용하고, 용량 소자(CB)로서 용량 소자(100)를 사용할 수 있다. 트랜지스터(M2)로서 OS 트랜지스터를 사용함으로써, 트랜지스터(M2)의 누설 전류를 매우 작게 할 수 있다. 이에 의하여, 기록한 데이터가 트랜지스터(M2)에 의하여 장시간 유지될 수 있기 때문에, 메모리 셀의 리프레시 빈도를 낮출 수 있다. 또한 메모리 셀의 리프레시 동작을 불필요하게 할 수 있다. 또한 누설 전류가 매우 작기 때문에, 메모리 셀(1474)에서 멀티레벨 데이터 또는 아날로그 데이터를 유지할 수 있다. 메모리 셀(1475) 내지 메모리 셀(1477)도 마찬가지이다.
- [0422] 또한 트랜지스터(M3)는 채널 형성 영역에 실리콘을 포함하는 트랜지스터(이하, Si 트랜지스터라고 부르는 경우가 있음)이어도 좋다. Si 트랜지스터의 도전형은 n채널형이어도 좋고, p채널형이어도 좋다. Si 트랜지스터는 OS 트랜지스터보다 전계 효과 이동도가 높은 경우가 있다. 따라서 판독 트랜지스터로서 기능하는 트랜지스터(M3)로서 Si 트랜지스터를 사용하여도 좋다. 또한 트랜지스터(M3)로서 Si 트랜지스터를 사용함으로써, 트랜지스터(M3) 위에 적층하여 트랜지스터(M2)를 제공할 수 있기 때문에, 메모리 셀의 점유 면적을 축소하여, 기억 장치를 고집적화할 수 있다.
- [0423] 또한 트랜지스터(M3)는 OS 트랜지스터이어도 좋다. 트랜지스터(M2) 및 트랜지스터(M3)로서 OS 트랜지스터를 사용한 경우, 메모리 셀 어레이(1470)의 회로를 n형 트랜지스터만을 사용하여 구성할 수 있다.
- [0424] 또한 도 17의 (H)에 3트랜지스터 1용량 소자의 게인 셀형 메모리 셀의 일례를 나타내었다. 도 17의 (H)에 나타난 메모리 셀(1478)은 트랜지스터(M4) 내지 트랜지스터(M6) 및 용량 소자(CC)를 가진다. 용량 소자(CC)는 적절히 제공된다. 메모리 셀(1478)은 배선(BIL), 배선(RWL), 배선(WWL), 배선(BGL), 및 배선(GNDL)에 전기적으로 접속되어 있다. 배선(GNDL)은 저레벨 전위를 인가하는 배선이다. 또한 메모리 셀(1478)을 배선(BIL) 대신에 배선(RBL), 배선(WBL)에 전기적으로 접속하여도 좋다.

- [0425] 트랜지스터(M4)는 백 게이트를 가지는 OS 트랜지스터이고, 백 게이트는 배선(BGL)에 전기적으로 접속되어 있다. 또한 트랜지스터(M4)의 백 게이트와 게이트를 서로 전기적으로 접속하여도 좋다. 또는 트랜지스터(M4)는 백 게이트를 가지지 않아도 된다.
- [0426] 또한 트랜지스터(M5), 트랜지스터(M6)는 각각, n채널형 Si 트랜지스터 또는 p채널형 Si 트랜지스터이어도 좋다. 또는 트랜지스터(M4) 내지 트랜지스터(M6)가 OS 트랜지스터이어도 좋다. 이 경우, 메모리 셀 어레이(1470)의 회로를 n형 트랜지스터만을 사용하여 구성할 수 있다.
- [0427] 앞의 실시형태에서 설명한 반도체 장치를 메모리 셀(1478)에 사용하는 경우, 트랜지스터(M4)로서 트랜지스터(200)를 사용하고, 트랜지스터(M5), 트랜지스터(M6)로서 트랜지스터(300)를 사용하고, 용량 소자(CC)로서 용량 소자(100)를 사용할 수 있다. 트랜지스터(M4)로서 OS 트랜지스터를 사용함으로써, 트랜지스터(M4)의 누설 전류를 매우 작게 할 수 있다.
- [0428] 또한 본 실시형태에서 설명한 주변 회로(1411), 메모리 셀 어레이(1470) 등의 구성은 상기에 한정되지 않는다. 이들 회로 및 상기 회로에 접속되는 배선, 회로 소자 등의 배치 또는 기능은 필요에 따라 변경, 삭제, 또는 추가되어도 좋다.
- [0429] 또한, 본 명세서 등에 나타난 트랜지스터는 더블 게이트형 트랜지스터이어도 좋다. 도 18의 (A)에 더블 게이트형 트랜지스터(1500A)의 회로 기호예를 나타내었다.
- [0430] 트랜지스터(1500A)는 트랜지스터(Tr1)와 트랜지스터(Tr2)가 직렬로 접속된 구성을 가진다. 도 18의 (A)에서는 트랜지스터(Tr1)의 소스 및 드레인 중 한쪽이 단자(S)와 전기적으로 접속되고, 트랜지스터(Tr1)의 소스 및 드레인 중 다른 쪽이 트랜지스터(Tr2)의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 트랜지스터(Tr2)의 소스 및 드레인 중 다른 쪽이 단자(D)와 전기적으로 접속되어 있는 상태를 나타내었다. 또한 도 18의 (A)에서는 트랜지스터(Tr1)와 트랜지스터(Tr2)의 게이트가 전기적으로 접속되고, 또한 단자(G)와 전기적으로 접속되어 있는 상태를 나타내었다.
- [0431] 도 18의 (A)에 나타난 트랜지스터(1500A)는 단자(G)의 전위를 변화시킴으로써 단자(S)와 단자(D) 사이의 도통 상태와 비도통 상태를 전환하는 기능을 가진다. 따라서 더블 게이트형 트랜지스터인 트랜지스터(1500A)는 트랜지스터(Tr1)와 트랜지스터(Tr2)를 포함하고 하나의 트랜지스터로서 기능한다. 즉, 도 18의 (A)에서 트랜지스터(1500A)의 소스 및 드레인 중 한쪽은 단자(S)와 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽은 단자(D)와 전기적으로 접속되고, 게이트는 단자(G)와 전기적으로 접속되어 있다고 말할 수 있다.
- [0432] 또한, 본 명세서 등에 나타난 트랜지스터는 트리플 게이트형 트랜지스터이어도 좋다. 도 18의 (B)에 트리플 게이트형 트랜지스터(1500B)의 회로 기호예를 나타내었다.
- [0433] 트랜지스터(1500B)는 트랜지스터(Tr1), 트랜지스터(Tr2), 및 트랜지스터(Tr3)가 직렬로 접속된 구성을 가진다. 도 18의 (B)에서는 트랜지스터(Tr1)의 소스 및 드레인 중 한쪽이 단자(S)와 전기적으로 접속되고, 트랜지스터(Tr1)의 소스 및 드레인 중 다른 쪽이 트랜지스터(Tr2)의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 트랜지스터(Tr2)의 소스 및 드레인 중 다른 쪽이 트랜지스터(Tr3)의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 트랜지스터(Tr3)의 소스 및 드레인 중 다른 쪽이 단자(D)와 전기적으로 접속되어 있는 상태를 나타내었다. 또한 도 18의 (B)에서는 트랜지스터(Tr1), 트랜지스터(Tr2), 및 트랜지스터(Tr3)의 게이트가 전기적으로 접속되고, 또한 단자(G)와 전기적으로 접속되어 있는 상태를 나타내었다.
- [0434] 도 18의 (B)에 나타난 트랜지스터(1500B)는 단자(G)의 전위를 변화시킴으로써 단자(S)와 단자(D) 사이의 도통 상태와 비도통 상태를 전환하는 기능을 가진다. 따라서 트리플 게이트형 트랜지스터인 트랜지스터(1500B)는 트랜지스터(Tr1), 트랜지스터(Tr2), 및 트랜지스터(Tr3)를 포함하고 하나의 트랜지스터로서 기능한다. 즉, 도 18의 (B)에서 트랜지스터(1500B)의 소스 및 드레인 중 한쪽은 단자(S)와 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽은 단자(D)와 전기적으로 접속되고, 게이트는 단자(G)와 전기적으로 접속되어 있다고 말할 수 있다.
- [0435] 트랜지스터(1500A) 및 트랜지스터(1500B)와 같이, 복수의 게이트를 가지고, 또한 복수의 게이트가 전기적으로 접속되어 있는 트랜지스터를 "멀티 게이트형 트랜지스터" 또는 "멀티 게이트 트랜지스터"라고 부르는 경우가 있다.
- [0436] 또한, 본 명세서 등에서 나타난 트랜지스터는 백 게이트를 가지는 트랜지스터이어도 좋다. 도 18의 (C)에 백 게이트를 가지는 트랜지스터(1500C)의 회로 기호예를 나타내었다. 또한 도 18의 (D)에 백 게이트를 가지는 트랜지스터(1500D)의 회로 기호예를 나타내었다.

- [0437] 트랜지스터(1500C)는 게이트와 백 게이트가 전기적으로 접속되는 구성을 가진다. 트랜지스터(1500D)는 백 게이트가 단자(BG)와 전기적으로 접속되는 구성을 가진다. 백 게이트는 게이트와 백 게이트로 반도체층의 채널 형성 영역을 끼우도록 배치된다. 백 게이트는 게이트와 마찬가지로 기능시킬 수 있다.
- [0438] 게이트와 백 게이트가 전기적으로 접속됨으로써, 트랜지스터의 온 전류를 늘릴 수 있다. 또한 백 게이트의 전위를 독립적으로 변화시킴으로써 트랜지스터의 문턱 전압을 변화시킬 수 있다.
- [0439] 본 실시형태에 나타난 구성은 다른 실시형태, 실시예 등에 기재되는 구성과 적절히 조합하여 사용할 수 있다.
- [0440] (실시형태 4)
- [0441] 본 실시형태에서는, 도 19를 사용하여 본 발명의 반도체 장치가 실장된 칩(1200)의 일례를 설명한다. 칩(1200)에는 복수의 회로(시스템)가 실장되어 있다. 이와 같이, 복수의 회로(시스템)를 하나의 칩에 집적하는 기술을 시스템 온 칩(System on Chip: SoC)이라고 부르는 경우가 있다.
- [0442] 도 19의 (A)에 나타난 바와 같이, 칩(1200)은 CPU(1211), GPU(1212), 하나 또는 복수의 아날로그 연산부(1213), 하나 또는 복수의 메모리 컨트롤러(1214), 하나 또는 복수의 인터페이스(1215), 하나 또는 복수의 네트워크 회로(1216) 등을 가진다.
- [0443] 칩(1200)에는 범프(도시하지 않았음)가 제공되고, 도 19의 (B)에 나타난 바와 같이, 인쇄 회로 기판(Printed Circuit Board: PCB)(1201)의 제 1 면에 접속된다. 또한 PCB(1201)의 제 1 면의 뒷면에는 복수의 범프(1202)가 제공되고, 마더보드(1203)에 접속된다.
- [0444] 마더보드(1203)에는 DRAM(1221), 플래시 메모리(1222) 등의 기억 장치가 제공되어도 좋다. 예를 들어 DRAM(1221)으로서 앞의 실시형태에서 설명한 DOSRAM을 사용할 수 있다. 또한 예를 들어 플래시 메모리(1222)로서 앞의 실시형태에서 설명한 NOSRAM을 사용할 수 있다.
- [0445] CPU(1211)는 복수의 CPU 코어를 가지는 것이 바람직하다. 또한 GPU(1212)는 복수의 GPU 코어를 가지는 것이 바람직하다. 또한 CPU(1211) 및 GPU(1212)는 각각 일시적으로 데이터를 저장하는 메모리를 가져도 좋다. 또는 CPU(1211) 및 GPU(1212)에 공통된 메모리가 칩(1200)에 제공되어도 좋다. 상기 메모리로서는 상술한 NOSRAM이나 DOSRAM을 사용할 수 있다. 또한 GPU(1212)는 다수의 데이터의 병렬 계산에 적합하고, 화상 처리나 적화 연산에 사용할 수 있다. GPU(1212)에, 산화물 반도체를 사용한 화상 처리 회로나, 산화물 반도체를 사용한 적화 연산 회로를 제공함으로써, 화상 처리 및 적화 연산을 저소비 전력으로 실행할 수 있다.
- [0446] 또한 CPU(1211) 및 GPU(1212)가 동일한 칩에 제공되면, CPU(1211)와 GPU(1212) 간의 배선을 짧게 할 수 있기 때문에, CPU(1211)로부터 GPU(1212)로의 데이터 전송(轉送), CPU(1211) 및 GPU(1212)가 가지는 메모리 간의 데이터 전송, 그리고 GPU(1212)에서의 연산 후의, GPU(1212)로부터 CPU(1211)로의 연산 결과의 전송을 고속으로 수행할 수 있다.
- [0447] 아날로그 연산부(1213)는 A/D(아날로그/디지털) 변환 회로 및 D/A(디지털/아날로그) 변환 회로 중 한쪽 또는 양쪽을 가진다. 또한 아날로그 연산부(1213)에 상기 적화 연산 회로를 제공하여도 좋다.
- [0448] 메모리 컨트롤러(1214)는 DRAM(1221)의 컨트롤러로서 기능하는 회로 및 플래시 메모리(1222)의 인터페이스로서 기능하는 회로를 가진다.
- [0449] 인터페이스(1215)는 표시 장치, 스피커, 마이크로폰, 카메라, 컨트롤러 등의 외부 접속 기기와의 인터페이스 회로를 가진다. 컨트롤러에는 마우스, 키보드, 게임용 컨트롤러 등이 포함된다. 이와 같은 인터페이스로서, USB(Universal Serial Bus), HDMI(등록 상표)(High-Definition Multimedia Interface) 등을 사용할 수 있다.
- [0450] 네트워크 회로(1216)는 LAN(Local Area Network) 등의 네트워크 회로를 가진다. 또한 네트워크 보안용 회로를 가져도 좋다.
- [0451] 칩(1200)에는 상기 회로(시스템)를 동일한 제조 공정으로 형성할 수 있다. 그러므로 칩(1200)에 필요한 회로의 개수가 증가하여도 제조 공정을 증가시킬 필요가 없어, 칩(1200)을 낮은 비용으로 제작할 수 있다.
- [0452] GPU(1212)를 가지는 칩(1200)이 제공된 PCB(1201), DRAM(1221), 및 플래시 메모리(1222)가 제공된 마더보드(1203)를 GPU 모듈(1204)이라고 부를 수 있다.
- [0453] GPU 모듈(1204)은 SoC 기술을 사용한 칩(1200)을 가지기 때문에, 그 크기를 작게 할 수 있다. 또한 화상 처리가 우수하기 때문에, 스마트폰, 태블릿 단말기, 랩톱 PC, 휴대용(들고 다닐 수 있는) 게임기 등의 휴대용 전자

기기에 사용하는 것이 적합하다. 또한 GPU(1212)를 사용한 적화 연산 회로에 의하여, 심층 신경망(DNN), 합성곱 신경망(CNN), 순환 신경망(RNN), 자기 부호화기, 심층 볼츠만 머신(DBM), 심층 신뢰 신경망(DBN) 등의 방법을 실행할 수 있기 때문에, 칩(1200)을 AI 칩으로서, 또는 GPU 모듈(1204)을 AI 시스템 모듈로서 사용할 수 있다.

[0454] 본 실시형태에 나타난 구성은 다른 실시형태, 실시예 등에 기재되는 구성과 적절히 조합하여 사용할 수 있다.

[0455] (실시형태 5)

[0456] 본 실시형태에서는, 앞의 실시형태에서 설명한 반도체 장치를 사용한 기억 장치의 응용예에 대하여 설명한다. 앞의 실시형태에서 설명한 반도체 장치는, 예를 들어 각종 전자 기기(예를 들어 정보 단말기, 컴퓨터, 스마트폰, 전자책 단말기, 디지털 카메라(비디오 카메라도 포함함), 녹화 재생 장치, 내비게이션 시스템 등)의 기억 장치에 적용할 수 있다. 또한 여기서 컴퓨터에는, 태블릿형 컴퓨터, 노트북형 컴퓨터, 데스크톱형 컴퓨터 뿐만 아니라, 서버 시스템과 같은 대형 컴퓨터도 포함된다. 또는 앞의 실시형태에서 설명한 반도체 장치는, 메모리 카드(예를 들어 SD 카드), USB 메모리, SSD(Solid State Drive) 등의 각종 리무버블 기억 장치에 적용된다. 도 20에 리무버블 기억 장치의 몇 가지 구성예를 모식적으로 나타내었다. 예를 들어 앞의 실시형태에서 설명한 반도체 장치는 패키징된 메모리 칩으로 가공되고, 다양한 기억 장치, 리무버블 메모리에 사용된다.

[0457] 도 20의 (A)는 USB 메모리의 모식도이다. USB 메모리(1100)는 하우징(1101), 캡(1102), USB 커넥터(1103), 및 기판(1104)을 가진다. 기판(1104)은 하우징(1101)에 수납되어 있다. 예를 들어 기판(1104)에는 메모리 칩(1105), 컨트롤러 칩(1106)이 장착되어 있다. 메모리 칩(1105) 등에 앞의 실시형태에서 설명한 반도체 장치를 포함시킬 수 있다.

[0458] 도 20의 (B)는 SD 카드의 외관의 모식도이고, 도 20의 (C)는 SD 카드의 내부 구조의 모식도이다. SD 카드(1110)는 하우징(1111), 커넥터(1112), 및 기판(1113)을 가진다. 기판(1113)은 하우징(1111)에 수납되어 있다. 예를 들어 기판(1113)에는 메모리 칩(1114), 컨트롤러 칩(1115)이 장착되어 있다. 기판(1113)의 뒷면 측에도 메모리 칩(1114)을 제공함으로써, SD 카드(1110)의 용량을 증가시킬 수 있다. 또한 무선 통신 기능을 가지는 무선 칩을 기판(1113)에 제공하여도 좋다. 이로써, 호스트 장치와 SD 카드(1110) 사이의 무선 통신에 의하여 메모리 칩(1114)의 데이터의 판독, 기록이 가능하게 된다. 메모리 칩(1114) 등에 앞의 실시형태에서 설명한 반도체 장치를 포함시킬 수 있다.

[0459] 도 20의 (D)는 SSD의 외관의 모식도이고, 도 20의 (E)는 SSD의 내부 구조의 모식도이다. SSD(1150)는 하우징(1151), 커넥터(1152), 및 기판(1153)을 가진다. 기판(1153)은 하우징(1151)에 수납되어 있다. 예를 들어 기판(1153)에는 메모리 칩(1154), 메모리 칩(1155), 컨트롤러 칩(1156)이 장착되어 있다. 메모리 칩(1155)은 컨트롤러 칩(1156)의 작업 메모리이고, 예를 들어 DOSRAM 칩을 사용하면 좋다. 기판(1153)의 뒷면 측에도 메모리 칩(1154)을 제공함으로써, SSD(1150)의 용량을 증가시킬 수 있다. 메모리 칩(1154) 등에 앞의 실시형태에서 설명한 반도체 장치를 포함시킬 수 있다.

[0460] 본 실시형태는 다른 실시형태, 실시예 등에 기재된 구성과 적절히 조합하여 실시할 수 있다.

[0461] (실시형태 6)

[0462] 본 발명의 일 형태에 따른 반도체 장치는 CPU나 GPU 등의 프로세서 또는 칩에 사용할 수 있다. 도 21에 본 발명의 일 형태에 따른 CPU나 GPU 등의 프로세서 또는 칩을 가지는 전자 기기의 구체적인 예를 나타내었다.

[0463] <전자 기기 · 시스템>

[0464] 본 발명의 일 형태에 따른 GPU 또는 칩은 다양한 전자 기기에 탑재할 수 있다. 전자 기기의 예로서는 예를 들어 텔레비전 장치, 데스크톱형 또는 노트북형 정보 단말기용 등의 모니터, 디지털 사이니지(Digital Signage: 전자 간판), 파친코기 등의 대형 게임기 등 비교적 큰 화면을 가지는 전자 기기 외에, 디지털 카메라, 디지털 비디오 카메라, 디지털 액자, 전자책 단말기, 휴대 전화기, 휴대용 게임기, 휴대 정보 단말기, 음향 재생 장치 등이 있다. 또한 본 발명의 일 형태에 따른 GPU 또는 칩을 전자 기기에 제공함으로써, 전자 기기에 인공 지능을 탑재할 수 있다.

[0465] 본 발명의 일 형태의 전자 기기는 안테나를 가져도 좋다. 안테나로 신호를 수신함으로써 표시부에서 영상이나 정보 등을 표시할 수 있다. 또한 전자 기기가 안테나 및 이차 전지를 가지는 경우, 안테나를 비접촉 전력 전송(傳送)에 사용하여도 좋다.

- [0466] 본 발명의 일 형태의 전자 기기는 센서(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 음성, 시간, 경도(硬度), 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새, 또는 적외선을 측정하는 기능을 가지는 것)를 가져도 좋다.
- [0467] 본 발명의 일 형태의 전자 기기는 다양한 기능을 가질 수 있다. 예를 들어 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 달력, 날짜, 또는 시각 등을 표시하는 기능, 다양한 소프트웨어(프로그램)를 실행하는 기능, 무선 통신 기능, 기록 매체에 기록된 프로그램 또는 데이터를 관독하는 기능 등을 가질 수 있다. 도 21에 전자 기기의 예를 나타내었다.
- [0468] [정보 단말기]
- [0469] 도 21의 (A)에는 정보 단말기의 1종류인 휴대 전화기(스마트폰)를 도시하였다. 정보 단말기(5100)는 하우징(5101)과 표시부(5102)를 가지고, 입력용 인터페이스로서 터치 패널이 표시부(5102)에 제공되고, 버튼이 하우징(5101)에 제공된다.
- [0470] 정보 단말기(5100)는, 본 발명의 일 형태의 칩을 적용함으로써, 인공 지능을 이용한 애플리케이션을 실행할 수 있다. 인공 지능을 이용한 애플리케이션으로서는, 예를 들어 회화를 인식하고 그 회화 내용을 표시부(5102)에 표시하는 애플리케이션, 표시부(5102)에 가지는 터치 패널에 사용자가 입력한 문자, 도형 등을 인식하고 표시부(5102)에 표시하는 애플리케이션, 지문이나 성문 등의 생체 인증을 수행하는 애플리케이션 등이 있다.
- [0471] 도 21의 (B)에는 노트북형 정보 단말기(5200)를 도시하였다. 노트북형 정보 단말기(5200)는 정보 단말기의 본체(5201)와, 표시부(5202)와, 키보드(5203)를 가진다.
- [0472] 노트북형 정보 단말기(5200)는 상술한 정보 단말기(5100)와 마찬가지로, 본 발명의 일 형태의 칩을 적용함으로써, 인공 지능을 이용한 애플리케이션을 실행할 수 있다. 인공 지능을 이용한 애플리케이션으로서는, 예를 들어 설계 지원 소프트웨어, 문장 첨삭 소프트웨어, 식단 자동 생성 소프트웨어 등이 있다. 또한 노트북형 정보 단말기(5200)를 사용함으로써 신규 인공 지능을 개발할 수 있다.
- [0473] 또한 앞에서는 전자 기기로서 스마트폰 및 노트북형 정보 단말기를 예로 들어 각각 도 21의 (A), (B)에 도시하였지만, 스마트폰 및 노트북형 정보 단말기 이외의 정보 단말기를 적용할 수도 있다. 스마트폰 및 노트북형 정보 단말기 이외의 정보 단말기로서는 예를 들어 PDA(Personal Digital Assistant), 데스크톱형 정보 단말기, 워크스테이션 등이 있다.
- [0474] [게임기]
- [0475] 도 21의 (C)는 게임기의 일례인 휴대용 게임기(5300)를 나타낸 것이다. 휴대용 게임기(5300)는 하우징(5301), 하우징(5302), 하우징(5303), 표시부(5304), 접속부(5305), 조작 키(5306) 등을 가진다. 하우징(5302) 및 하우징(5303)은 하우징(5301)에서 떼어낼 수 있다. 하우징(5301)에 제공된 접속부(5305)를 다른 하우징(도시하지 않았음)에 장착함으로써, 표시부(5304)에 출력되는 영상을 다른 영상 기기(도시하지 않았음)에 출력할 수 있다. 이때 하우징(5302) 및 하우징(5303)은 각각 조작부로서 기능할 수 있다. 이에 의하여, 복수의 플레이어가 동시에 게임을 할 수 있다. 하우징(5301), 하우징(5302), 및 하우징(5303)의 기판에 제공된 칩 등에 앞의 실시형태에서 설명한 칩을 포함시킬 수 있다.
- [0476] 또한 도 21의 (D)는 게임기의 일례인 거치형 게임기(5400)를 나타낸 것이다. 거치형 게임기(5400)에는 무선 또는 유선으로 컨트롤러(5402)가 접속된다.
- [0477] 휴대용 게임기(5300), 거치형 게임기(5400) 등의 게임기에 본 발명의 일 형태의 GPU 또는 칩을 적용함으로써, 소비 전력이 낮은 게임기를 실현할 수 있다. 또한 소비 전력이 낮으면 회로로부터의 발열을 저감할 수 있기 때문에, 발열로 인한 그 회로 자체, 주변 회로, 및 모듈에 대한 영향을 줄일 수 있다.
- [0478] 또한 휴대용 게임기(5300)에 본 발명의 일 형태의 GPU 또는 칩을 적용함으로써, 인공 지능을 가지는 휴대용 게임기(5300)를 실현할 수 있다.
- [0479] 원래, 게임의 진행, 게임에 등장하는 생물의 언동, 게임에서 발생하는 현상 등의 표현은 그 게임이 가지는 프로그램에 의하여 정해져 있지만, 휴대용 게임기(5300)에 인공 지능을 적용함으로써, 게임의 프로그램에 의하여 한정되지 않는 표현이 가능하게 된다. 예를 들어 플레이어가 질문하는 내용, 게임의 진행 상황, 시각, 게임에 등장하는 인물의 언동이 변화하는 등의 표현이 가능하게 된다.
- [0480] 또한 휴대용 게임기(5300)로 복수의 플레이어를 필요로 하는 게임을 하는 경우에는, 인공 지능에 의하여 의인적

으로 게임 플레이어를 구성할 수 있기 때문에, 상대를 인공 지능에 의한 게임 플레이어로 함으로써, 혼자서도 게임을 할 수 있다.

[0481] 도 21의 (C), (D)에서는, 게임기의 일례로서 휴대용 게임기 및 거치형 게임기를 도시하였지만, 본 발명의 일 형태의 GPU 또는 칩을 적용하는 게임기는 이들에 한정되지 않는다. 본 발명의 일 형태의 GPU 또는 칩을 적용하는 게임기로서는, 예를 들어 오락 시설(오락실, 놀이공원 등)에 설치되는 아케이드 게임기, 스포츠 시설에 설치되는 배팅 연습용 투구 머신 등이 있다.

[0482] [대형 컴퓨터]

[0483] 본 발명의 일 형태의 GPU 또는 칩은 대형 컴퓨터에 적용될 수 있다.

[0484] 도 21의 (E)는 대형 컴퓨터의 일례인 슈퍼컴퓨터(5500)를 나타낸 것이다. 도 21의 (F)는 슈퍼컴퓨터(5500)가 가지는 랙 마운트형 계산기(5502)를 나타낸 것이다.

[0485] 슈퍼컴퓨터(5500)는 랙(5501)과, 복수의 랙 마운트형 계산기(5502)를 가진다. 또한 복수의 계산기(5502)는 랙(5501)에 격납되어 있다. 또한 계산기(5502)에는 복수의 기관(5504)이 제공되고, 상기 기관 위에 앞의 실시형태에서 설명한 GPU 또는 칩을 탑재할 수 있다.

[0486] 슈퍼컴퓨터(5500)는 주로 과학 기술 계산에 이용되는 대형 컴퓨터이다. 과학 기술 계산에서는 방대한 연산을 고속으로 처리할 필요가 있기 때문에, 소비 전력이 높고, 칩의 발열이 크다. 슈퍼컴퓨터(5500)에 본 발명의 일 형태의 GPU 또는 칩을 적용함으로써, 소비 전력이 낮은 슈퍼컴퓨터를 실현할 수 있다. 또한 소비 전력이 낮으면 회로로부터의 발열을 저감할 수 있기 때문에, 발열로 인한 그 회로 자체, 주변 회로, 및 모듈에 대한 영향을 줄일 수 있다.

[0487] 도 21의 (E), (F)에서는 대형 컴퓨터의 일례로서 슈퍼컴퓨터를 도시하였지만, 본 발명의 일 형태의 GPU 또는 칩이 적용되는 대형 컴퓨터는 이들에 한정되지 않는다. 본 발명의 일 형태의 GPU 또는 칩이 적용되는 대형 컴퓨터로서는, 예를 들어 서비스를 제공하는 컴퓨터(서버), 대형 범용 컴퓨터(메인 프레임) 등이 있다.

[0488] [이동체]

[0489] 본 발명의 일 형태의 GPU 또는 칩은 이동체인 자동차, 및 자동차의 운전석 주변에 적용할 수 있다.

[0490] 도 21의 (G)는 이동체의 일례인 자동차의 실내에서의 앞유리 주변을 나타낸 것이다. 도 21의 (G)에서는 대시보드에 장착된 표시 패널(5701), 표시 패널(5702), 표시 패널(5703) 외에, 필러에 장착된 표시 패널(5704)을 도시하였다.

[0491] 표시 패널(5701) 내지 표시 패널(5703)은, 속도계나 회전 속도계, 주행 거리, 연료계, 기어 상태, 에어컨디셔너의 설정 등을 표시함으로써, 다양한 정보를 제공할 수 있다. 또한 표시 패널에 표시되는 표시 항목이나 레이아웃 등은 사용자의 취향에 따라 적절히 변경할 수 있기 때문에, 디자인성을 높일 수 있다. 표시 패널(5701) 내지 표시 패널(5703)은 조명 장치로서 사용할 수도 있다.

[0492] 표시 패널(5704)에는 자동차에 제공된 촬상 장치(도시하지 않았음)로부터의 영상을 표시함으로써, 필러로 가려진 시계(사각(死角))를 보완할 수 있다. 즉, 자동차의 외측에 제공된 촬상 장치로 촬상된 화상을 표시함으로써, 사각을 보완하여 안전성을 높일 수 있다. 또한 보이지 않는 부분을 보완하는 영상을 표시함으로써, 더 자연스럽고 위화감 없이 안전을 확인할 수 있다. 표시 패널(5704)은 조명 장치로서 사용할 수도 있다.

[0493] 본 발명의 일 형태의 GPU 또는 칩은 인공 지능의 구성 요소로서 적용할 수 있기 때문에, 예를 들어 상기 칩을 자동차의 자동 운전 시스템에 사용할 수 있다. 또한 상기 칩을 도로 안내, 위험 예측 등을 하는 시스템에 사용할 수 있다. 표시 패널(5701) 내지 표시 패널(5704)은 도로 안내, 위험 예측 등의 정보를 표시하는 구성으로 하여도 좋다.

[0494] 또한 앞에서는 이동체의 일례로서 자동차에 대하여 설명하였지만, 이동체는 자동차에 한정되지 않는다. 예를 들어 이동체로서는 전철, 모노레일, 선박, 비행체(헬리콥터, 무인 항공기(드론), 비행기, 로켓) 등도 있고, 이들 이동체에 본 발명의 일 형태의 칩을 적용하여 인공 지능을 이용한 시스템을 부여할 수 있다.

[0495] [전자 제품]

[0496] 도 21의 (H)는 전자 제품의 일례인 전기 냉동 냉장고(5800)를 나타낸 것이다. 전기 냉동 냉장고(5800)는 하우징(5801), 냉장실용 문(5802), 냉동실용 문(5803) 등을 가진다.

- [0497] 전기 냉동 냉장고(5800)에 본 발명의 일 형태의 칩을 적용함으로써, 인공 지능을 가지는 전기 냉동 냉장고(5800)를 실현할 수 있다. 인공 지능을 이용함으로써, 전기 냉동 냉장고(5800)는 전기 냉동 냉장고(5800)에 저장되어 있는 식재료, 그 식재료의 소비 기한 등을 바탕으로 식단을 자동 생성하는 기능이나, 전기 냉동 냉장고(5800)에 저장되어 있는 식재료에 적합한 온도로 자동적으로 조절하는 기능 등을 가질 수 있다.
- [0498] 전자 제품의 일례로서 전기 냉동 냉장고에 대하여 설명하였지만, 그 외의 전자 제품으로서는 예를 들어 청소기, 전자 레인지, 전자 오븐, 밥솥, 온수기, IH 조리기, 생수기, 에어컨디셔너를 포함한 냉난방 기구, 세탁기, 건조기, 오디오 비주얼 기기(audio visual appliance) 등이 있다.
- [0499] 본 실시형태에서 설명한 전자 기기, 그 전자 기기의 기능, 인공 지능의 응용예, 그 효과 등은 다른 전자 기기에 관한 기재와 적절히 조합할 수 있다.
- [0500] 본 실시형태는 다른 실시형태, 실시예 등에 기재된 구성과 적절히 조합하여 실시할 수 있다.
- [0501] (실시예 1)
- [0502] 앞의 실시형태에 개시된 트랜지스터(200)와 같은 구조를 가지는 트랜지스터(800)를 제작하였다. 트랜지스터(800)는 채널 길이 및 채널 폭을 각각 60nm, 게이트 절연층(TGI)의 두께를 EOT(Equivalent Oxide Thickness) 환산으로 6nm로 하였다. 또한, 채널이 형성되는 반도체층에 CAAC-IGZO를 사용하였다. 트랜지스터(800)는 반도체층에 CAAC-IGZO를 사용한 전계 효과형 트랜지스터("CAAC-IGZO FET"라고도 함)이다.
- [0503] 도 22의 (A) 및 (B)에 트랜지스터(800)의 단면 TEM 이미지를 나타내었다. 도 22의 (A)는 트랜지스터(800)의 게이트 길이 방향의 단면 TEM 이미지이고, 도 22의 (B)는 트랜지스터(800)의 게이트 폭 방향의 단면 TEM 이미지이다. 도 22의 (A) 및 (B)에는 트랜지스터(800)의 게이트 전극(TGE), 게이트 절연층(TGI), 소스 전극 및 드레인 전극(SDE), 반도체층(CAAC-IGZO), 백 게이트 절연층(BGI), 그리고 백 게이트 전극(BGE)이 나타나 있다. 또한, 도 22의 (B)는 게이트 전극 및 백 게이트 전극을 통과하는 게이트 폭 방향의 단면 TEM 이미지이기 때문에, SDE는 나타나지 않는다.
- [0504] 다음으로, 트랜지스터(800)의 Id-Vg 특성을 측정하였다. 구체적으로는, 트랜지스터(800)의 소스와 드레인 사이의 전압("드레인 전압" 또는 "Vds"라고도 함)을 1.3V, 백 게이트에 공급하는 전압("Vbg"라고도 함)을 0V로 설정하고, 게이트 전압("Vg"라고도 함)을 -3V로부터 3V까지 변화시켰을 때에 소스와 드레인 사이에 흐르는 전류("드레인 전류" 또는 "Id"라고도 함)를 측정하였다. Id-Vg 특성의 측정은 -40℃, 실온(27℃), 85℃, 125℃의 4종류의 온도에서 수행하였다.
- [0505] 도 23에 트랜지스터(800)의 Id-Vg 특성의 측정 결과를 나타내었다. 도 23의 가로축은 Vg이고, 세로축은 Id를 로그 스케일로 나타낸 것이다. 또한, 측정기의 측정 하한값(ML)은 1×10^{-13} A이다. 도 23에서 ML을 파선으로 나타내었다.
- [0506] 도 23에 의하여, 측정 온도가 상승되면 Id도 상승되는 것을 알 수 있다. 이것은 반도체층에 실리콘을 사용한 FET("Si 트랜지스터"라고도 함)와 반대의 경향이다. 또한, 실온 시의 Id-Vg 특성에 의하여, 실온 시의 S값이 90mV/dec인 것을 알 수 있었다.
- [0507] 도 24의 (A)에, Vds=1.2V, Vbg=0V일 때의 트랜지스터(800)의 게이트 내압을 나타내었다. 또한, 도 24의 (B)에 Vgs=2.5V, Vbg=0V일 때의 트랜지스터(800)의 드레인 내압을 나타내었다. 트랜지스터(800)는 게이트 길이가 60nm로 미세함에도 불구하고, 게이트 내압은 3V 이상, 드레인 내압은 6V 이상의 높은 전압 내압을 가진다. 그러므로, 트랜지스터(800)는 CMOS 회로와 외부 회로의 인터페이스로서 활용되는 것이 기대된다.
- [0508] (실시예 2)
- [0509] 트랜지스터(800)를 사용하여 인버터 회로(810)를 제작하였다. 도 25의 (A)에, 인버터 회로(810)의 회로도를 나타내었다. 인버터 회로(810)는 모두 트랜지스터(800)인, 트랜지스터(M1) 및 트랜지스터(M2)로 구성된다. 트랜지스터(M1)의 소스 및 드레인 중 한쪽은 단자(801)와 전기적으로 접속되고, 다른 쪽은 출력 단자(out)와 전기적으로 접속된다. 트랜지스터(M1)의 게이트는 트랜지스터(M1)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 트랜지스터(M1)의 백 게이트는 단자(bg1)와 전기적으로 접속된다. 트랜지스터(M2)의 소스 및 드레인 중 한쪽은 출력 단자(out)와 전기적으로 접속되고, 다른 쪽은 단자(802)와 전기적으로 접속된다. 트랜지스터(M2)의 게이트는 입력 단자(in)와 전기적으로 접속되고, 백 게이트는 단자(bg2)와 전기적으로 접속된다. 단자(801)에는 Vdd가 공급되고, 단자(802)에는 Vss가 공급된다.

- [0510] 단자(bg1)에 공급하는 전압(Vbg1)을 변화시킴으로써, 트랜지스터(M1)의 문턱 전압을 변화시킬 수 있다. 단자(bg2)에 공급하는 전압(Vbg2)을 변화시킴으로써, 트랜지스터(M2)의 문턱 전압을 변화시킬 수 있다.
- [0511] 트랜지스터(M2)의 채널 폭은 트랜지스터(M1)의 채널 폭보다 큰 것이 바람직하다. 본 실시예에서는 트랜지스터(M1)로서 하나의 트랜지스터(800)를 사용하였다(M=1). 또한, 트랜지스터(M2)로서 100개의 트랜지스터(800)를 병렬로 접속한 것을 사용하였다(M=100). 따라서, 트랜지스터(M2)의 채널 폭은 실질적으로 트랜지스터(M1)의 채널 폭의 100배로 간주할 수 있다.
- [0512] 도 25의 (B)에, Vss를 0V, Vdd를 3.3V로 한 경우의 인버터 회로(810)의 DC특성의 측정 결과를 나타내었다. 도 25의 (B)의 가로축은 입력 단자(in)에 공급되는 전압(Vin)을 나타내고, 세로축은 출력 단자(out)에 공급되는 전압(Vout)을 나타낸 것이다. 또한, 도 25의 (B)에서는 Vbg2가 2V, 0V, -2V, -4V, 및 -6V의 각각의 경우의 측정 결과를 나타낸 것이다. 또한, Vbg1은 0V로 하였다.
- [0513] 도 25의 (B)에 의하여, 백 게이트에 공급하는 전압을 변화시킴으로써, 인버터 회로(810)의 논리 문턱값을 조정할 수 있는 것을 알 수 있다.
- [0514] (실시예 3)
- [0515] 실시예 2에서 설명한 인버터 회로(810)를 사용하여 링 오실레이터(820)를 제작하였다. 도 26의 (A)에 링 오실레이터(820)의 회로도도를 나타내었다. 링 오실레이터(820)는 코어(811)와 출력 버퍼(812)로 구성된다. 코어(811)는 환형상으로 접속된 홀수 단의 인버터 회로(810)를 가진다. 도 26의 (A)에서는 첫 번째 단의 인버터 회로(810)를 인버터 회로(810_1)라고 나타내고, 두 번째 단의 인버터 회로(810)를 인버터 회로(810_2)라고 나타내고, n 번째 단의 인버터 회로(810)를 인버터 회로(810_n)(n은 3 이상의 홀수)라고 나타내었다.
- [0516] i 번째 단(i는 2 이상 n-1 이하의 자연수)의 인버터 회로(810)의 출력은 i+1 번째 단의 인버터 회로(810)의 입력과 전기적으로 접속된다. 또한, i-1 번째 단의 인버터 회로(810)의 출력은 i 번째 단의 인버터 회로(810)의 입력과 전기적으로 접속된다. 또한, n 번째 단의 인버터 회로(810)의 출력은 첫 번째 단의 인버터 회로(810)의 입력과 전기적으로 접속된다. 코어(811)에 있어서 인버터 회로(810)는 환형상으로 접속된다.
- [0517] 출력 버퍼(812)의 입력은 코어(811)에 포함되는 홀수 개의 인버터 회로(810) 중 임의의 인버터 회로(810)의 출력과 전기적으로 접속된다. 바꿔 말하면, i 번째 단의 인버터 회로(810)의 출력이 출력 버퍼(812)의 입력과 전기적으로 접속된다. 출력 버퍼(812)의 출력은 단자(Rout)와 전기적으로 접속된다. 본 실시예에서는 코어(811)가 151단의 인버터 회로(810)를 가지는 링 오실레이터(820)를 제작하였다. 도 26의 (B)에 제작한 링 오실레이터(820)의 다이 사진을 나타내었다. 코어(811)의 크기는 100 μm \times 350 μm 이다.
- [0518] 제작한 링 오실레이터(820)에, 전원 전압으로서 3.3V(Vss=0V, Vdd=3.3V)를 공급한 경우의 출력 파형을 도 27에 나타내었다. 도 27의 가로축은 시간을 나타내고, 세로축은 출력 전압(단자(Rout)의 전압)을 임의의 단위(a.u.)로 나타낸 것이다. 도 27에 의하여, 상기 링 오실레이터(820)의 지연 시간이 43 μs 인 것을 알았다. 따라서, 하나의 인버터 회로(810)의 지연 시간은 142ns이다.
- [0519] 지연 시간은 동작 온도에 따라 변화된다. 하지만, Vbg2를 조정함으로써 고온 환경하에서도 지연 시간을 실온 동작 시와 동등한 시간으로 조정할 수 있다.
- [0520] 도 28에 실온 시의 지연 시간으로 정규화한 지연 시간의 온도 의존성을 나타내었다. 도 28에서는, 동작 온도가 실온(R.T.: 27 $^{\circ}\text{C}$), 85 $^{\circ}\text{C}$, 125 $^{\circ}\text{C}$, 150 $^{\circ}\text{C}$ 인 경우의 지연 시간을 나타내었다. 또한, 도 28의 가로축은 온도를 나타내고, 왼쪽의 세로축은 실온 시의 지연 시간으로 정규화한 지연 시간을 백분율로 나타낸다. 또한, 오른쪽의 세로축은 Vbg2의 값을 나타낸다. 실온 시의 지연 시간 측정은 Vbg1을 0V, Vbg2를 2V로 하여 수행하였다.
- [0521] 도 28에 나타낸 " \times "은 모든 동작 온도에서 Vbg2를 2V로 하여 지연 시간을 측정한 결과를 나타낸 것이다. 동작 온도의 상승에 따라 지연 시간이 짧아지는 것을 알 수 있다. 동작 온도 150 $^{\circ}\text{C}$ 에서는 실온 동작 시보다 35% 정도 지연 시간이 짧다. 이것은 온도에 의하여 문턱 전압의 저하와 전계 효과 이동도의 증가가 생기기 때문이다.
- [0522] 도 28에 나타낸 " \square "는 동작 온도에 따라 Vbg2를 조정하여 지연 시간을 측정한 결과를 나타낸 것이다. 도 28에 나타낸 " \triangle "은 동작 온도마다 설정한 Vbg2의 값을 나타낸 것이다. 동작 온도에 따라 Vbg2를 조정함으로써, 동작 온도가 변화되어도 지연 시간을 실온 동작 시와 동등의 시간으로 할 수 있다. 본 실시예에서는 동작 온도가 실온부터 150 $^{\circ}\text{C}$ 까지의 범위에서 지연 시간의 변동을 1% 이하로 할 수 있었다.
- [0523] 도 28에 나타낸 " \circ "은 SPICE 시뮬레이션을 사용한 CMOS 인버터의 지연 시간 계산 결과를 나타낸 것이다. CMOS

인버터를 구성하는 트랜지스터로서는, 채널 길이 60nm의 일반적인 벌크 Si 트랜지스터를 상정하였다. 도 28에 의하여, CMOS 인버터에서는 동작 온도의 상승에 따라 지연 시간이 길어지는 것을 알 수 있다. 동작 온도 150℃에서는 실온 동작 시보다 14% 정도 지연 시간이 길다. 이것은 온도 상승에 의하여 문턱 전압의 상승과 전계 효과 이동도의 저감이 생기기 때문이다. 일반적인 벌크 Si 트랜지스터에서는 백 게이트를 제공하기 어렵다. 따라서, 동작 온도마다 지연 시간을 조정하는 것이 어렵다.

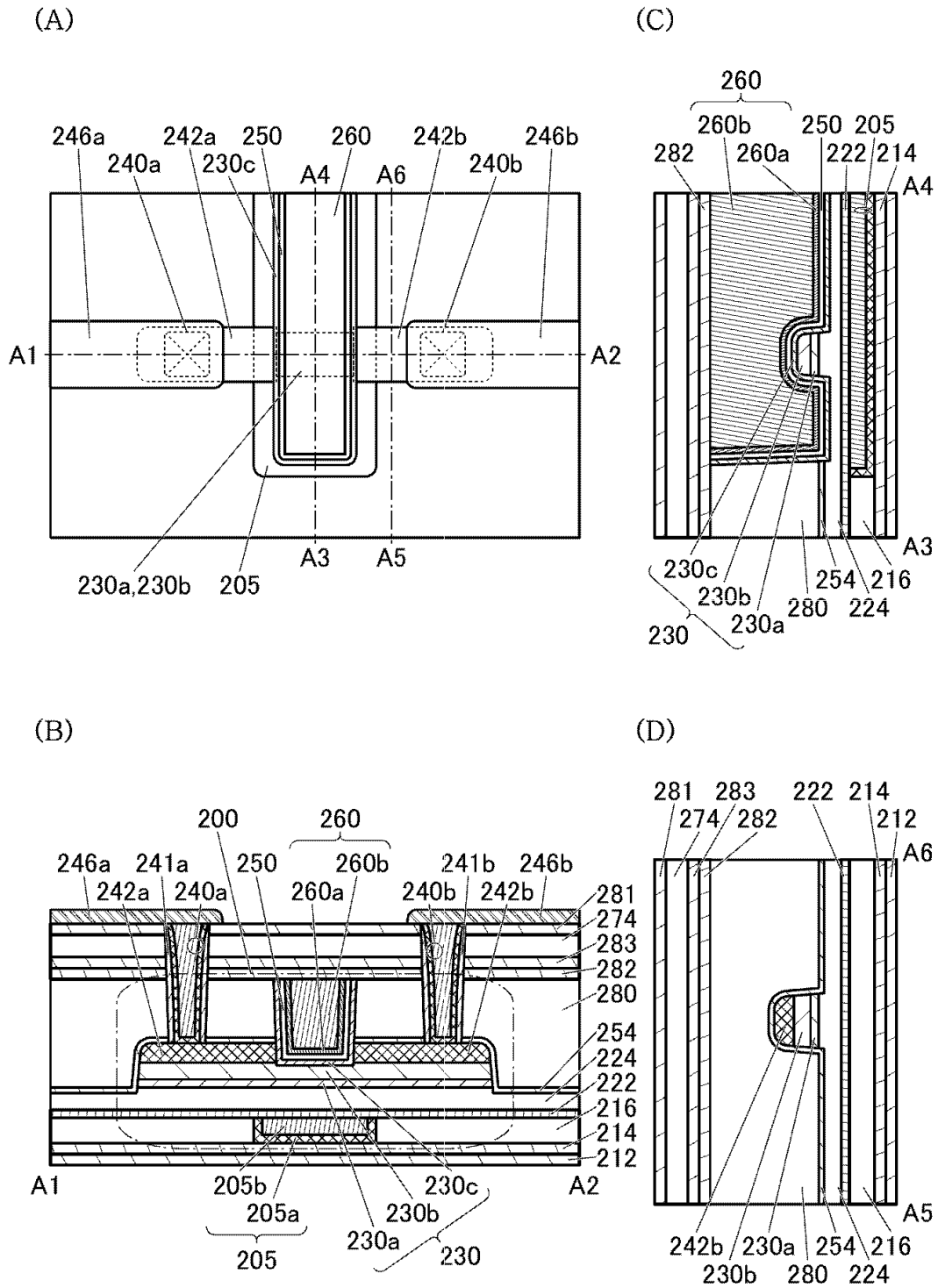
[0524] CAAC-IGZO FET를 사용함으로써, 온도를 상승시켜 동작 속도를 높이는 것이나, 간이적 보정 회로에 의하여 속도를 일정하게 유지하는 것이 가능하다.

부호의 설명

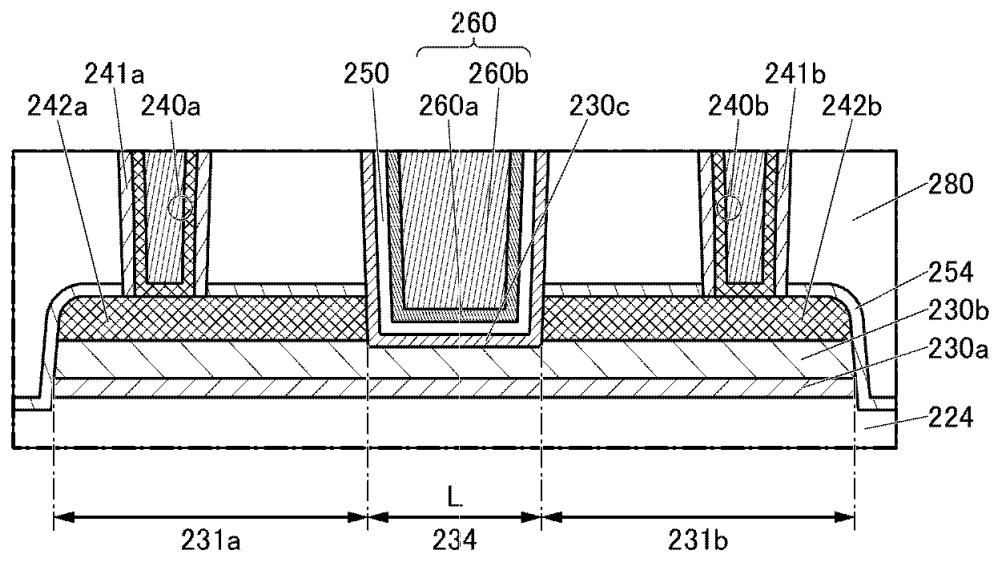
[0525] 200: 트랜지스터, 800: 트랜지스터, 801: 단자, 802: 단자, 810: 인버터 회로, 811: 코어, 812: 출력 버퍼, 820: 링 오실레이터

도면

도면1

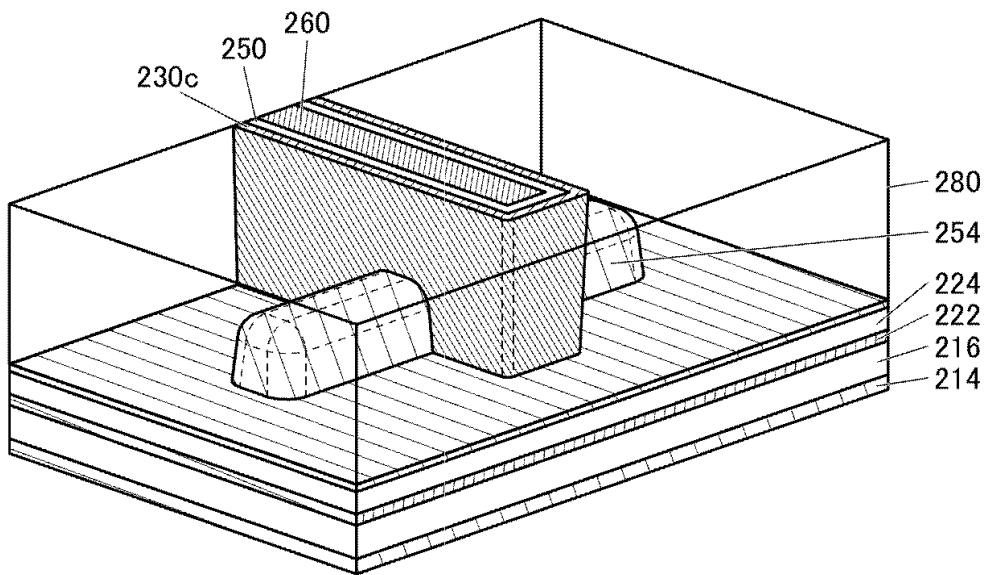


도면2

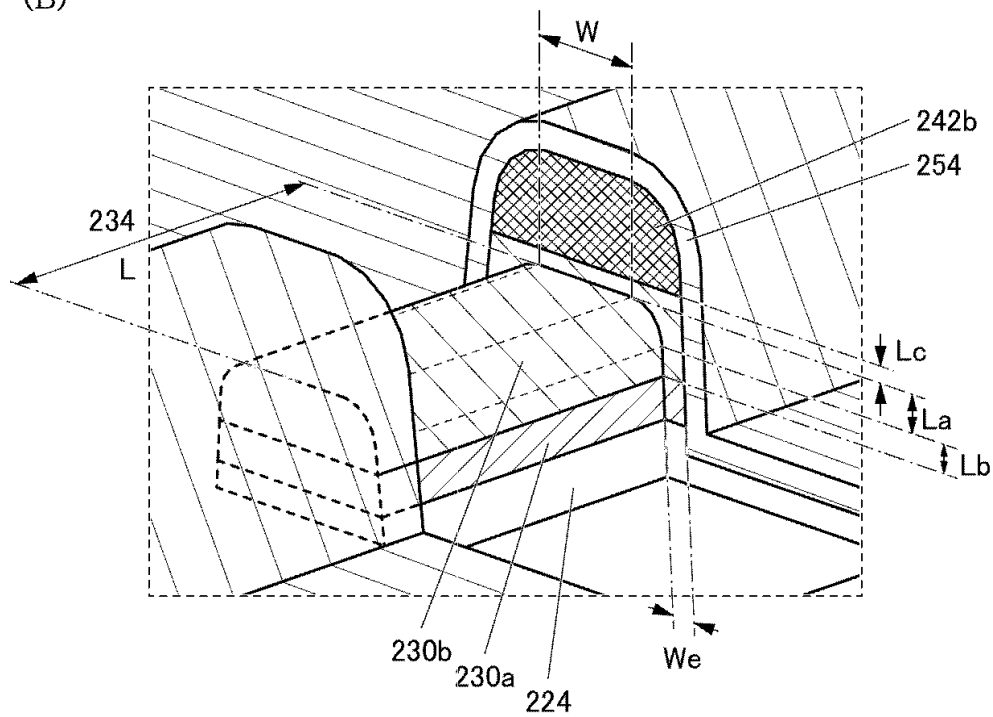


도면3

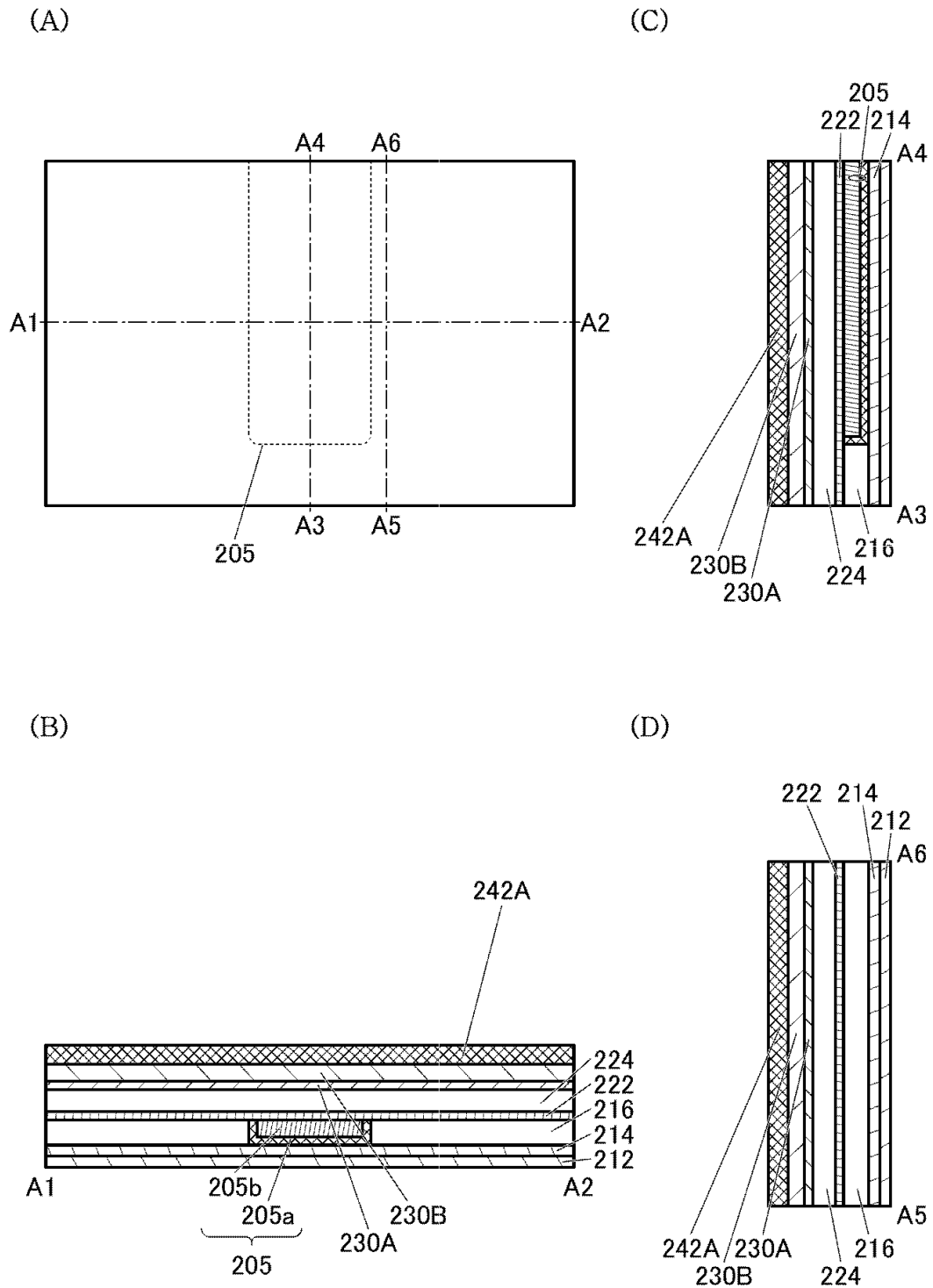
(A)



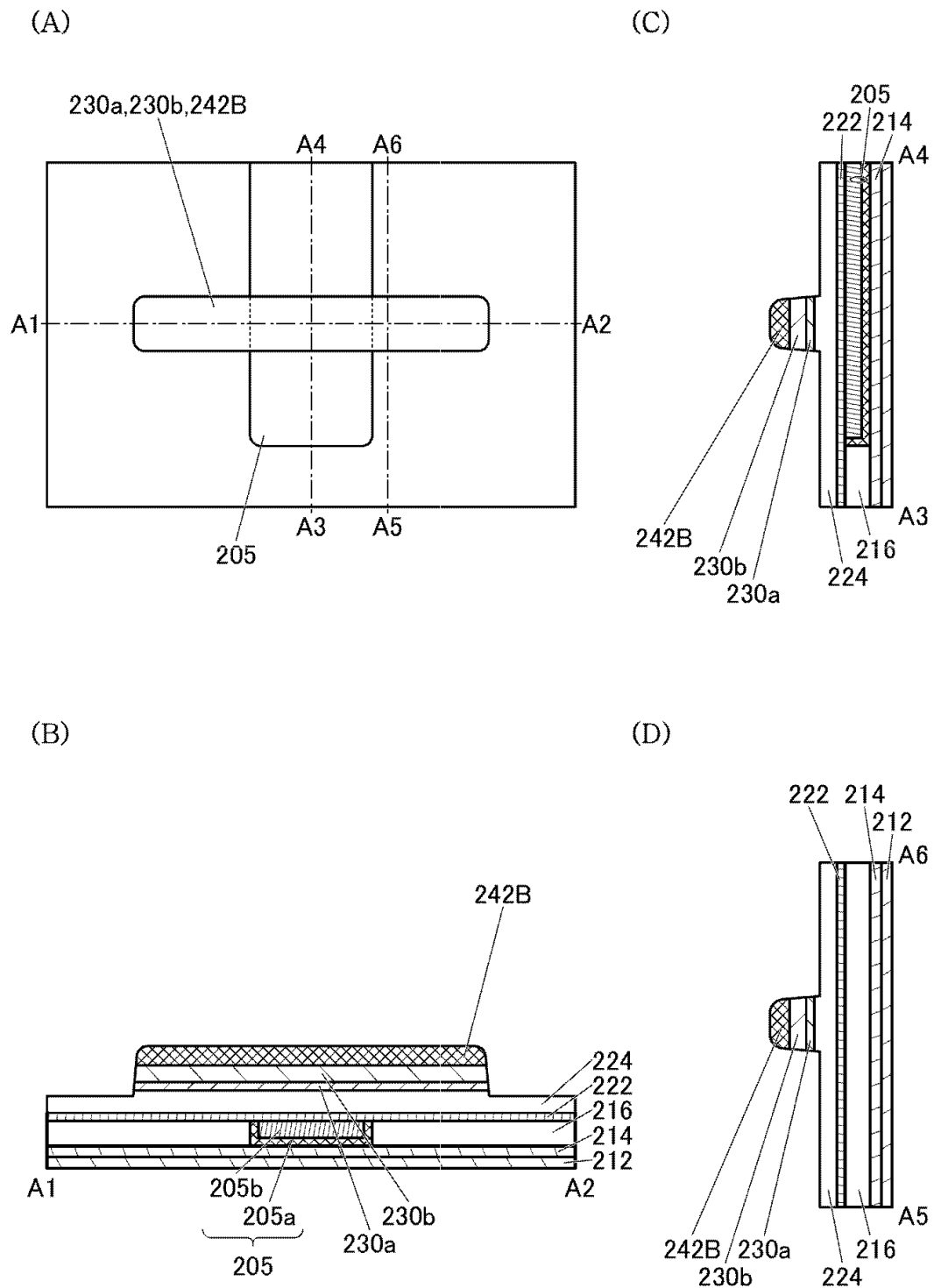
(B)



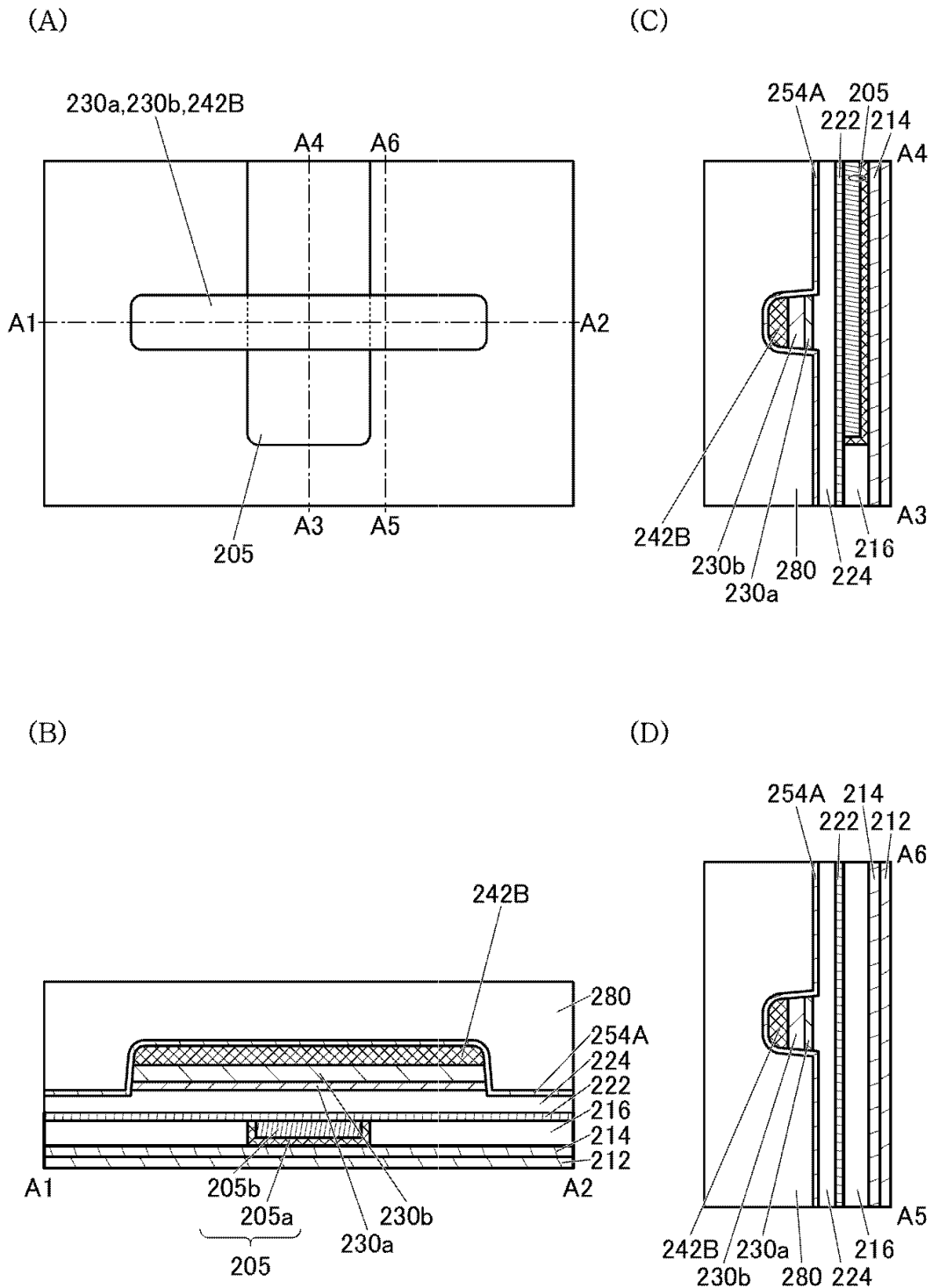
도면4



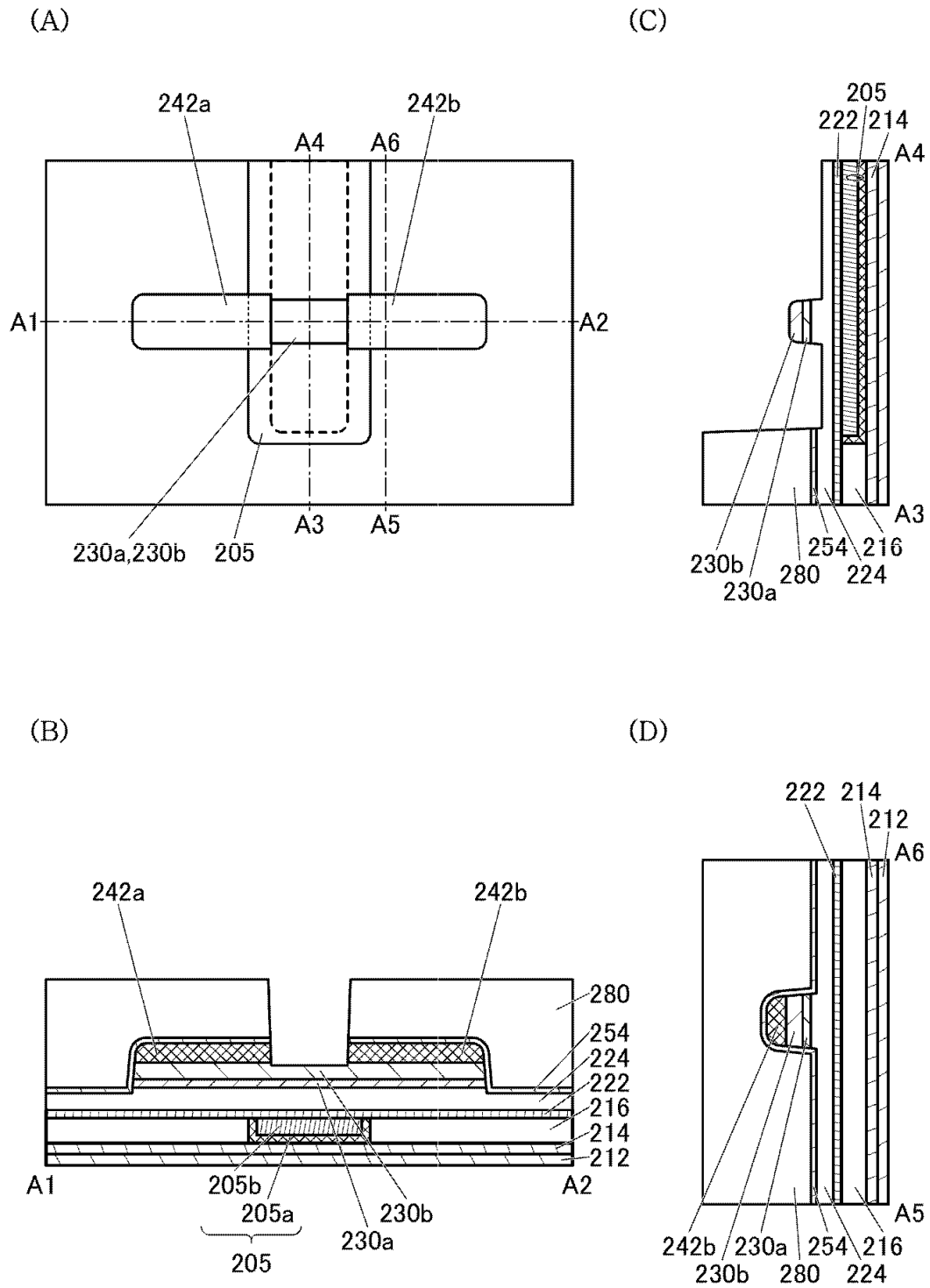
도면5



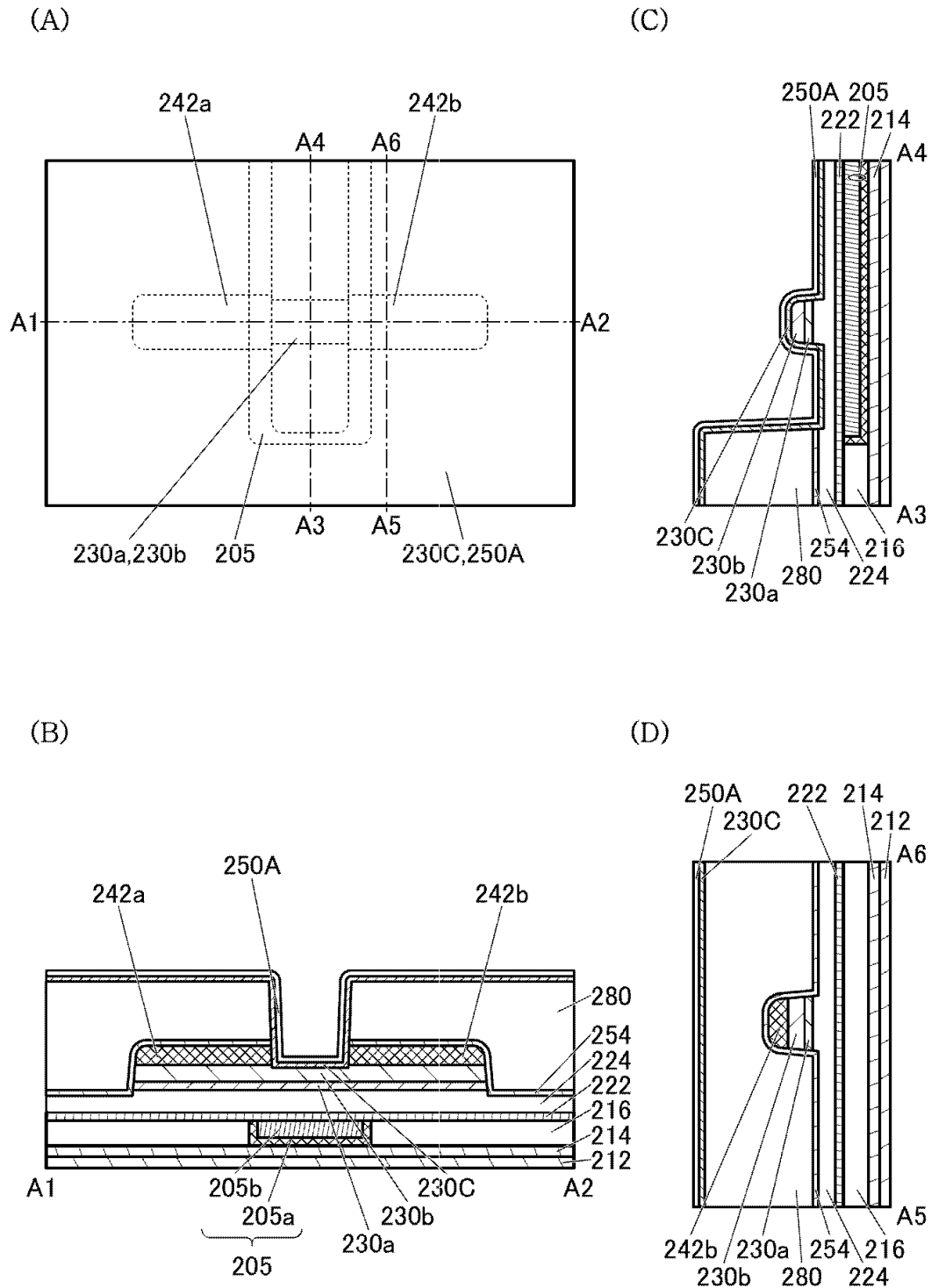
도면6



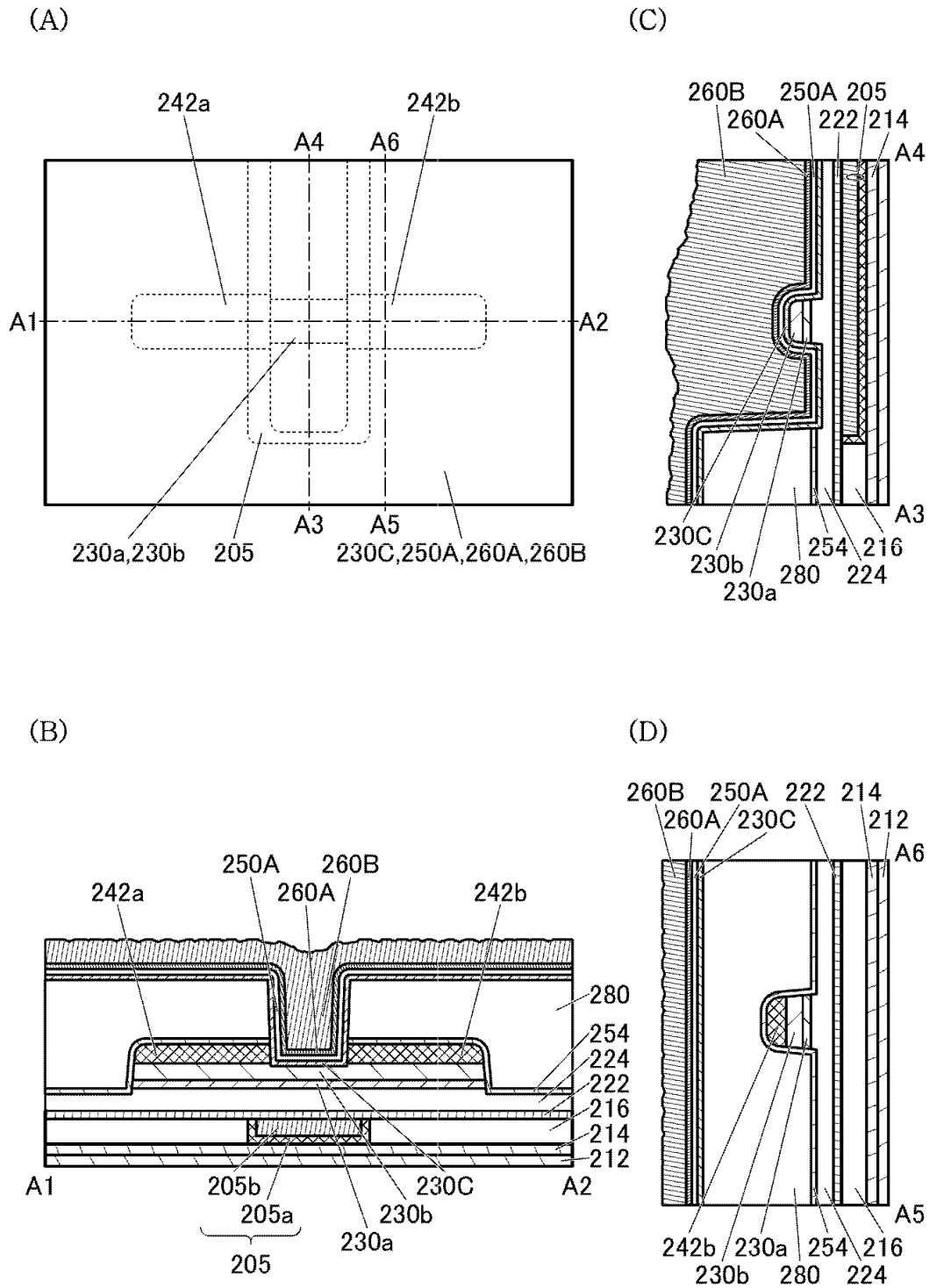
도면7



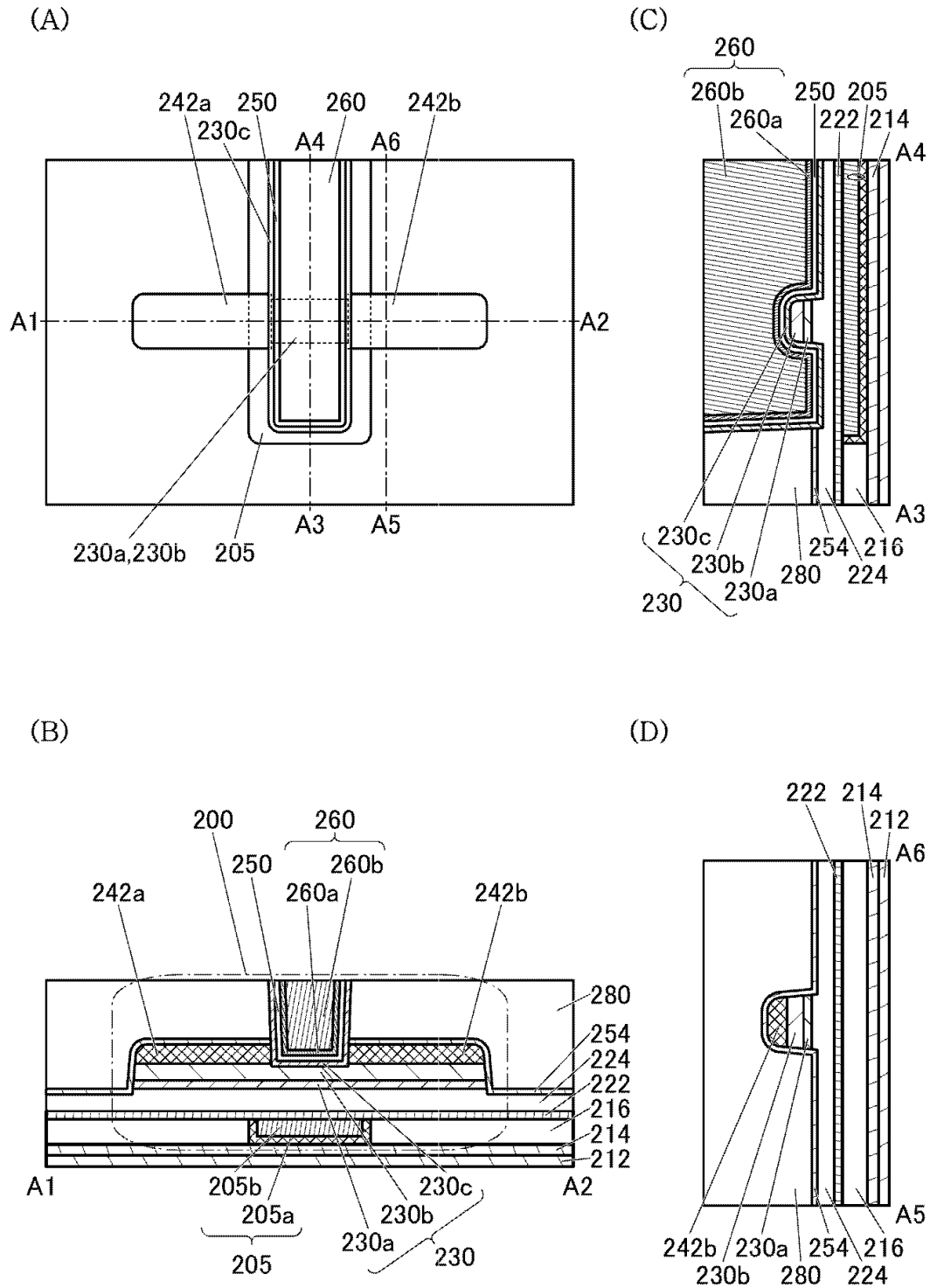
도면8



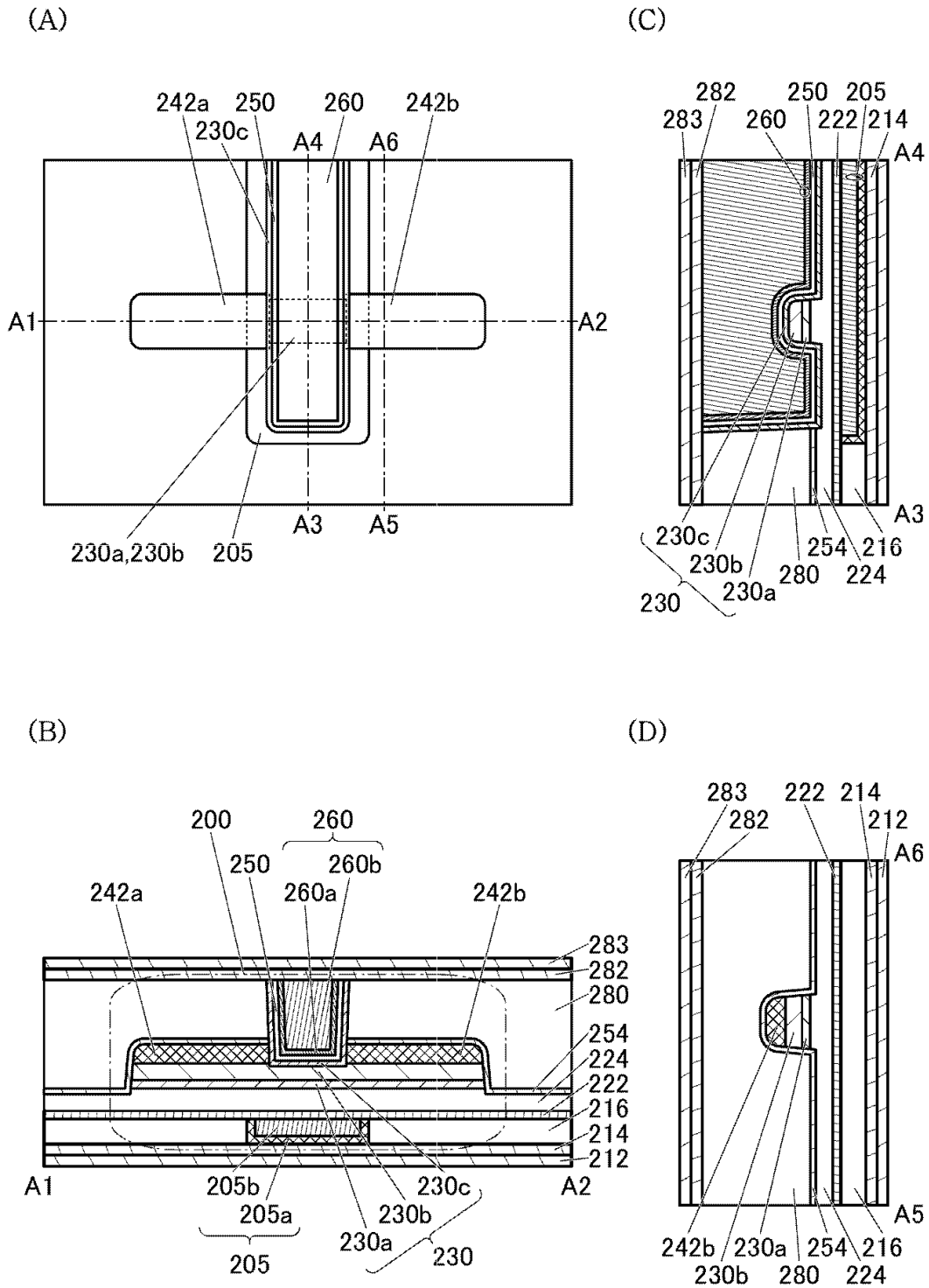
도면9



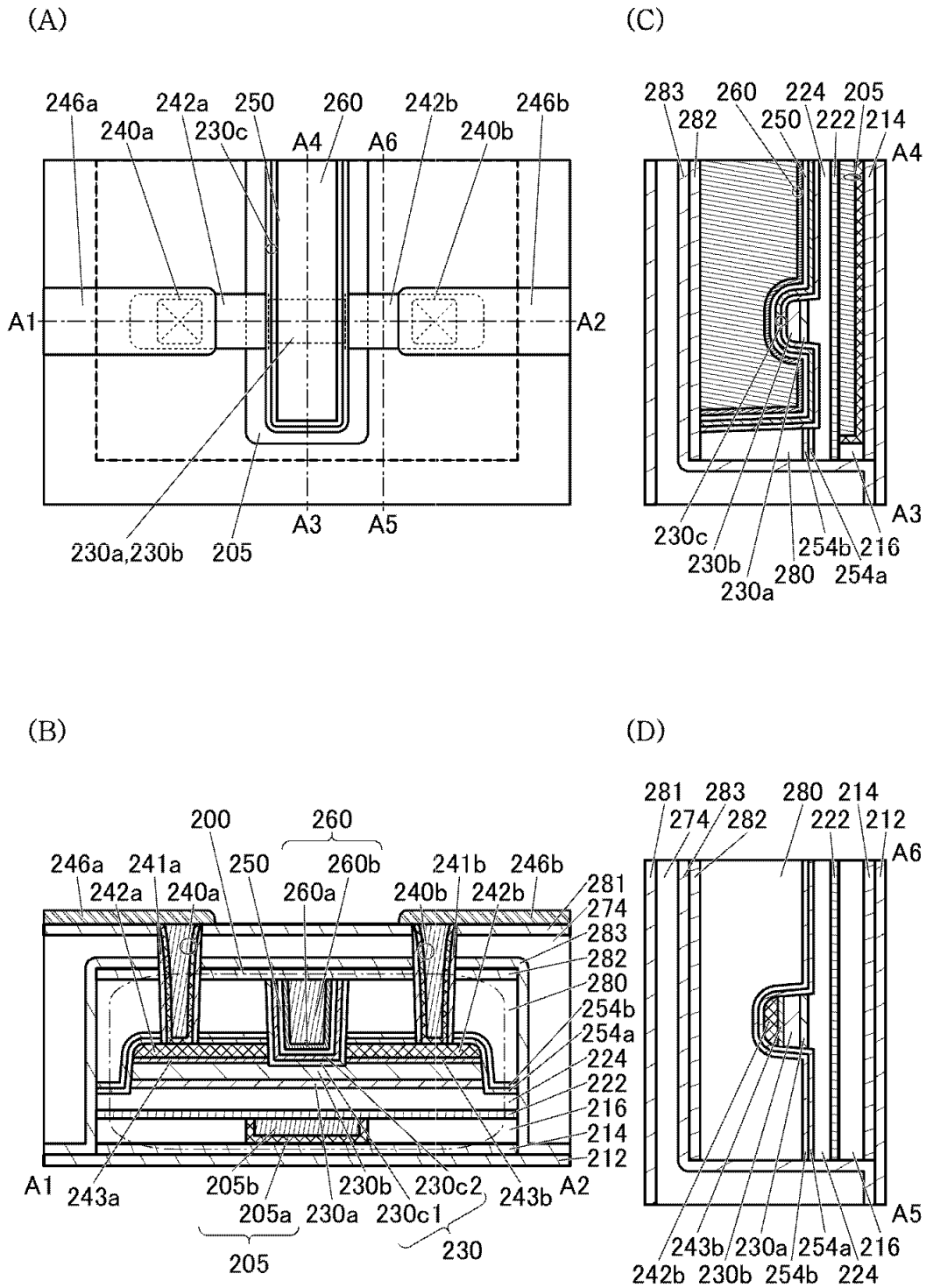
도면10



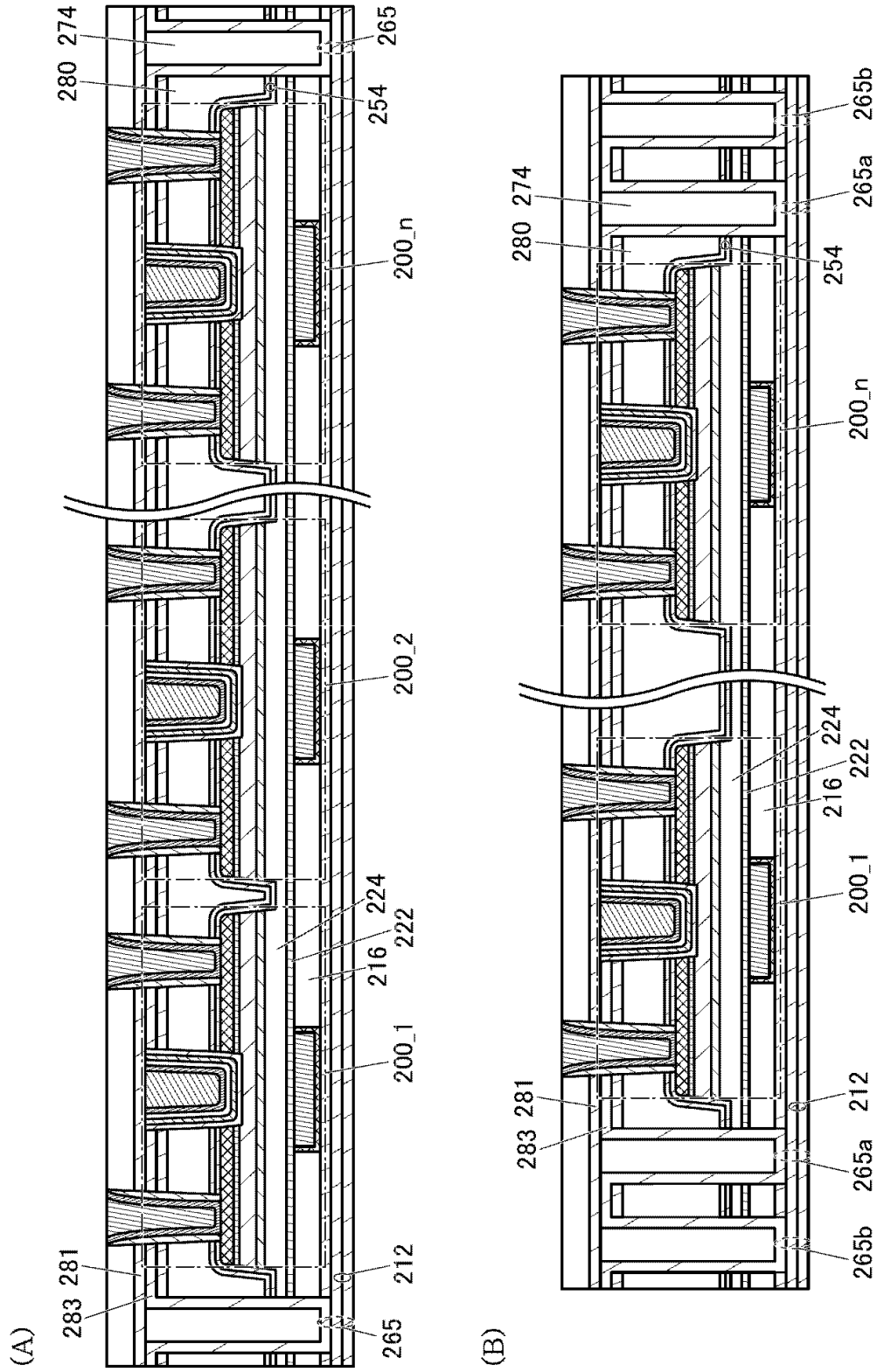
도면11



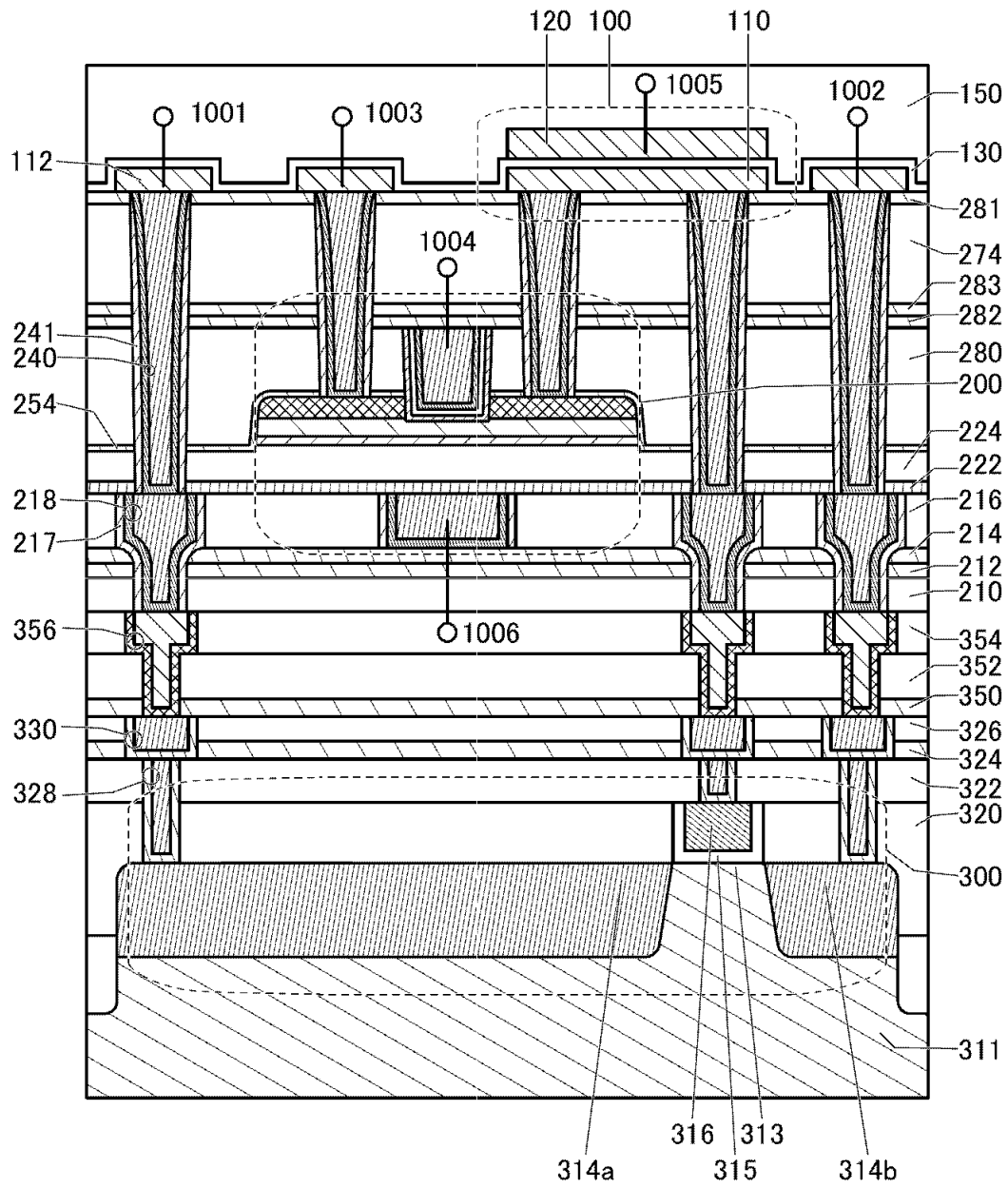
도면12



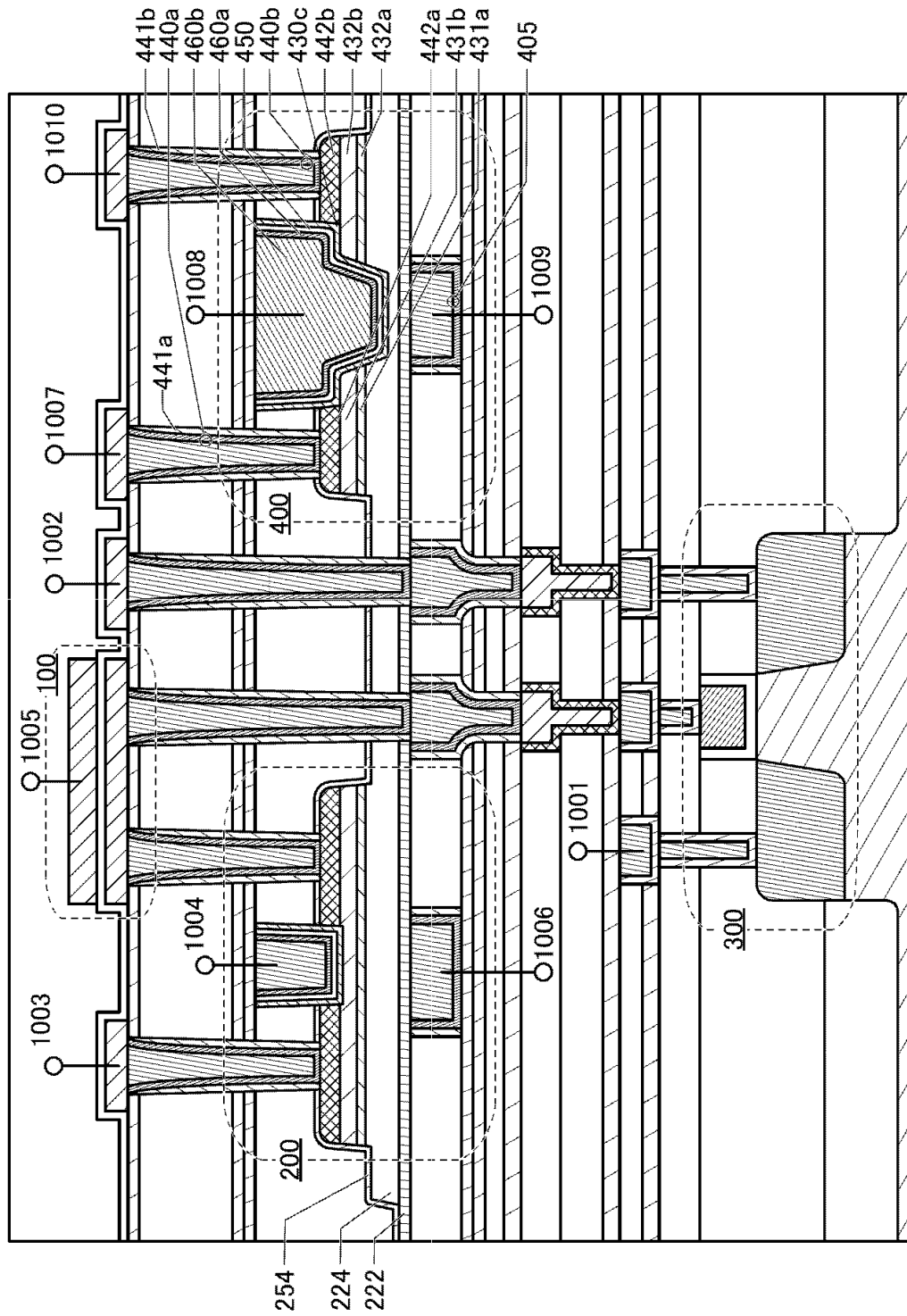
도면13



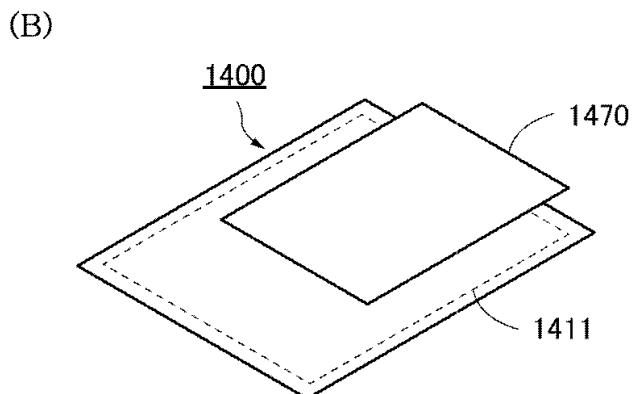
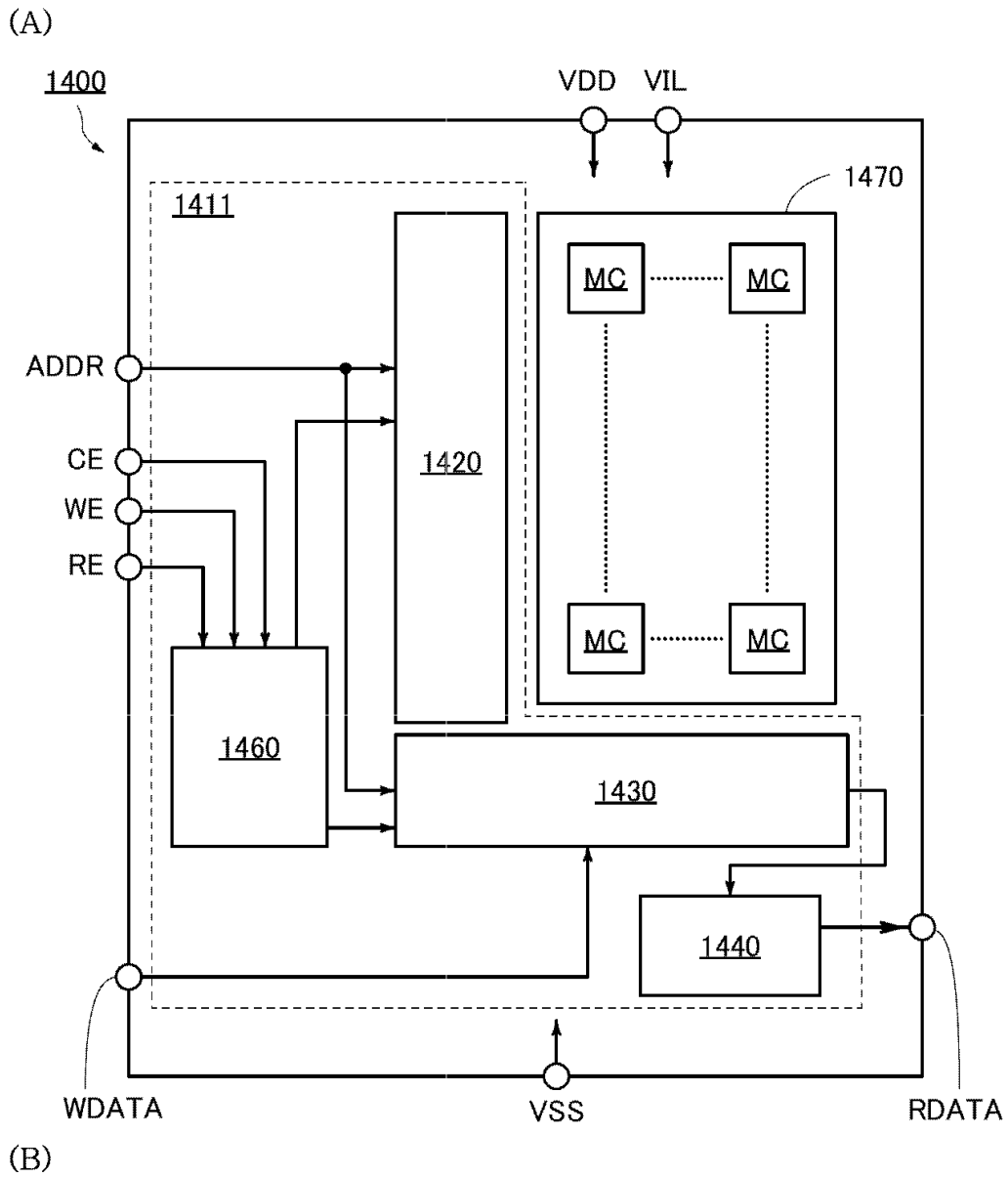
도면14



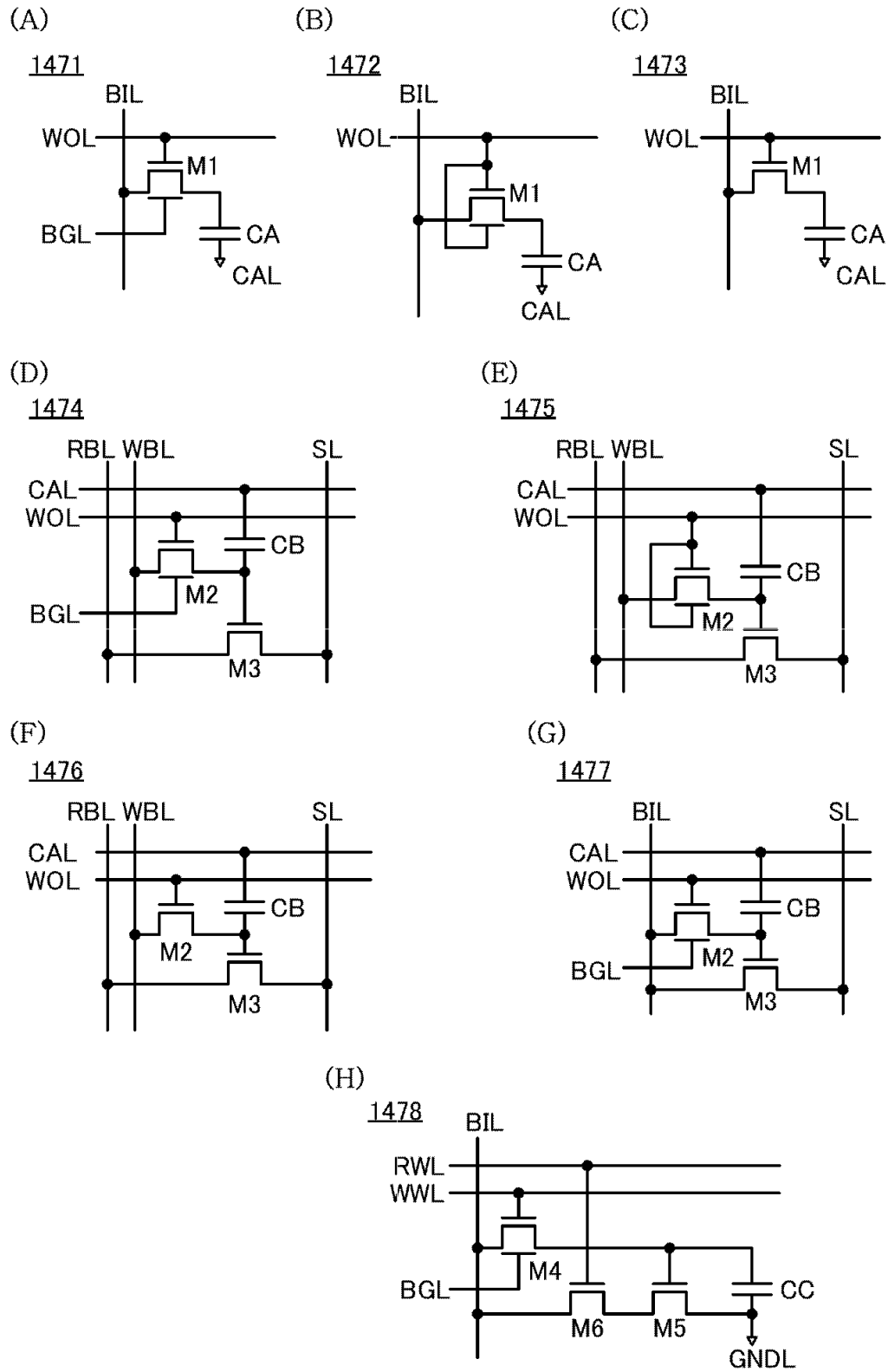
도면15



도면16

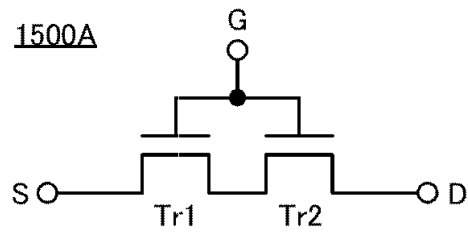


도면17

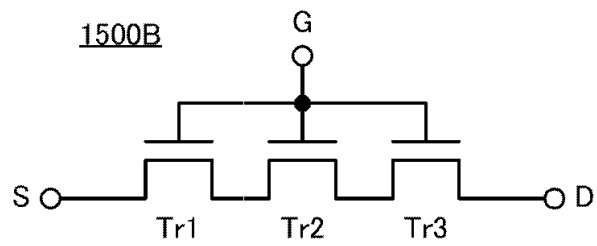


도면18

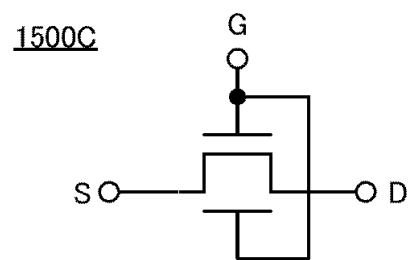
(A)



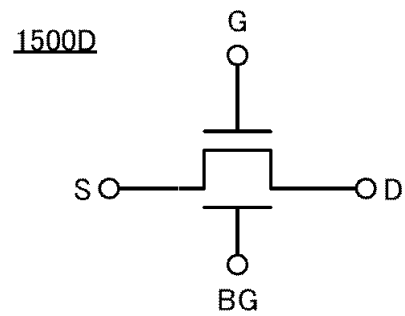
(B)



(C)

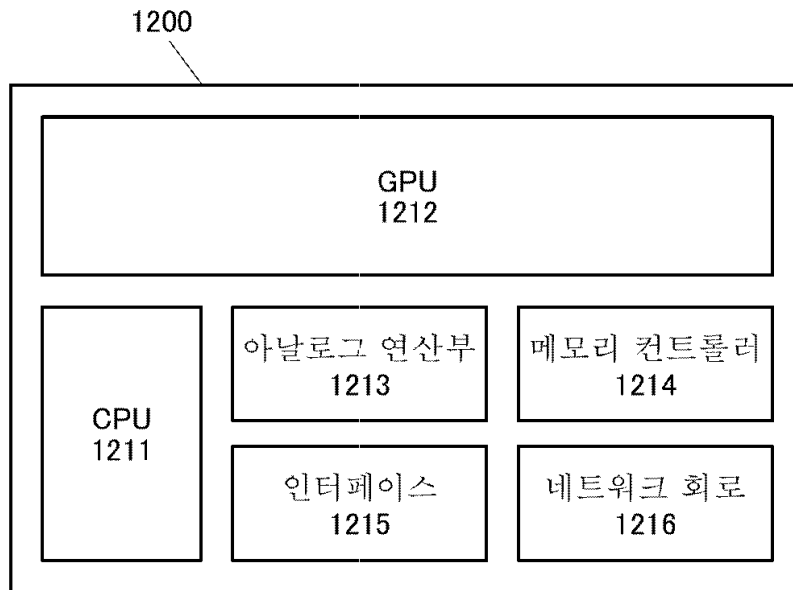


(D)

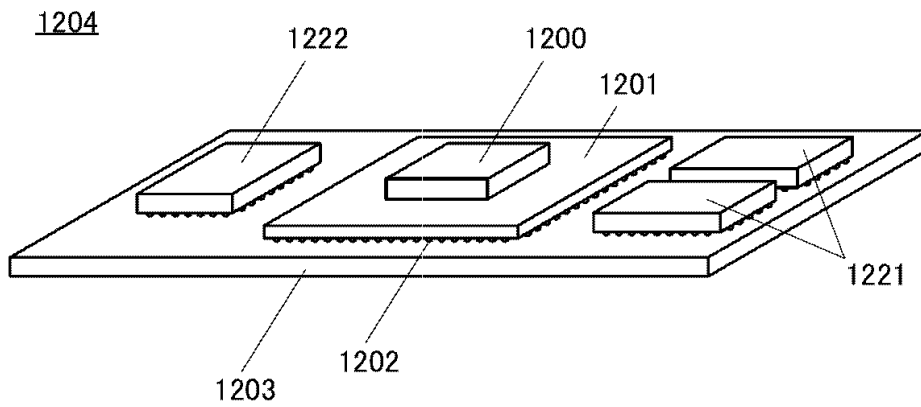


도면19

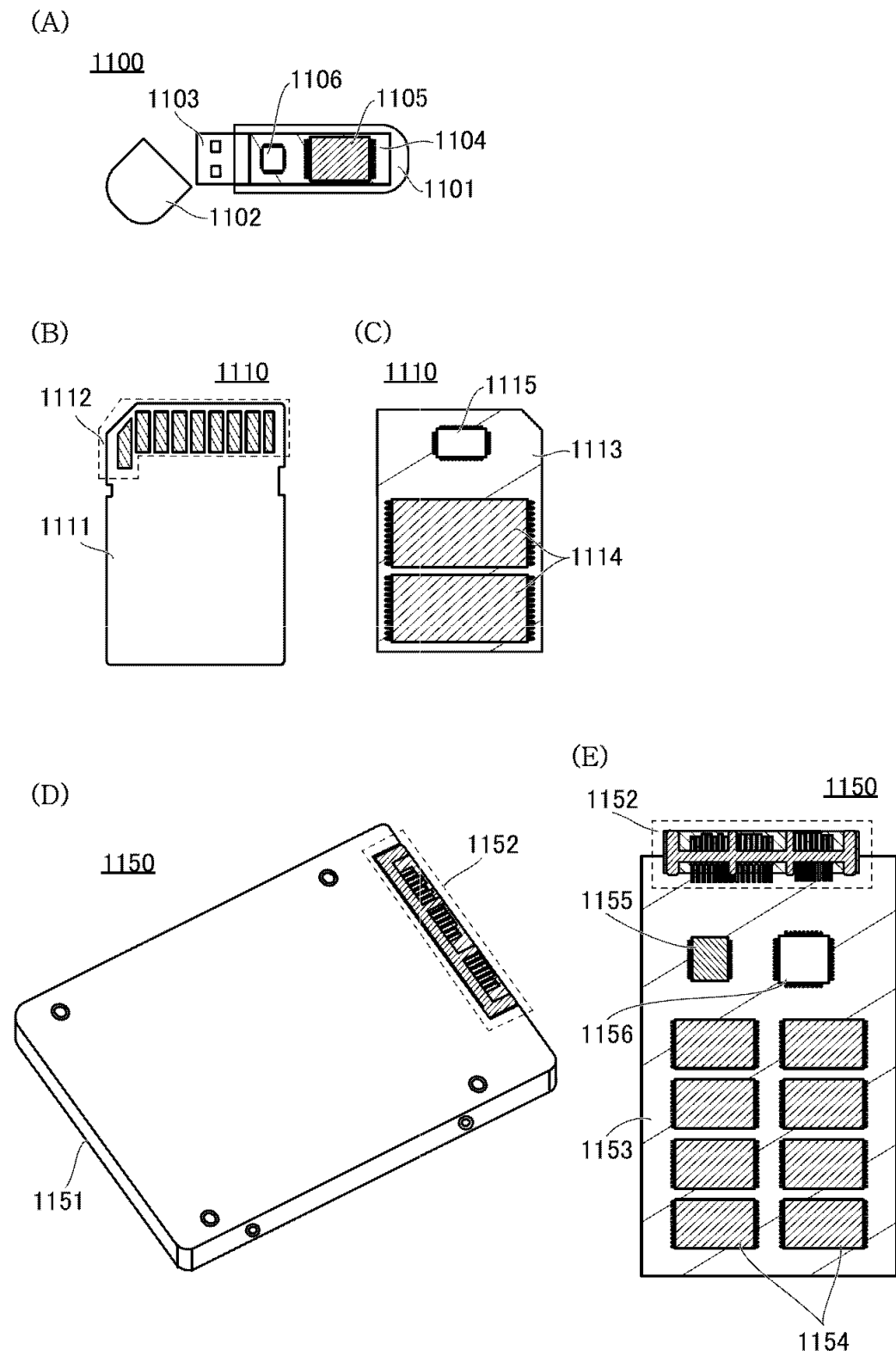
(A)



(B)

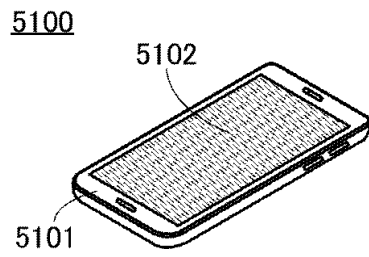


도면20

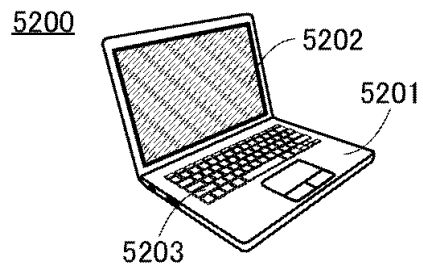


도면21

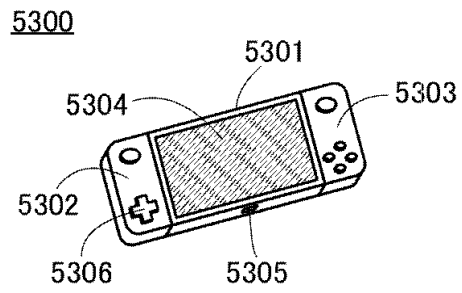
(A)



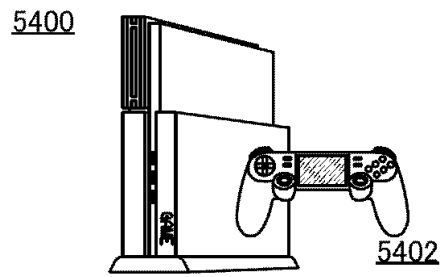
(B)



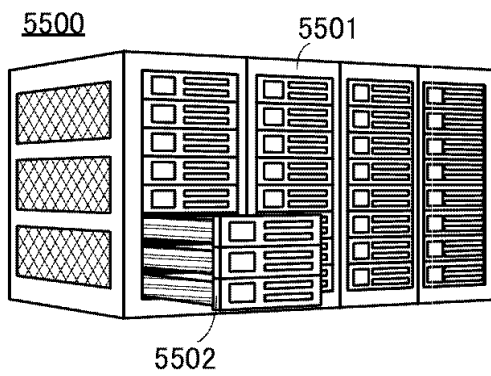
(C)



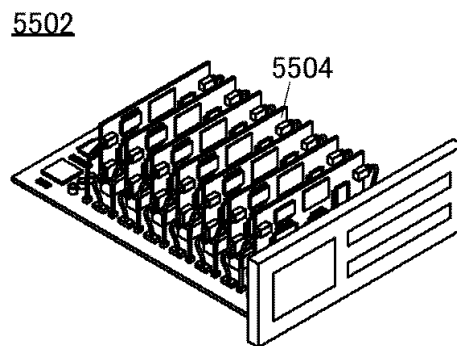
(D)



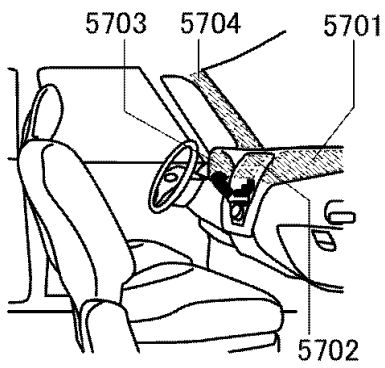
(E)



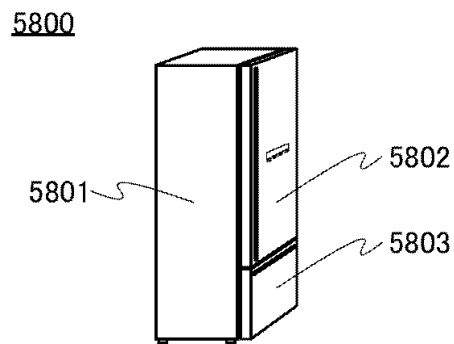
(F)



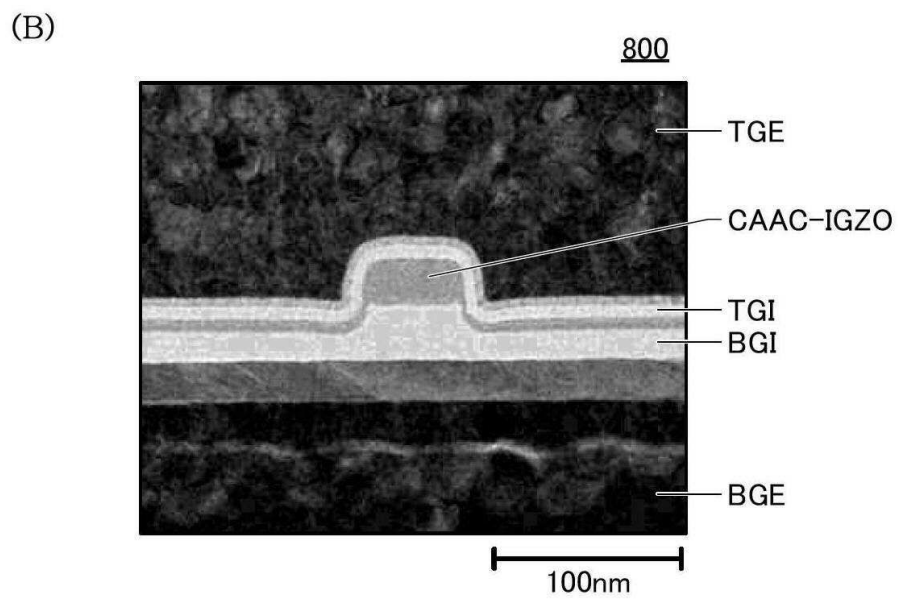
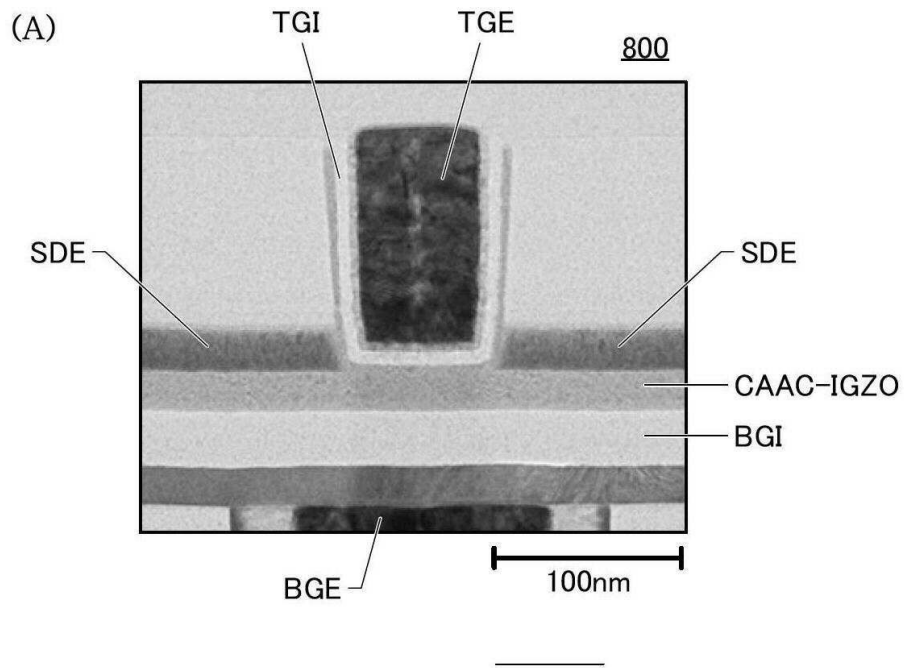
(G)



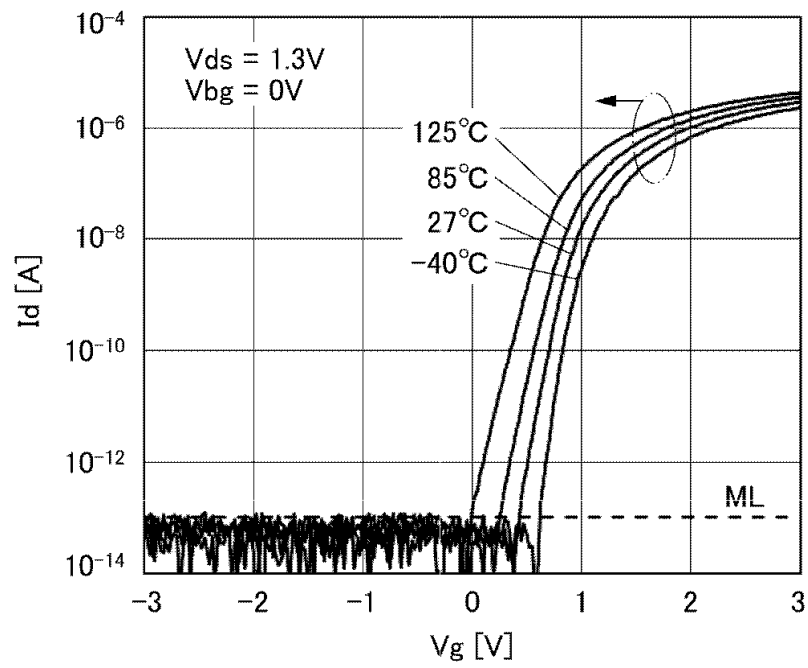
(H)



도면22

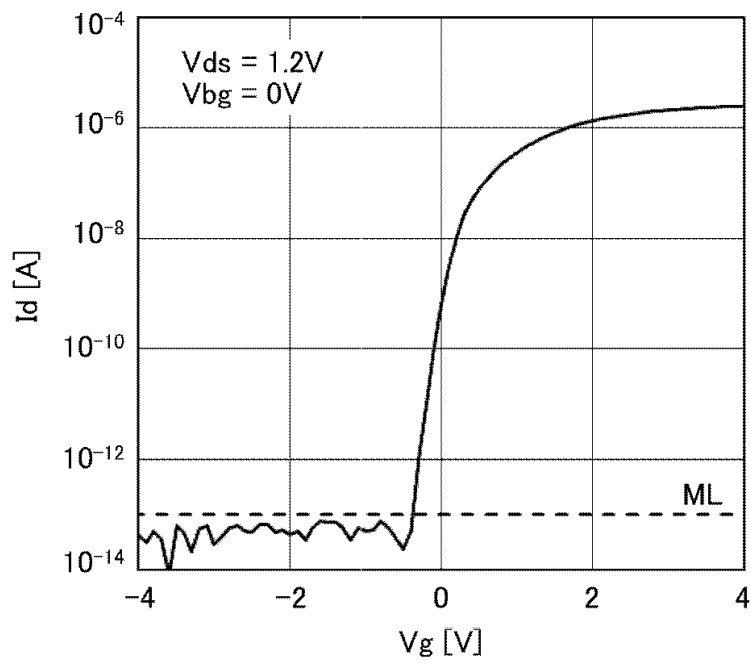


도면23

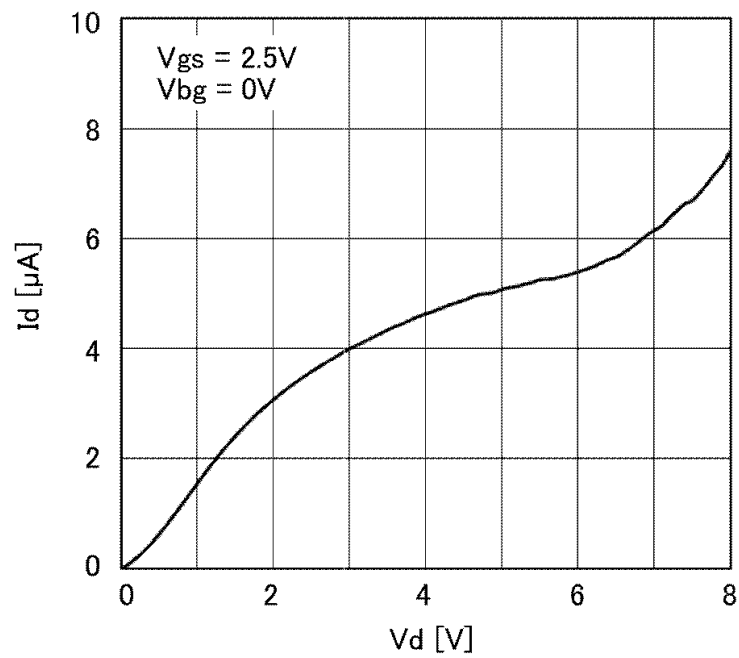


도면24

(A)

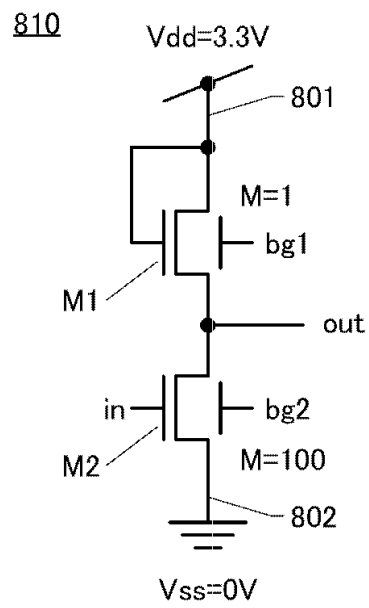


(B)

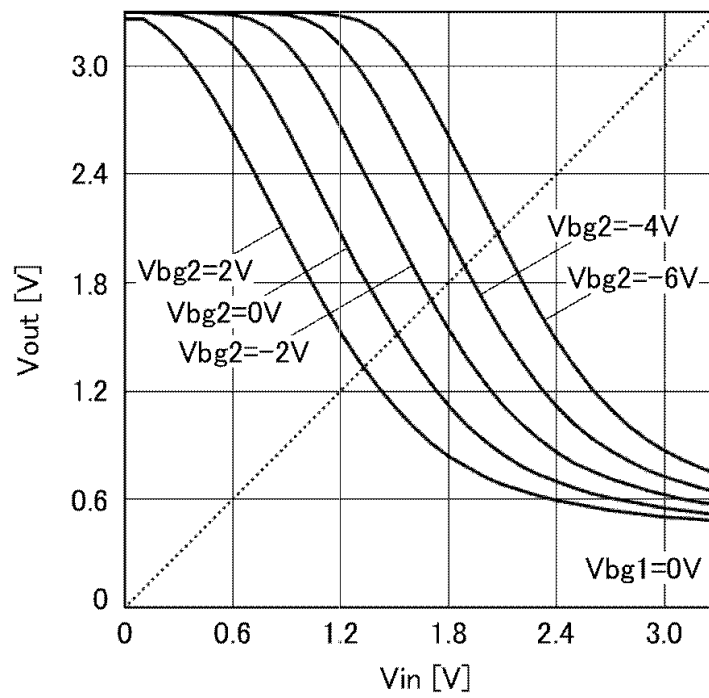


도면25

(A)

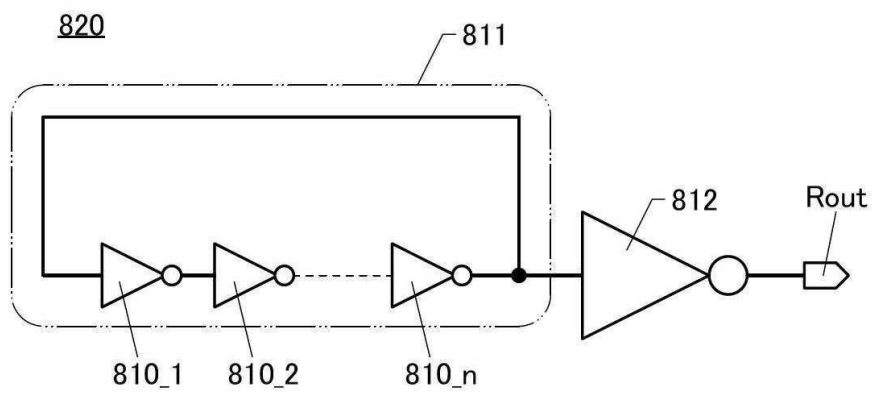


(B)

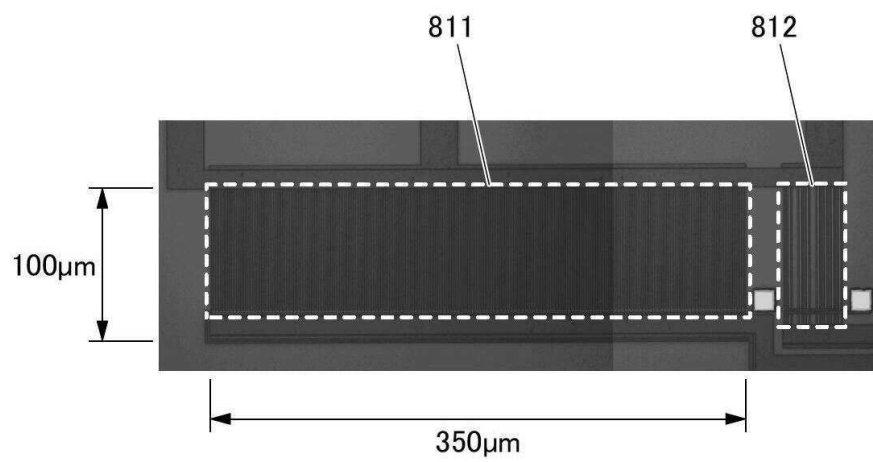


도면26

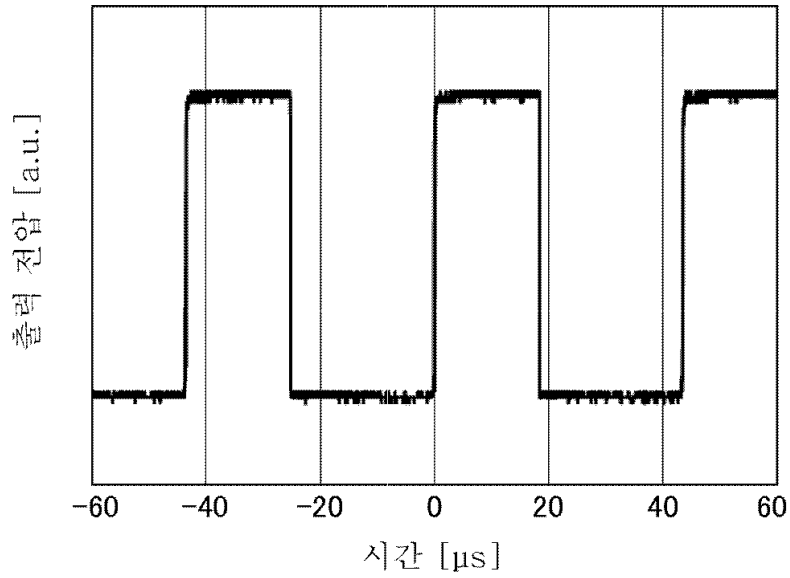
(A)



(B)



도면27



도면28

