



(12) 发明专利

(10) 授权公告号 CN 101740335 B

(45) 授权公告日 2011.05.04

(21) 申请号 200810226383.9

(22) 申请日 2008.11.14

(73) 专利权人 中芯国际集成电路制造(北京)有限公司

地址 100176 北京市经济技术开发区文昌大道18号

(72) 发明人 李志强 张京晶 王军 李良坚

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 李丽

(51) Int. Cl.

H01L 21/00(2006.01)

H01L 21/3065(2006.01)

H01J 37/32(2006.01)

(56) 对比文件

CN 1930322 A, 2007.03.14, 全文.

CN 1557018 A, 2004.12.22, 摘要.

JP 特开 2006-118004 A, 2006.05.11, 说明

书第 0009 段至第 0017 段, 图 1-2.

JP 特开 2006-118004 A, 2006.05.11, 说明书第 0009 段至第 0017 段, 图 1-2.

CN 1601705 A, 2005.03.30, 全文.

审查员 阎澄

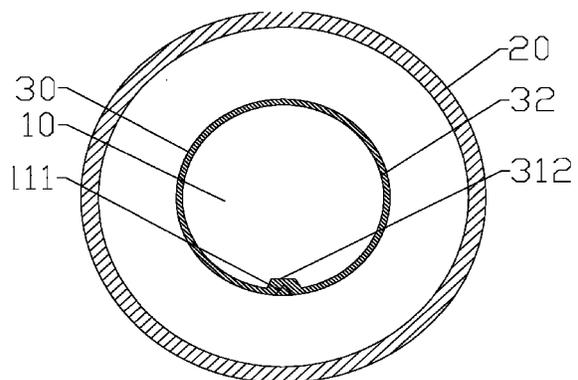
权利要求书 1 页 说明书 7 页 附图 5 页

(54) 发明名称

半导体制造设备和半导体结构的刻蚀方法

(57) 摘要

本发明提供了一种半导体制造设备和半导体结构的刻蚀方法, 其中, 所述半导体制造设备包括: 适于放置晶片的等离子体腔室; 适于保护所述晶片的圆环形的边缘保护圈, 所述边缘保护圈与所述晶片同心并将所述晶片的边缘部分遮盖; 其特征在于, 所述边缘保护圈具有能够遮盖所述晶片的边缘部分大于 1mm 的宽度。上述半导体制造设备中的边缘保护圈保护晶片的边缘部分, 能够避免等离子体对晶片边缘部分的损伤, 提高晶片的成品率。



1. 一种半导体制造设备,包括:  
适于放置晶片的等离子体腔室;  
适于保护所述晶片的圆环形的边缘保护圈,所述边缘保护圈与所述晶片同心并将所述晶片的边缘部分遮盖;其特征在于,  
所述边缘保护圈具有能够遮盖所述晶片的边缘部分大于 1mm 的宽度,所述边缘保护圈的外径与所述晶片的直径相同,所述边缘保护圈的宽度大于 1mm;  
所述晶片具有定位槽,所述边缘保护圈对应定位槽的位置还具有能将所述定位槽遮盖的突起。
2. 根据权利要求 1 所述的半导体制造设备,其特征在于,所述突起为梯形,所述梯形的上底边朝向晶片的中心。
3. 根据权利要求 2 所述的半导体制造设备,其特征在于,所述梯形的面积大于所述定位槽的面积。
4. 根据权利要求 1 所述的半导体制造设备,其特征在于,所述突起为圆弧形、三角形或矩形。
5. 根据权利要求 1 至 4 任一项所述的半导体制造设备,其特征在于,所述边缘保护圈的材料为抗等离子体侵蚀的材料。
6. 根据权利要求 5 所述的半导体制造设备,其特征在于,所述抗等离子体侵蚀的材料为石英。
7. 一种半导体结构的刻蚀方法,该方法利用如权利要求 1 至 6 任一项所述的半导体制造设备,其特征在于,包括:  
将晶片置于等离子体腔室中,所述晶片中具有半导体器件;  
在所述晶片上形成图案化的掩膜层;  
将所述边缘保护圈覆盖于所述晶片上,边缘保护圈的中心与晶片的中心重合,其中,所述边缘保护圈具有能够遮盖所述晶片的边缘部分大于 1mm 的宽度,所述边缘保护圈的外径与所述晶片的直径相同,所述边缘保护圈的宽度大于 1mm;所述晶片具有定位槽,所述边缘保护圈对应定位槽的位置还具有能将所述定位槽遮盖的突起;  
以图案化的掩膜层为阻挡层对晶片上未被所述边缘保护圈遮盖的部分进行刻蚀,从而形成半导体结构。
8. 根据权利要求 7 所述半导体结构的刻蚀方法,其特征在于,所述掩膜层为硬掩膜层或光刻胶层。

## 半导体制造设备和半导体结构的刻蚀方法

### 技术领域

[0001] 本发明涉及半导体制造技术,特别涉及一种半导体制造设备、半导体结构的刻蚀方法。

### 背景技术

[0002] 随着半导体制造技术向着特征尺寸 45nm 及其以下的尺寸发展,为提高生产效率、降低成本,制造商必须不断努力在有限尺寸的晶片上获得尽可能高的芯片产量。

[0003] 目前,工业上趋于使用较大尺寸的例如直径 300mm 的晶片,以进一步提高芯片产量,然而,实际工艺过程中,芯片的损坏往往难以避免,例如设备的设计、颗粒污染、晶片夹持工具等多种因素都可能导致芯片失效,影响成品率。

[0004] 干法刻蚀形成半导体结构过程中,用于刻蚀的等离子体也是损坏晶片的因素之一。等离子体是含有正负带电颗粒和自由原子团的高度离子化气体,当与晶片上待刻蚀的材料接触时发生物理、化学反应,消耗待刻蚀的材料并生成挥发性的物质,然后通过抽气装置排出。在刻蚀工艺中,通常采用光刻胶或硬掩膜作为掩膜层保护不希望被刻蚀的区域,防止其被等离子体损伤,但是由于本领域内公知的原因,例如光刻胶旋涂均匀性和等离子体分布的边缘效应,晶片的边缘部分的掩膜层不能够充分保护其下层的材料,而使不希望被刻蚀的区域在刻蚀过程中被等离子体损伤,导致芯片失效,使整个晶片上的成品率降低。

[0005] 现有技术中对解决上述问题提出了几种方法,公告号为 CN1508849 的中国专利提供了一种用于在干刻蚀期间防止晶片边缘损坏的装置,所述装置包括:环,其包括环绕在晶片周围并且接近晶片边缘部分的磁铁,该磁铁产生用于使入射到该晶片的边缘部分上的带电颗粒偏离的磁场,从而防止所述颗粒对晶片边缘的损坏。上述装置虽然可以在一定程度上解决晶片边缘部分的损伤,但是该装置中的环在刻蚀过程中也会被等离子体损伤而消耗,同时造成刻蚀腔室的污染,因此应用范围有限。

[0006] 另一种方法是在刻蚀期间使用边缘保护圈覆盖于晶片的边缘部分以起到保护作用,边缘保护圈采用石英等不易被等离子体侵蚀的材料制成,由于通常晶片边缘被保护的有效宽度约为 1mm,因此所述边缘保护圈的宽度相应的也为 1mm,这样可以保护晶片的边缘部分不被等离子体损伤,这部分区域将被废弃而不用于制造芯片,从而防止等离子体损伤沿径向往里蔓延。

[0007] 然而问题在于,实际生产中,例如刻蚀用于形成电容器的深沟槽,上述边缘保护圈之下的晶片边缘部分虽然被保护,但边缘保护圈沿径向往里的晶片的区域仍然被等离子体损伤,导致芯片失效,使整个晶片上的芯片产量减小、成品率降低。

### 发明内容

[0008] 本发明解决的问题是提供一种半导体制造设备,能够提高整个晶片上的芯片产量。

[0009] 相应的,本发明解决的另一问题是提供一种半导体结构的刻蚀方法,能够避免等

离子体对晶片边缘部分的损伤,提高晶片的成品率。

[0010] 为解决上述问题,本发明的技术方案提供了一种半导体制造设备,包括:

[0011] 适于放置晶片的等离子体腔室;

[0012] 适于保护所述晶片的圆环形的边缘保护圈,所述边缘保护圈与所述晶片同心并将所述晶片的边缘部分遮盖;其特征在于,

[0013] 所述边缘保护圈具有能够遮盖所述晶片的边缘部分大于 1mm 的宽度。

[0014] 可选的,当所述边缘保护圈的外径与所述晶片的直径相同时,所述边缘保护圈的宽度大于 1mm。

[0015] 可选的,所述晶片具有定位槽,所述边缘保护圈对应定位槽的位置还具有能将所述定位槽遮盖的突起。

[0016] 可选的,所述突起为梯形,所述梯形的上底边朝向晶片的中心。

[0017] 所述梯形的面积大于所述定位槽的面积。

[0018] 可选的,所述突起为圆弧形、三角形或矩形。

[0019] 所述边缘保护圈的材料为抗等离子体侵蚀的材料。

[0020] 可选的,所述抗等离子体侵蚀的材料为石英。

[0021] 相应的,本发明的实施例还提供了一种半导体结构的刻蚀方法,该方法利用所述的半导体制造设备,包括:

[0022] 将晶片置于等离子体腔室中,所述晶片中具有半导体器件;

[0023] 在所述晶片上形成图案化的掩膜层;

[0024] 将所述边缘保护圈覆盖于所述晶片上,边缘保护圈的中心与晶片的中心重合;

[0025] 以图案化的掩膜层为阻挡层对晶片上未被所述边缘保护圈遮盖的部分进行刻蚀,从而形成半导体结构。

[0026] 可选的,所述掩膜层为硬掩膜层或光刻胶层。

[0027] 与现有技术相比,上述技术方案具有以下优点:

[0028] 所述半导体制造设备的边缘保护圈的宽度更大,能够遮盖的晶片的边缘部分在 1mm 以上,可以遮盖更宽的晶片边缘部分,保护邻近边缘保护圈的暴露在等离子体中的晶片区域,防止光刻胶或硬掩膜的图案被高能量的等离子体破坏,保证掩膜层之下的材料不被侵蚀,从而在整个晶片上获得更高的芯片产量。

[0029] 具有突起的边缘保护圈,不仅可以遮盖更宽的晶片边缘部分,保护邻近边缘保护圈的暴露在等离子体中的晶片区域,而且也能保护晶片边缘的定位槽周围区域,防止在刻蚀过程中被等离子体损伤,从而进一步提高整个晶片的成品率。

[0030] 所述半导体结构的刻蚀方法,在刻蚀工艺中采用上述边缘保护圈保护晶片的边缘部分,能够避免等离子体对晶片边缘部分的损伤,提高晶片的成品率。

## 附图说明

[0031] 通过附图所示,本发明的上述及其它目的、特征和优势将更加清晰。在全部附图中相同的附图标记指示相同的部分。并未刻意按实际尺寸等比例缩放绘制附图,重点在于示出本发明的主旨。

[0032] 图 1 为实施例一中半导体制造设备的主视图;

- [0033] 图 2 为实施例一中图 1 的俯视图；
- [0034] 图 3 为实施例二中半导体制造设备的俯视图；
- [0035] 图 4 至图 7 为实施例三中半导体结构的刻蚀方法的示意图；
- [0036] 图 8 为传统技术中经过刻蚀工艺后晶片边缘的显微照片；
- [0037] 图 9 为本发明实施例中经过刻蚀工艺后晶片边缘的显微照片。

### 具体实施方式

[0038] 为使本发明的上述目的、特征和优点能够更加明显易懂，下面结合附图对本发明的具体实施方式做详细的说明。

[0039] 在下面的描述中阐述了很多具体细节以便于充分理解本发明，但是本发明还可以采用其他不同于在此描述的其它方式来实施，本领域技术人员可以在不违背本发明内涵的情况下做类似推广，因此本发明不受下面公开的具体实施例的限制。

[0040] 其次，本发明结合示意图进行详细描述，在详述本发明实施例时，为便于说明，表示器件结构的剖面图会不依一般比例作局部放大，而且所述示意图只是示例，其在此不应限制本发明保护的范围。此外，在实际制作中应包含长度、宽度及深度的三维空间尺寸。

[0041] 在半导体制造过程中，一般利用等离子体对晶片进行干法刻蚀，刻蚀时通过光刻胶或硬掩膜组成掩膜层保护不需要被刻蚀的区域，以获得所需的半导体结构。但是由于晶片负载不均匀、光刻胶旋涂均匀性和等离子体分布的边缘效应等原因，使得晶片的边缘部分的掩膜层不能够充分保护其下层的材料，而使不希望被刻蚀的区域在刻蚀过程中被等离子体损伤，导致芯片失效，使整个晶片上的成品率降低。

[0042] 传统的技术中采用边缘保护圈来覆盖晶片的边缘部分，该边缘部分不形成刻蚀图案，然后在切片封装过程中废弃。由于通常晶片边缘被保护的有效宽度为约 1mm，因此所述边缘保护圈的宽度相应的也 1mm，废弃 1mm 宽度区域内的晶片边缘部分，而可以保护沿径向更宽区域内不被等离子体损伤。

[0043] 但是对于某些实际生产过程，例如刻蚀用于形成电容器的深沟槽，上述边缘保护圈之下的晶片边缘部分虽然被保护，但边缘保护圈沿径向往里的晶片的区域仍然被等离子体损伤，导致芯片失效，使整个晶片上的芯片产量减小、成品率降低。

[0044] 发明人研究发现，上述问题可能是由等离子体的能量过大造成的。例如在刻蚀深沟槽的过程中，为刻蚀出较深的沟槽（例如 5 微米至 7 微米），等离子体的激发功率可达到 2400 瓦，远高于一般干法刻蚀的功率（几百瓦至一千瓦），这样高能量的等离子体对晶片表面的侵蚀作用更加强烈，而邻近边缘保护圈的暴露在等离子体中的晶片边缘部分，其光刻胶或硬掩膜的图案被高能量的等离子体破坏，而不足以保护下层不希望刻蚀的材料，导致该边缘部分的芯片失效。

[0045] 基于以上发现，本发明的实施例提供以下的半导体制造设备，包括：

[0046] 放置有晶片的等离子体腔室，所述晶片上面的圆环形的边缘保护圈，所述边缘保护圈与所述晶片同心并将所述晶片的边缘部分遮盖；

[0047] 所述边缘保护圈具有能够遮盖所述晶片的边缘部分大于 1mm 的宽度。

[0048] 可选的，当所述边缘保护圈的外径与所述晶片的直径相同时，所述边缘保护圈的宽度大于 1mm。

[0049] 可选的,所述晶片具有定位槽,所述边缘保护圈对应定位槽的位置还具有能将所述定位槽遮盖的突起。

[0050] 可选的,所述突起为梯形,所述梯形的上底边朝向晶片的中心。

[0051] 所述梯形的面积大于所述定位槽的面积。

[0052] 可选的,所述突起为圆弧形、三角形或矩形。

[0053] 所述边缘保护圈的材料为抗等离子体侵蚀的材料。

[0054] 可选的,所述抗等离子体侵蚀的材料为石英。

[0055] 相应的,本发明的实施例还提供了一种半导体结构的刻蚀方法,包括:

[0056] 将晶片置于等离子体腔室中,所述晶片中具有半导体器件;

[0057] 在所述晶片上形成图案化的掩膜层;

[0058] 提供如权利要求 1 至 7 任一项所述的边缘保护圈;

[0059] 将所述边缘保护圈置于所述晶片上,边缘保护圈的中心与晶片的中心重合,所述边缘保护圈将晶片的边缘部分遮盖的宽度大于 1mm;

[0060] 以图案化的掩膜层为阻挡层对晶片上未被所述边缘保护圈遮盖的部分进行刻蚀,从而形成半导体结构。

[0061] 可选的,所述掩膜层为硬掩膜层或光刻胶层。

[0062] 实施例一

[0063] 本实施例结合图 1 至图 2 详细说明所述半导体制造设备。

[0064] 图 1 为半导体制造设备的主视图,图 2 为图 1 的俯视图。该半导体制造设备包括:放置有晶片 1 的等离子体腔室 2,所述晶片 1 上面的边缘保护圈 3;边缘保护圈 3 为圆环形,所述边缘保护圈 3 与所述晶片 1 同心并将所述晶片 1 的边缘部分 11(见图 1)遮盖。这里的“同心”不仅限于圆形,当晶片为其他的中心对称的形状例如正方形、正三角形时,所述边缘保护圈也为相应的形状,并且晶片与边缘保护圈的中心重合。

[0065] 所述边缘部分 11 是指,所述晶片 1 的最外边沿径向往里一定宽度范围内的圆环形区域。一般说来,该边缘部分需要保护区域宽度约为 1mm。

[0066] 所述边缘保护圈 3 的外径不小于所述晶片 1 的直径,该边缘保护圈 3 具有能够遮盖所述晶片 1 的边缘部分大于 1mm 的宽度。

[0067] 当边缘保护圈 3 的外径与所述晶片 1 的直径相同时,所述边缘保护圈 3 的宽度大于 1mm。而当边缘保护圈 3 的外径大于所述晶片 1 的直径,则其宽度还应该更大,以保证其遮盖晶片 1 的边缘部分大于 1mm。

[0068] 图 8 为传统技术中经过刻蚀工艺后晶片边缘的显微照片,图 9 为本实施例中经过刻蚀工艺后晶片边缘的显微照片。如图 8 所示,传统技术加工的晶片边缘中箭头 A 所示的芯片均有不同程度的破坏,而如图 9 所示,采用本实施例所述的半导体设备进行加工的晶片边缘,箭头 C 所示的芯片均完好无损。

[0069] 可见,相对于传统技术中的边缘保护圈,本实施例半导体制造设备的边缘保护圈的宽度更大,能够遮盖的晶片的边缘部分在 1mm 以上,可以遮盖更宽的晶片边缘部分,保护邻近边缘保护圈的暴露在等离子体中的晶片区域,防止光刻胶或硬掩膜的图案被高能量的等离子体破坏,保证掩膜层之下的材料不被刻蚀,从而在整个晶片上获得更高的芯片产量。

[0070] 所述边缘保护圈 3 的材料为抗等离子体侵蚀的材料,例如为石英,石英不仅能够

不被等离子体侵蚀,可以避免对等离子体腔室的污染,而且成本较低,制作简便。

[0071] 但是,本领域技术人员应该能够推知,所述边缘保护圈的宽度越宽,其遮盖的晶片边缘部分也就越多,整个晶片上可以利用制造芯片的区域损失也就越多,这不利于产能的提高。因此可以通过有限次的试验,获得合适的宽度,用尽可能小的边缘保护圈的宽度实现对晶片的边缘部分的有效保护。

[0072] 除此以外,所述半导体制造设备中的边缘保护圈还可以包括一突起,此突起位于所述边缘保护圈的内圆上,用来遮盖晶片定位槽,以保护定位槽周围的晶片边缘部分不被等离子体破坏。具体在以下实施例中说明。

[0073] 实施例二

[0074] 本实施例结合图 3 详细介绍所述的半导体制造设备。

[0075] 如图 3 所示的半导体制造设备的俯视图,该半导体制造设备包括:放置有晶片 10 的等离子体腔室 20,所述晶片 10 上面的边缘保护圈 30;边缘保护圈 30 为圆环形,所述边缘保护圈 30 与所述晶片 10 同心并将所述晶片 10 的边缘部分遮盖。

[0076] 所述边缘部分的含义与实施例一相同,在此不再赘述。

[0077] 所述晶片 10 的边缘部分上具有定位槽 111(见图 3 中的虚线所示),该定位槽 111 用来标明晶片 10 的导电类型和晶体结构的晶向。定位槽 111 是由晶片 10 的外边沿朝向圆心的一个凹口,它的存在使晶片边缘部分的负载以及等离子体的分布发生改变,在传统技术中,等离子体对定位槽周围损伤相对于晶片的其他边缘部分更加明显。

[0078] 本实施例中边缘保护圈 30 上对应定位槽 111 的位置还具有能将所述定位槽 111 遮盖的突起。该突起由边缘保护圈 30 的内圆 32 向圆心方向延伸。

[0079] 如图 3 所示,所述突起 31 为梯形,所述梯形的上底边 311 朝向晶片 10 的中心,下底边(图中未标号)与边缘保护圈 30 的内圆 32 连成一体。所述梯形的面积大于所述定位槽 111 的面积,因此可以将定位槽 111 完全遮盖。

[0080] 所述突起也可以为圆弧形、三角形、矩形或其他形状,无论突起的形状如何变化,其大小至少应该为能够将所述定位槽遮盖。

[0081] 与实施例一类似,所述边缘保护圈 30 的外径不小于所述晶片 10 的直径,该边缘保护圈 30 具有能够遮盖所述晶片 10 的边缘部分大于 1mm 的宽度。当边缘保护圈 30 的外径与所述晶片 10 的直径相同时,所述边缘保护圈 30 的宽度大于 1mm。而当边缘保护圈 30 的外径大于所述晶片 10 的直径时,则其宽度还应该更大,以保证其遮盖晶片 10 的边缘部分大于 1mm。

[0082] 如图 8 所示,传统技术加工的晶片边缘中箭头 B 所示的邻近定位槽的芯片,被等离子体的破坏较严重,而如图 9 所示,采用本实施例所述的半导体设备进行加工的晶片边缘,箭头 D 所示的邻近定位槽的芯片均完好无损。

[0083] 上述边缘保护圈相对于传统技术,不仅可以遮盖更宽的晶片边缘部分,保护邻近边缘保护圈的暴露在等离子体中的晶片区域,而且也能保护晶片边缘的定位槽周围区域,防止在刻蚀过程中被等离子体损伤,从而进一步提高整个晶片的成品率。

[0084] 同样,本实施例中所述半导体制造设备的边缘保护圈为抗等离子体侵蚀的材料,优选的,所述抗等离子体侵蚀的材料为石英。

[0085] 下面以深沟槽的刻蚀方法为例,详细介绍本发明所述半导体结构的刻蚀方法的具

体实施方式。

[0086] 实施例三

[0087] 本实施例所述半导体结构的刻蚀方法为形成用于制作电容器的半导体结构,所述方法包括:

[0088] 步骤 A,将晶片置于等离子体腔室中,所述晶片中具有半导体器件。所述晶片例如为硅晶片。

[0089] 接着在所述晶片上形成硬掩膜层。如图 4 所示,硬掩膜层 410 形成于晶片 400 上,该硬掩膜层 410 用来作为刻蚀深沟槽时的保护层,保护其下面不需要被刻蚀的区域。

[0090] 由于用于制作电容器的深沟槽的深度可达 7 微米,因此该硬掩膜层可以为至少两层组成的叠层,例如,如图 4 所示的硬掩膜层 410 包括第一层硬掩膜 411 和第一层硬掩膜 411 之上的第二层硬掩膜 412。其中,所述第一层硬掩膜 411 的材料包括但不限于硼硅玻璃(Borosilicate glass,BSG),其厚度为 1500 埃至 1800 埃;所述第二层硬掩膜 412 的材料包括但不限于多晶硅,其厚度为 2000 埃至 2400 埃。

[0091] 所述硬掩膜层 410 可以采用现有的或未来可能开发的化学气相沉积法制造,例如等离子体辅助化学气相沉积法或高密度等离子体辅助化学气相沉积法。

[0092] 然后在硬掩膜层 410 上形成底部抗反射层(图中未示出),所述底部抗反射层用以控制反射和驻波,避免曝光时光线在底层膜反射,而损害临近的未曝光光刻胶,对线宽控制造成不好的影响。

[0093] 在底部抗反射层上形成光刻胶层 420。采用旋转涂胶法得到一层均匀覆盖底部抗反射层的光刻胶层 420,然后在 90°C 至 100°C 进行 30s 软烘,以去除光刻胶中的溶剂,提高光刻胶层的粘附性。

[0094] 步骤 B,参照图 5 所示,曝光、显影从而形成图案化的光刻胶层 425。

[0095] 步骤 C,提供实施例一和实施例二中任一边缘保护圈,该边缘保护圈在实施例一和实施例二中已经介绍,在此不再赘述。

[0096] 将所述边缘保护圈置于所述晶片上,边缘保护圈的中心与晶片的中心重合,所述边缘保护圈将晶片的边缘部分遮盖的宽度大于 1mm。具有突起的边缘保护圈也可以将晶片的定位槽遮盖。

[0097] 如图 6 所示,以图案化的光刻胶层 425 为阻挡层对其下面的硬掩膜层 410(见图 5)进行刻蚀,从而形成图案化的硬掩膜层 415。上述刻蚀仅对晶片上未被所述边缘保护圈遮盖的部分进行刻蚀,边缘保护圈避免等离子体对晶片边缘部分的损伤,提高晶片的成品率。

[0098] 然后,如图 7 所示,以图案化的硬掩膜层 415 为阻挡层,在晶片 400 中形成深沟槽 435。

[0099] 以上实施例中在以图案化的光刻胶层为阻挡层刻蚀晶片时采用边缘保护圈,除此以外,还可以在以图案化的硬掩膜层为阻挡层刻蚀晶片时采用边缘保护圈。

[0100] 需要说明的是,以上实施例中所述半导体制造设备仅给出了等离子体刻蚀设备,事实上,可以为等离子体化学气相沉积设备,其中所述边缘保护圈同样适用于这种设备,也在本发明的保护范围之内。

[0101] 以上所述,仅是本发明的较佳实施例而已,并非对本发明作任何形式上的限制。

[0102] 虽然本发明已以较佳实施例披露如上,然而并非用以限定本发明。任何熟悉本领域

域的技术人员,在不脱离本发明技术方案范围情况下,都可利用上述揭示的方法和技术内容对本发明技术方案作出许多可能的变动和修饰,或修改为等同变化的等效实施例。因此,凡是未脱离本发明技术方案的内容,依据本发明的技术实质对以上实施例所做的任何简单修改、等同变化及修饰,均仍属于本发明技术方案保护的范围内。

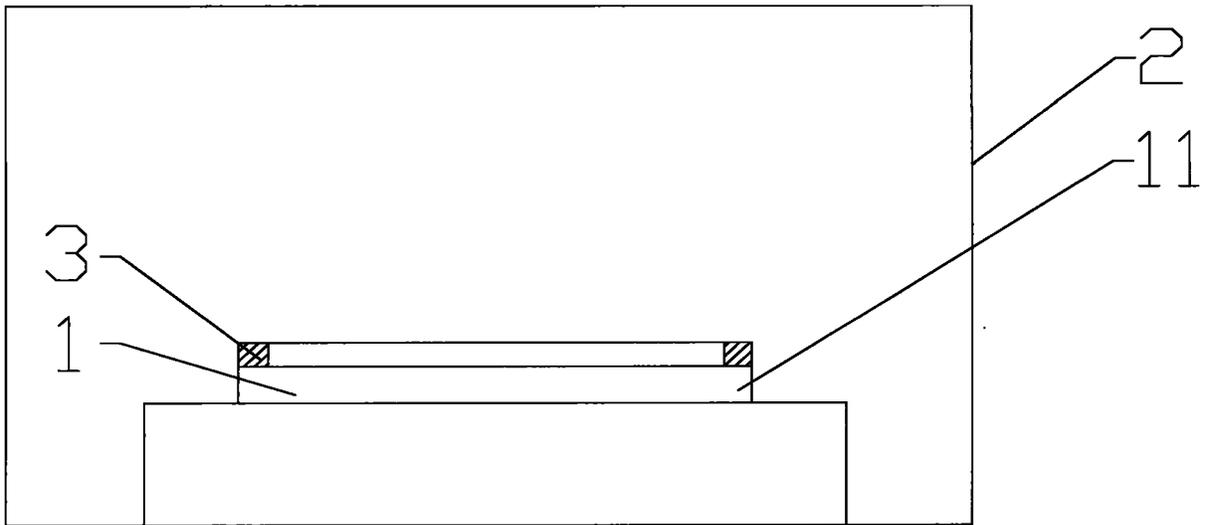


图 1

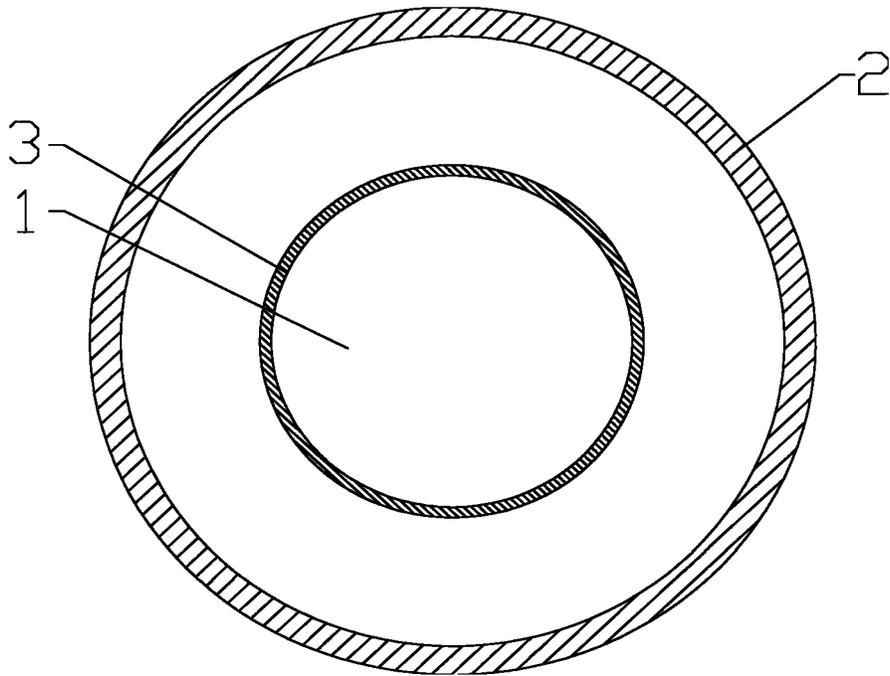


图 2

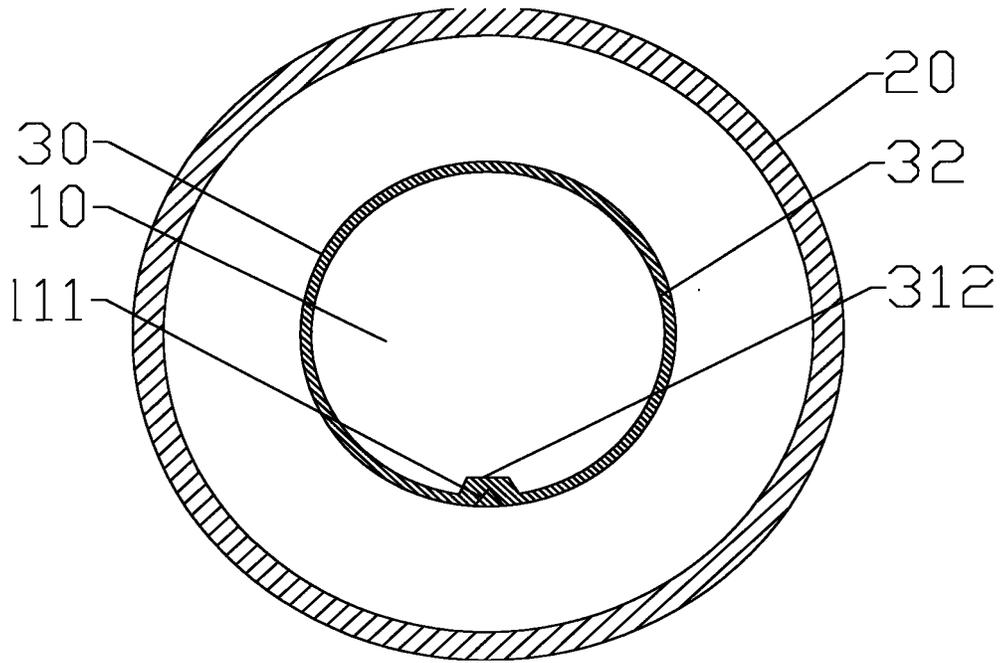


图 3

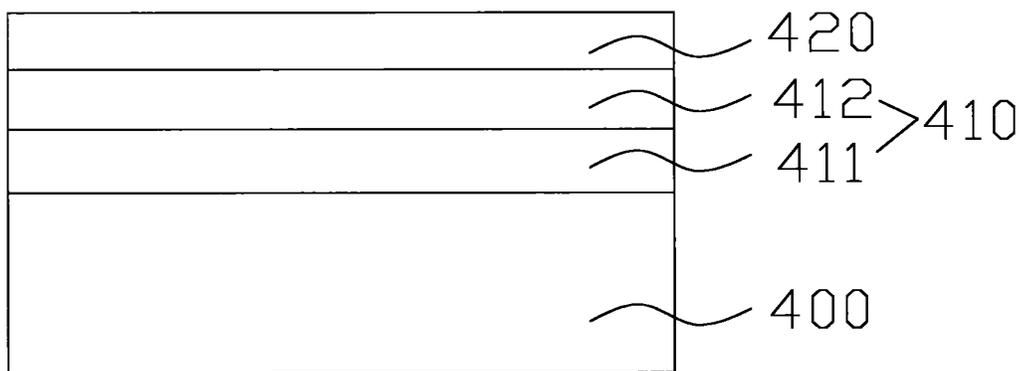


图 4

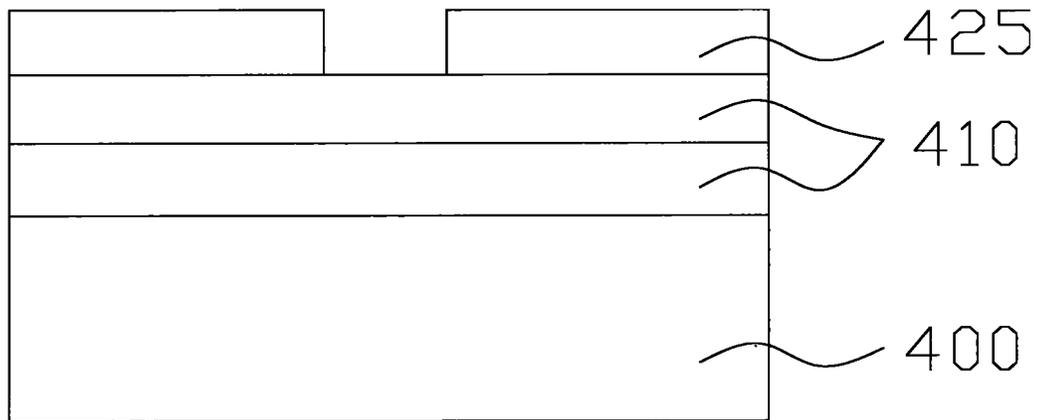


图 5

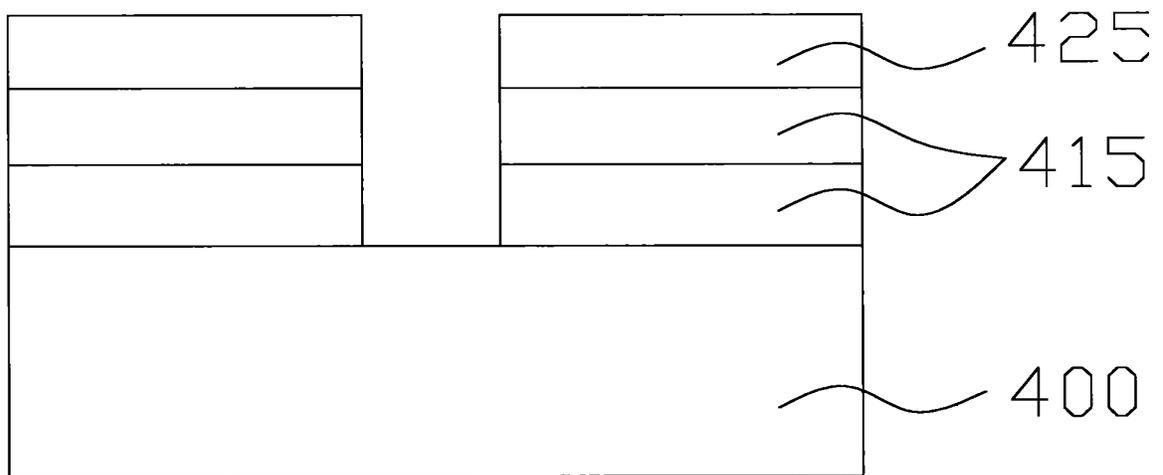


图 6

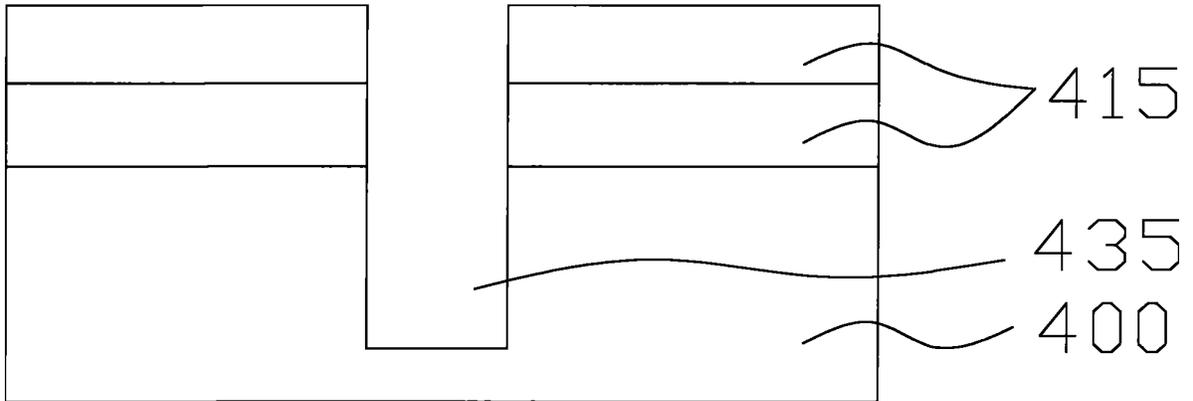


图 7

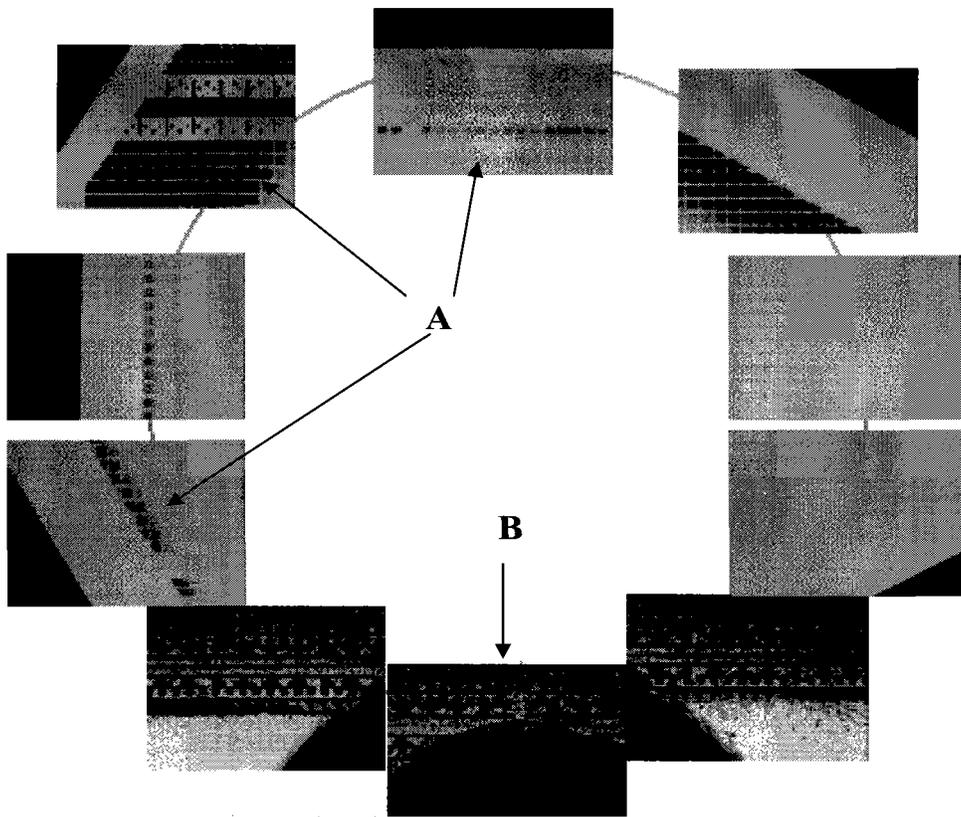


图 8

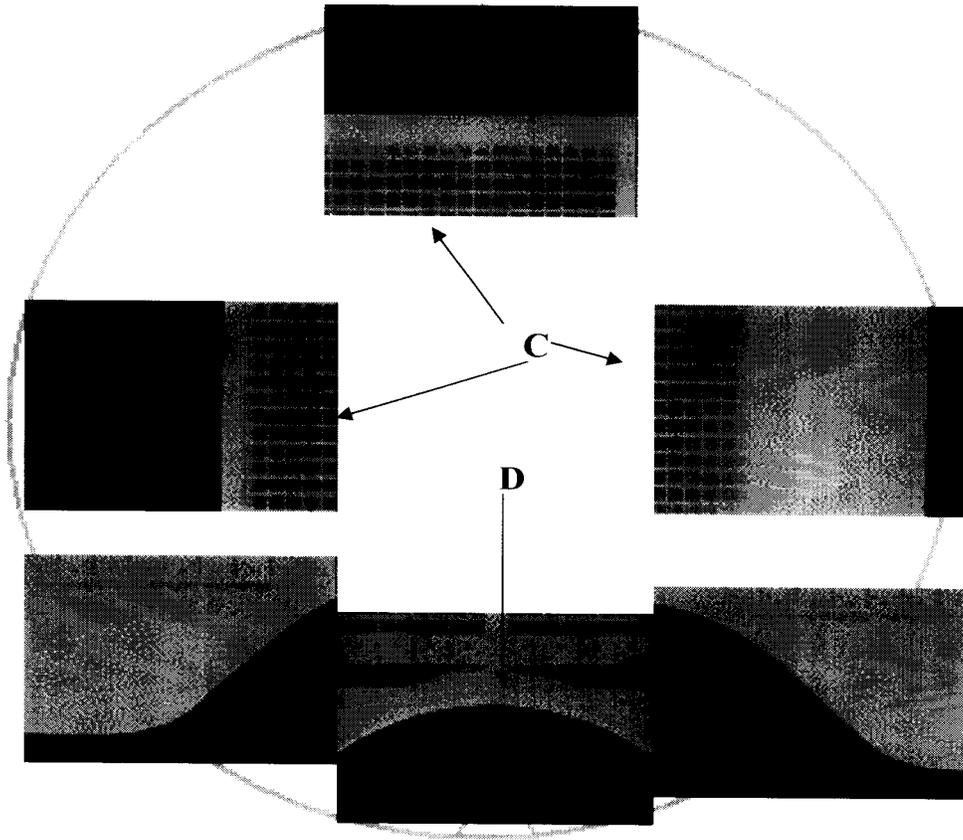


图 9