

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成21年4月23日 (2009.4.23)

【公開番号】特開2007-200351(P2007-200351A)

【公開日】平成19年8月9日 (2007.8.9)

【年通号数】公開・登録公報2007-030

【出願番号】特願2007-85679(P2007-85679)

【国際特許分類】

G 0 6 K 19/07 (2006.01)

【F I】

G 0 6 K 19/00 N

【手続補正書】

【提出日】平成21年3月10日 (2009.3.10)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

U S B 定義のバスへ接続するための U S B フラッシュメモリ装置であって、

(a) 少なくとも一つのフラッシュメモリ・モジュールと、

(b) U S B 定義のバスへ接続されるとともに前記 U S B 定義のバスを介して U S B 定義のパケットを送信及び受信するように適合された U S B コネクタと、

(c) 前記 U S B コネクタを介してホストとインターフェースするように構成され、前記 U S B 定義のパケットに従って前記少なくとも一つのフラッシュメモリ・モジュールに対して読み取り及び書き込みの少なくともいずれかを行うように適合された U S B 制御器と、を備え、

前記 U S B 制御器が、

前記 U S B コネクタを介して受信した U S B 定義のデータパケットから命令コードとして抽出した、前記少なくとも一つのフラッシュメモリ・モジュールに対して読み取りまたは書き込みのいずれかを行う読み取りまたは書き込みコマンドを解釈するように適合されたコマンド・インタープリタと、

それぞれのタイプのフラッシュメモリ・モジュールに対して読み取り又は書き込みを行うように適合されたそれぞれのメモリ・テクノロジー・ドライバと、

前記少なくとも一つのフラッシュメモリ・モジュールのタイプを判定するように適合された識別モジュールであって、前記判定されたタイプに従って前記読み取り又は書き込みを行わせるために活性化させる前記メモリ・テクノロジー・ドライバの一つを判定する識別モジュールと、を備えることを特徴とする U S B フラッシュメモリ装置。

【請求項 2】

前記 U S B コネクタを備えた一体式ユニットとして提供される、請求項 1 に記載の U S B フラッシュメモリ装置。

【請求項 3】

更に、前記 U S B 定義データパケットから論理アドレスを前記少なくとも一つのフラッシュメモリ・モジュールにおける物理アドレスに変換するように適合されたアドレス・リゾルバ・モジュールを備える、請求項 1 に記載の U S B フラッシュメモリ装置。

【請求項 4】

前記コマンドの一つが、前記少なくとも一つのフラッシュメモリ・モジュールヘデータ

を書き込むための書き込みコマンドであり、かつ、前記アドレスが、前記データを書き込むための論理アドレスであれば、前記アドレス・リゾルバ・モジュールが、前記論理アドレスを前記少なくとも一つのフラッシュメモリ・モジュールの物理アドレスへリゾルブし、そして、前記判定されたメモリ・テクノロジー・ドライバが、前記データを前記少なくとも一つのフラッシュメモリ・モジュールにおける前記物理アドレスに書き込むように構成される、請求項 3 に記載の U S B フラッシュメモリ装置。

【請求項 5】

前記一つのコマンドが、前記少なくとも一つのフラッシュメモリ・モジュールからデータを読み取るための読み取りコマンドであり、かつ、前記アドレスが、前記データを読み取るための論理アドレスであれば、前記アドレス・リゾルバ・モジュールが、前記論理アドレスを前記少なくとも一つのフラッシュメモリ・モジュールの物理アドレスへリゾルブし、そして、前記判定されたメモリ・テクノロジー・ドライバが、前記データを前記少なくとも一つのフラッシュメモリ・モジュールにおける前記物理アドレスに読み取るように構成される、請求項 3 に記載の U S B フラッシュメモリ装置。

【請求項 6】

更に、前記少なくとも一つのフラッシュメモリ・モジュールに対して、エラー検出及び補正ルーチンを実行するように適合されたデータ・ハンドラを備える、請求項 3 に記載のフラッシュメモリ装置。

【請求項 7】

更に、前記 U S B 定義のデータパケットを受信し、前記 U S B 定義のデータパケットに従って前記少なくとも一つのフラッシュメモリ・モジュールの状態に関する状態パケットを送信するように適合された状態ハンドラを備える、請求項 1 ～ 6 のいずれかに記載の U S B フラッシュメモリ装置。

【請求項 8】

前記フラッシュメモリ装置が、前記ホストに対して動的に着脱可能な不揮発性記憶装置として動作するように構成される、請求項 1 ～ 7 に記載の U S B フラッシュメモリ装置。

【請求項 9】

前記 U S B 制御器が単一の集積回路として実現される、請求項 1 ～ 8 に記載の U S B フラッシュメモリ装置。

【請求項 10】

前記 U S B 制御器が、前記 U S B 定義のデータパケットから対応する命令コードを抽出した後に、書き込みコマンドを解釈するように構成される、請求項 1 ～ 9 のいずれかに記載の U S B フラッシュメモリ装置。

【請求項 11】

前記 U S B 定義のバスが前記ホストに接続されるように構成され、前記ホストが専用のプロトコルを用いて前記 U S B 制御器にコマンドを提供するように構成される、請求項 1 ～ 10 のいずれかに記載の U S B フラッシュメモリ装置。

【請求項 12】

前記 U S B 定義のバスが前記ホストに接続されるように構成され、前記ホストが標準のプロトコルを用いて前記 U S B 制御器にコマンドを提供するように構成される、請求項 1 ～ 10 のいずれかに記載の U S B フラッシュメモリ装置。

【請求項 13】

更に、前記 U S B 制御器と前記少なくとも一つのフラッシュメモリ・モジュールとを相互接続するアドレス/データバスを備え、前記アドレス/データバスが、前記少なくとも一つのフラッシュメモリ・モジュールにおける前記読み取り又は書き込みの動作に関連するアドレス及びデータを相互に転送するように構成されている、請求項 1 ～ 12 のいずれかに記載の U S B フラッシュメモリ装置。

【請求項 14】

更に、前記 U S B 制御器と前記少なくとも一つのフラッシュメモリ・モジュールとを相互接続するための制御ラインを備え、前記 U S B 制御器は、前記少なくとも一つのフラッ

シュメモリ・モジュールの電力を制御するために前記制御ラインを用いるように構成される、請求項 1 ～ 1 3 のいずれかに記載の U S B フラッシュメモリ装置。

【請求項 1 5】

前記 U S B 制御器が、前記少なくとも一つのフラッシュメモリ・モジュールと交渉して、前記少なくとも一つのフラッシュメモリ・モジュールの少なくとも一つの特徴を判定するように構成される、請求項 1 ～ 1 4 のいずれかに記載の U S B フラッシュメモリ装置。

【請求項 1 6】

前記少なくとも一つの特徴を保持するための識別構造を構築するように構成される、請求項 1 5 に記載の U S B フラッシュメモリ装置。

【請求項 1 7】

前記少なくとも一つの特徴はサイズを含む、請求項 1 5 に記載の U S B フラッシュメモリ装置。

【請求項 1 8】

前記少なくとも一つの特徴は製造タイプを含む、請求項 1 5 に記載の U S B フラッシュメモリ装置。

【請求項 1 9】

前記 U S B 制御器が、前記交渉後、準備が出来たことを前記ホストへ通知するように構成される、請求項 1 5 に記載の U S B フラッシュメモリ装置。

【請求項 2 0】

前記通知が、前記少なくとも一つの U S B 定義のデータパケットを含む、請求項 1 9 に記載の U S B フラッシュメモリ装置。

【請求項 2 1】

前記少なくとも一つの U S B 定義のデータパケットが、前記少なくとも一つのフラッシュメモリ・モジュールの前記少なくとも一つの特徴の情報を含む、請求項 2 0 に記載のフラッシュメモリ装置。

【請求項 2 2】

前記少なくとも一つの特徴がサイズと製造タイプとを含む、請求項 1 5 に記載の U S B フラッシュメモリ装置。

【請求項 2 3】

前記 U S B 制御器が、前記判定されたサイズと製造タイプを用いてアドレス変換テーブル及びアドレス空間を前記少なくとも一つのフラッシュメモリ・モジュールに生成するように構成されている、請求項 2 2 に記載の U S B フラッシュメモリ装置。

【請求項 2 4】

前記 U S B 制御器が、複数のフラッシュメモリ・モジュールに付属する複数のチップ・イネーブル信号ラインを含む、請求項 1 ～ 2 3 のいずれかに記載の U S B フラッシュメモリ装置。

【請求項 2 5】

前記 U S B コネクタが、結合された物理 / 論理インタフェースにより前記 U S B 制御器に装着される、請求項 1 ～ 2 4 のいずれかに記載の U S B フラッシュメモリ装置。

【請求項 2 6】

前記結合された物理 / 論理インタフェースが前記 U S B 制御器の一部である、請求項 2 5 に記載の U S B フラッシュメモリ装置。

【請求項 2 7】

前記少なくとも一つのフラッシュメモリ・モジュールが、複数のフラッシュメモリ・モジュールを含む、請求項 1 ～ 2 6 のいずれかに記載の U S B フラッシュメモリ装置。

【請求項 2 8】

前記 U S B 制御器が、更に、
(i) 前記 U S B 定義パケットを受信するように適合された機能インタフェースであって、前記 U S B 定義パケットの一つが U S B トークン・パケットであれば、前記トークン・パケットに作用するように構成された機能インタフェースと、

(i i) 前記機能インタフェースの後に直列連結されたパケット抽出器であって、前記 U S B 定義のデータパケットを受信するように適合され、前記 U S B 定義のパケットから少なくとも前記読み取り及び書き込みコマンドを抽出するように構成されているパケット抽出器と、を備え、

前記 U S B フラッシュメモリ装置が、前記ホストと相互に動的に着脱可能に構成される、請求項 1 ～ 2 7 のいずれかに記載の U S B フラッシュメモリ装置。

【請求項 2 9】

前記製造タイプがバス幅を含む、請求項 1 8、2 2 又は 2 3 のいずれかに記載の U S B フラッシュメモリ装置。

【請求項 3 0】

前記製造タイプがインターリーピングを含む、請求項 1 8、2 2 又は 2 3 のいずれかに記載の U S B フラッシュメモリ装置。

【請求項 3 1】

U S B フラッシュメモリ装置によって行われるデータ処理方法であって、
前記 U S B フラッシュメモリ装置が、
少なくとも一つのフラッシュメモリ・モジュールと、
U S B 制御器と、
U S B 定義のバスを介してホストと、前記少なくとも一つのフラッシュメモリ・モジュール及び前記 U S B 制御器と、を接続するように適合された U S B コネクタと、を備え、
前記 U S B 制御器が、それぞれのタイプのフラッシュメモリに対して読み取りまたは書き込みの動作を行うように適合されたメモリ・テクノロジー・ドライバ、を備え、
前記データ処理方法が、
前記少なくとも一つのフラッシュメモリ・モジュールの判定されたタイプに従って前記メモリ・テクノロジー・ドライバの一つを活性化するように判定し、
前記 U S B 定義のパケットは少なくとも U S B 定義のデータパケットを含むものであって、前記 U S B 定義のパケットを前記ホストから前記 U S B 定義のバスと前記 U S B コネクタとを介して受信し、
前記少なくとも一つの U S B データパケットから読み取りまたは書き込みの動作を行うための読み取り又は書き込みコマンドを解釈し、
前記判定されたメモリ・テクノロジー・ドライバを用いて前記少なくとも一つのフラッシュメモリ・モジュールに前記読み取りまたは書き込みの動作を行うことを特徴とするデータ処理方法。

【請求項 3 2】

前記 U S B 制御器の制御下において、
前記少なくとも一つのフラッシュメモリ・モジュールにおけるメモリサイズと製造タイプの情報を識別し、
前記メモリサイズと前記製造タイプの情報とを用いてアドレス変換テーブルを生成し、
前記アドレス変換テーブルが、前記ホストの論理アドレス空間における論理アドレスを前記少なくとも一つのフラッシュメモリ・モジュールにおける物理アドレスに変換するように構成される、請求項 3 1 に記載のデータ処理方法。

【請求項 3 3】

更に、前記メモリサイズ及び前記製造タイプの情報を前記 U S B 制御器の識別構造に格納する、請求項 3 2 に記載のデータ処理方法。

【請求項 3 4】

前記 U S B 制御器の制御下において、
前記少なくとも一つの U S B 定義のデータパケットから書き込みコマンド及び所定データ量を抽出し、そして、
前記書き込みコマンドに従って前記所定データ量を前記少なくとも一つのフラッシュメモリ・モジュールにおける物理アドレスに書き込む、請求項 3 2 に記載のデータ処理方法

【請求項 35】

前記 U S B 制御器の制御下において、
前記少なくとも一つの U S B 定義データパケットから読み取りコマンドを抽出し、
前記読み取りコマンドに従って前記少なくとも一つのフラッシュメモリ・モジュールに
おける前記物理アドレスからデータを取り込み、そして、
前記 U S B コネクタ及び前記 U S B 定義のバスを介して前記取り込まれたデータを前記
ホストに送信する、請求項 32 に記載のデータ処理方法。

【請求項 36】

前記 U S B 制御器の制御下において、
前記少なくとも一つのフラッシュメモリ・モジュールと交渉して、前記少なくとも一つの
フラッシュメモリ・モジュールの少なくとも一つの特徴を判定する、請求項 31 に記載
のデータ処理方法。

【請求項 37】

前記少なくとも一つの特徴がメモリサイズを含む、請求項 36 に記載のデータ処理方法
。

【請求項 38】

前記少なくとも一つの特徴が製造タイプを含む、請求項 36 に記載のデータ処理方法。

【請求項 39】

更に、前記 U S B 制御器の制御下において、
前記少なくとも一つのフラッシュメモリ・モジュールとの交渉後、前記ホストへ通知す
る、請求項 36 に記載のデータ処理方法。

【請求項 40】

前記ホストから前記 U S B 定義のバスと前記 U S B コネクタとを介して U S B コンパチ
ブルな電気信号を受信し、前記電気信号から前記 U S B 定義パケットを抽出する、請求項
31 ~ 39 のいずれかに記載のデータ処理方法。

【請求項 41】

更に、前記 U S B 制御器の制御下において、
前記少なくとも一つのフラッシュメモリ・モジュールに対して、エラー検出及び補正ル
ーチンを実行する、請求項 31 ~ 40 のいずれかに記載のデータ処理方法。

【請求項 42】

更に、前記ホストから前記 U S B 定義のバスと前記 U S B コネクタとを介して前記 U S
B 定義のデータパケットを受信し、そして、
前記ホストへ前記少なくとも一つのフラッシュメモリ・モジュールの状態情報を含む状
態パケットを前記 U S B 定義のバスと前記 U S B コネクタとを介して送信する、請求項 3
1 ~ 41 のいずれかに記載のデータ処理方法。

【請求項 43】

更に、アドレス / データバスを介して前記 U S B 制御器と前記少なくとも一つのフラッ
シュメモリ・モジュールとを相互接続し、前記少なくとも一つのフラッシュメモリ・モジ
ュールにおける読み取り又は書き込みの動作に関連するアドレス及びデータを相互に転送
する、請求項 31 ~ 42 のいずれかに記載のデータ処理方法。

【請求項 44】

更に、前記 U S B 制御器と前記少なくとも一つのフラッシュメモリ・モジュールとを相
互接続する制御ラインを用いて、前記少なくとも一つのフラッシュメモリ・モジュールの
電力を制御する、請求項 31 ~ 43 のいずれかに記載のデータ処理方法。

【請求項 45】

前記製造タイプがバス幅を含む請求項 32、33 又は 38 のいずれかに記載のデータ処
理方法。

【請求項 46】

前記製造タイプがインターリーピングを含む請求項 32、33 又は 38 のいずれかに記
載のデータ処理方法。

