

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G06F 13/40 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200710181913.8

[43] 公开日 2008年4月16日

[11] 公开号 CN 101162452A

[22] 申请日 2007.10.12

[21] 申请号 200710181913.8

[30] 优先权

[32] 2006.10.13 [33] US [31] 60/851,312

[32] 2006.10.31 [33] US [31] 60/855,397

[32] 2006.11.3 [33] US [31] 60/856,308

[32] 2007.9.6 [33] US [31] 11/896,846

[71] 申请人 旺宏电子股份有限公司

地址 中国台湾新竹科学工业园区

[72] 发明人 郭玉兰 洪俊雄

[74] 专利代理机构 北京市柳沈律师事务所
代理人 葛宝成

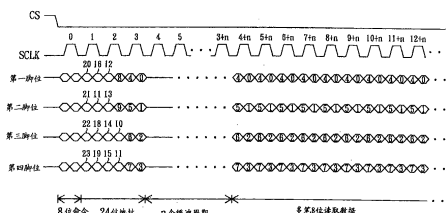
权利要求书3页 说明书6页 附图6页

[54] 发明名称

多输入/输出串行外围接口及数据传输方法

[57] 摘要

一种多输入/输出串行外围接口，属于一集成电路。多输入/输出串行外围接口包括多个脚位，此些脚位耦接至集成电路。其中，集成电路选择性地经由多输入/输出串行外围接口的一第一脚位或第一脚位、一第二脚位、一第三脚位及一第四脚位的组合以接收一命令。其中，集成电路经由多输入/输出串行外围接口的第一脚位、第二脚位、第三脚位及第四脚位接收一地址。集成电路经由多输入/输出串行外围接口的第一脚位、第二脚位、第三脚位及第四脚位送出一读取数据。



1. 一种多输入/输出串行外围接口，属于一集成电路，该多输入/输出串行外围接口包括：

多个脚位，耦接至该集成电路；

其中，该集成电路选择性地经由该多输入/输出串行外围接口的一第一脚位或该第一脚位、一第二脚位、一第三脚位及一第四脚位的组合以接收一命令；

其中，该集成电路经由该多输入/输出串行外围接口的该第一脚位、该第二脚位、该第三脚位及该第四脚位接收一地址；

其中，该集成电路经由该多输入/输出串行外围接口的该第一脚位、该第二脚位、该第三脚位及该第四脚位送出一读取数据。

2. 如权利要求1所述的多输入/输出串行外围接口，其中，该第一脚位用于暂停该读取数据的传输，并当该第一脚位非用于暂停该读取数据的传输时，该第一脚位用于传输该命令、该地址或该读取数据。

3. 如权利要求2所述的多输入/输出串行外围接口，其中，该第二脚位用于防止该读取数据从该集成电路被读取，并当该第二脚位非用于防止该读取数据从该集成电路被读取时，该第二脚位用于传输该命令、该地址或该读取数据。

4. 如权利要求3所述的多输入/输出串行外围接口，其中，该集成电路是一内存装置，该内存装置包括：

一存储单元阵列，用于存储该读取数据；

一数据寄存器，该命令及该地址经由至少部份的该些脚位传送至该数据寄存器，且寄存于该数据寄存器；以及

一输出缓冲器，该读取数据从该存储单元阵列传送至该输出缓冲器，且寄存于该输出缓冲器，然后传送至至少部份的该些脚位，该多输入/输出串行外围接口输出该读取数据。

5. 如权利要求4所述的多输入/输出串行外围接口，其中，该第一脚位及该第二脚位均耦接至该数据寄存器及该输出缓冲器。

6. 一种数据传输方法，用于一多输入/输出串行外围接口，该多输入/输出串行外围接口属于一集成电路，该多输入/输出串行外围接口具有多个脚

位，该些脚位包括一第一脚位及一第二脚位，该数据传输方法包括：

该集成电路选择性地经由该多输入/输出串行外围接口的该第一脚位或该第一脚位、该第二脚位、一第三脚位及一第四脚位的组合以接收一命令；

该集成电路经由该多输入/输出串行外围接口的该第一脚位、该第二脚位、该第三脚位及该第四脚位接收一地址；

该集成电路经由该多输入/输出串行外围接口的该第一脚位、该第二脚位、该第三脚位及该第四脚位送出一读取数据；

当该第一脚位非用于传输该些命令、该地址或该读取数据时，该第一脚位可用于暂停该读取数据的传输；以及

当该第二脚位非用于传输该些命令、该地址或该读取数据时，该第二脚位可用于防止该读取数据从该集成电路被读取。

7. 如权利要求6所述的数据传输方法，其中，该集成电路是一内存装置，该内存装置包括一存储单元阵列、一数据寄存器及一输出缓冲器，该数据传输方法更包括：

当该内存装置接收该命令及该地址时，该命令及该地址经由至少部份的该些脚位传送至该数据寄存器，且寄存于该数据寄存器；以及

当从该内存装置读取该读取数据时，该读取数据从该存储单元阵列传送至该输出缓冲器，且寄存于该输出缓冲器，然后并列传送至至少部份的该些脚位，该多输入/输出串行外围接口输出该读取数据。

8. 如权利要求7所述的数据传输方法，其中，该第一脚位及该第二脚位均耦接至该数据寄存器及该输出缓冲器。

9. 如权利要求8所述的数据传输方法，其中，该多输入/输出串行外围接口更包括一芯片选择脚位，该芯片选择脚位输入一芯片选择信号，当该芯片选择信号被使能时，至少部份的该些脚位传送该命令、该地址或该读取数据。

10. 如权利要求9所述的数据传输方法，其中，该多输入/输出串行外围接口更包括一时序脚位，该时序脚位输入一时序信号，该些脚位依据该时序信号传送该命令、该地址或该读取数据。

11. 如权利要求10所述的数据传输方法，其中，该时序信号包括多个时序脉冲。

12. 如权利要求11所述的数据传输方法，其中，该些脚位依据该些时序

脉冲传送该命令。

13. 如权利要求 12 所述的数据传输方法, 其中, 这些脚位是在这些时序脉冲的上升边缘、下降边缘或上升边缘及下降边缘传送该命令。

14. 如权利要求 11 所述的数据传输方法, 其中, 这些脚位依据这些时序脉冲传送该地址。

15. 如权利要求 14 所述的数据传输方法, 其中, 这些脚位是在这些时序脉冲的上升边缘、下降边缘或上升边缘及下降边缘传送该地址。

16. 如权利要求 11 所述的数据传输方法, 其中, 这些脚位依据这些时序脉冲传送该读取数据。

17. 如权利要求 16 所述的数据传输方法, 其中, 这些脚位是在这些时序脉冲的上升边缘、下降边缘或上升边缘及下降边缘传送该读取数据。

18. 如权利要求 11 所述的数据传输方法, 其中, 当从该内存装置读取该读取数据时, 若该芯片选择信号的电压电平持续为高电平未超过一预定时间, 这些脚位重新传送一新地址、一新缓冲周期及一新读取数据。

19. 如权利要求 18 所述的数据传输方法, 更包括:

若该芯片选择信号的电压电平持续为高电平超过该预定时间, 则结束从该内存装置读取该读取数据。

多输入/输出串行外围接口及数据传输方法

技术领域

本发明涉及一种多输入/输出串行外围接口及数据传输方法，且特别是涉及一种具有较佳整体表现的多输入/输出串行外围接口及数据传输方法。

背景技术

请参照图 1，其示出了传统数据传输系统的方块图。数据传输系统 100 包括集成电路 110 以及串行外围接口 120。串行外围接口 120 具有多个脚位 (pin)，例如包括输入脚位 122、输出脚位 124、芯片选择脚位 126 及时序脚位 128。其中，输入脚位 122 用于接收一笔串行数据 (包括指令及地址)，并将此笔串行数据传送至集成电路 110。输出脚位 124 用于从集成电路 110 读取一笔串行数据 (包括缓冲周期及读取数据)，并输出此笔串行数据。芯片选择脚位 126 用于提供一芯片选择信号 CS，时序脚位 128 用于提供一时序信号 SCLK。

请参照图 2，其示出了传统数据传输系统的读取串行数据时序图。其中，举例来说，串行数据包括 8 位命令 (8-bit instruction)、24 位地址 (24-bit address)、n 个缓冲周期 (n dummy cycle) 及多笔 8 位读取数据 (8-bit data)，n 为大于或等于 0 的整数，并不做限制，端视数据传输系统 100 的设计而定。在图 2 中，当芯片选择信号 CS 为低位时，时序信号 SCLK 具有多个时序脉冲。此时，输入脚位先接收 8 位命令，然后接收 24 位地址，此地址是所要读取的数据的起始地址。然后，n 个缓冲周期用于缓冲。接着，输出脚位开始读取多笔 8 位读取数据并输出之。

上述的数据传输系统 100，是利用串行外围接口 120 的单一输入脚位及单一输出脚位来进行串行数据传输的动作。如此一来，一个时序脉冲只传输 1 位数据，效率不高，将不能使得数据传输系统 100 的整体表现最佳化。

发明内容

本发明涉及一种多输入/输出串行外围接口及数据传输方法，利用多个

控制脚位来达成多输入脚位及多输出脚位进行串行数据的传输，提高数据传输的整体表现。

根据本发明的第一方面，提出一种多输入/输出串行外围接口，属于一集成电路。多输入/输出串行外围接口包括多个脚位，这些脚位耦接至集成电路。其中，集成电路选择性地经由多输入/输出串行外围接口的一第一脚位或第一脚位、一第二脚位、一第三脚位及一第四脚位的组合以接收一命令。其中，集成电路经由多输入/输出串行外围接口的第一脚位、第二脚位、第三脚位及第四脚位接收一地址。集成电路经由多输入/输出串行外围接口的第一脚位、第二脚位、第三脚位及第四脚位送出一读取数据。

根据本发明的第二方面，提出一种数据传输方法，应用于一多输入/输出串行外围接口。多输入/输出串行外围接口属于一集成电路并具有多个脚位，这些脚位包括一第一脚位及一第二脚位。数据传输方法包括，集成电路选择性地经由多输入/输出串行外围接口的第一脚位或第一脚位、第二脚位、一第三脚位及一第四脚位的组合以接收一命令。集成电路经由多输入/输出串行外围接口的第一脚位、第二脚位、第三脚位及第四脚位接收一地址。集成电路经由多输入/输出串行外围接口的第一脚位、第二脚位、第三脚位及第四脚位送出一读取数据。当第一脚位非用于传输命令、地址或读取数据时，第一脚位可用于暂停读取数据的传输。当第二脚位非用于传输命令、地址或读取数据时，第二脚位可用于防止读取数据从集成电路被读取。

为了让本发明的上述内容能更明显易懂，下文特举一较佳实施例，并配合附图，作详细说明如下。

附图说明

图1示出了传统数据传输系统的方块图。

图2示出了传统数据传输系统的读取串行数据时序图。

图3示出了依照本发明较佳实施例的数据传输系统的一例的方块图。

图4A示出了依照本发明第一实施例的串行数据时序图。

图4B示出了依照本发明第二实施例的串行数据时序图。

图5示出了依照本发明较佳实施例的传输随机性数据的数据传输方法的流程图。

附图符号说明

- 100、300: 数据传输系统
- 110、310: 集成电路
- 120: 串行外围接口
- 122-128、321-326: 脚位
- 312: 数据寄存器
- 314: 存储单元阵列
- 316: 输出缓冲器
- 320: 多输入/输出串行外围接口。

具体实施方式

本发明提供一种多输入/输出串行外围接口及数据传输方法,利用多输入/输出串行外围接口的多个控制脚位来达成多输入脚位及多输出脚位进行串行数据的传输,提高数据传输的整体表现。

请参照图 3,其示出了依照本发明较佳实施例的数据传输系统的一例的方块图。数据传输系统 300 包括集成电路 310 以及多输入/输出串行外围接口 320。举集成电路 310 为一内存装置为例,但并不限制于此,集成电路 310 可为任意具有存储数据功能的电路。当集成电路 310 为内存装置时,集成电路 310 包括数据寄存器(data register) 312、存储单元阵列(memory cell array) 314 及输出缓冲器(output buffer) 316。存储单元阵列 314 用于存储数据。

多输入/输出串行外围接口 320 具有多个脚位 321-324, 此些脚位均耦接至集成电路 310。命令集成电路 310 经由多输入/输出串行外围接口 320 的第一脚位 321 或第一脚位 321、第二脚位 322、第三脚位 323 及第四脚位 324 接收一命令。集成电路 310 经由多输入/输出串行外围接口 320 的第一脚位 321、第二脚位 322、第三脚位 323 及第四脚位 324 接收一地址。命令及地址被传送至数据寄存器 312, 且寄存于数据寄存器 312, 然后再传送至存储单元阵列 314。

集成电路 310 经由多输入/输出串行外围接口 320 的第一脚位 321、第二脚位 322、第三脚位 323 及第四脚位 324 送出一读取数据。

当从集成电路 310 读取一读取数据时, 亦即欲从存储单元阵列 314 读取此读取数据, 则此读取数据从存储单元阵列 314 传送至输出缓冲器 316, 且

寄存于输出缓冲器 316，然后经由多输入/输出串行外围接口 320 的第一脚位 321、第二脚位 322、第三脚位 323 及第四脚位 324 送出。其中，在送出读取数据前，可存在于多个缓冲周期(dummy cycle)。

多输入/输出串行外围接口 320 的多个脚位 321-324 实质上包括有第一脚位 321 及第二脚位 322。当第一脚位 321 非用于传输命令、地址或读取数据时，第一脚位 321 用于暂停读取数据的传输。当第二脚位 322 非用于传输命令、地址或读取数据时，第二脚位 322 用于防止读取数据从存储单元阵列 314 被读取。上述的第一脚位 321 及第二脚位 322 实质上属于传统串行外围接口中的控制脚位，而在本实施例中，被利用于达成多输入脚位及多输出脚位进行串行数据的传输，串行数据包含命令、地址、缓冲周期及读取数据。

多输入/输出串行外围接口 320 更包括芯片选择脚位 325，芯片选择脚位 325 输出一芯片选择信号 CS。当芯片选择信号 CS 的电压电平为低电平时，第一脚位 321-第四脚位 324 传送命令、地址或读取数据。此外，多输入/输出串行外围接口 320 亦包括一时序脚位 326，时序脚位 326 输出一时序信号 SCLK，第一脚位 321-第四脚位 324 依据时序信号传送命令、地址或读取数据。其中，可利用第一脚位 321-第四脚位 324 同时传送命令、地址或读取数据，亦可以仅利用第一脚位 321-第四脚位 324 中的部份同时传送命令、地址或读取数据。相较于传统的串行外围接口，本发明上述实施例所提供的多输入/输出串行外围接口 300 可使得整体数据传输速度最多增加 3 倍。

时序信号 SCLK 包括多个时序脉冲。其中，第一脚位 321-第四脚位 324 依据时序脉冲进行传送的动作。此外，第一脚位 321-第四脚位 324 亦可于时序脉冲的上升边缘(rising edge)、下降边缘(falling edge)或上升边缘及下降边缘进行传送的动作，亦即提供了双倍数据传输速度(Double Data Rate, DDR)的功能的选择。

请参照图 4A，其示出了依照本发明第一实施例的串行数据时序图。其中，举例来说，串行数据包括 8 位命令(8-bit instruction)、24 位地址(24-bit address)、n 个缓冲周期(n dummy cycles)及多笔 8 位读取数据(8-bit read out data)，n 为大于 0 或等于 0 的整数，并不做限制。在图 4A 中，当芯片选择信号 CS 为低位时，时序信号 SCLK 具有多个时序脉冲。第一脚位 321-第四脚位 324 是在脉冲的上升边缘及下降边缘进行接收串行数据的动作。

第一脚位 321-第四脚位 324 是在时序脉冲 0 接收 8 位命令，然后在时序

脉冲 1-3 接收 24 位地址，此地址是初始所要读取的数据的地址。然后， n 个缓冲周期用于缓冲。接着，在时序脉冲 $n+3$ 之后开始读取多笔 8 位读取数据并输出之。相较于传统的串行外围接口，本发明上述第一实施例的数据传输速度可增加 7 倍。上述图 4A 中，命令、地址、缓冲周期及读取数据的传输，均采用了双倍数据传输速度的功能，然亦可以单独选择是否采用双倍数据传输速度的功能，并不做限制。举例来说，可以只有读取数据的传输采用双倍数据传输速度的功能，但并不限于此。

请参照图 4B，其示出了依照本发明第二实施例的串行数据时序图。第一脚位 321 是在时序脉冲 0-7 接收 8 位命令。然后第一脚位 321-第四脚位 324 在时序脉冲 8-10 接收 24 位地址。然后， n 个缓冲周期用于缓冲。接着，在时序脉冲 $n+10$ 之后开始读取多笔 8 位读取数据并输出之。其中，8 位命令的接收只经由第一脚位 321。24 位地址的接收是采用双倍数据传输速度的功能。多笔 8 位读取数据的接收则未采用双倍数据传输速度的功能。在本发明中，命令、地址、缓冲周期或读取数据的传输是否采用双倍数据传输速度视实际需求而定，在此并不做限制。

上述所揭露的数据传输方法，用于传输连续性数据，若是要传输随机数据的话，则必须依据芯片选择信号 CS 的电压电平维持在高电平的时间来做判断。请参照图 5，其示出了依照本发明较佳实施例的传输随机性数据的数据传输方法的流程图。首先，依序在步骤 510-540 中，传输命令、地址、缓冲周期以及读取数据。然后，在步骤 550 中，判断芯片选择信号的电压电平持续为高电平是否超过一预定时间，此预定时间例如为 240 毫微秒 (ns)。若芯片选择信号的电压电平持续为高电平未超过预定时间，则代表命令是一随机存取指令，故回到步骤 520，重新传送地址、缓冲周期及读取数据。若芯片选择信号的电压电平持续为高电平超过预定时间，则代表结束数据传输。

本发明上述实施例所揭露的多输入/输出串行外围接口及数据传输方法，是利用多输入/输出串行外围接口上的多个控制脚位对集成电路进行数据传输的动作。其中，集成电路可为任意型式的具有存储数据功能的电路。如此一来，即可达成多输入脚位及多输出脚位进行串行数据的传输，提高了数据传输的整体表现。

综上所述，虽然本发明已以一较佳实施例揭露如上，然其并非用于限定本发明。本发明所属技术领域中具有通常知识者，在不脱离本发明的精神和范围内，当可作各种的更动与润饰。因此，本发明的保护范围当本发明的申请专利范围所界定者为准。

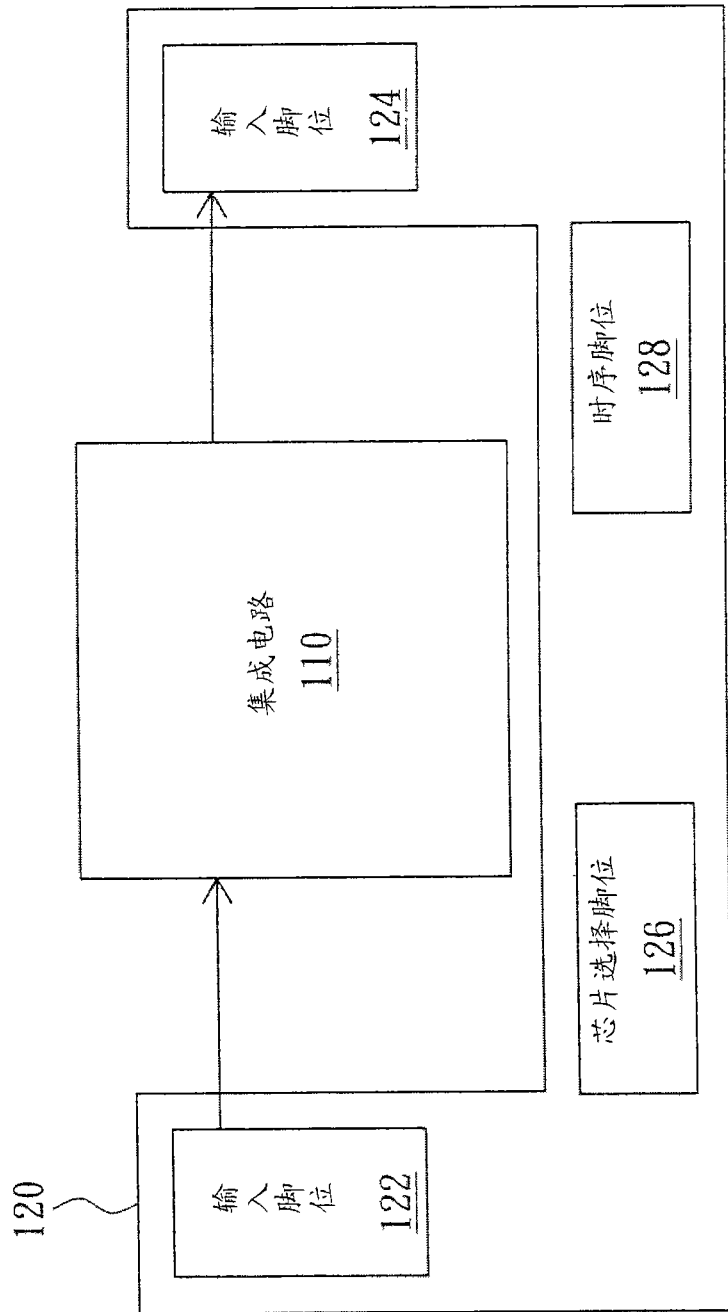


图 1

100

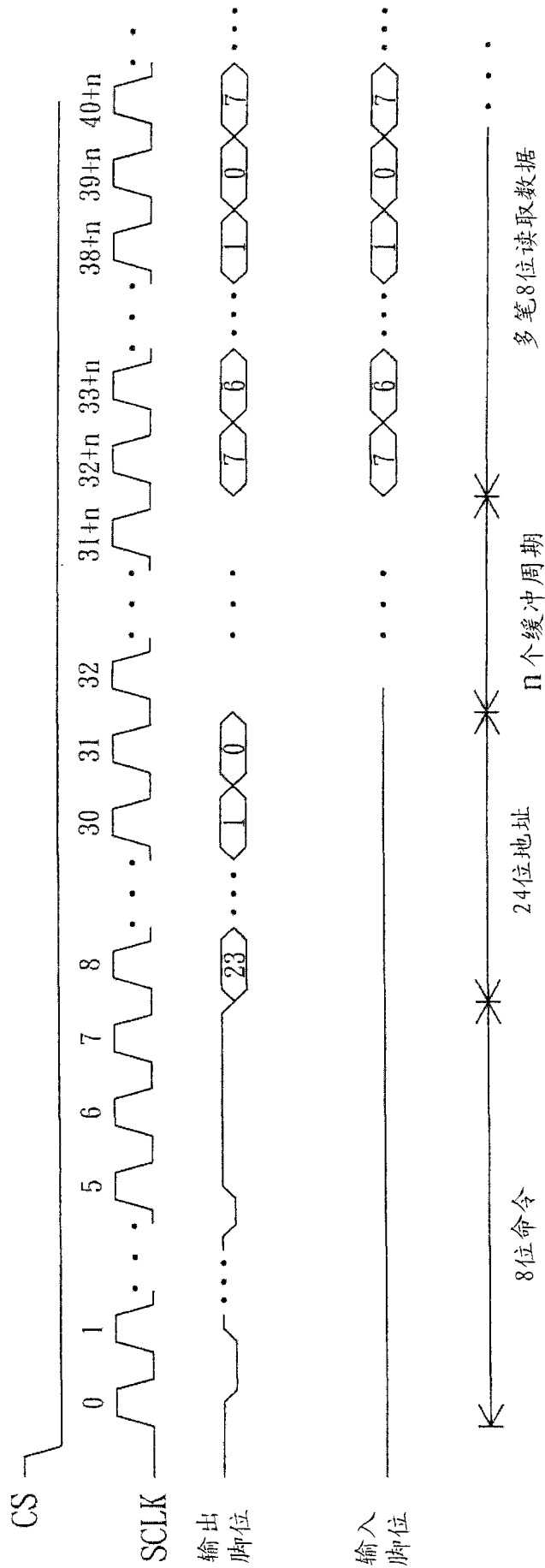


图 2

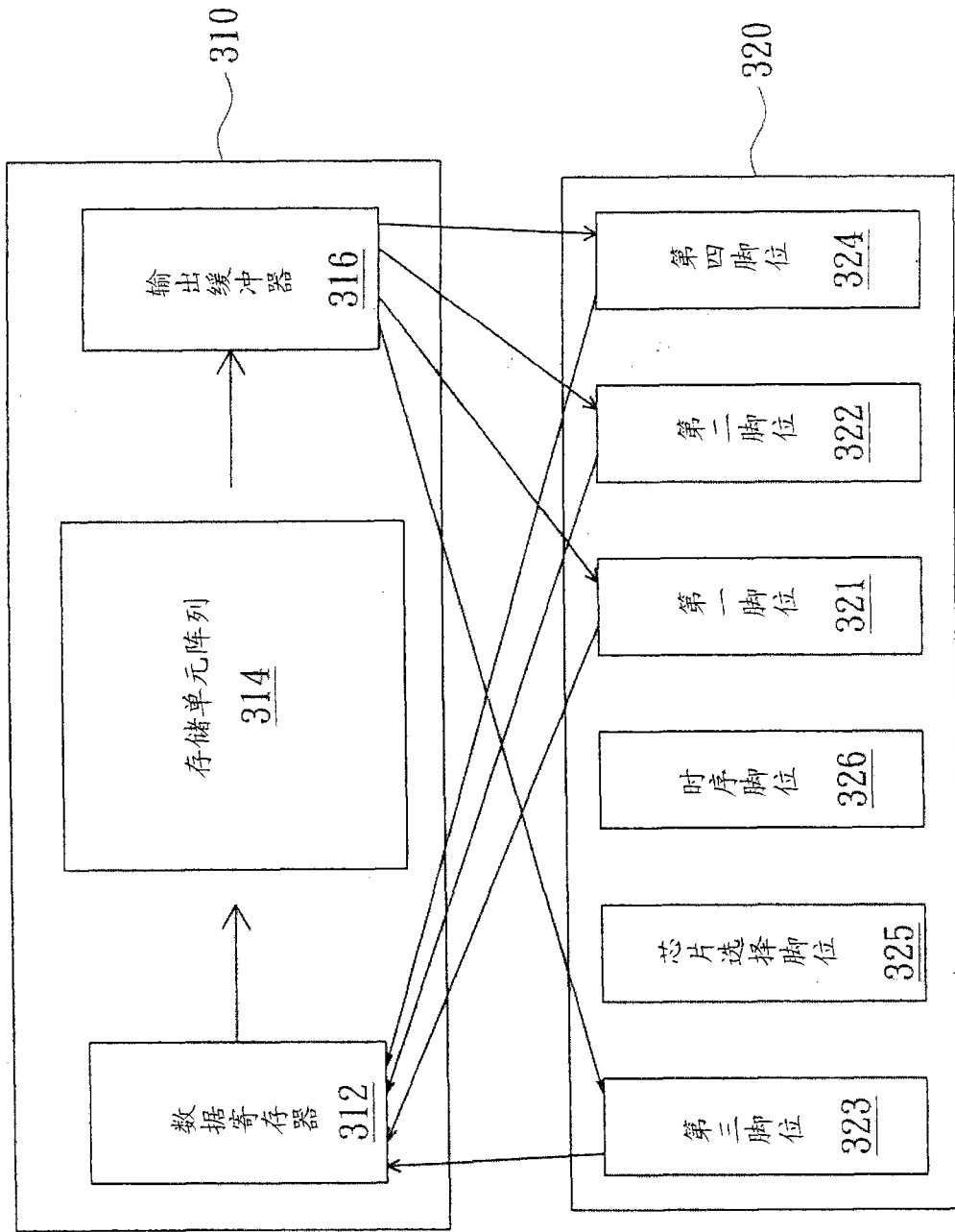


图 3

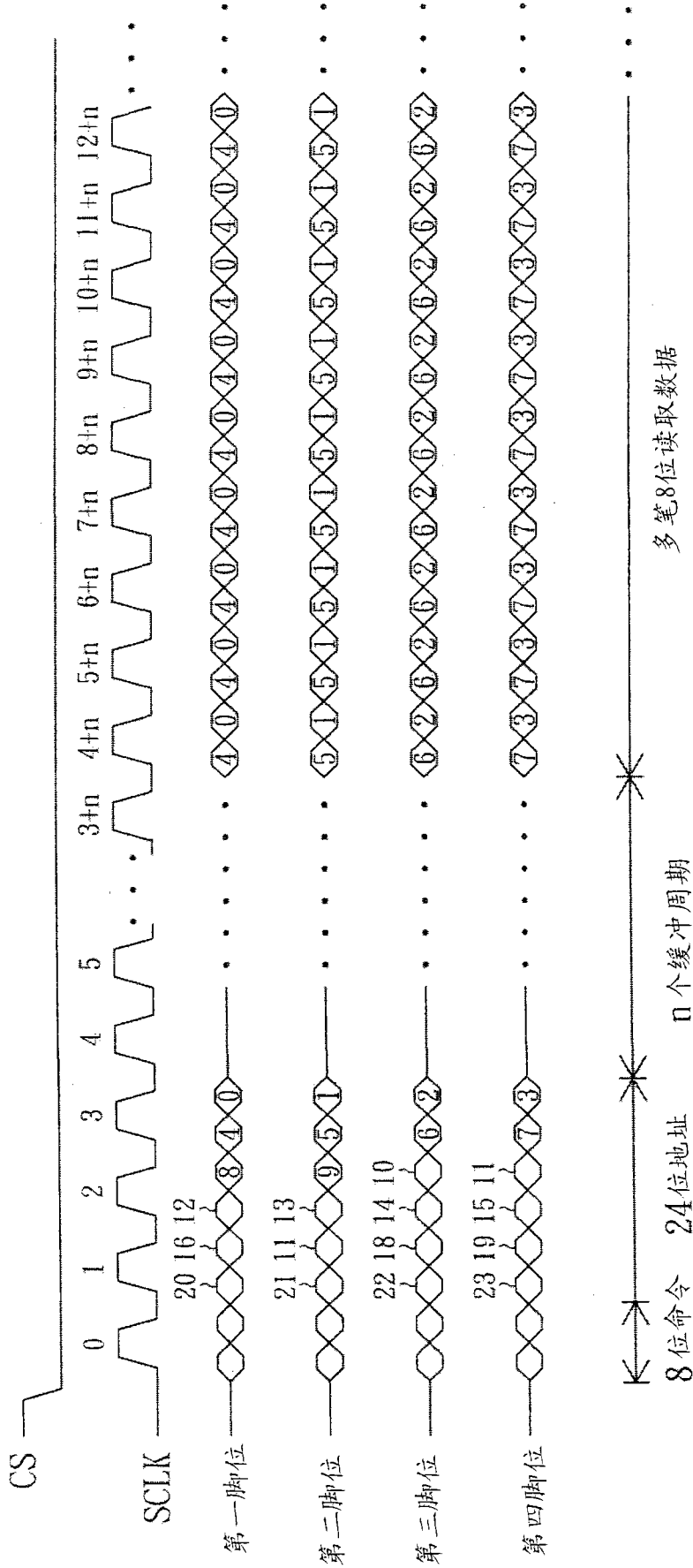


图 4A

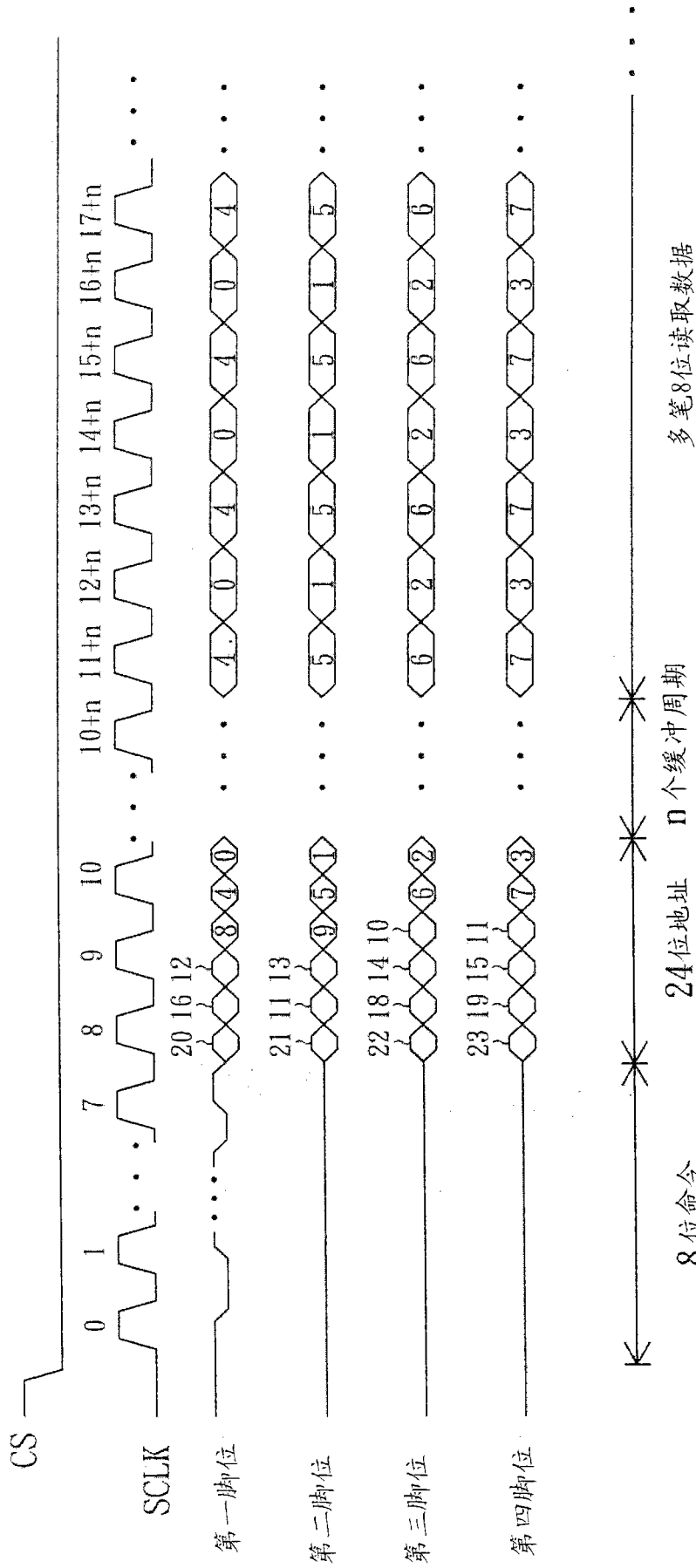


图 4B

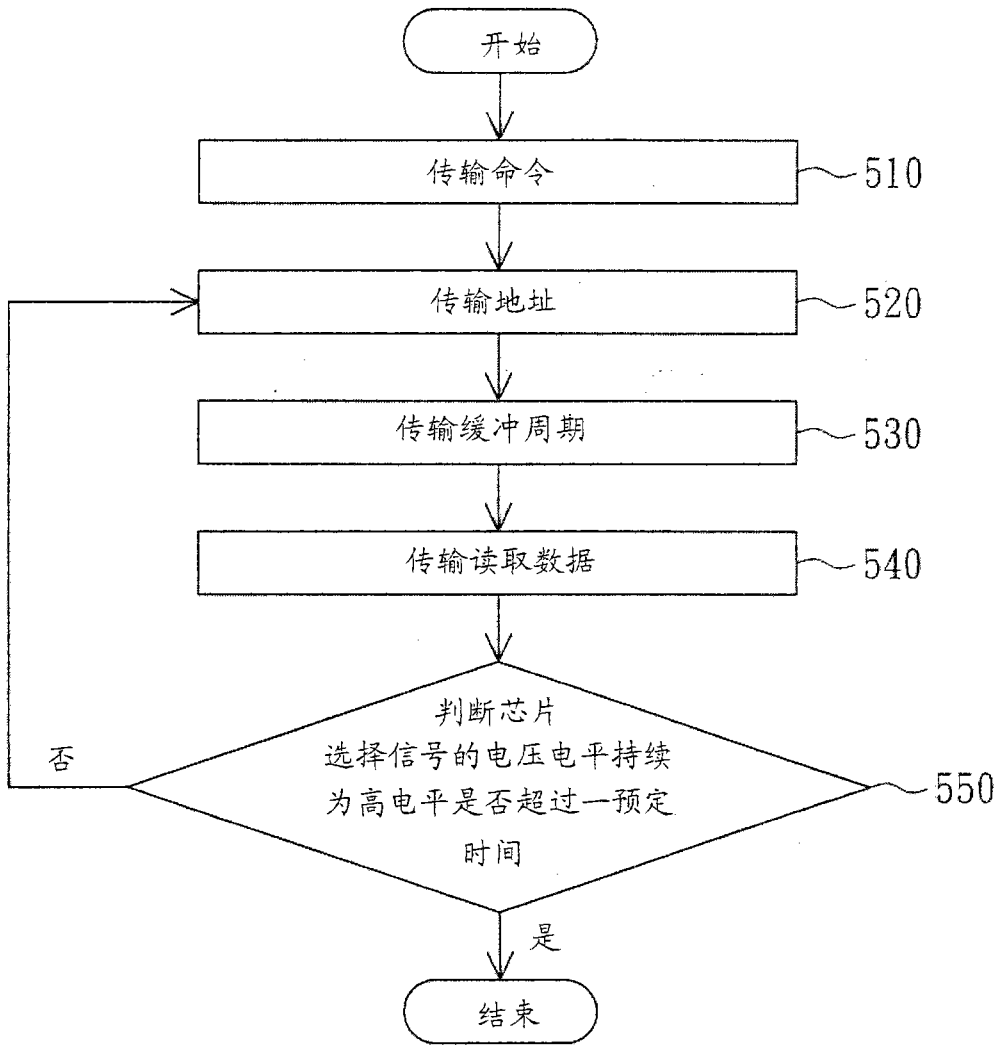


图 5