

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 29/78 (2006.01)

H01L 21/336 (2006.01)



# [12] 发明专利说明书

专利号 ZL 200480016422.2

[45] 授权公告日 2010年1月20日

[11] 授权公告号 CN 100583448C

[22] 申请日 2004.5.13

[21] 申请号 200480016422.2

[30] 优先权

[32] 2003.6.12 [33] DE [31] 10326523.6

[86] 国际申请 PCT/EP2004/050802 2004.5.13

[87] 国际公布 WO2004/112101 德 2004.12.23

[85] 进入国家阶段日期 2005.12.12

[73] 专利权人 因芬尼昂技术股份公司

地址 德国慕尼黑

[72] 发明人 K·米勒 K·勒施劳

[56] 参考文献

US5701026A 1997.12.23

US5723891A 1998.3.3

US20020125527A1 2002.9.12

US4929988 1990.5.29

CN1147154A 1997.4.9

审查员 张剑铭

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 肖春京 杨松龄

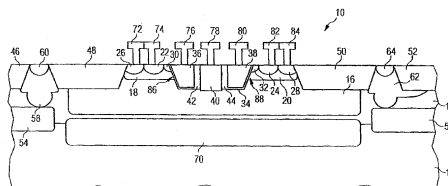
权利要求书 3 页 说明书 9 页 附图 4 页

[54] 发明名称

场效应晶体管,特别是双扩散场效应晶体管,  
及其制造方法

[57] 摘要

本发明主要涉及场效应晶体管(10),其中控制区(36)和连接区(40)被安置在其绝缘沟槽(134)内。利用这种装置可提供具有极佳电特性的场效应晶体管(10)。



1. 一种双扩散场效应晶体管(210), 具有:

漂移区(216),

连接漂移区(216)的沟槽(234), 所述沟槽包含沟槽边缘、一些侧壁和沟槽底,

场效应晶体管(210)的控制区(236), 所述控制区被安置在所述沟槽(234)内,

所述场效应晶体管(210)的源连接区(222)和漏区(240),

形成场效应晶体管(210)的倒置沟道(286)的区域(218), 所述区域通过电介质与所述控制区(236)隔离,

其中, 所述源连接区(222)是安置在沟槽(234)的外面, 而所述漏区(240)是安置在沟槽(234)内,

其中, 所述沟槽(234)在至少一部分具有与另一个绝缘沟槽(248, 250)相同的深度, 所述另一个绝缘沟槽用于将场效应晶体管(210)与其它元件隔开,

其中, 所述绝缘材料(242)被安置在所述控制区(236)下的沟槽底和所述控制区(236)之间; 所述控制区(236)和所述绝缘材料(242)之间的最深边界被安置在包含所述控制区(236)的沟槽上半部分内, 或在包含所述控制区(236)的沟槽上1/3部分内; 以及

其中, 所述沟槽(234)在所述控制区(236)下比在安置于所述沟槽(234)内的所述漏区(240)下深一些。

2. 如权利要求1所述的双扩散场效应晶体管(210), 其特征在于: 边界平行于深沟槽底部。

3. 如权利要求1所述的双扩散场效应晶体管(210), 其特征在于: 所述沟槽(234)在所述控制区(236)下比安置在所述沟槽(234)内的连接区(240)下深一倍或两倍。

4. 如权利要求1所述的双扩散场效应晶体管(210), 其特征在于: 所述沟槽(234)不含单晶半导体材料, 而且所述漂移区(216)按照第一掺杂类型掺杂, 是n型掺杂; 而且控制区(236)按照第一掺杂类型掺杂; 而且所述源连接区(222, 224)按照第一掺杂类型掺杂; 而且形成倒置沟道(286)的区域(218)是按照一种不同类型掺杂, 是P型掺杂; 而且安置在沟槽(234)内的漏区(240)掺杂比所述漂移区

(216)更重;而且未安置在沟槽(234)内的所述源连接区(222,224)、所述漂移区(216)和形成倒置沟道(286)的区域(218)被安置在单晶半导体材料内;而且所述场效应晶体管(210)被集成为包含多个互不相同的元件的集成电路装置。

5. 如权利要求4所述的双扩散场效应晶体管(210),其特征在于:所述单晶半导体材料是单晶硅。

6. 如权利要求1所述的双扩散场效应晶体管(10),其特征在于:比漂移区(16)更重度掺杂的一层(70)将场效应晶体管(10)与衬底(12)隔开,所述衬底(12)是按与该重度掺杂层不同的掺杂类型掺杂的。

7. 如权利要求5所述的双扩散场效应晶体管(10),其特征在于:沟槽(34)和/或安置在沟槽(34)内的连接区(40)正好伸至重度掺杂层(70)内,或者所述沟槽(34)和/或者安置在沟槽(34)内的连接区(40)安置在离重度掺杂层(70)一定距离处。

8. 如权利要求1所述的双扩散场效应晶体管(210),其特征在于:所述沟槽(234)有两个沟槽端,另一个控制区(238)安置在沟槽内,或者所述沟槽形成一环,环形控制区(236,238)是围绕安置在沟槽(34)内的漏区(240)。

9. 一种生产双扩散场效应晶体管(210)的方法,包括以下各步骤,其实施不受所列顺序的任何限制:

在漂移区(216)内或安置漂移区(216)的区内引入沟槽(234),所述沟槽包含沟槽边缘、一些沟槽壁和沟槽底,

用绝缘材料(242,244)填充所述沟槽(234),

将绝缘材料(242,244)作成图形,由此为场效应晶体管(210)的控制区(36)产生切口,并为场效应晶体管(210)的连接区(240)产生切口,后一切口与前一切口通过绝缘材料(242,244)相隔离,该连接区与漂移区(216)相连接,

将导电材料(236,240)或可转变成导电材料(236,240)的材料引入两个切口内,

在产生沟槽(234)之前或之后,形成安置在沟槽(234)外面的源连接区(222),以及形成产生场效应晶体管(210)的倒置沟道区(286)的区域(218);

形成沟槽(234),使其在至少一部分具有与另一个绝缘沟槽(248,250)相同的深度,所述另一绝缘沟槽用于将场效应晶体管(210)与其它元件隔开,

在至少一个局部区域(302,304)内加深所述沟槽(234),

并在至少另一个局部区域保持此沟槽深度,产生具有相互不同的沟槽深度的沟槽区域。

10. 如权利要求9所述的方法,其特征在于下面的步骤:

将切口一直开至沟槽底部,所述绝缘材料(242,244)被移至控制区(236)切口的至少一个沟槽壁区域内,

在所述控制区(236)的切口内和所述漏区(240)的切口内产生薄绝缘层,

在将材料(236,240)引进各切口之前,把连接区(240)的切口内的薄绝缘层移去,

其特征在于下面的步骤:

产生离沟槽底部一定距离的切口,所述绝缘材料(242,244)被移入所述控制区(236)的切口的至少一个沟槽壁区域内,

在控制区(236)的切口内产生薄绝缘层,

加深连接区(240)的切口,在产生薄绝缘层之后进行。

场效应晶体管，特别是双扩散场效应晶体管，及其制造方法

### 技术领域

本发明涉及场效应晶体管，它主要包含以下元素：

漂移区，

连接漂移区的沟槽，它包含一个沟槽边缘，一些侧壁和沟槽底。

场效应晶体管控制区，也叫做栅，它被安置在沟槽内。

两个场效应晶体管连接区，也称为源漏区，其中有电流流通，此电流也流过倒置沟道和漂移区，以及

形成场效应晶体管倒置沟道的本体区，它被电介质与控制区绝缘开。

### 背景技术

本发明涉及具有漂移路径的 MOS 晶体管或 DMOS（双扩散金属氧化物半导体）晶体管，其中控制区和连接区的接点处在一个平面内，结果可以构成一个集成电路装置。例如在 DMOS 晶体管中，连接区和本体区是通过扩散产生的。漏区与漂移区相连接。源区与本体区相连接。

### 发明内容

本发明的一个目的是详细说明一种场效应晶体管，它的制造简单而且体积小，尤其是具有优良的电气特性。此外，还要详细说明一种制造场效应晶体管的方法。

此有关场效应晶体管的目的可以利用本发明的一种场效应晶体管来达到。

除了在上面引言中谈到的特征之外，本发明的场效应晶体管还包含以下特征：

在沟槽外安置一个连接区，最好按照连接形成场效应晶体管倒置沟道的区域的方式，以及

另一个连接区或其一部分安置在沟槽内，在沟槽内还有场效应晶体管的控制区，此另一个连接区最好是连接漂移区的连接区。

这意味着在本发明的场效应晶体管的情况下，控制区和连接区中的一个都是安置在同一个沟槽内。通过这种安置可以减少实际所需的芯

片面积。尤其是当为了绝缘的目的而要求有沟槽时更是如此。让沟槽有一定深度还可以使漂移路径的长度可以承受例如小于30伏或小于40伏的漏-源极电压，或大于30伏或40伏，特别是小于100伏的电压。

按照本发明的装置还可获得具有低起始电阻率  $R_{ON}$  乘以面积和高单位面积饱和电流  $I_{SAT}$  的场效应晶体管。控制区和连接区在沟槽内的安置使得生产方法中只需要不多的几个步骤。此外，实现不同的场效应晶体管电子特性也有多种途径。

按本发明的场效应晶体管的一种形式中，绝缘材料被安置在控制区下的沟槽底与控制区之间。控制区和绝缘材料间的边界处在包含控制区的沟槽上半部分或包含控制区的沟槽上  $1/3$  部分内。在一种改进形式中，两个区域间的边界与深沟槽底平行。带绝缘材料的区域用来设定漂移路径的长度。因此控制区只向下伸至例如  $500\text{nm}$  的深度。但是，沟槽内填充绝缘材料的最深位置还是到达例如  $1\mu\text{m}$  以上甚至  $8\mu\text{m}$  的深度。长的绝缘区域使得不需要额外的芯片面积就可得到高的介电强度。不过，绝缘区域也可以用在各边电绝缘的导电材料来填充。

在另一种形式中，沟槽伸到控制区下比伸到内连接区下更深一些。在一种改进的形式中，沟槽伸到控制区下比伸到内连接区下深一倍或两倍。此时漂移区处在深绝缘材料两侧，结果在相同的沟槽深度下漂移区的长度几乎加倍。

在另一种形式中，沟槽在内连接区下比在控制区下深。这种情况产生在浅沟槽的场合，即沟槽的深度小于  $1\mu\text{m}$ ，特别是小于  $500\text{nm}$  的场合。在这种场合下，内连接区必须穿过浅沟槽的底部，才能与漂移区可靠地接触。

在另一种形式中，沟槽不含单晶半导体材料。沟槽可以简单方式用多晶半导体材料和电绝缘材料填充。

控制区按第一掺杂类型掺杂，最好是  $n$  型掺杂。在一种改进形式中，连接区同样也按第一掺杂类型掺杂，即  $n$  型掺杂，最好让连接区作重度的掺杂，例如每立方厘米有  $10^{19}$  或  $10^{20}$  掺杂原子。

形成倒置沟道的区域建议用  $P$  型掺杂。漂移区最好按第一掺杂类型尤其是  $n$  型掺杂。为产生较大的电压降，漂移区的掺杂比较轻。例如，掺杂区域每立方厘米有  $10^{15}$  掺杂原子。

在另一个改进形式中，内连接区的掺杂比漂移区的掺杂更重。还有

一种改进形式中，外连接区，漂移区和倒置沟道的连接区域被安置在单晶半导体材料（最好是单晶硅）内。

在另一种形式中，场效应晶体管被集成在一个集成电路内，在此集成电路内还装有其它用互连线连接的元件，例如用来驱动场效应晶体管的控制电路元件。但是，也可以把本发明的场效应晶体管或它的一种形式做成分离元件。

在一种形式中，此场效应晶体管包含一个比漂移区更重度掺杂的层，它将场效应晶体管与衬底绝缘，衬底则按与此重度掺杂层不同的掺杂类型掺杂。这种形式用在带双极晶体管和场效应晶体管的两种电路内，例如 BiCMOS 电路，以及当场效应晶体管是产生在这样一种集成电路内，其中只有场效应晶体管，而且除寄生晶体管外没有什么双极晶体管。

在另一种形式中，沟槽正好伸到重度掺杂层，使得重度掺杂层还用作漂移区的一个连接区。在还有一种形式中，沟槽被安置在离开重度掺杂层一个距离。利用这种结构，也可将沟槽和重度掺杂层间的区域用作漂移路径。

在另一种形式中，沟槽有两个末端，另一个控制区最好安置在沟槽内。在这种形式中，最好把沟槽做成直线形式。这种形式特别适合于一些特定的金属，此时由于电徙动过程只能携带特定的电流密度。

在另一种形式中，沟槽形成一个环，环形控制区最好围绕内连接区。利用这种环形沟槽可以在小的芯片面积上产生场效应晶体管。

本发明还涉及一种生产场效应晶体管的方法，特别是按本发明的场效应晶体管或其一种形式，使得上述技术措施可用于这种方法。在此方法中可以实施以下步骤，但对所列顺序没有任何限制：

在漂移区内引入沟槽，

用绝缘材料填充该沟槽，

将绝缘材料作成一定图形，由此在场效应晶体管的控制区产生切口，并在场效应晶体管的连接区产生切口，后一切口与前一切口是分开的，

最好在沟槽内至少一个连接区将栅氧化并开口，这可通过光刻步骤并将连接区内的栅氧化物刻蚀掉而实现，

将导电材料或可以转化为导电材料的材料引入两个切口内；导电材

料一方面可用作栅，另一方面可用作单晶区域的漏极接点。

形成安置在沟槽外面的连接区，并在形成沟槽之前或之后形成构成场效应晶体管倒置沟道区的区域。

在一种形式中，沟槽至少在一个局部区域被加深而在至少另一个局部区域保持此沟槽深度，从而产生具有互不相同的沟槽深度的许多沟槽区域。这种形式不经额外的处理步骤就能实现，尤其是当包含场效应晶体管的集成电路内必须有深绝缘沟槽和浅绝缘沟槽时更是如此。

在本方法的一个形式中，各切口被一直刻蚀到沟槽底部，绝缘材料被移到控制区切口的沟槽壁区内。此后，借助热氧化，在控制区的切口内未被覆盖的沟槽壁区域上产生高质量氧化物，即栅氧化物，接着在加入导电材料之前再将此氧化物移到连接区的切口内。

在本方法的另一个实施例中，切口不一直开到沟槽底部，而让切口底部离开沟槽底部一个例如 100nm 以上的距离。但是，绝缘材料被移到控制区切口的一个沟槽壁区内。然后，借助于热氧化，在控制区切口内产生高质量电介质。接着将连接区的切口一直加深到沟槽底部。

在本方法的另一个实施例中，连接区以连接沟槽边缘的方式产生在沟槽外面，此连接区最好具有单独的注入范围，其掺杂比连接区更轻。

#### 附图说明

下面参照附图说明本发明的一些典型实施例，其中：

图 1 表示一个浅绝缘沟槽 DMOS 晶体管；

图 2 表示一个深绝缘沟槽 DMOS 晶体管；

图 3 表示一个具有变化沟槽深度的绝缘沟槽的 DMOS 晶体管；

图 4 表示一个环形 DMOS 晶体管；

图 5 表示一个条形 DMOS 晶体管。

#### 具体实施方式

图 1 是一个 DMOS 晶体管 10，它是一个集成电路的一部分。此集成电路做在衬底 12 上，后者由例如轻度 P 型掺杂硅构成。在衬底 12 的表面上是一个掺杂外延层 14，其厚度大于  $1.5\mu\text{m}$  或大于  $2.0\mu\text{m}$ 。

在 n 型外延层 14 内，随着衬底 12 距离的增加形成：

n 型掺杂阱 16，

P 型掺杂沟道形成区 18, 20, 和

在外延层 14 表面上重度 n 型掺杂的源连接区 22, 24, 分别用于沟道连接区 18 和 20 的重度 P 型掺杂连接区 26, 28, 以及分别用于源连接区 22 和 24 的轻度 n 型掺杂加长区域 30, 32。加长区域 30, 32 可按需要选择, 在另一个典型实施例中可以不用。

晶体管 10 的中心部分包含浅沟槽 34, 在此沟槽内有两个重度 n 型掺杂栅区域 36, 38 安置在边缘区域, 重度 n 型掺杂漏区 40 安置在中心部分。漏区 40 被绝缘区域 42 与栅区 36 隔离, 并被绝缘区域 44 与栅区 38 隔离。绝缘区域 42 和 44 类似地处于沟槽 34 内。在沟槽 34 的沟槽壁和沟槽 34 的栅区 36 和 38 下面的沟槽底部上是一个薄绝缘层, 它使栅区 36 和 38 与 n 型掺杂阱 16 隔离, 并分别与沟道形成区 18, 20 隔离, 而且分别与加长区 30 和 32 隔离。作为例子, 二氧化硅或某些其它材料适合用作绝缘材料。

还有另一些绝缘沟槽 46 至 52 与沟槽 34 一块形成, 它们具有相同的深度, 如  $0.5 \mu\text{m}$ 。晶体管 10 通过两个连接绝缘沟槽 48 和 50 以及下面将进一步说明的一些绝缘阱与集成电路装置的其它元件电绝缘。在一个典型实施例中, 这两个绝缘沟槽 48 和 50 也是一个环形绝缘沟槽的一些区域 (参见下面对图 4 的说明)。

在参照图 1 所作说明的典型实施例中, 本体连接区 26, 源连接区 22, 和加长区 30 都处在绝缘沟槽 48 和沟槽 34 之间。加长区 32, 源连接区 24, 和本体连接区 28 都处在绝缘沟槽 34 和 50 之间。

和场效应工作的晶体管 10 并排, 在它的右边和左边集成电路装置还有一些 npn 和 pnp 双极晶体管。在晶体管 10 的左边, 有一个 P 型掺杂埋藏层 54 处于衬底 12 的区域和外延层 14 的区域内, 此埋藏层用作绝缘双极晶体管。在晶体管 10 的右边, 同样用作绝缘双极晶体管的埋藏层 56 和埋藏层 54 处在相同的高度上。埋藏层 54 通过外延层 14 表面上的 P 型掺杂连接区 58 和重度 P 型掺杂连接区 60 相连接。埋藏层 56 通过外延层 14 表面上的 P 型掺杂连接区 62 和重度 P 型掺杂连接区 64 相连接。连接区 60 处于绝缘沟槽 46 和 58 之间。与此相反, 连接区 64 处于绝缘沟槽 50 和 52 之间。

位于场效应晶体管 10 下面的是一个重度 n 型掺杂的埋藏层 70, 它的一小部分处于外延层 14 内, 而大部分处于 p 型掺杂衬底 12 内。埋藏层用来将晶体管 10 与衬底 12 绝缘。在另一个实施例中, 不存在埋

藏层。

没有外延层 14 也可制成晶体管 10, 例如在专门制作 CMOS 晶体管的工艺中就是这样。那时 n 型阱 16 延伸至 p 型掺杂衬底 12 内或者是 n 型衬底的 p 型阱内。

图 1 还显示了一些金属接点, 即:

左侧本体接点 72, 通至本体连接区 26,

左侧源接点 74, 通向源区 22,

左侧栅接点 76, 通向栅区域 36,

漏接点 78, 导电连至漏区 40,

右侧栅接点 80, 连至栅区域 38,

右侧源接点 82, 连至源区 24, 及

右侧本体接点 84, 连至连接区 28。

如图 1 所示, 左侧本体接点 72 和左侧源接点 74 彼此导电相连。另外, 右侧源接点 82 和右侧本体接点 84 彼此导电相连。通常左侧源接点 74 也是导电连至右侧源接点 82。同样左侧栅接点 76 和右侧栅接点 80 也彼此导电相连。在另一个典型实施例中, 两个栅接点是彼此分别驱动的, 因此不相连。这对两个源接点也同样适用。

漏区 40 穿过沟槽 34 并终止于 n 型阱 16 内, 因而在晶体管 10 运行过程中, 沿左侧沟道区 86 的方向从漏区 40 的下底部形成一个漂移路径, 同时沿右侧沟道区 88 的方向从漏区 40 的下底部形成另一个漂移路径。沟道区的形成分别由栅区 76 和 80 上的电压控制。

在另一个典型实施例中, 若用别的措施来防止寄生 npn 晶体管的产生, 则在本体接点 72, 84 和源接点 74, 82 之间没有导电连接。n 型阱 16 的掺杂取决于所需的晶体管 10 的介电强度。

图 2 是一个 DMOS 场效应晶体管 110, 除了下面说明的差别之外, 它的结构和生产与场效应晶体管 10 类似, 因此对上面图 1 已说明的那些元件不再作说明, 这些元件在图 2 中具有相同的参考符号, 不过在前面加个 1。因此, 晶体管 110 的 n 型阱 116 相当于晶体管 10 的 n 型阱 16。

在晶体管 110 的情况下, 沟槽 134 伸至埋藏层 170。在图 2 所示的典型实施例情况下, 沟槽 134 是一个深绝缘沟槽, 其深度大于  $1\ \mu\text{m}$ , 例如具有  $1.2\ \mu\text{m}$  的深度。与此相反, 在另一个典型实施例中, 沟槽 134

是一个浅绝缘沟槽。

栅区 136 和 138 仅伸至沟槽 134 的上部, 例如从 n 型外延层 114 表面延伸  $0.5\ \mu\text{m}$  的深度。在栅区 136 下面远至沟槽底部的区域由绝缘区域 142 的绝缘材料填充, 这种绝缘材料还进一步将栅区 136 与漏区 140 隔离。在栅区 138 下面远至沟槽底部的区域同样由绝缘区域 144 的绝缘材料填充, 这种绝缘材料还进一步将栅区 138 与漏区 140 隔离。此漏区 140 穿过沟槽 134 的沟槽底部并终止于埋藏层 170 内。

在图 2 所示晶体管 110 的情况下, 由于沟槽 134 的深度比沟槽 34 大 (虽然它没有处在沟槽底部下面的一部分), 在 n 型阱 116 内的漂移路径加长了, 因此漏-源极电压可以较高。

在按图 2 所作改变的情况下, 漂移电流还沿直线路径流动, 因而不可能在弯折处形成峰值场, 而按图 1 所作的改变则仍是这种情况, 可看见沟槽 34 下部沟槽边缘处的弯折点。

在还有一种典型实施例中, 晶体管 110 没有外延层, 因而 n 型阱 116 伸至衬底 112 内。另一种带或不带外延层 114 的典型实施例中, 不存在埋藏层 170。

图 3 是一个 DMOS 场效应晶体管 210, 除了下面谈到的差别外, 它的结构和产生与场效应晶体管 10 类似, 因此对上面图 1 已说明的那些元件不再作说明, 这些元件在图 3 中具有相同的参考符号, 不过在前面加个 2。因此, 晶体管 210 的 n 型阱 216 相当于晶体管 10 的 n 型阱 16。

与晶体管 10 不同, 对于晶体管 210 的情况不存在下面的元件:

外延层 14, 故 n 型阱 216 处在衬底 212 内,

埋藏层 54 和 56, 以及连接这些层的连接区。

晶体管 210 的中心沟槽 234 有一个中间浅沟槽区 300, 和两个处在栅区 236 和 238 下面的外深沟槽区 302 和 304。深沟槽区 242 和 244 是电绝缘的并接纳绝缘区域 242 和 244 的下部。深沟槽区 242 和 244 伸至例如  $6\ \mu\text{m}$  甚至  $20\ \mu\text{m}$  的深度。漏连接区 240 处在沟槽 234 浅沟槽部分内, 且终止于 n 型阱 216 内比浅沟槽区域 300 更深处, 例如深  $100\text{nm}$  或  $200\text{nm}$  以上 (如  $500\text{nm}$ )。由于有深沟槽区域 302 和 304, 漂移路径 306 和 308 的长度约比深沟槽区域的深度长一倍。当深沟槽区域的深度为  $5\ \mu\text{m}$  时, 漂移路径 306 和 308 的长度将例如分别大于  $10\ \mu\text{m}$ 。不需

要增加芯片在横向方向的面积就可以获得这些长漂移路径。

晶体管 210 也可以有一个重度掺杂埋藏绝缘层。但是在另一个典型实施例中，深沟槽区域 302 和 304 未达到绝缘层那么远。但也可以采用外延层。

图 4 是一些环形 DMOS 晶体管 400 至 410，它们的结构都象第一典型实施例中的晶体管 10。在另一些典型实施例中，晶体管 400 至 410 的结构都与晶体管 110 或晶体管 210 类似。晶体管 400 至 410 是并联的，所以若把 50 或 100 个晶体管 400 至 410 并联，则可开关高达 3A（安培）的电流。这么大的电流在驱动计算机硬盘等控制电路中是需要的。对于如图 4 所示的装置，所需的面积很小。

图 5 是一种条形 DMOS 晶体管 420，其结构象第一典型实施例中的晶体管 10，但在漏区 440 上面有两行漏接点 478, 479。根据要开关的电流可以自由选择晶体管 420 的长度 L。此外，也可以将许多条形晶体管 420 互相并联。条形晶体管 420 特别适合于漏接点 478, 479 的金属化只允许有限的电流流过的场合。

在另一些典型实施例中，如图 4 所示的一些变型配备着一些六角形（即蜂窝状）晶体管。

下面说明制造晶体管 10 的生产步骤。这时依次进行下列方法步骤：

在生长于衬底 12 上的外延层 14 上产生 n 型阱 16，

借助于光刻技术并用硬掩模，刻蚀沟槽 34 和安装沟槽 46 至 52，并接着用二氧化硅填充。然后采用 CMP（化学机械抛光）工艺即普通 STI（浅沟槽绝缘）等工艺，将二氧化硅平坦化。

借助另一层的光刻技术制造栅区 36 和 38 及漏区 40 等区域。然后，在这些区域刻蚀二氧化硅，使其停止于 n 型阱 16 的硅上。

借助于热氧化等在沟槽壁区域和未复盖的沟槽 34 的底部区域产生薄的电介质。

借助另一光刻技术选择漏区 78 的切口。然后，例如利用反应离子刻蚀或湿化学刻蚀再次清除在漏区 78 切口底部的薄绝缘层。

在下一个步骤中，将多晶硅淀积在栅区 36, 38 及漏区 40 的切口内。多晶硅就地掺杂或利用后续的扩散或注入来掺杂。

借助 CMP 等方法使得重度 n 型掺杂的多晶硅平坦化。合适的话，也可以利用光刻把多晶硅移至沟槽 34 的外面。

利用光刻确定本体区 18, 20 的位置。然后主要借助于扩散或注入将本体区作 P 型掺杂（或对于 P 沟道 DMOS 是 n 型掺杂）。此后或此前还可以产生互补场效应晶体管的 n 型阱。

借助光刻法界定连接区 30, 32, 并利用扩散或注入等进行轻度 n 型掺杂。

借助另一光刻工艺界定源区 22, 24, 接着例如利用扩散或注入等进行重度 n 型掺杂。以及

借助光刻法界定本体区 18, 20 的连接区 26, 28, 并接着进行重度 P 型掺杂。

外延层 14, 埋藏层 70, 以及如适合的话还有一些埋藏层, 在进行上述各步骤之前产生, 特别是当进行 BiCMOS 方法时, 也就是说用这种方法来产生双极晶体管和场效应晶体管两种晶体管时。

生产晶体管 110 的方法基本采用相同的步骤。不过, 首先是将连接区的切口只刻蚀到与栅区 136, 138 的切口相同的深度, 也即到小于沟槽 134 的沟槽深度一半的深度。然后产生薄栅氧化物层。只有在这之后才把漏区 140 的切口延长至沟槽 134 的沟槽底之外, 正好进入埋藏层 170 或正好进入 n 型阱 116。

当生产晶体管 210 时也采用类似的步骤。但是, 深绝缘沟槽的沟槽刻蚀是在浅绝缘沟槽 248, 250 和沟槽 234 浅部的刻蚀之后进行。在此过程中产生沟槽 234 的深沟槽区域 302 和 304。另外, 在此步骤中可以在集成电路（如所谓的沟槽电容器的存储单元阵列内）的其它位置产生深绝缘沟槽。

在另一个典型实施例中, 借助同样的生产步骤, 生产 P 型 DMOS 晶体管而非 n 型 DMOS 晶体管, 不过是采用相反的掺杂。

将漏极和栅极合并安置在一个绝缘沟槽区域内, 减少了实际需要的芯片面积。因而使起始电阻率  $R_{ON}$  降低。此外, 比饱和电流  $I_{SAT}$  增加。通过改变沟槽的深度或沟槽区域的深度, 可以方便地建立能用于较大漏电压的漂移 路径。

根据上述各典型实施例, 每个沟槽有一个围绕它的沟槽边缘。该沟槽边缘是一条在外延层 14 或衬底 14 那个表面上围绕沟槽的闭合线, 安置在沟槽外面的源连接区也处在此表面上。

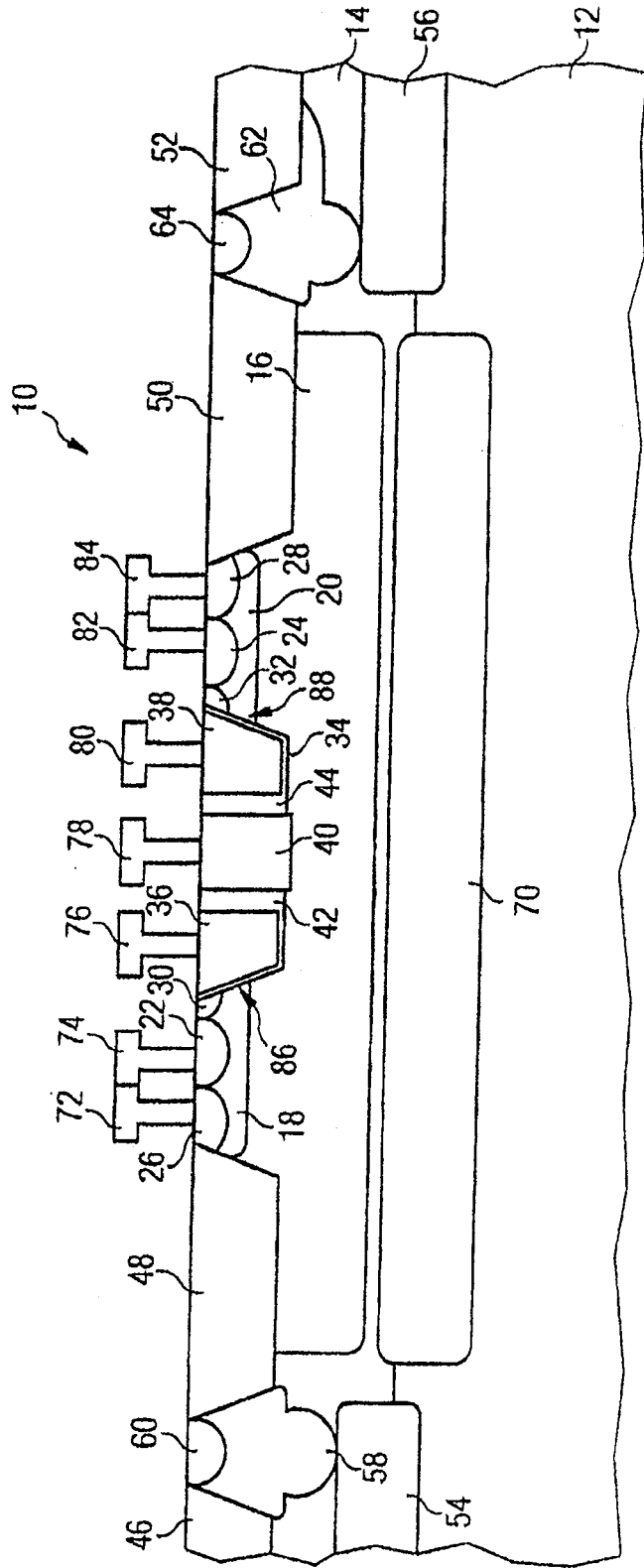


图 1



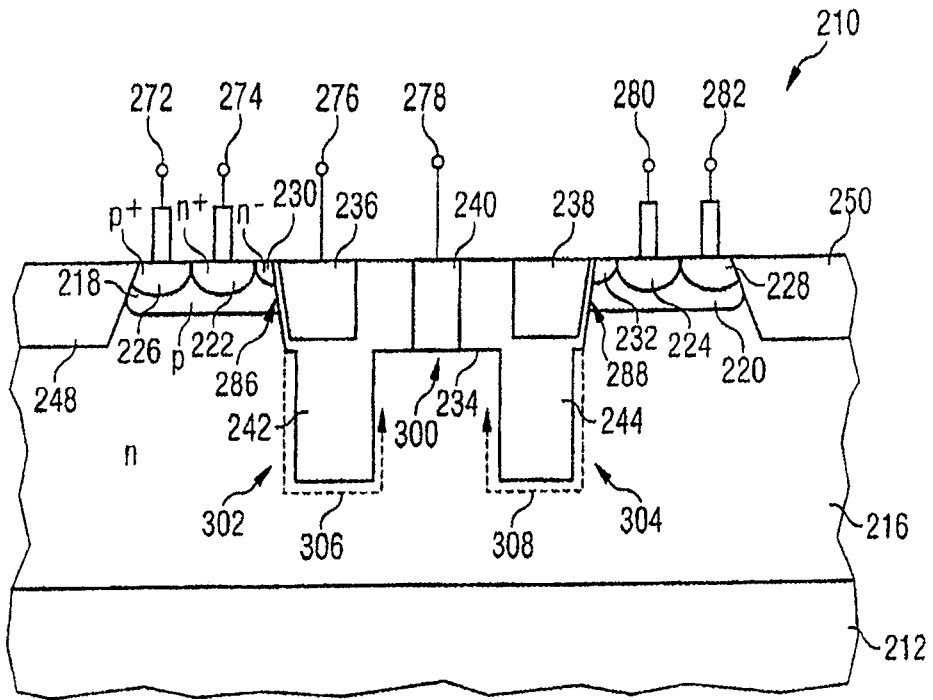


图 3

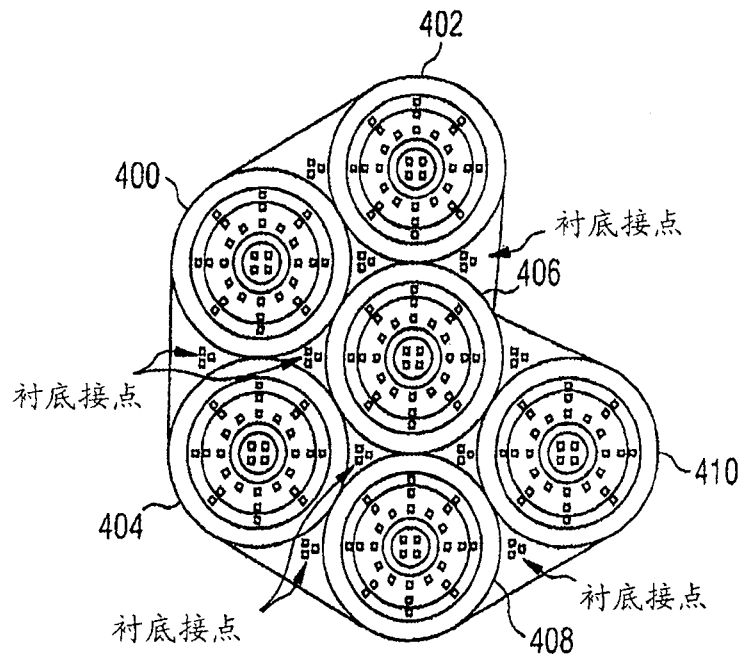


图 4

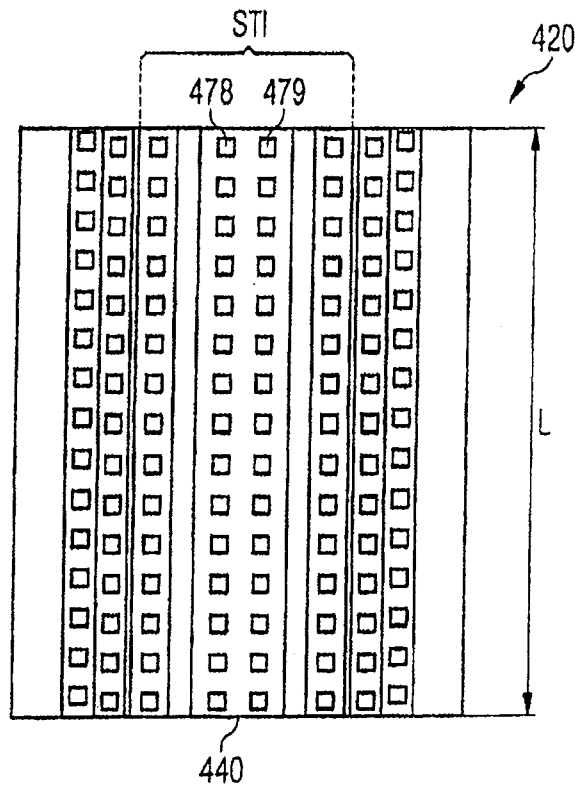


图 5