(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2006-13674
(P2006-13674A)
(43)公開日　平成18年1月12日(2006.1.12)

(51)Int.Cl.		F I		テーマコード（参考）
H04B 1/04	(2006.01)	H04B 1/04	T	5K060

審査請求 未請求　請求項の数 9　ＯＬ　（全 19 頁）

(21)出願番号　特願2004-184779 (P2004-184779)
(22)出願日　平成16年6月23日 (2004.6.23)

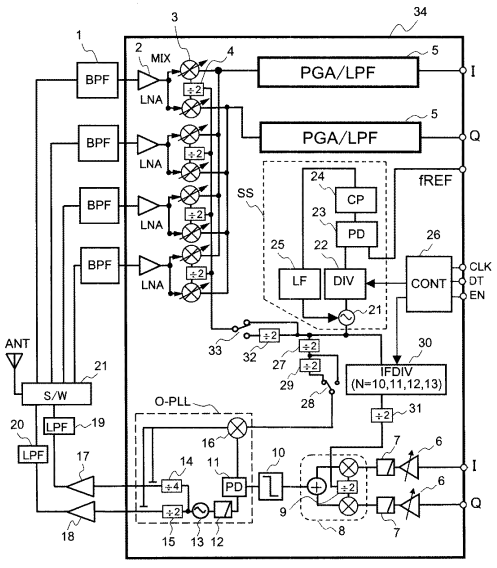
(71)出願人　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100068504
弁理士　小川　勝男
(74)代理人　100086656
弁理士　田中　恭助
(72)発明者　田中　聡
東京都国分寺市東恋ヶ窪一丁目２８０番地
株式会社日立製作所中央研究所内
(72)発明者　赤峰　幸徳
東京都国分寺市東恋ヶ窪一丁目２８０番地
株式会社日立製作所中央研究所内

最終頁に続く

(54)【発明の名称】無線送信回路及びそれを用いた送受信機

(57)【要約】
【課題】　部品点数を削減でき、小型化に適した移動体通信機用の無線送信回路を提供する。
【解決手段】　従来の移動体通信機で必要とされていたＴＸ，ＲＦ，ＩＦ周波数帯の３つの発振器のうちＲＦ周波数帯ＰＬＬと、ＩＦ周波数帯ＰＬＬとを１つのＰＬＬシンセサイザＳＳで兼用し、チップ内で大きな面積を専有する必要な発振器の個数を低減して部品点数を削減する。具体的には、ＲＦ周波数帯ＰＬＬのＶＣＯ２１の出力を分周することにより、ＲＦ，ＩＦ周波数帯で用いる局部発振信号を生成する構成とする。
【選択図】　図１

図 1



【特許請求の範囲】
【請求項１】
第１の周波数発生回路と、
第１の周波数変換回路と、
前記第１の周波数変換回路の出力が入力される第２の周波数変換回路と、
第１の分周回路部とを具備し、
前記第１の周波数発生回路の出力が、前記第１の分周回路部を介して前記第１の周波数変換回路の局部発振信号として供給され、
前記第１の周波数発生回路の出力が、直接または第２の分周回路部を介して前記第２の周波数変換回路の局部発振信号として供給され、
前記第１の分周回路部の分周数が、可変に設定されて成ることを特徴とする無線送信回路。
【請求項２】
請求項１記載の無線送信回路において、
前記第１の周波数変換回路は直交変調器であり、
前記第１の分周回路部の分周数が偶数に設定されることによって前記直交変調器に入力される９０度位相の異なる２つの局部発振信号が発生されることを特徴とする無線送信回路。
【請求項３】
請求項２記載の無線送信回路において、
前記第２の周波数変換回路は、
第１および第２の入力端子を有する第１の位相比較回路と、
前記第１の位相比較回路の出力が入力される第１のループフィルタ回路と、
前記第１のループフィルタ回路の出力が電圧制御端子に接続される第１の電圧制御発振器と、
前記第１の電圧制御発振器の出力が入力される第１のミキサ回路とを具備し、
前記第１のループフィルタ回路の入力には前記第１の位相比較回路の出力が接続され、
前記第１の位相比較回路の前記第２の入力端子には前記第１のミキサ回路の出力が接続されて成り、
前記第２の周波数変換回路の入力は前記第１の位相比較回路の第１の入力端子であることを特徴とする無線送信回路。
【請求項４】
請求項１乃至３のいずれか記載の無線送信回路において、
前記第１の周波数発生回路は、第２の電圧制御発振器と、第２の可変分周器と、第２の位相比較回路と、チャージポンプ回路と、第２のループフィルタ回路とを含む位相同期ループ回路で構成されて成り、
前記第２の可変分周器の分周数が時変であるフラクショナル型位相同期ループ発振回路であることを特徴とする無線送信回路。
【請求項５】
請求項４記載の無線送信回路において、
前記第１の周波数発生回路は、
前記第２の電圧制御発振器の電圧制御入力に固定電位を与えるバイアス部と、
前記第２の電圧制御発振器の共振周波数を切り替える切り替え部と、
第１の基準信号路で駆動される第１のカウンタ回路と、
前記第２の可変分周器の出力に設けられた第２のカウンタ回路と、
前記第１および第２のカウンタ回路間のカウント時間の差に応じて前記共振周波数の切り替え部の選択を決定する回路部と、
前記第２の可変分周器の分周数を制御する第１のシグマデルタ変調器と、
前記第１のシグマデルタ変調器よりも次数の大きい第２のシグマデルタ変調器とを更に具備し、

前記第１の周波数発生回路が位相同期ループ動作の時には、前記第１のシグマデルタ変調器が用いられ、
前記第１の周波数発生回路がキャリブレーション動作の時には、前記第２のシグマデルタ変調器が用いられることを特徴とする無線送信回路。
【請求項６】
請求項４記載の無線送信回路において、
前記位相同期ループ回路内の前記第２の可変分周器の分周比の設定は、
第１のシグマデルタ変調器と、
第１の加算器と、
第２の加算器と、
第１の周波数条件記憶部と、
第２の周波数条件記憶部と、
第１の疑似乱数発生回路とを具備する回路により行われ、
前記第１の加算器の出力が前記第２の可変分周器の分周比設定端子に接続され、
前記第１の加算器の、第１の入力端子が前記第１のシグマデルタ変調器の出力に、第２の入力端子が前記第１の周波数条件記憶部の所定の上位ビット列出力にそれぞれ接続され、
前記第１のシグマデルタ変調器の入力が前記第２の加算器の出力に接続され、
前記第２の加算器の第１の入力端子が前記第２の周波数条件記憶部の所定の下位ビット列出力に接続され、
前記第２の加算器の第２の入力端子が前記第１の疑似乱数発生回路に接続されて成り、
前記疑似乱数発生回路の出力が直流成分を発生しないことを特徴とする無線送信回路。
【請求項７】
請求項４記載の送信回路において、
前記第２の可変分周器の分周比を設定するための回路は、
第１のシグマデルタ変調器と、
第１の加算器と、
第１の周波数条件記憶部と、
第２の周波数条件記憶部と、
第１の疑似乱数発生回路と
第１および第２の微分器とを含んで成り、
前記第１の加算器の出力が前記第２の可変分周器の分周比設定端子に接続され、
前記第１の加算器の、第１の入力端子が前記第１のシグマデルタ変調器の出力に、第２の入力端子が前記第１の周波数条件記憶部の所定の上位ビット列出力にそれぞれ接続され、
前記第１のシグマデルタ変調器の入力が前記第２の周波数条件記憶部の所定の下位ビット列出力に接続され、
前記第１のシグマデルタ変調器が、入力端子、出力端子、誤差出力端子をそれぞれ持つ第１、第２、第３の１次のシグマデルタ変調器を具備して成り、
前記第１の１次のシグマデルタ変調器の誤差出力が前記第２の１次シグマデルタ変調器の入力に接続され、
前記第２の１次シグマデルタ変調器の出力が前記第１の微分器を介して前記第１の１次のシグマデルタ変調器の出力に接続され、
前記第２の１次のシグマデルタ変調器の誤差出力が前記第３の１次シグマデルタ変調器の入力に接続され、
前記第３の１次シグマデルタ変調器の出力が前記第２の微分器を介して前記第２の１次のシグマデルタ変調器の出力に接続され、
前記第１の疑似乱数発生回路の出力が前記第１の１次のシグマデルタ変調器の誤差出力に加算されて前記第２の１次シグマデルタ変調器に入力される構成であることを特徴とする無線送信回路。

【請求項８】
請求項４記載の送信回路において、
前記第２のループフィルタが、少なくとも第１の容量と第１の抵抗で構成される第１の直列接続回路と第２の容量との並列接続で構成される第１のラグリードフィルタと、１次以上の第１の低域通過フィルタとで構成され、
前記チャージポンプ回路の出力は前記第１のラグリードフィルタの第１の端子と前記第１の低域通過フィルタの入力端子とに接続され、
前記第１のラグリードフィルタの第２の端子が前記チャージポンプ回路の接地端子に接続され、
前記第１の低域通過フィルタの出力端子が前記第２の電圧制御発振器の電圧制御端子に、接地端子が前記第２の電圧制御発振器の接地端子にそれぞれ接続されることを特徴とする無線送信回路。
【請求項９】
ベースバンド処理部からの送信信号をアンテナを介して送信する無線送信回路部と、
アンテナで受信した信号を妨害波を除去するフィルタ回路を介して低雑音増幅器により増幅した後、ベースバンド信号に周波数変換してベースバンド部へ送る受信回路部とを備えた送受信機であって、
前記無線送信回路部に、請求項１に記載の無線送信回路を用いたことを特徴とする送受信機。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は移動体通信機用送信回路に係り、特に大規模集積化に適した無線送信回路及びそれを送信回路部に適用した送受信機に関する。
【背景技術】
【０００２】
移動体通信機の爆発的な普及につれ、小型、低コスト化への要求が強まっている。そのため集積度を高めた送受信集積回路の適用が望まれている。集積度をあげた送受信機用集積回路の従来例の１つとしては日立製作所により２００１年に発表されている（非特許文献１参照）。これはオフセットＰＬＬ送信回路を適用しており、送信機にはＲＦ周波数帯位相同期ループ（ＰＬＬ）、中間（ＩＦ）周波数帯ＰＬＬのほか送信発振器の計３つの発振回路およびそれを含むＰＬＬ回路が存在する。
【０００３】
また、デジタル入力とデルタ・シグマ（ΔΣ）変調器との間に、当該デジタル入力から離散的に変化しかつ時間平均が当該デジタル入力と一致するデジタル出力をΔΣ変調器へ供給するデジタルディザ回路が設けられた変調型分数分周ＰＬＬ周波数シンセサイザを用いる携帯電話の構成が知られている（例えば、特許文献１参照）。なお、以下では「デルタ・シグマ変調器」は、一般的には「シグマデルタ（ΣΔ）変調器」と呼ばれているので、「シグマデルタ（ΣΔ）変調器」を用いることとする。
【０００４】
【特許文献１】特開２００２－１５２０４４号公報
【０００５】
【非特許文献１】第２７回ヨーロピアン・ソリッドーステートサーキット・コンファレンス、プロシーディングズ、Ｓ．田中他「ジーエスエム／ディーシーエス１８００用２バンドダイレクトコンバージョントランシーバ集積回路」、ｐ．４９２－４９５、２００１年、(S. Tanaka et.al. “GSM/DCS1800 Dual Band Direct-Conversion Transceiver IC,” Proceedings of the 27th European Solid-State Circuits Conference pp. 492-495, 2001)
【発明の開示】
【発明が解決しようとする課題】

【０００６】
前者の従来例では、ＴＸ（送信周波数）用、ＲＦ（高周波数）用、ＩＦ周波数用の計３つの発振器を必要とする。これら発振器を集積しようとした場合は、いずれの発振器に対しても低雑音性が要求されるため集積回路上で面積を専有するサイズの大きなインダクタが必要となり、小型化が困難であった。
【０００７】
後者の従来例では、例えば、１つのＰＬＬを使ってＩＦ，ＲＦ両方の局部発振信号を発生する回路構成が開示されているが、これらの周波数配置に対して発生するスプリアスに対する検討が成されていない。また、このような局部発振器に用いるシンセサイザに好適なΣΔシンセサイザに関しても言及し、ΣΔシンセサイザ特有のスプリアスの問題を解決する際に、ディザ回路の必要性は述べているが、スプリアスの問題を回避すると共に更に小型化を可能にする具体的な構成については述べられていない。
【０００８】
そこで、本発明の目的は、スプリアスの問題を回避すると共に小型化に適し、部品点数を低減でき、高集積可能な送信回路を提供することにある。
【０００９】
また、上記送信回路を用いた送受信機を提供することも目的の一つである。
【課題を解決するための手段】
【００１０】
本発明の代表的手段の一例を示せば、次の通りである。すなわち、本発明に係る送信回路は、第１の周波数発生回路と、第１の周波数変換回路と、前記第１の周波数変換回路の出力が入力される第２の周波数変換回路と、第１の分周回路部とを具備し、前記第１の周波数発生回路の出力が、前記第１の分周回路部を介して前記第１の周波数変換回路の局部発振信号として供給され、前記第１の周波数発生回路の出力が、直接または第２の分周回路部を介して前記第２の周波数変換回路の局部発振信号として供給され、前記第１の分周回路部の分周数が可変に設定されて成ることを特徴とするものである。ここで上記各回路は、図１で言えば、第１の周波数発生回路はシンセサイザＳＳ、第１の周波数変換回路は直交変調器８、第２の周波数変換回路はオフセットＰＬＬ、第１の分周回路部は分周器３０，３１、第２の分周回路部は２７，２９にそれぞれ対応する。
【発明の効果】
【００１１】
本発明によれば、ＲＦ周波数帯ＰＬＬとＩＦ周波数帯ＰＬＬとを１つのＰＬＬシンセサイザで兼用するので、必要な発振器の個数を低減でき、無線送信回路が小型化する。
【発明を実施するための最良の形態】
【００１２】
以下、添付図面を参照しながら、本発明の実施例を詳細に説明する。
【実施例１】
【００１３】
本発明の第１の実施例について、図１～４を用いて説明する。図１は、本発明に係る無線送信回路を適用した送受信回路を集積化したＲＦＩＣの構成を示す図である。本ＲＦＩＣ３４は、ＧＳＭ８５０，ＧＳＭ９００，ＤＣＳ１８００，ＰＣＳ１９００の４つの周波数帯に対応するものである。
【００１４】
ＧＳＭ８５０は、送信帯域が８２４ＭＨｚ～８４９ＭＨｚ、受信帯域が８６９ＭＨｚ～８９４ＭＨｚである。ＧＳＭ９００は、送信帯域が８８０ＭＨｚ～９１５ＭＨｚ、受信帯域が９２５ＭＨｚ～９６０ＭＨｚである。ＤＣＳ１８００は、送信帯域が１７１０ＭＨｚ～１７８５ＭＨｚ、受信帯域が１８０５ＭＨｚ～１８８０ＭＨｚである。ＰＣＳ１９００は、送信帯域が１８５０ＭＨｚ～１９１０ＭＨｚ、受信帯域が１９３０ＭＨｚ～１９９０ＭＨｚである。
【００１５】

受信信号は、アンテナＡＮＴから入る妨害波を除去するためのフィルタ回路であるバンドパスフィルタ（ＢＰＦ）１を介して集積回路上の低雑音増幅器（ＬＮＡ）２に入力される。低雑音増幅器によって増幅された信号は、ミキサ回路（ＭＩＸ）３によって周波数変換されＩ，Ｑ２つのベースバンド信号に変換される。ベースバンド信号は、利得可変増幅器（ＰＧＡ）と周波数変換された妨害波を除去するためのフィルタ（ＬＰＦ）とが合成されたＰＧＡ／ＬＰＦ回路５をそれぞれ通り、出力Ｉ，Ｑ信号としてＲＦＩＣ３４から出力される。

【００１６】

ミキサ回路３に入力されるローカル信号は、電圧制御発振器（ＶＣＯ）２１の出力信号を分周することで生成される。ＧＳＭ８５０、ＧＳＭ９００の場合は、２分周器３２がスイッチ３３により選択され、更に２分周器４にて合計４分周されてミキサ３を駆動する。ＤＣＳ１８００、ＰＣＳ１９００の場合は、スイッチ３３にて２分周器３２を非選択とし、計２分周した信号がミキサ３を駆動する。このように分周器を適用することで、正確に９０度位相のずれたＩ，Ｑ用の局部発振信号を生成出来る。ＶＣＯ２１は、可変分周器（ＤＩＶ）２２、位相比較器（ＰＤ）２３、チャージポンプ回路（ＣＰ）２４、ループフィルタ（ＬＦ）２５と合わせて構成されるシンセサイザＳＳにより安定した周波数制御のもとで動作する。可変分周器２２の分周数は制御回路（ＣＯＮＴ）２６によって設定され、所望の発振周波数に制御できる。

【００１７】

送信回路は、ＧＭＳＫ（Gaussian filtered Minimum Shift Keying）変調信号に対応するものであり、入力信号はＩ，Ｑの２系統である。入力信号は、信号レベルを後段の直交変調器８に合わせるためのアッテネータ回路６と、帯域外雑音を低減する低域通過フィルタ７を介して直交変調器８に印加される。直交変調器の出力であるＩＦ信号は、リミッタ回路１０を介して位相比較器１１を駆動する。位相比較器の出力は、ループフィルタ１２を介して送信用ＶＣＯ１３の制御電圧を制御する。ＶＣＯ１３の出力には、４分周器１４と２分周器１５が取りつけられている。

【００１８】

ＧＳＭ８５０，ＧＳＭ９００帯の送信信号は４分周器１４より出力され、ＤＣＳ１８００，ＰＣＳ１９００帯の送信信号は、２分周器１５より出力される。送信信号は、ミキサ１６にてＩＦ信号帯に周波数変換され、位相比較回路１１にて入力ＩＦ信号との誤差が検出され、ＶＣＯ１３に帰還される。この結果、各分周器１４，１５の出力に所定の中心周波数をもつＧＭＳＫ変調信号を発生させる事が出来る。分周器１４の出力は電力増幅器１７（ＧＳＭ８５０，９００用）にて増幅され、分周器１５の出力は電力増幅器１８（ＤＣＳ１８００、ＰＣＳ１９００用）にて増幅される。増幅された送信信号は、それぞれ低域通過フィルタ（ＬＰＦ）１９，２０にて高調波が取り除かれ、スイッチＳ／Ｗ２１を介してアンテナに放出される。

【００１９】

このような送信回路はオフセットＰＬＬ回路（Ｏ－ＰＬＬ）として知られているが、直交変調器を駆動するＩＦ局部発振信号と、ＰＬＬの帰還ループ内のミキサ回路を駆動するＲＦ局部発振信号が必要となる。先にも述べたように従来では２つの個別のシンセサイザにより、これらの信号を発生させていたが、本実施例では１つのシンセサイザにより発生させて小型化を図っている。

【００２０】

受信回路の局部発振信号生成用として用いてきたＶＣＯ２１を送信用ＲＦ，ＩＦ信号生成用としても活用する。ＲＦ局部発振信号は、ＶＣＯ２１の出力を分周することにより発生させる。具体的には、ＧＳＭ８５０，９００用としては２つの２分周器２７，２９をスイッチ２８にて選択し、４分周して生成する。ＤＣＳ１８００，１９００用としては２分周器２７をスイッチ２８にて選択し、２分周器２７のみを動作させて生成する。

【００２１】

これに対して、ＩＦ局部発振信号は、ＶＣＯ２１の出力を可変分周器（ＩＦＤＩＶ）３

０により分周する。一般に可変分周器の出力はデューティ比が５０％ではない。このため２つの２分周器３１、９を用い、常に４分周する事により、正確に９０度位相のずれたＩ，Ｑ用の局部発振信号を生成する。

【００２２】

本実施例でＩＦ局部発振信号発生のために可変分周器３０を用いる理由を、図２を用いて説明する。本実施例の送信周波数をｆＴＸ、ＶＣＯ２１の発振周波数をｆＶＣＯ、ＲＦ局部発振信号周波数をｆＲＦ、ＩＦ局部発振信号周波数をｆＩＦ、リファレンス周波数をｆＲＥＦとする。

【００２３】

ｆＴＸ＝ｆＲＦ－ｆＩＦ　　…（１）

ｆＲＦ＝ｆＶＣＯ／（２＊ｍ）…（２）

ｆＩＦ＝ｆＶＣＯ／（４＊Ｎ）…（３）

ここで、ＤＣＳ，ＰＣＳの場合は、ｍ＝１、ＧＳＭ８５０，９００の場合は、ｍ＝２であり、Ｎは可変分周数である。

【００２４】

上記の式（１）～（３）より、次の式（４）と（５）が導出される。

ｆＲＦ＝ｆＩＦ＊２Ｎ／ｍ　　…（４）

ｆＴＸ＝ｆＩＦ＊（２Ｎ／ｍ－１）…（５）

式（４）と式（５）は、仮に送信周波数ｆＴＸを動かしても常に、送信周波数ｆＴＸとＩＦ周波数ｆＩＦとが、そしてＲＦ局部発振周波数ｆＲＦとＩＦ周波数ｆＩＦとが、それぞれ整数比にある事を示しており、ＩＦ信号に起因する高調波スプリアスは、大信号を発生している送信周波数帯と一致するため、スプリアスの問題は顕在化しない。

【００２５】

これに対して、リファレンス周波数ｆＲＥＦの高調波は周波数の設定にかかわらず常に一定であり、送信周波数の設定によっては、送信中心周波数の近傍にスプリアスが発生する。図２は、ＧＳＭ９００の場合を例にしてこの現象を示している。横軸に送信周波数ｆＴＸをとり、縦軸にＲＦ局部発振周波数ｆＲＦをとり、リファレンス周波数ｆＲＥＦ＝２６ＭＨｚとした場合の、３７倍、３８倍、３９倍のそれぞれの高調波と、可変分周数Ｎ＝１０，１１の場合のＲＦ周波数をプロットした。

【００２６】

Ｎ＝１１で固定すると、８９８ＭＨｚ近辺で２６ＭＨｚの３８倍の高調波と一致する。このため、この近傍では送信スプリアスが発生しやすくなる。これを避けるために送信周波数ｆＴＸ＝８９５ＭＨｚでＮを１１から１０へ、ｆＴＸ＝９１０ＭＨｚでＮを１０から１１へ変更することで、ＲＦ局部発振周波数ｆＲＦとリファレンス周波数ｆＲＥＦの高調波周波数との距離を得ている。距離の目安としては、オフセットＰＬＬの帯域１ＭＨｚ以上であり、ここでは３～５ＭＨｚに設定してある。

【００２７】

図３は、図２の動作を具体化する制御回路２６の詳細を示すブロック回路図である。なお図３において、図１に示した構成部分と同じ構成部分には同じ参照符号を付してあるが、但し、分周器４３２は、図１で説明したＧＳＭやＤＣＳ等の使用する周波数帯域に応じてＶＣＯ２１の出力からミキサ回路３へ入力される局部発振信号を生成するために２分周器４，３２とスイッチ３３とから成る２分周または４分周に切りかえる回路をまとめて簡略化して表わしたものであり、分周器２７９は、ＶＣＯ２１の出力からＲＦ局部発振信号を生成するために２分周２７，２９とスイッチ２８とから成る２分周又は４分周に切り替える回路ををまとめて簡略化して表わしたものである。後述する図５及び図２０における分周器４３２、２７９も同様である。

【００２８】

シンセサイザＳＳ内の可変分周器２２の分周数は、シグマデルタ（ΣΔ）変調器４３で発生する時変信号を用いて設定しいる。分周比設定レジスタ（ＣＯＮ＿ＲＥＧ）４２には、リファレンス周波数ｆＲＥＦの整数倍の周波数ピッチを設定するデータと、ΣΔ変調器

４３の入力を設定するデータを格納し、前者は加算器４４を介して直接可変分周器２２を制御し、後者は、ΣΔ変調器４３により、低ビット長の時変信号に変換され、加算器４４を介して可変分周器２２を制御する。このようなＰＬＬ回路を構成する可変分周器の分周数が時変である構成は、フラクショナル型ＰＬＬと呼ばれている。

【００２９】

必要に応じて可変分周数Ｎの値を変化させるために、周波数設定レジスタＦ＿ＲＥＧ、初期周波数設定レジスタＦＳ＿ＲＥＧ、第１及び第２の切り替え周波数レジスタＦＳＷ１及びＦＳＷ２、第１及び第２の切り替え値設定レジスタＤＤＩＶ１及びＤＤＩＶ２、初期ＩＦ分周比設定レジスタＩＮＩ＿ＤＩＶ、ＩＦ分周比設定レジスタＤＩＶ＿ＲＥＧを用いる。動作は、図４に示すように以下の手順で行う。

【００３０】

まず、ステップＳ１では、初期周波数設定レジスタＦＳ＿ＲＥＧのデータ設定を行う。

ステップＳ２では、初期ＩＦ分周比設定レジスタＩＮＩ＿ＤＩＶのデータ設定を行う。

ステップＳ３では、初期周波数設定レジスタＦＳ＿ＲＥＧの設定データと第１の切り替え周波数レジスタＦＳＷ１とのデータの比較を行い、真ならステップＳ６を、偽ならステップＳ４を実行する。

【００３１】

ステップＳ４では、初期周波数設定レジスタＦＳ＿ＲＥＧのデータを、周波数設定レジスタＦ＿ＲＥＧに格納する。

続いてステップＳ５に進み、初期ＩＦ分周比設定レジスタＩＮＩ＿ＤＩＶのデータを、ＩＦ分周比設定レジスタＤＩＶ＿ＲＥＧに格納して動作を終了する。

【００３２】

ステップＳ６へ進んだ場合は、初期周波数設定レジスタＦＳ＿ＲＥＧの設定データと第２の切り替え周波数レジスタＦＳＷ２のデータとの比較を行い、真ならステップＳ９を、偽ならステップＳ７を実行する。

【００３３】

ステップＳ７では、周波数設定レジスタＦ＿ＲＥＧに、演算結果を格納する。

次に、ステップＳ８では、ＩＦ分周比設定レジスタＤＩＶ＿ＲＥＧに、初期ＩＦ分周比設定レジスタＩＮＩ＿ＤＩＶのデータと、第１の切り替え値設定レジスタＤＤＩＶ１のデータとの和を格納して動作を終了する。

【００３４】

ステップＳ９では、周波数設定レジスタＦ＿ＲＥＧに、演算結果を格納する。

ステップＳ１０では、ＩＦ分周比設定レジスタＤＩＶ＿ＲＥＧに、初期ＩＦ分周比設定レジスタＩＮＩ＿ＤＩＶのデータと、第２の切り替え値設定レジスタＤＤＩＶ２のデータとの和を格納して動作を終了する。

【００３５】

ここで示した動作は一例であり、本発明の本質は、ＩＦ局部発振信号発生用の分周器の分周数を可変することにある。

【実施例２】

【００３６】

本発明の第２の実施例について、図５および図６を用いて説明する。本実施例は、第１の実施例において制御回路２６内で行っていた図４に示した演算を、ベースバンドＬＳＩ（ＢＢＬＳＩ）５９で行う場合の例である。

【００３７】

図５は、第１の実施例の図３に対応する図であり、同じ構成部分には同じ参照符号を付して、その重複説明を省略する。本実施例では、図３の構成と異なり、制御回路２６内にＩＦ分周比設定レジスタＤＩＶ＿ＲＥＧが設けられ、代わりに制御回路２６内にあった初期周波数設定レジスタＦＳ＿ＲＥＧ、第１及び第２の切り替え周波数レジスタＦＳＷ１，ＦＳＷ２、第１及び第２の切り替え値設定レジスタＤＤＩＶ１，ＤＤＩＶ２、および初期ＩＦ分周比設定レジスタＩＮＩ＿ＤＩＶが無い。

【００３８】
図６は、ＲＦＩＣ３４とＢＢＬＳＩ５９との間での制御データの受け渡しを示す図である。ＲＦＩＣ３４とＢＢＬＳＩ５９との伝送のために、ＲＦＩＣ３４にはデータ格納主レジスタＭＲＥＧと個別データ格納レジスタＰＲＥＧ６１が設けられている。データ格納主レジスタＭＲＥＧには、ＢＢＬＳＩ５９から、クロック信号ＣＬＫ、データＤＴ、イネーブル信号ＥＮが伝送される。
【００３９】
ＢＢＬＳＩ５９では、周波数設定レジスタＦ＿ＲＥＧと、ＩＦ分周比設定レジスタＤＩＶ＿ＲＥＧの内容を演算した後、得られた制御データをＲＦＩＣ３４に伝送する。伝送されてきたデータＤＴは、データ格納主レジスタＭＲＥＧが、ＢＢＬＳＩ５９からのＥＮ信号が発呼された時点で、個別データ格納レジスタＰＲＥＧ６１に格納する。図５に示した制御回路２６内の周波数設定レジスタＦ＿ＲＥＧと、ＩＦ分周比設定レジスタＤＩＶ＿ＲＥＧは、各々この個別データ格納レジスタ６１の１つである。
【００４０】
制御データＤＴには、個別データレジスタの番号を登録するアドレス領域ＡＤＤと、書き込むデータが格納された領域ＤＡＴがあり、シリアル伝送でＢＢＬＳＩ５９から送られる。本実施例では、ＩＦ局部発振信号発生用分周器の分周数切り替えをプログラムで実行できるため、アルゴリズムに対する自由度が増す。
【実施例３】
【００４１】
第３の実施例では、シンセサイザＳＳ内の可変分周器２２の分周数をΣΔ変調器を用いて制御する場合に好適なＶＣＯのキャリブレーション方法について、図７～１２を用いて説明する。
【００４２】
本実施例では、図７に示す構成のＶＣＯを用いる。このＶＣＯは、電源７５から電流源７６で制御されるＰＭＯＳＦＥＴ７７ａ，７７ｂを用いた正帰還形の発振器である。制御電圧は端子８４に印加し、可変バイアス容量７８ａ，７８ｂを制御する。ＰＭＯＳＦＥＴ７７ａ，７７ｂ、容量７８ａ，７８ｂ、７９ａ，７９ｂ、バイアス電流量、インダクタ８２ａ，８２ｂのバラツキによる発振周波数のズレを、ｋ個の端子８１－1～８１－ｋのバイアスを制御する事により、複数の容量７９ａ，７９ｂ間に各々接続されるスイッチ８０をオンオフさせて制御する。なお、端子８３ａ，８３ｂは、差動出力端子である。また、素子の参照番号に付いている添え字ａ，ｂは、理想的には特性が揃った対の素子であることを示している。
【００４３】
この制御は、図８に示す回路により実行される。一定バイアス発生回路６４の出力を、スイッチ６５を切り替え、ループフィルタ２５を介してＶＣＯ２１のバイアス制御端子に印加する。すなわち、キャリブレーションできるように、位相同期ループを開ループにする。そして、シンセサイザで使用していた可変分周器２２の出力がリファレンス信号ｆＲＥＦ（２６ＭＨｚ）と一致するように、分周比設定レジスタ４２内の１次（１ｓｔ）と３次（３ｒｄ）のΣΔ変調器７０，７１用のΣΔ入力データレジスタＣＯＮ＿ＲＥＧＦと、リファレンス周波数倍周波数設定レジスタＣＯＮ＿ＲＥＧＩとを設定する。ここで、リファレンス周波数倍周波数設定レジスタＣＯＮ＿ＲＥＧＩは、可変分周器２２の整数倍の分周数を設定するレジスタであり、例えばｆＲＥＦ＝２６ＭＨｚの整数倍の分周数が格納される。一方、ΣΔ入力データレジスタＣＯＮ＿ＲＥＧＦは上記整数倍以外の周波数ピッチを設定するレジスタであり、例えば１００ｋＨｚピッチの数値が設定され、１次のΣΔ変調器７０または３次のΣΔ変調器７１を介して先のリファレンス周波数倍周波数設定レジスタＣＯＮ＿ＲＥＧＩの設定値と加算器７３で加算されて可変分周器２２の分周数を設定する。１次のΣΔ変調器７０と３次のΣΔ変調器７１との選択切り替えは、スイッチ７２により行う。
【００４４】

ＶＣＯのキャリブレーションは、具体的には、破線で示す経路で行われる。先ず、スイッチ６６によりループフィルタ２５を一定バイアス発生回路６４に接続してＰＬＬループから切り離し、開ループにした後、可変分周器２２の出力と、リファレンス周波数ｆＲＥＦとを、それぞれ例えば６５分周の分周器ＤｉＶ６５Ａ，ＤｉＶ６５Ｂにより分周して４００ｋＨｚの信号とし、速度比較器ＦＳＤＥＴを用いてどちらが先にカウントを終了するかを観測する。

【００４５】

そして、そのカウント値の差分がゼロとなるように、すなわち図８に示したＶＣＯ内の容量７８ａ，７８ｂが設定バイアス条件でのバラツキに応じた容量値となるように、ΣΔ入力データレジスタＣＯＮ＿ＲＥＧＦとリファレンス周波数倍周波数設定レジスタＣＯＮ＿ＲＥＧＩの設定を行う。ＶＣＯバンド切り替え回路（ＶＣＯ Ｂａｎｄ）６９により、これらのレジスタの設定に応じた容量値となるよう図７に示したＶＣＯのスイッチ８０を切り替えて、設定された制御電圧、すなわちキャリブレーションされた電圧をＶＣＯ２１の制御端子に印加する。この後は、スイッチ６５を切り替えてループフィルタ２５をチャージポンプ２４に接続、すなわち閉ループにしてキャリブレーションが終了し、ＰＬＬ制御による安定したＶＣＯ発振動作を続ける。この場合、ΣΔ変調器を用いると、次に説明するような誤差が発生する。

【００４６】

図９に１次のΣΔ変調器を、図１０に３次のΣΔ変調器の構成を示す。１次のΣΔ変調器８６は、遅延器（Ｄ）、１ビット量子化器（Ｑ）、増幅器（Ｇ）減算器９３から構成される。

【００４７】

このように構成される１次のΣΔ変調器７０は、次のように動作する。入力端子８５から入力された固定入力の１０ビットのデジタル信号は、遅延器９０に入力され、この遅延器９０の出力結果と、前回入力された遅延器９０の出力を量子化器９１で１ビット量子化された結果を増幅器９２で増幅されたものと減算器９３で差を取り、その差を加算器８９で入力端子に入力された信号に加算したものを再び遅延器に加え、遅延器の出力結果を先ほどと同様に量子化器で量子化し１ビットの信号を作り、増幅して帰還をかける。この一連の動作を繰り返し行うと、入力端子８５で入力された数値を平均的に与えるようなデータ列（時変信号）が端子９７より出力される。

【００４８】

また、３次のΣΔ変調器は、同様の構成の１次のΣΔ変調器８６，８７，８８と微分器９４，９５とを用い、１次のΣΔ変調器８６，８７，８８が直列に接続されると共に、３段目のΣΔ変調器８８の出力を微分器９５を介した出力と、１個の遅延器を介した２段目のΣΔ変調器８７の出力とを加算した出力を、更に微分器９４を介して、２個の遅延器を介した初段のΣΔ変調器８６の出力に加算する構成となっている。

【００４９】

このように構成される３次のΣΔ変調器７１は、次のように動作する。各段のΣΔ変調器の基本的動作は１次のΣΔ変調器と同じであるが、１段目は固定された入力で図９と同じ動作を行い、２段目、３段目のΣΔ変調器８７，８８は入力信号が固定でなく２段目のΣΔ変調器８７は１段目のΣΔ変調器８６の誤差が入力となり、３段目は２段目の誤差が入力となっている。ΣΔ変調器自身は積分器の特性を持っているので、３段目のΣΔ変調器８８の出力を微分器９５を介して元に戻し２段目の出力と加算し、この加算した出力をさらに微分器９４でを介して元に戻して１段目の出力と加算して端子９６から４ビットのデータ列が出力される。加算時のタイミングを合わせるために１段目のΣΔ変調器８６には遅延器が２個、２段目のΣΔ変調器８７の出力には遅延器１個それぞれ設けられている。

【００５０】

１次のΣΔ変調器の場合は、出力では１回の動作での誤差が±０．５（１ビット）の範囲であるが、３次のΣΔ変調器の場合は、出力では誤差が±７（４ビット）であり、次数

が低いほうが望ましいのが理解される。このため、図７の構成においては、スイッチ７２を切り替えて、シンセサイザ動作を行う場合には、図１０に示す３次のΣΔ変調器７１を選択し、キャリブレーション時には１次のΣΔ変調器７０を選択する。

【００５１】

図１１に、ＶＣＯが８９０．２ＭＨｚの局部発振条件で、１次のΣΔ変調器を用いる場合の誤差を示す。図１１は、２．５μｓの期間の２６ＭＨｚリファレンス周波数ｆＲＥＦと、８９０．２ＭＨｚのＶＣＯ２１の発振周波数、および可変分周器２２の出力ＤＩＶＯＵＴを示している。図１１において、四角で囲まれた数字は周期数を示し、２．５μｓはｆＲＦでは６５周期（以下、ここでは、周期を「クロック」と呼ぶ）、ＶＣＯでは２２２５．５クロックとなるが、１次のΣΔ変調器７０を用いた場合の６５分周器（ＤｉＶ６５Ｂ）の出力ＤＶＯＵＴは、２２２５．５±０．５クロックとなり、ＶＣＯの発振周器で±０．５クロックの誤差があることが分かる。

【００５２】

図１２に他の主要周波数での計算結果を示す。図１２において、ＣＨはＧＭＳのチャネル番号、ｆは周波数［ＭＨｚ］、Ｎｉはリファレンス周波数倍周波数設定レジスタＣＯＮ＿ＲＥＧＩのレジスタ値、ＮｆはΣΔ変調器入力データレジスタＣＯＮ＿ＲＥＧＦのレジスタ値、ＴＨＥＯは理論値［クロック］、ΣΔ（ｍｉｎ）は１次のΣΔ変調器の最小値、ΣΔ（ｍａｘ）は１次のΣΔ変調器の最大値、ＴＭＥＲＲ（ｍａｘ）はタイミングエラーの最大値［クロック］、ＴＭＥＲＲ（ｍｉｎ）はタイミングエラーの最小値［クロック］である。図１２より、全て±０．５クロックである事が確認されている。

【実施例４】

【００５３】

本実施例では、図１３～図１７を用いてΣΔ変調器の固定スプリアスを低減するために疑似乱数を加える場合について述べる。図１３は本実施例で用いる３次のΣΔ変調器である。図１０に示した３次のΣΔ変調器と同じ構成部部には同じ参照符号を付して、その重複説明を省略する。すなわち、本実施例では３次のΣΔ変調器の入力に加算器９８を設けて疑似乱数発生器１００の出力を、直流成分をカットするための微分器９９を介して印加する構成としている点が図１０の構成と相違する。

【００５４】

ここで重要なのは、直流成分を無くして周波数誤差を発生させない事にある。疑似乱数発生器１００の構成例を図１４に示す。１５個の遅延器１０１と、３個の排他的論理和１０２で構成されるＰＮ１５と呼ばれる疑似乱数発生器である。図１５に示すように、異なる遅延器の出力の論理積（ＡＮＤ）１０３を取る事により、１の発生確率を制御し、雑音電力を例えば４分の１にすることが出来る。

【００５５】

また図１６に示すように、疑似乱数発生器１００の出力を、ΣΔ変調器の２次部分に加算器１０４、または加算器１０５（点線の丸で表示）を設けて印加する事により、図１３の微分器９９を省略する事も出来る。図１７に、スペクトルアナライザの表示をリファレンスバンド幅ＲＢＷ＝３０ｋＨｚとして、ＧＳＭ用チャネル番号９５のシミュレーション結果の特性線を示す。縦軸はスペクトル強度ＳＰ（ｄＢ）であり、横軸は周波数ｆ（ｋＨｚ）である。特性線１０６は疑似乱数を印加しない図１０の構成の場合であり、スプリアスが見られる。これに対して、疑似乱数を印加する図１３の回路構成の場合の特性線１０７と、図１６の回路構成の場合の特性線１０８に見られるように、スプリアスが抑圧されている事が分かる。

【実施例５】

【００５６】

本実施例では、ΣΔ変調器の内蔵ループフィルタが受けるパッケージの影響について述べる。図１８Ａは、ＶＣＯ２１、可変分周器２２、位相比較器２３、チャージポンプ回路２４、ループフィルタ２５で構成されるシンセサイザであり、ループフィルタ２５は容量Ｃ１と抵抗Ｒ１の直列接続回路と容量Ｃ２との並列接続で構成されるラグリードフィルタ

１０９とＲ２と容量Ｃ３からなる低域通過フィルタ１１０で構成される。同図において、Ｋｖ／ＳはＶＣＯ２１の伝達関数を、１／ｎは可変分周器２２の分周数を表わしている。

【００５７】

また、本実施例では１次の低域通過フィルタを用いた場合を示しているが、１次以上の低域通過フィルタを用いても良いことは勿論である。

【００５８】

図１８Ａは理想的な接地が取れた場合であり、図１８Ｂは１箇所で共通して接地する場合、図１８Ｃはラグリードフィルタ１０９と、低域通過フィルタ１１０とを分けて接地した場合、すなわちラグリードフィルタ１０９の接地をチャージポンプ２４の接地端子に接続し、低域通過フィルタ１１０の接地をＶＣＯ２１の接地端子に接続した場合であり、図１８Ｄはループフィルタを全てパッケージの外に取り付けた場合である。なお、図１８Ｂ～Ｄではパッケージの寄生インダクタＬｐを加えてある。

【００５９】

図１９は、図１８Ａ～Ｄの接地形態に応じた利得の周波数特性を示す図であり、図中Ａ～Ｄは、それぞれ図１８Ａ～Ｄに対応する。図１９において、縦軸は利得ＧＡ（ｄＢ）、横軸は周波数ｆ（Ｈｚ）である。図１９より、図１８Ｂ，図１８Ｄの接地形態の場合はパッケージのインダクタＬｐの影響で減衰効果に制限がかかるが、図１８Ｃのように接地を分離することで制限を低減できることが分かる。

【実施例６】

【００６０】

これまでの実施例では、オフセットＰＬＬを主に説明したが、本実施例は図２０に示すように、本発明を２ステップ送信機に適用した場合である。ここでは、図３に示した回路構成を適用している。図３と同じ構成部分には、同じ参照符号を付して、重複する説明は省略する。すなわち、本実施例では、図３のオフセットＰＬＬ部Ｏ－ＰＬＬの代わりに、送信周波数帯ＴＸを、送信ミキサ１１２、ＲＦ帯域通過フィルタ１１３、ＩＦ帯域通過フィルタ１１４で構成している点が相違する。本実施例でも図３の回路と同様に、受信回路の局部発振用として用いてきたシンセサイザＳＳ内のＶＣＯ２１を、送信用ＲＦローカル信号、直交変調器８を駆動するＩＦローカル信号を生成している。

【００６１】

直交変調器の出力は、ＩＦ帯域通過フィルタ１１４を介してミキサ１１２の一方の入力に、他方のミキサの入力には制御回路２６により制御されてＶＣＯ２１から分周して生成されたＲＦローカル信号が入力される。ミキサ１１２の出力はＲＦ帯域通過フィルタ１１３を介して送信周波数帯信号が生成される。、図２に示したような送信スプリアスを回避する動作を行うことは勿論であり、ＶＣＯの共用化により小型化も図れる。

【００６２】

以上、本発明の好適な実施例について欧州向け携帯電話を中心に説明したが、上記実施例に限定されるものではなく、本発明の精神を逸脱しない範囲内において、種々の設計変更をなし得ることは言うまでもない。例えば、本発明はＣＤＭＡ等他の携帯電話、無線ＬＡＮ等にも適用できることは勿論である。

【図面の簡単な説明】

【００６３】

【図１】本発明の第１の実施例を示す送受信回路構成図。

【図２】本発明の第１の実施例の分周比制御を示す図。

【図３】本発明の第１の実施例における制御部分の構成例を示す図。

【図４】本発明の第１の実施例における制御部分の動作を示すフローチャート。

【図５】本発明の第２の実施例における制御部分の構成例を示す図。

【図６】本発明の第２の実施例におけるベースバンドからの制御データの受信を示す図。

【図７】本発明の第３の実施例で使用する電圧制御発振器の構成例を示す図。

【図８】図７に示した電圧制御発振器を制御する回路構成を示す図。

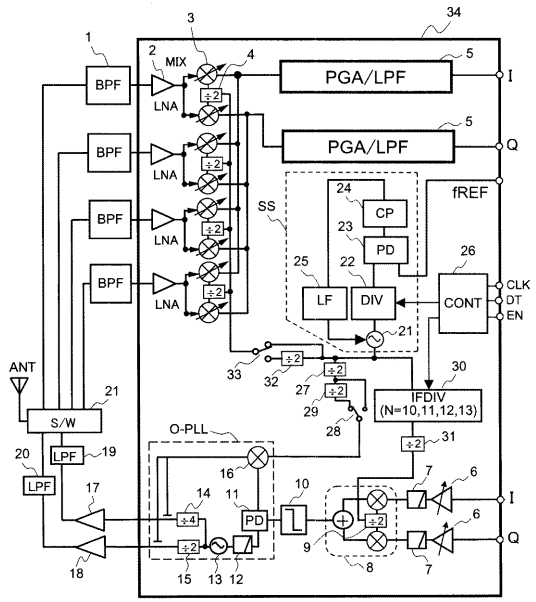
【図９】本発明の第３の実施例で使用する１次のΣΔ変調器の構成例を示す図。

【図１０】本発明の第３の実施例で使用する３次のΣΔ変調器の構成例を示す図。
【図１１】本発明の第３の実施例における発振器のカウント数の精度を示す図。
【図１２】本発明の第３の実施例をＧＳＭの主要チャネルに適用した場合の効果を示す図。
【図１３】本発明の第４の実施例である疑似乱数発生装置付きΣΔ変調器を示す図。
【図１４】本発明の第４の実施例で使用する疑似乱数発生器の構成例を示す図。
【図１５】本発明の第４の実施例で使用する疑似乱数発生器の別の構成例を示す図。
【図１６】本発明の第４の実施例である疑似乱数発生装置付きΣΔ変調器の別の構成を示す図。
【図１７】本発明の第４の実施例の効果を示す特性線図。
【図１８Ａ】本発明の第５の実施例におけるループフィルタの理想的な接地が取れた場合の回路図。
【図１８Ｂ】ループフィルタをパッケージに１箇所で共通に接地した場合の回路図。
【図１８Ｃ】パッケージにラグリードフィルタと低域通過フィルタを分けて接地した場合の回路図。
【図１８Ｄ】ループフィルタを全てパッケージの外に付けた場合の回路図。
【図１９】本発明の第５の実施例の効果を示す図。
【図２０】本発明の第６の実施例を示す図。
【符号の説明】
【００６４】
１…バンドパスフィルタ（ＢＰＦ）、２…低雑音増幅器（ＬＮＡ）、３，１６…ミキサ、４，９，２７，２９，３１，３２…１／２分周器、５…可変増幅器・フィルタ列（ＰＧＡ／ＬＰＦ）、６…アッテネータ、７…低域通過フィルタ、８…直交変調器、１０…リミッタ、１１…位相比較器（ＰＤ）、１２，２５…ループフィルタ（ＬＦ）、１３…送信用発振器、１４…１／４分周器、１５…１／２分周器、１７…ＧＳＭ／ＧＳＭ８５０用電力増幅器、１８…ＤＣＳ／ＰＣＳ用電力増幅器、１９，２０…送信用低域通過フィルタ（ＬＰＦ）、２１…スイッチ、２２…可変分周器、２３…位相比較器、２４…チャージポンプ回路、２６…制御回路（ＣＯＮＴ）、２８，３３…切り替えスイッチ、３０…可変分周器（ＩＦＤＩＶ）、３４…ＲＦＩＣ、４２…分周比設定レジスタ（ＣＯＮ＿ＲＥＧ）、４３…シグマデルタ（ΣΔ）変調器、４４…加算器、５９…ベースバンドＬＳＩ（ＢＢＬＳＩ）、６１…個別データ格納用レジスタ（ＰＲＥＧ）、６４…一定バイアス回路、６６…切り替えスイッチ、６８…速度比較器（ＦＳＤＥＴ）、６９…ＶＣＯバンド切り替え回路（ＶＣＯＢａｎｄ）、７０…１次ΣΔ変調器、７１…３次ΣΔ変調器、７２…切り替えスイッチ、７５…電源、７６…電流源、７７ａ，７７ｂ…ＰＭＯＳＦＥＴ、７８ａ，７８ｂ…バイアス可変容量、７９ａ，７９ｂ…容量、８０…スイッチ、８１－１～８１－ｋ…スイッチ制御端子、８２…インダクタ、８３…出力、８４…バイアス制御端子、８４…スイッチ切り替え端子、８５…入力端子、８６，８７，８８…１次ΣΔ変調器、８９…加算器、９０…遅延器、９１…量子化器、９２…増幅器、９３…減算器、９４，９５…微分器、９６，９７…出力端子、９８…加算器、９９…直流除去手段（微分器）、１００…疑似乱数発生器、１０１…遅延器、１０２…排他的論理和（ＥＯＲ）、１０３…論理積（ＡＮＤ）、１０４…加算器、１０５…加算器挿入位置、１０６…ΣΔ変調器出力、１０７…図１３の出力波形、１０８…図１６の出力波形、１０９…ラグリード形フィルタ、１１０…低域通過フィルタ、１１２…送信ミキサ、１１３…ＲＦ帯域通過フィルタ、１１４…ＩＦ帯域通過フィルタ、ＦＳＷ１…第１切り替え周波数レジスタ、ＦＳＷ２…第２切り替え周波数レジスタ、ＦＳ＿ＲＥＧ…初期周波数設定レジスタ、ＤＤＩＶ１…第１切り替え値設定レジスタ、ＤＤＩＶ２…第２切り替え値設定レジスタ、Ｆ＿ＲＥＧ…周波数設定レジスタ、ＩＮＩ＿ＤＩＶ…初期ＩＦ分周比設定レジスタ、ＤＩＶ＿ＲＥＧ…ＩＦ分周比設定レジスタ、ＭＲＥＧ…データ格納用主レジスタ、ＤＴ…制御データ、ＡＤＤ…アドレス領域と、ＤＡＴ…データ格納領域、ＣＯＮ＿ＲＥＧＦ…ΣΔ変調器入力データレジスタ、ＣＯＮ＿ＲＥＧ…リファレンス周波数倍周波数設定レジスタ、ＤｉＶ６５Ａ，ＤｉＶ６５Ｂ…分周

器、Ｌｐ…寄生インダクタ。

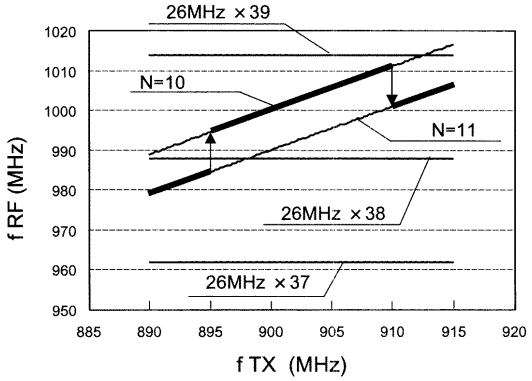
【図１】

図 1



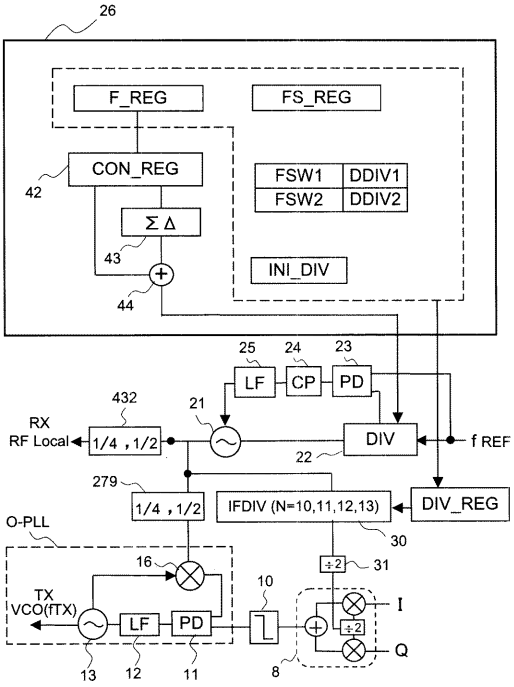
【図２】

図 2



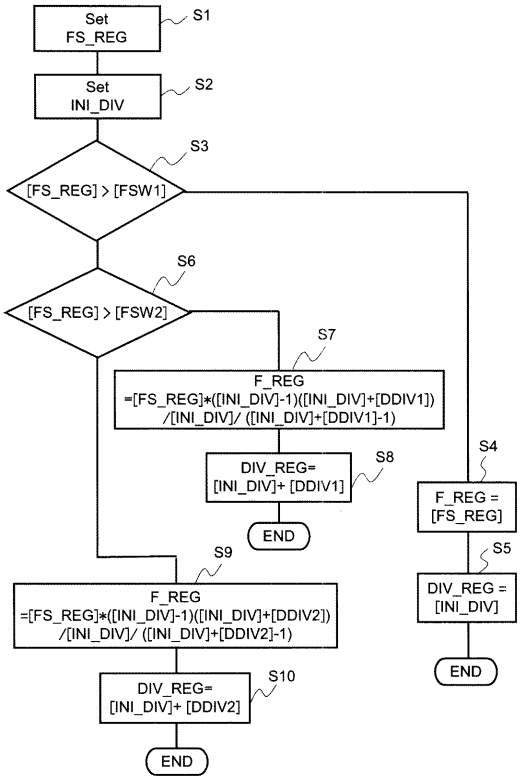
【図３】

図 3



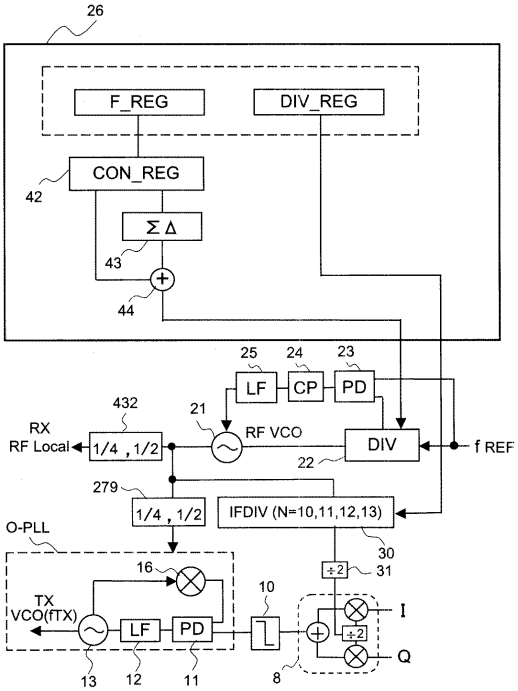
【図４】

図 4



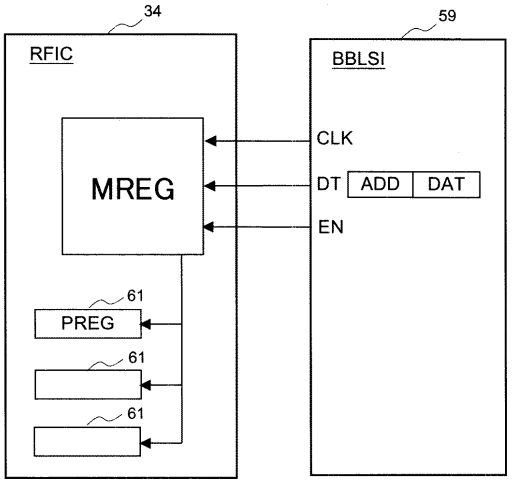
【図５】

図 5



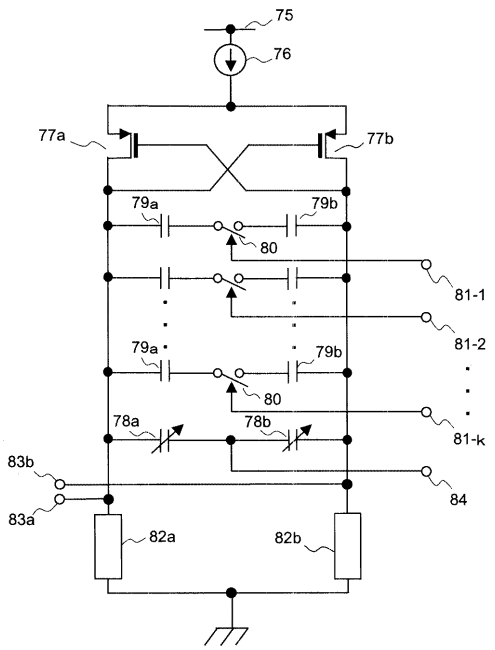
【図６】

図 6



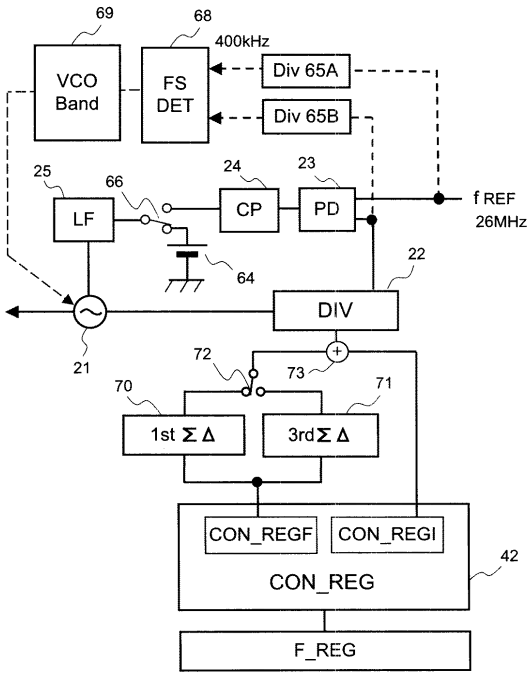
【図７】

図 7



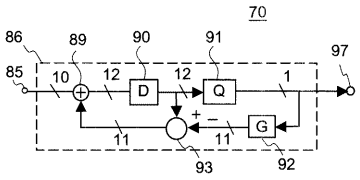
【図８】

図 8



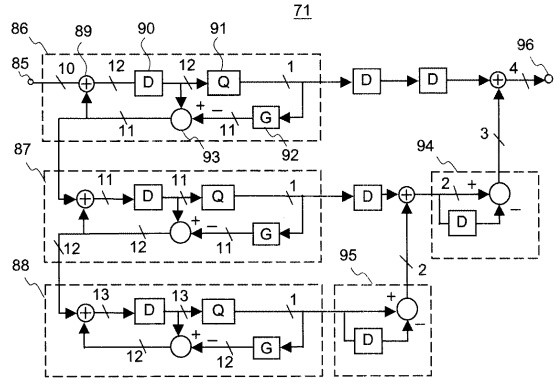
【図９】

図 9



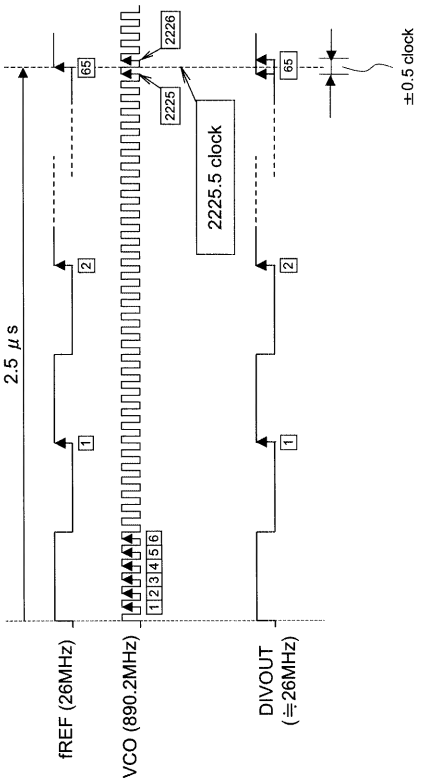
【図１０】

図 10



【図１１】

図 11



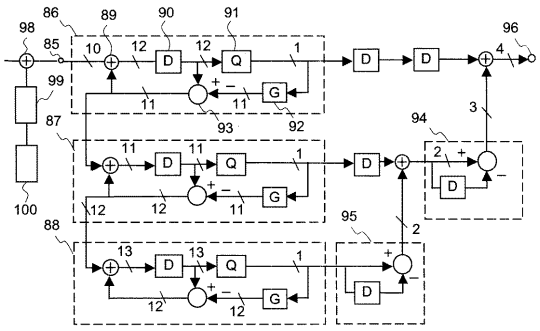
【図１２】

図 12

CH	f (MHz)	Ni	Nf	THEO	ΣΔ (min)	ΣΔ (max)	TM ERR (max)	TM ERR (min)
1	890.2	34	31	2225.5	2225	2226	0.5	−0.5
2	890.4	34	32	2226.0	2226	2226	0.0	0.0
3	890.6	34	33	2226.5	2226	2227	0.5	−0.5
4	890.8	34	34	2227.0	2227	2227	0.0	0.0
5	891.0	34	35	2227.5	2227	2228	0.5	−0.5
6	891.2	34	36	2228.0	2228	2228	0.0	0.0
7	891.4	34	37	2228.5	2228	2229	0.5	−0.5
8	891.6	34	38	2229.0	2229	2229	0.0	0.0
9	891.8	34	39	2229.5	2229	2230	0.5	−0.5
32	896.4	34	62	2241.0	2241	2241	0.0	0.0
33	896.6	34	63	2241.5	2241	2242	0.5	−0.5
34	896.8	34	64	2242.0	2242	2242	0.0	0.0
35	897.0	35	−65	2242.5	2242	2243	0.5	−0.5
36	897.2	35	−64	2243.0	2243	2243	0.0	0.0
37	897.4	35	−63	2243.5	2243	2244	0.5	−0.5
97	909.4	25	−3	2273.5	2273	2274	0.5	−0.5
98	909.6	35	−2	2274.0	2274	2274	0.0	0.0
99	909.8	35	−1	2274.5	2274	2275	0.5	−0.5
100	910.0	35	0	2275.0	2275	2275	0.0	0.0
101	910.2	35	1	2275.5	2275	2276	0.5	−0.5
102	910.4	35	2	2276.0	2276	2276	0.0	0.0
103	910.6	35	3	2276.5	2276	2277	0.5	−0.5
121	914.2	35	21	2285.5	2285	2286	0.5	−0.5
122	914.4	35	22	2286.0	2286	2286	0.0	0.0
123	914.6	35	23	2286.5	2286	2287	0.5	−0.5
124	914.8	35	24	2287.0	2287	2287	0.0	0.0

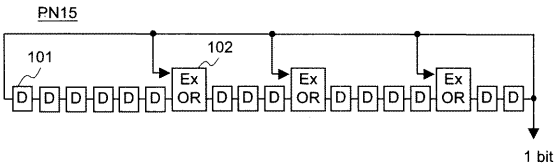
【図１３】

図 13



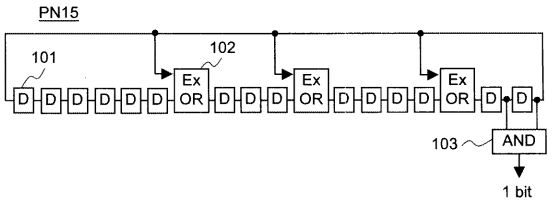
【図１４】

図 14



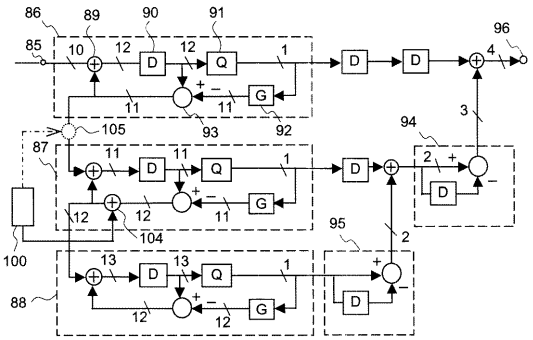
【図１５】

図 15



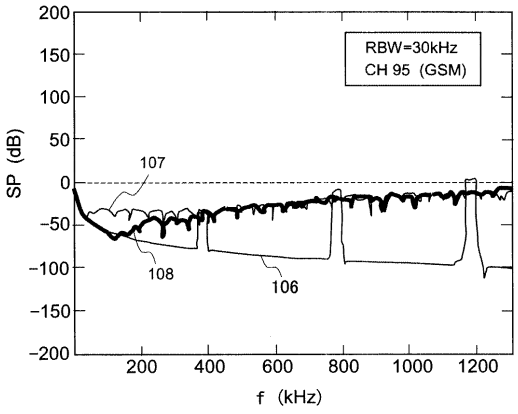
【図１６】

図 16



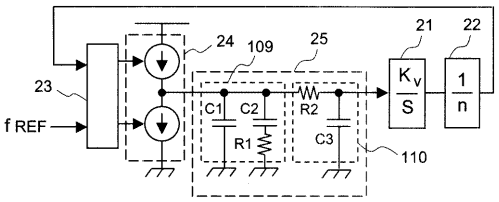
【図１７】

図 17



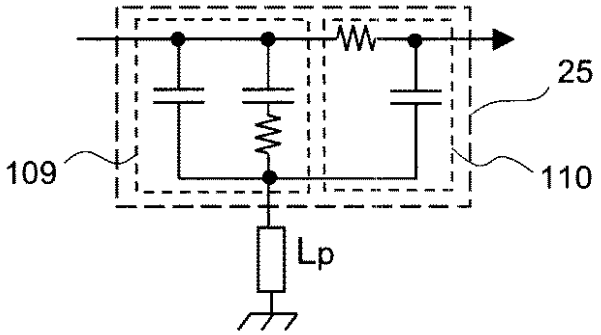
【図１８Ａ】

図 18A



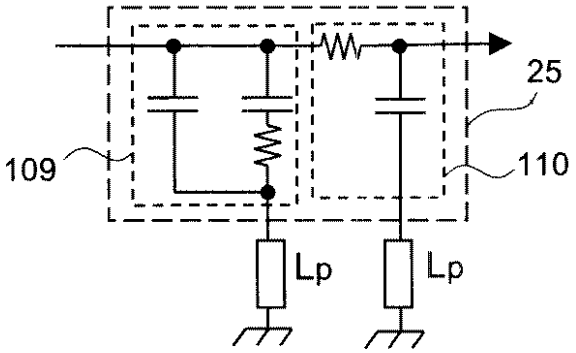
【図１８Ｂ】

図 18B



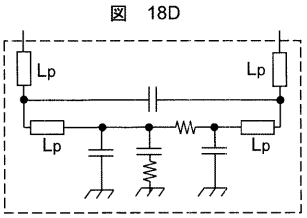
【図１８Ｃ】

図 18C



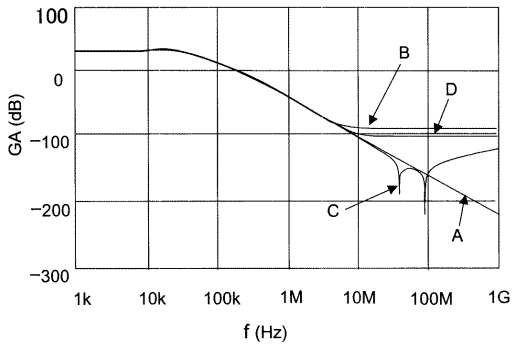
【図１８Ｄ】

図 18D



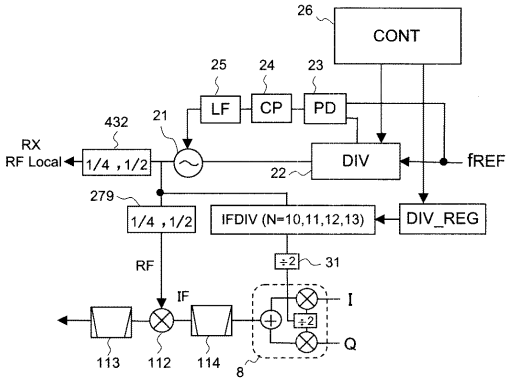
【図１９】

図 19



【図２０】

図 20



フロントページの続き

(72)発明者　川辺　学
東京都国分寺市東恋ヶ窪一丁目２８０番地　株式会社日立製作所中央研究所内
(72)発明者　木村　泰之
東京都千代田区丸の内二丁目４番１号　株式会社ルネサステクノロジ内
(72)発明者　岡崎　孝男
東京都青梅市新町六丁目１６番地の３　株式会社日立製作所マイクロデバイス事業部内

Ｆターム(参考) 5K060 CC04　CC12　HH22　HH27