

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成26年6月19日(2014.6.19)

【公開番号】特開2012-234988(P2012-234988A)

【公開日】平成24年11月29日(2012.11.29)

【年通号数】公開・登録公報2012-050

【出願番号】特願2011-103007(P2011-103007)

【国際特許分類】

H 01 L 27/146 (2006.01)

H 01 L 27/08 (2006.01)

H 01 L 21/76 (2006.01)

【F I】

H 01 L 27/14 A

H 01 L 27/08 3 3 1 B

H 01 L 21/76 M

【手続補正書】

【提出日】平成26年4月30日(2014.4.30)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

シリコン基板の第1部分を覆い、前記シリコン基板の前記第1部分に隣接する第2部分を覆わないように配された窒化シリコン膜をマスクとして前記シリコン基板を熱酸化することにより、酸化シリコン膜を形成する第1工程と、

前記窒化シリコン膜をマスクとして前記酸化シリコン膜のバーズピーク部の下へ斜めイオン注入を行うことにより、第1導電型の不純物領域を形成する第2工程と、

前記窒化シリコン膜を除去した後に、前記第1導電型とは反対の第2導電型の不純物領域を前記第1部分に有する半導体素子を形成する第3工程と、を備えることを特徴とする半導体装置の製造方法。

【請求項2】

前記斜めイオン注入の注入角は、前記バーズピーク部の上面の前記第2部分とは反対側の端と、前記バーズピーク部の前記上面の前記第2部分側の端と、を結ぶ直線が前記シリコン基板の正面の法線に対して成す角度以下であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】

前記注入角は、前記バーズピーク部の下面の前記第2部分とは反対側の端と、前記バーズピーク部の前記下面の前記第2部分側の端と、を結ぶ直線の、前記バーズピーク部の前記上面の前記第2部分側の前記端を通る法線が前記正面の前記法線に対して成す角度以上であることを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項4】

前記第2部分は前記第1部分を囲んでおり、前記第2工程の前記イオン注入を、前記シリコン基板の正面に平行な方向における少なくとも2方向から行うこととする請求項1乃至3のいずれか1項に記載の半導体装置の製造方法。

【請求項5】

前記第1工程および前記第2工程において、前記シリコン基板と前記窒化シリコン膜と

の間には、酸化シリコン層と、前記酸化シリコン層と前記窒化シリコン膜との間に位置するポリシリコン層が設けられていることを特徴とする請求項1乃至4のいずれか1項に記載の半導体装置の製造方法。

【請求項6】

前記斜めイオン注入の注入エネルギーが、前記第3工程で形成される前記不純物領域が前記バーズピーク部に接するように設定されていることを特徴とする請求項1乃至5のいずれか1項に記載の半導体装置の製造方法。

【請求項7】

前記斜めイオン注入を、前記シリコン基板と前記酸化シリコン膜の界面で不純物濃度が最大となるようを行うことを特徴とする請求項1乃至6のいずれか1項に記載の半導体装置の製造方法。

【請求項8】

前記斜めイオン注入のドーズ量が、 1×10^{12} 以上 1×10^{14} 以下ions/cm²であることを特徴とする請求項1乃至7のいずれか1項に記載の半導体装置の製造方法。

【請求項9】

前記窒化シリコン膜を除去した後に前記第1部分を覆うレジスト膜を形成し、当該レジスト膜をマスクとして、前記酸化シリコン膜の下に第1導電型の不純物領域を形成する第4工程を備えることを特徴とする請求項1乃至8のいずれか1項に記載の半導体装置の製造方法。

【請求項10】

前記第1工程の前または前記第2工程の後であって、前記第3工程の前に、前記第1部分へイオン注入を行って、第1導電型の不純物領域を形成する第5工程を備え、

前記第5工程で形成する前記不純物領域の不純物濃度は、前記第2工程で形成する前記不純物領域の不純物濃度よりも低いことを特徴とする請求項1乃至9のいずれか1項に記載の半導体装置の製造方法。

【請求項11】

前記半導体素子は光電変換素子であって、前記第3工程では、前記第2導電型の不純物領域と前記シリコン基板の表面との間に、第1導電型の不純物領域を形成することを特徴とする請求項1乃至10のいずれか1項に記載の半導体装置の製造方法。

【請求項12】

請求項11に記載の半導体装置の製造方法を用いることを特徴とするCMOSイメージセンサーの製造方法であって、前記酸化シリコン膜の厚みが100~600nmであることを特徴とするCMOSイメージセンサーの製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正の内容】

【0005】

上記課題を解決するための本発明は、シリコン基板の第1部分を覆い、前記シリコン基板の前記第1部分に隣接する第2部分を覆わないように配された窒化シリコン膜をマスクとして前記シリコン基板を熱酸化することにより、酸化シリコン膜を形成する第1工程と、前記窒化シリコン膜をマスクとして前記酸化シリコン膜のバーズピーク部の下へ斜めイオン注入を行うことにより、第1導電型の不純物領域を形成する第2工程と、前記窒化シリコン膜を除去した後に、前記第1導電型とは反対の第2導電型の不純物領域を前記第1部分に有する半導体素子を形成する第3工程と、を備える半導体装置の製造方法である。