

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 26 年 6 月 19 日 (2014.6.19)

【公開番号】特開 2012-234988 (P2012-234988A)
 【公開日】平成 24 年 11 月 29 日 (2012.11.29)
 【年通号数】公開・登録公報 2012-050
 【出願番号】特願 2011-103007 (P2011-103007)
 【国際特許分類】

H 0 1 L 27/146 (2006.01)

H 0 1 L 27/08 (2006.01)

H 0 1 L 21/76 (2006.01)

【F I】

H 0 1 L 27/14 A

H 0 1 L 27/08 3 3 1 B

H 0 1 L 21/76 M

【手続補正書】

【提出日】平成 26 年 4 月 30 日 (2014.4.30)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

シリコン基板の第 1 部分を覆い、前記シリコン基板の前記第 1 部分に隣接する第 2 部分を覆わないように配された窒化シリコン膜をマスクとして前記シリコン基板を熱酸化することにより、酸化シリコン膜を形成する第 1 工程と、

前記窒化シリコン膜をマスクとして前記酸化シリコン膜のバースピーク部の下へ斜めイオン注入を行うことにより、第 1 導電型の不純物領域を形成する第 2 工程と、

前記窒化シリコン膜を除去した後に、前記第 1 導電型とは反対の第 2 導電型の不純物領域を前記第 1 部分に有する半導体素子を形成する第 3 工程と、を備えることを特徴とする半導体装置の製造方法。

【請求項 2】

前記斜めイオン注入の注入角は、前記バースピーク部の上面の前記第 2 部分とは反対側の端と、前記バースピーク部の前記上面の前記第 2 部分側の端と、を結ぶ直線が前記シリコン基板の主面の法線に対して成す角度以下であることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記注入角は、前記バースピーク部の下面の前記第 2 部分とは反対側の端と、前記バースピーク部の前記下面の前記第 2 部分側の端と、を結ぶ直線の、前記バースピーク部の前記上面の前記第 2 部分側の前記端を通る法線が前記主面の前記法線に対して成す角度以上であることを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 4】

前記第 2 部分は前記第 1 部分を囲んでおり、前記第 2 工程の前記イオン注入を、前記シリコン基板の主面に平行な方向における少なくとも 2 方向から行うことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 5】

前記第 1 工程および前記第 2 工程において、前記シリコン基板と前記窒化シリコン膜と

の間には、酸化シリコン層と、前記酸化シリコン層と前記窒化シリコン膜との間に位置するポリシリコン層が設けられていることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 6】

前記斜めイオン注入の注入エネルギーが、前記第 3 工程で形成される前記不純物領域が前記バースピーク部に接するように設定されていることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 7】

前記斜めイオン注入を、前記シリコン基板と前記酸化シリコン膜の界面で不純物濃度が最大となるように行うことを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 8】

前記斜めイオン注入のドーズ量が、 1×10^{12} 以上 1×10^{14} 以下 ions/cm^2 であることを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 9】

前記窒化シリコン膜を除去した後に前記第 1 部分を覆うレジスト膜を形成し、当該レジスト膜をマスクとして、前記酸化シリコン膜の下に第 1 導電型の不純物領域を形成する第 4 工程を備えることを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 10】

前記第 1 工程の前または前記第 2 工程の後であって、前記第 3 工程の前に、前記第 1 部分へイオン注入を行って、第 1 導電型の不純物領域を形成する第 5 工程を備え、

前記第 5 工程で形成する前記不純物領域の不純物濃度は、前記第 2 工程で形成する前記不純物領域の不純物濃度よりも低いことを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 11】

前記半導体素子は光電変換素子であって、前記第 3 工程では、前記第 2 導電型の不純物領域と前記シリコン基板の表面との間に、第 1 導電型の不純物領域を形成することを特徴とする請求項 1 乃至 10 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 12】

請求項 11 に記載の半導体装置の製造方法を用いることを特徴とする CMOS イメージセンサーの製造方法であって、前記酸化シリコン膜の厚みが 100 ~ 600 nm であることを特徴とする CMOS イメージセンサーの製造方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正の内容】

【0005】

上記課題を解決するための本発明は、シリコン基板の第 1 部分を覆い、前記シリコン基板の前記第 1 部分に隣接する第 2 部分を覆わないように配された窒化シリコン膜をマスクとして前記シリコン基板を熱酸化することにより、酸化シリコン膜を形成する第 1 工程と、前記窒化シリコン膜をマスクとして前記酸化シリコン膜のバースピーク部の下へ斜めイオン注入を行うことにより、第 1 導電型の不純物領域を形成する第 2 工程と、前記窒化シリコン膜を除去した後に、前記第 1 導電型とは反対の第 2 導電型の不純物領域を前記第 1 部分に有する半導体素子を形成する第 3 工程と、を備える半導体装置の製造方法である。