

發明專利說明書

200529313

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94102696

※申請日期：94.1.28

※IPC 分類：H01L21/304

一、發明名稱：(中文/英文)

不產生應力之導體移除用之系統與方法

SYSTEM AND METHOD FOR STRESS FREE CONDUCTOR
REMOVAL

二、申請人：(共1人)

姓名或名稱：(中文/英文)

蘭姆研究公司

LAM RESEARCH CORPORATION

代表人：(中文/英文) 傑弗瑞 J 布魯克斯/BROOKS, JEFFREY J.

住居所或營業所地址：(中文/英文)

美國加州 94538 弗雷蒙可訊公園道 4650 號

4650 Cushing Parkway, Fremont, CA 94538, U.S.A.

國籍：(中文/英文) 美國/US

三、發明人：(共2人)

姓名：(中文/英文)

1. 安祖 D 貝利三世/BAILEY, ANDREW D. III

2. 雪肯特 P 婁荷凱/LOHOKARE, SHRIKANT P.

國籍：(中文/英文)

1. 美國/US

2. 印度/India

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

受理國家（地區）：美國 US

申請日：2004/01/30

申請案號：10/769,522

☒ 無主張專利法第二十七條第一項國際優先權：

受理國家（地區）：美國 US、美國 US

申請日：2003/03/14 、2003/3/14

申請案號：10/390,117 、10/390,520

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

一、【發明所屬之技術領域】

本發明係關於一種雙金屬鑲嵌半導體製造處理，尤關於一種半導體製造處理之中平坦化特徵部與層的方法與系統。

二、【先前技術】

單及雙金屬鑲嵌製造處理在半導體製造之中已愈來愈普遍。在典型的雙金屬鑲嵌製造處理之中，在形成在半導體基板之中的預先圖案化之渠溝與介層孔之中或在形成在半導體基板之上的薄膜沉積一個或更多之導電材料，藉以形成所需的電路互連。這經常會形成過多的導電材料或導電材料的覆蓋部。導電材料的覆蓋部為不必要及非預期的，故必須加以移除，藉以既產生金屬鑲嵌特徵部、且提供後續處理所需之均勻且平坦的表面。

典型地，藉由化學機械拋光(CMP)與電化學拋光(ECP)(例如蝕刻)處理與CMP及ECP處理之結合而從半導體基板移除導電材料的覆蓋部。各這些處理的每一個皆有嚴重的缺點。舉例而言，ECP典型地具有相當小的產能、極差的均勻性與無法有效地移除非導電材料。

CMP需要有物質的接觸處理，而這典型地會殘留導電殘餘物、或造成各種材料的腐蝕、或引起不均勻的移除，且無法適當地平坦化互連與內層介電(ILD)頂面。CMP亦造成與應力有關的損傷(例如內層分離、剝離)而殘留有互連與ILD構造。由CMP所引起的應力損傷將由於近來所使用之材料的極差的內層黏著特性而進一步惡化。藉由降低CMP處理的實際作用力來減小實際的應力經常會引起小至無法接受的產能與其它較差的處理性能參數。

有鑑於此，需要一種改良之平坦化系統與方法，藉以均勻且實質地移除覆蓋部材料而對殘餘之特徵部有最小的實際應力。改良之平坦化系統與方法必須適用於半導體製造且必須適合如雙金

屬鑲嵌處理或其它半導體製造處理等處理。

三、【發明內容】

概括而言，本發明藉由提供一種呈雙金屬鑲嵌構造之半導體的改良之形成系統與方法而滿足以上需求。吾人必須瞭解：可藉由各種型式據以實施本發明，包括如處理、設備、系統、電腦可讀取媒體、或裝置。以下說明本發明之各種的創新實施例。

其中一個實施例係提供一種呈雙金屬鑲嵌構造之半導體的形成方法，包括：接收一圖案化之半導體基板。半導體基板係具有填滿圖案之中的多個特徵部之一第一導電互連材料。第一導電互連材料係具有一覆蓋部。使覆蓋部平坦化。在平坦化處理之中係實質完全移除覆蓋部。使一遮罩層縮小及在平坦化的覆蓋部之上形成一後續之介電層。在後續之介電層之上形成遮罩。在後續之介電層之中形成一個或更多之特徵部及利用一第二導電互連材料填滿特徵部。

平坦化覆蓋部係包括一小的向下作用力 CMP 處理。平坦化覆蓋部係包括一不產生應力之平坦化處理。

遮罩層係包括兩個或更多之遮罩層。縮小遮罩層係包括移除兩個或更多之遮罩層的其中一層之至少一局部。縮小遮罩層係包括移除兩個或更多之遮罩層的至少一層。兩個或更多之遮罩層的至少一層係包括一導電材料。

縮小遮罩層係包括移除遮罩層。縮小遮罩層係包括移除實質與遮罩層之殘留局部齊平的第一導電之填充材料之一局部。縮小遮罩層係包括蝕刻遮罩層。

在平坦化的覆蓋部之上形成後續之介電層係包括塗佈一個或更多之後續之介電層。後續之介電層係包括一低 k 值介電材料。

在平坦化的覆蓋部之上形成後續之介電層係包括平坦化後續之介電層。平坦化後續之介電層係包括確認後續之介電層之中的不平坦度、在整個後續之介電層之上形成第二介電層、及平坦化

第二介電層。第二介電層為一實質平坦的材料。第二介電層為一旋塗玻璃。後續之介電層為一低k值介電材料。

另一個實施例係提供一種呈雙金屬鑲嵌構造之半導體的形成方法，包括：接收一圖案化之半導體基板。圖案化之半導體基板係具有填滿圖案之中的多個特徵部之一第一導電互連材料。第一導電互連材料係具有一覆蓋部。使覆蓋部平坦化。在平坦化處理之中係實質完全移除覆蓋部。移除一遮罩層。在平坦化的覆蓋部之上形成一後續之介電層。在後續之介電層之上形成遮罩。在後續之介電層之中形成一個或更多之特徵部及利用一第二導電互連材料填滿一個或更多之特徵部。移除遮罩層係包括蝕刻遮罩層。

另一個實施例係提供一種呈雙金屬鑲嵌構造之半導體的形成方法，包括：接收一圖案化之半導體基板。圖案化之半導體基板係具有填滿圖案之中的多個特徵部之一第一導電互連材料。第一導電互連材料係具有一覆蓋部。使覆蓋部平坦化，其中在平坦化處理之中實質完全移除覆蓋部。使一遮罩層縮小及在平坦化的覆蓋部之上形成一後續之介電層。形成後續之介電層係包括確認後續之介電層之中的不平坦度、在整個後續之介電層之上形成第二介電層、及平坦化第二介電層。在後續之介電層之上形成遮罩。在後續之介電層之中形成一個或更多之特徵部。利用一第二導電互連材料填滿一個或更多之特徵部。平坦化第二介電層係包括蝕刻第二介電層。

本發明係提供改良之平坦度、更正確之遮罩應用的優點。又，藉由從介電堆疊之中實質消除非低k值介電材料而可減小介電堆疊的總體k值。

本發明之其它樣態及優點可參照以下之詳細說明及顯示本發明之原理的附圖而更加清楚。

茲將參照附隨的圖示，以說明本發明。在圖示中，相似的參考符號指示類似的元件。

四、【實施方式】

以下說明改良之平坦化系統與方法的數個例示性實施例。熟悉本項技藝之人士應清楚理解：即使無在此所述之某些或所有特定細節，仍可實施本發明。

改良之平坦化系統與方法之一實施例係提供半導體基板之各處的局部之改良之局部平坦化均勻性。改良之局部平坦化均勻性係實質消除由下方層之特徵部與沉積處理之變動所引起的局部不均勻性。另一個實施例係提供整個基板各處的改良之整體平坦化均勻性（例如相較於中央均勻性的邊緣均勻性）。

圖 1 顯示根據本發明之一實施例的雙金屬鑲嵌處理中的圖案化之半導體基板 100。在部份之半導體製造處理時，如雙金屬鑲嵌製造處理，已將基板 100 加以圖案化。使用遮罩圖案化基板 100。基板 100 係包括大而有些隔離的特徵部 102（例如渠溝、介層孔等等）、較小而有些隔離的特徵部 104 及數個特徵部 106，而將這些特徵部緊密地排列在一起。亦包括阻障層 110。典型地，阻障層 110 為與基板 100 或導電互連材料 120 不同之材料。導電互連材料 120 為銅或銅合金或其它導電材料。

導電互連材料 120 之覆蓋部 112 係延伸於特徵部 102、104、106 之上方且在覆蓋部 112 的厚度上具有相對的局部變動 114、116、118。如圖所示，相較於較小的特徵部 104 而言，其在覆蓋部 112 的厚度上具有略小的變動，較大的特徵部 102 在覆蓋部 112 的厚度上係具有相對較大的減少量。緊密排列的特徵部 106 係具有厚度有些變大之覆蓋部 112。

典型的蝕刻處理以相當均勻的速率蝕刻整個晶圓區域之導電互連材料 120 的覆蓋部 112，故典型的蝕刻處理在使靠近緊密排列的特徵部 106 之阻障層 110 的第二部份露出之前，將先使靠近大的特徵部 102 之阻障層 110 的第一部份露出。簡言之，典型的蝕刻處理無法平坦化導電互連材料之覆蓋部 112 且就不均勻性加以補償。

圖 2 顯示根據本發明之一實施例中所附加之額外層 202。在覆蓋部 112 的上方形成額外層 202。額外層 202 為實質平坦的填充材料（例如旋塗玻璃（SOG）、多晶矽、高分子光阻、雙層、UV 或可熱固化材料、或其它可流動而形成平坦之表面且具有適當之蝕刻特性的材料）。在額外層 202 與覆蓋部 112 之間亦可具有任意且相當薄（例如約 25 至 100nm 的厚度）的保角層 204。保角層 204 為阻障層或黏著層。保角層 204 允許更多種材料當作額外層 202 使用。

額外層 202 與覆蓋部 112 係具有實質為 1：1 的蝕刻選擇性，俾能使後續蝕刻處理（例如電漿或氣體蝕刻處理）能夠以實質相同的速率蝕刻額外層 202 與覆蓋部 112 兩者。

圖 3 顯示根據本發明之一實施例的實質平坦之覆蓋部 112'。由於在層 100、110、112、202 的堆疊之上方額外層 202 形成為實質平坦的表面，故第一蝕刻處理能夠均勻地蝕刻整個區域上方的額外層 202 與覆蓋部 112，直到殘餘之覆蓋部 112' 為實質局部平坦為止，而其中實質消除局部變動 114、116、118。

典型的配方係涉及以下條件，即提供額外層 202 與覆蓋部 112 之間的 1：1 之蝕刻選擇性。舉例而言，若額外層 202 為 SOG、且覆蓋部 112 為銅時，則鹵素基（例如 Cl、F、Br、I）的化學物質對 SOG 與銅兩者皆具有蝕刻率控制而允許就所需的 1：1 之選擇性進行調整。雖然可使用任一產生反應性鹵素自由基的電漿饋入氣體，但 CF_4 、 Cl_2 、及 HCl 、 HBr 為典型的例子。可調整各種處理參數而控制蝕刻率、選擇性、均勻性且減少由於如基板溫度之處理變數的變動與一個或更多之添加物（例如 Ar、 H_2 、Cl、 O_2 、 CH_3X （ $\text{X}=\text{F}$ 、Cl、Br、I）、 CH_2F_2 、及 CH_4 ）的含量所引起的腐蝕。

另一個方法則涉及利用 Ar 或如 He、Xe、Ne、Kr 等其它鈍氣而由濺鍍主宰的蝕刻，利用其它添加物作為銅之覆蓋部 112 的主要蝕刻劑，俾提供額外層 202 的蝕刻率控制及殘餘之銅 112 的頂面之鈍化。其它添加物包括，例如 H_2 及／或 CF_4 。這些處理的每

一個可在 75°C 與 400°C 之間的大溫度範圍內操作。

第一蝕刻處理為設計成可使殘餘之覆蓋部 112' 呈實質局部平坦的蝕刻處理，其中實質消除局部變動 114、116、118。一個或更多之後續蝕刻處理將移除大部份或大多數的覆蓋部 112'。可施加最終蝕刻處理以延續蝕刻處理至從阻障 110 移除覆蓋部 112' 的終點。大體的蝕刻處理之中亦可包括最終蝕刻處理。最終蝕刻之後的後續處理係包括選擇性的阻障移除及鈍化殘餘之導電材料 120，俾防止腐蝕且提供進一步處理所需的穩定性。最終蝕刻之後的額外操作不僅可設計成大量地移除任一材料、更可鈍化殘餘之導電材料 120，俾防止腐蝕且提供進一步處理所需的穩定性。

圖 4A 顯示根據本發明之一實施例的已經過第二蝕刻處理之基板 100。第二蝕刻處理係持續至終點，故所有位置的阻障層 110 將實質同時露出且僅殘留局部 120 之中的導電材料（例如銅、含銅之合金及其組合，與其它導電材料），而其填滿特徵部 102、104、106。

第一蝕刻處理與第二蝕刻處理可實質相似或完全不同。舉例而言，第一蝕刻處理為蝕刻處理用以改善具有局部不均勻性 114、116、118（例如由特徵部 102、104、106 之位置、尺寸及下方層之濃度所引起的）之覆蓋部 112 的局部平坦度。可在第一蝕刻處理之中移除整個額外層 202 與部份的覆蓋部 112。相較而言，第二蝕刻處理為更具選擇性的蝕刻處理，其移除大部份的殘餘且平坦的覆蓋部 112' 而到達終點（亦即，當阻障層 110 露出時）。

圖 4B 顯示根據本發明之一實施例的已經過阻障移除處理的基板。移除部份的阻障層 110 而使下方的遮罩層 402 露出。僅殘留形成在特徵部 102、104、106 之內的部分阻障層 110。典型的第二蝕刻處理以高速移除大部份的覆蓋部 112 且較佳地對阻障層 110 具有高選擇性。舉例而言，若覆蓋部 112 為銅時，則使用鹵素基的化學物質（例如 Cl_2 、 CF_4 、 HCl 、 HBr 、 BCl_3 ）可有效地用於第二蝕刻處理。在另一個方法中，可使用如 Ar（或其它惰性氣體或

鈍氣) 基的濺鍍處理等由物理性主宰的蝕刻處理。可調整各種處理參數而控制蝕速率與選擇性。各種處理參數係包括調整如反應性物質的基板溫度平衡與一個或更多之添加物(例如 H_2 、 O_2 、Ar、He、Xe、Ne、Kr 等等) 的含量等處理變數。

圖 5 為根據本發明之一實施例的進行局部平坦化之方法操作的流程圖 500。在操作 505 中, 在導電覆蓋部 112 的上方附設額外層 202。在操作 510 中, 施加第一蝕刻處理而移除大多數的額外層 202 與導電覆蓋部 112。在操作 515 中, 施加第二蝕刻處理而移除殘餘之覆蓋部 112' 至終點。

在另一實施例中, 操作 515 亦包括上述之最終蝕刻處理。最終蝕刻之後的後續處理係包括選擇性的阻障移除與鈍化殘餘之導電材料 120, 俾防止腐蝕且提供進一步處理所需的穩定性。最終蝕刻處理之後的額外操作不僅可設計成大量地移除任一材料、更可鈍化殘餘之導電材料 120, 俾防止腐蝕且提供進一步處理所需的穩定性。

圖 6A 至圖 6D 顯示根據本發明之一實施例的對基板 600 施加一連串的化學轉換與回蝕處理以提高局部均勻性。圖 7 為根據本發明之一實施例的對基板 600 施加化學轉換與回蝕處理以提高局部均勻性的方法操作之流程圖 700。如圖 6A 所示, 類似於上述圖 1 所示之基板 100, 基板 600 係具有實質不平坦的覆蓋部 602, 而其具有不平坦的表面輪廓 606。

以下參見圖 6B 與圖 7, 在操作 705 中, 在覆蓋部 602 的上方形成額外層 604。在覆蓋部 602 之上沉積或形成額外層 604。舉例而言, 藉由覆蓋部 602 之最上端所發生的化學轉換而形成額外層 604。若覆蓋部 602 為銅或銅合金, 則控制其曝露於氣體的大小將可形成銅反應物層 604。其中一個例子為鹵素氣體, 可形成鹵化銅層 604。銅反應物層 604 擴散到銅覆蓋部 602 的表面之中而轉變成銅覆蓋部 602 的頂端。銅之化學轉換的處理為已知技術, 如納葛瑞傑 S.卡盧卡尼與羅伯特 T.戴哈佛於西元 2002 年之電化學學會期

刊的第 149 (11) 卷第 G620 至 G632 頁所發表之「用於低溫、乾蝕刻、及銅的平坦化的揮發圖的應用」。

在另一個例子中，可在覆蓋部 602 之上沉積額外層 604。沉積層 604 係包括沉積在覆蓋部 602 之上的高分子層或氧化層。

以下參見操作 710 與圖 6C，施加回蝕處理而移除額外層 604。亦移除部份的覆蓋部 602。移除額外層 604 將造成覆蓋部 602 之輪廓的進一步軟化（亦即平坦化）而成為輪廓 606'。鹵化銅實質使覆蓋部 602 的外形軟化。鹵化銅亦保持與銅覆蓋部 602 實質為 1:1 的回蝕選擇性。可重覆進行多次的操作 705 與操作 710 而實質平坦化覆蓋部 602 至後續輪廓 606' 與 606''，故如圖 6D 所示，直到最後的輪廓呈實質平坦為止。

典型地藉由使 Cu 反應性物質界面處的銅氧化而達成利用化合物形成的外形相關性之銅覆蓋部 602 的化學轉換。此情況中的銅氧化係包括元素銅發生化學轉換而成為具有呈正氧化狀態之銅的銅化合物。舉例而言，在較低之溫度（例如小於 200°C）的氯電漿之中將發生銅氧化而變成表面的氯化銅或二氯化銅（CuCl 或 CuCl₂）。

回蝕處理係涉及銅化合物還原成能夠揮發的另一個化學化合物，因此在固定的基板溫度時將脫離殘餘之覆蓋部 602' 的表面。舉例而言，在反應性的氫物質（例如 H₂ 電漿）存在的情況下，將有 CuCl₂ 還原成揮發性的 Cu₃Cl₃。交替地進行其後跟著轉換局部之回蝕的與外形有關的轉換係造成銅之覆蓋部 602 的大體移除，而同時地平坦化銅之覆蓋部 602 的外形（例如輪廓）。

在操作 715 中，若實質平坦化覆蓋部 602 時，則方法操作結束。又，若在操作 715 中，並未實質平坦化覆蓋部 602 時，則方法操作繼續進行上述的操作 705。在其中一個實施例中，操作 705 至 715 在單一蝕刻室之內現場進行。在另一實施例中，可離線進行操作 710 且包括 ECD 或小的向下作用力 CMP 處理，俾達成如圖 6D 所示之實質平坦的覆蓋部 602'。

圖 6A 至圖 7 所示之方法操作可當作平坦之大體移除處理使用，其進行不平坦的覆蓋部 602 之平坦化與大部份的覆蓋部 602 之移除兩者。

藉由一個或更多之已知技術的層厚映對技術的任一個可確定基板 100、600 的局部厚度。舉例而言，渦電流感測器可映對覆蓋部 112、112' 的厚度，如葛堤斯等人所共同擁有之西元 2002 年 12 月 23 日申請之美國專利申請案第 10/328,912 號，案名為「利用渦電流進行薄膜基板之信號分離系統、方法與設備」、及葛堤斯等人所共同擁有之西元 2002 年 9 月 19 日申請之美國專利申請案第 10/251,033 號，案名為「在多步驟順序之內的金屬殘餘物之偵測及映對系統與方法」等內容所述。

上述圖 1 至圖 7 所示之方法與系統說明各種方法可實質消除覆蓋部之中的局部、與圖案有關的不均勻性。然而，上述圖 1 至圖 7 所示之方法與系統並不直接針對整體不均勻性的修正。整體不均勻性包括基板之中央的材料移除率相較於基板之邊緣處的變動情況與其它非局部之現象的不均勻性。

圖 8 為根據本發明之一實施例的修正整體不均勻性之方法操作 800 的流程圖。在操作 805 中，接收其覆蓋部之中具有如與特徵部圖案有關的不均勻性等局部之不均勻性的基板。在操作 810 中，藉由 CMP、ECP 或上述圖 1 至圖 7 所示之方法與系統或任一其它已知方法實質消除局部之不均勻性。如上述圖 3 所示，實質移除局部之不均勻性將形成實質、局部平坦化的覆蓋部，如平坦化的覆蓋部 112'。

圖 9 顯示根據本發明之一實施例的實質移除、平坦化的覆蓋部 902。實質移除、平坦化的覆蓋部 902 為相當薄的覆蓋部，如數百埃之厚度。

在操作 815 中，映對具有平坦化的覆蓋部之基板而確認及量化平坦化的覆蓋部之中的任一整體不均勻性。可藉由如上述一個或更多之已知的層厚映對技術的任一個映對平坦化的覆蓋部。可

現場進行映對（在目前的處理室之內）或離線進行（目前的處理室之外部）。現場的映對處理亦為動態處理且允許在後續處理進行時動態地調整後續處理。

在操作 820 中，藉由調整及控制蝕刻處理而滿足最終蝕刻處理中所偵測之整體不均勻性的特定需求，將可實質機械性不產生應力之處理中移除上述操作 815 中所確定的整體不均勻性之位置與大小。舉例而言，若殘餘之覆蓋部 902 在中央處大約為 500 埃厚且在邊緣處為 300 埃厚時，則可調整配方而補償中央到邊緣的不均勻性，俾能使整個阻障層 110 同時露出。由於在回蝕處理期間不會有機械性作用力施加基板，故不產生應力之處理可避免上述 CMP 的問題。

所選擇的配方（例如所選擇的處理變數的值）對阻障層 110 具有選擇性（亦即，將以比蝕刻銅的配方更小的速率蝕刻阻障，例如在這些處理之中的銅蝕刻超過阻障蝕刻之典型的選擇性範圍為大於 1 但小於 3）且其使任一凹陷為最小（例如特徵部 102、104、106 之中的導電材料 120 之過多量的移除）。

最終蝕刻對殘餘之覆蓋部 902 的銅與阻障層 110 兩者皆具有相當小的蝕刻率而可使最小特徵部 102、104、106 之任一凹陷相對於阻障層 110 的殘餘高度阻障為最小。因此，最終蝕刻對蝕刻銅不會有極高的選擇性。

亦可具有最終之回蝕處理。最終之回蝕處理係包括以適當之選擇性與均勻性控制進行遮罩材料及／或 ILD 材料之回蝕，俾使最終之結果為：能夠在具有最少之銅與 ILD 的損失的情況下提供實質整體的均勻與實質平坦的特徵部（例如在最終之蝕刻與阻障移除處理結束時，任一銅凹陷在基板 100 各處皆為整體均勻）。在此情況中，最終之蝕刻包括能夠高選擇性回蝕遮罩材料的均勻化處理，俾使銅損失為最小且使銅凹陷為最小。舉例而言，其鹵素濃度為低且基板溫度為低（例如低於約 200°C）之鹵素為主的處理將維持小的銅蝕刻率，而仍可充份地化學蝕刻遮罩材料。可使用

含有鹵素反應性物質（例如 CF_4 、 C_2F_6 、 C_4F_6 ）的任一電漿饋入氣體。蝕速率控制添加物係包括 Ar 、 O_2 、 CH_2F_2 且亦可包括其它添加物。

在最終蝕刻與最終之回蝕處理結束時，若整體之銅凹陷及／或遮罩／ILD 損失在基板各處為不均勻時，則必須使配方具有額外的變化，俾修正整體之不均勻性。舉例而言，典型的情況為：可將蝕刻不均勻性的結果說明成中央較快或邊緣較快的蝕速率。在這些情況的每一個之中，將引起銅凹陷及／或遮罩／ILD 損失在基板各處的變動。在遮罩／ILD 材料的最終之回蝕期間，利用適當之均勻性與選擇性控制將可達到補償而抵銷此種變動，俾能夠在具有最少之銅與遮罩損失的情況下獲得整體平坦之特徵部。在造成基板的中央處具有較大之銅凹陷的中央較快之最終蝕刻處理的情況中，藉由其選擇性地蝕刻遮罩材料的邊緣較快之最終回蝕處理加以補償，俾達到與特徵部 102、104、106 之中的銅高度相同的高度。在此處理中所獲得之典型的選擇性為大於 2。為了提供均勻性控制的配方變化係包括壓力、基板各處的溫度變動、離子通量均勻性控制、氣體濃度與處理室壁溫。控制選擇性的變動係包括反應性鹵素物質濃度、基板溫度、及偏壓功率。

圖 10 至圖 11C 說明根據本發明之一實施例的雙金屬鑲嵌處理之方法操作。圖 10 為根據本發明之一實施例的方法操作 1000 之流程圖。在操作 1002 中，提供圖案化且填滿之半導體基板 1100。圖 11A 顯示根據本發明之一實施例的在雙金屬鑲嵌處理之中的圖案化且填滿之半導體基板 1100。下方基板層 1102 係包括例示性大的特徵部 1106、例示性中間的特徵部 1109 與多個例示性小的特徵部 1108。基板層 1102 係包括低 k 值介電材料。

在各特徵部 1106、1108 與 1109 的內側形成襯墊層 1104（例如，鈦、氮化鈦、氮化鈦堆疊、鈦、鎢、鉑、鉍、氮化鈦矽等等）。亦可包括遮罩層 1110。典型地遮罩層 1110 為對之前的蝕刻圖案化操作具有遮罩之目的的氧化層、碳化層或氮化層。本發明亦適用

於：將遮罩層視為等同於介電基板材料的情況。如以下之更詳細說明所述，遮罩層 1110 亦可為金屬及／或導電的材料。遮罩層 1110 典型地比半導體製造處理之中所使用的其它低 k 值介電材料具有更高之 k 介電值（例如，約大於 3）。為了保護之目的（例如，保護低 k 值材料在後續的處理之中免於受到物理性與化學性的損壞），故經常在低 k 值介電層的上方形成遮罩層 1110。遮罩層 1110 係包括以下將詳細說明的多個層。

藉由導電之填充材料 1120（例如，銅、銅合金或其它導電材料）填滿各特徵部 1106、1108 與 1109。類似於上述圖 1 所示，導電之填充材料 1120 係具有形成在特徵部 1106、1108 與 1109 之上方的不均勻覆蓋部。

在操作 1004 中，將半導體基板 1100 加以平坦化。圖 11B 顯示根據本發明之一實施例的在雙金屬鑲嵌處理之中的圖案化、填滿且平坦化的半導體基板 1100。在上述圖 1 至圖 9 所示的大體移除與平坦化處理之中，已實質移除導電之填充材料 1120 的不均勻覆蓋部。亦可利用 CMP 處理（例如，小的向下作用力 CMP 處理）移除導電之填充材料 1120 的大部份之覆蓋部且平坦化導電之填充材料 1120。在大體移除與平坦化處理之後，將殘留最少量的導電之填充材料 1120' 的實質平坦之覆蓋部。

在操作 1006 中，移除殘留的導電之填充材料 1120' 與襯墊層 1104 至預期的終點（例如，已經移除實質所有預期被移除的材料）。可藉由前述的一個或更多之步驟而完成此操作。圖 11C 顯示根據本發明之一實施例的在雙金屬鑲嵌處理之中的蝕刻之半導體基板 1100。此局部之蝕刻所要注意的終點典型在遮罩層 1110 之上表面露出時及導電材料 1120' 的上表面為均勻或相對於遮罩層的上表面為略呈碟狀時。蝕刻處理與化學物質對遮罩 1110 係具有選擇性，故實質不會移除遮罩而移除導電之填充材料 1120'。因此，將蝕刻去除殘留之導電材料 1120'，直到實質不遮蓋住遮罩層 1110 為止。

在典型的習知半導體製造處理中，藉由 CMP 處理進行操作 1006 且將遮罩層 1110 當作 CMP 終止層。因此，典型的遮罩層 1110 必須較厚多達 1000 埃或更多。由於 CMP 處理典型無法達到襯墊層 1104 對基板介電層 1102 為約 10:1 的選擇性，故必須以遮罩層 1110 作為 CMP 終止層。因此，在典型的 CMP 操作中，經常移除遮罩層 1110 之上表面以下的襯墊層 1104 與導電之填充材料 1120'，而在遮罩層與導電材料 1120' 之間形成非預期的渠溝或圓形的邊緣過渡區。又，典型的 CMP 操作將造成非預期的瘡孔、局部的不均勻性與材料之各種層之間的分離。由典型的 CMP 處理對半導體基板 1100 所給予的剪應力將造成分離。然而，相當小的向下作用力 CMP，例如具有小於約 5psi 的向下作用力，在導電之填充材料的移除期間並不會對半導體基板 1102 給予嚴重的剪應力。許多低 k 值材料之相當小的黏著特性，故低 k 值材料與其它材料之間的過渡區特別容易分離。

然而，在此所述之蝕刻處理能夠在不會對半導體基板 1102 給予剪應力的情況下達到襯墊層 1104 對遮罩層 1110 為約 10:1 的蝕刻選擇性。蝕刻處理將因而更精確地進行相對於遮罩層之襯墊層的蝕刻。依此方式，能夠更精確地控制襯墊層 1104 的移除（亦即蝕刻）且可在遮罩層 1110 與導電材料 1120' 之間達成更陡的邊緣過渡區。又，由於不再需要以遮罩層 1110 作為 CMP 終止層，則遮罩層可更薄（亦即小於 250 埃）或完全消除。又，可使用額外的材料取代傳統的 CMP 終止材料。舉例而言，遮罩層 1110 係包括一層（多層）之較低 k 值的有機矽酸鹽玻璃材料，其含有不同之比例的矽、碳、氧與氫（Si、C、O、H）、或具有或不具矽之高分子基的介電材料，例如交聯聚苯醚聚合物、甲基矽酸鹽類、氫矽酸鹽類以及這些薄膜的眾多多孔隙型態。對此種遮罩/覆蓋層 1110 的要求及其確切的厚度係取決於金屬鑲嵌圖案方案、光刻與圖案蝕刻處理條件。相較於上述之 CMP，本發明在所有的情況皆能夠有更薄的薄膜。

在操作 1008 中，在蝕刻之半導體基板 1100 的上方形成後續之介電層。圖 11D 顯示根據本發明之一實施例的具有後續之介電層 1130 的半導體基板 1100。後續之介電層 1130 係包括一個或更多之阻障層 1122。後續之介電層 1130 係包括低 k 值介電材料。亦如圖 13 與圖 14A 至圖 14C 所示般地平坦化後續之介電層 1130。

在操作 1010 中，如圖 11E 所示，在後續之介電層 1130 的上方形成遮罩層 1132。圖 11E 顯示根據本發明之一實施例的具有形成在後續之介電層 1130 的上方之遮罩層 1132 的半導體基板 1100。遮罩層 1130 允許將介電層 1130 加以圖案化而用於後續之裝置形成處理。

在操作 1012 中，蝕刻介電層 1130 而形成特徵部 1134、1136 與 1138。圖 11F 顯示根據本發明之一實施例的具有形成在介電層 1130 之中的特徵部 1134、1136 與 1138 之半導體基板 1100。如上所述，可藉由下方特徵部 1106、1108 與 1109 之中的下方導電之填充材料 1120' 而使特徵部 1134、1136 與 1138 互連。

在操作 1014 中，亦藉由導電之填充材料填滿特徵部 1134、1136 與 1138。藉由導電之填充材料填滿特徵部 1134、1136 與 1138 亦包括在特徵部之內側表面塗佈適當之襯墊層 1140。接著，方法操作係結束或方法操作可繼續進行至上述之操作 1002。

以下參見圖 11G 與圖 12A 至圖 12D，俾更詳細說明上述圖 10 的操作 1006 之中的移除至終點的處理。圖 11G 為根據本發明之一實施例的用以將殘留之導電之填充材料 1120' 移除至預期的終點之方法操作 1006 的流程圖。圖 12A 至圖 12D 顯示移除至終點的處理之各種實施例之中的遮罩層 1110 與導電材料 1120' 之區域 1200 的細部圖。

如圖 12A 與圖 12B 所示，遮罩層 1110 係包括多個層 1110A 與 1110B。如上所述，在習知 CMP 操作中，遮罩層（多個遮罩層）1110、1110A、1110B，在實施時，典型地將殘留在材料堆疊之間。然而，由於遮罩層（多個遮罩層）具有較大的 k 值，故預期遮罩

層將具有最小厚度。圖 12A 顯示導電之填充材料 1120' 與襯墊層 1104 相較於遮罩層 1110A 的上表面為略呈碟形的情況。導電之填充材料 1120' 在遮罩層 1110A 的上表面之下方具有 Δh 的碟形深度。典型地，遮罩層 1110A、1110B 具有 500 至 1000 埃或更大的總厚度且典型的 Δh 之範圍在 250 至 500 埃之間。由於不再需要以遮罩層 1110A、1110B 作為 CMP 終止層、而仍可藉由蝕刻處理加以移除，故可提供金屬鑲嵌晶片設計人員更大的彈性且可使用其它材料進行其它功能。舉例而言，上方的遮罩層 1110A 仍為較大之 k 值的氮化物或氧化物而符合其強度或抗化學物質之特性的要求。氮化層與氧化層具有較佳的沉積與黏著特性並能夠輕易且精確地加以蝕刻。或者，遮罩為低 k 值材料或如上述般地省略。

圖 12A 顯示根據本發明之一實施例的基板 1100 之終點的區域 1200 之細部圖。圖 12B 顯示根據本發明之一實施例的基板 1100 之終點的區域 1200 之另一細部圖。蝕刻化學物質比 CMP 處理具有更精確的選擇性，因此可蝕刻上方的遮罩層 1110A 而不會影響襯墊 1104 與導電材料 1120'。如圖 12B 所示，可蝕刻上方的遮罩層 1110A，直到與襯墊 1104 及導電材料 1120' 為實質均勻為止（亦即碟形深度 Δh 近乎零）。又，亦可使用小的向下作用力 CMP 拋光輪移除上方的遮罩層 1110A 之至少一局部。本方法之一優點在於：由於至少移除部份之上方的遮罩層 1110A，則可在不影響材料堆疊之總體的低 k 值特性的情況下使遮罩層遠厚於（例如，約大於 1000 埃）典型所使用者。

圖 12C 顯示根據本發明之一實施例的基板 1100 之終點的區域 1200 之另一細部圖。如圖 12C 所示，可藉由對下方遮罩層 1110B 具有選擇性的蝕刻處理化學物質完全移除上方的遮罩層 1110A。蝕刻處理為電漿蝕刻處理或濕蝕刻處理。由於完全移除上方的遮罩層 1110A，故殘留之遮罩層 1110B 的上表面在襯墊 1104 之上表面與導電材料 1120' 的下方為略呈碟形之 $\Delta h'$ 的深度。因而，碟形之深度 $\Delta h'$ 將遠小於上述圖 12A 所示之 Δh 。

上述圖 1 至圖 9 所示之不產生應力之蝕刻處理係移除整個上方的遮罩層 1110A，因此上方的阻障層具有大於 1000 埃或更大之初始厚度。又，由於完全移除上方的遮罩層 1110A，則可在免於使各填滿之特徵部 1106、1108 與 1109 短路在一起的情況下使導電材料作為上方的阻障層使用。下方的遮罩層 1110B 為極薄（例如約小於 5 埃）。亦可省略下方的遮罩層 1110B（亦即下方的阻障層為與基板 1102 相同的材料）且對基板材料具有選擇性的蝕刻處理則完全移除上方的遮罩層 1110A 而使下方的基板材料露出。若半導體基板已位於電漿蝕刻處理室之中的話，則可輕易地施加此種電漿蝕刻處理，俾由上述圖 10 所示般地進行不產生應力之大體移除與平坦化操作。

圖 12D 顯示根據本發明之一實施例的基板 1100 之終點的區域 1200 之再一細部圖。如圖 12D 所示，蝕刻襯墊 1104 與導電之填充材料 1120' 而使碟形深度 $\Delta h''$ ，相較於 $\Delta h'$ ，更顯著地縮小。依此方式，碟形深度 $\Delta h''$ 為小於 250 埃。

圖 13 為根據本發明之一實施例的塗佈後續之介電層 1130 的方法操作 1008 之流程圖。在操作 1302 中，對半導體基板 1100 塗佈介電層 1130。圖 14A 顯示根據本發明之一實施例的構成介電層 1130 之多個介電層 1410、1412。

在操作 1304 中，確認介電層 1410、1412 之中的一個或更多之不平坦度 1414。如上述圖 10 之操作 1010 所示，上方的介電層 1412 之平坦度對是否能夠進行正確的光刻操作極為重要（亦即遮罩與後續之蝕刻）。在典型的習知處理中，介電層 1410、1412 的總厚度必須相當薄（例如，約小於 1000 埃）。然而，如以下之詳細說明所述，介電層 1410、1412 將具有遠大於 1000 埃的總厚度（例如，約 4000 埃或更大）。舉例而言，介電層 1410 與 1412 為旋塗玻璃（SOG）。在塗佈各層時，將減小且實質消除不平坦度 1414。

在另一例子中，第一介電層 1410 為低 k 值介電材料，而第二

介電層 1412 為 SOG 或其它實質平坦的介電材料。舉例而言，SOG 可減小各層之 SOG 的不平坦度約百分之五十。

在操作 1306 中，在半導體基板 1100 附設另一層的介電層。圖 14B 顯示根據本發明之一實施例的半導體基板 1100 之上的第三介電層 1420。可附設第三介電層 1420（或更後續之介電層）而進一步減小不平坦度 1414。如圖所示，不平坦度 1416 係實質小於不平坦度 1414。

在操作 1310 中，將介電層 1410、1412 與 1420 加以平坦化。圖 14C 顯示根據本發明之一實施例的平坦化之第三介電層 1420。在平坦化操作之後，殘留第三介電層 1420' 的平坦局部。平坦化操作為任一種適當的平坦化處理（例如，CMP、小的向下作用力 CMP、不產生應力之平坦化等等）。

又，吾人應清楚理解：並不需如所述順序般地進行上述任一圖式所示之操作代表的指令，且不需操作所代表的所有處理亦可實施本發明。又，上述任一圖式所示之處理亦可實現成為儲存於 RAM、ROM、或電腦的硬碟機或微處理器控制系統（例如處理控制系統）的任一個或其結合之中的軟體。

雖然藉由上述及圖式說明本發明之各種實施例，但本發明之範圍並非僅限於上述實施例，只要在不脫離本發明之精神的情況下，可藉由任一變化型式據以實施本發明。因此各實施例為例示性而非限制性，且本發明之範圍並非僅限於各實施例之內容，故本發明之範圍係包括上述各實施例及其變化型態。

五、【圖式簡單說明】

圖 1 顯示根據本發明之一實施例的圖案化之半導體基板。

圖 2 顯示根據本發明之一實施例中所附加之額外層。

圖 3 顯示根據本發明之一實施例的實質平坦之覆蓋部。

圖 4A 顯示根據本發明之一實施例的已經過第二蝕刻處理之基板。

圖 4B 顯示根據本發明之一實施例的已經過阻障移除處理之基板。

圖 5 為根據本發明之一實施例的進行局部平坦化之方法操作的流程圖。

圖 6A 至圖 6D 顯示根據本發明之一實施例的用以提高局部均勻性而施加於基板的一連串之化學轉換與回蝕處理。

圖 7 為根據本發明之一實施例的用以提高局部均勻性而施加於基板之化學轉換與回蝕處理之方法操作的流程圖。

圖 8 為根據本發明之一實施例的修正整體不均勻性之方法操作的流程圖。

圖 9 顯示根據本發明之一實施例的實質移除、平坦化的覆蓋部。

圖 10 為根據本發明之一實施例的方法操作之流程圖。

圖 11A 顯示根據本發明之一實施例的在雙金屬鑲嵌處理之中的圖案化且填滿之半導體基板。

圖 11B 顯示根據本發明之一實施例的在雙金屬鑲嵌處理之中的圖案化、填滿且平坦化之半導體基板。

圖 11C 顯示根據本發明之一實施例的在雙金屬鑲嵌處理之中的蝕刻之半導體基板。

圖 11D 顯示根據本發明之一實施例的具有後續之介電層的半導體基板。

圖 11E 顯示根據本發明之一實施例的具有形成在後續之介電層之上方的遮罩層之半導體基板。

圖 11F 顯示根據本發明之一實施例的具有形成在介電層之中的特徵部之半導體基板。

圖 11G 為根據本發明之一實施例的移除殘留之導電填充材料至預期的終點之方法操作的流程圖。

圖 12A 至圖 12D 顯示在移除至終點處理的各種實施例之中的遮罩層與導電材料之區域的細部圖。

圖 13 為根據本發明之一實施例的塗佈後續之介電層的方法操作之流程圖。

圖 14A 顯示根據本發明之一實施例的構成介電層之多個介電層。

圖 14B 顯示根據本發明之一實施例的位在半導體基板之上的第三介電層。

圖 14C 顯示根據本發明之一實施例的平坦化之第三介電層。

元件符號說明：

100、1100、1102、600 半導體基板（或層）

102、104、106、1106、1106'、1106''、1108、1109、1134、1136、

1138 特徵部

110、1122 阻障層

112、112'、602、602'、902 覆蓋部（或殘餘之銅）

114、116、118 局部不均勻性（或局部變動）

120 導電互連材料

1002、1004、1006、1008、1010、1012、1014、1150、1152、1302、

1304、1306、1310、505、510、515、705、710、715、805、810、

815、820 操作

1110、1110A、1110A'、1110B、1132、402 遮罩層

1104、1140 襯墊層

1120、1120' 填充材料

1130、1410、1412、1420、1420' 介電層

1200、1200'、1200''、1200''' 區域

1414、1416 不平坦度

202、604 額外層

204 保角層

606、606'、606'' 輪廓

800、1000、1006、1008 方法操作

Δh 、 $\Delta h'$ 、 $\Delta h''$ 厚度（或深度）

五、中文發明摘要：

一種呈雙金屬鑲嵌構造之半導體的形成系統與方法，包括：接收一圖案化之半導體基板。半導體基板係具有填滿圖案之中的多個特徵部之一第一導電互連材料。第一導電互連材料係具有一覆蓋部。使覆蓋部平坦化。在平坦化處理之中係實質完全移除覆蓋部。使一遮罩層縮小及在平坦化的覆蓋部之上形成一後續之介電層。在後續之介電層之上形成遮罩。在後續之介電層之中形成一個或更多之特徵部及利用一第二導電互連材料填滿特徵部。

六、英文發明摘要：

A system and method for forming a semiconductor in a dual damascene structure including receiving a patterned semiconductor substrate. The semiconductor substrate having a first conductive interconnect material filling multiple features in the pattern. The first conductive interconnect material having an overburden portion. The over burden portion is planarized. The over burden portion is substantially entirely removed in the planarizing process. A mask layer is reduced and a subsequent dielectric layer is formed on the planarized over burden portion. A mask is formed on the subsequent dielectric layer. One or more features are formed in the subsequent dielectric layer and the features are filled with a second conductive interconnect material.

十、申請專利範圍：

1.一種呈雙金屬鑲嵌構造之半導體的形成方法，包含以下步驟：

一圖案化之半導體基板的接收步驟，接收一圖案化之半導體基板，其具有填滿圖案之中的複數之特徵部的一第一導電互連材料，第一導電互連材料則具有一覆蓋部；

一覆蓋部的平坦化步驟，使覆蓋部平坦化，在平坦化處理之中實質完全移除覆蓋部；

一遮罩層的縮小步驟，縮小一遮罩層；

一後續之介電層的形成步驟，在平坦化的覆蓋部之上形成一後續之介電層；

一遮罩的形成步驟，在後續之介電層之上形成一遮罩；

一特徵部的形成步驟，在後續之介電層之中形成一個或更多之特徵部；及

一特徵部的填滿步驟，利用一第二導電互連材料填滿一個或更多之特徵部。

2.如申請專利範圍第 1 項之呈雙金屬鑲嵌構造之半導體的形成方法，其中該覆蓋部的平坦化步驟係包括一小的向下作用力 CMP 處理。

3.如申請專利範圍第 1 項之呈雙金屬鑲嵌構造之半導體的形成方法，其中該覆蓋部的平坦化步驟係包括一不產生應力之平坦化處理。

4.如申請專利範圍第 1 項之呈雙金屬鑲嵌構造之半導體的形成方法，其中遮罩層係包括兩個或更多之遮罩層。

5.如申請專利範圍第 4 項之呈雙金屬鑲嵌構造之半導體的形成方法，其中該遮罩層的縮小步驟係包括移除兩個或更多之遮罩層的

其中一層之至少一局部。

6.如申請專利範圍第 4 項之呈雙金屬鑲嵌構造之半導體的形成方法，其中該遮罩層的縮小步驟係包括移除兩個或更多之遮罩層的至少一層。

7.如申請專利範圍第 4 項之呈雙金屬鑲嵌構造之半導體的形成方法，其中兩個或更多之遮罩層的至少一層係包括一導電材料。

8.如申請專利範圍第 1 項之呈雙金屬鑲嵌構造之半導體的形成方法，其中該遮罩層的縮小步驟係包括移除遮罩層。

9.如申請專利範圍第 1 項之呈雙金屬鑲嵌構造之半導體的形成方法，其中該遮罩層的縮小步驟係包括移除實質上與遮罩層之一殘留局部齊平的第一導電填充材料的一局部。

10.如申請專利範圍第 1 項之呈雙金屬鑲嵌構造之半導體的形成方法，其中該遮罩層的縮小步驟係包括蝕刻遮罩層。

11.如申請專利範圍第 1 項之呈雙金屬鑲嵌構造之半導體的形成方法，其中該後續之介電層的形成步驟係包括塗佈一個或更多之後續之介電層。

12.如申請專利範圍第 1 項之呈雙金屬鑲嵌構造之半導體的形成方法，其中該後續之介電層係包括一低 k 值介電材料。

13.如申請專利範圍第 1 項之呈雙金屬鑲嵌構造之半導體的形成方法，其中該後續之介電層的形成步驟係包括平坦化後續之介電層。

14.如申請專利範圍第 13 項之呈雙金屬鑲嵌構造之半導體的形成方法，其中平坦化後續之介電層係包括：

確認後續之介電層之中的不平坦度；

在後續之介電層之上形成第二介電層；及

平坦化第二介電層。

15.如申請專利範圍第 14 項之呈雙金屬鑲嵌構造之半導體的形成方法，其中第二介電層為一實質平坦的材料。

16.如申請專利範圍第 14 項之呈雙金屬鑲嵌構造之半導體的形成方法，其中第二介電層為一旋塗玻璃。

17.如申請專利範圍第 14 項之呈雙金屬鑲嵌構造之半導體的形成方法，其中後續之介電層為一低k值介電材料。

18.一種呈雙金屬鑲嵌構造之半導體的形成方法，包含以下步驟：

一圖案化之半導體基板的接收步驟，接收一圖案化之半導體基板，其具有填滿圖案之中的複數之特徵部的一第一導電互連材料，第一導電互連材料則具有一覆蓋部；

一覆蓋部的平坦化步驟，使覆蓋部平坦化，在平坦化處理之中實質完全移除覆蓋部；

一遮罩層的移除步驟，移除一遮罩層；

一後續之介電層的形成步驟，在平坦化的覆蓋部之上形成一後續之介電層；

一遮罩的形成步驟，在後續之介電層之上形成一遮罩；

一特徵部的形成步驟，在後續之介電層之中形成一個或更多之特徵部；及

一特徵部的填滿步驟，利用一第二導電互連材料填滿一個或更多之特徵部。

19.如申請專利範圍第 18 項之呈雙金屬鑲嵌構造之半導體的形成方法，其中該遮罩層的移除步驟係包括蝕刻遮罩層。

20.一種呈雙金屬鑲嵌構造之半導體的形成方法，包含以下步驟：

一圖案化之半導體基板的接收步驟，接收一圖案化之半導體基板，其具有填滿圖案之中的複數之特徵部的一第一導電互連材料，第一導電互連材料則具有一覆蓋部；

一覆蓋部的平坦化步驟，使覆蓋部平坦化，在平坦化處理之中實質完全移除覆蓋部；

一遮罩層的縮小步驟，縮小一遮罩層；

一後續之介電層的形成步驟，在平坦化的殘留構造之上形成一後續之介電層，更包括以下步驟：

確認後續之介電層之中的不平坦度；

在整個後續之介電層之上形成第二介電層；及

平坦化第二介電層；

一遮罩的形成步驟，在後續之介電層之上形成一遮罩；

一特徵部的形成步驟，在後續之介電層之中形成一個或更多之特徵部；及

一特徵部的填滿步驟，利用一第二導電互連材料填滿一個或更多之特徵部。

21.如申請專利範圍第 20 項之呈雙金屬鑲嵌構造之半導體的形成方法，其中平坦化第二介電層係包括蝕刻第二介電層。

圖式

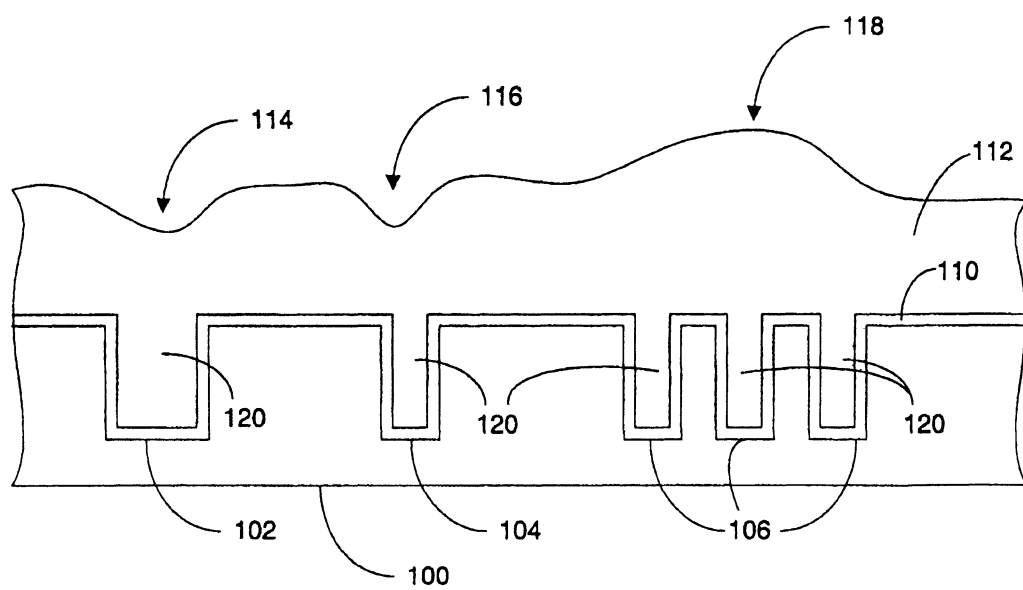


圖 1

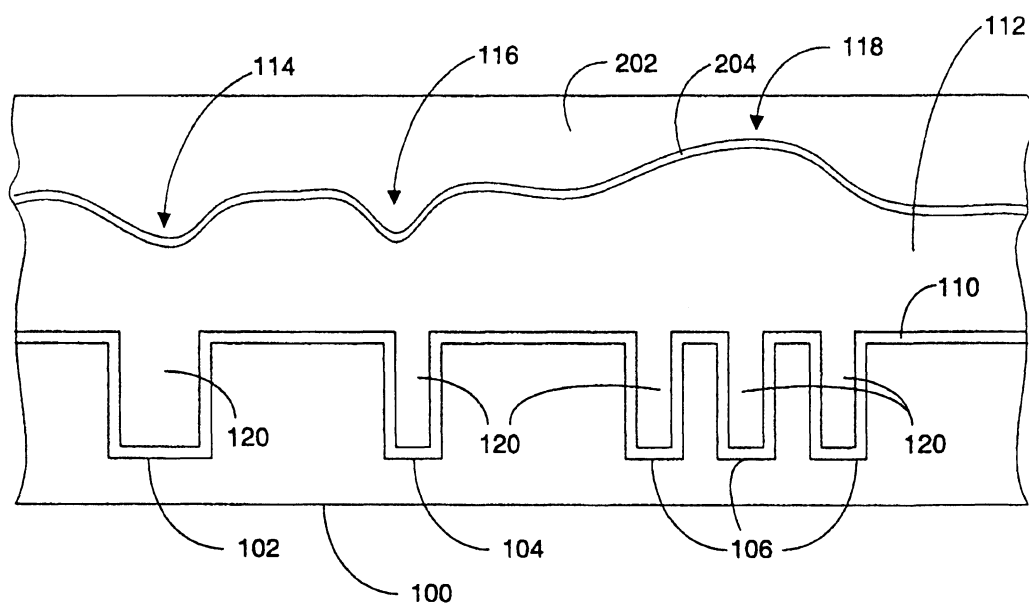


圖 2

圖式

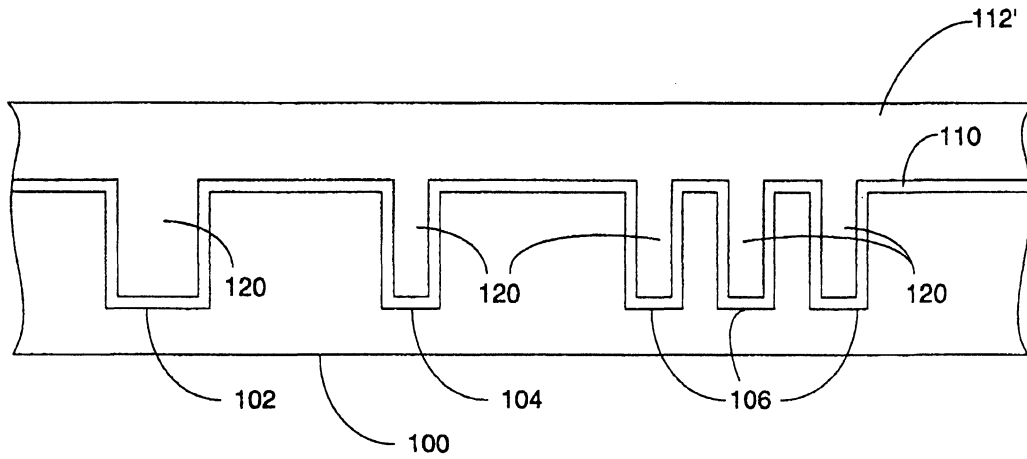


圖 3

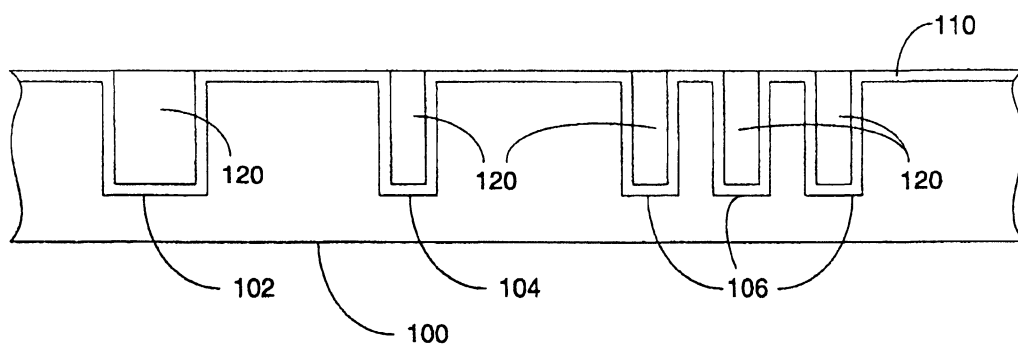


圖 4A

圖式

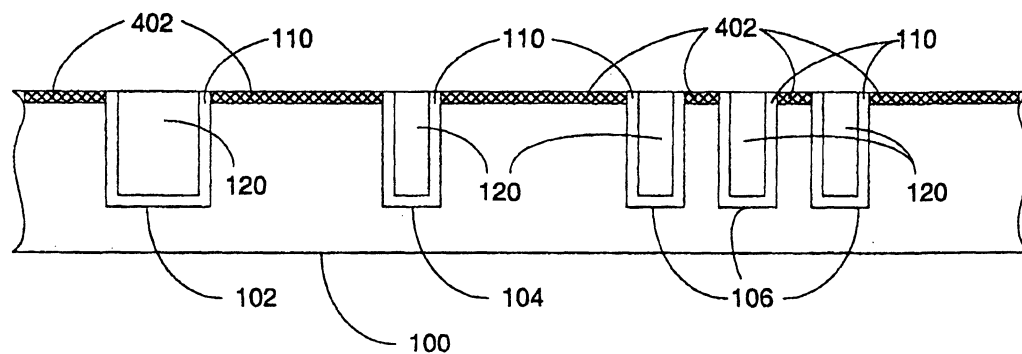


圖 4B

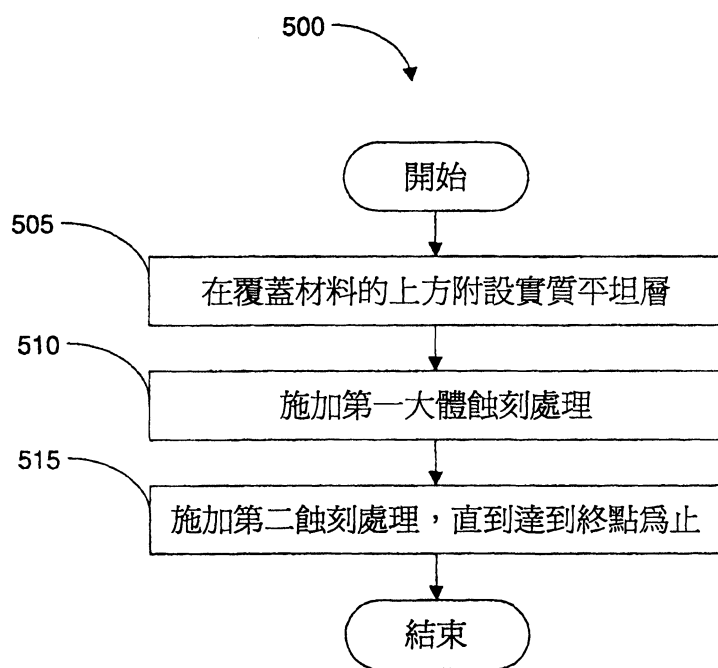


圖 5

圖式

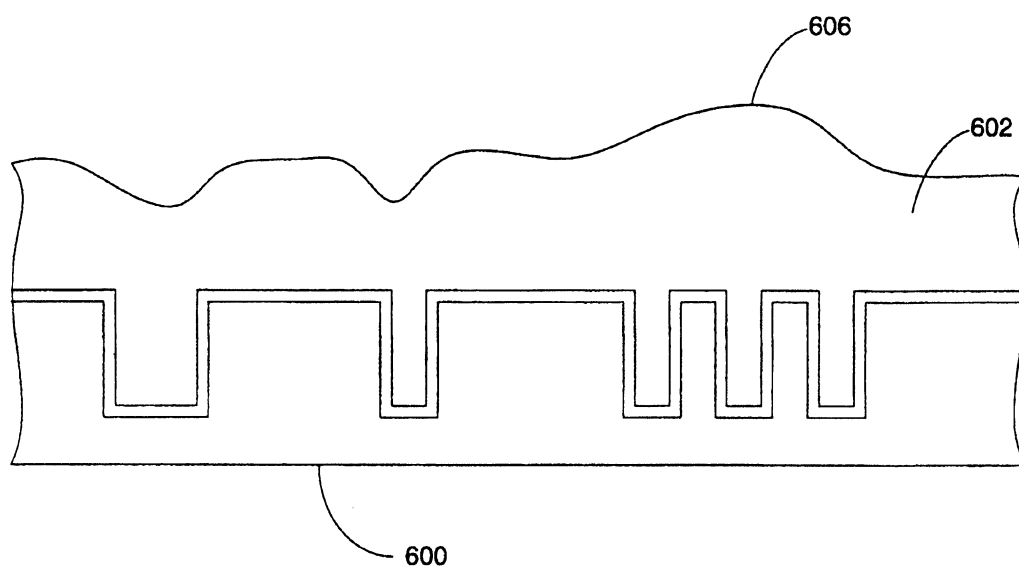


圖 6A

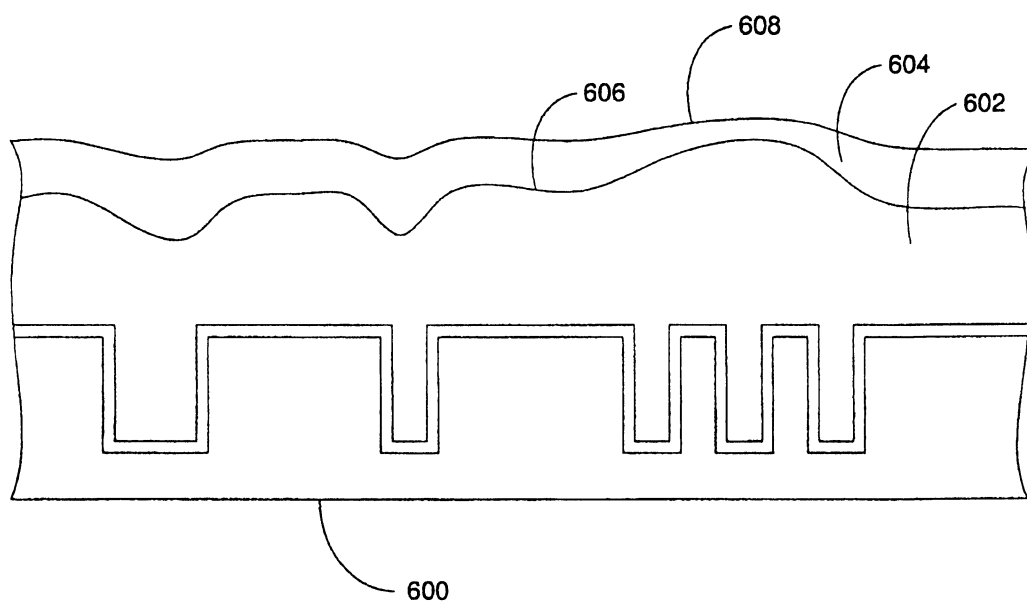


圖 6B

圖式

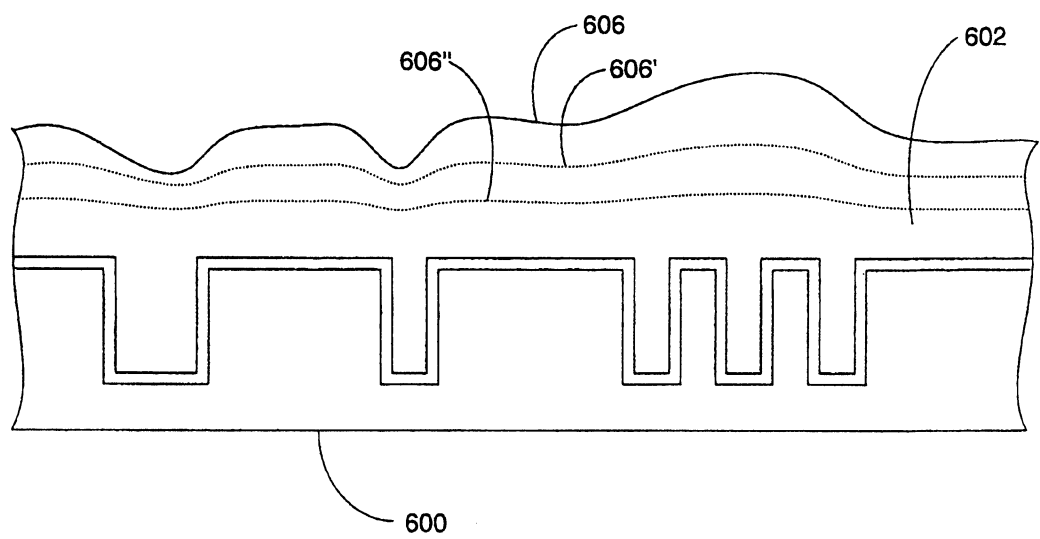


圖 6C

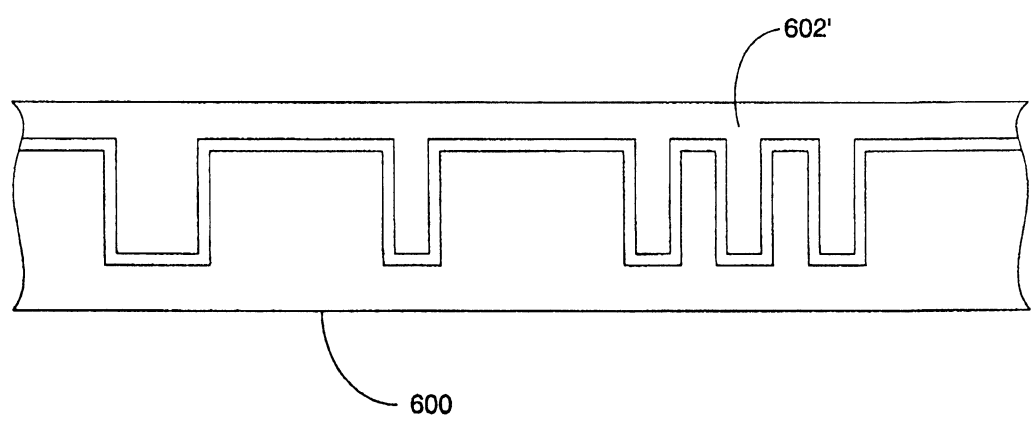


圖 6D

圖式

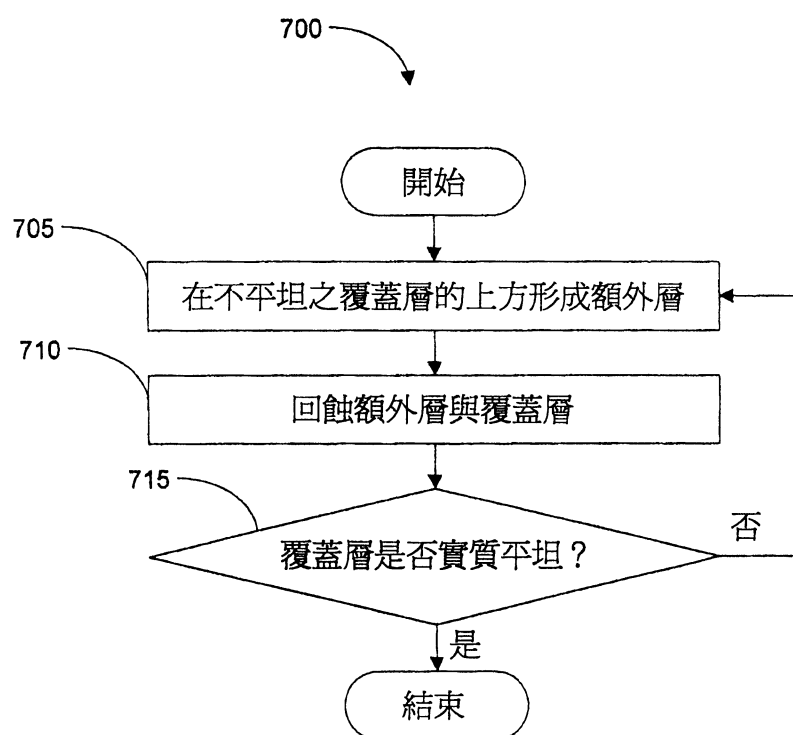


圖 7

圖式

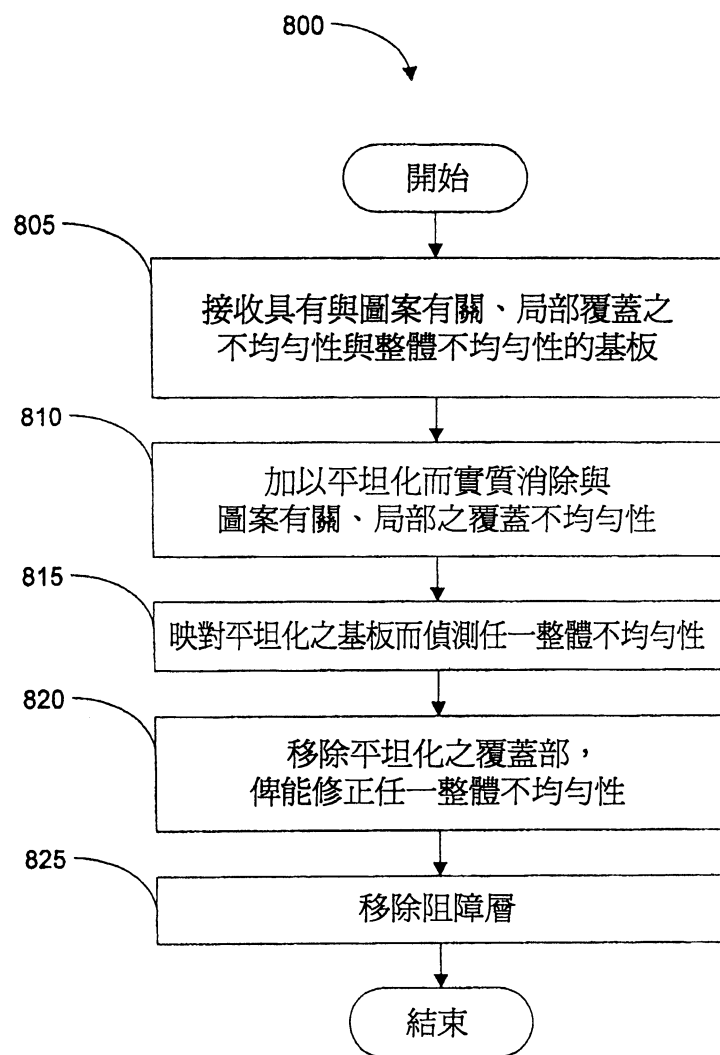


圖 8

圖式

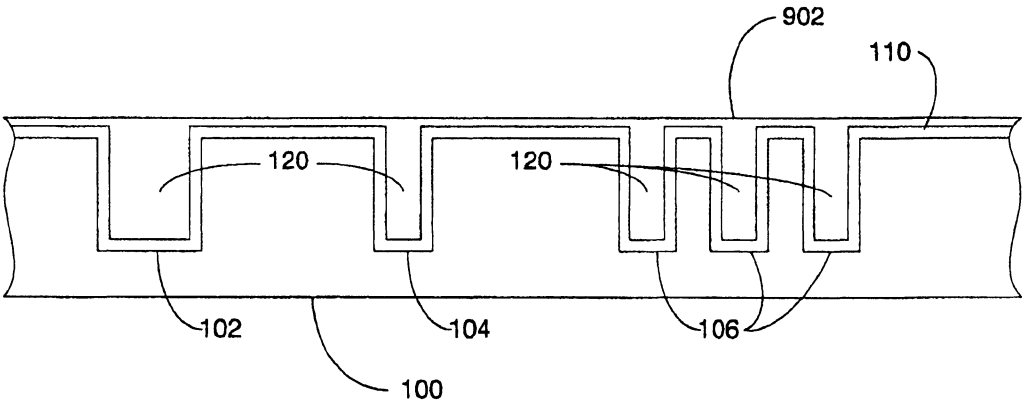


圖 9

圖式

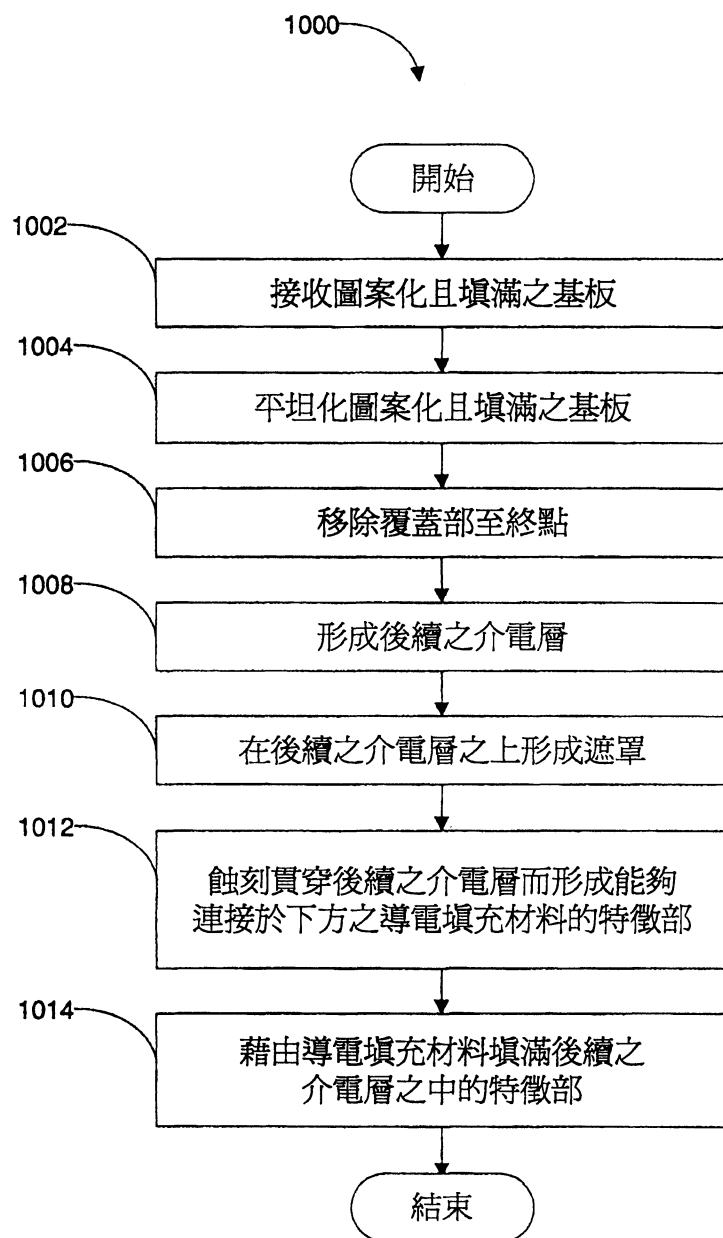


圖 10

圖式

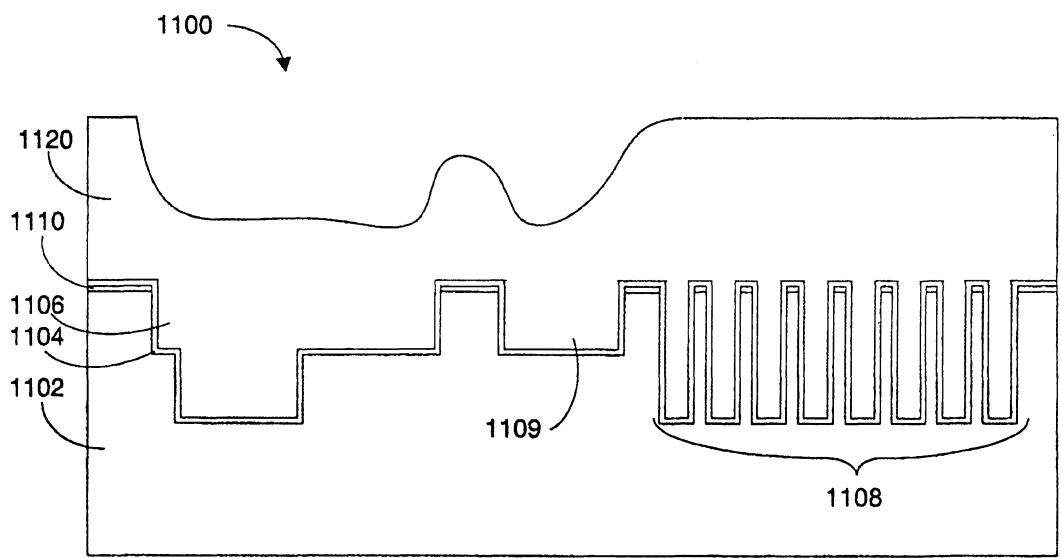


圖 11A

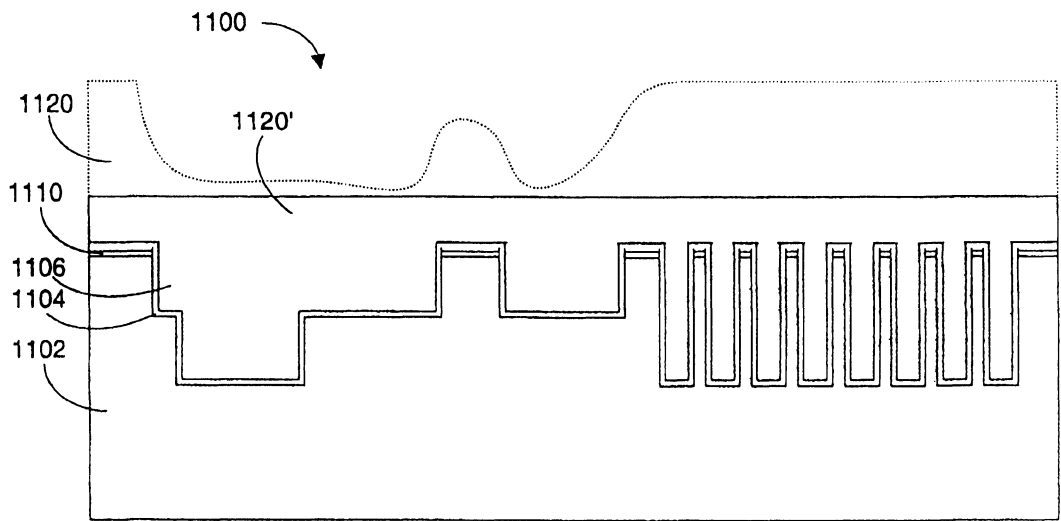


圖 11B

圖式

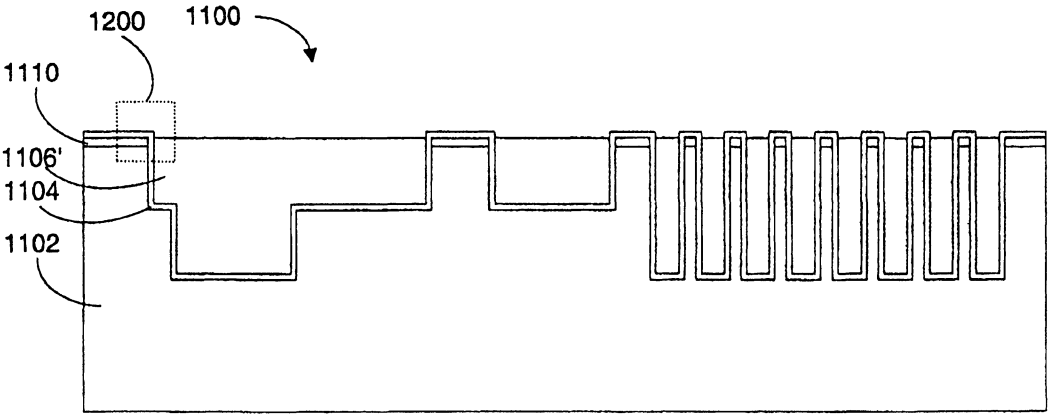


圖 11C

圖式

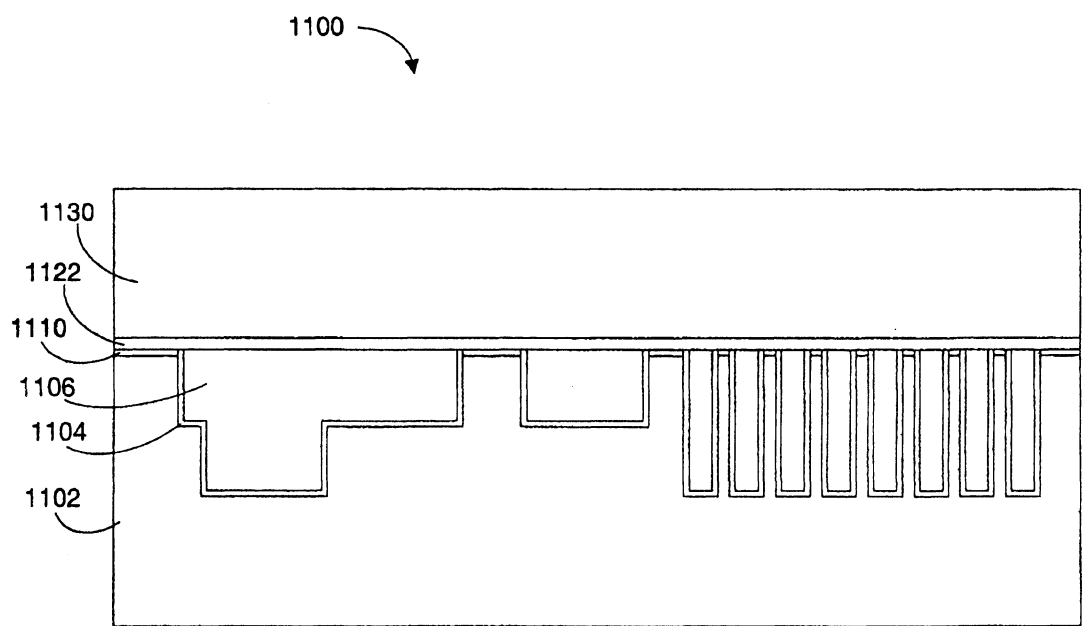


圖 11D

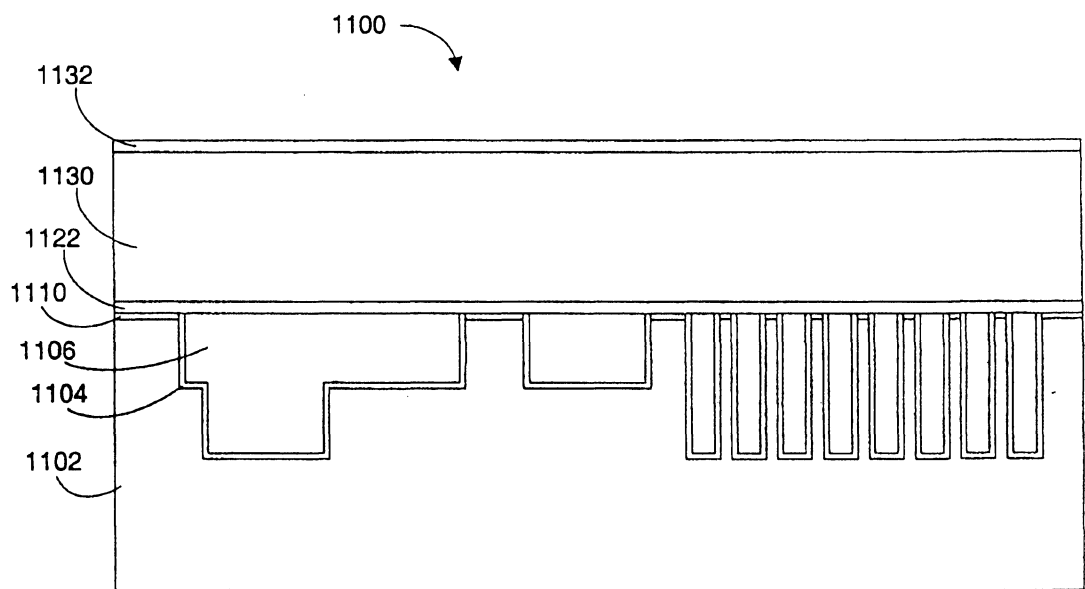


圖 11E

圖式

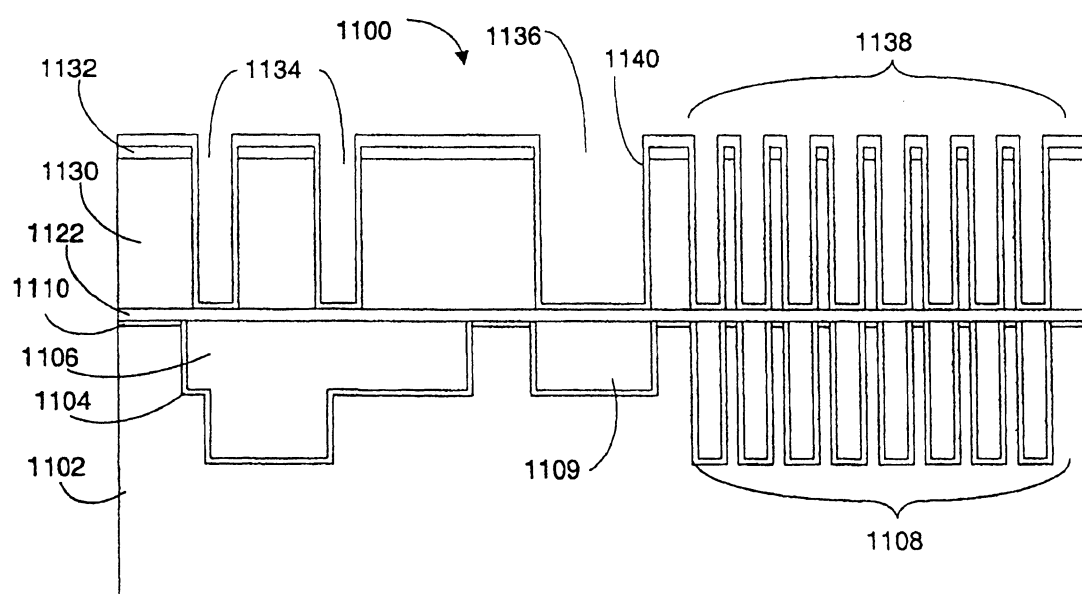


圖 11F

圖式

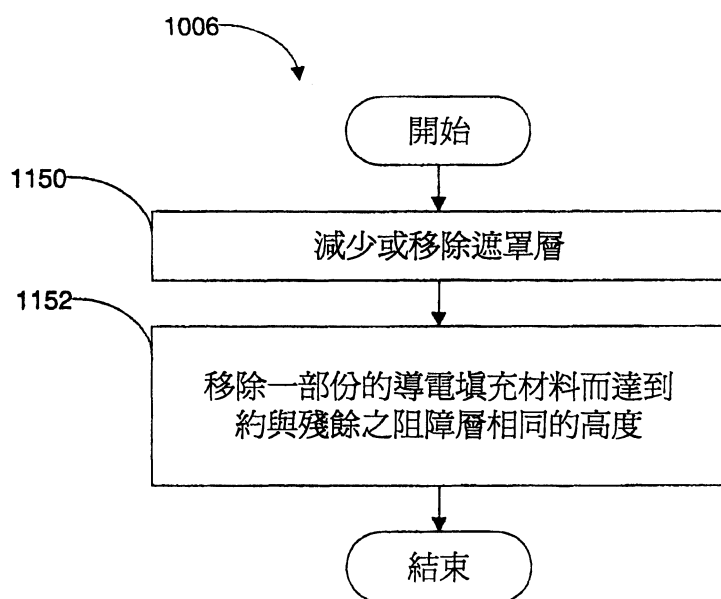


圖 11G

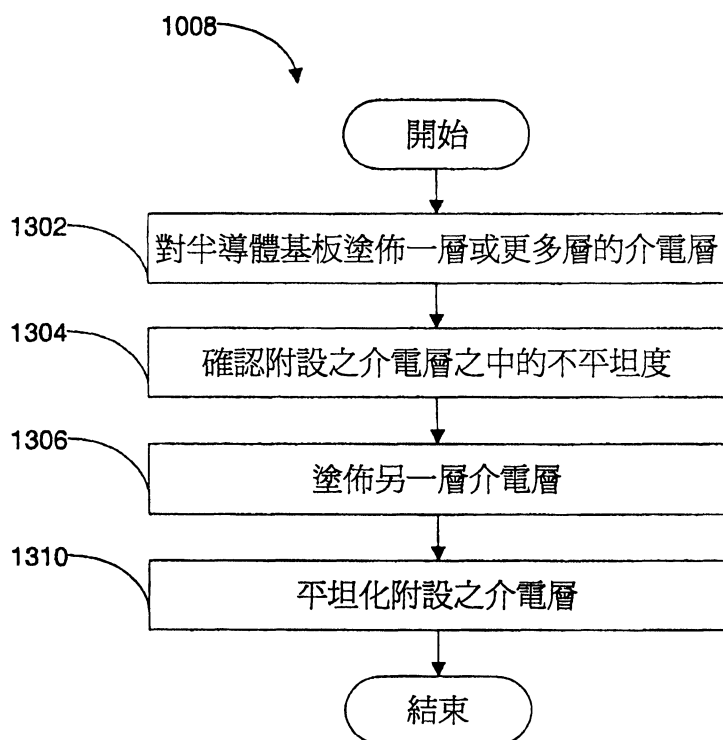


圖 13

圖式

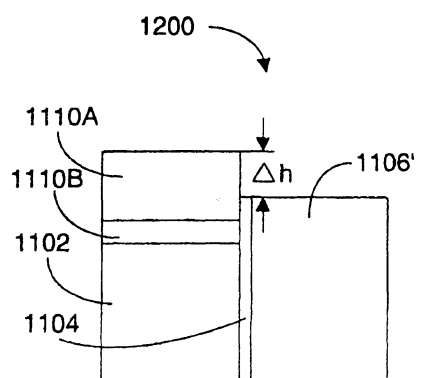


圖 12A

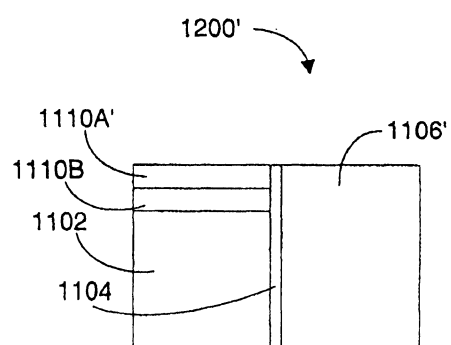


圖 12B

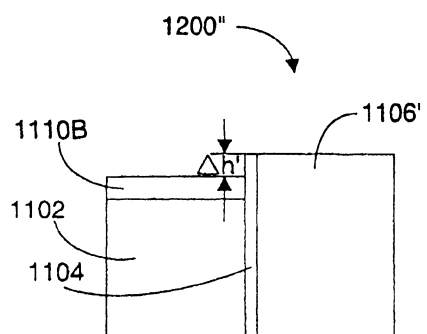


圖 12C

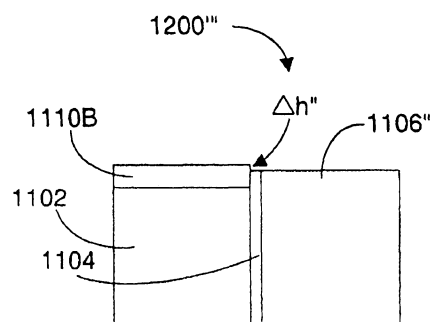


圖 12D

圖式

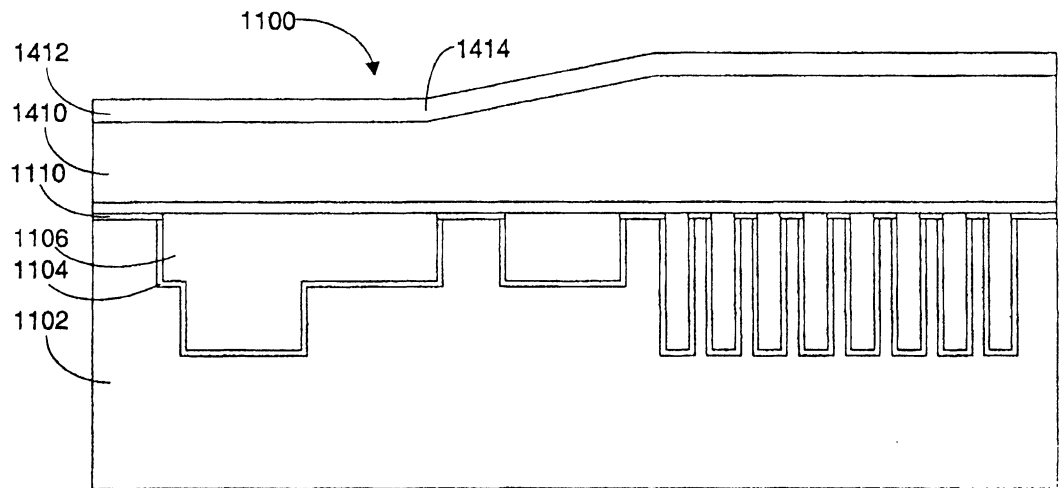


圖 14A

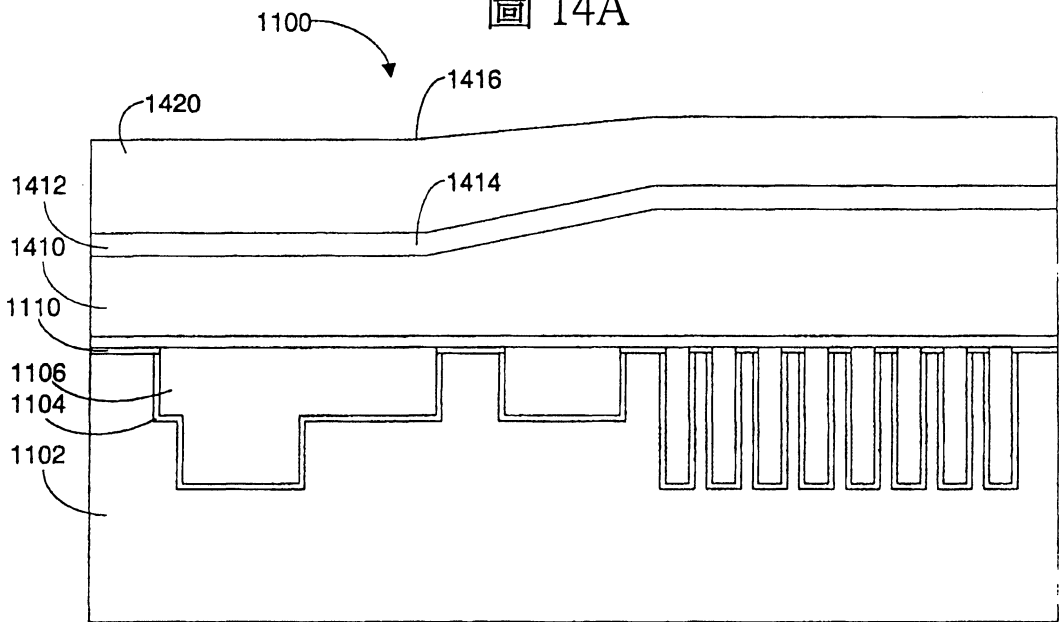


圖 14B

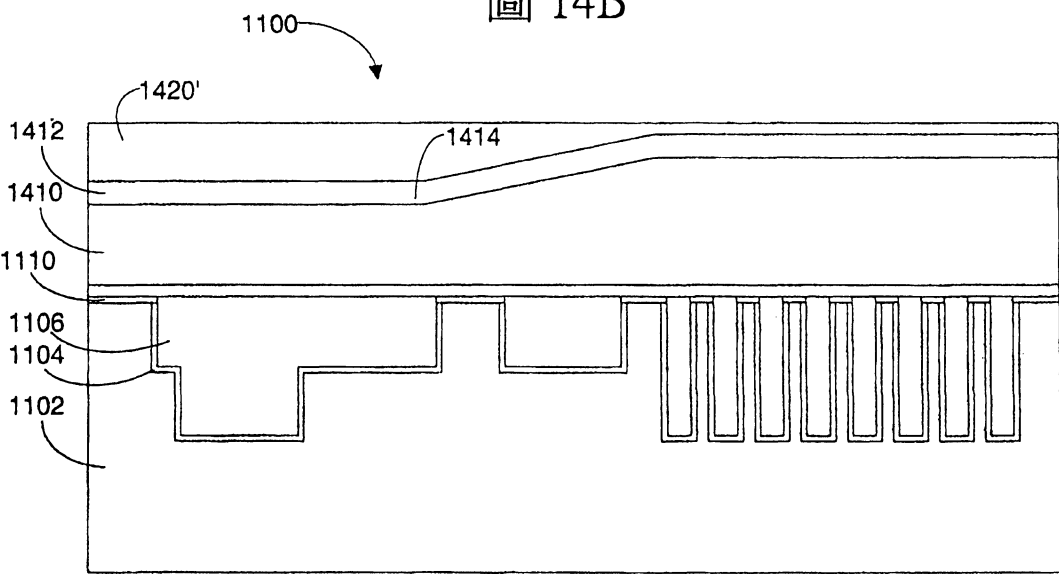


圖 14C

七、指定代表圖：

(一)本案指定代表圖為：第(10)圖。

(二)本代表圖之元件符號簡單說明：

1000：方法操作

1002、1004、1006、1008、1010、1012、1014：操作

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)