



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년02월11일
(11) 등록번호 10-0801352
(24) 등록일자 2008년01월29일

(51) Int. Cl.

G09G 3/20 (2006.01) G11C 19/00 (2006.01)

G09G 3/36 (2006.01) G09G 3/30 (2006.01)

(21) 출원번호 10-2006-0052552

(22) 출원일자 2006년06월12일

심사청구일자 2006년06월12일

(65) 공개번호 10-2007-0118426

(43) 공개일자 2007년12월17일

(56) 선행기술조사문헌

US2005264514A1

US2005156860A1

전체 청구항 수 : 총 8 항

심사관 : 박부식

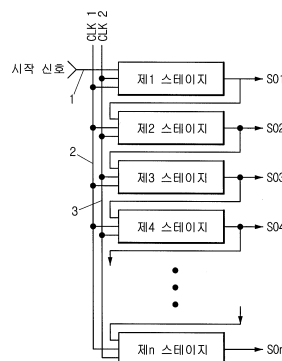
(54) 쉬프트 레지스터 및 이의 구동방법

(57) 요약

본 발명은 클럭 신호 및 트랜지스터의 수를 최소화하여 누설 전류를 억제하는 한편, 클럭 신호들 사이에 시간적 이격이 있도록 함으로써 게이트 신호간 오버랩 현상을 방지할 수 있는 쉬프트 레지스터 및 이의 구동방법에 관한 것으로서,

본 발명에 따른 쉬프트 레지스터는 제 1 및 제 2 클럭 신호를 이용하여 시작 신호를 위상 지연시켜 출력 신호로 출력하는 스테이지를 복수개 구비하는 쉬프트 레지스터에 있어서, 상기 각각의 스테이지는, 제 1, 제 2 및 제 3 트랜지스터를 구비하며, 상기 제 1 트랜지스터(T1)의 게이트 단자와 상기 제 2 트랜지스터(T2)의 게이트 단자는 도선을 매개로 서로 연결되고, 상기 제 1 및 제 2 트랜지스터의 게이트 단자는 상기 제 2 클럭 신호(CLK2)의 입력 라인과 공통으로 단락되고, 상기 제 1 트랜지스터(T1)의 제 1 단자는 상기 시작 신호의 입력 라인과 연결되며, 상기 제 2 트랜지스터(T2)의 제 1 단자는 제 2 공급 전압단(VDD_h)과 연결되고, 상기 제 2 트랜지스터(T2)의 제 2 단자는 제 3 트랜지스터(T3)의 제 1 단자와 연결되며, 상기 제 2 트랜지스터(T2)의 제 2 단자와 상기 제 3 트랜지스터(T3)의 제 1 단자는 출력 신호를 출력하는 출력 라인과 공통으로 단락되고, 상기 제 3 트랜지스터(T3)의 제 2 단자는 제 1 클럭 신호(CLK1)의 입력 라인과 연결되며, 상기 제 1 트랜지스터(T1)의 제 2 단자와 제 3 트랜지스터(T3)의 게이트 단자 사이에는 노드(N)가 구비되며, 상기 노드(N)는 제 1 공급 전압단(VSS)과 연결되고, 상기 노드(N)와 제 1 공급 전압단(VSS) 사이에는 캐패시터가 구비되는 것을 특징으로 한다.

대표도 - 도4



특허청구의 범위

청구항 1

제 1 및 제 2 클럭 신호를 이용하여 시작 신호를 위상 지연시켜 출력 신호로 출력하는 스테이지를 복수개 구비하는 쉬프트 레지스터에 있어서, 상기 각각의 스테이지는,

제 1, 제 2 및 제 3 트랜지스터를 구비하며,

상기 제 1 트랜지스터(T1)의 게이트 단자와 상기 제 2 트랜지스터(T2)의 게이트 단자는 도선을 매개로 서로 연결되고, 상기 제 1 및 제 2 트랜지스터의 게이트 단자는 상기 제 2 클럭 신호(CLK2)의 입력 라인과 공통으로 단락되고, 상기 제 1 트랜지스터(T1)의 제 1 단자는 상기 시작 신호의 입력 라인과 연결되며,

상기 제 2 트랜지스터(T2)의 제 1 단자는 제 2 공급 전압단(VDD_h)과 연결되고, 상기 제 2 트랜지스터(T2)의 제 2 단자는 제 3 트랜지스터(T3)의 제 1 단자와 연결되며,

상기 제 2 트랜지스터(T2)의 제 2 단자와 상기 제 3 트랜지스터(T3)의 제 1 단자는 출력 신호를 출력하는 출력 라인과 공통으로 단락되고, 상기 제 3 트랜지스터(T3)의 제 2 단자는 제 1 클럭 신호(CLK1)의 입력 라인과 연결되며,

상기 제 1 트랜지스터(T1)의 제 2 단자와 제 3 트랜지스터(T3)의 게이트 단자 사이에는 노드(N)가 구비되며, 상기 노드(N)는 제 1 공급 전압단(VSS)과 연결되고, 상기 노드(N)와 제 1 공급 전압단(VSS) 사이에는 캐패시터가 구비되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 2

제 1 항에 있어서, 제 4 트랜지스터(T4)가 더 구비되며,

상기 제 4 트랜지스터(T4)의 게이트 단자는 시작 신호의 입력 라인과 연결되고, 상기 제 4 트랜지스터(T4)의 제 1 단자는 상기 노드(N)와 연결되며 상기 제 4 트랜지스터(T4)의 제 2 단자는 제 1 공급 전압단(VSS)과 연결되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 3

제 1 항에 있어서, 제 4 트랜지스터(T4)가 더 구비되며,

상기 제 4 트랜지스터(T4)의 게이트 단자는 후단 스테이지의 출력 신호의 출력 라인과 연결되며,

상기 제 4 트랜지스터(T4)의 제 1 단자는 제 2 공급 전압단(VDD_h)과 연결되고, 상기 제 4 트랜지스터(T4)의 제 2 단자는 해당 스테이지의 출력 라인과 단락되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 4

제 1 항에 있어서, 상기 제 1 내지 제 3 트랜지스터는 n형 또는 p형 트랜지스터로 구성되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 5

제 2 항 또는 제 3 항에 있어서, 상기 제 4 트랜지스터는 n형 또는 p형 트랜지스터로 구성되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 6

제 1 항에 있어서, 상기 시작 신호는 스타트 펄스 또는 전단 스테이지의 출력 신호인 것을 특징으로 하는 쉬프트 레지스터.

청구항 7

제 1 항에 기재된 쉬프트 레지스터의 구동방법에 있어서,

시작 신호, 제 1 클럭 신호, 제 2 클럭 신호를 각각 로우, 하이, 로우 상태로 인가하여 제 1 및 제 2 트랜지스

터를 턴-온 시켜 상기 캐패시터(C)의 전압을 <제 1 공급 전압(VSS) + $V_{th,T1}$ >까지 떨어뜨리고 하이 상태의 출력 신호를 출력하는 제 1 단계와,

시작 신호와 제 1 및 제 2 클럭 신호를 모두 하이 상태로 인가하여 상기 캐패시터(C)의 전압을 <제 1 공급 전압(VSS) + $V_{th,T1}$ >로 유지시키고 하이 상태의 출력 신호를 출력하는 제 2 단계와,

시작 신호, 제 1 클럭 신호, 제 2 클럭 신호를 각각 하이, 로우, 하이 상태로 인가하여 상기 노드(N)가 부트스트래핑되어 상기 노드(N)의 전압을 제 1 공급 전압(VSS) 이하로 떨어뜨리고, 제 3 트랜지스터가 턴-온 되어 로우 상태의 출력 신호를 출력하는 제 3 단계를 포함하여 이루어지는 것을 특징으로 하는 쉬프트 레지스터의 구동 방법.

청구항 8

제 7 항에 있어서, 상기 제 1 클럭 신호와 제 2 클럭 신호는 서로 위상이 반전된 신호이며, 한 클럭 범위 이내에서 시간적 이격이 있는 것을 특징으로 하는 쉬프트 레지스터의 구동방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <9> 본 발명은 쉬프트 레지스터 및 이의 구동방법에 관한 것으로서, 보다 상세하게는 클럭 신호 및 트랜지스터의 수를 최소화하여 누설 전류를 억제하는 한편, 클럭 신호들 사이에 시간적 이격이 있도록 함으로써 게이트 신호간 오버랩 현상을 방지할 수 있는 쉬프트 레지스터 및 이의 구동방법에 관한 것이다.
- <10> 액정표시장치(LCD : Liquid Crystal Display)나 유기발광다이오드 표시장치(OLED : Organic Light Emitting Diode)는 액티브 매트릭스(Active Matrix) 또는 패시브 매트릭스(Passive Matrix)의 형태로 배열된 화소에 데이터 전압 또는 전류 신호를 기입하여 액정의 광투과율이나 유기발광다이오드의 발광하는 빛의 밝기를 조절하여 화상정보를 표시한다. 이를 위해 액정표시장치나 유기발광다이오드 표시장치에는 영상을 표시하는 화소, 상기 화소를 구동하기 위한 구동 회로를 구비한다.
- <11> 상기 구동 회로는 게이트 라인들을 구동하기 위한 게이트 드라이버와 데이터 라인들을 구동하기 위한 데이터 드라이버로 구성된다. 상기 게이트 드라이버는 게이트 신호를 상기 게이트 라인들에 순차적으로 공급하여 화소들을 구동시키는 역할을 하는데, 상기 게이트 신호는 정확히는 상기 게이트 드라이버 내에 구비되는 쉬프트 레지스터에 의해 발생된다.
- <12> 쉬프트 레지스터의 구성 및 동작에 대해 간략히 살펴보면 다음과 같다. 도 1은 종래 기술에 따른 쉬프트 레지스터의 구성도이고, 도 2는 도 1의 쉬프트 레지스터의 입출력 파형도를 나타낸 것이다.
- <13> 도 1에 도시한 바와 같이, 종래 기술에 따른 쉬프트 레지스터는 스타트 펄스(SP) 입력 라인에 종속적으로 4개의 클럭 신호(C1 내지 C4) 중 3개의 클럭 신호를 공급받는 n개의 스테이지들(ST1 내지 STn)을 구비한다. 상기 제 1 내지 제 4 클럭 신호(C1 내지 C4)는 도 2에 도시한 바와 같이 각각의 공급 라인을 통해 C4, C1, C2, C3의 순서로 한 클럭씩 위상 지연된 형태로 공급된다. 그리고, 한 프레임 또는 한 수평주기 단위로 공급되는 스타트 펄스(SP)는 제 4 클럭 신호(C4)와 동기하도록 공급된다.
- <14> 제 1 스테이지(ST1)는 스타트 펄스(SP)와 4개의 클럭 신호 중 3개의 클럭 신호를 이용하여 제 1 출력 신호(S01)를 출력한다. 제 2 내지 제 n 스테이지들(ST2 내지 STn)은 전단의 출력 신호(S01, . . . , S0n-1)와 4개의 클럭 신호 중 3개의 클럭 신호를 이용하여 각각 제 2, . . . , 제 n 출력 신호(S02, . . . , S0n)를 출력한다. 즉, 쉬프트 레지스터를 구성하는 제 1 내지 제 n 스테이지(ST1 내지 STn)는 위상이 지연된 제 1 내지 제 n 출력 신호(S01 내지 S0n)를 출력한다. 이러한 제 1 내지 제 n 출력 신호는 게이트 라인들을 순차적으로 구동하기 위한 게이트 신호로 공급된다.
- <15> 한편, 도 2와 같은 입출력 파형을 나타내는 쉬프트 레지스터의 각 스테이지는 도 3과 같은 구성으로 이루어질 수 있다. 도 3은 도 1의 쉬프트 레지스터 중 제 1 스테이지의 상세 회로 구성을 나타낸 것으로서, 세부적으로

스타트 펄스(SP)와 제 4 클럭 신호(C4)에 따라 Q노드를 제어하는 제 1 제어부(32)와, 제 3 클럭 신호(C3) 및 스타트 펄스(SP)에 따라 QB노드를 제어하는 제 2 제어부(34)와, Q노드 및 QB노드의 전압에 따라 제 1 클럭 신호(C1) 및 제 1 공급 전압(VSS) 중 어느 하나를 선택하여 출력하기 위한 출력 버퍼부(36)로 구성된다.

발명이 이루고자 하는 기술적 과제

- <16> 쉬프트 레지스터는 전술한 바와 같이 각각의 게이트 라인에 일정 시간 간격을 두고 게이트 신호를 인가하는 역할을 수행한다. 이 때, 각각의 게이트 신호는 액정표시장치 또는 유기발광다이오드 표시장치의 오동작을 방지하기 위해 서로 오버랩(overlap)되면 안된다. 그러나, 종래의 쉬프트 레지스터의 경우 도 2의 타이밍도에 도시된 바와 같이 각각의 스테이지의 출력 신호 즉, 게이트 신호가 서로 근접하여 오버랩되는 위험이 상존한다.
- <17> 또한, 도 1 내지 도 3의 쉬프트 레지스터를 포함한 종래의 쉬프트 레지스터는 많은 수의 트랜지스터와 다수의 클럭 신호를 사용함에 따라 누설 전류가 필연적으로 발생하는 문제점이 있다.
- <18> 본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로서, 클럭 신호 및 트랜지스터의 수를 최소화하여 누설 전류를 억제하는 한편, 클럭 신호들 사이에 시간적 이격이 있도록 함으로써 게이트 신호간 오버랩 현상을 방지할 수 있는 쉬프트 레지스터 및 이의 구동방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

- <19> 상기의 목적을 달성하기 위한 본 발명에 따른 쉬프트 레지스터는 제 1 및 제 2 클럭 신호를 이용하여 시작 신호를 위상 지연시켜 출력 신호로 출력하는 스테이지를 복수개 구비하는 쉬프트 레지스터에 있어서, 상기 각각의 스테이지는, 제 1, 제 2 및 제 3 트랜지스터를 구비하며, 상기 제 1 트랜지스터(T1)의 게이트 단자와 상기 제 2 트랜지스터(T2)의 게이트 단자는 도선을 매개로 서로 연결되고, 상기 제 1 및 제 2 트랜지스터의 게이트 단자는 상기 제 2 클럭 신호(CLK2)의 입력 라인과 공통으로 단락되고, 상기 제 1 트랜지스터(T1)의 제 1 단자는 상기 시작 신호의 입력 라인과 연결되며, 상기 제 2 트랜지스터(T2)의 제 1 단자는 제 2 공급 전압단(VDD_h)과 연결되고, 상기 제 2 트랜지스터(T2)의 제 2 단자는 제 3 트랜지스터(T3)의 제 1 단자와 연결되며, 상기 제 2 트랜지스터(T2)의 제 2 단자와 상기 제 3 트랜지스터(T3)의 제 1 단자는 출력 신호를 출력하는 출력 라인과 공통으로 단락되고, 상기 제 3 트랜지스터(T3)의 제 2 단자는 제 1 클럭 신호(CLK1)의 입력 라인과 연결되며, 상기 제 1 트랜지스터(T1)의 제 2 단자와 제 3 트랜지스터(T3)의 게이트 단자 사이에는 노드(N)가 구비되며, 상기 노드(N)는 제 1 공급 전압단(VSS)과 연결되고, 상기 노드(N)와 제 1 공급 전압단(VSS) 사이에는 캐패시터가 구비되는 것을 특징으로 한다.
- <20> 바람직하게는, 제 4 트랜지스터(T4)가 더 구비되며, 상기 제 4 트랜지스터(T4)의 게이트 단자는 시작 신호의 입력 라인과 연결되고, 상기 제 4 트랜지스터(T4)의 제 1 단자는 상기 노드(N)와 연결되며 상기 제 4 트랜지스터(T4)의 제 2 단자는 제 1 공급 전압단(VSS)과 연결된다.
- <21> 바람직하게는, 제 4 트랜지스터(T4)가 더 구비되며, 상기 제 4 트랜지스터(T4)의 게이트 단자는 후단 스테이지의 출력 신호의 출력 라인과 연결되며, 상기 제 4 트랜지스터(T4)의 제 1 단자는 제 2 공급 전압단(VDD_h)과 연결되고, 상기 제 4 트랜지스터(T4)의 제 2 단자는 해당 스테이지의 출력 라인과 단락된다.
- <22> 바람직하게는, 상기 제 1 내지 제 3 트랜지스터는 n형 또는 p형 트랜지스터로 구성된다.
- <23> 바람직하게는, 상기 제 4 트랜지스터는 n형 또는 p형 트랜지스터로 구성된다.
- <24> 바람직하게는, 상기 시작 신호는 스타트 펄스 또는 전단 스테이지의 출력 신호이다.
- <25> 본 발명에 따른 쉬프트 레지스터의 구동방법은 시작 신호, 제 1 클럭 신호, 제 2 클럭 신호를 각각 로우, 하이, 로우 상태로 인가하여 제 1 및 제 2 트랜지스터를 턴-온 시켜 상기 캐패시터(C)의 전압을 <제 1 공급 전압(VSS) + $V_{th,T1}$ >까지 떨어뜨리고 하이 상태의 출력 신호를 출력하는 제 1 단계와, 시작 신호와 제 1 및 제 2 클럭 신호를 모두 하이 상태로 인가하여 상기 캐패시터(C)의 전압을 <제 1 공급 전압(VSS) + $V_{th,T1}$ >로 유지시키고 하이 상태의 출력 신호를 출력하는 제 2 단계와, 시작 신호, 제 1 클럭 신호, 제 2 클럭 신호를 각각 하이, 로우, 하이 상태로 인가하여 상기 노드(N)가 부트스트래핑되어 상기 노드(N)의 전압을 제 1 공급 전압(VSS) 이하로 떨어뜨리고, 제 3 트랜지스터가 턴-온 되어 로우 상태의 출력 신호를 출력하는 제 3 단계를 포함하여 이루어지는 것을 특징으로 한다.
- <26> 바람직하게는, 상기 제 1 클럭 신호와 제 2 클럭 신호는 서로 위상이 반전된 신호이며, 한 클럭 범위 이내에서

시간적 이격이 있다.

- <27> 본 발명의 특징에 따르면, 쉬프트 레지스터의 각 스테이지에 구비되는 트랜지스터 및 클럭 신호를 최소화함으로써 누설 전류의 발생을 억제하고, 위상 반전된 제 1 클럭 신호와 제 2 클럭 신호 사이에 시간적 이격을 줌으로써 각각의 스테이지로부터 출력되는 출력 신호들이 오버랩되지 않게 된다.
- <28> 이하, 도면을 참조하여 본 발명에 따른 쉬프트 레지스터 및 이의 구동방법을 상세히 설명하기로 한다. 도 4는 본 발명에 따른 쉬프트 레지스터의 구성도이다.
- <29> 먼저, 도 4에 도시한 바와 같이 본 발명에 따른 쉬프트 레지스터는 복수개의 스테이지를 구비한다. 상기 스테이지의 수는 게이트 라인의 수에 상응하며 각각의 스테이지의 일측에는 입력단과 출력단이 구비된다.
- <30> 상기 각각의 스테이지의 출력단을 통해 각 스테이지의 출력 신호 즉, 게이트 신호가 출력되며, 상기 각각의 스테이지의 입력단을 통해 전단 스테이지의 출력 신호와 제 1 및 제 2 클럭 신호(CLK1, CLK2)가 입력된다. 여기서, 제 1 스테이지의 경우, 전단 스테이지의 출력 신호 대신 스타트 펄스(SP)가 입력된다.
- <31> 한편, 상기 각각의 스테이지는 회로는 본 발명의 실시예에 따라 다양하게 구성될 수 있는데 먼저 본 발명의 제 1 실시예에 따른 회로를 살펴보면 다음과 같다. 도 5는 본 발명의 제 1 실시예에 따른 쉬프트 레지스터의 각 스테이지의 회로도이다.
- <32> 도 5에 도시한 바와 같이, 본 발명의 제 1 실시예에 따른 쉬프트 레지스터의 스테이지의 회로는 제 1, 제 2 및 제 3 트랜지스터 등의 3개의 트랜지스터를 구비한다. 상기 3개의 트랜지스터는 n형 트랜지스터 또는 p형 트랜지스터로 구성될 수 있는데, 이하의 설명에서는 p형 트랜지스터로 구성되는 것을 중심으로 기술하기로 한다. 또한, 각각의 트랜지스터는 소스 단자 및 드레인 단자를 구비하는데 이를 제 1 단자, 제 2 단자로 명명하고, 제 1 단자가 소스 단자 또는 드레인 단자 중 어느 하나일 경우 제 2 단자는 나머지 단자를 의미하는 것으로 정의하기로 한다.
- <33> 상기 제 1 트랜지스터(T1)의 게이트 단자와 제 2 트랜지스터(T2)의 게이트 단자는 도선을 매개로 서로 연결되어 있으며, 상기 제 1 및 제 2 트랜지스터의 게이트 단자는 제 2 클럭 신호(CLK2)의 입력 라인과 공통으로 단락(short)되어 있다.
- <34> 상기 제 2 트랜지스터(T2)의 제 1 단자는 제 2 공급 전압단(VDD_h)과 연결되며, 상기 제 2 트랜지스터(T2)의 제 2 단자는 도선을 매개로 제 3 트랜지스터(T3)의 제 1 단자와 연결된다. 상기 제 2 트랜지스터(T2)의 제 2 단자와 상기 제 3 트랜지스터(T3)의 제 1 단자는 출력 신호를 출력하는 출력 라인과 공통으로 단락(short)되어 있다. 그리고, 상기 제 3 트랜지스터(T3)의 제 2 단자는 제 1 클럭 신호(CLK1)의 입력 라인과 연결된다.
- <35> 한편, 상기 제 1 트랜지스터(T1)의 제 1 단자는 스타트 펄스(SP) 또는 전단 스테이지의 출력 신호의 입력 라인과 연결된다. 여기서, 도 5의 회로가 제 1 스테이지인 경우에는 스타트 펄스(SP)가 인가되며 그 이외의 스테이지인 경우에는 전단 스테이지의 출력 신호가 인가된다. 상기 제 1 트랜지스터(T1)의 제 2 단자와 상기 제 3 트랜지스터(T3)의 게이트 단자 사이에는 노드(N)가 구비된다. 상기 노드(N)는 제 1 공급 전압단(VSS)과 연결되며, 상기 노드(N)와 제 1 공급 전압단(VSS) 사이에는 캐패시터(C)가 구비된다.
- <36> 이상과 같은 구성을 갖는 쉬프트 레지스터 회로의 동작을 도 6을 참조하여 설명하면 다음과 같다. 도 6은 도 5의 회로 동작을 설명하기 위한 타이밍도이며, 도 6의 타이밍도는 시계열적으로 t1, t2, t3, t4의 구간으로 나누어 설명하기로 한다. 참고로, 본 발명의 쉬프트 레지스터의 각 스테이지가 인가되는 제 1 클럭 신호(CLK1) 및 제 2 클럭 신호(CLK2)는 서로 위상이 반전된 신호이며 한 클럭 범위 이내에서 시간적 이격이 있는 형태를 갖는다. 제 1 클럭 신호와 제 2 클럭 신호를 시간적으로 이격시키는 이유는 각 스테이지로부터 출력되는 출력 신호가 서로 오버랩되는 것을 방지하기 위함인데 이에 대한 기술적 근거는 각 구간의 동작 설명을 통해 밝혀질 것이다.
- <37> 먼저, <t1> 구간을 살펴보면 제 1 및 제 2 클럭 신호(CLK1, CLK2) 그리고 스타트 펄스(SP) 또는 전단 스테이지의 출력 신호(이하, 시작 신호(INPUT)라 함)가 모두 하이(high) 상태로 인가된다. 제 2 클럭 신호(CLK2)가 하이 상태임에 따라 제 1 및 제 2 트랜지스터(T1, T2)는 모두 턴-오프(turn off)된다. 이에 따라, 상기 노드(N)는 하이 전압 상태를 유지하며, 상기 노드(N)가 하이 상태임에 따라 상기 제 3 트랜지스터는 턴-오프 상태를 유지하게 된다. 상기 제 2 및 제 3 트랜지스터(T2, T3)가 모두 턴-오프됨으로 인해 출력 신호(OUTPUT)는 하이 상태가 된다.
- <38> 다음으로, <t2> 구간을 살펴보면 제 1 클럭 신호(CLK1)는 하이, 제 2 클럭 신호(CLK2) 및 시작 신호는 로우

(low) 상태로 인가된다. 제 2 클럭 신호(CLK2)가 로우 상태로 인가됨에 따라 제 1 및 제 2 트랜지스터(T1, T2)는 턴-온(turn on)된다. 이와 같은 상태에서, 노드(N)의 전압 상태가 하이 상태임에 반해 상기 제 1 트랜지스터(T1)의 제 1 단자를 통해 입력되는 시작 신호가 로우 상태임에 따라 노드(N)에 연결된 캐패시터(C)의 전압이 방전되어 떨어지게 된다. 이 때, 캐패시터(C)의 전압은 <제 1 공급 전압(VSS) + $V_{th,T1}$ >까지 떨어진다. 여기서, $V_{th,T1}$ 은 제 1 트랜지스터의 문턱 전압(threshold voltage)을 의미한다. 그리고, 상기 제 2 트랜지스터(T2)가 턴-온 됨에 따라 제 2 공급 전압단(VDD_h)을 통해 하이 상태의 전압이 출력되어 출력 신호는 하이 상태가 된다.

<39> 다음으로, <t3> 구간을 살펴보면 시작 신호와 제 1 및 제 2 클럭 신호가 모두 하이 상태로 인가된다. 제 2 클럭 신호(CLK2)가 하이 상태임에 따라 제 1 및 제 2 트랜지스터(T1, T2)는 모두 턴-오프된다. 제 1 트랜지스터(T1)가 턴-오프 됨에 따라 상기 <t2> 구간에서 진행된 캐패시터(C)의 방전은 중단되고 노드(N)의 전압은 <제 1 공급 전압(VSS) + $V_{th,T1}$ >을 유지하게 된다. 상기 노드(N)의 전압이 <제 1 공급 전압(VSS) + $V_{th,T1}$ >로 떨어진 상태임에 따라 제 3 트랜지스터에 채널(channel)이 형성되기 시작한다. 한편, 제 2 공급 전압단(VDD_h)을 통해 하이 상태의 전압이 출력되어 출력 신호는 하이 상태가 된다.

<40> 다음으로, <t4> 구간을 살펴보면 제 1 클럭 신호(CLK1)는 로우, 제 2 클럭 신호(CLK2) 및 시작 신호는 하이 상태로 인가된다. 한편, 전술한 바와 같이 <t3> 구간을 통해 제 3 트랜지스터가 부분적으로 턴-온 됨으로 인해, 제 3 트랜지스터의 게이트 단자와 제 2 단자(소스 단자 또는 드레인 단자) 사이에는 내부 캐패시터(Cgs)가 형성되고 노드(N)는 플로팅(floating) 상태를 이루게 되는데, 플로팅(floating) 상태의 노드(N)가 상기 내부 캐패시터(Cgs) 및 상기 캐패시터(C)의 영향으로 인해 부트스트래핑(bootstrapping)되어 상기 노드(N)의 전압이 제 1 공급 전압(VSS) 이하로 떨어지게 된다. 상기 노드(N)의 전압이 제 1 공급 전압 이하로 떨어짐에 따라 상기 제 3 트랜지스터는 완전히 턴-온 된다. 상기 제 3 트랜지스터가 턴-온 됨에 따라 로우 상태의 제 1 클럭 신호가 제 3 트랜지스터의 제 1 및 제 2 단자를 통과하게 되어 최종적으로, 출력 신호가 로우 상태가 된다.

<41> 이상과 같은 <t1> 내지 <t4> 과정을 통해 시작 신호 즉, 스타트 펄스(SP) 또는 전단 스테이지의 출력 신호가 쉬프트(shift)되어 출력 신호로 출력됨을 알 수 있다. 즉, <t2> 구간의 시작 신호 파형이 <t4> 구간의 출력 신호 파형으로 출력되며 시작 신호와 출력 신호 사이에는 <t3> 구간만큼의 시간적 이격이 존재한다. 이에 따라, 전단 스테이지의 출력 신호와 해당 스테이지의 출력 신호가 오버랩되지 않게 된다.

<42> 이하에서는, 본 발명의 다른 실시예 즉, 제 2 실시예 및 제 3 실시예를 설명하기로 한다. 도 7은 본 발명의 제 2 실시예에 따른 쉬프트 레지스터의 각 스테이지의 회로도이고, 도 8은 본 발명의 제 3 실시예에 따른 쉬프트 레지스터의 각 스테이지의 회로도이다.

<43> 먼저, 본 발명의 제 2 실시예에 따른 쉬프트 레지스터의 회로를 살펴보면 다음과 같다. 도 7에 도시한 바와 같이 본 발명의 제 2 실시예에 따른 회로는 제 1 실시예의 회로에 대비하여 제 4 트랜지스터(T4)가 더 구비되는 것을 특징으로 한다. 구체적으로, 제 4 트랜지스터(T4)의 게이트 단자는 시작 신호(스타트 펄스 또는 전단 스테이지의 출력 신호)의 입력 라인과 연결되고, 제 4 트랜지스터의 제 1 단자는 노드(N)와 연결되며 제 2 단자는 제 1 공급 전압단과 연결되는 구조를 갖는다. 이와 같은 제 2 실시예에 있어서, 상기 제 1 내지 제 4 트랜지스터는 n형 또는 p형 트랜지스터로 구성될 수 있다.

<44> 제 1 실시예의 회로 구조에 상기 제 4 트랜지스터가 추가된 제 2 실시예의 회로는 회로 동작 측면에서 볼 때, 캐패시터(C)의 방전이 효과적으로 진행됨을 특징으로 한다.

<45> 구체적으로 살펴보면 다음과 같다. 도 6의 타이밍도를 참조하여 보면, <t2> 을 통해 노드(N)의 전압이 <제 1 공급 전압(VSS) + $V_{th,T1}$ >로 떨어짐을 알 수 있는데, 본 발명의 제 2 실시예는 제 4 트랜지스터를 추가하여 상기 <t2> 구간시 전압 강하를 더욱 강화하는 것을 특징으로 한다.

<46> 세부적으로, <t2> 구간의 경우, 제 1 클럭 신호(CLK1)는 하이, 제 2 클럭 신호(CLK2) 및 시작 신호는 로우(low) 상태로 인가되는데, 제 2 클럭 신호(CLK2)가 로우 상태로 인가됨에 따라 제 1, 제 2 및 제 4 트랜지스터(T1, T2, T4)가 턴-온 된다. 이와 같은 상태에서, 노드(N)의 전압 상태가 하이 상태임에 반해 상기 제 1 트랜지스터(T1)의 제 1 단자를 통해 입력되는 시작 신호가 로우 상태임에 따라 노드(N)에 연결된 캐패시터(C)의 전압이 방전되어 떨어지게 된다. 이 때, 제 4 트랜지스터(T4) 역시 턴-온 상태임에 따라 제 4 트랜지스터의 제 1 및 제 2 단자를 통해서도 전압이 방전하게 된다. 이와 같이 <t2> 구간의 전압 강하를 안정적으로 진행함에 따라 이후의 부트스트래핑(bootstrapping) 효과를 배가할 수 있게 된다.

<47> 다음으로, 본 발명의 제 3 실시예를 설명하면 다음과 같다.

- <48> 제 3 실시예를 설명하기에 앞서, 제 3 실시예의 기술적 배경을 먼저 설명하기로 한다. 전술한 바와 같이, 쉬프트 레지스터는 복수개의 스테이지로 구성되고 각각의 스테이지는 전단 스테이지의 출력 신호를 시작 신호로 이용한다. 그런데, n 번째 스테이지의 경우 n+2 번째 스테이지가 동작하는 구간에서 스테이지의 출력이 흔들리는 경향이 있다. 이에 따라, n+2 번째 스테이지가 구동되는 구간에 n 번째 스테이지의 출력을 안정시킬 필요가 있다. 본 발명의 제 3 실시예는 이와 같은 출력 신호의 흔들리는 문제점을 해결하기 위한 것으로서, 각 스테이지의 출력 신호의 파형을 안정화함을 목적으로 한다.
- <49> 도 8에 도시한 바와 같이 본 발명의 제 3 실시예에 따른 회로는 제 1 실시예의 회로에 대비하여 제 4 트랜지스터(T4)가 더 구비되는 것을 특징으로 한다. 구체적으로, 제 4 트랜지스터(T4)의 제 1 단자는 제 2 공급 전압단(VDD_h)과 연결되고 제 2 단자는 출력 라인과 단락되어 있다. 또한, 제 4 트랜지스터(T4)의 게이트 단자는 후단 스테이지의 출력 신호 라인과 연결되는 구조를 갖는다. 여기서, 상기 제 4 트랜지스터(T4)의 게이트 단자와 연결되는 후단 스테이지의 출력 신호 라인에 있어서, 상기 후단 스테이지는 해당 스테이지 즉, 도 8의 스테이지 이후의 스테이지 중 어느 하나일 수 있다. 바람직하게는, 해당 스테이지가 n 번째 스테이지인 경우, 상기 후단 스테이지는 n+2 번째 스테이지이다. 이와 같은 제 3 실시예에 있어서, 상기 제 1 내지 제 4 트랜지스터는 n형 또는 p형 트랜지스터로 구성될 수 있다.
- <50> 한편, 본 발명의 제 3 실시예는 제 1 및 제 2 실시예와는 달리 시작 신호, 제 1 및 제 2 클럭 신호 이외에 후단 스테이지의 출력 신호를 더 인가받는 구조이다.
- <51> 도 8의 회로 구조를 살펴보면, 제 4 트랜지스터(p형 트랜지스터로 구성되는 경우)는 로우 신호가 인가될 때만 동작하도록 되어 있으며, 로우 신호 인가시 제 2 공급 전압단을 통해 출력 라인에 하이 신호가 출력된다. 한편, 제 1 내지 제 n 스테이지를 통해 출력되는 출력 신호는 동일한 파형이나 일정 간격 위상이 지연된 파형임에 따라 각각의 스테이지의 출력 신호는 일치되지 않는다. 따라서, 제 1 클럭 신호가 로우 상태이고 제 3 트랜지스터가 턴-온 되는 경우 출력 라인을 통해 로우 신호가 출력 신호로 출력되는데, 이 때 상기 후단 스테이지의 출력 신호 라인을 통해 입력되는 신호는 상기 출력 라인을 통해 출력되는 출력 신호와 일치하지 않음에 따라 로우 상태일 수 없다. 즉, 도 8의 회로는 출력 라인을 통해 로우 신호가 출력되는 경우에는 영향을 끼치지 않고 하이 신호가 출력되는 경우에만 하이 신호를 선택적으로 강화하는 역할을 한다.

발명의 효과

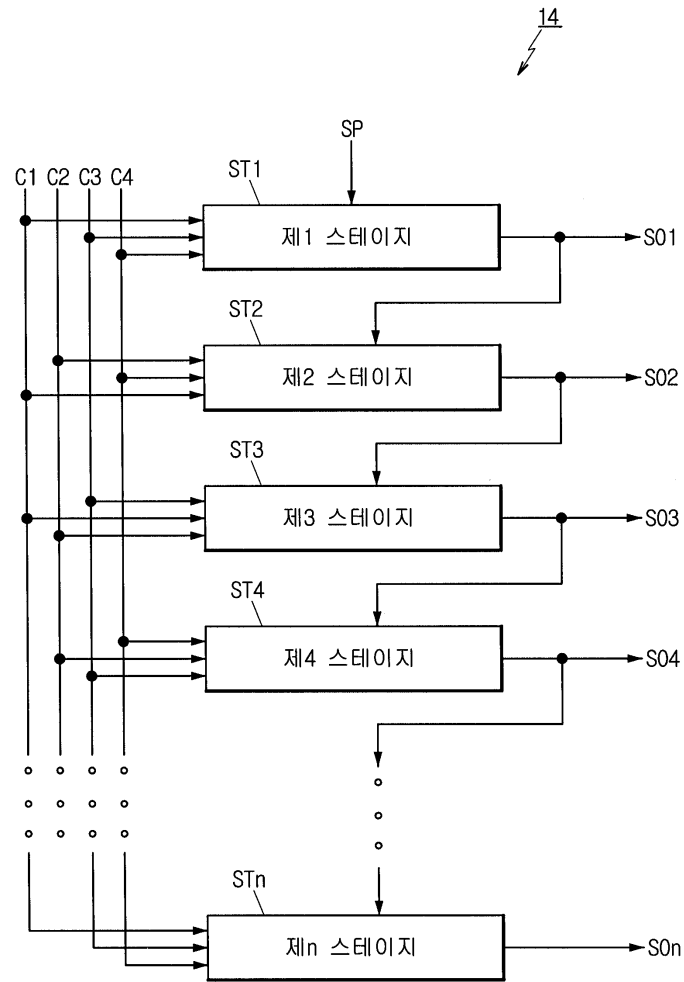
- <52> 본 발명에 따른 쉬프트 레지스터 및 이의 구동방법은 다음과 같은 효과가 있다.
- <53> 쉬프트 레지스터의 각 스테이지에 구비되는 트랜지스터 및 클럭 신호를 최소화함으로써 누설 전류의 발생을 억제하고, 위상 반전된 제 1 클럭 신호와 제 2 클럭 신호 사이에 시간적 이격을 줌으로써 각각의 스테이지로부터 출력되는 출력 신호들이 오버랩되지 않게 된다. 또한, 트랜지스터 및 클럭 신호를 최소화함에 따라 제조 단가를 절감할 수 있게 된다.

도면의 간단한 설명

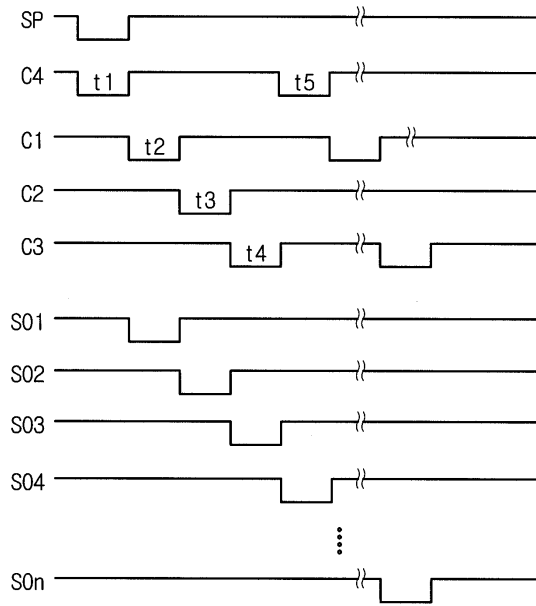
- <1> 도 1은 종래 기술에 따른 쉬프트 레지스터의 구성도.
- <2> 도 2는 도 1의 쉬프트 레지스터의 입출력 파형도를 나타낸 도면.
- <3> 도 3은 도 1의 쉬프트 레지스터의 스테이지의 회로도.
- <4> 도 4는 본 발명에 따른 쉬프트 레지스터의 구성도.
- <5> 도 5는 본 발명의 제 1 실시예에 따른 쉬프트 레지스터의 각 스테이지의 회로도.
- <6> 도 6은 도 5의 회로 동작을 설명하기 위한 타이밍도.
- <7> 도 7은 본 발명의 제 2 실시예에 따른 쉬프트 레지스터의 각 스테이지의 회로도.
- <8> 도 8은 본 발명의 제 3 실시예에 따른 쉬프트 레지스터의 각 스테이지의 회로도.

도면

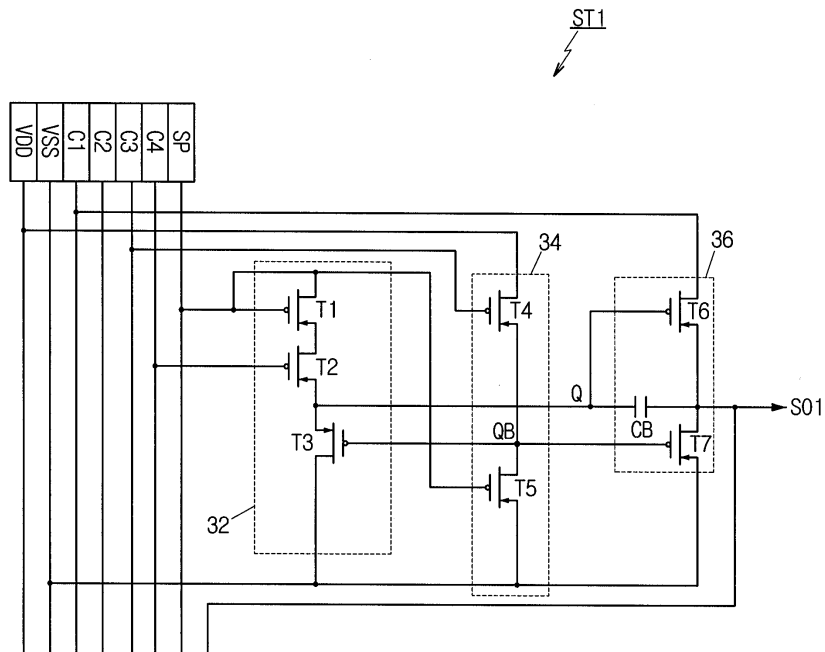
도면1



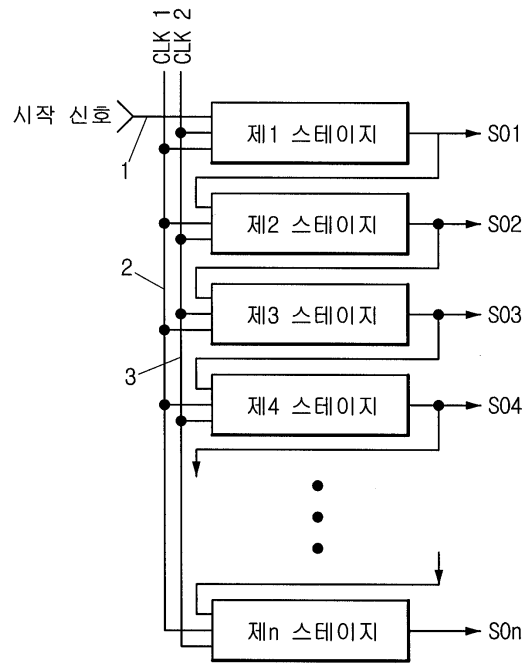
도면2



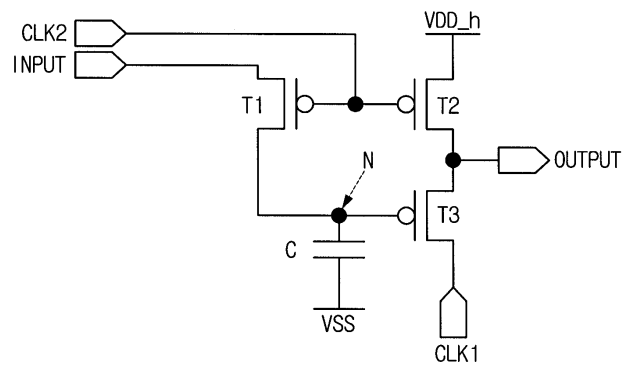
도면3



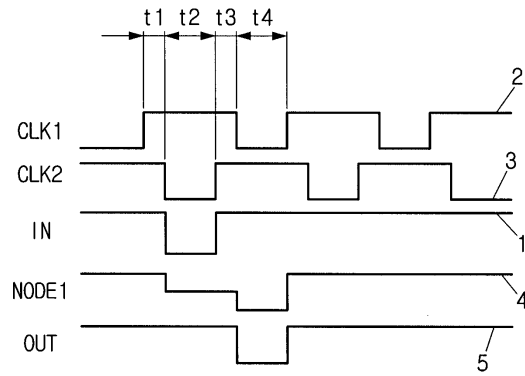
도면4



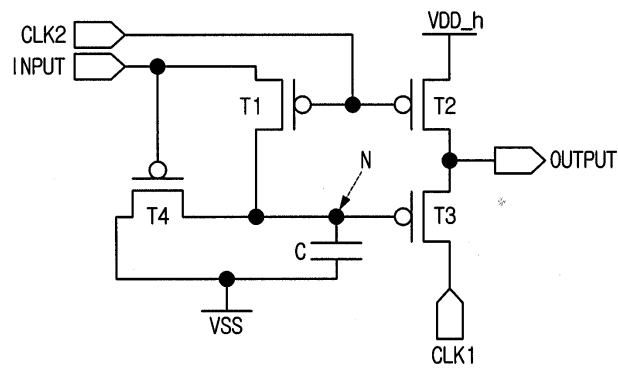
도면5



도면6



도면7



도면8

