

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-18743
(P2005-18743A)

(43) 公開日 平成17年1月20日(2005.1.20)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G06F 3/153	G06F 3/153 333A	5B014
G06F 3/00	G06F 3/00 A	5B069
G06F 13/12	G06F 13/12 350	5C082
G09G 5/00	G09G 5/00 555D	

審査請求 未請求 請求項の数 18 O L 外国語出願 (全 65 頁)

(21) 出願番号	特願2004-130804 (P2004-130804)	(71) 出願人	502359574 ジェネシス・マイクロチップ・インコーポレーテッド GENESIS MICROCHIP, INC. アメリカ合衆国 95002 カリフォルニア、アルビソ、ゴールド・ストリート 2150 2150 Gold Street, Alviso, CA 95002 U. S. A
(22) 出願日	平成16年4月27日 (2004. 4. 27)	(74) 代理人	110000028 特許業務法人明成国際特許事務所
(31) 優先権主張番号	60/467804		
(32) 優先日	平成15年5月1日 (2003. 5. 1)		
(33) 優先権主張国	米国 (US)		
(31) 優先権主張番号	60/474084		
(32) 優先日	平成15年5月28日 (2003. 5. 28)		
(33) 優先権主張国	米国 (US)		
(31) 優先権主張番号	60/474085		
(32) 優先日	平成15年5月28日 (2003. 5. 28)		
(33) 優先権主張国	米国 (US)		
(31) 優先権主張番号	60/504060		
(32) 優先日	平成15年9月18日 (2003. 9. 18)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 リンク・キャラクタ・クロックと無関係のピクセルデータを提供するよう構成されたビデオ・インターフェース

(57) 【要約】

【課題】

【解決手段】 マルチメディア・ソース・デバイスとマルチメディア・シンク・デバイスとを結合するよう構成されたパケットベース・ディスプレイ・インターフェースが開示される。このパケットベース・ディスプレイ・インターフェースは、前記ソース・デバイスに結合され、固有なビデオデータ・レートに従ってソース・パケットデータ・ストリームを受信するよう構成されたトランスミッタ部と、前記シンク・デバイスに結合されたレシーバ部と、前記トランスミッタ部と前記レシーバ部とを結合し、前記ビデオデータを、複数のメイン・リンク・キャラクタの形態で、前記固有なストリーム・レートと無関係のリンク・キャラクタ・クロック・レートで転送するよう構成されたリンク部と、を備える。

【選択図】 図1

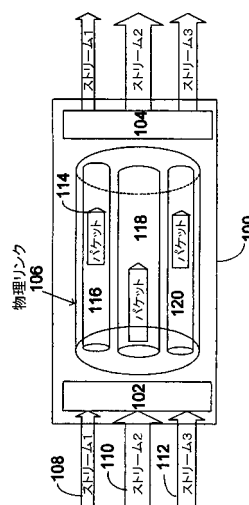


Fig. 1

【特許請求の範囲】**【請求項 1】**

マルチメディア・ソース・デバイスとマルチメディア・シンク・デバイスとを結合するよう構成されたパケットベース・ディスプレイ・インターフェースであって、

前記ソース・デバイスに結合され、固有なビデオデータ・レートに従ってソース・ビデオデータ・ストリームを受信するよう構成されたトランスミッタ部と、

前記シンク・デバイスに結合されたレシーバ部と、

前記トランスミッタ部と前記レシーバ部とを結合し、前記ビデオデータを、複数のメイン・リンク・キャラクタの形態で、前記固有なストリーム・レートと無関係のリンク・キャラクタ・クロック・レートで転送するよう構成されたリンク部であって、ビデオデータと前記リンク・キャラクタ・クロックは、互いに非同期であるように構成されるリンク部と、を備えるパケットベース・ディスプレイ・インターフェース。

10

【請求項 2】

請求項 1 に記載のパケットベース・ディスプレイ・インターフェースであって、

マルチメディア・データ・パケット・ストリームは、調整可能なデータストリーム・リンク・レートであって、前記固有なストリーム・レートと無関係なデータストリーム・リンク・レートを、それぞれ関連づけられて有する複数のマルチメディア・データ・パケット・ストリームのうちの 1 つである、パケットベース・ディスプレイ・インターフェース。

【請求項 3】

20

請求項 1 に記載のディスプレイ・インターフェースであって、

前記リンク部は、さらに、

前記トランスミッタ部から前記レシーバ部へ前記マルチメディア・データ・パケットを運ぶよう構成された単方向メインリンクと、

前記トランスミッタ部と前記レシーバ部との間で情報を転送するよう構成された双方向補助チャンネルと、を備える、ディスプレイ・インターフェース。

【請求項 4】

請求項 3 に記載のディスプレイ・インターフェースであって、

前記双方向補助チャンネルは、

前記シンク・デバイスから前記ソース・デバイスへ情報を運ぶよう構成された単方向の上りチャンネルと、

30

メインチャンネルの一部として含まれ、前記上りチャンネルと協調して、前記ソース・デバイスから前記シンク・デバイスへ情報を運ぶための単方向の下りチャンネルと、から形成されている、ディスプレイ・インターフェース。

【請求項 5】

請求項 2 に記載のディスプレイ・インターフェースであって、

前記メインリンク部は、さらに、

前記マルチメディア・データ・パケット・ストリームの内の特定の 1 つとそれぞれ関連づけられた複数の仮想リンクを備え、

前記仮想リンクの各々は、

40

関連の仮想リンク帯域幅と仮想リンクレートとを有する、ディスプレイ・インターフェース。

【請求項 6】

請求項 5 に記載のディスプレイ・インターフェースであって、

メインリンク帯域幅は、少なくとも、前記仮想リンク帯域幅の総計に等しい、ディスプレイ・インターフェース。

【請求項 7】

請求項 1 に記載のディスプレイ・インターフェースであって、

前記ソース・データ・ストリームは、マッピング定義に基づいて、前記それぞれの仮想リンク用にパケット化される、ディスプレイ・インターフェース。

50

【請求項 8】

マルチメディア・ソース・デバイスとマルチメディア・シンク・デバイスとを結合する方法であって、

固有なビデオデータ・レートに従って、ソース・ビデオデータを受信する工程と、前記ビデオデータを、複数のメイン・リンク・キャラクタの形態で、前記固有なストリーム・レートと無関係のリンク・キャラクタ・クロック・レートで転送する工程であって、ビデオデータと前記リンク・キャラクタ・クロックは、互いに非同期である工程と、を備える方法。

【請求項 9】

請求項 8 に記載の方法であって、

マルチメディア・データ・パケット・ストリームは、調整可能なデータストリーム・リンク・レートであって、前記固有なストリーム・レートと無関係なデータストリーム・リンク・レートを、それぞれ関連づけられて有する複数のマルチメディア・データ・パケット・ストリームのうちの 1 つである、方法。

【請求項 10】

請求項 8 に記載の方法であって、

リンク部は、さらに、トランスミッタ部からレシーバ部へ前記マルチメディア・データ・パケットを運ぶよう構成された単方向メインリンクと、前記トランスミッタ部と前記レシーバ部との間で情報を転送するよう構成された双方向補助チャンネルと、を備える、方法。

【請求項 11】

請求項 10 に記載の方法であって、

前記双方向補助チャンネルは、前記シンク・デバイスから前記ソース・デバイスへ情報を運ぶよう構成された単方向の上りチャンネルと、メインチャンネルの一部として含まれ、前記上りチャンネルと協調して前記ソース・デバイスから前記シンク・デバイスへ情報を運ぶための単方向の下りチャンネルと、から形成されている、方法。

【請求項 12】

請求項 8 に記載の方法であって、

メインリンク部は、さらに、前記マルチメディア・データ・パケット・ストリームの内の特定の 1 つとそれぞれ関連した複数の仮想リンクを備え、前記仮想リンクの各々は、関連の仮想リンク帯域幅と仮想リンクレートとを有する、方法。

【請求項 13】

請求項 12 に記載の方法であって、

メインリンク帯域幅は、少なくとも、前記仮想リンク帯域幅の総計に等しい、方法。

【請求項 14】

請求項 8 に記載の方法であって、

ソース・データ・ストリームは、マッピング定義に基づいて前記それぞれの仮想リンク用にバックされる、方法。

【請求項 15】

マルチメディア・ソース・デバイスとマルチメディア・シンク・デバイスとを結合するためのコンピュータプログラム製品であって、

固有なビデオデータ・レートに従って、ソース・ビデオデータを受信するためのコンピュータコードと、前記ビデオデータを、複数のメイン・リンク・キャラクタの形態で、前記固有なストリーム・レートと無関係のリンク・キャラクタ・クロック・レートで転送するためのコンピ

10

20

30

40

50

ュータコードであって、ビデオデータと前記リンク・キャラクタ・クロックは、互いに非同期であるコンピュータコードと、

前記コンピュータコードを格納するためのコンピュータ読み取り可能媒体と、を備える、コンピュータプログラム製品。

【請求項 16】

請求項 15 に記載のコンピュータプログラム製品であって、

マルチメディア・データ・パケット・ストリームは、調整可能なデータストリーム・リンク・レートであって、前記固有なストリーム・レートと無関係なデータストリーム・リンク・レートを、それぞれ関連づけられて有する複数のマルチメディア・データ・パケット・ストリームのうちの 1 つである、コンピュータプログラム製品。

10

【請求項 17】

請求項 15 に記載のコンピュータプログラム製品であって、

リンク部は、さらに、

トランスミッタ部からレシーバ部へ前記マルチメディア・データ・パケットを運ぶよう構成された単方向メインリンクと、

前記トランスミッタ部と前記レシーバ部との間で情報を転送するよう構成された双方向補助チャネルと、を備える、コンピュータプログラム製品。

【請求項 18】

請求項 17 に記載のコンピュータプログラム製品であって、

前記双方向補助チャネルは、

前記シンク・デバイスから前記ソース・デバイスへ情報を運ぶよう構成された単方向の上りチャネルと、

メインチャネルの一部として含まれ、前記上りチャネルと協調して前記ソース・デバイスから前記シンク・デバイスへ情報を運ぶための単方向の下りチャネルと、から形成されている、コンピュータプログラム製品。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ディスプレイデバイスに関するものである。さらに具体的には、本発明は、ビデオソースをビデオディスプレイに結合するのに適したデジタルディスプレイ・インターフェースに関する。

30

【背景技術】

【0002】

現在のところ、ビデオディスプレイ技術は、アナログタイプのディスプレイデバイス（ブラウン管等）とデジタルタイプのディスプレイデバイス（液晶ディスプレイ、LCD、プラズマスクリーン等）とに分けられる。いずれも、首尾良く画像を表示するためには特定の入力信号による駆動が不可欠である。例えば、代表的なアナログシステムは、通信リンクを通してディスプレイデバイス（ビデオシンクと称される場合もある）に直接結合されたアナログソース（パーソナルコンピュータ、DVDプレーヤ等）を備える。通信リンクは、当業者に良く知られたケーブルの形態（PCの場合はアナログVGAケーブルと称され、それ以外の場合はVGA DB15ケーブルと称される）をとるのが普通である。例えば、VGA DB15ケーブルは、それぞれが特定の信号を運ぶように構成された15のピンを備える。

40

【0003】

VGA DB15ケーブルの長所の一つは、実装が広汎に行われており、しかも拡大しつつあることによるその遍在性にある。上述されたアナログシステムが主流を占める限りは、ケーブルの形態がVGA DB15以外の形態に移行する必要性はほとんどない。

【0004】

しかしながら、近年、デジタルシステムの爆発的な普及によって、デジタルビジュアルインターフェース（DVI）ケーブル等のデジタルケーブルの需要が増してきた。周知の

50

ように、D V Iは、D D W G (Digital Display Working Group) によって作成されたデジタルインターフェース規格である。データは、T M D S (Transition Minimized Differential Signaling) プロトコルを使用して伝送される。これは、デジタル信号をP Cのグラフィックスサブシステムからディスプレイに供給する。D V Iは、1 6 0 M H zを超える帯域を扱うので、U X G AおよびH D T Vを一組のリンクでサポートする。

【0005】

今日におけるディスプレイ相互接続は、全体として、デスクトップとディスプレイとの相互接続アプリケーション用のV G A (アナログ) およびD V I (デジタル)、ならびにラップトップおよび他のオールインワンデバイスにおける内部接続アプリケーション用のL V D S (デジタル) を含む。グラフィックスI Cの供給メーカ、ディスプレイコントローラI Cの供給メーカ、モニタのメーカ、パソコンの相手先商標製品の製造会社、およびデスクトップパソコンの消費者は、そのデザイン、製品定義、製造、マーケティング、および購買に関して決定を下す際に、多かれ少なかれ、インターフェースの選択を考慮しなければならない。例えば、とある顧客がアナログV G Aインターフェースの組み込まれたパソコンを購入すると仮定すると、その顧客は、アナログモニタおよびデジタルモニタのいずれかを購入しなければならない。デジタルモニタを購入した場合は、V G Aインターフェースによって提供されるアナログビデオ信号を、そのモニタの内部で、インラインのアナログ-デジタルコンバータ(A D C) またはそのモニタに組み込まれたA D Cによってデジタル化する。

10

【0006】

したがって、ビデオソースとビデオディスプレイとを結合するための現行のインターフェース(D V Iなど) よりもコスト効率の良いデジタルインターフェースを有することが望ましい。また、場合によっては、デジタルインターフェースは、V G Aなどのアナログビデオとの下位互換性を有する。

20

【発明の開示】

【0007】

マルチメディア・ソース・デバイスとマルチメディア・シンク・デバイスとを結合するよう構成されたパケットベース・ディスプレイ・インターフェースが開示される。このパケットベース・ディスプレイ・インターフェースは、前記ソース・デバイスに結合され、固有なビデオデータ・レートに従ってソース・パケットデータ・ストリームを受信するよう構成されたトランスミッタ部と、前記シンク・デバイスに結合されたレシーバ部と、前記トランスミッタ部と前記レシーバ部とを結合し、前記ビデオデータを、複数のメイン・リンク・キャラクタの形態で、前記固有なストリーム・レートと無関係のリンク・キャラクタ・クロック・レートで転送するよう構成されたリンク部であって、ビデオデータと前記リンク・キャラクタ・クロックは、互いに非同期であるように構成されるリンク部と、を備える。

30

【0008】

別の実施形態として、マルチメディア・ソース・デバイスとマルチメディア・シンク・デバイスとを結合するパケットベースの方法が開示される。この方法は、固有なビデオデータ・レートに従って、ソース・ビデオデータを受信する処理と、前記ビデオデータを、複数のメイン・リンク・キャラクタの形態で、前記固有なストリーム・レートと無関係のリンク・キャラクタ・クロック・レートで転送する処理であって、ビデオデータと前記リンク・キャラクタ・クロックは、互いに非同期である処理と、を備える。

40

【0009】

さらに別の実施形態として、マルチメディア・ソース・デバイスとマルチメディア・シンク・デバイスとを結合するためのコンピュータプログラム製品が開示される。このコンピュータプログラム製品は、固有なビデオデータ・レートに従って、ソース・ビデオデータを受信するためのコンピュータコードと、前記ビデオデータを、複数のメイン・リンク・キャラクタの形態で、前記固有なストリーム・レートと無関係のリンク・キャラクタ・クロック・レートで転送するためのコンピュータコードであって、ビデオデータと前記リ

50

ンク・キャラクタ・クロックは、互いに非同期であるコンピュータコードと、前記コンピュータコードを格納するためのコンピュータ読み取り可能媒体と、を備える。

【発明を実施するための最良の形態】

【0010】

以下では、添付の図面に一例が示された本発明の特定の一実施形態について詳しく言及する。以下では、特定の実施形態に言及しながら本発明の説明を行うが、これは、本発明がその実施形態に限定されることを意味しない。逆に、本発明は、添付の特許請求の範囲に規定された発明の趣旨および範囲に含まれるあらゆる代替形態、変更形態、および等価形態を網羅するものである。

【0011】

本発明のインターフェースは、ポイント・トゥ・ポイントであり、パケットベースであり、プラグ・アンド・プレイのシリアル・デジタル・ディスプレイであり、開放型であるうえに拡張可能であり、デスクトップモニタ（これに限られない）に対する使用に適しているうえにノート型パソコンやオールインワンパソコン、およびHDTVディスプレイ等の家電ディスプレイデバイスにおいてもLCD接続性を実現することができる。シングルビデオスタに加えてVsync、Hsync、ED等のタイミング信号を伝送する従来のディスプレイ・インターフェースと異なり、本発明によるインターフェースは、1つまたはそれ以上のパケットストリームを同時に転送できるマルチストリームパケット転送のシステムを、物理リンクの内部に確立された「仮想パイプ」の形態で実現することができる。

10

20

【0012】

例えば、図1は、本発明の一実施形態に従って、クロスプラットフォームのパケットベース・デジタルビデオディスプレイ・インターフェース100を示す概略図である。インターフェース100は、物理リンク106（パイプとも呼ばれる）によってトランスミッタ102をレシーバ104に接続する。本実施形態では、トランスミッタ102は、複数のデータストリーム108～112を受信し、必要に応じて、各データストリームを、対応する数のデータパケット114にパケット化する。これらのデータパケットは、次に、対応するデータストリームの形に構成され、関連の仮想パイプ116～120によってレシーバ104に受け渡される。なお、各仮想リンクのリンクレート（すなわち、データパケットの転送速度）は、データストリームごとに最適化することができるので、物理リンク106によって運ばれるデータストリームは、それぞれが各自の関連のリンクレートを有することになる（データストリームごとにリンクレートが異なることもあり得る）。データストリーム110～114は、ビデオ、グラフィック、オーディオなど、任意の数の形態を取りうる。

30

【0013】

ソースがビデオソースである場合は、データストリーム110～114は、コンポジットビデオ、シリアルデジタル、パラレルデジタル、RGB、またはコンシューマデジタルビデオ等の任意の数および形式の周知のフォーマットをとることができる各種のビデオ信号を含む。ソース102が、例えばアナログテレビ、スチルカメラ、アナログVCR、DVDプレーヤ、カムコーダ、レーザーディスクプレーヤ、TVチューナ、セットトップボックス（サテライトDSSやケーブル信号をとまなう）等の何らかのアナログビデオソースを含む場合は、ビデオ信号はアナログビデオ信号であって良い。ソース102は、また、デジタルテレビ（DTV）やデジタルスチルカメラ等のデジタル画像ソースを含むことも可能である。デジタルビデオ信号は、SMPTE 274M-1995（解像度：1920×1080、プログレッシブ走査またはインターレース走査）、SMPTE 296M-1997（解像度：1280×720、プログレッシブ走査）、標準480プログレッシブ走査ビデオ等の任意の数および形式の周知のデジタルフォーマットをとることができる。

40

【0014】

ソース102がアナログ画像信号を提供する場合は、アナログ・デジタルコンバータ（

50

A / D) がアナログの電圧信号または電流信号を一連の不連続のデジタルコード化番号 (信号) に変換し、その過程で、デジタル処理に適した適切なデジタル画像データワードが形成される。A / Dコンバータとしては、様々なタイプのものが使用可能である。例えば、フィリップス、テキサスインスツルメント、アナログデバイス、ブルックツリー等によって製造されたA / Dコンバータが使用可能である。

【 0 0 1 5 】

例えば、データストリーム 1 1 0 がアナログ形式の信号である場合は、そのアナログデータは、トランスミッタ 1 0 2 に含まれる或いはトランスミッタ 1 0 2 に結合されているアナログ・デジタルコンバータ (図示せず) によってデジタル化される。そのデジタル化されたデータストリーム 1 1 0 は、次に、パケタイザによってパケット化され、複数のデータパケット 1 1 4 に変換される。各データパケット 1 1 4 は、仮想リンク 1 1 6 によってレシーバ 1 0 4 に送信される。レシーバ 1 0 4 は、次に、データパケット 1 1 4 を適切に再結合してオリジナルのフォーマットに戻し、データストリーム 1 1 0 を再構築する。なお、リンクレートは、固有なストリーム・レートと無関係である。ただし、物理リンク 1 0 6 のリンク帯域幅は、送信されるデータストリームの総帯域幅よりも高帯域幅である必要がある。本実施形態では、受信データ (ビデオデータの場合にはピクセルデータ等) をデータマッピング定義に基づいて各仮想リンク用にパックしている。したがって、D V I 等の従来の相互接続と異なり、物理リンク 1 0 6 (または同リンクを構成する任意の仮想リンク) は、ピクセルデータをリンク・キャラクタ・クロックごとに一つずつ運ぶ必要がない。

10

20

【 0 0 1 6 】

このように、インターフェース 1 0 0 は、ビデオデータおよびグラフィックスデータだけでなく、必要に応じてオーディオデータおよび他のアプリケーションデータをも移送する拡張可能な媒体として機能する。また、本発明は、ホットプラグイベントの検出をサポートし、物理リンク (すなわちパイプ) をその最適な伝送レートに自動的に設定する。本発明は、マルチプラットフォーム用のあらゆるディスプレイに対して、ピン数が少ない純粹デジタル方式のディスプレイ相互接続を提供する。プラットフォームとしては、ホスト、ディスプレイ、ラップトップ / オールインワンはもちろん、H D T V およびその他の家電アプリケーションも含まれる。

【 0 0 1 7 】

本発明は、ビデオデータおよびグラフィックスデータを提供するだけでなく、ディスプレイタイミング情報をデジタルストリームに組み込み、最適且つ即時性のディスプレイ調整を可能にすることによって、「A u t o - A d j u s t 」等の機能を不要にすることができる。本発明によるインターフェースは、そのパケットベースの特性がゆえに拡張可能であるので、マルチメディアアプリケーション用の複数のビデオ / グラフィックスストリームおよびオーディオストリーム等の複数のデジタルデータストリームをサポートすることができる。また、ケーブルを新たに用意しなくても、周辺装置を取り付けたりディスプレイを制御したりするためのユニバーサルシリアルバス (U S B) 転送を行うことができる。

30

【 0 0 1 8 】

以下では、本発明によるディスプレイ・インターフェースの他の実施形態が説明される。

40

【 0 0 1 9 】

図 2 は、図 1 に示されたシステム 1 0 0 に基づいたシステム 2 0 0 であり、ビデオソース 2 0 2 とビデオディスプレイユニット 2 0 4 とを接続するために使用される。図中の実施形態において、ビデオソース 2 0 2 は、デジタル画像 (すなわちデジタルビデオソース) 2 0 6 およびアナログ画像 (すなわちアナログビデオソース) 2 0 8 の一方または両方を含むことができる。デジタル画像ソース 2 0 6 の場合は、デジタルデータストリーム 2 1 0 がトランスミッタ 1 0 2 に提供され、アナログビデオソース 2 0 8 の場合は、同ソースに結合された A / D コンバータユニット 2 1 2 がアナログデータストリーム 2 1 3 を対

50

応するデジタルデータストリーム 214 に変換する。デジタルデータストリーム 214 は、次に、デジタルデータストリーム 210 とほぼ同じ方法でトランスミッタ 102 によって処理される。ディスプレイユニット 204 は、アナログ方式またはデジタル方式のディスプレイであって良く、或いは、供給されたアナログ信号およびデジタル信号のいずれかを処理できるディスプレイであって良い。いずれの場合も、ディスプレイユニット 204 は、レシーバ 104 をディスプレイ 218 に繋げるディスプレイ・インターフェース 216 を備え、もしアナログ形式のディスプレイである場合はさらに D/A コンバータユニット 220 を備える。本実施形態では、ビデオソース 202 が、任意の形態（デスクトップパソコンや、デジタル TV またはアナログ TV、セットトップボックス等）をいくらかもとることができる一方で、ビデオディスプレイユニット 104 は、ビデオディスプレイ（LCD ディスプレイや CRT ディスプレイ等）の形態をとることができる。

10

【0020】

ビデオソースまたはビデオシンクの形態に関わらず、各種データストリームは、物理リンク 106 を利用した伝送に先だってデジタル化（必要な場合のみ）およびパケット化される。物理リンク 106 は、等時性データストリームのための単方向のメインリンク 222 と、ビデオソース 202 とビデオディスプレイ 204 との間におけるリンクのセットアップおよび他のデータトラフィック（各種のリンク管理情報や USB データ等）のための双方向の補助チャンネル 224 とを含む。

【0021】

メインリンク 222 は、したがって、複数の等時性データストリーム（複数のビデオ/グラフィックスストリームおよびマルチチャンネルオーディオストリーム等）を同時に伝送することができる。本実施形態では、メインリンク 222 は、複数の各種仮想チャンネルを含み、各チャンネルは、数ギガビット/秒（Gbps）で等時性データストリーム（非圧縮のグラフィックス/ビデオデータおよびオーディオデータ等）を転送することができる。したがって、論理的な観点から見ると、メインリンク 222 は一本の物理パイプのように見え、その内部には複数の仮想パイプを確立することができる。このように、論理データストリームが物理チャンネルに割り当てられるのではなく、むしろ、各論理データストリームが各自の論理パイプ（すなわち上記の仮想チャンネル）で運ばれると考えることができる。

20

【0022】

本実施形態では、メインリンク 222 の速度すなわち転送レートは、リンクの状態を補正するように調整することが可能である。例えば、一実装形態では、メインリンク 222 の速度は、最低速度である約 1.0 Gbps / チャンネルから約 2.5 Gbps / チャンネルまでの範囲におよそ 0.4 Gbps きざみで調整することができる（図 3 参照）。2.5 Gbps / チャンネルである場合は、メインリンク 222 は、色の深さが 18 ビット/ピクセルである SXGA 60 Hz をチャンネルごとにサポートすることができる。なお、チャンネル数の減少は、相互接続のコストを低減させるのみならず、携帯機器等の電力依存性のアプリケーションにとっての重要な考慮事項である（そして望ましいことである）消費電力の減少をもたらす。しかしながら、チャンネル数を 4 本まで増やすと、メインリンク 222 は、色の深さが 24 ビット/ピクセルである 60 Hz の WQ SXGA（画像解像度：3200 x 2048）または色の深さが 18 ビット/ピクセルである 60 Hz の QSXGA（画像解像度：2560 x 2048）を、データの圧縮なしにサポートすることができる。最低速度である 1.0 Gbps / チャンネルである場合でも、2 本のチャンネルがあれば非圧縮 HDTV（すなわち 1080i または 720p）データストリームをサポートすることができる。

30

40

【0023】

本実施形態では、メインリンクのデータレートは、その帯域幅がメインリンクを構成する仮想リンクの総帯域幅を超えるように選択される。インターフェースに送信されたデータは、その固有なレートでトランスミッタに到達する。そして、レシーバ 104 の中の時間ベースリカバリ（TBR）ユニット 226 が、必要に応じてメインリンクのデータパケ

50

ットに組み込まれたタイムスタンプを使用し、ストリームのもとの固有なレートを再生成する。しかしながら、図 2 B に示された適切に設定されたデジタルディスプレイデバイス 2 3 2 では、ディスプレイデータはリンク・キャラクタ・クロック・レートでディスプレイドライバ電子機器に送信されるので、時間ベースのリカバリは不要である。したがって、必要とされるチャンネル数を大幅に減らし、それに応じてディスプレイの複雑度およびコストを下げるができる。例えば、図 2 C に示された代表的な LCD パネル 2 3 2 では、ディスプレイデータは基本的に各カラムドライバ 2 3 4 へと通じており、各カラムドライバ 2 3 4 はロウドライバ 2 3 6 と合わせて使用されて、アレイ 2 4 0 の中からディスプレイエレメント 2 3 8 を選択して駆動するので、時間ベースのリカバリは不要である。

【 0 0 2 4 】

他の実施形態は、リンクレートおよびピクセル/オーディオクロックレートのための単純計算法を説明する。今日に存在する標準的なピクセル/オーディオクロック周波数は、全て、下記のマスタ周波数のサブセットであることが研究によって明らかになっている。

【 0 0 2 5 】

$$23.76 \text{ GHz} = 2^{10} \times 3^3 \times 5^7 \times 11^1 \text{ Hz}$$

【 0 0 2 6 】

これは、ピクセル(またはオーディオ)クロックレートが4つのパラメータすなわち A、B、C、D を用いて下記のように表されることを意味する。

【 0 0 2 7 】

$$\text{ピクセルクロックレート} = 2^A \times 3^B \times 5^C \times 11^D$$

$$A = 4 \text{ ビット、} B = 2 \text{ ビット、} C = 3 \text{ ビット、} \text{そして} D = 1 \text{ ビット}$$

【 0 0 2 8 】

ピクセルクロックレートと異なるリンクレート(8 B / 10 B 文字等の10ビットの文字を使用するリンクの場合は、シリアルリンクビットレート ÷ 10 である)を有するリンクであっても、これら4つのパラメータ A'、B'、C'、D' でリンクレートを定義すると都合である。すなわち、リンククロックをもとにしたピクセル/オーディオクロックの再生成が単純ですむ。例えば、リンクレートが A' = 6、B' = 3、C' = 7、D' = 0 として設定されると、対応するリンクレートは 135 MHz である。しかしながら、ピクセルクロックレートが A = 8、B = 3、C = 6、D = 0 (= 108 MHz) であるとすると、ピクセルクロックは、ピクセルクロックレートがリンクレート × 22 / 51 に等しいため、リンククロックから生成できる。

【 0 0 2 9 】

再び、時間ベースのリカバリを必要とするシステムに戻る。このようなシステムでは、時間ベースリカバリユニット 2 2 6 をデジタルクロックシンセサイザとして実装して良い。とある非圧縮ビデオストリームでは、後ほど詳述されるパケットヘッダに格納されているタイムスタンプは20ビット値である。所定のストリームでは、4つの20ビット値が各ヘッダに順に格納されている(TS 3 - 0、TS 7 - 4、TS 11 - 8、TS 15 - 12、TS 19 - 16)。固有なストリーム周波数(Freq_native)は、リンク・キャラクタ・クロック周波数(Freq_link_char)をもとにして次のように求められる。

【 0 0 3 0 】

$$\text{式(1): } \text{Freq_native} = \text{Freq_link_char} \times (\text{TS}19 - 0) / 2^{20}$$

【 0 0 3 1 】

トランスミッタ 1 0 2 は、固有なストリームクロックの数をリンク・キャラクタ・クロック周波数周期の 2 2 0 周期ごとにカウントすることによってこのタイムスタンプを生成する。カウンタ値は、リンク・キャラクタ・クロックの 2 2 0 周期ごとに更新される。これら2種類のクロックは互いに非同期であるので、タイムスタンプ値は時間とともに1ずつ変化する。次の更新までのあいだ、トランスミッタ 1 0 2 は、所定のパケットストリームのヘッダに同一のタイムスタンプを入れて繰り返し送信する。タイムスタンプの急激な

10

20

30

40

50

変化（1カウントを上回る変化）は、ストリームソースが不安定状態にある表れとしてレシーバによって解釈される。

【0032】

なお、オーディオストリームの場合は、タイムスタンプは送信されない。この場合は、ソース・デバイスは、オーディオのサンプルレートおよびビット数/サンプルをディスプレイデバイスに通知する。ディスプレイデバイスは、式（2）およびリンク・キャラクターレートに基づいてオーディオレートを決定することによって、元のオーディオストリーム・レートを再生成する。

【0033】

式（2）：オーディオレート = （オーディオサンプルレート） × （ビット数 / サンプル） × （チャンネル数） 10

【0034】

図4Aに示されたメインリンクデータパケット400は、メインリンクパケットヘッダ402を含む。メインリンクパケットヘッダ402は、図4Bに示されるように、16ビットで構成され、このうちビット3～0はストリームID（SID）であり（ストリームの最大カウント値は16であることを表している）、ビット4はタイムスタンプ（TS）LSBである。ビット4が1であるとき、このパケットヘッダは、最下位4ビット分のタイムスタンプ値を有する（非圧縮ビデオストリームのためにのみ使用される）。ビット5は、ビデオフレームシーケンスビットであり、ビデオフレーム境界において0から1に或いは1から0に切り替わるフレームカウンタの最下位ビットとして機能する（非圧縮ビデオストリームのためにのみ使用される）。ビット7およびビット6は予備であり、ビット8～10は、先の8ビットのエラーをチェックする4ビットのCRC（CRC）である。ビット15～12は、タイムスタンプ/ストリームIDの反転であり（TSP/SIDn）、非圧縮ビデオの際には20ビットのタイムスタンプ値のうちの4ビット分として使用される。 20

【0035】

本発明によるインターフェースの利点の1つは、互いに異なるフォーマットの複数のデータストリームを多重化する能力を有すること、そして、複数のサブパケットを含む複数のメインリンクデータパケットを有するという点にある。例えば、図5は、本発明の一実施形態に従って、サブパケットを内包するとともに複数パケットの多重化を可能にするように構成されたシステム500を示している。システム500は、図2に示されたシステム200の特定の一実施形態であり、したがって、本発明の範囲または趣旨を限定するものとは解釈されない。システム500は、トランスミッタ102の中にストリームソースマルチプレクサ502を備える。該マルチプレクサ502は、ストリーム1である補足データストリーム504をデータストリーム210と結合して多重化データストリーム506を形成する。多重化データストリーム506は、次に、リンク層マルチプレクサ508に転送され、該マルチプレクサ508は、任意の数のデータストリームを結合し、複数のデータパケット512からなる多重化メインリンクストリーム510を形成する。データパケット512のなかには、任意の数のサブパケット514を内包するものもある。リンク層マルチプレクサ516が、多重化データストリーム510をストリームID（SID）および関連のサブパケットヘッダに基づいてデータストリーム成分に分割する一方で、ストリームシンクマルチプレクサ518は、サブパケットに含まれるストリーム1の補足データストリームをさらに分割する。 30 40

【0036】

図6は、図5に示された、3本のストリームを多重化してメインリンク222に載せる場合のストリーム510の一例として、多重化メインリンクストリーム600を詳細に示した図である。この例における3本のストリームとは、UXGAグラフィックス（ストリームID=1）、1280×720ピクセルのビデオ（ストリームID=2）、およびオーディオ（ストリームID=3）である。メインリンクパケット400は、パケットヘッダのサイズが小さいので、パケットのオーバーヘッドを最小限に抑え、ひいては非常に高 50

いリンク効率を可能にする。パケットヘッダをこれほど小さくできるのは、メインリンク 2 2 2 を通したパケットの伝送に先だって、パケットの属性が補助チャネル 2 2 4 を介して伝えられるからである。

【0037】

一般に、サブパケットの内包は、メインパケットストリームが非圧縮ビデオである場合に有効な手段である。これは、非圧縮ビデオデータストリームが、ビデオランキング期間に対応するデータアイドル期間を有するためである。したがって、非圧縮ビデオストリームからなるメインリンクトラフィックは、この期間内に特殊文字ヌルからなる一連のパケットを含んでいる。各種のデータストリームを多重化する能力をフルに活用することによって、本発明の実現形態は、ソースストリームがビデオデータストリームである場合におけるメインリンクレートとピクセルデータレートとの差を、各種の方法を使用して補正することができる。例えば、図 7 に示されるように、ピクセルデータレートが 0.5 Gb/s である場合は、0.2 ns 毎に 1 ピクセルデータビットが伝送される。この例では、リンクレートが 1.25 Gb/s に設定されており、0.8 ns 毎に 1 ピクセルデータビットが伝送される。このとき、トランスミッタ 102 は、図 8 に示されるように、ピクセルデータ間に特殊文字を散在させる。第 1 のピクセルデータビット P1 と第 1 のピクセルデータビット P2 との間には、2 つの特殊文字が配される。特殊文字の存在によって、レシーバ 104 は、ピクセルデータビットを区別することが可能になる。ピクセルデータビット間に特殊文字を散在させると、データストリームを定常状態にすることもできる。したがって、リンクの同期化を維持することが可能になる。この例では、特殊文字はヌル文字である。リンクレートが十分に大きいので、このような方法ではラインバッファは必要でなく、小規模な FIFO のみが必要である。しかしながら、受信側では、ビデオ信号の再構築のために比較的多くのロジックが必要である。レシーバは、特殊文字の開始と終了を認識する必要がある。

10

20

【0038】

特殊文字を散在させる方法に代わる方法に、連続するピクセルデータビットをヌル値などの特殊文字で置き換える方法がある。例えば、トランスミッタ 104 に含まれるラインバッファに P1 ~ P4 を供給し、次いで、他のピクセルデータを使用できるようになるまでの間、同バッファに 1 つまたはそれ以上のヌル値を供給することができる。このような実現形態は、上述した散在させる方法よりも大きいバッファスペースを必要とする。この

30

【0039】

図 5 A を参照にして説明したように、本発明によるインターフェースの長所の 1 つは、各種のデータストリームを多重化できるだけでなく、ある特定のメインリンクデータパケット内に任意の数のサブパケットを内包させられる点にある。図 9 A は、本発明の一実施形態に従って、代表的なサブパケット 900 を示している。サブパケット 900 は、サブパケットヘッダ 902 を含み、サブパケットヘッダ 902 は、本実施形態において 2 バイトであるとともに、SPS (Sub-Packet Start: サブパケット開始) 特殊文字をともなっている。このサブパケット 900 を内包するメインリンクデータパケットに、サブパケット 900 だけでなくパケットペイロードも含まれる場合は、SPE (Sub-Packet End: サブパケット終了) 特殊文字によって、サブパケットの終了を表さなければならない。そうでないと、メインパケットの終了 (図 9 B の例では後続の COM 文字によって示されている) が、サブパケット 902 の終了および同サブパケットを内包するメインパケットの終了の両方を表すことになる。しかしながら、サブパケットを内包するメインパケットに、ペイロードが含まれない場合は、そのサブパケットを SPE によって終了する必要はない。図 9 B は、本発明の一実施形態にしたがって、メインリンクパケットに含まれる代表的なサブパケットのフォーマットを示している。なお、ヘッダフィールドおよびサブパケットペイロードの定義は、サブパケット 902 を使用する特定のアプリケーションプロファ

40

50

イルに依存する。

【0040】

サブパケットを内包する方法のなかでも特に有用な一例として、図10に示されるように、非圧縮グラフィックス画像1000を選択的にリフレッシュする方法がある。全体フレーム1002の属性（水平合計または垂直合計、画像幅または画像高さ等）は、ストリームが有効である限りは一定であるので、補助チャンネル244を介して伝送される。選択的なリフレッシュの際には、各ビデオフレームあたり一部1004のみが更新される。更新される長方形（すなわち部分1004）の座標値はフレーム毎に異なるので、上記長方形の4つのXY座標はフレーム毎に伝送する必要がある。別の一例として、256色のグラフィックスデータで必要とされるカラーlookupアップテーブル（CLUT）データを伝送する方法がある。このとき、8ビットのピクセルデータは256のCLUT入力の一つであり、CLUTの内容は動的に更新されなければならない。

10

【0041】

単一の双方向補助チャンネル224は、リンクのセットアップに有用な機能や、メインリンクの動作をサポートする機能はもちろんのこと、USBトラフィック等の補助アプリケーションデータを運ぶ機能など、各種のサポート機能のためのコンジットとして働く。例えば、補助チャンネル224があれば、ディスプレイデバイスは、同期の喪失、パケットの脱落、およびトレーニングセッション（後述する）の結果等のイベントを、ソース・デバイスに通知することができる。例えば、ある特定のトレーニングセッションが失敗であった場合は、トランスミッタ102は、その失敗したトレーニングセッションに関する予め選択された結果或いは決定された結果に基づいて、メインリンクレートを調整する。このように、調整可能で且つ高速のメインリンクと、比較的低速で且つ非常に高信頼性の補助チャンネルとを組み合わせると、様々なリンク状態に渡って非常に頑強な動作を維持することが可能になる。場合によっては（例えば図5Bに示した例では）、メインリンク222の帯域の一部522を使用して、ソース・デバイス202からシンク・デバイス202にデータを転送するための論理的な双方向補助チャンネル520を確立し、さらに、シンク・デバイス204からソース・デバイス202にいたる単方向の上りチャンネル524を確立することができる。使用目的によっては、このような論理的な双方向補助チャンネルを使用する方が、図5Aで説明した半二重の双方向チャンネルを使用するよりも望ましい。

20

30

【0042】

実際にパケットデータ・ストリームの伝送を始めるに先だって、トランスミッタ102は、モデムのリンクセットアップに概念的に類似したリンクトレーニングセッションを通して継続的なリンクを確立する。リンクトレーニングの際は、メインリンクのトランスミッタ102から定義済みのトレーニングパターンが送信されるので、レシーバ104は、確かなビットロックまたはキャラクタ・ロックを実現できるか否かを決定することができる。本実施形態では、トランスミッタ102とレシーバ104との間におけるトレーニング関連のハンドシェイクが補助チャンネルによって運ばれる。図11は、本発明の一実施形態にしたがって、リンクトレーニングパターンの一例を示している。図のように、トレーニングセッションの際は、イコライザを最適化する目的でレシーバによって使用されるランレングスのうち、フェーズ1が最短のランレングスを、そしてフェーズ2が最長のランレングスを表している。フェーズ3では、リンク品質が合理的である限り、ビットロックおよびキャラクタ・ロックの両方が実現されている。通常、トレーニング期間は約10msであり、この間に約107ビットのデータが送信される。確かなロックを実現できない場合は、レシーバ104は、その旨を補助チャンネル224を介してトランスミッタ102に通知する。すると、トランスミッタ102は、リンクレートを引き下げ、トレーニングセッションを再度行う。

40

【0043】

補助チャンネル224は、トレーニングセッション用のコンジットとして働くだけでなく、メインリンクパケットストリームの記述を運ぶために使用することもできる。したがっ

50

て、メインリンク 2 2 2 におけるパケット伝送のオーバーヘッドを大幅に減らすことができる。さらに、補助チャンネル 2 2 4 は、どのモニタ上でも見られるディスプレイデータチャンネル (DDC) に替わって拡張ディスプレイ識別データ (EDID) 情報を運ぶように構成することもできる (EDID は、ベンダ情報、最大画像サイズ、色特性、出荷時の初期設定タイミング、周波数範囲の限界、ならびにモニタ名用およびシリアル番号用の文字列等の、モニタおよびその能力に関する基本情報を含む、VESA による標準データフォーマットである。これらの情報は、ディスプレイの中に格納され、モニタと PC グラフィックスアダプタとの間に位置する DDC を通じてシステムと通信するために使用される。システムは、これらの情報を、モニタおよびシステムを共同で作業させるための設定目的で使用)。拡張プロトコルモードと称されるモードにあるとき、補助チャンネルは、キーボード、マウス、マイクロホン等の追加のデータタイプをサポートする際に必要とされるように、非同期および等時性の両方のパケットを運ぶことができる。

10

【0044】

図 1 2 は、本発明の一実施形態にしたがって、システム 2 0 0 を論理的に階層化した状態 1 2 0 0 を示している。実装形態の詳細は、使用目的に応じて異なる可能性があるが、ソース (ビデオソース 2 0 2 等) は、一般に、トランスミッタハードウェアを含むソース物理層 1 2 0 2 と、多重化ハードウェアおよび状態マシン (すなわちファームウェア) を含むソースリンク層 1 2 0 4 と、オーディオ/ヴィジュアル/グラフィックスハードウェアおよび関連のソフトウェア等のデータストリームソース 1 2 0 6 とからなる。同様に、ディスプレイデバイスは、物理層 1 2 0 8 (各種のレシーバハードウェアを含む) と、逆多重化ハードウェアおよび状態マシン (すなわちファームウェア) を含むシンクリンク層 1 2 1 0 と、ディスプレイ/タイミングコントローラハードウェアおよびオプションのファームウェアを含むストリームシンク 1 2 1 2 とからなる。ソースアプリケーションプロファイル層 1 2 1 4 は、ソースがリンク層 1 2 0 4 と通信する際のフォーマットを定義しており、同様に、シンクアプリケーションプロファイル層 1 2 1 6 は、シンク 1 2 1 2 がリンク層 1 2 1 0 と通信する際のフォーマットを定義している。

20

【0045】

以下では、各層が詳細に説明される。

【0046】

ソース・デバイスの物理層

本実施形態において、ソース・デバイスの物理層 1 2 0 2 は、電気リカルサブ層 1 2 0 2 - 1 およびロジカルサブ層 1 2 0 2 - 2 を含む。電気リカルサブ層 1 2 0 2 - 1 は、ホットプラグ/アンプラグ検出回路等のインターフェース初期化用またはインターフェース動作のあらゆる回路、ドライバ/レシーバ/ターミネーションレジスタ、パラレル・シリアル/シリアル・パラレル変換、およびスペクトル拡散可能なフェーズロックループ (PLL) 等を含む。ロジカルサブ層 1 2 0 2 - 2 は、パケット化/逆パケット化用の回路、データのスクランプリング/デスクランプリング用の回路、およびリンクトレーニングにおけるパターン形成用の回路、時間ベースリカバリ回路、およびデータのエンコーディング/デコーディング用の回路を含む。このうち、データのエンコーディング/デコーディングは、例えば、2 5 6 のリンクデータ・キャラクタおよび 1 2 の制御キャラクタ (図 1 3 にその一例が示されている) をメインリンク 2 2 2 に提供し、マンチェスタ II エンコーディング (図 1 4 参照) を補助チャンネル 2 2 4 に提供する 8 B / 1 0 B (ANSI X 3 . 2 3 0 - 1 9 9 4 の第 1 1 条に規定されている) である。

30

40

【0047】

8 B / 1 0 B エンコーディングアルゴリズムは、例えば、USP 4 , 4 8 6 , 7 3 9 に記載されており、それは、参考のために組み入れられる。当業者に知られているように、8 B / 1 0 B コードは、8 ビットのデータブロックをコード化してシリアル伝送用の 1 0 ビットのコードワードを得るブロックコードである。また、8 B / 1 0 B 伝送コードは、ランダムな 1 と 0 とからなる 1 ビット幅のデータストリームを、1 と 0 とからなる最大ランレングスが 5 である DC バランスドストリームに変換する。このようなコードは、十

50

分な信号遷移を提供することによって、トランシーバ110等のレシーバによる高信頼性のクロックリカバリを可能にする。さらに、DCバランスドストリームは、光ファイバ結線および電磁結線に対して有利であることがわかっている。シリアルストリームの中の1および0の平均数は、等しいまたはほぼ等しいレベルに維持される。8B/10B伝送コードは、1の数と0の数との間のディスパリティを、6ビットおよび4ビットのブロック境界内において-2、0、または2に限定する。このコード体系は、また、コマンドコードと称されるシグナリング用の追加コードを実装する。

【0048】

非圧縮ディスプレイデータによって表される反復ビットパターンを回避するため（そしてEMIを抑えるため）、メインリンク222で伝送されるデータは、先ず、8B/10Bエンコーディングに先だつてスクランブルされる。トレーニングパケットおよび特殊文字以外のすべてのデータがスクランブルされる。このスクランブルの機能は、線形フィードバックシフトレジスタ(LFSR)によって実装される。データ暗号化が使用可能に設定されている場合は、LFSRシードの初期値は暗号キーセットに応じて異なる。データのスクランブルが暗号化をとまなわない場合は、初期値は固定される。

10

【0049】

データストリームの属性は、補助チャンネル224で伝送されるので、メインリンクのパケットヘッダは、ストリームの識別番号として機能することができる。したがって、オーバーヘッドを大幅に減らすとともに、リンクの帯域を最大にすることが可能である。また、メインリンク222および補助リンク224は、いずれも個別のクロック信号線を有さない。したがって、メインリンク222および補助リンク224のレシーバは、データをサンプリングし、受信したデータストリームからクロックを抽出する。補助チャンネル224は半二重双方向であり、尚かつトラフィックの方向が頻繁に変化するので、レシーバのエレクトリカルサブ層に含まれるどのフェーズロックループ(PLL)にとっても、素早くフェーズロックを行うことが重要である。したがって、マンチェスタII(MII)コードの信号遷移が、頻繁で且つ均一であるおかげで、補助チャンネルのレシーバのPLLは、わずか16データ期間のあいだにフェーズロックを行う。

20

【0050】

リンクのセットアップ時には、補助チャンネル224を通じたハンドシェイクを使用し、メインリンク222のデータレートのネゴシエーションが行われる。このプロセスでは、既知の複数組のトレーニングパケットが、最も高いリンク速度でメインリンク222を通じて送信される。そして、その結果の成功または失敗が、補助チャンネル224を介してトランスミッタ102に戻される。トレーニングが失敗した場合は、メインリンクの速度は減らされ、トレーニングは成功するまで繰り返される。このように、ソース物理層1102はケーブルの問題に強く、したがって、外部ホストがアプリケーションを監視するのに適している。しかしながら、従来のディスプレイ・インターフェースと異なり、メインチャンネルのリンクデータレートは、ピクセルクロックレートから切り離されている。リンクデータレートは、リンク帯域が伝送ストリームの総帯域を超えるように設定される。

30

【0051】

ソース・デバイスのリンク層

ソースリンク層1204は、リンクの初期化および管理を扱っている。例えば、モニタの起動時またはモニタケーブルの接続時に生成されたホットプラグイベントをソース物理層1202から受信すると、ソースリンク層1204は、補助チャンネル224を通じた交換を介してレシーバの能力を評価することによって、トレーニングセッションによって決定された最大のメインリンクデータレートと、レシーバ上にある時間ベースのリカバリユニットの数と、両端にある使用可能なバッファサイズと、USB拡張の可用性とを決定し、関連のホットプラグイベントをストリームソース1206に通知する。ソースリンク層1204は、また、ストリームソース1206からの要請に応じてディスプレイ能力(EDIEまたはそれと同等なもの)を読み出す。通常の動作時には、ソースリンク層1204は、補助チャンネル224を介してストリーム属性をレシーバ104に送信し、要求され

40

50

たデータストリームを扱うのに十分なリソースをメインリンク 2 2 2 が有するか否かをストリームソース 1 2 0 4 に通知し、同期性の喪失やバッファのオーバーフロー等のリンクの失敗に関するイベントをストリームソース 1 2 0 4 に通知し、ストリームソース 1 2 0 4 によって発信された M C C S コマンドを補助チャネル 2 2 4 を介してレシーバに送信する。ソースリンク層 1 2 0 4 とストリームソース/シンクとの間における通信は、全て、アプリケーションプロファイル層 1 2 1 4 で定義されたフォーマットを使用して行われる。

【 0 0 5 2 】

アプリケーションプロファイル層 (ソースおよびシンク)

一般に、アプリケーションプロファイル層は、ストリームソース (またはシンク) が関連のリンク層とインターフェースをとる際のフォーマットを定義する。アプリケーションプロファイル層によって定義されるフォーマットは、アプリケーション独立のフォーマット (リンク状況を照会するためのリンクメッセージ) とアプリケーション依存のフォーマット (メインリンクのデータマッピング、レシーバのための時間ベースのリカバリ方程式、そして、もし該当する場合は、シンク能力/ストリーム属性メッセージのサブパケットフォーマット) とに分類される。アプリケーションプロファイル層は、次の色フォーマットをサポートする。すなわち、24ビットRGB、16ビットRGB、18ビットRGB、30ビットRGB、256色RGB (CLUTベース)、16ビット、CbCr422、20ビットYCbCr422、および24ビットYCbCr444である。

【 0 0 5 3 】

例えば、ディスプレイデバイスのアプリケーションプロファイル層 (APL) 層 1 2 1 4 は、基本的に、メインリンク 2 2 2 を通して行われるストリームソース/シンク通信のためのフォーマットを記述するアプリケーションプログラミングインターフェース (API) である。記述されるフォーマットは、インターフェース 1 0 0 に送信された或いはインターフェース 1 0 0 から受信されたデータを表すフォーマットを含む。APL 1 2 1 4 の特徴のいくつかは (例えば電力管理コマンドフォーマット等は) ベースラインモニタ機能であり、これらはインターフェース 1 0 0 のあらゆる用途に共通である。これに対し、データマッピングフォーマットやストリーム属性フォーマット等の他の非ベースラインモニタ機能は、使用目的および伝送される等時性ストリームの種類に固有のものである。そして、使用目的の如何に関わらず、ストリームソース 1 2 0 4 は、メインリンク 2 2 2 上でのパケットストリームの伝送に先だって、メインリンク 2 2 2 が保留データストリームを扱うことができるか否かを確認するためにソースリンク層 1 2 1 4 に照会する。

【 0 0 5 4 】

メインリンク 2 2 2 が、保留パケットストリームをサポートできると決定された場合は、ストリームソース 1 2 0 6 は、ストリーム属性をソースリンク層 1 2 1 4 に送信する。ストリーム属性は、さらに、補助チャネル 2 2 4 を通してレシーバに伝送される。これらの属性は、ある特定のストリームのパケットを識別するために、該ストリームをもとにして元データを回復するために、そして該元データのフォーマットを上記ストリームに固有なデータレートに戻すために、レシーバによって使用される情報である。データストリームの属性は、使用目的に応じて異なる。

【 0 0 5 5 】

メインリンク 2 2 2 上で所望の帯域を使用できない場合は、ストリームソース 1 2 1 4 は、例えば、イメージのリフレッシュレートまたは色の深みを低減させることによる修正措置をとって良い。

【 0 0 5 6 】

ディスプレイデバイスの物理層

ディスプレイデバイスの物理層 1 2 1 6 は、ディスプレイデバイスリンク層 1 2 1 0 およびディスプレイデバイス APL 1 2 1 6 を、リンクデータの伝送または受信のために使用されるシグナリング技術から隔離する。メインリンク 2 2 2 および補助チャネル 2 2 4 は、ロジカルサブ層と、コネクタ仕様を含む電気的サブ層とからなる物理層を各

10

20

30

40

50

自に有する。例えば、図 15 に示されるように、半二重で且つ双方向である補助チャンネル 224 は、リンクの両端にそれぞれトランスミッタおよびレシーバを有する。補助リンクのトランスミッタ 1502 は、ロジカルサブ層 1208 - 1 からリンク・キャラクタを提供される。これらの特殊文字は、次いでシリアル化され、対応する補助リンクレシーバ 1504 に伝送される。レシーバ 1504 は、シリアル化されたリンク・キャラクタを補助リンク 224 から受信し、そのデータをリンク・キャラクタ・クロック・レートで逆シリアル化する。なお、ソースのロジカルサブ層の主な機能は、トランスミッタポートのために、信号エンコーディング、パケット化、データスクランプリング（EMI 抑制を目的とする）、およびトレーニングパターン生成を行うことである。これに対し、レシーバのロジカルサブ層の主な機能は、レシーバポートのために、信号デコーディング、逆パケット化、データデスクランプリング、および時間ベースのリカバリを行うことである。

10

【0057】

補助チャンネル

補助チャンネルのロジカルサブ層の主な機能は、データのエンコーディングおよびデコーディングと、データのフレーミングおよびデフレーミングとを含み、補助チャンネルプロトコルは、スタンドアロンプロトコル（Point-to-Point 接続形態におけるリンクのセットアップ機能/管理機能に限定される）および拡張プロトコルの 2 つの選択肢を有する。スタンドアロンプロトコルは、リンク層の状態マシンまたはファームウェアによる管理が可能である軽量プロトコルであり、拡張プロトコルは、USB トラフィック等の他のデータタイプおよびデジタライズド・デバイス等の他の接続形態をサポートするプロトコルである。なお、データのエンコーディングおよびデコーディングの体系はプロトコルによらず同一であるが、データのフレーミングは両プロトコル間で異なる。

20

【0058】

図 15 に示されるように、補助チャンネルのエレクトリカルサブ層は、トランスミッタ 1502 およびレシーバ 1504 を含む。トランスミッタ 1502 は、ロジカルサブ層からリンク・キャラクタを提供され、これらのリンク・キャラクタは、次いでシリアル化されて送られる。レシーバ 1504 は、シリアル化されたリンク・キャラクタをリンク層から受信し、次いでそれらをリンク・キャラクタ・クロック・レートで逆シリアル化する。補助チャンネル 224 の正信号および負信号は、図示されているように、リンクの各端において 50 オームの終端レジスタにアースされて終了する。本実装形態において、駆動電流は、リンクの状態に応じて変動するようにプログラムすることが可能であり、約 8 mA から約 24 mA までの範囲で変動することによって、約 400 mV から約 1.2 V までの範囲の電圧 $V_{\text{differential}}_{pp}$ を得ることができる。電気的なアイドル状態では、正信号および負信号のいずれも駆動されていない。このような電気的なアイドル状態から伝送を開始する際は、SYNC パターンを伝送してリンクを再確立しなければならない。本実施形態では、SYNC パターンは、補助チャンネルの差動ペア信号をクロックレートで 28 回トグリングしたものと、それに続く 4 つのマンチェスタ II コードの 1 とからなる。ソース・デバイスの中の補助チャンネルマスタは、補助チャンネル 224 の正信号および負信号を定期的に駆動するまたは測定することによって、ホットプラグおよびホットアンプラグのイベントを検出する。

30

40

【0059】

メインリンク

本実施形態では、メインリンク 222 は、ローカルクリスタル周波数の整数倍である離散的で且つ可変であるリンクレートをサポートする（24 MHz のローカルクリスタル周波数と一致する代表的な一組のリンクレートに関しては、図 3 を参照のこと）。図 16 に示されるように、（単方向チャンネルである）メインリンク 222 は、ソース・デバイスにはトランスミッタ 1602 のみを、そしてディスプレイデバイスにはレシーバ 1604 のみを有する。

【0060】

図に示されるように、ケーブル 1604 は、一組のツイストペア線を含む形態をとり、

50

ツイストペア線は、それぞれ、代表的なRGB色ベースのビデオシステム（例えばPALベースのテレビシステム）で使用される赤（R）、緑（G）、および青（B）の各ビデオ信号用である。当業者に知られているように、ツイストペアケーブルは、個別に絶縁された二本の線を互いに巻き付けたものからなるタイプのケーブルである。一方の線は信号を運び、他方の線はアースされ、信号の干渉を吸収する。信号は、システムによっては、NTSCビデオテレビシステムで使用される成分ベースの信号（Pb、Pr、Y）であっても良い。ケーブルの内部では、各ツイストペアが個別にシールドされている。また、ピンは、+12V電力用とアース用の2つがある。各差動ペアの特性インピーダンスは、100オーム±20%である。また、ケーブル全体もシールドされている。この全体のシールドおよび個別のシールドは、両端のコネクタシェルにショートされている。コネクタシェルは、ソース・デバイス内においてアース端子にショートされている。図17に示されるコネクタ1700は、一列にならんだ13のピンを有し、こうして形成されるピン配列は、ソース・デバイス側のコネクタおよびディスプレイデバイス側のコネクタに共通である。ソース・デバイスは、電力を供給する。

10

20

40

50

【0061】

メインリンク222は両端で終結する。また、メインリンク222はAC結合されているので、終端電圧は0V（アース端子）から+3.6Vまでの間ならどこでも良い。本実装形態において、駆動電流は、リンクの状態に応じて変動するようにプログラムすることが可能であり、約8mAから約24mAまでの範囲で変動することによって、約400mVから約1.2Vまでの範囲の電圧Vdifferential_ppを得ることができる。電圧の振れは、トレーニングパターンを使用して接続ごとに最小となるように選択される。電氣的なアイドル状態は、電力管理モードの際にもたらされる。電氣的なアイドル状態では、正信号および負信号のいずれも駆動されない。このような電氣的なアイドル状態から伝送を開始する際は、トレーニングセッションを実行し、レシーバとのリンクを再確立しなければならない。

【0062】

状態図

次に、後述される図18および図19に示された状態図をもとにして発明を説明する。図18は、後述されるソースの状態図を示している。オフ状態1802のとき、システムは停止しているので、ソースは使用不可に設定されている。ここで、ソースが使用可能に設定されると、システムは、省電力およびレシーバ検出に適したスタンバイ状態1804に移行する。レシーバが存在するか否か（すなわちホットプラグあるいはホットプレイ）を検出するためには、補助チャンネルに定期的に（例えば10msごとに1μsの）パルスを送り、駆動時における終端レジスタ間の電圧降下を測定する。測定された電圧降下に基づいて、レシーバは存在すると決定された場合は、システムは、レシーバが検出されたこと、すなわちホットプラグイベントが検出されたことを表すレシーバ検出状態1806に移行する。レシーバが検出されなかった場合は、レシーバが検出されるまで、または時間切れになるまで、レシーバの検出が続けられる。なお、ソース・デバイスは、場合によっては、ディスプレイの検出をこれ以上試みない「オフ」状態に移行することを選択しても良い。

【0063】

状態1806で、ディスプレイのホットアンプラグイベントが検出された場合は、システムは、スタンバイ状態1804に戻る。それ以外の場合は、ソースは、正信号および負信号によって補助チャンネルを駆動してレシーバを稼働させ、次いで、レシーバの後続の応答をチェックする。もし何の応答も得られなかった場合は、レシーバは稼働していないので、ソースは状態1806にとどまる。もしディスプレイから信号が得られた場合は、ディスプレイは稼働されており、ソースはレシーバのリンク能力（最大リンクレートやバッファサイズ、時間ベースのリカバリユニットの数等）を読み出せる状態にある。したがって、システムはメインリンク初期化状態1808に移行し、トレーニング開始の通知を開始できる状態になる。

【0064】

このとき、メインリンクを通して指定のリンクレートでトレーニングパターンを送信することによって、トレーニングセッションが開始され、関連のトレーニング状況がチェックされる。レシーバは、三段階の段階ごとに合格/不合格ビットを設定し、トランスミッタは、合格が検出された場合にのみ次の段階に進む。したがって、合格が検出されたときは、メインリンクは上記リンクレートを実現可能な状態にある。このとき、インターフェースは通常動作状態1510に移行する。それ以外の場合は、リンクレートが低減され、トレーニングセッションが繰り返される。通常動作状態1810にあるあいだも、ソースはリンク状況の指標を定期的に監視し続ける。そして、もし不合格である場合は、ホットアンブラグイベントが検出され、システムはスタンバイ状態1804に移行し、ホット
10 プラグ検出イベントまで待機する。しかしながら、もし同期性の喪失が検出された場合は、システムは状態1808に移行し、メインリンク再開イベントまで待機する。

【0065】

図19は、後述されるディスプレイの状態図1900を示している。状態1902のときは、電圧は検出されず、ディスプレイはOFF状態になる。スタンバイモード状態1904のときは、メインリンクレシーバおよび補助チャンネルスレーブはともに電氣的にアイドル状態にある。このとき、補助チャンネルスレーブポートの終端レジスタ間において電圧降下が監視される。所定の電圧が検出された場合は、補助チャンネルスレーブポートはホットブラグイベントを表すべくオンにされ、システムは表示状態1906に移行する。それ以外の場合は、ディスプレイはスタンバイ状態1904にとどまる。状態1906（
20 メインリンク初期設定の段階）のときに、ディスプレイが検出された場合は、補助チャンネルスレーブポートは完全にオンにされ、トランスミッタはレシーバリンク能力読み出しコマンドに応答し、ディスプレイ状態は1908に移行する。そうでなく、補助チャンネル上で、所定の期間以上にわたって何の活動も検出されない場合は、補助チャンネルスレーブポートはスタンバイ状態1904に移行される。

【0066】

トレーニング開始通知の段階では、ディスプレイは、トレーニングパターンを使用してイコライザを調整することによって、トランスミッタによるトレーニングの開始に
30 応答し、各段階の結果を更新する。トレーニングが不合格である場合は、別のトレーニングセッションまで待機し、トレーニングが合格である場合は、通常動作状態1910に進む。補助チャンネル上でまたは（トレーニング用の）メインリンク上で、所定の期間（例えば10ms）以上にわたって何の活動も検出されない場合は、補助チャンネルスレーブポートはスタンバイ状態1904に移される。

【0067】

図20～24は、クロスプラットフォームのディスプレイ・インターフェースの具体的な実装形態を示している。

【0068】

図20は、本発明にしたがって、トランスミッタ2004を内蔵するオンボードグラフィックスエンジン2002を有するPCマザーボード2000を示している。なお、トランスミッタ2004は、図1に示されたトランスミッタ102の具体的な一例である。本
40 実施形態では、トランスミッタ2004は、マザーボード2000に搭載されたコネクタ2006に（コネクタ1700の配線とともに）結合されている。マザーボード2000は、ツイストペアケーブル2010によってディスプレイデバイス2008に接続されている。

【0069】

当該分野で知られているように、PCI Express（米国カリフォルニア州サンタクララ所在のIntel社によって開発された）は、高帯域でローピンカウントで尚かつシリアルな相互接続技術である。PCI Expressは、また、既存のPCIインフラとの間でソフトウェア互換性を維持することもできる。この構成では、PCI Express
50 ポートを拡大し、クロスプラットフォームインターフェースの要件に準拠させ

ている。クロスプラットフォームインターフェースは、図のようなマザーボード搭載のコネクタを使用してディスプレイデバイスを直接駆動することができる。

【0070】

マザーボードにコネクタを搭載することが実用的でない場合は、図21に示されるように、PCI ExpressマザーボードのSDVOスロットを通して信号を送出し、パッシブカードコネクタを使用して同信号をPCに戻すことができる。また、図23に示されるように、アドイングラフィックスカードも、現行世代のアドイングラフィックスカードと同様に、オンボードグラフィックスエンジンに取って代わることができる。

【0071】

使用用途がノートブックである場合は、マザーボードのグラフィックスエンジン上に設けられたトランスミッタは、内部配線を通して、パネルを直接駆動する内蔵型のレシーバ/TCONを駆動する。最もコスト効率の良い実装形態としては、図24に示されるように、レシーバ/TCONをパネルに搭載することによって相互接続配線の数を8本または10本に減らすことができる。

10

【0072】

上記の実施例は、全て、内蔵型のトランスミッタを想定している。しかしながら、独立型のトランスミッタを構成し、それを、AGPスロットまたはSDVOスロットを通してPCIおよびPCI Express環境に統合させることも可能である。独立型のトランスミッタは、グラフィックスハードウェアやグラフィックスソフトウェアに変更を加えることなく出力ストリームを有効にすることができる。

20

【0073】

フローチャートの実施形態

以下では、本発明を有効にする具体的なプロセスを示した各フローチャートを参照しながら本発明の手順を説明する。具体的に言うと、図25～29は、それ単独でまたは他のプロセスとの組み合わせによって本発明の態様を表すことができる相互に関連し合った複数のプロセスを示したフローチャートである。

【0074】

図25は、本発明の一実施形態にしたがって、インターフェース100の動作モードを決定するためのプロセス2500を詳細に示したフローチャートである。このプロセスは、ビデオソースおよびディスプレイデバイスがともにデジタルである場合にのみ動作モードをデジタルモードに設定する。それ以外の場合は動作モードをアナログモードに設定する。なお、ここで言う「アナログモード」は、従来のVGAモードはもちろん、位置合わせ信号を組み込まれた差動アナログビデオおよび双方向の側波帯を有する拡張アナログモードをも含むことができる。この拡張アナログモードは後述される。

30

【0075】

ステップ2502では、ビデオソースに対して問い合わせを行い、そのビデオソースがアナログデータまたはデジタルデータをサポートするか否かを決定する。ビデオソースがアナログデータのみをサポートする場合は、結合デバイス100の動作モードはアナログに設定され(ステップ2508)、プロセスは終了する(ステップ2512)。

【0076】

ビデオソースがデジタルデータを出力できる場合は、プロセスはステップ2506に進む。次に、ディスプレイデバイスに対して問い合わせを行い、そのディスプレイデバイスがデジタルデータを受信するように構成されているか否かを決定する。ディスプレイデバイスがアナログデータのみをサポートする場合は、結合デバイスの動作モードはアナログに設定され(ステップ2508)、プロセスは終了する(ステップ2512)。それ以外の場合は、結合デバイスの動作モードはデジタルに設定される(ステップ2510)。例えば、プロセッサによって結合デバイス内のスイッチを制御し、結合デバイスのモードをデジタルに設定して良い。結合デバイスは、一般に、ビデオソースおよびビデオシンクがともに対応するデジタルモードで動作している場合にのみ、完全にデジタルモードで動作するように構成される。

40

50

【0077】

図26は、本発明のいくつかの態様にしたがって、ビデオ画像の品質をリアルタイムでチェックするためのプロセス2600を詳細に示したフローチャートである。この例では、プロセス2600における決定は、全て、ディスプレイ・インターフェースに結合されたプロセッサによって下される。

【0078】

ステップ2600では、ビデオソースからビデオ信号が受信される。次に、受信されたビデオソースに関連したビデオソースから信号品質テストパターンが提供される(ステップ2602)。ステップ2604では、信号品質テストパターンに基づいてビットエラーレートが決定される。次に、そのビットエラーレートが閾値を上回るか否かの決定が下される(ステップ2606)。ビットエラーレートが閾値以下であると決定された場合は、他にビデオフレームがあるか否かの決定が下される(ステップ2614)。他にもビデオフレームがあると決定された場合は、プロセスはステップ2600に戻る。それ以外の場合は、プロセスは終了する。

10

【0079】

しかしながら、ステップ2606において、ビットレートが閾値を上回ると決定された場合は、ビットレートが最小ビットレートを上回るか否かの決定が下される(ステップ2608)。ビットレートが最小ビットレートを上回る場合は、ビットレートは引き下げられ(ステップ2610)、プロセスはステップ2606に戻る。ビットレートが最小ビットレート以下である場合は、アナログモードに切り替えられ(ステップ2612)、プロセスは終了する。

20

【0080】

図27は、本発明の一実施形態にしたがって、リンクのセットアップのプロセス2700を示したフローチャートである。プロセス2700は、ホットプラグ検出イベント通知が受信される2702から開始する。2704では、関連の補助チャンネルによるメインリンクの照会が行われ、最大データレート、レシーバに含まれる時間ベースのリカバリユニットの数、および使用可能なバッファのサイズが決定される。次に、2706では、トレーニングセッションによる最大リンクデータレートの検証が行われ、2708では、データストリームソースにホットプラグイベントが通知される。2710では、補助チャンネルを通してディスプレイ能力(例えばE D I D等を使用する)の決定がなされる。そして、2712においてディスプレイが照会に応答する結果、2714ではメインリンクトレーニングセッションの協調動作が行われる。

30

【0081】

次に、2716では、補助チャンネルを通してストリームソースからレシーバにストリーム属性が送信される。さらに2718では、ストリームソースは、要求された数のデータストリームをメインリンクが2720でサポートできるか否かに関する通知を受ける。2720では、関連の packets ヘッダを加えることによって各種のデータパケットが形成され、2722では、複数のソースストリームの多重化がスケジュールされる。2724では、リンク状況がOKか否かに関する決定が下される。リンク状況がOKでない場合は、2726において、ソースがリンクの失敗に関する通知を受け、そうでない場合は、2728において、各種の packets ヘッダに基づいてリンクデータストリームが固有のストリームに再構成される。次に、2730では、再構成された固有なデータストリームがディスプレイデバイスに引き渡される。

40

【0082】

図28は、本発明の一実施形態に従って、トレーニングセッションを実施するためのプロセス2800を詳細に示したフローチャートである。なお、トレーニングセッションのプロセス2800は、図25において説明された動作2506の一実装形態である。トレーニングセッションは、トレーニングパターンがメインリンクを通じて所定のリンクレートでレシーバに送信される2802から開始する。図11には、本発明の一実施形態にしたがって、代表的なリンクトレーニングパターンが示されている。図のように、トレーニ

50

ングセッション中は、フェーズ1が最短のランレングスを、フェーズ2が最長のランレングスを表している。レシーバは、これら2種類のフェーズを使用してイコライザを最適化する。フェーズ3では、リンク品質が合理的である限り、ビットロックおよびキャラクタ・ロックの両方が実現されている。レシーバは、2804において関連のトレーニング状況をチェックし、そのチェック結果に基づいて2806において3つのフェーズおよびトランスミッタのそれぞれに対して合格/不合格ビットを設定する。レシーバは、各フェーズで合格が検出された場合にのみ次のフェーズに進む。そして、合格が検出されない場合には、2810でリンクレートを引き下げ、トレーニングセッションを再度行う。2812では、合格が検出されたリンクレートでのメインリンクの準備を整える。

【0083】

図29は、本発明を実装するために利用されるコンピュータシステム2900を示している。コンピュータシステム2900は、本発明を実装できるグラフィックスシステムのほんの一例にすぎない。コンピュータシステム2900は、中央処理装置(CPU)1510と、ランダムアクセスメモリ(RAM)2920と、読み出し専用メモリ(ROM)2925と、1つまたはそれ以上の周辺機器2930と、グラフィックスコントローラ2960と、一次ストレージデバイス2940および2950と、デジタルディスプレイデバイス2970とを含む。当業者に周知のように、ROMが、データおよび命令を単方向にCPU2910に転送するように機能するのに対し、RAMは、データおよび命令を双方向に転送するために使用されるのが普通である。CPU2910は、一般に、任意の数のプロセッサを含んで良い。一次ストレージデバイス2940および2950は、共に、任意の適切なコンピュータ読み取り可能媒体を含んで良い。マスメモリデバイスであるのが普通である二次ストレージ媒体880も、やはり、CPU2910に双方向的に結合され、追加のデータ記憶容量を提供している。マスメモリデバイス880は、コンピュータコードやデータ等を含むプログラムを格納するために使用可能であるコンピュータ読み取り可能媒体である。通例、マスメモリデバイス880は、一般に一次ストレージデバイス2940、2950よりも低速のハードディスクやテープなどのストレージ媒体である。マスメモリデバイス880は、磁気テープもしくは紙テープリーダー、または他の何らかの周知のデバイスの形態をとって良い。なお、マスメモリデバイス880の中に保持されている情報は、適切であると思われる場合には、標準的な方式によってRAM2920の一部に仮想メモリとして組み込まれて良い。

【0084】

CPU2910は、また、1つまたはそれ以上の入出力デバイス890に結合して良い。入出力デバイス890は、ビデオモニタ、トラックボール、マウス、キーボード、マイクロホン、タッチセンシティブディスプレイ、変換器型カードリーダー、磁気テープもしくは紙テープリーダー、タブレット、スタイラス、音声もしくは手書き文字認識器具、および他のコンピュータに代表される他の周知の入力デバイス等のデバイスを含むがこれらに限定されない。最後に、CPU2910は、図中で2995として示されたネットワーク接続を使用して、コンピュータに、またはインターネットネットワークもしくはイントラネットネットワーク等の通信ネットワーク等に結合して良い。このようなネットワーク接続を設ければ、CPU2910は、上述された方法の各ステップを実施するにあたって、ネットワークから情報を受信したりネットワークに情報を出力したりできると考えられる。このような情報は、CPU2910を使用して実行される一連の命令として表されることが多く、例えば搬送波に埋め込まれたコンピュータデータ信号等の形態で、ネットワークから受信したりネットワークに出力したりして良い。上述した装置および素材は、コンピュータのハードウェアおよびソフトウェアの分野の当業者には馴染みのものである。

【0085】

グラフィックスコントローラ2960は、アナログ画像データおよびそれに対応する基準信号を生成し、これらとともにデジタルディスプレイデバイス2970に提供する。アナログ画像データは、例えば、CPU2910または外部のエンコード(図示せず)から受信されたピクセルデータに基づいて生成することができる。一実施形態では、アナログ

10

20

30

40

50

画像データはRGBフォーマットで提供され、基準信号は当該分野では周知のVSYNC信号およびHSYNC信号を含む。しかしながら、本発明は、他のフォーマットのアナログ画像、データ、および/または基準信号を使用して実装することも可能である。例えば、アナログ画像データは、対応する時間基準信号をとまなうビデオ信号データを含むこともできる。

【0086】

以上では、いくつかの実施形態のみを取り上げて説明したが、本発明は、発明の趣旨または範囲を逸脱しない限りにおいて、他の様々な形態で実施することができる。上記の実施例は、例示的であって限定的ではないので、本発明は、上述された詳細に限定されることはなく、添付された特許請求の範囲の範囲内であらゆる等価な形態を変更形態として含むことができる。

10

【0087】

好ましい実施形態を用いて本発明の説明を行ったが、本発明の範囲内の代替、置換、および等価物が存在する。本発明のプロセスおよび装置の両方を実施する多くの別の方法が存在することに注意されたい。したがって、本発明は、本発明の趣旨および範囲に含まれる代替、置換、および等価物のすべてを包含するものとして解釈される。

【図面の簡単な説明】**【0088】**

【図1】本発明の一実施形態にしたがって、クロスプラットフォームのディスプレイ・インターフェース100を示した概略図である。

20

【図2A】本発明の一実施形態にしたがって、ビデオソースとビデオディスプレイユニットとを接続するために使用されるビデオ・インターフェースシステムを示した図である。

【図2B】本発明の一実施形態にしたがって、ビデオソースとビデオディスプレイユニットとを接続するために使用されるビデオ・インターフェースシステムを示した図である。

【図2C】本発明の一実施形態にしたがって、ビデオソースとビデオディスプレイユニットとを接続するために使用されるビデオ・インターフェースシステムを示した図である。

【図3】本発明の一実施形態にしたがって、典型的なメインリンクレートを示している。

【図4A】本発明の一実施形態にしたがって、メインリンクデータパケットを示した図である。

【図4B】本発明の一実施形態にしたがって、メインリンクパケットヘッダを示した図である。

30

【図5A】本発明の一実施形態にしたがって、サブパケットを内包するとともに複数のパケットの多重化を可能にするように構成されたシステムを示した図である。

【図5B】図5Aに示されたシステムの別の一実装形態を示した図である。

【図6】図5に示されたストリームの一例として、多重化されたメインリンクを詳細に示した図である。

【図7】本発明の一実施形態にしたがって、データストリームの別の一例を示した図である。

【図8】本発明の一実施形態にしたがって、多重化されたデータストリームのさらに別の一例を示した図である。

40

【図9A】本発明の一実施形態にしたがって、代表的なサブパケットを示した図である。

【図9B】本発明の一実施形態にしたがって、代表的なメインリンクデータパケットを示した図である。

【図10】選択的にリフレッシュされるグラフィックス画像の一例を示した図である。

【図11】本発明の一実施形態にしたがって、典型的なリンクトレーニングパターンを示している。

【図12】本発明の一実施形態にしたがって、システムの論理的な階層化を示した図である。

【図13】本発明の一実施形態にしたがって、8B/10Bを使用した典型的な特殊文字マッピングを示している。

50

【図 1 4】本発明の一実施形態にしたがって、典型的なマンチェスタIIエンコーディング方式を示した図である。

【図 1 5】本発明の一実施形態にしたがって、代表的な補助チャネルの電気リカルサブ層を示した図である。

【図 1 6】本発明の一実施形態にしたがって、代表的なメインリンクの電気リカルサブ層を示した図である。

【図 1 7】本発明の一実施形態にしたがって、代表的なコネクタを示した図である。

【図 1 8】本発明の一実施形態にしたがったソースの状態図である。

【図 1 9】本発明の一実施形態にしたがったディスプレイの状態図である。

【図 2 0】本発明のコンピュータベースの一実装形態を示した図である。

10

【図 2 1】本発明のコンピュータベースの一実装形態を示した図である。

【図 2 2】本発明のコンピュータベースの一実装形態を示した図である。

【図 2 3】本発明のコンピュータベースの一実装形態を示した図である。

【図 2 4】本発明のコンピュータベースの一実装形態を示した図である。

【図 2 5】本発明の一実施形態にしたがって、インターフェースの動作モードを決定するためのプロセスを詳細に示したフローチャートである。

【図 2 6】本発明のいくつかの態様にしたがって、ビデオ画像の品質をリアルタイムでチェックするためのプロセスを詳細に示したフローチャートである。

【図 2 7 A】本発明の一実施形態にしたがって、リンクをセットアップするプロセスを示したフローチャートである。

20

【図 2 7 B】本発明の一実施形態にしたがって、リンクをセットアップするプロセスを示したフローチャートである。

【図 2 8】本発明の一実施形態に従って、トレーニングセッションを実施するためのプロセスを詳細に示したフローチャートである。

【図 2 9】本発明を実装するために利用されるコンピュータシステムを示した図である。

【符号の説明】

【0089】

100 ... デジタルビデオディスプレイインターフェース

102 ... トランスミッタ

104 ... レシーバ

30

106 ... 物理リンク

108 ... データストリーム

110 ... データストリーム

112 ... データストリーム

114 ... データパケット

116 ... 仮想リンク

118 ... 仮想リンク

120 ... 仮想リンク

200 ... システム

202 ... ビデオソース

40

204 ... ビデオディスプレイ

206 ... デジタル画像

208 ... アナログ画像

210 ... デジタルデータストリーム

212 ... A / D コンバータユニット

213 ... アナログデータストリーム

214 ... デジタルデータストリーム

216 ... ディスプレイインターフェース

218 ... ディスプレイ

220 ... D / A コンバータユニット

50

2 2 2 ...	メインリンク	
2 2 4 ...	補助チャンネル	
2 2 6 ...	時間ベースのリカバリユニット	
2 3 2 ...	デジタルディスプレイデバイス (LCD パネル)	
2 3 4 ...	カラムドライバ	
2 3 6 ...	ロウドライバ	
2 3 8 ...	ディスプレイエレメント	
2 4 0 ...	アレイ	
4 0 0 ...	メインリンクデータパケット	
4 0 2 ...	メインリンクパケットヘッダ	10
5 0 0 ...	システム	
5 0 2 ...	ストリームソースマルチプレクサ	
5 0 4 ...	補足データストリーム	
5 0 6 ...	多重化データストリーム	
5 0 8 ...	リンク層マルチプレクサ	
5 1 0 ...	多重化メインリンクストリーム	
5 1 2 ...	データパケット	
5 1 4 ...	サブパケット	
5 1 6 ...	リンク層デマルチプレクサ	
5 1 8 ...	ストリームシンクデマルチプレクサ	20
5 2 0 ...	双方向の補助チャンネル	
5 2 2 ...	メインリンクの帯域の一部	
5 2 4 ...	単方向の上りチャンネル	
6 0 0 ...	多重化メインリンクストリーム	
8 8 0 ...	二次ストレージ媒体	
8 9 0 ...	入出力デバイス	
9 0 0 ...	サブパケット	
9 0 2 ...	サブパケット	
1 0 0 0 ...	非圧縮グラフィックス画像	
1 0 0 2 ...	全体フレーム	30
1 0 0 4 ...	部分	
2 0 0 0 ...	システム 2 0 0 の階層状態	
1 2 0 2 ...	ソース物理層	
1 2 0 2 - 1 ...	電気的サブ層	
1 2 0 2 - 2 ...	ロジカルサブ層	
1 2 0 4 ...	ソースリンク層	
1 2 0 6 ...	ストリームソース	
1 2 0 8 ...	シンク物理層	
1 2 0 8 - 1 ...	ロジカルサブ層	
1 2 1 0 ...	シンクリンク層	40
1 2 1 2 ...	ストリームシンク	
1 2 1 4 ...	ソースアプリケーションプロファイル層	
1 2 1 6 ...	シンクアプリケーションプロファイル層	
1 5 0 2 ...	トランスミッタ	
1 5 0 4 ...	レシーバ	
1 6 0 2 ...	トランスミッタ	
1 6 0 4 ...	レシーバ	
1 7 0 0 ...	コネクタ	
2 0 0 0 ...	PC マザーボード	
2 0 0 2 ...	オンボードグラフィックスエンジン	50

- 2 0 0 4 ... トランスマッタ
- 2 0 0 6 ... コネクタ
- 2 0 0 8 ... ディスプレイデバイス
- 2 0 1 0 ... ツイストペアケーブル
- 2 9 0 0 ... コンピュータシステム
- 1 5 1 0 ... 中央処理装置
- 2 9 2 0 ... ランダムアクセスメモリ
- 2 9 2 5 ... 読み出し専用メモリ
- 2 9 3 0 ... 周辺機器
- 2 9 4 0 ... 一次ストレージデバイス
- 2 9 5 0 ... 一次ストレージデバイス
- 2 9 6 0 ... グラフィックスコントローラ
- 2 9 7 0 ... デジタルディスプレイデバイス
- 2 9 9 5 ... ネットワーク接続

【 図 1 】

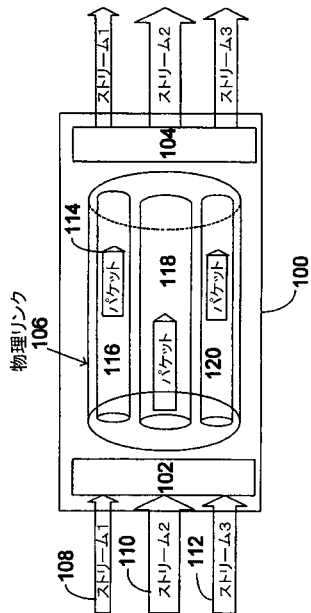


Fig. 1

【 図 2 A 】

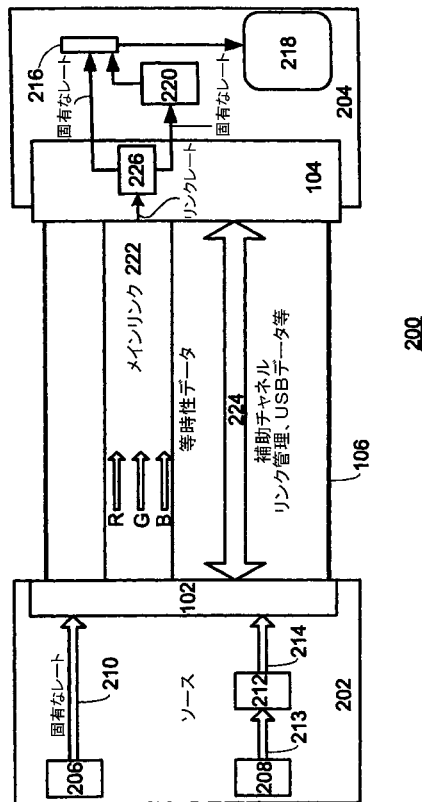


Fig. 2A

【 図 2 B 】

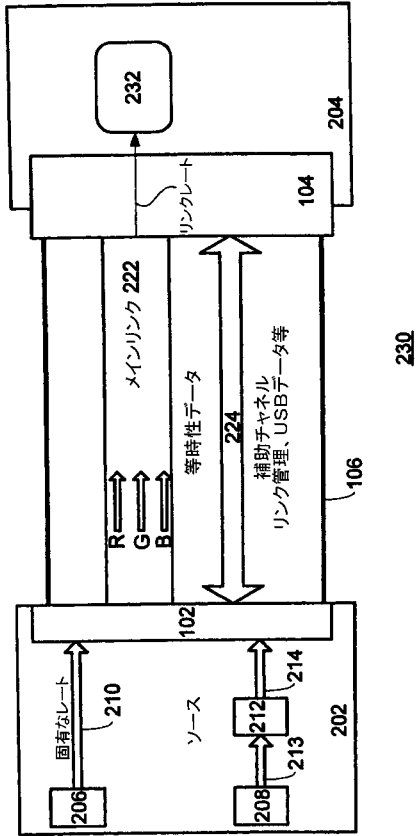


Fig. 2B

【 図 2 C 】

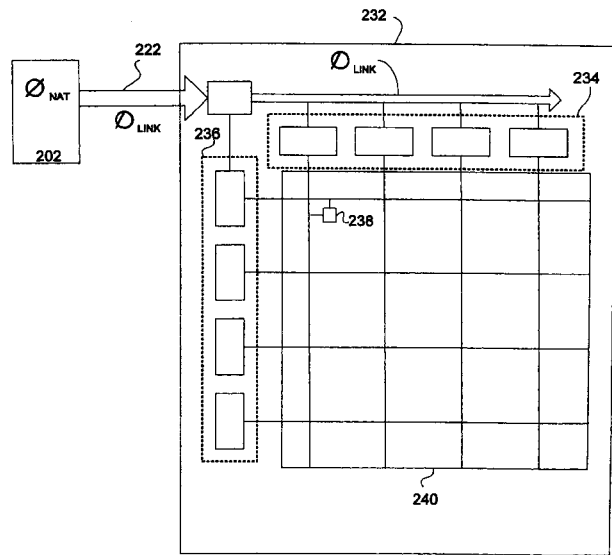


Fig. 2C

【 図 3 】

メインリンクデータレート

チャンネルごとの 名目のポーレート (ギガビット/秒)	チャンネルごとの 実際のポーレート (ギガビット/秒)	24MHz水晶 周波数に基づく クロック倍率
1.0	0.960	x40
1.35	1.344	x56
1.7	1.728	x72
2.1	2.112	x88
2.5	2.496	x104

Fig. 3

【 図 4 A 】

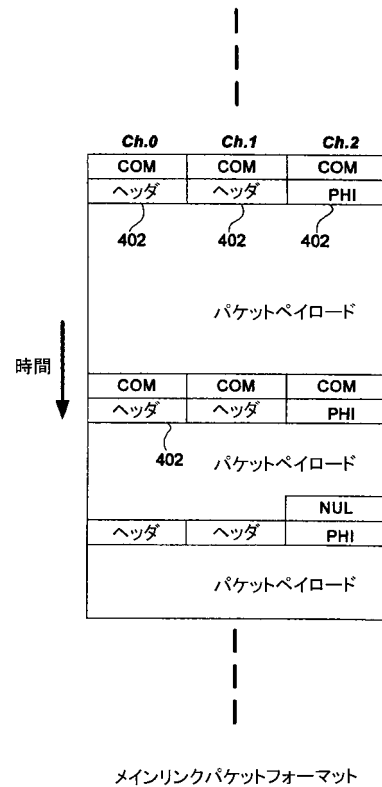


Fig. 4A

メインリンクパケットフォーマット

【 図 4 B 】

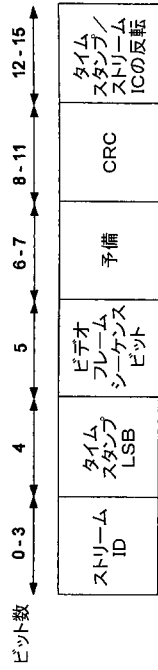


Fig. 4B

【 図 5 A 】

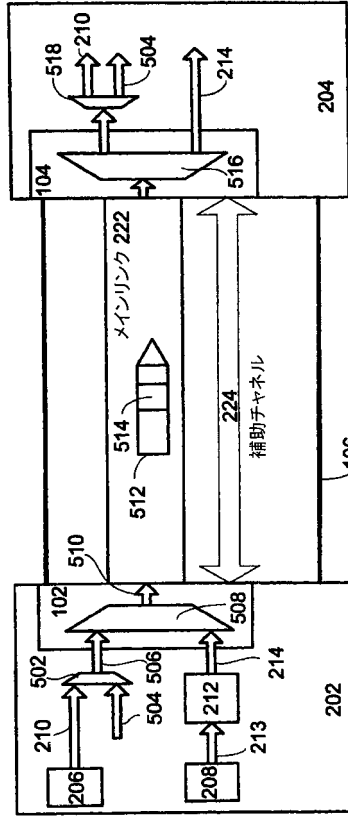


Fig. 5A

【 図 5 B 】

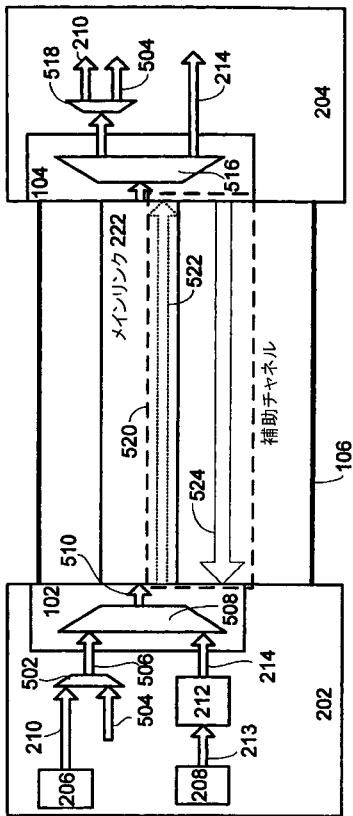


Fig. 5B

【 図 6 】

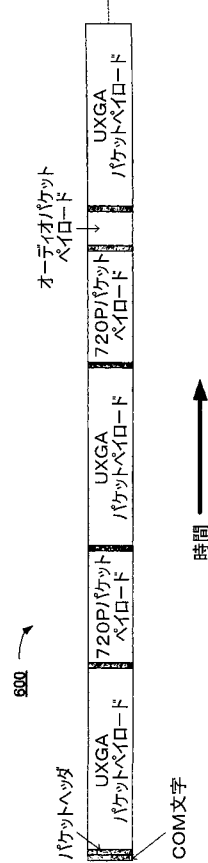


Fig. 6
三本のストリームをとらなリンクトフラフィックの詳細例

【 図 7 】

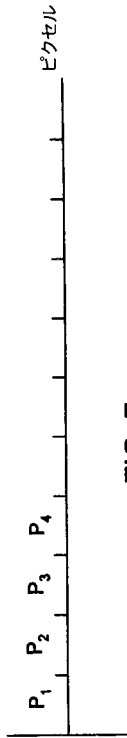


FIG. 7

【 図 8 】

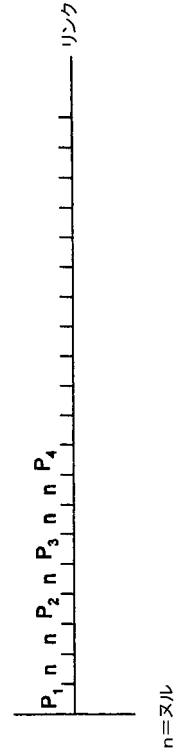


FIG. 8

【 図 9 A 】

SID=1	0	0	0	0	CRC	TSP19-16	PHI
サブパケットヘッダ 902							
サブパケットペイロード							
SID=1	1	0	0	0	CRC	TSP3-0	PHI
SID1のためのパケットペイロード							

Fig. 9A

【 図 9 B 】

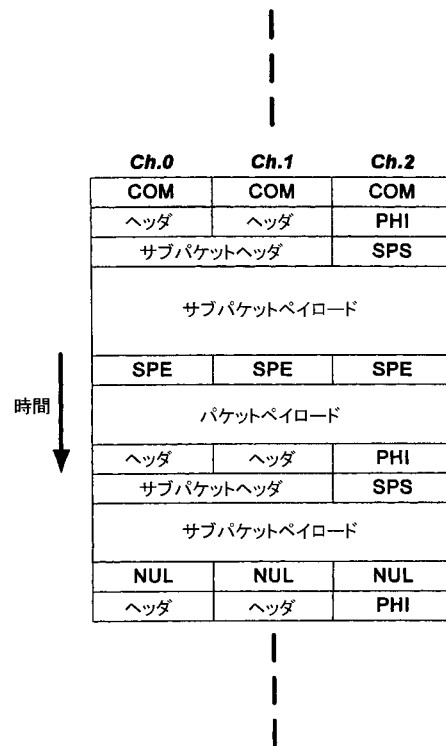


Fig. 9B

【 図 1 0 】

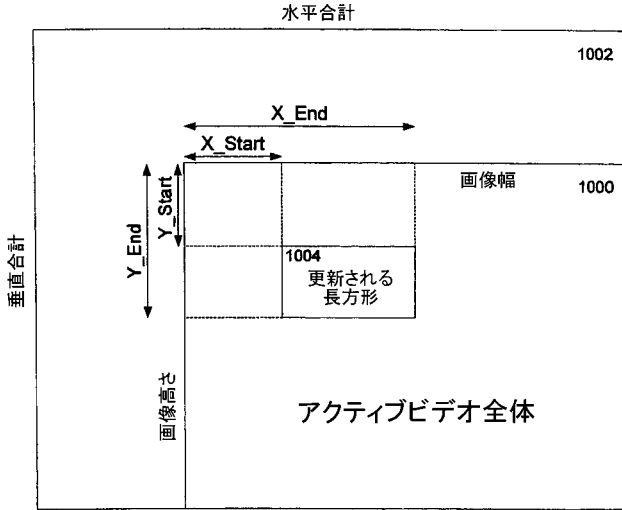


Fig. 10

【 図 1 1 】

フェーズ	伝送されるリンク文字	バイナリパターン
1	D10.2	0101010101 0101010101 0101010101 0101010101 0101010101
2	K28.7	0011111000 0011111000 0011111000 0011111000 0011111000
3	K28.5, and three D10.2	0011111010 0101010101 0101010101 0101010101 1100000101

メインリンクトレーニングパターン

Fig. 11

【 図 1 2 】

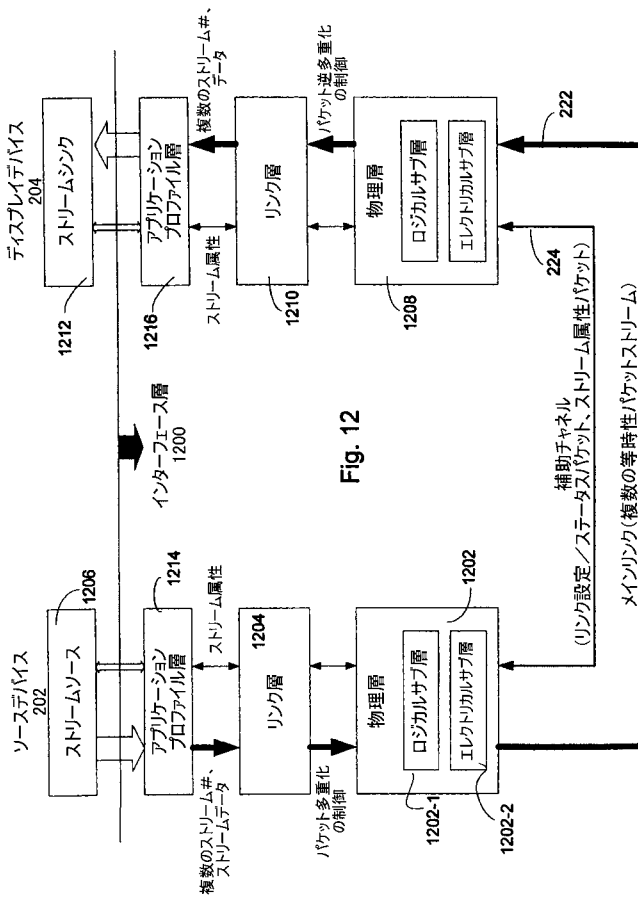


Fig. 12

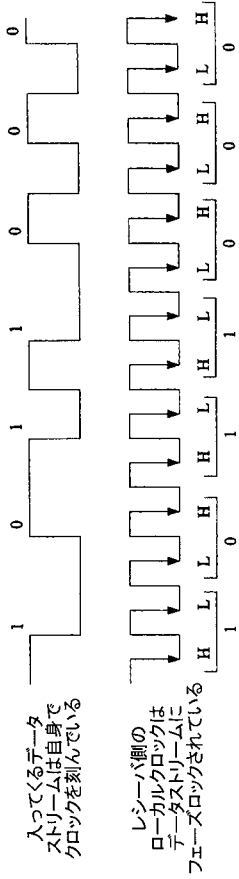
【 図 1 3 】

8B/10B特殊文字の使用法

エンコーディング	名前	内容
K28.5	コマ(GOM)	パケット間に挿入される。テストパターンの一部としても使用される。
K28.7	トレーニングパターン(TPN)	ビット/バイトロックのためにトレーニングパターン伝送の最中に送信される。
K23.7	ヌル(NUL)	伝送するべきデータがない場合にパケット期間内に送信される。
K28.2	サブパケット開始 (SPS)	パケットに挿入されたサブパケットの開始を示す。
K29.7	サブパケット終了 (SPE)	メインパケットに挿入されたサブパケットの終了を示す。
K28.0	パケットヘッダインジケータ (PHI)	ヘッダの識別のために16ビットのヘッダとともに送信される。
K28.1		予備
K28.3		予備
K28.4		予備
K28.6		予備
K25.7		予備
K27.7		予備

Fig. 13

【 図 1 4 】



マンチエスタ明によってコード化されたストリーム

Fig. 14

【 図 1 5 】

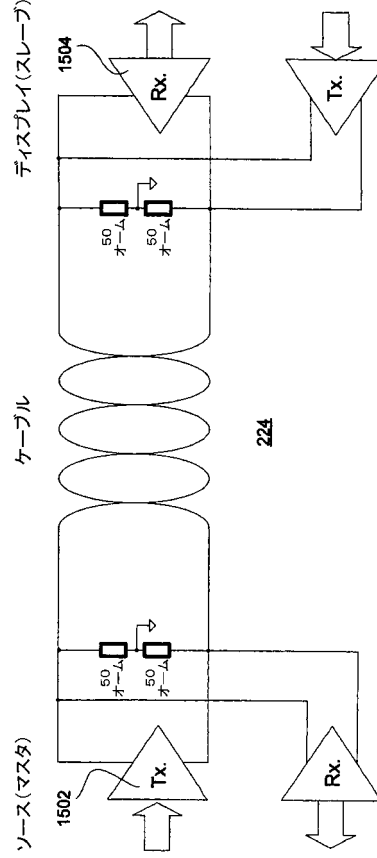


Fig. 15

【 図 1 6 】

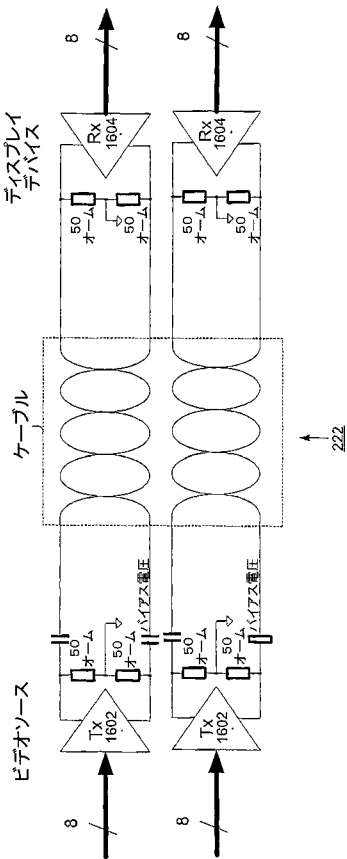


Fig. 16

【 図 1 7 】

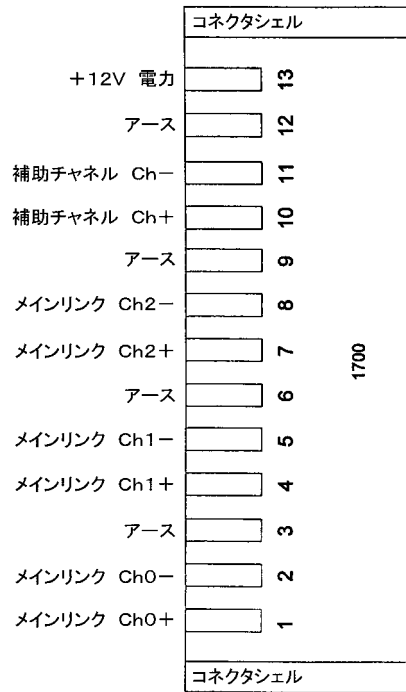


Fig. 17

【 図 18 】

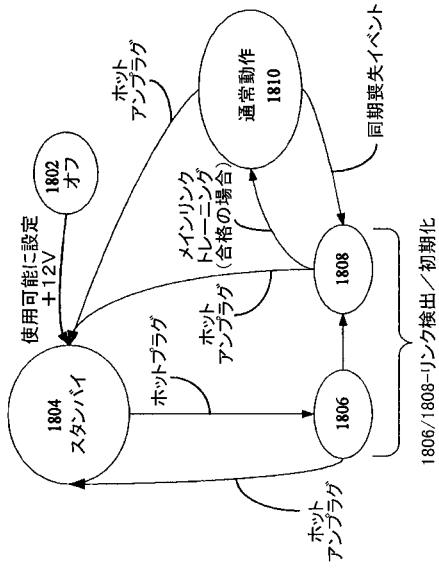


Fig. 18

【 図 19 】

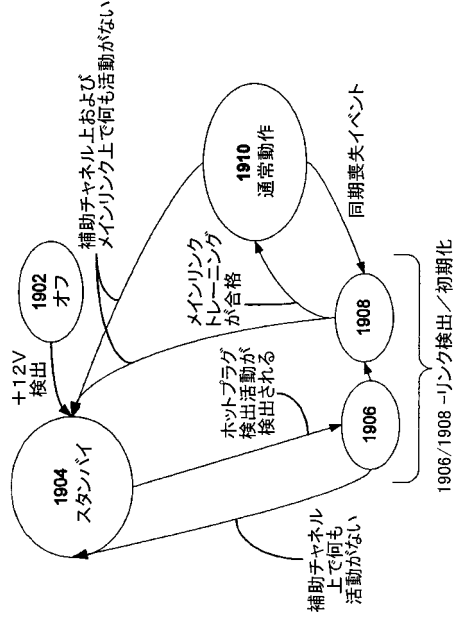
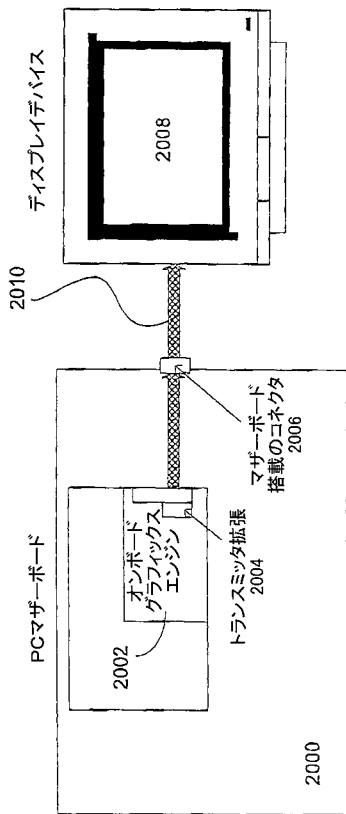


Fig. 19

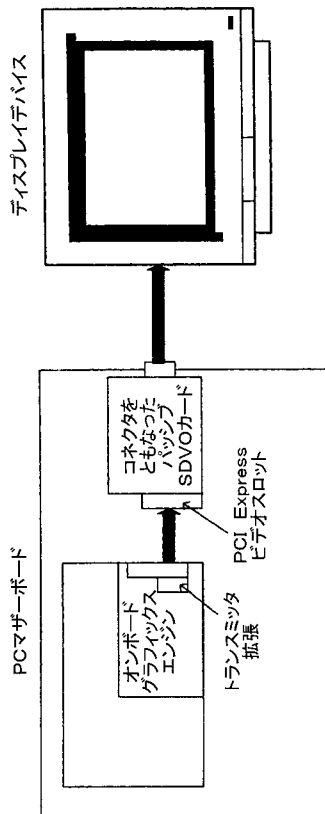
【 図 20 】



専用のDD-Expressコネクタをもなった PCI Express マザーボード

Fig. 20

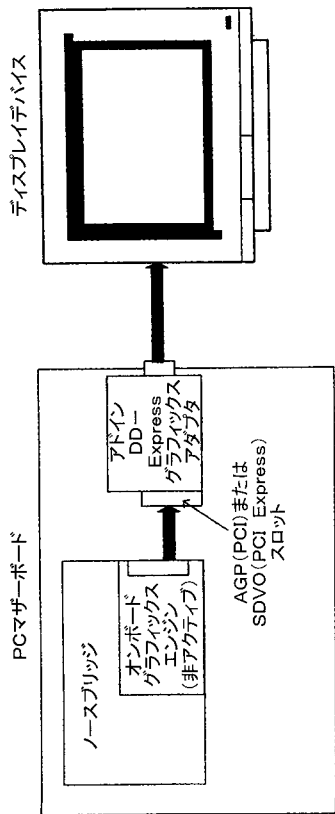
【 図 21 】



パンプコネクタをもなった PCI Express マザーボード

Fig. 21

【 図 2 2 】



アドインDD-Expressグラフィックスカードをともなった PCI Expressマザーボード

Fig. 22

【 図 2 3 】

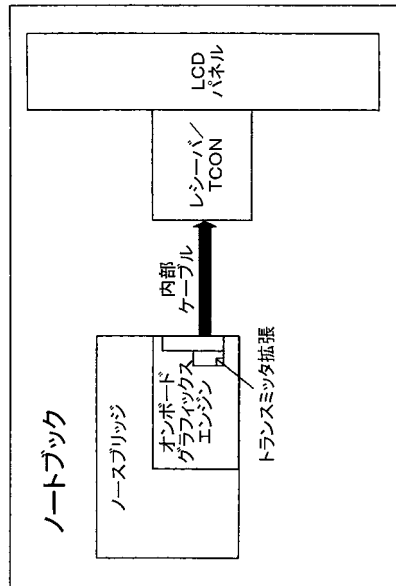
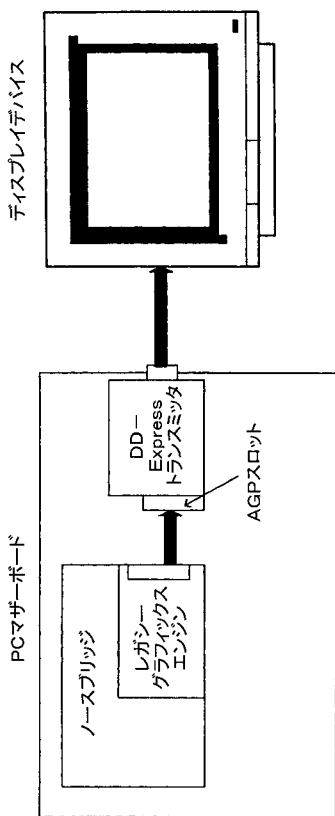


Fig. 23

【 図 2 4 】



レガシーバスカードスロットに搭載のレガシーグラフィックスアクセラレータ/ストランスミッタによってデジタルラスタデータ/タイミング信号をメインリンクストリームに変換する

Fig. 24

【 図 2 5 】

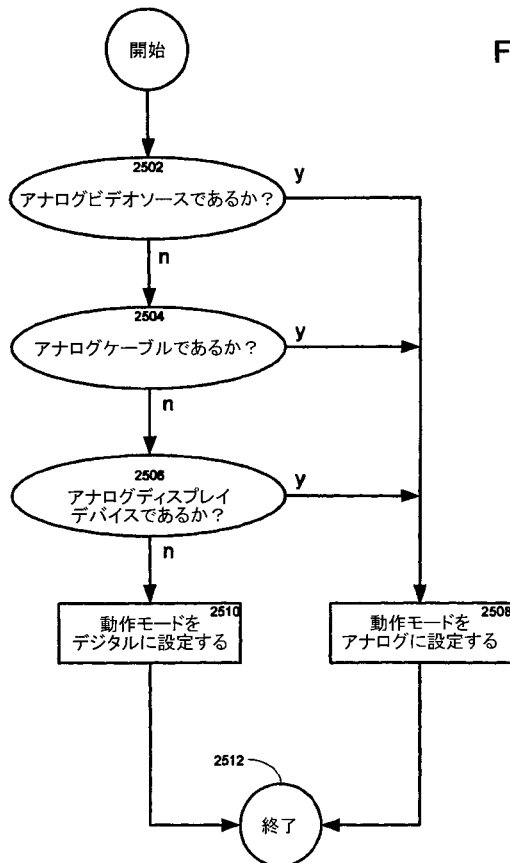


Fig. 25

【 図 2 6 】

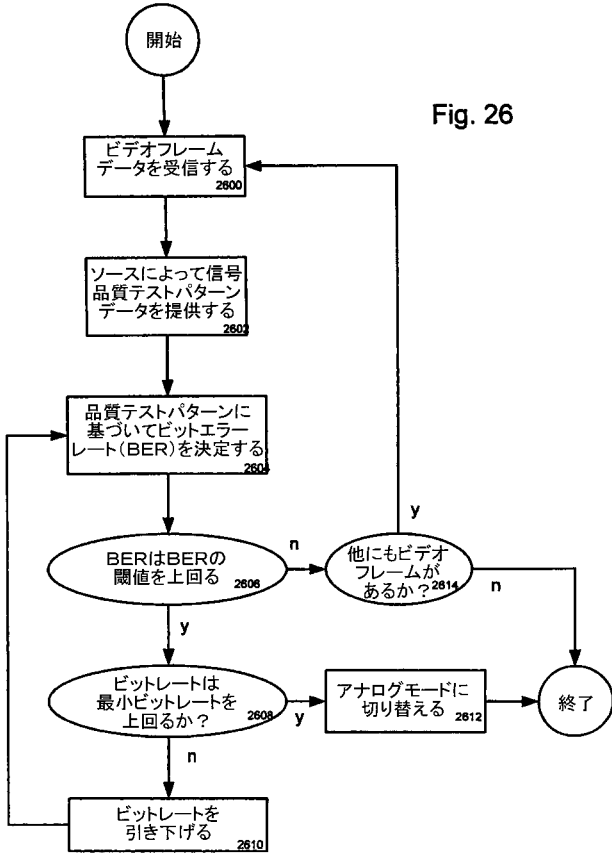


Fig. 26

【 図 2 7 A 】

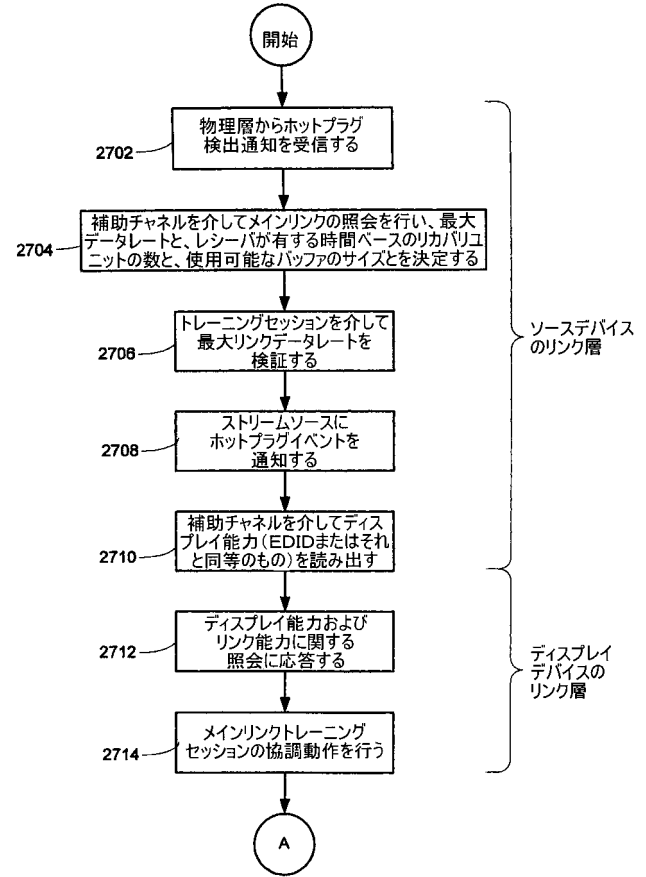


Fig. 27A

【 図 2 7 B 】

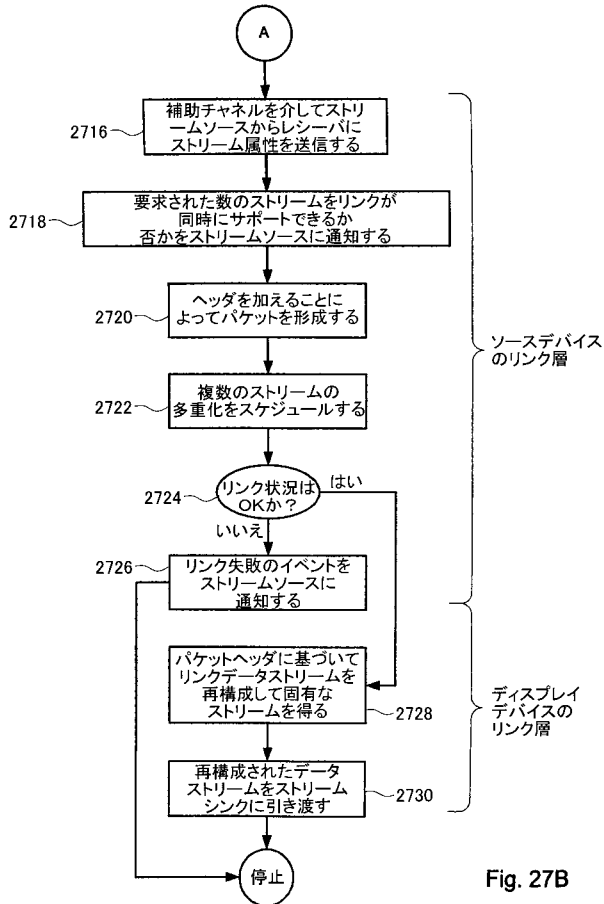


Fig. 27B

【 図 2 8 】

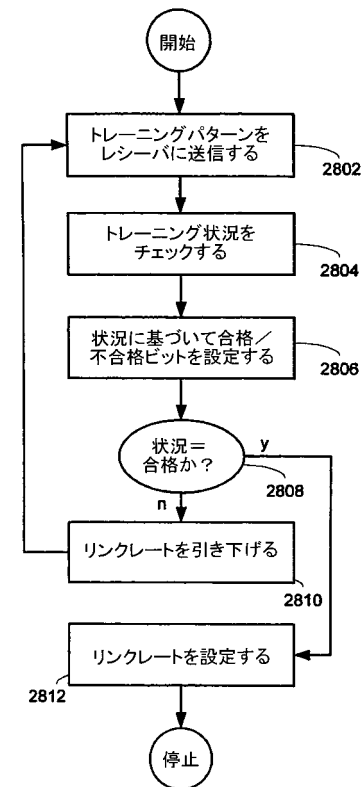


Fig. 28

【 図 29 】

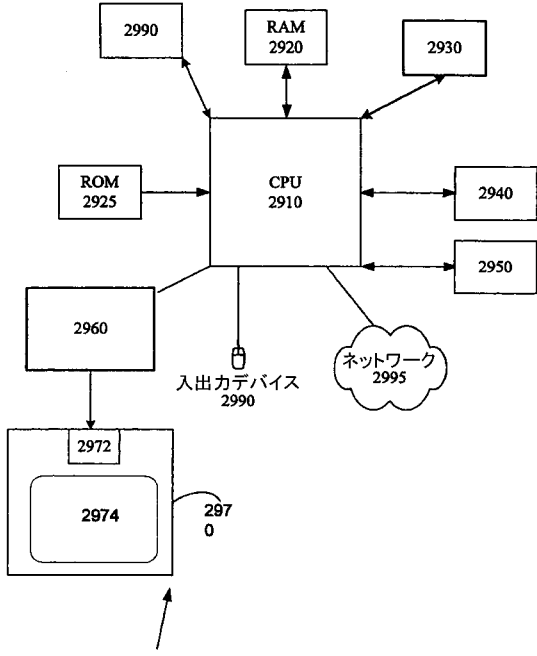


Fig. 29

フロントページの続き

(31)優先権主張番号 10/726441

(32)優先日 平成15年12月2日(2003.12.2)

(33)優先権主張国 米国(US)

(72)発明者 小林 修

アメリカ合衆国 カリフォルニア州9 4 0 2 4 ロス・アルトス, フォーレン・リーフ・レーン,
1 4 6 4

Fターム(参考) 5B014 GE04 GE05

5B069 BA00 BB01 LA02 LA20

5C082 BB01 CB01 DA87

【外国語明細書】

1. TITLE OF THE INVENTION

VIDEO INTERFACE ARRANGED TO PROVIDE PIXEL DATA INDEPENDENT OF A LINK CHARACTER CLOCK

2. DETAILED DESCRIPTION OF THE INVENTION

Field of the Invention

[0001]

The invention relates to display devices. More specifically, the invention relates to digital display interface suitable for coupling video sources to video display devices.

Description of the Related Art

[0002]

Currently, video display technology is divided into analog type display devices (such as cathode ray tubes) and digital type display devices (such as liquid crystal display, or LCD, plasma screens, etc.), each of which must be driven by specific input signals in order to successfully display an image. For example, a typical analog system includes an analog source (such as a personal computer, DVD player, etc.) coupled directly to a display device (sometimes referred to as a video sink) by way of a communication link. The communication link typically takes the form of a cable (such as an analog VGA cable in the case of a PC, otherwise referred to as VGA DB15 cable) well known to those of skill in the art. For example, the VGA DB15 cable includes 15 pins, each of which is arranged to carry a specific signal.

[0003]

One of the advantages of the VGA DB15 cable is the ubiquitous nature of the cable, due to the large and ever-expanding installed base. As long as the analog systems described above predominate, there is little incentive to migrate away from any other cable form than the VGA DB15.

[0004]

However, in recent years, the exploding growth of digital systems has made the use of digital capable cables such as Digital Visual Interface (DVI) cable more desirable. It is well known that DVI is a digital interface standard created by the Digital Display Working Group (DDWG). Data are transmitted using the transition minimized differential signaling (TMDS) protocol, providing a digital signal from the PC's graphics subsystem to the display. DVI handles bandwidths in excess of 160 MHz and thus supports UXGA and HDTV with a single set of links.

[0005]

Today's display interconnect landscape includes the VGA (analog) and DVI (digital) for desktop display interconnect applications as well as LVDS (digital) for internal connectivity applications within laptops and other all-in-one devices. Graphics IC vendors, display controller IC vendors, monitor manufacturers and PC OEMs as well as desktop PC consumers, to one degree or another, must factor in interface choice into their design, product definition, manufacturing, marketing and purchase decisions. For example, if a consumer purchases a PC with an analog VGA interface then the consumer must either purchase an analog monitor or a digital monitor in which the analog video signal provided by the VGA interface has been digitized by way of an inline analog to digital converter (ADC) or an ADC built into the particular monitor.

[0006]

Therefore, it would be desirable to have a digital interface that is more cost effective than current interfaces (such as DVI) for coupling video sources and video displays. In some cases, the digital interface would also be backward compatible with analog video, such as VGA.

SUMMARY OF THE INVENTION

[0007]

A packet based display interface arranged to couple a multimedia source device to a multimedia sink device is disclosed that includes a transmitter unit coupled to the source device arranged to receive a source packet data stream in accordance with a native stream rate, a receiver unit coupled to the sink device, and a linking unit coupling the transmitter unit and the receiver unit arranged to transfer the video data in the form of a number of main link characters at a link character clock rate that is independent of the native stream rate such that video data and the link character clock are asynchronous to each other.

[0008]

In another embodiment, a packet based method of coupling a multimedia source device to a multimedia sink device is disclosed. The method includes the operations of receiving source video data in accordance with a native video data rate and transferring the video data in the form of a number of main link characters at a link character clock rate that is independent of the native stream rate such that video data and the link character clock are asynchronous to each other.

[0009]

In another embodiment, computer program product for coupling a multimedia source device to a multimedia sink device is disclosed. The computer program product includes computer code for receiving source video data in accordance with a native video data rate, computer code for transferring the video data in the form of a number of main link characters at a link character clock rate that is independent of the native stream rate such that video data and the link character clock are asynchronous to each other, and computer readable medium for storing the computer code.

DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS

[0010]

Reference will now be made in detail to a particular embodiment of the invention an example of which is illustrated in the accompanying drawings. While the invention will be described in conjunction with the particular embodiment, it will be understood that it is not intended to limit the invention to the described embodiment. To the contrary, it is intended to cover alternatives, modifications, and equivalents as may be included within the spirit and scope of the invention as defined by the appended claims.

[0011]

The inventive interface is a point-to-point, packet-based, plug & play, serial digital display interface that is both open and scalable that is suitable for use with, but not limited to, desktop monitors as well as providing LCD connectivity within notebook/all-in-one PC's, and consumer electronics display devices including HDTV displays and the like. Unlike conventional display interfaces that transmit a single video raster plus timing signals such as Vsync, Hsync, DE, etc., the inventive interface provides a system of multi-stream packet transfer cap

able of transferring one or more packet streams simultaneously in the form of "virtual pipes" established within a physical link.

[0012]

For example, Fig. 1 shows a generalized representation of a cross platform packet based digital video display interface 100 in accordance with an embodiment of the invention. The interface 100 connects a transmitter 102 to a receiver 104 by way of a physical link 106 (also referred to as a pipe). In the described embodiment, a number of data streams 108 - 112 are received at the transmitter 102 that, if necessary, packetizes each into a corresponding number of data packets 114. These data packets are then formed into corresponding data streams each of which are passed by way of an associated virtual pipe 116 - 120 to the receiver 104. It should be noted that the link rate (i.e., the data packet transfer rate) for each virtual link can be optimized for the particular data stream resulting in the physical link 106 carrying data streams each having an associated link rate (each of which could be different from each other depending upon the particular data stream). The data streams 110 - 114 can take any number of forms such as video, graphic, audio, etc.

[0013]

Typically, when the source is a video source, the data streams 110 - 114 include various video signals that can have any number and type of well-known formats, such as composite video, serial digital, parallel digital, RGB, or consumer digital video. The video signal can be an analog video signal provided the source 102 includes some form of an analog video source such as for example, an analog television, still camera, analog VCR, DVD player, camcorder, laser disk player, TV tuner, set top box (with satellite DSS or cable signal) and the like. The source 102 can also include a digital image source such as for example a digital television (DTV), digital still camera, and the like. The digital video signal can be any number and type of well known digital formats such as, SMPTE 274M-1995 (1920 x 1080 resolution, progressive or interlaced scan), SMPTE 296M-1997 (1280 x 720 resolution, progressive scan), as well as standard 480 progressive scan video.

[0014]

In the case where the source 102 provides an analog image signal, an analog-to-digital converter (A/D) converts an analog voltage or current signal into a discrete series of digitally encoded numbers (signal) forming in the process an appropriate digital image data word suitable for digital processing. Any of a wide variety of A/D converters can be used. By way of example, other A/D converters include, for example those manufactured by: Philips, Texas Instrument, Analog Devices, Brooktree, and others.

[0015]

For example, if the data stream 110 is an analog type signal, the an analog to digital converter (not shown) included in or coupled to the transmitter 102 will digitize the analog data which is then packetize by a packetizer that converts the digitized data stream 110 into a number of data packets 114 each of which will be transmitted to the receiver 104 by way of the virtual link 116. The receiver 104 will then reconstitute the data stream 110 by appropriately recombining the data packets 114 into their original format. It should be noted that the link rate is independent of the native stream rates. The only requirement is that the link bandwidth of the physical link 106 be higher than the aggregate bandwidth of data stream(s) to be transmitted. In the described embodiment, the incom

ing data (such as pixel data in the case of video data) is packed over the respective virtual link based upon a data mapping definition. In this way, the physical link 106 (or any of the constituent virtual links) does not, as does conventional interconnects such as DVI, carry one pixel data per link character clock.
[0016]

In this way, the interface 100 provides a scaleable medium for the transport of not only video and graphics data, but also audio and other application data as may be required. In addition, the invention supports hot-plug event detection and automatically sets the physical link (or pipe) to its optimum transmission rate. The invention provides for a low pin count, purely digital display interconnect for all displays suitable for multiple platforms. Such platforms include host to display, laptop/all-in-one as well as HDTV and other consumer electronics applications.
[0017]

In addition to providing video and graphics data, display timing information can be embedded in the digital stream providing essentially perfect and instant display alignment, obviating the need for features like "Auto-Adjust" and the like. The packet based nature of the inventive interface provides scalability to support multiple, digital data streams such as multiple video/graphics streams and audio streams for multimedia applications. In addition, a universal serial bus (USB) transport for peripheral attachment and display control can be provided without the need for additional cabling.
[0018]

Other embodiments of the inventive display interface will be discussed below.
[0019]

Fig. 2 illustrates a system 200 based upon the system 100 shown in Fig.1 that is used to connect a video source 202 and a video display unit 204. In the illustrated embodiment, the video source 202 can include either or both a digital image (or digital video source) 206 and an analog image (or analog video source) 208. In the case of the digital image source 206, a digital data stream 210 is provided to the transmitter 102 whereas in the case of the analog video source 208, an A/D converter unit 212 coupled thereto, converts an analog data stream 213 to a corresponding digital data stream 214. The digital data stream 214 is then processed in much the same manner as the digital data stream 210 by the transmitter 102. The display unit 204 can be an analog type display or a digital type display or in some cases can process either analog or digital signals provided thereto. In any case, the display unit 204 includes a display interface 216 that interfaces the receiver 104 with a display 218 and a D/A converter unit 220 in the case of an analog type display. In the described embodiment, the video source 202 can take any number of forms (such as a personal desktop computer, digital or analog TV, set top box, etc.) whereas the video display unit 104 can take the form of a video display (such as an LCD type display, CRT type display, etc.).

[0020]

Regardless of the type of video source or video sink, however, the various data streams are digitized (if necessary) and packetized prior to transmission over the physical link 106 which includes a uni-directional main link 222 for isochronous data streams and a bi-directional auxiliary channel 224 for link setup and other data traffic (such as various link management information, Universal serial bus (USB) data, etc.) between the video source 202 and the video display 204.

[0021]

The main link 222 is thereby capable of simultaneously transmitting multiple isochronous data streams (such as multiple video/graphics streams and multi-channel audio streams). In the described embodiment, the main link 222 includes a number of different virtual channels, each capable of transferring isochronous data streams (such as uncompressed graphics/video and audio data) at multiple gigabits per second (Gbps). From a logical viewpoint, therefore, the main link 222 appears as a single physical pipe and within this single physical pipe, multiple virtual pipes can be established. In this way, logical data streams are not assigned to physical channels rather, each logical data stream is carried in its own logical pipe (i.e., virtual channel described above).

[0022]

In the described embodiment, the speed, or transfer rate, of the main link 222 is adjustable to compensate for link conditions. For example, in one implementation, the speed of the main link 222 can be adjusted in a range approximated by a slowest speed of about 1.0 Gbps to about 2.5 Gbps per channel in approximately 0.4Gbps increments (see Fig. 3). At 2.5 Gbps per channel, the main link 222 can support SXGA 60Hz with a color depth of 18 bits per pixel over a single channel. It should be noted that a reduction in the number of channels reduces not only the cost of interconnect, but also reduces the power consumption which is an important consideration (and desirable) for power sensitive applications such as portable devices and the like. However, by increasing the number of channels to four, the main link 222 can support WQSXGA (3200 x 2048 image resolution) with a color depth of 24-bits per pixel at 60Hz. or QSXGA (2560 x 2048) with a color depth of 18-bits per pixel at 60Hz, without data compression. Even at the lowest rate of 1.0 Gbps per channel, only two channels are required to support an uncompressed HDTV (i.e., 1080i or 720p) data stream.

[0023]

In the described embodiment, a main link data rate is chosen whose bandwidth exceeds the aggregate bandwidth of the constituent virtual links. Data sent to the interface arrives at the transmitter at its native rate. A time-base recovery (TBR) unit 226 within the receiver 104 regenerates the stream's original native rate using time stamps embedded in the main link data packets, if necessary. It should be noted, however, that for appropriately configured digital display devices 232 shown in Fig. 2B, time base recovery is unnecessary since display data is sent to the display driver electronics at the link character clock rate, thereby greatly reducing the number of channels required with a commensurate reduction in complexity and cost for the display. For example, Fig. 2C illustrates an exemplary LCD panel 232 configured in such a way that no time base recovery since display data is essentially pipelined to the various column drivers 234 that are used in combination with row drivers 236 to drive selected display elements 238 in the array 240.

[0024]

Other embodiments describe a simple enumeration method for the link rate and the pixel/audio clock rate. It has been researched and understood that all the standard pixel/audio clock frequencies that exist today are a subset of the following master frequency:

[0025]

$$23.76\text{GHz} = 2^{10} \times 3^3 \times 5^7 \times 11^1 \text{ Hz}$$

[0026]

This means that a pixel (or audio) clock rate can be expressed with four parameters, A, B, C, and D as:

[0027]

$$\text{Pixel clock rate} = 2^A * 3^B * 5^C * 11^D$$

A = 4 bits, B = 2 bits, C = 3 bits, and D = 1 bit.

[0028]

Even for a link whose link rate (which is the serial link bit rate / 10 for a link that uses 10-bit character such as 8B/10B characters) may be different from the pixel clock rate, there is a benefit in defining the link rate with these four parameters, A', B', C', and D': The benefit is the simplicity in regenerating pixel/audio clocks from a link clock. For example, let's say the link rate is set as A' = 6, B' = 3, C' = 7, and D' = 0 and the corresponding link rate is 135M Hz. However, suppose the pixel clock rate is set as A = 8, B = 3, C = 6, and D = 0 (= 108MHz), then the pixel clock can be generated from link clock as pixel clock rate is equal to the link rate * 22 / 51.

[0029]

Referring back to those systems requiring time base recovery, the time-base recovery unit 226 may be implemented as a digital clock synthesizer. For an uncompressed video stream, the time stamp is stored in the packet header which as described in more detail below, is a 20-bit value. For a given stream, four of 20 bits are stored in each header successively (TS3-0, TS7-4, TS11-8, TS15-12, TS19-16). Native stream frequency (Freq_native) is obtained from link character clock frequency (Freq_link_char) as:

[0030]

$$\text{Eq(1) } \text{Freq_native} = \text{Freq_link_char} * (\text{TS19-0})/2^{20}$$

[0031]

The transmitter 102 generates this time stamp by counting the number of native stream clocks in 220 cycles of the link character clock frequency period. The counter updates the value every 220 cycles of the link character clock. Since these two clocks are asynchronous with each other, the time stamp value will change by 1 over time. Between updates, the transmitter 102 will repeatedly send the same time stamp in the header of the given packet stream. A sudden change of the time stamp value (by more than 1 count) may be interpreted by the receiver as an indication of an unstable condition of the stream source.

[0032]

It should be noted that, no time stamp is communicated for an audio stream. In this case, the source device informs the display device of the audio sample rate and number of bits per sample. By determining the audio rate based upon Eq(2) and the link character rate, the display device regenerates the original audio stream rate.

[0033]

$$\text{Eq(2) } \text{Audio rate} = (\text{audio sample rate}) * (\# \text{ bits per sample}) * (\# \text{ channels})$$

[0034]

A main link data packet 400 shown in Fig. 4A includes a main link packet header 402 as shown in Fig. 4B that is formed of 16 bits where bits 3-0 are the Stream ID (SID) (indicating that maximum stream count is 16), bit 4 is the Time Stamp (TS) LSB. When bit 4 is equal to 1, this packet header has the least significant 4 bits of Time Stamp value (used only for uncompressed video stream). Bit 5 is a Video frame sequence bit which acts as the least significant bit of the frame counter which toggles from "0" to "1" or from "1" to "0" at the video f

frame boundary (used only for uncompressed video stream). Bits 7 and 6 are reserved whereas bits 8 through 10 are a 4-bit CRC (CRC) that checks errors for the previous eight bits. Bits 15-12 are Time Stamp/Stream ID Inversion. (TSP/SIDn) which for uncompressed video are used as four bits of 20-bit Time Stamp value.

[0035]

One of the advantages of the inventive interface is the ability to multiplex different data streams each of which can be different formats as well as have certain main link data packets include a number of sub packets. For example, Fig. 5 shows a system 500 arranged to provide sub-packet enclosure and multiple-packet multiplexing in accordance with an embodiment of the invention. It should be noted that the system 500 is a particular embodiment of the system 200 shown in Fig. 2 and should therefore not be construed as limiting either the scope or intent of the invention. The system 500 includes a stream source multiplexer 502 included in the transmitter 102 used to combine a stream 1 supplemental data stream 504 with the data stream 210 to form a multiplexed data stream 506. The multiplexed data stream 506 is then forwarded to a link layer multiplexer 508 that combines any of a number of data streams to form a multiplexed main link stream 510 formed of a number of data packets 512 some of which may include any of a number of sub packets 514 enclosed therein. A link layer de-multiplexer 516 splits the multiplexed data stream 510 into its constituent data streams based on the stream IDs (SIDs) and associated sub packet headers while a stream sink de-multiplexer 518 further splits off the stream 1 supplemental data stream contained in the sub-packets.

[0036]

Fig. 6 shows a high-level diagram of the multiplexed main link stream 600 as an example of the stream 510 shown in Fig. 5 when three streams are multiplexed over the main link 222. The three streams in this example are: UXGA graphics (Stream ID = 1), 1280x720p video (Stream ID = 2), and audio (Stream ID = 3). The small packet header size of main link packet 400 minimizes the packet overhead, which results in the very high link efficiency. The reason the packet header can be so small is that the packet attributes are communicated via the auxiliary channel 224 prior to the transmission of the packets over main link 222.

[0037]

Generally speaking, the sub-packet enclosure is an effective scheme when the main packet stream is an uncompressed video since an uncompressed video data stream has data idle periods corresponding to the video-blanking period. Therefore, main link traffic formed of an uncompressed video stream will include series of Null special character packets during this period. By capitalizing on the ability to multiplex various data streams, certain implementations of the present invention use various methods to compensate for differences between the main link rate and the pixel data rate when the source stream is a video data stream. For example, as illustrated in Fig. 7, the pixel data rate is .5 Gb/sec, such that a bit of pixel data is transmitted every 2 ns. In this example, the link rate has been set to 1.25 Gb/sec, such that a bit of pixel data is transmitted each .8 ns.

Here, transmitter 102 intersperses special characters between pixel data as illustrated in Fig. 8. Two special characters are disposed between a first bit of pixel data P1 and a second bit of pixel data P2. The special characters allow receiver 104 to distinguish each bit of pixel data. Interspersing the special characters between bits of pixel data also creates a steady stream of data that allows the link to maintain synchronization. In this example, the special charac

ters are Null characters. No line buffer is needed for such methods, only a small FIFO, because the link rate is sufficiently fast. However, relatively more logic is required on the receiving side to reconstruct the video signal. The receiver needs to recognize when the special characters begin and end.

[0038]

An alternative to the interspersing method is to alternate consecutive bits of pixel data with special characters, such as null values. For example, P1 through P4 could be fed into a line buffer included in the transmitter 104, then one or more null values could be fed into the buffer until more pixel data are available. Such implementations require a relatively larger buffer space than the interspersing methods described above. In many such implementations, the time required to fill the line buffer will exceed the time required to transmit the data after the line buffer is full, due to the relatively high link speeds.

[0039]

As discussed with reference to Fig. 5A, one of the advantages of the inventive interface is the ability to not only multiplex various data streams, but also the enclosing of any of a number of sub packets within a particular main link data packet. Fig. 9A shows a representative sub-packet 900 in accordance with an embodiment of the invention. The sub-packet 900 includes a sub-packet header 902 that in the described embodiment is 2 bytes and is accompanied by SPS (Sub-Packet Start) special character. If the main link data packet in which the sub-packet 900 is enclosed contains a packet payload in addition to the sub-packet 900, the end of the sub-packet 900 must be marked by SPE (Sub-Packet End) special character. Otherwise, the end of the main packet (as indicated by ensuing COM character in the example shown in Fig. 9B) marks the end of both the sub-packet 902 and the main packet into which it is enclosed. However, a sub-packet does not need to end with SPE when its enclosing main packet has no payload. Fig 9B shows an exemplary sub-packet format within a main link packet in accordance with an embodiment of the invention. It should be noted that the definition of the header field and sub-packet payload is dependent on the specific application profile that uses the sub-packet 902.

[0040]

A particularly useful example of sub-packet enclosure usage is selective refresh of an uncompressed graphics image 1000 illustrated in Fig. 10. The attributes of the entire frame 1002 (Horizontal/Vertical Total, Image Width/Height, etc.) will be communicated via the auxiliary channel 224 since those attributes stay constant as long as the stream remains valid. In selective refresh operation, only a portion 1004 of the image 1000 is updated per video frame. The four X-Y coordinates of the updated rectangle(s) (i.e., the portion 1004) must be transmitted every frame since the values of the rectangle coordinates changes from frame to frame. Another example is the transmission of color look-up table (CLUT) data for required for 256-color graphic data where the 8-bit pixel data is an entry to the 256-entry CLUT and the content of the CLUT must be dynamically updated.

[0041]

The single bi-directional auxiliary channel 224 provides a conduit to for various support functions useful for link set up and supporting main link operations as well as to carry auxiliary application data such as USB traffic. For example, with the auxiliary channel 224, a display device can inform the source device of events such as sync loss, dropped packets and the results of training sessions (described below). For example, if a particular training session fails, the tra

transmitter 102 adjusts the main link rate based upon pre-selected or determined results of the failed training session. In this way, the closed loop created by combining an adjustable, high speed main link with a relatively slow and very reliable auxiliary channel allows for robust operation over a variety of link conditions. It should be noted that in some cases (an example of which is shown in Fig. 5B), a logical bi-directional auxiliary channel 520 can be established using a portion 522 of the bandwidth of the main link 222 to transfer data from the source device 202 to the sink device 204 and a uni-directional back channel 524 from the sink device 204 to the source device 202. In some applications, use of this logical bi-directional auxiliary channel may be more desirable than using a half-duplex bi-directional channel described in Fig. 5A.

[0042]

Prior to starting the transmission of actual packet data streams the transmitter 102 establishes a stable link through a link training session that is analogous in concept to the link setup of the modem. During link training, the main link transmitter 102 sends a pre-defined training pattern so that the receiver 104 can determine whether it can achieve a solid bit/character lock. In the described embodiment, training related handshaking between the transmitter 102 and the receiver 104 is carried on the auxiliary channel. An example of a link training pattern is shown in Fig. 11 in accordance with an embodiment of the invention. As illustrated, during the training session, a phase 1 represents the shortest run length while phase 2 is the longest that are used by the receiver to optimize an equalizer. In phase 3, both bit lock and character lock are achieved as long as the link quality is reasonable. Typically, the training period is about 10 ms, in which time, approximately 107 bits of data are sent. If the receiver 104 does not achieve solid lock, it informs the transmitter 102 via the auxiliary channel 224 and the transmitter 102 reduces the link rate and repeats the training session.

[0043]

In addition to providing a training session conduit, the auxiliary channel 224 can be also used to carry main link packet stream descriptions thereby greatly reducing the overhead of packet transmissions on the main link 222. Furthermore, the auxiliary channel 224 can be configured to carry Extended Display Identification Data (EDID) information replacing the Display Data Channel (DDC) found on all monitors (EDID is a VESA standard data format that contains basic information about a monitor and its capabilities, including vendor information, maximum image size, color characteristics, factory pre-set timings, frequency range limits, and character strings for the monitor name and serial number. The information is stored in the display and is used to communicate with the system through the DDC which sits between the monitor and the PC graphics adapter. The system uses this information for configuration purposes, so the monitor and system can work together). In what is referred to as an extended protocol mode, the auxiliary channel can carry both asynchronous and isochronous packets as required to support additional data types such as keyboard, mouse and microphone.

[0044]

Fig. 12 illustrates a logical layering 1200 of the system 200 in accordance with an embodiment of the invention. It should be noted that while the exact implementation may vary depending upon application, generally, a source (such as the video source 202) is formed of a source physical layer 1202 that includes transmitter hardware, a source link layer 1204 that includes multiplexing hardware and

state machine (or firmware), and a data stream source 1206 such as Audio/Visual/Graphics hardware and associated software. Similarly, a display device includes a physical layer 1208 (including various receiver hardware), a sink link layer 1210 that includes de-multiplexing hardware and state machine (or firmware) and a stream sink 1212 that includes display/timing controller hardware and optional firmware. A source application profile layer 1214 defines the format with which the source communicates with the link layer 1204 and similarly, a sink application profile layer 1216 defines the format with which the sink 1212 communicates with the sink link layer 1210.

[0045]

The various layers will now be discussed in more detail.

SOURCE DEVICE PHYSICAL LAYER

[0046]

In the described embodiment, the source device physical layer 1202 includes an electrical sub layer 1202-1 and a logical sub layer 1202-2. The electrical sub layer 1202-1 includes all circuitry for interface initialization/operation such as hot plug/unplug detection circuit, drivers/receivers/termination resistors, parallel-to-serial/serial-to-parallel conversions, and spread-spectrum-capable PLL's. The logical sub layer 1202-2 includes circuitry for, packetizing/de-packetizing, data scrambling/de-scrambling, pattern generation for link training, time-base recovery circuits, and data encoding/decoding such as 8B/10B (as specified in ANSI X3.230-1994, clause 11) that provides 256 link data characters and twelve control characters (an example of which is shown as Fig. 13) for the main link 222 and Manchester II for the auxiliary channel 224 (see Fig. 14).

[0047]

It should be noted that the 8B/10B encoding algorithm is described, for example, in U.S. Patent Number 4,486,739, which is hereby incorporated by reference. As known by those of skill in the art, the 8B/10B code is a block code that encodes 8-bit data blocks into 10-bit code words for serial transmission. In addition, the 8B/10B transmission code converts a byte wide data stream of random 1s and 0s into a DC balanced stream of 1s and 0s with a maximum run length of 5. Such codes provide sufficient signal transitions to enable reliable clock recovery by a receiver, such as transceiver 110. Moreover, a DC balanced data stream proves to be advantageous for fiber optic and electromagnetic wire connections. The average number of 1s and 0s in the serial stream is maintained at equal or nearly equal levels. The 8B/10B transmission code constrains the disparity between the number of 1s and 0s to be -2, 0, or 2 across 6 and 4 bit block boundaries. The coding scheme also implements additional codes for signaling, called command codes.

[0048]

It should be noted that in order to avoid the repetitive bit patterns exhibited by uncompressed display data (and hence, to reduce EMI), data transmitted over main link 222 is first scrambled before 8B/10B encoding. All data except training packets and special characters will be scrambled. The scrambling function is implemented with Linear Feedback Shift Registers (LFSRs). When data encryption is enabled, the initial value of an LFSR seed is dependent on an encryption key set. If it is data scrambling without encryption, the initial value will be fixed.

[0049]

Since data stream attributes are transmitted over the auxiliary channel 224, the

main link packet headers serve as stream identification numbers thereby greatly reducing overhead and maximizing link bandwidth. It should also be noted that neither the main link 222 nor the auxiliary link 224 has separate clock signal lines. In this way, the receivers on main link 222 and auxiliary link 224 sample the data and extract the clock from the incoming data stream. Fast phase locking for any phase lock loop (PLLs) circuit in the receiver electrical sub layer is important for since the auxiliary channel 224 is half-duplex bi-directional and the direction of the traffic changes frequently. Accordingly, the PLL on the auxiliary channel receiver phase locks in as few as 16 data periods thanks to the frequent and uniform signal transitions of Manchester II (MII) code

[0050]

At link set up time, the data rate of main link 222 is negotiated using the handshake over auxiliary channel 224. During this process, known sets of training packets are sent over the main link 222 at the highest link speed. Success or failure is communicated back to the transmitter 102 via the auxiliary channel 224.

If the training fails, main link speed is reduced and training is repeated until successful. In this way, the source physical layer 1102 is made more resistant to cable problems and therefore more suitable for external host to monitor applications. However, unlike conventional display interfaces, the main channel link data rate is decoupled from the pixel clock rate. A link data rate is set so that link bandwidth exceeds the aggregate bandwidth of the transmitted streams

SOURCE DEVICE LINK LAYER

[0051]

The source link layer 1204 handles the link initialization and management. For example, upon receiving a hot plug detect event generated upon monitor power-up or connection of the monitor cable from the source physical layer 1202, the source device link layer 1204 evaluates the capabilities of the receiver via interchange over the auxiliary channel 224 to determine a maximum main link data rate as determined by a training session, the number of time-base recovery units on the receiver, available buffer size on both ends, availability of USB extensions and then notifies the stream source 1206 of an associated hot plug event. In addition, upon request from the stream source 1206, the source link layer 1204 reads the display capability (EDID or equivalent). During a normal operation, the source link layer 1204 sends the stream attributes to the receiver 104 via the auxiliary channel 224, notifies the stream source 1204 whether the main link 222 has enough resource for handling the requested data streams, notifies the stream source 1204 of link failure events such as sync loss and buffer overflow, and sends MCCS commands submitted by the stream source 1204 to the receiver via the auxiliary channel 224. All communications between the source link layer 1204 and the stream source/sink use the formats defined in the application profile layer 1214.

APPLICATION PROFILE LAYER (SOURCE AND SINK)

[0052]

In general, the Application Profile Layer defines formats with which a stream source (or sink) will interface with the associated link layer. The formats defined by the application profile layer are divided into the following categories, Application independent formats (Link Message for Link Status inquiry) and Applic

ation dependent formats (main link data mapping, time-base recovery equation for the receiver, and sink capability/stream attribute messages sub-packet formats, if applicable). The Application Profile Layer supports the following color formats 24-bit RGB, 16-bit RG2565, 18-bit RGB, 30-bit RGB, 256-color RGB (CLUT based), 16-bit, CbCr422, 20-bit YCbCr422, and 24-bit YCbCr444.

[0053]

For example, the display device application profile layer (APL) 1214 is essentially an application-programming interface (API) describing the format for Stream Source/Sink communication over the main link 222 that includes a presentation format for data sent to or received from the interface 100. Since some aspects of the APL 1214 (such as the power management command format) are baseline monitor functions, they are common to all uses of the interface 100. Whereas other non-baseline monitor functions, such as such as data mapping format and stream attribute format, are unique to an application or a type of isochronous stream that is to be transmitted. Regardless of the application, the stream source 1204 queries the source link layer 1214 to ascertain whether the main link 222 is capable of handling the pending data stream(s) prior to the start any packet stream transmission on the main link 222.

[0054]

When it is determined that the main link 222 is capable of supporting the pending packet stream(s), the stream source 1206 sends stream attributes to the source link layer 1214 that is then transmitted to the receiver over the auxiliary channel 224. These attributes are the information used by the receiver to identify the packets of a particular stream, to recover the original data from the stream and to format it back to the stream's native data rate. The attributes of the data stream are application dependent.

[0055]

In those cases where the desired bandwidth is not available on the main link 222, the stream source 1214 may take corrective action by, for example, reducing the image refresh rate or color depth.

DISPLAY DEVICE PHYSICAL LAYER

[0056]

The display device physical layer 1216 isolates the display device link layer 1210 and the display device APL 1216 from the signaling technology used for link data transmission/reception. The main link 222 and the auxiliary channel 224 have their own physical layers, each consisting of a logical sub layer and an electrical sub layer that includes the connector specification. For example, the half-duplex, bi-directional auxiliary channel 224 has both a transmitter and a receiver at each end of the link as shown in Fig 15. An auxiliary link transmitter 1502 is provided with link characters by a logical sub layer 1208-1 that are then serialized and transmitted to a corresponding auxiliary link receiver 1504. The receiver 1504, in turn, receives serialized link character from the auxiliary link 224 and de-serializes the data at a link character clock rate. It should be noted that the major functions of the source logical sub layers include signal encoding, packetizing, data scrambling (for EMI reduction), and training pattern generation for the transmitter port. While for the receiver port, the major functions of the receiver logical sub layer includes signal decoding, de-packetizing, data de-scrambling, and time-base recovery.

AUXILIARY CHANNEL

[0057]

The major functions of auxiliary channel logical sub layer include data encoding and decoding, framing/de-framing of data and there are two options in auxiliary channel protocol: standalone protocol (limited to link setup/management functions in a point-to-point topology) is a lightweight protocol that can be managed by the Link Layer state-machine or firmware and extended protocol that supports other data types such as USB traffic and topologies such as daisy-chained sink devices. It should be noted that the data encoding and decoding scheme is identical regardless of the protocol whereas framing of data differs between the two.

[0058]

Still referring to Fig. 15, the auxiliary channel electrical sub layer contains the transmitter 1502 and the receiver 1504. The transmitter 1502 is provided with link characters by the logical sub layer, which it serializes and transmits out. The receiver 1504 receives serialized link character from the link layer and subsequently de-serializes it at link character clock rate. The positive and negative signals of auxiliary channel 224 are terminated to ground via 50-ohm termination resistors at each end of the link as shown. In the described implementation, the drive current is programmable depending on the link condition and ranges from approximately 8mA to approximately 24mA resulting in a range of V_{diff_pp} of approximately 400mV to approximately 1.2V. In electrical idle modes, neither the positive nor the negative signal is driven. When starting transmission from the electrical idle state, the SYNC pattern must be transmitted and the link reestablished. In the described embodiment, the SYNC pattern consists of toggling a auxiliary channel differential pair signals at clock rate 28 times followed by four 1's in Manchester II code. The auxiliary channel master in the source device detects hot-plug and hot-unplug events by periodically driving or measuring the positive and negative signals of auxiliary channel 224.

MAIN LINK

[0059]

In the described embodiment, the main link 222 supports discrete, variable link rates that are integer multiples of the local crystal frequency (see Fig 3 for a representative set of link rates consonant with a local crystal frequency of 24-MHz). As shown in Fig. 16, the main link 222 (being an unidirectional channel) has only a transmitter 1602 at the source device and only a receiver 1604 at the display device.

[0060]

As shown, the cable 1604 takes the form includes a set of twisted pair wires, one for each of the Red (R), Green(G), and Blue(B) video signals provides in a typical RGB color based video system (such as PAL based TV systems). As known by those of skill in the art, twisted pair cable is a type of cable that consists of two independently insulated wires twisted around one another. One wire carries the signal while the other wire is grounded and absorbs signal interference. It should be noted that in some other systems, the signals could also be component based signals (Pb, Pr, Y) used for NTSC video TV systems. Within the cable, each twisted pair is individually shielded. Two pins for +12V power and ground are provided. The characteristic impedance of each differential pair is 100 ohms +/- 20%. The entire cable is also shielded. This outer shield and individual shields are shorted to the connector shells on both ends. The connector shells are shorted to ground in a source device. A connector 1700 as shown in Fig. 17 ha

s 13 pins in one row having a pinout that is identical both for the connector on the source device end and that on the display device end. The source device supplies the power.

[0061]

The main link 222 is terminated on both ends and since the main link 222 is AC coupled, the termination voltage can be anywhere between 0V (ground) to +3.6V. In the described implementation, the drive current is programmable depending on the link condition and ranges from approximately 8mA to approximately 24mA resulting in a range of $V_{\text{differential_pp}}$ of approximately 400mV to approximately 1.2V.

The minimum voltage swing is selected for each connection using a training pattern. An electrical idle state is provided for power management modes. In electrical idle, neither the positive nor the negative signals are driven. When starting a transmission from electrical idle state, the transmitter must conduct a training session in order re-establish the link with the receiver.

STATE DIAGRAMS

[0062]

The invention will now be described in terms of state diagrams shown in Figs. 18 and 19 described below. Accordingly, Fig.18 shows the source state diagram described below. At an off state 1802, the system is off such that the source is disabled. If the source is enabled, then the system transitions to a standby state 1804 suitable for power saving and receiver detection. In order to detect whether or not the receiver is present (i.e., hot plug/play), the auxiliary channel is periodically pulsed (such as for 1 μ s every 10ms) and a measure of a voltage drop across the termination resistors during the driving is measured. If it is determined that a receiver is present based upon the measured voltage drop, then the system transitions to a detected receiver state 1806 indicating that a receiver has been detected, i.e., a hot plug event has been detected. If, however, there is no receiver detected, then the receiver detection is continued until such time, if ever, a receiver is detected or a timeout has elapsed. It should be noted that in some cases the source device may choose to go to "OFF" state from which no further display detection is attempted.

[0063]

If at the state 1806 a display hot unplug event is detected, then the system transitions back to the standby state 1804. Otherwise the source drives the auxiliary channel with a positive and negative signal to wake up receiver and the receiver's subsequent response, if any, is checked. If there is no response received, then the receiver has not woken up and source remains in the state 1806. If, however, a signal is received from the display, then the display has woken up and the source is ready read the receiver link capabilities (such as max link rate, buffer size, and number of time-base recovery units) and the system transitions to a main link initialization state 1808 and is ready to commence a training start notification phase.

[0064]

At this point, a training session is started by sending a training pattern over the main link at a set link rate and checks an associated training status. The receiver sets a pass/fail bit for each of three phases and the transmitter will proceed to the next phase upon detection of pass only such that when a pass is detected, the main link is ready at that link rate. At this point, the interface transitions to a normal operation state 1510, otherwise, the link rate is reduc

ed and the training session is repeated. During the normal operation state 1810, the source continues to periodically monitor a link status index, which if fails, a hot unplug event is detected and the system transitions to the standby state 1804 and waits for a hot plug detection event. If, however, a sync loss is detected, then the system transitions to state 1808 for a main link re-initiation event.

[0065]

Fig 19 shows the display state diagram 1900 described below. At a state 1902, no voltage is detected, the display goes to an OFF state. At a standby mode state 1904, both main link receiver and auxiliary channel slave are in electrical idle, a voltage drop across the termination resistors of auxiliary channel slave port are monitored for a predetermined voltage. If the voltage is detected, then the auxiliary channel slave port is turned on indicating a hot plug event and the system moves to a display state 1906, otherwise, the display remains in the standby state 1904. At the state 1906 (main link initialization phase), if a display is detected, then the auxiliary slave port is fully turned on, and the transmitter responds to a receiver link capability read command and the display state transitions to 1908, otherwise, if there is no activity on the auxiliary channel for more than a predetermined period of time then the auxiliary channel slave port is put into the to standby state 1904.

[0066]

During a training start notification phase, the display responds to the training initiation by the transmitter by adjusting the equalizer using training patterns, updating the result for each phase. If the training fails, then wait for another training session and if the training passes, then go to normal operation state 1910. If there is no activity on the auxiliary channel or on the main link (for training) for more than a predetermined (10ms, for example), the auxiliary channel slave port is set to the standby state 1904.

[0067]

Figs. 20 - 24 show particular implementations of the cross platform display interface.

[0068]

Fig. 20 shows a PC motherboard 2000 having an on-board graphics engine 2002 that incorporates a transmitter 2004 in accordance with the invention. It should be noted that the transmitter 2004 is a particular example of the transmitter 102 shown in Fig. 1. In the described embodiment, the transmitter 2004 is coupled to an connector 2006 (along the lines of the connector 1700) mounted on the motherboard 2000 which in turn is connected to a display device 2008 by way of a twisted pair cable 2010.

[0069]

As known in the art, PCI Express (developed by Intel Corporation of Santa Clara, CA) is a high-bandwidth, low pin count, serial, interconnect technology that also maintains software compatibility with existing PCI infrastructure. In this configuration, the PCI Express port is augmented to become compliant with the requirements of the cross platform interface which can directly drive a display device either using a motherboard mounted connector as shown.

[0070]

In situations where it is not practical to mount the connector on the motherboard, the signals can be routed through the SDVO slot of the PCI Express motherboard and brought to the back of the PC using a passive card connector as shown in F

ig. 21. As is the case with the current generation of add-in graphics cards, a add-in graphics card can supplant the onboard graphics engine as shown in Fig. 23

.

[0071]

In the case of notebook applications, the transmitter on the motherboard graphics engine would drive through internal cabling, an integrated receiver/TCON which would drive the panel directly. For the most cost effective implementation, the receiver/TCON would be mounted on the panel thereby reducing the number of interconnect wires to 8 or 10 as shown in Fig. 24

[0072]

All of the above examples assume integrated transmitters. However, is it quite feasible to implement as a standalone transmitter integrating into PCI and PCI Express environments through the AGP or SDVO slots, respectively. A standalone transmitter will enable output streams without any change in graphics hardware or software.

FLOWCHART EMBODIMENTS

[0073]

The methodology of the invention will now be described in terms of a number of flowcharts each describing a particular process for enabling the invention. Specifically, FIGS 25 - 29 describe a number of interrelated processes that when used singly or in any combination described aspects of the invention.

[0074]

Fig. 25 shows a flowchart detailing a process 2500 for determining an operational mode of the interface 100 in accordance with an embodiment of the invention. In this process, the operational mode will only be set to a digital mode if the video source and the display device are both digital. Otherwise, the operational mode will be set to analog mode. It should be noted that "analog mode" in this context can include both conventional VGA mode as well as enhanced analog mode having differential analog video with embedded alignment signal and bi-directional sideband. This enhanced analog mode will be described below.

[0075]

In step 2502, a video source is interrogated to determine whether the video source supports analog or digital data. If the video source supports only analog data, the operational mode of coupling device 100 will be set to analog (step 2508), then the process will end (step 2512).

[0076]

If the video source can output digital data, the process continues to step 2506. The display device is then interrogated to determine whether the display device is configured to receive digital data. If the display device supports only analog data, the operational mode of coupling device will be set to analog (step 2508), then the process will end (step 2512). Otherwise, the operational mode of the coupling device is set to digital (step 2510). For example, a processor may control switches within the coupling device to set the mode to digital. In general, the coupling device is configured to operate in a fully digital mode only when both the video source and the video sink are operating in a corresponding digital mode.

[0077]

Fig. 26 shows a flowchart detailing a process 2600 for providing a real time video image quality check in accordance with some aspects of the invention. In thi

s example, all determinations of process 2600 are made by a processor coupled to the display interface.

[0078]

In step 2600, a video signal is received from a video source. Next, a signal quality test pattern is provided by the video source associated with the received video signal (step 2602). In step 2604, a determination of a bit error rate is made, based upon the quality test pattern. Then, a determination is made of whether the bit error rate is greater than a threshold value (step 2606). If the bit error rate is determined to not be greater than the threshold value, then a determination is made (step 2614) of whether or not there are more video frames.

If it is determined that there are more video frames, then the process returns to step 2600. Otherwise, the process ends.

[0079]

However, if the bit error rate is determined to be greater than the threshold value in step 2606, a determination is made (step 2608) as to whether the bit rate is greater than a minimum bit rate. If the bit rate is greater than a minimum bit rate, then the bit rate is lowered (step 2610) and the process returns to step 2606. If the bit rate is not greater than the minimum bit rate, then the mode is changed to analog mode (step 2612) and the process ends.

[0080]

Fig. 27 shows a flowchart for a link set up process 2700 in accordance with an embodiment of the invention. The process 2700 begins at 2702 by the receiving of a hot plug detection event notification. At 2704 a main link inquiry is made by way of an associated auxiliary channel to determine a maximum data rate, a number of time base recovery units included in a receiver, and available buffer size. Next, at 2706, the maximum link data rate is verified by way of a training session and at 2708, a data stream source is notified of the hot plug event. At 2710, the capabilities of the display (using EDID, for example) are determined by way of the auxiliary channel and the display responds to the inquires at 2712 which, in turn, results a collaboration of the main link training session at 2714.

[0081]

Next, at 2716, the stream source sends stream attributes to the receiver by way of the auxiliary channel and at 2718, the stream sources are further notified whether the main link is capable of supporting the requested number of data streams. At 2720, the various data packets are formed by adding associated packet headers and the multiplexing of a number of source streams is scheduled at 2722. At 2724 a determination is made whether or not the link status is OK. When the link status is not OK, then the source(s) are notified of a link failure event at 2726, otherwise, the link data streams are reconstructed into the native streams based upon the various packet headers at 2728. At 2730, the reconstructed native data streams are then passed to the display device.

[0082]

Fig. 28 shows a flowchart detailing a process 2800 for performing a training session in accordance with an embodiment of the invention. It should be noted that the training session process 2800 is one implementation of the operation 2506 described in Fig. 25. A training session is started at 2802 by sending a training pattern over the main link at a set link rate to the receiver. A typical link training pattern is shown in Fig. 11 in accordance with an embodiment of the invention. As illustrated, during the training session, a phase 1 represents the

shortest run length while phase 2 is the longest. The receiver is to use these two phases to optimize the equalizer. In phase 3, both bit lock and character lock are achieved as long as the link quality is reasonable. At 2804, the receiver checks an associated training status and based upon the training status check, the receiver sets a pass/fail bit for each of three phases and the transmitter at 2806. At each phase, the receiver will proceed to the next phase upon detection of pass only and at 2810 and if the receiver does not detect a pass then the receiver reduces the link rate and repeats the training session. The main link is ready at that link rate at which a pass is detected at 2812.

[0083]

Fig. 29 illustrates a computer system 2900 employed to implement the invention. Computer system 2900 is only an example of a graphics system in which the present invention can be implemented. Computer system 2900 includes central processing unit (CPU) 1510, random access memory (RAM) 2920, read only memory (ROM) 2925, one or more peripherals 2930, graphics controller 2960, primary storage devices 2940 and 2950, and digital display unit 2970. As is well known in the art, ROM acts to transfer data and instructions uni-directionally to the CPUs 2910, while RAM is used typically to transfer data and instructions in a bi-directional manner. CPUs 2910 may generally include any number of processors. Both primary storage devices 2940 and 2950 may include any suitable computer-readable media.

A secondary storage medium 880, which is typically a mass memory device, is also coupled bi-directionally to CPUs 2910 and provides additional data storage capacity. The mass memory device 880 is a computer-readable medium that may be used to store programs including computer code, data, and the like. Typically, mass memory device 880 is a storage medium such as a hard disk or a tape which generally slower than primary storage devices 2940, 2950. Mass memory storage device 880 may take the form of a magnetic or paper tape reader or some other well-known device. It will be appreciated that the information retained within the mass memory device 880, may, in appropriate cases, be incorporated in standard fashion as part of RAM 2920 as virtual memory.

[0084]

CPUs 2910 are also coupled to one or more input/output devices 890 that may include, but are not limited to, devices such as video monitors, track balls, mice, keyboards, microphones, touch-sensitive displays, transducer card readers, magnetic or paper tape readers, tablets, styluses, voice or handwriting recognizers, or other well-known input devices such as, of course, other computers. Finally, CPUs 2910 optionally may be coupled to a computer or telecommunications network, e.g., an Internet network or an intranet network, using a network connection as shown generally at 2995. With such a network connection, it is contemplated that the CPUs 2910 might receive information from the network, or might output information to the network in the course of performing the above-described method steps. Such information, which is often represented as a sequence of instructions to be executed using CPUs 2910, may be received from and outputted to the network, for example, in the form of a computer data signal embodied in a carrier wave. The above-described devices and materials will be familiar to those of skill in the computer hardware and software arts.

[0085]

Graphics controller 2960 generates analog image data and a corresponding reference signal, and provides both to digital display unit 2970. The analog image data can be generated, for example, based on pixel data received from CPU 2910 or fr

om an external encode (not shown). In one embodiment, the analog image data is provided in RGB format and the reference signal includes the VSYNC and HSYNC signals well known in the art. However, it should be understood that the present invention can be implemented with analog image, data and/or reference signals in other formats. For example, analog image data can include video signal data also with a corresponding time reference signal.

[0086]

Although only a few embodiments of the present invention have been described, it should be understood that the present invention may be embodied in many other specific forms without departing from the spirit or the scope of the present invention. The present examples are to be considered as illustrative and not restrictive, and the invention is not to be limited to the details given herein, but may be modified within the scope of the appended claims along with their full scope of equivalents.

[0087]

While this invention has been described in terms of a preferred embodiment, there are alterations, permutations, and equivalents that fall within the scope of this invention. It should also be noted that there are many alternative ways of implementing both the process and apparatus of the present invention. It is therefore intended that the invention be interpreted as including all such alterations, permutations, and equivalents as fall within the true spirit and scope of the present invention.

3. BRIEF DESCRIPTION OF THE DRAWINGS

[0088]

Fig. 1 shows a generalized representation of a cross platform display interface 100 in accordance with an embodiment of the invention.

Figs. 2A - 2C illustrates a video interface system that is used to connect a video source and a video display unit in accordance with a number of embodiments of the invention.

Fig. 3 shows exemplary main link rates in accordance with an embodiment of the invention.

Fig. 4A shows a main link data packet in accordance with an embodiment of the invention.

Fig. 4B shows a main link packet header in accordance with an embodiment of the invention.

Fig. 5A shows a system arranged to provide sub-packet enclosure and multiple-packet multiplexing in accordance with an embodiment of the invention.

Fig. 5B shows another implementation of the system shown in Fig. 5A.

Fig. 6 shows a high-level diagram of the multiplexed main link stream as an example of the stream shown in Fig. 5.

Fig. 7 show another example of a data stream in accordance with the invention.

Fig. 8 shows yet another example of a multiplexed data stream in accordance with an embodiment of the invention.

Fig. 9A shows a representative sub-packet in accordance with an embodiment of the invention.

Fig. 9B shows a representative main link data packet in accordance with an embodiment of the invention.

Fig. 10 shows an example of a selectively refreshed graphics image.

Fig. 11 shows an exemplary link training pattern in accordance with an embodiment

t of the invention.

Fig. 12 illustrates a logical layering of the system in accordance with an embodiment of the invention.

Fig. 13 shows an exemplary special character mapping using 8B/10B in accordance with an embodiment of the invention.

Fig. 14 shows an exemplary Manchester II encoding scheme in accordance with an embodiment of the invention.

Fig. 15 shows a representative auxiliary channel electrical sub layer in accordance with an embodiment of the invention.

Fig. 16 shows a representative main link electrical sub layer in accordance with an embodiment of the invention.

Fig. 17 shows a representative connector in accordance with an embodiment of the invention.

Fig. 18 shows a source state diagram in accordance with an embodiment of the invention.

Fig. 19 shows a display state diagram in accordance with an embodiment of the invention.

Figs. 20 - 24 illustrate various computer based implementations of the invention.

Fig. 25 shows a flowchart detailing a process for determining an operational mode of the interface in accordance with an embodiment of the invention.

Fig. 26 shows a flowchart detailing a process for providing a real time video image quality check in accordance with some aspects of the invention.

Fig. 27A shows a flowchart for a link set up process in accordance with an embodiment of the invention.

Fig. 27B shows a flowchart for a link set up process in accordance with an embodiment of the invention.

Fig. 28 shows a flowchart detailing a process for performing a training session in accordance with an embodiment of the invention.

Fig. 29 illustrates a computer system employed to implement the invention.

1. A packet based display interface arranged to couple a multimedia source device to a multimedia sink device, comprising:

a transmitter unit coupled to the source device arranged to receive a source video data stream in accordance with a native video data rate;

a receiver unit coupled to the sink device; and

a linking unit coupling the transmitter unit and the receiver unit arranged to transfer the video data in the form of a number of main link characters at a link character clock rate that is independent of the native stream rate such that video data and the link character clock are asynchronous to each other.

2. A packet based display interface as recited in claim 1, wherein the multimedia data packet stream is one of a number of multimedia data packet streams each having an associated adjustable data stream link rate that is independent of the native stream rate.

3. A display interface as recited in claim 1, wherein the link unit further comprises:

a unidirectional main link arranged to carry the multimedia data packets from the transmitter unit to the receiver unit; and

a bi-directional auxiliary channel arranged to transfer information between the transmitter unit and the receiver unit and vice versa.

4. A display interface as recited in claim 3, wherein the bi-directional auxiliary channel is formed of a uni-directional back channel configured to carry information from the sink device to the source device and a uni-directional forward channel included as part of the main channel for carrying information from the source device to the sink device in concert with the back channel.

5. A display interface as recited in claim 2, wherein the main link unit further comprises:

a number of virtual links each being associated with a particular one of the multimedia data packet streams wherein each of said virtual links has an associated virtual link bandwidth and a virtual link rate.

6. A display interface as recited in claim 5, wherein a main link bandwidth is at least equal to an aggregate of the virtual link bandwidths.

7. A display interface as recited in 1, wherein the source data stream is packetized over the respective virtual link based upon a mapping definition.

8. A method of coupling a multimedia source device to a multimedia sink device, comprising:

receiving source video data in accordance with a native video data rate;
transferring the video data in the form of a number of main link characters at a link character clock rate that is independent of the native stream rate such that video data and the link character clock are asynchronous to each other.

9. A method as recited in claim 8, wherein the multimedia data packet stream is one of a number of multimedia data packet streams each having an associated adjustable data stream link rate that is independent of the native stream rate.

10. A method as recited in claim 8, wherein the link unit further comprises:

a unidirectional main link arranged to carry the multimedia data packets from the transmitter unit to the receiver unit; and
a bi-directional auxiliary channel arranged to transfer information between the transmitter unit and the receiver unit and vice versa.

11. A method as recited in claim 10, wherein the bi-directional auxiliary channel is formed of a uni-directional back channel configured to carry information from the sink device to the source device and a uni-directional forward channel included as part of the main channel for carrying information from the source device to the sink device in concert with the back channel.

12. A method as recited in claim 8, wherein the main link unit further comprises:

a number of virtual links each being associated with a particular one of the multimedia data packet streams wherein each of said virtual links has an associated virtual link bandwidth and a virtual link rate.

13. A method as recited in claim 12, wherein a main link bandwidth is at least equal to an aggregate of the virtual link bandwidths.
14. A method as recited in claim 8, wherein the source data stream is packetized over the respective virtual link based upon a mapping definition.
15. Computer program product for coupling a multimedia source device to a multimedia sink device, comprising:
computer code for receiving source video data in accordance with a native video data rate;
computer code for transferring the video data in the form of a number of main link characters at a link character clock rate that is independent of the native stream rate such that video data and the link character clock are asynchronous to each other; and
computer readable medium for storing the computer code.
16. Computer program product as recited in claim 15, wherein the multimedia data packet stream is one of a number of multimedia data packet streams each having an associated adjustable data stream link rate that is independent of the native stream rate.
17. Computer program product as recited in claim 15, wherein the link unit further comprises:
a unidirectional main link arranged to carry the multimedia data packets from the transmitter unit to the receiver unit; and
a bi-directional auxiliary channel arranged to transfer information between the transmitter unit and the receiver unit and vice versa.
18. Computer program product as recited in claim 17, wherein the bi-directional auxiliary channel is formed of a uni-directional back channel configured to carry information from the sink device to the source device and a uni-directional forward channel included as part of the main channel for carrying information from the source device to the sink device in concert with the back channel.

1. ABSTRACT

A packet based display interface arranged to couple a multimedia source device to a multimedia sink device is disclosed that includes a transmitter unit coupled to the source device arranged to receive a source packet data stream in accordance with a native stream rate, a receiver unit coupled to the sink device, and a linking unit coupling the transmitter unit and the receiver unit arranged to transfer the video data in the form of a number of main link characters at a link character clock rate that is independent of the native stream rate such that video data and the link character clock are asynchronous to each other .

2. REPRESENTATIVE DRAWING

Fig. 1

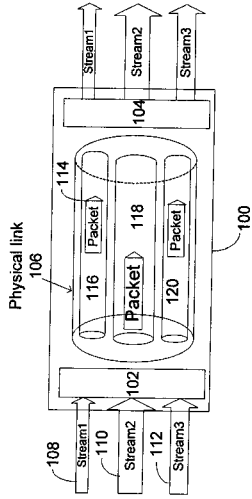


Fig. 1

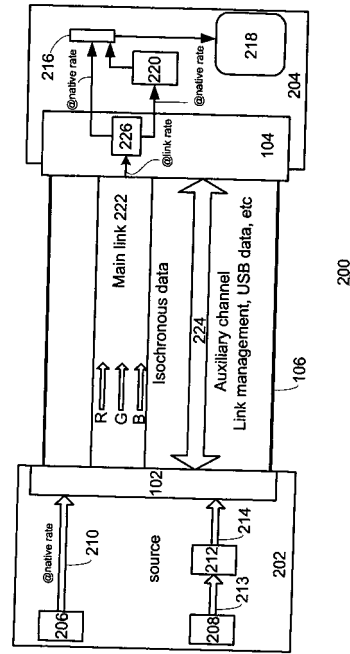


Fig. 2A

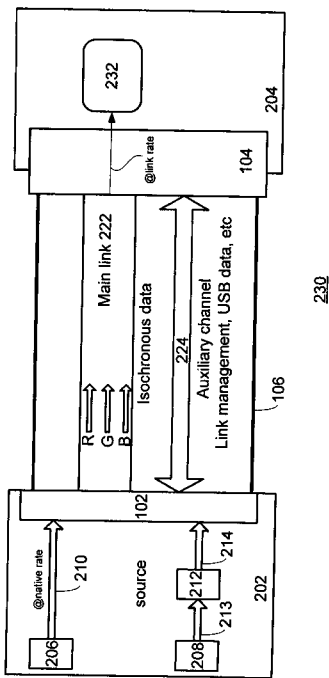


Fig. 2B

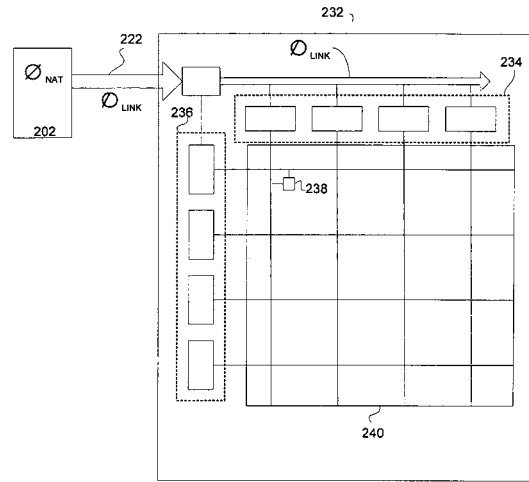


Fig. 2C

Main Link Data Rates

Nominal Baud Rate per channel (Gbits/second)	Actual Baud Rate per channel (Gbits/second)	Clock Multiplication Factor from 24-MHz crystal
1.0	0.960	x40
1.35	1.344	x56
1.7	1.728	x72
2.1	2.112	x88
2.5	2.496	x104

Fig. 3

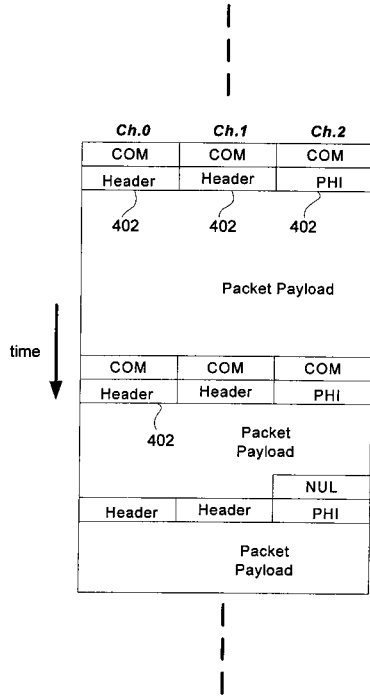


Fig. 4A

Main Link Packet Format

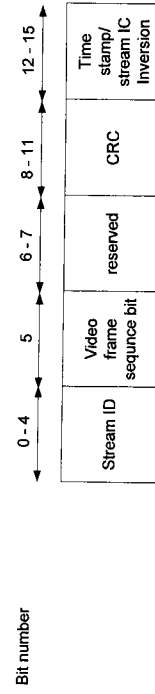


Fig. 4B

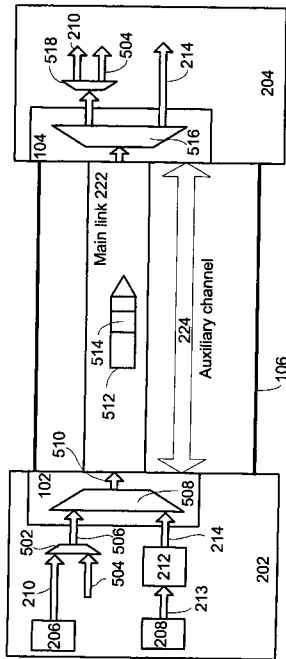


Fig. 5A

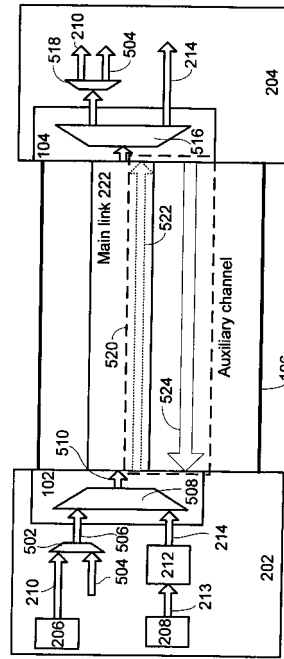


Fig. 5B

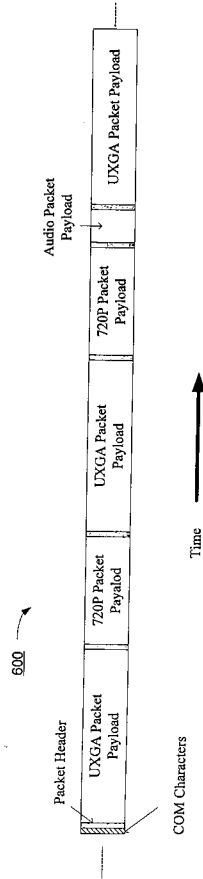


Fig. 6

High-level diagram of link traffic example with three streams

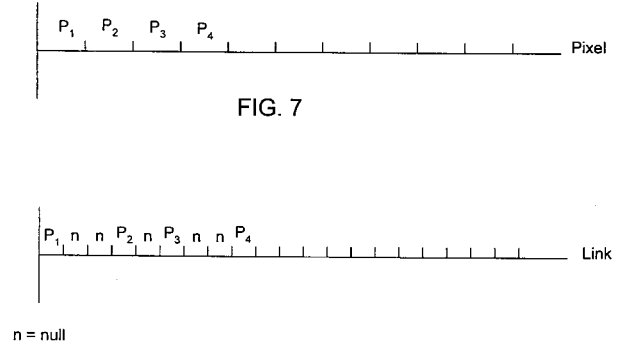


FIG. 7

FIG. 8

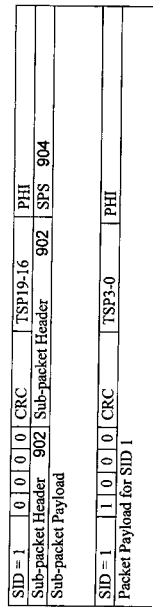


Fig. 9A

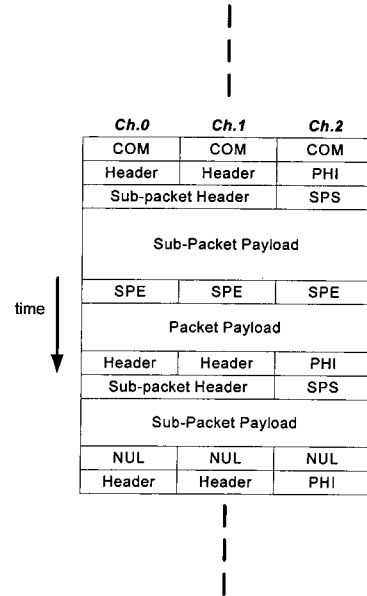


Fig. 9B

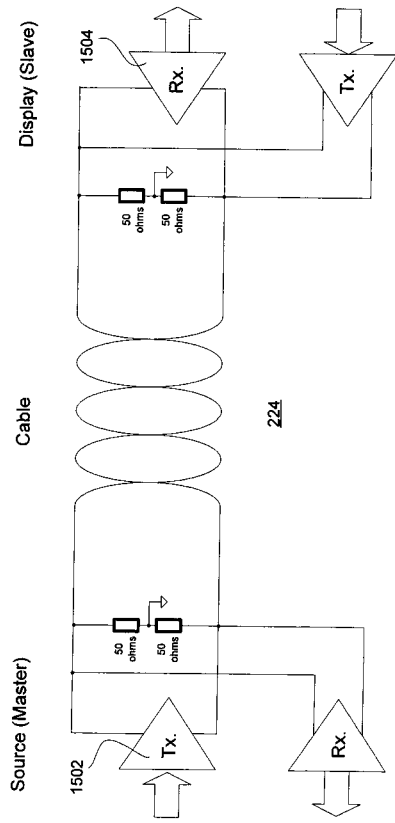


Fig. 15

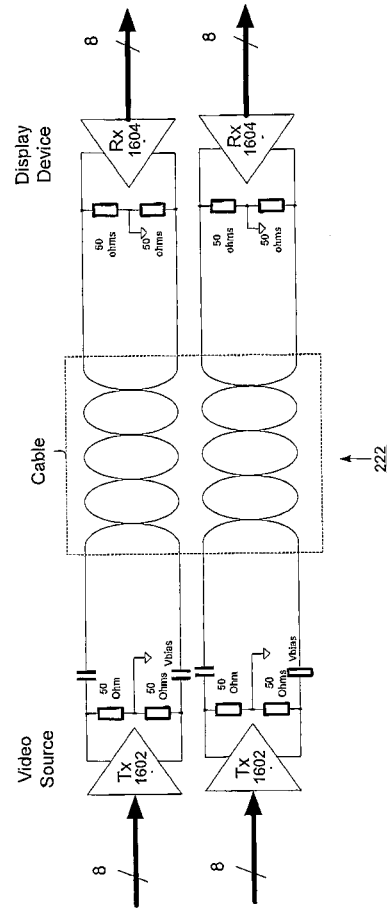
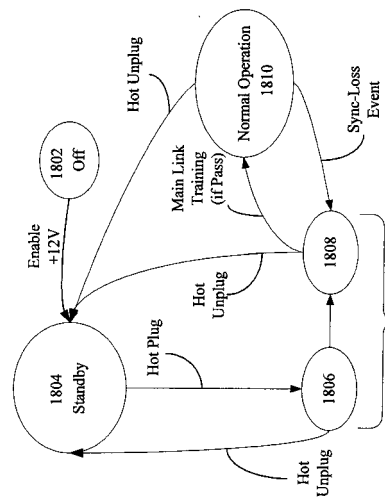
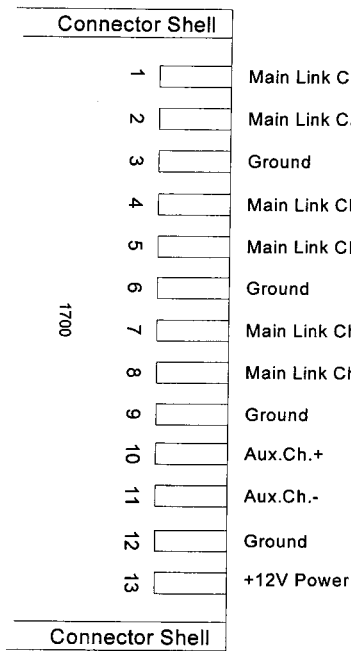


Fig. 16

Fig. 17



1806/1808 - Link Discovery/Initialization

Fig. 18

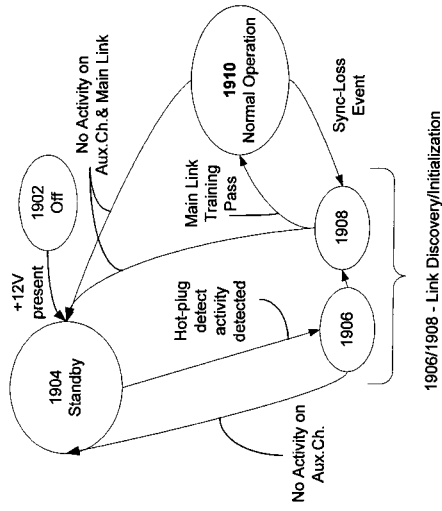


Fig. 19

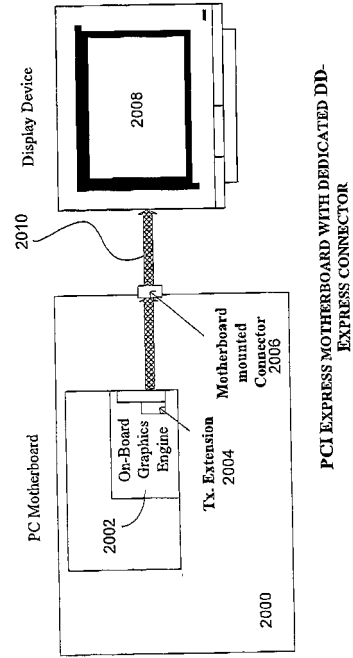


Fig. 20

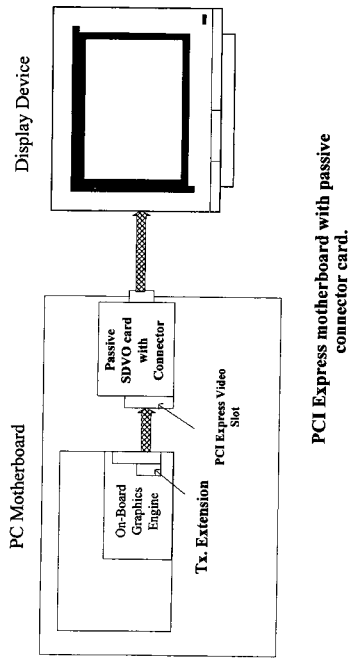


Fig. 21

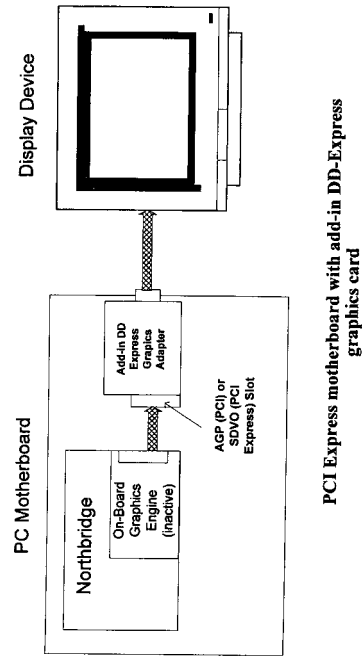


Fig. 22

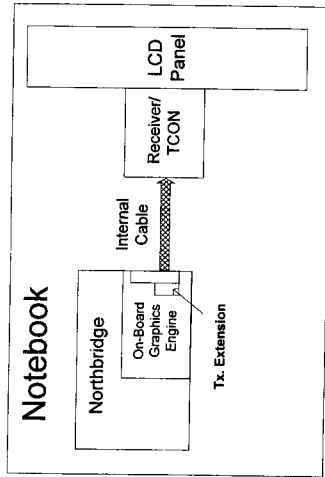
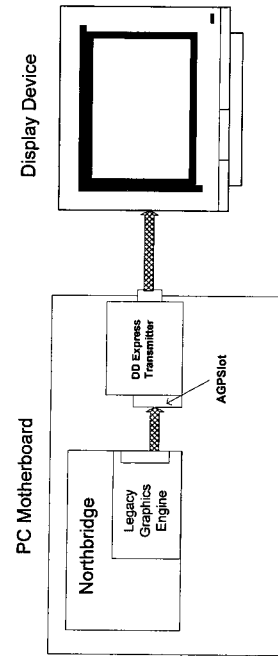


Fig. 23



Legacy graphics accelerator bus transmitter mounted on a legacy bus card slot converts digital raster data/timing signals into main link streams

Fig. 24

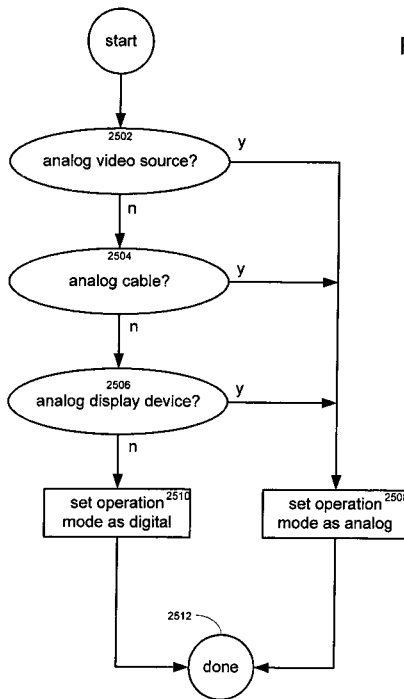


Fig. 25

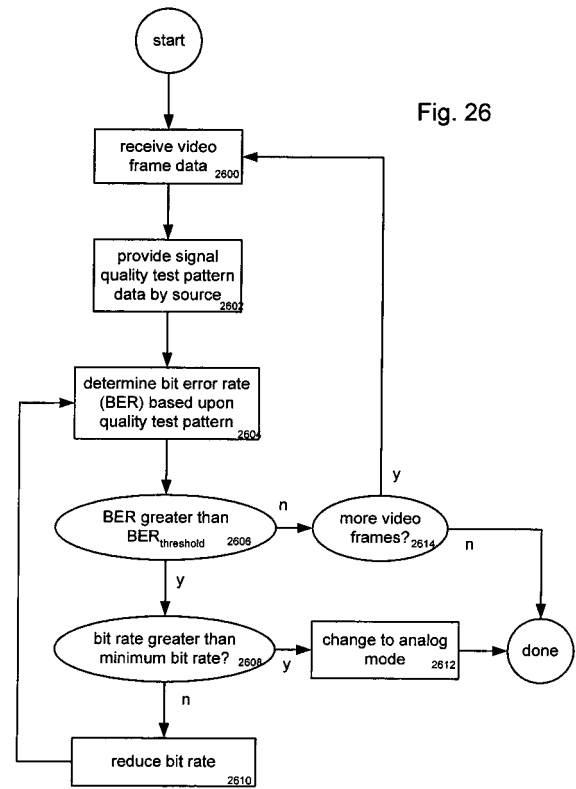


Fig. 26

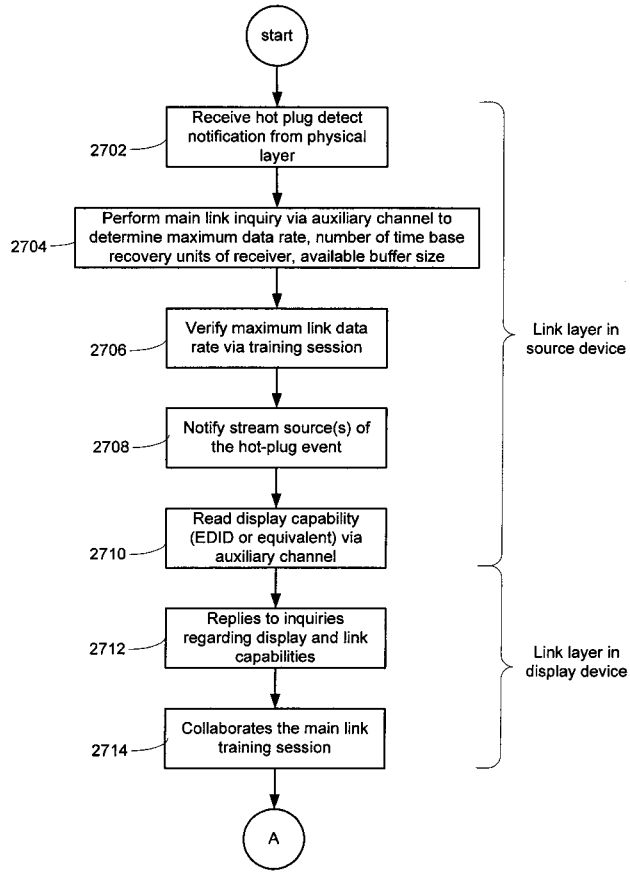


Fig. 27A

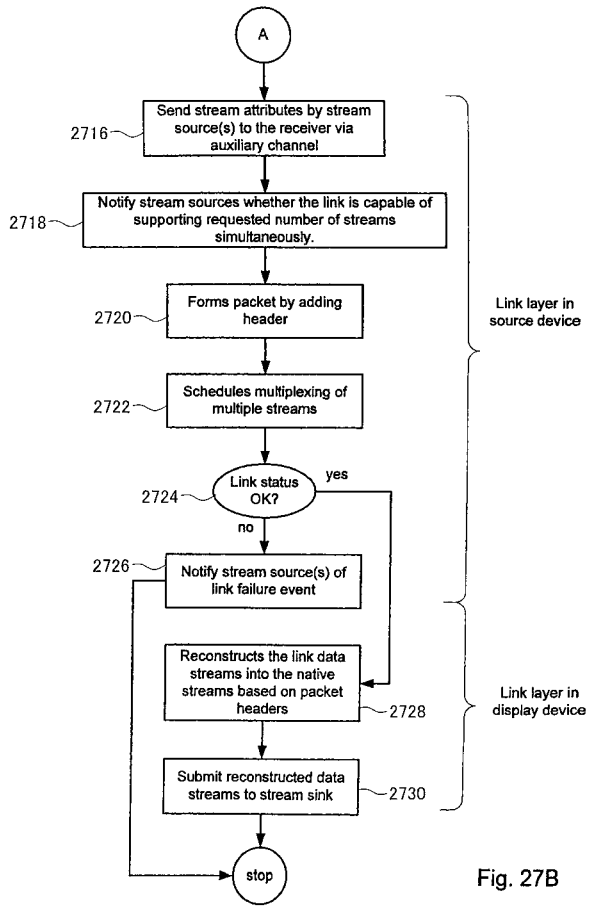


Fig. 27B

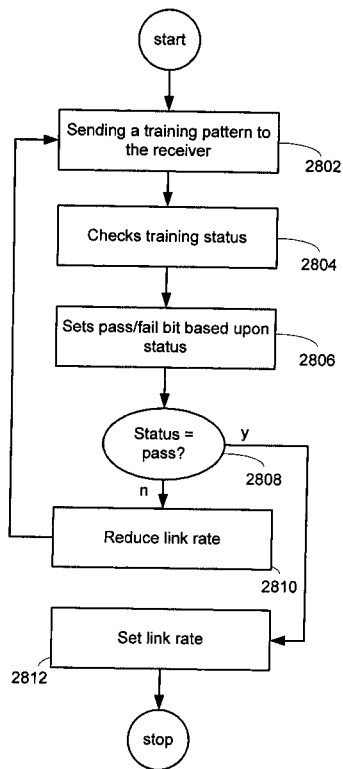


Fig. 28

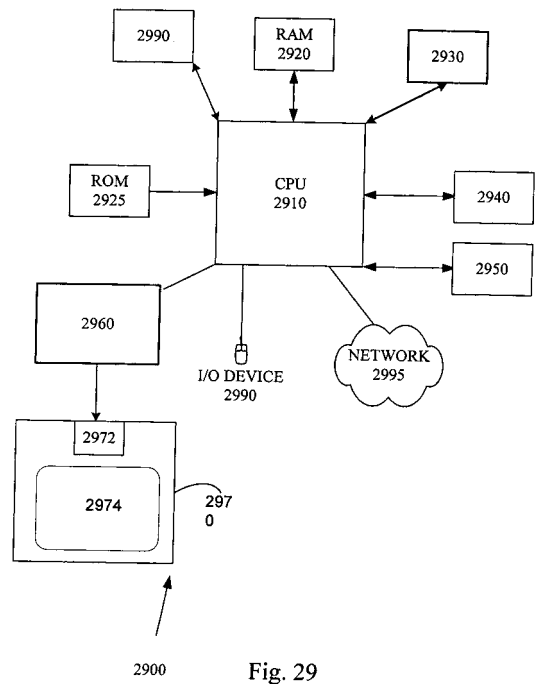


Fig. 29