

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 7 月 5 日 (05.07.2018)



(10) 国际公布号
WO 2018/120087 A1

(51) 国际专利分类号:
H01L 29/786 (2006.01)

越秀区先烈中路 80 号汇华商贸大厦 1508 室, Guangdong 510070 (CN)。

(21) 国际申请号: PCT/CN2016/113657

(22) 国际申请日: 2016 年 12 月 30 日 (30.12.2016)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 深圳市柔宇科技有限公司
(SHENZHEN ROYOLE TECHNOLOGIES CO., LTD)
[CN/CN]; 中国广东省深圳市南山区科技园科苑路 15 号科兴科学园 A4-1501, Guangdong 518052 (CN)。

(72) 发明人: 叶江波 (YE, Jiangbo); 中国广东省深圳市南山区科技园科苑路 15 号科兴科学园 A4-1501, Guangdong 518052 (CN)。

(74) 代理人: 广州三环专利商标代理有限公司
(SCIHEAD IP LAW FIRM); 中国广东省广州市

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,

(54) Title: ARRAY SUBSTRATE AND METHOD FOR MANUFACTURING ARRAY SUBSTRATE

(54) 发明名称: 阵列基板及阵列基板制造方法

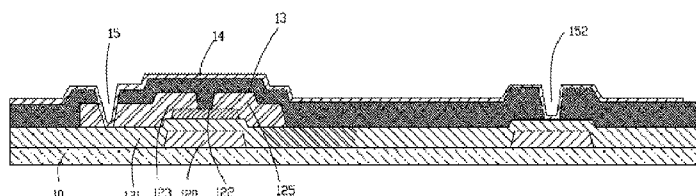


图 1

(57) Abstract: An array substrate, comprising a substrate (10), a TFT switch (12) formed on the substrate (10), a protective layer (13) covering the substrate (10) and the TFT switch (12) and a pixel electrode (14) being formed on the protective layer (13), the TFT switch (12) comprising a gate insulating layer (121), a channel region (122) located on the gate insulating layer (121) and a source (123) and a drain (125) connected to the channel region (122); the pixel electrode (14) is connected to the source (123) or drain (125) via a through hole (15), the through hole (15) being located on one side of the channel region (122) and the through hole (15) passing through the protective layer (13) and the source (123) or drain (125); also provided is a method for manufacturing the array substrate.

(57) 摘要: 一种阵列基板, 包括基板 (10)、形成于所述基板 (10) 上的 TFT 开关 (12)、覆盖所述基板 (10) 及 TFT 开关 (12) 的保护层 (13) 及形成于所述保护层 (13) 的像素电极 (14), 所述 TFT 开关 (12) 包括栅极绝缘层 (121)、位于所述栅极绝缘层 (121) 上的沟道区 (122) 及连接所述沟道区 (122) 的源极 (123) 和漏极 (125), 所述像素电极 (14) 与所述源极 (123) 或漏极 (125) 通过一过孔 (15) 连接, 所述过孔 (15) 位于所述沟道区 (122) 的一侧并且所述过孔 (15) 贯穿所述保护层 (13) 及所述源极 (123) 或漏极 (125); 以及一种阵列基板制造方法。

RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

阵列基板及阵列基板制造方法

技术领域

本发明涉及显示面板制造技术领域，尤其涉及一种阵列基板、阵列基板制造方法。

背景技术

显示面板的光线经由背光板发射出来时，并不是所有的光线都能穿过显示面板，比如面板驱动芯片用的信号走线，以及 TFT（Thin Film Transistor，薄膜晶体管）本身等。传统的像素电极与源极连接采用的是面接触的方式进行电流的传导，因源极和漏极采用的是不透光金属材料制成，故当背光从后面照射时，像素电极与源极连接区域因不透光金属遮挡影响开口率而造成光穿透率的降低。

发明内容

基于上述问题，本申请提供一种阵列基板，减小遮光区提高开口率。

本申请所述的阵列基板，包括基板、形成于所述基板上的 TFT 开关、覆盖所述基板及 TFT 开关的保护层及形成于所述保护层的像素电极，所述 TFT 开关包括栅极绝缘层、位于所述栅极绝缘层上的沟道区及连接所述沟道区的源极和漏极，所述像素电极与所述源极或漏极通过一过孔连接，所述过孔位于所述沟道区的一侧并且所述过孔贯穿所述保护层及所述源极或漏极。

本申请提供一种阵列基板制造方法，所述方法包括：

提供形成有 TFT 开关的基板；其中，TFT 开关包括源极和漏极；

形成覆盖所述基板及 TFT 开关的保护层；

在保护层上形成一具有第一开口区域的光阻层，且第一开口区域正投影于所述源极或漏极的一侧；

以光阻层为掩膜板进行干蚀刻所述保护层及源极或漏极，以在第一开口区域形成贯穿所述保护层及源极或漏极的过孔；

去除所述光阻层，并在所述保护层上形成通过过孔与所述源极或漏极连接的像素电极层。

本申请提供的阵列基板制造方法，还包括：在所述基板上形成外围桥接结构，外围桥接结构包括双层金属堆叠结构外围桥接金属线；

形成覆盖所述基板及外围桥接结构的绝缘层及保护层；

在保护层上形成一具有第二开口区域的光阻层，且第二开口区域正投影于所述外围桥接金属线；

以光阻层为掩膜板进行干蚀刻所述保护层及绝缘层，以在第二开口区域形成贯穿所述保护层及绝缘层的缺口；

去除所述光阻层。

本申请所述的阵列基板在 TFT 开关一侧形成贯穿了金属材质的源极或漏极的过孔来连接像素电极与源极或漏极，保证电流传输的同时，以使过孔位置为透光区，进而增加了整个阵列基板的开口率。

附图说明

为了更清楚地说明本申请实施例中的技术方案，下面将对实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图1是本申请的阵列基板的结构示意图。

图2是本申请的阵列基板制造方法流程图。

图3是本申请的阵列基板制造方法中外围桥接结构方法流程图。

图4是图2与图3所述的阵列基板制造方法的具体实施方式流程图。

图5-图7是图4所述的阵列基板的对应各个步骤工艺的结构示意图。

具体实施方式

下面将结合本申请实施方式中的附图，对本申请实施方式中的技术方案进行清楚、完整地描述。

本申请实施例涉及的阵列基板可以用于但不限于 OLED 显示屏或者液晶显示屏中，且显示屏可以是柔性的也可以是非柔性的，本申请实施例对此不作具体限定。

请参阅图 1，本申请所述的阵列基板，包括基板 10、形成于所述基板 10

上的 TFT 开关 12、覆盖所述基板及 TFT 开关的保护层 13 及形成于所述保护层 13 的像素电极 14，所述 TFT 开关 12 包括栅极绝缘层 121、位于所述栅极绝缘层 121 上的沟道区 122 及连接所述沟道区的源极 123 及漏极 125。本实施例中，所述像素电极 14 与所述源极 123 通过一过孔 15 连接，所述过孔 15 位于所述沟道区 122 的一侧并且所述过孔 15 贯穿所述保护层 13 及所述源极 123。可以理解的是，根据阵列基板的性能选择及设计需求，也可以是漏极上设置过孔用来连接漏极与像素电极。

所述阵列基板为 TFT 阵列基板或者 LTPS-TFT (Low Temperature Poly Si Thin Film Transistor, 低温多晶硅薄膜晶体管) 阵列基板。本实施例中，以 TFT 阵列基板通过过孔连接源极与像素电极为例进行说明。

所述 TFT 开关 12 还包括被所述栅极绝缘层 121 覆盖的栅极 120、位于栅极绝缘层 121 上的与所述栅极 120 对应的半导体层 124，所述源极 123 与所述漏极 125 连接所述半导体层 124 两侧构成所述沟道区 122。本实施例中，所述半导体层 124 为非晶硅材料制成。在其他实施例中，阵列基板为 LTPS-TFT 阵列基板，所述半导体层为多晶硅材料制成。

进一步的，需要说明的，位于所述过孔位置的所述保护层 13 与所述源极 123、栅极绝缘层 121 层叠设置，所述过孔 15 贯穿所述绝缘层并露出所述栅极绝缘层。

优选的，所述像素电极 14 覆盖所述过孔 15 的孔内侧表面，也就是说，所述过孔 15 贯穿了所述保护层 13 及源极 123，那么孔的内侧表面就是源极 123 的截面及绝缘层的截面侧面，所述像素电极 14 通过与源极 123 的截面侧面连接。

进一步的，所述过孔 15 通过一道蚀刻工艺形成，具体的，在形成所述保护层 13 之后，通过干蚀机对保护层 13 及源极 123 进行干蚀刻，同一道干蚀刻分两步来分别蚀刻所述保护层 13 及源极 123，进而形成露出所述栅极绝缘层的过孔 15。

本申请所述的阵列基板在 TFT 开关一侧形成过孔，来连接像素电极与源极，保证电流传输的同时，过孔贯穿了金属材质的源极 123，以使过孔 15 位置为透光区，进而增加了整个阵列基板的开口率。根据现有技术的常规设计，该像素电极与源极连接的区域占用面积为 15%，那么此处设置透光的过孔，那

么增加了阵列基板开口率大概为 15%，这对显示屏的显示有大幅度的提高。

请参阅图 2，本申请提供一种阵列基板制造方法，所述方法包括：

步骤 S1，提供形成有 TFT 开关的基板；其中，TFT 开关包括源极和漏极；

步骤 S2，形成覆盖所述基板及 TFT 开关的保护层；

步骤 S3，在保护层上形成一具有第一开口区域的光阻层，且第一开口区域正投影于所述源极或漏极的一侧；本实施例中第一开口区域正投影于所述源极的一侧。

步骤 S4，以光阻层为掩模板干蚀刻保护层及源极（也可以是漏极，根据阵列基板具体设置而定），以在第一开口区域形成贯穿所述保护层及源极或者漏极的过孔；

步骤 S5，去除所述光阻层，并在所述保护层上形成通过过孔与所述源极连接的像素电极层。

本实施例中，所述基板上还形成有包括有外围桥接金属线的外围桥接结构。外围桥接结构包括双层金属堆叠结构外围桥接金属线。

请参照图 3，所述外围桥接结构的形成方法包括：

步骤 S101，在所述基板上还形成包括有外围桥接金属线的外围桥接结构；

步骤 S102，形成覆盖所述基板及外围桥接结构的绝缘层及保护层；

步骤 S103，在保护层上形成一具有第二开口区域的光阻层，且第二开口区域正投影于所述外围桥接金属线；

步骤 S104，以光阻层为掩模板进行干蚀刻所述保护层及绝缘层，以在第二开口区域形成贯穿所述保护层及绝缘层的缺口；

步骤 S105，去除所述光阻层。

实际上，所述外围桥接金属线与所述栅极同一制程形成，所述缺口与过孔是同一制程形成，下面以具体实施例进行说明，

请参照图 4，以源极上设置过孔为例进行说明。步骤 S11，提供形成有 TFT 开关及外围桥接结构的基板 10；其中，TFT 开关包括栅极 120、栅极绝缘层 121、沟道区及源极 123 及漏极 125。所述外围桥接结构包括外围桥接金属线层 150 及覆盖外围桥接金属线层 150 的绝缘层。所述栅极 120 和外围桥接金属线 150 为同一层的同一道制程形成，栅极绝缘层 121 与绝缘层为同一层。

如图 5, 步骤 S12, 形成覆盖所述基板及 TFT 开关的外围桥接结构的外围桥接金属线 150 的保护层 13。

一并参阅图 5 与图 6, 步骤 S13, 在保护层 13 上形成一具有第一开口区域 21 及第二开口区域 22 的光阻层 20, 且第一开口区域 21 正投影于所述源极 123 远离漏极 125 的一侧; 第二开口区域 22 正投影于所述外围桥接金属线 150。

一并参阅图 6 与图 7, 步骤 S14, 以光阻层 20 为掩模板干蚀刻, 以形成贯穿所述保护层 13 及源极 123 的与第一开口区域 21 相对的过孔 15, 在第二开口区域 22 形成露出外围桥接金属线 150 的缺口 152, 本步骤是以光阻层 20 为掩模板对保护层蚀刻。本实施例的过孔是开在所述源极上的。

本步骤中, 干蚀刻是通过两种不同气体分别进行。当然在其他实施例中, 也可以通过一种气体蚀刻形成。具体的, 所述使用两种不同气体分别干蚀刻包括: 同一干蚀刻步骤使用第一蚀刻气体在所述保护层上蚀刻形成第一孔及第一缺口, 第一孔及第一缺口分别对应所述第一开口区域及第二开口区域; 然后转换成第二蚀刻气体在所述源极上继续蚀刻形成第二孔, 由于覆盖外围桥接金属线 150 的绝缘层与所述源极 123 在同一层, 所述绝缘层上形成第二缺口, 第一孔与第二孔连通形成所述过孔, 第一缺口与第二缺口形成所述缺口。所述第一蚀刻气体为四氟化碳 (CF_4) 与氧气的混合物。所述第二蚀刻气体为六氟化硫与氧气的混合物。

所以在以光阻层 20 为掩模板干蚀刻的实际蚀刻过程中还包括, 预设副产物浓度范围值;

在蚀刻所述过孔及缺口时通过四氟化碳检测蚀刻生成的副产物浓度值; 当蚀刻生成的副产物浓度值在所述预设的副产物浓度范围值内时, 停止蚀刻。

其中, 所述蚀刻生成的副产物浓度值包括蚀刻源极生成的副产物浓度值以及外围桥接金属线时生成的副产物浓度值。

具体的, 所述保护层及绝缘层被蚀刻时, 会产生具有第一浓度范围的蚀刻生成的副产物浓度, 在所述源极被蚀刻且未击穿的时候, 第一浓度范围上升是第二浓度范围, 直到所述源极被击穿第二浓度范围下降到所述的预设的副产物浓度值。

当蚀刻生成的副产物浓度值在所述预设的副产物浓度范围值内时, 停止蚀刻, 避免过多的蚀刻所述外围桥接金属线 150。

所述栅极及外围桥接金属线 150 为双层金属堆叠结构,其中所述栅极的顶层金属刻蚀速率小于底层金属,实际上所述栅极 120 及外围桥接金属线 150 是通过金属钼和铝两层层叠设置形成,其中金属钼位于铝的表层,由于刻蚀的时候非金属的速度要快于金属。在刻蚀源极 123 形成过孔的过程中时候,在源极 123 还未被完全击穿时,外围桥接金属线 150 的顶层部分已经开始有损耗产生副产物浓度,设置两层的作用就是减缓外围桥接金属线的刻蚀,而检测副产物浓度范围值及是为了能及时停止蚀刻,防止外围桥接金属线 150 被击穿。

复参阅图 1,步骤 S15,去除所述光阻层 20,并在所述保护层 13 上形成像素电极层 14,所述像素电极成 14 通过过孔 15 与所述源极 123 连接。

以上所述是本申请的优选实施方式,应当指出,对于本技术领域的普通技术人员来说,在不脱离本申请原理的前提下,还可以做出若干改进和润饰,这些改进和润饰也视为本申请的保护范围。

权利要求书

1. 一种阵列基板，其特征在于，包括基板、形成于所述基板上的 TFT 开关、覆盖所述基板及 TFT 开关的保护层及形成于所述保护层的像素电极，所述 TFT 开关包括栅极绝缘层、位于所述栅极绝缘层上的沟道区及连接所述沟道区的源极和漏极，所述像素电极与所述源极或漏极通过一过孔连接，所述过孔位于所述沟道区的一侧并且所述过孔贯穿所述保护层及所述源极或漏极。

2. 如权利要求 1 所述的阵列基板，其特征在于，所述像素电极覆盖所述过孔的孔内侧表面。

3. 如权利要求 1 所述的阵列基板，其特征在于，所述 TFT 开关还包括被所述栅极绝缘层覆盖的栅极、位于栅极绝缘层上的与所述栅极对应的半导体层，所述源极及漏极连接所述半导体层两侧构成所述沟道区。

4. 如权利要求 3 所述的阵列基板，其特征在于，所述半导体层为多晶硅材料、非晶硅材料、金属氧化物中的一种制成。

5. 如权利要求 1 所述的阵列基板，其特征在于，所述保护层通过所述过孔覆盖所述栅极绝缘层。

6. 如权利要求 1 所述的阵列基板，其特征在于，所述像素电极、保护层和栅极绝缘层为透明材料制成。

7. 如权利要求 1 所述的阵列基板，其特征在于，所述阵列基板还包括形成于所述基板上的外围桥接结构，所述外围桥接结构包括外围桥接金属线，所述栅极绝缘层和所述保护层覆盖所述外围桥接金属线。

8. 如权利要求 7 所述的阵列基板，其特征在于，所述外围桥接金属线为双层金属堆叠结构，其中所述外围桥接金属线的顶层金属刻蚀速率小于底层金属。

9. 如权利要求 8 所述的阵列基板，其特征在于，所述栅极为双层金属堆叠结构，所述栅极和外围桥接金属线通过同一道制程形成。

10. 一种阵列基板制造方法，其特征在于，所述方法包括：

提供形成有 TFT 开关的基板，其中，TFT 开关包括源极和漏极；

形成覆盖所述基板及 TFT 开关的保护层；

在保护层上形成一具有第一开口区域的光阻层，且第一开口区域正投影于所述源极或漏极的一侧；

以光阻层为掩膜板进行干蚀刻所述保护层及源极或漏极,以在第一开口区域形成贯穿所述保护层及源极或漏极的过孔;

去除所述光阻层,并在所述保护层上形成通过过孔与所述源极或漏极连接的像素电极层。

11.如权利要求 10 所述的阵列基板制造方法,其特征在于,还包括:

在所述基板上形成外围桥接结构,外围桥接结构包括双层金属堆叠结构外围桥接金属线;

形成覆盖所述基板及外围桥接结构的绝缘层及保护层;

在保护层上形成一具有第二开口区域的光阻层,且第二开口区域正投影于所述外围桥接金属线;

以光阻层为掩膜板进行干蚀刻所述保护层及绝缘层,以在第二开口区域形成贯穿所述保护层及绝缘层的缺口;

去除所述光阻层。

12.如权利要求 11 所述的阵列基板制造方法,其特征在于,所述外围桥接金属线与所述 TFT 开关的的栅极在同一制程形成;

设有所述第二开口区域的光阻层与设有第一开口区域的光阻层为同一光阻层,并且所述第二开口区域与所述第一开口区域为同一制程形成;

所述缺口与所述过孔在同一制程形成。

13.如权利要求 12 所述的阵列基板制造方法,其特征在于,所述以光阻层为掩膜板进行干蚀刻包括:使用第一蚀刻气体在所述保护层上蚀刻形成第一孔及第一缺口,然后转换成第二蚀刻气体在所述源极上继续蚀刻形成第二孔,在栅极绝缘层上形成第二缺口,第一孔与第二孔连通形成所述过孔,第一缺口与第二缺口形成所述缺口。

14.如权利要求 13 所述的阵列基板制造方法,其特征在于,所述外围桥接金属线为双层金属堆叠结构,其中所述外围桥接金属线的顶层金属刻蚀速率小于底层金属;所述栅极为双层金属堆叠结构,其中所述栅极的顶层金属刻蚀速率小于底层金属,栅极和外围桥接金属线为同一道制程形成。

15.如权利要求 14 所述的阵列基板制造方法,其特征在于,所述方法还包括,预设副产物浓度范围值;

在蚀刻所述过孔及缺口时检测蚀刻生成的副产物浓度值;当蚀刻生成的副

产物浓度值在所述预设副产物浓度范围值内时，停止蚀刻。

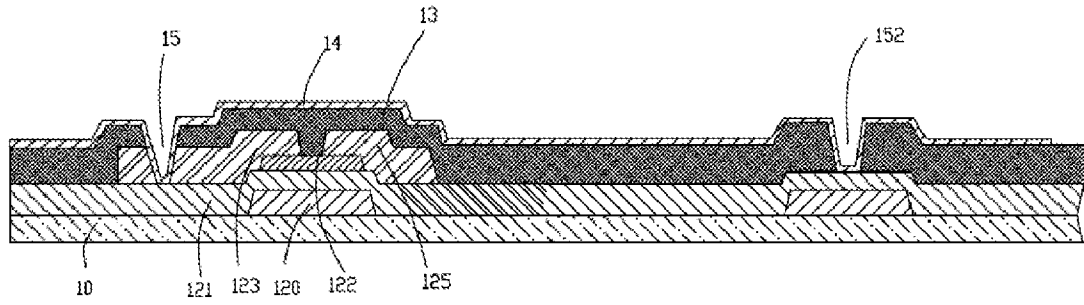


图 1

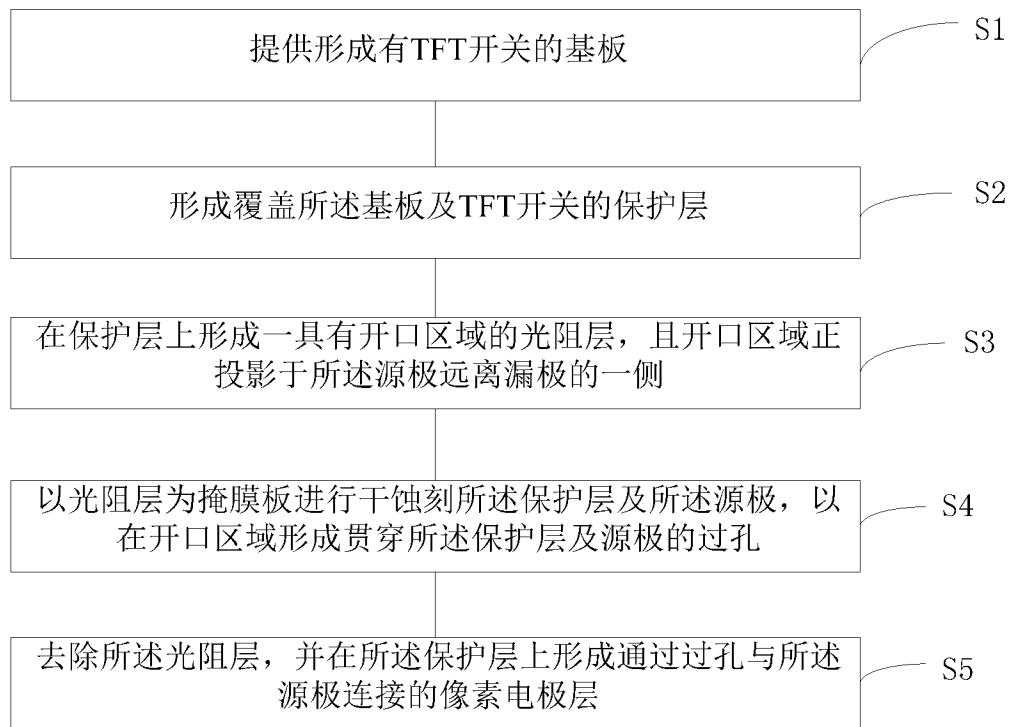


图 2

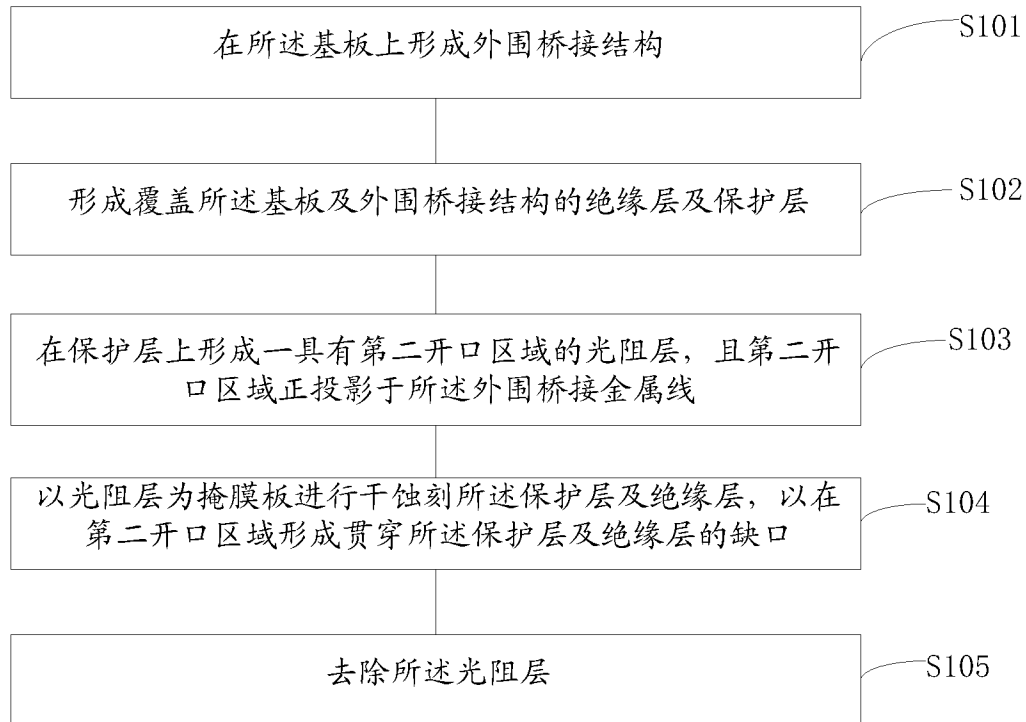


图 3

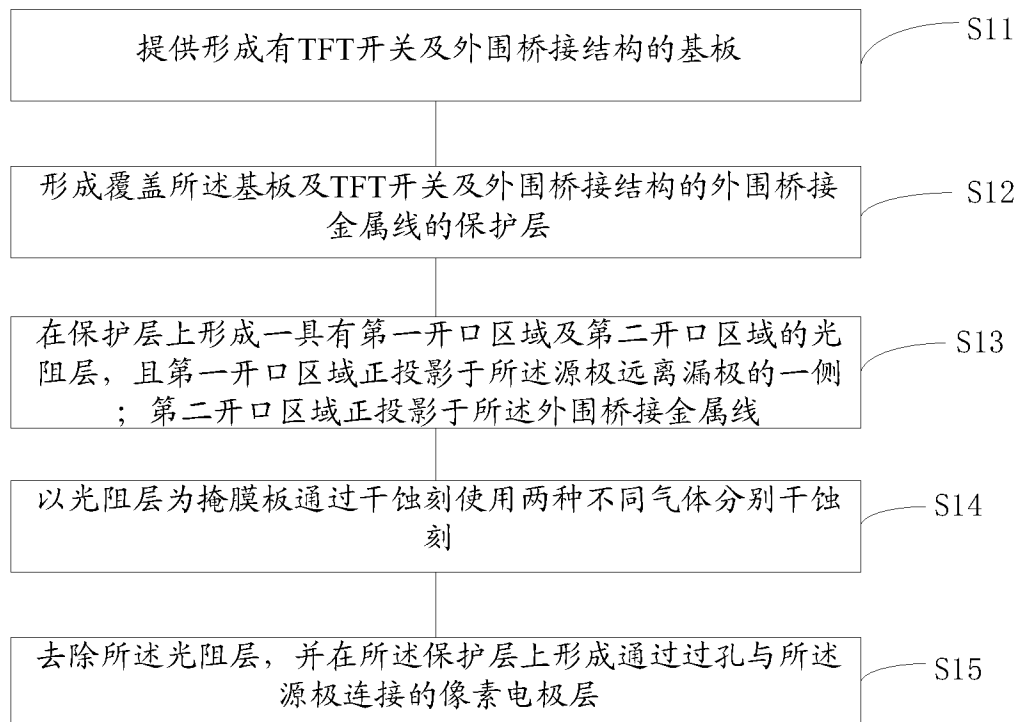


图 4

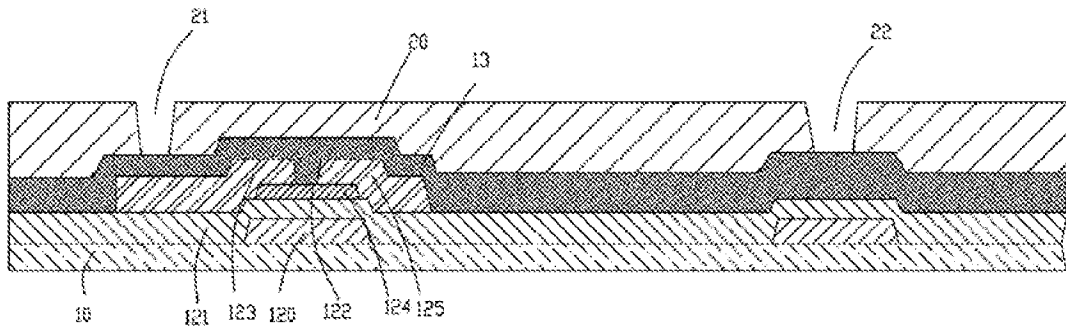


图 5

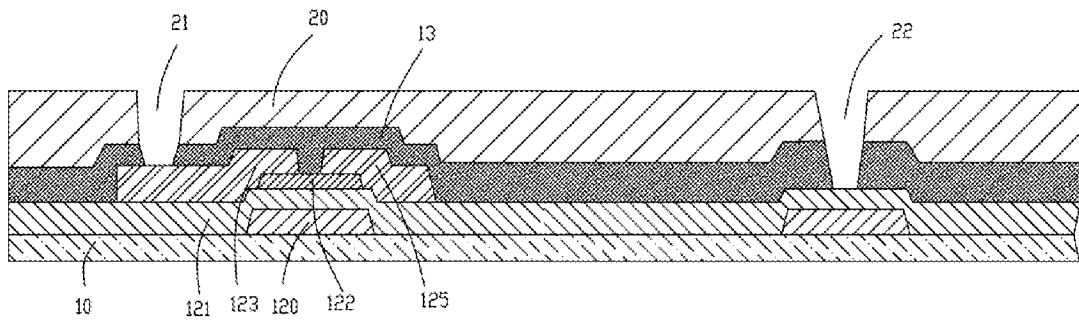


图 6

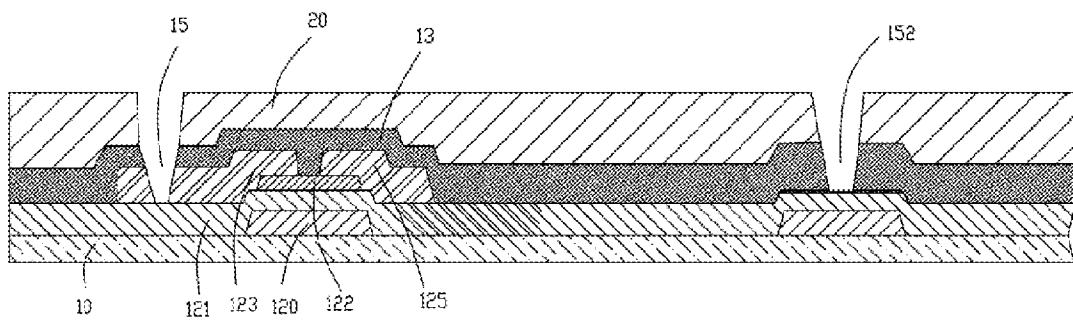


图 7

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2016/113657

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, IEEE, CNKI: 深圳市柔宇科技有限公司, 薄膜晶体管, TFT, 贯穿, 穿过, 穿透, 贯通, 源, 漏, 孔, 开口, 槽, 开口率, 像素电极, 象素电极, THIN FILM TRANSISTOR, SOURCE, DRAIN, HOLE?, VIA, OPEN+, APERTURE?, THROUGH, PENETRATE

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101276840 A (SEMICONDUCTOR ENERGY LABORATORY) 01 October 2008 (01.10.2008), description, page 10, paragraph 2 to page 14, paragraph 2, page 29, the last paragraph but one to page 30, paragraph 2, and figures 3, 4, and 19	1-6, 10
Y	CN 101276840 A (SEMICONDUCTOR ENERGY LABORATORY) 01 October 2008 (01.10.2008), description, page 10, paragraph 2 to page 14, paragraph 2, page 29, the last paragraph but one to page 30, paragraph 2, and figures 3, 4, and 19	7-9, 11-15
Y	US 2006054889 A1 (KIM, J. S. et al.) 16 March 2006 (16.03.2006), description, paragraphs [0083]-[0113], and figures 1-6	7-9, 11-15
A	JP 2003152188 A (CASIO COMPUTER CO., LTD.) 23 May 2003 (23.05.2003), entire document	1-15

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 07 September 2017	Date of mailing of the international search report 27 September 2017
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LU, Ran Telephone No. (86-10) 62414059

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/113657

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101276840 A	01 October 2008	US 7763981 B2	27 July 2010
		KR 20140130641 A	11 November 2014
		KR 20150118070 A	21 October 2015
		JP 2016195267 A	17 November 2016
		TW I512888 B	11 December 2015
		TW 201601251 A	01 January 2016
		KR 20080087688 A	01 October 2008
		CN 102157566 B	22 July 2015
		US 2010283105 A1	11 November 2010
		TW I559448 B	21 November 2016
		JP 2015057831 A	26 March 2015
		KR 101534070 B1	06 July 2015
		CN 102157566 A	17 August 2011
		JP 5820496 B2	24 November 2015
		JP 5512931 B2	04 June 2014
		US 2008237875 A1	02 October 2008
		CN 101276840 B	06 April 2011
		TW 200849469 A	16 December 2008
		JP 2008270759 A	06 November 2008
		JP 2014160836 A	04 September 2014
US 2006054889 A1	16 March 2006	US 8624400 B2	07 January 2014
		KR 101725120 B1	10 April 2017
US 2006054889 A1	16 March 2006	None	
JP 2003152188 A	23 May 2003	None	

国际检索报告

国际申请号

PCT/CN2016/113657

A. 主题的分类

H01L 29/786(2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, WPI, EPODOC, IEEE, CNKI: 深圳市柔宇科技有限公司, 薄膜晶体管, TFT, 贯穿, 穿过, 穿透, 贯通, 源, 漏, 孔, 开口, 槽, 开口率, 像素电极, 象素电极, THIN FILM TRANSISTOR, SOURCE, DRAIN, HOLE?, VIA, OPEN+, APERTURE?, THROUGH, PENETRATE

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 101276840 A (株式会社半导体能源研究所) 2008年 10月 1日 (2008 - 10 - 01) 说明书第10页第2段至第14页第2段, 第29页倒数第2段至第30页第2段、附图3-4、19	1-6, 10
Y	CN 101276840 A (株式会社半导体能源研究所) 2008年 10月 1日 (2008 - 10 - 01) 说明书第10页第2段至第14页第2段, 第29页倒数第2段至第30页第2段、附图3-4、19	7-9, 11-15
Y	US 2006054889 A1 (KIM, J. S. 等) 2006年 3月 16日 (2006 - 03 - 16) 说明书第[0083]-[0113]段、附图1-6	7-9, 11-15
A	JP 2003152188 A (CASIO COMPUTER CO., LTD.) 2003年 5月 23日 (2003 - 05 - 23) 全文	1-15

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2017年 9月 7日

国际检索报告邮寄日期

2017年 9月 27日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局 (ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

受权官员

陆然

传真号 (86-10) 62019451

电话号码 (86-10) 62414059

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/113657

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	101276840	A	2008年 10月 1日	US	7763981	B2	2010年 7月 27日
				KR	20140130641	A	2014年 11月 11日
				KR	20150118070	A	2015年 10月 21日
				JP	2016195267	A	2016年 11月 17日
				TW	I512888	B	2015年 12月 11日
				TW	201601251	A	2016年 1月 1日
				KR	20080087688	A	2008年 10月 1日
				CN	102157566	B	2015年 7月 22日
				US	2010283105	A1	2010年 11月 11日
				TW	I559448	B	2016年 11月 21日
				JP	2015057831	A	2015年 3月 26日
				KR	101534070	B1	2015年 7月 6日
				CN	102157566	A	2011年 8月 17日
				JP	5820496	B2	2015年 11月 24日
				JP	5512931	B2	2014年 6月 4日
				US	2008237875	A1	2008年 10月 2日
				CN	101276840	B	2011年 4月 6日
				TW	200849469	A	2008年 12月 16日
				JP	2008270759	A	2008年 11月 6日
				JP	2014160836	A	2014年 9月 4日
				US	8624400	B2	2014年 1月 7日
				KR	101725120	B1	2017年 4月 10日
US	2006054889	A1	2006年 3月 16日	无			
JP	2003152188	A	2003年 5月 23日	无			

表 PCT/ISA/210 (同族专利附件) (2009年7月)