

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利申请公布说明书

[21] 申请号 200680052066.9

H01L 21/336 (2006.01)

H01L 21/316 (2006.01)

H01L 29/12 (2006.01)

H01L 29/78 (2006.01)

[43] 公开日 2008年12月31日

[11] 公开号 CN 101336473A

[22] 申请日 2006.12.6

[21] 申请号 200680052066.9

[30] 优先权

[32] 2006.1.30 [33] JP [31] 020060/2006

[86] 国际申请 PCT/JP2006/324347 2006.12.6

[87] 国际公布 WO2007/086196 日 2007.8.2

[85] 进入国家阶段日期 2008.7.30

[71] 申请人 住友电气工业株式会社

地址 日本大阪府

[72] 发明人 增田健良

[74] 专利代理机构 中原信达知识产权代理有限责
任公司

代理人 梁晓广 陆锦华

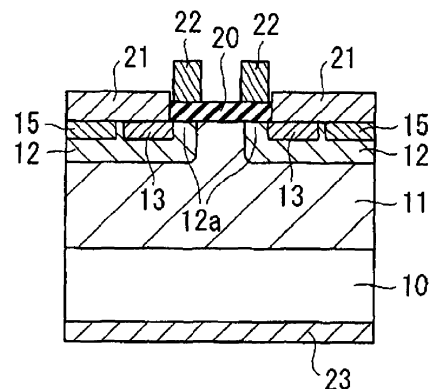
权利要求书 2 页 说明书 10 页 附图 4 页

[54] 发明名称

制造碳化硅半导体器件的方法

[57] 摘要

提供了在栅绝缘膜(20)和碳化硅层(11)之间的界面区中具有低界面态密度的碳化硅半导体器件的制造方法。在4H-SiC衬底(10)上生长外延生长层(11)，其后执行离子注入以形成作为离子注入层的p阱区(12)、源区(13)和p⁺接触区(15)。其后，利用热氧化或CVD，在p阱区(12)、源区(13)和p⁺接触区(15)上形成由氧化硅膜形成的栅绝缘膜(20)。然后，使用包含N₂O的气体产生等离子体，以使栅绝缘膜(20)暴露于等离子体，该包含N₂O的气体是包含氧和氮中的至少任何一种的气体。



1. 一种制造碳化硅半导体器件的方法，包括：
氧化膜形成步骤，在形成于衬底上的碳化硅层(11)上形成充当栅绝缘膜的氧化膜；和
等离子体暴露步骤，在所述氧化膜形成步骤之后，将所述氧化膜(20)暴露到通过使用包含氮元素(N)和氧元素(O)中的至少任何一种的气体产生的等离子体。
2. 根据权利要求1的制造碳化硅半导体器件的方法，其中
在所述等离子体暴露步骤中，使用从包含氮分子的气体、包含氧分子的气体和包含臭氧的气体中选择的至少一种气体作为包含氮元素和氧元素中的至少任何一种的所述气体。
3. 根据权利要求1的制造碳化硅半导体器件的方法，其中
在所述等离子体暴露步骤中，使用包含氮元素和氧元素的气体作为包含氮元素和氧元素中的至少任何一种的所述气体。
4. 根据权利要求3的制造碳化硅半导体器件的方法，其中
在所述等离子体暴露步骤中，使用从包含一氧化二氮的气体和包含氧化氮的气体中选择的至少一种气体作为包含氮元素和氧元素的所述气体。
5. 根据权利要求1的制造碳化硅半导体器件的方法，其中
在所述氧化膜形成步骤中，通过在包含至少氧元素的气氛中加热所述碳化硅层形成作为所述氧化膜(20)的氧化硅膜。
6. 根据权利要求5的制造碳化硅半导体器件的方法，其中
在所述氧化膜形成步骤中，在从至少 1250℃到至多 1400℃范围的温度下执行热氧化。

7. 根据权利要求 1 的制造碳化硅半导体器件的方法，其中在所述氧化膜形成步骤中，利用化学气相沉积形成所述氧化膜(20)。

8. 根据权利要求 1 的制造碳化硅半导体器件的方法，进一步包括在所述氧化膜形成步骤之前，利用化学机械平坦化来平坦化所述碳化硅层(11)的步骤。

制造碳化硅半导体器件的方法

技术领域

本发明涉及一种制造具有界面态密度低的栅绝缘膜的碳化硅半导体器件例如 MOSFET 的方法。

背景技术

已期望将半导体器件例如用由以 1: 1 的组成比相互键合的硅(Si)和碳(C)组成的碳化硅衬底(SiC 衬底)形成的晶体管和二极管,投入到作为功率器件的实际使用中。由于碳化硅是宽带隙半导体,所以其击穿电场高于硅的击穿电场一个数量级。因此,即使在 pn 结或肖特基(Schottky)结处的耗尽层具有更小的厚度,也能保持高反峰电压。在这里,由于使用碳化硅衬底提供了更小的器件厚度和更高的掺杂浓度,所以期望实现具有低导通电阻、高耐受电压和低损耗的功率器件。注意,这里的碳化硅衬底包括通过在由碳化硅晶体或不同于碳化硅的材料组成的衬底上外延生长碳化硅晶体层而得到的任何一种衬底。

同时,由于下面的原因,与包括硅衬底的 MOSFET(金属氧化物半导体场效应晶体管)相比,包括碳化硅衬底的 MOSFET 在充当栅绝缘膜的氧化硅薄膜的不良特性方面是不利的。主要地,由于大量碳遗留在碳化硅衬底上的热氧化膜中,所以存在 C-C 键或悬空键,因此,热氧化膜和碳化硅层之间的界面区中的界面态密度高。

为了解决这种缺点,根据日本国家专利公布 No.2004-511101(专利文献 1),例如,通过在一氧化二氮(N₂O)中氧化碳化硅层并且在 N₂O 气氛中退火碳化硅层上的氧化物层,实现了氧化物层和碳化硅层之间的界面区中的较低的界面态密度。

专利文献 1: 日本国家专利公布 No.2004-511101

发明内容

本发明要解决的问题

根据专利文献 1，由于通过在 N_2O 中退火的热分解而产生的一氧化氮(NO)使存在于氧化膜(氧化物层)和半导体层之间的界面区中的 Si、C 的悬空键钝化。因此，降低了充当电子陷阱的界面态并提高了载流子迁移率。然而，根据专利文献 1 中的技术，在 1100°C 或更高的温度下会引起 N_2O 和 SiC 之间的反应，因此在由于退火炉中温度增加和降低所需的长时间而导致的低生产量方面，以及在保持晶片内部温度的均匀性的困难方面，专利文献 1 是不利的。

本发明的目的在于提供一种以高生产量制造具有低界面态密度的碳化硅半导体器件的方法。

解决问题的手段

根据本发明制造碳化硅半导体器件的方法，包括：氧化膜形成步骤，在形成于衬底上的碳化硅层上形成充当栅绝缘膜的氧化膜；和在氧化膜形成步骤之后的等离子体暴露步骤，将氧化膜暴露在通过使用包含氮元素(N)和氧元素(O)中的至少任何一种的气体产生的等离子体。

根据该方法，实现了例如通过 N 原子使悬空键钝化和通过 O 原子断开 C-C 键的作用，因此，通过在相对低温度的处理能降低氧化膜和碳化硅层之间的界面区中的界面态密度。另外，由于与在退火处理中相比，在等离子体暴露步骤中晶片内部的等离子体处理的均匀性可能更高，所以界面态密度的变化也更小。因此，除了改善沟道迁移率和降低 MOSFET 等中的漏电流之外，MOSFET 等的阈值电压的变化也更小。而且，由于等离子体暴露步骤能够在相对低的温度下执行，因此还改善了生产量。

在以上制造碳化硅半导体器件的方法中，在等离子体暴露步骤中，

优选使用从包含氮分子(N_2)的气体、包含氧分子(O_2)的气体和包含臭氧(O_3)的气体中选择的至少一种气体作为包含氮元素和氧元素中的至少任何一种的气体。作为选择, 优选使用包含氮元素和氧元素的气体作为包含氮元素和氧元素中的至少任何一种的气体。在这里, 优选使用从包含一氧化二氮(N_2O)的气体和包含氧化氮(NO_x)的气体中选择的至少一种气体作为包含氮元素和氧元素的气体。

在以上制造碳化硅半导体器件的方法中, 在氧化膜形成步骤中, 优选通过在包含至少氧元素的气氛中加热碳化硅层形成作为氧化膜的氧化硅膜。在形成栅绝缘膜中, 通过经由在包含至少氧元素的气氛中碳化硅层被加热至高温的热氧化形成氧化硅膜, 使在底层的碳化硅层的结晶态信息载送到氧化硅膜。因此得到了很好地适合于底层的栅绝缘膜。在这里, 优选热氧化处理的温度在从至少 1250°C 到至多 1400°C 的范围内。

在氧化膜形成步骤中, 优选用化学气相沉积(CVD)形成氧化膜。在形成栅绝缘膜中, 通过用 CVD 形成氧化膜, 得到了在具有底层碳化硅层的界面区中界面态密度相对低的栅绝缘膜。

制造碳化硅半导体器件的方法优选进一步包括在氧化膜形成步骤之前, 用化学机械平坦化(CMP)来平坦化碳化硅层的步骤。通过在形成栅绝缘膜之前用 CMP 来平坦化碳化硅层, 使界面态密度的分布均匀, 且得到了阈值电压变化更小的碳化硅半导体器件。

发明效果

根据本发明的制造碳化硅半导体器件的方法, 能够获得在栅绝缘膜和碳化硅层之间的界面区中具有低界面态密度的碳化硅半导体器件。

附图说明

图 1 是示出实施方案中制造 MOSFET 的步骤的剖视图。

图 2 是示出实施方案中制造 MOSFET 的步骤的剖视图。

图 3 是示出实施方案中制造 MOSFET 的步骤的剖视图。

图 4 是示出实施方案中制造 MOSFET 的步骤的剖视图。

图 5 是示出实施方案中制造 MOSFET 的步骤的剖视图。

图 6 是示出实施方案中制造 MOSFET 的步骤的剖视图。

图 7 是示意性示出实施方案中使用的等离子体设备的结构的透视图。

图 8 举例说明了示出根据是否执行等离子体处理，沟道迁移率对栅电压的依赖性差异的数据。

附图标记说明

10 4H-SiC 衬底；11 外延生长层；12 p 阱区；12a 沟道区；13 源区；15 p⁺接触区；20 栅绝缘膜；21 源电极；22 栅电极；23 漏电极；50 等离子体设备；51 室；52 管道；53 上电极；54 下电极；61 晶片；和 62 晶片承载器。

具体实施方式

(实施方案)

图 1 到 6 是示出实施方案中制造表示碳化硅半导体器件的 MOSFET 的步骤的剖视图。尽管图 1 到 6 只是示出了表示垂直 MOSFET 的一部分的两个晶体管单元，但是集成了大量晶体管单元以构成一个垂直 MOSFET。

在图 1 示出的步骤中，制备了 n 型 4H(六边形)-SiC(4 表示一个周期中堆叠的层数)衬底 10，其例如具有 0.02 Ω cm 的电阻率和 400 μm 的厚度，且具有在[11-20]方向上斜角为大约 8°的(0001)面作为主表面。然后，使用包括原位掺杂的 CVD 外延生长，在 4H-SiC 衬底 10 上生长例如包含大约 $5 \times 10^{15} \text{cm}^{-3}$ 浓度的 n 型掺杂剂且具有大约 10 μm 厚度的外延生长层 11。在外延生长之后即刻的外延生长层 11 的最外表面具有例

如大约 0.2nm 到 0.3nm 的平均表面粗糙度 Ra。在这里注意，单个方向和单个表面分别用[]和()示出。

其后，在图 2 示出的步骤中，使用离子注入，在外延生长层 11 的表面部分的部分中形成例如包含大约 $1 \times 10^{17} \text{cm}^{-3}$ 浓度的 p 型掺杂剂且具有大约 $1.0 \mu\text{m}$ 厚度(深度)的 p 阱区 12。还使用离子注入，在 p 阱区 12 表面部分的每个部分中形成例如包含 $1 \times 10^{19} \text{cm}^{-3}$ 浓度的 n 型掺杂剂且具有大约 $0.3 \mu\text{m}$ 厚度(深度)的源区 13，和例如包含大约 $5 \times 10^{19} \text{cm}^{-3}$ 浓度的 p 型掺杂剂且具有大约 $0.3 \mu\text{m}$ 厚度(深度)的 p^+ 接触区 15。在这里，将在离子注入期间 4H-SiC 衬底 10 和外延生长层 11 的温度设置为例如 500°C 。其后，使用主要包含硅胶的研磨剂来执行 CMP(化学机械平坦化)，由此移除衬底例如大约 1nm 到 5nm 的表面部分。CMP 之后即刻的外延生长层 11 的最外表面具有例如大约从 0.1nm 到 0.5nm 范围的平均表面粗糙度 Ra。虽然没有示出，但是通常，在这些步骤之后，使用热氧化在衬底上形成了牺牲氧化膜，其后，除去了牺牲氧化膜，然后该过程进行下一步。

其后，在图 3 示出的步骤中，例如，使用热氧化，在 4H-SiC 衬底 10 上形成具有大约 50nm 厚度的作为氧化硅膜形成的栅绝缘膜 20。在这里，优选通过在包含至少氧元素(O)的气氛中加热至高温形成栅绝缘膜 20。在这里，可使用例如 O_2 、 O_3 、 N_2O 等作为含氧元素的气体。通过在含氧元素的气氛中加热，能得到质量比用溅射或 CVD 形成的膜更高的氧化膜。优选执行加热至从至少 1250°C 到至多 1400°C 范围的高温。加热至不低于 1250°C 的高温能够在栅绝缘膜 20 和外延生长层 11 内部的每层(尤其是，p 阱区 12)之间的界面产生低界面态密度。加热至不高于 1400°C 的高温能抑制外延生长层 11 内部的每层的表面粗糙度。通过在含氧元素和氮元素的气氛中执行热氧化，还能降低在栅绝缘膜 20 和外延生长层 11 内部的每层(尤其是，p 阱区 12)之间的界面的界面态密度。因此，与单独使用氧元素的氧化相比，通过使用含氮元素和氧元素的气体(例如， N_2O 和 NO)，得到以下作用和效果。具体地，由于由

其产生界面态的残留碳被氮化以得到钝化作用，所以能实现更低的界面态密度。

代替热氧化，例如，可使用 CVD(化学气相沉积)。由于在 CVD 中几乎不会改变底层碳化硅层，因此得到在与底层碳化硅层的界面区中实现相对低界面态密度的栅绝缘膜 20。因此，仅就降低界面态密度的效果而言，优选 CVD。

其后，在图 4 示出的步骤中，利用桶型等离子体设备，采用含氮元素和氧元素中的至少任何一种的气体，来产生用于等离子体处理栅绝缘膜 20 的等离子体(等离子体暴露步骤)。在等离子体暴露步骤中，使用例如从包含 N_2 的气体、包含 O_2 的气体和包含 O_3 的气体中选择的至少一种气体作为包含氮元素和氧元素中至少任何一种的气体。因此，可实现钝化或移除(除去)残留在氧化膜和外延生长层 11 内部每层之间的界面上的碳。作为选择，例如，使用包含氮元素和氧元素的气体作为包含氮元素和氧元素中的至少任何一种的气体。通过这样做，也能类似地实现钝化或移除(除去)残留在氧化膜和外延生长层 11 内部每层之间的界面上的碳。在这里，使用例如从包含 N_2 的气体和包含 NO_x 的气体中选择的至少一种气体作为包含氮元素和氧元素的气体。通过这样做，也能类似地实现钝化或移除(除去)残留在氧化膜和外延生长层 11 内部每层之间的界面上的碳。如果使用包含氮元素和氧元素的气体，例如，可将氮元素和氧元素之间的分压(比率)设置为 1: 1。

没有具体限制等离子体暴露步骤，只要通过使用包含氮元素和氧元素中的至少任何一种的气体产生等离子体。包含氮元素和氧元素中的至少任何一种的气体可以进一步包含，例如氢等。

图 7 是示意性示出实施方案中使用的等离子体设备 50 的结构的透视图。等离子体设备 50 包括用石英管等形成的室 51、在室 51 中提供的用铝网管等形成的管道 52、贴附在室 51 的内顶板部分上的上电极

53 和贴附在室 51 的底部部分上的下电极 54。上电极 53 连接到具有插入的匹配单元 55 的高频电源，且下电极 54 接地。垂直放置在晶片承载器 62 上的多个晶体 61 排列在管道 52 中。

在本实施方案中，例如，在诸如 300W 的功率和 13.56MHz 的频率的条件下产生等离子体，同时使通过用大约 10% 体积浓度的氮气稀释 N_2O 得到的气体流进室 51。例如，将室 51 的温度设置为大约 $100^{\circ}C$ ，且将在执行暴露于等离子体的期间的周期设置为大约 60 分钟。

其后，在图 5 示出的步骤中，移除位于源区 13 和 p^+ 接触区 15 上面的部分栅绝缘膜 20，然后，在用例如剥离法(lift-off method)移除栅绝缘膜 20 的区域中形成由具有大约 $0.1\mu m$ 厚度的镍(Ni)膜形成的源电极 21。

其后，在图 6 示出的步骤中，例如，通过在氩(Ar)气氛中以 $975^{\circ}C$ 的温度执行热处理 2 分钟，在组成源电极 21 和漏电极 23 的 Ni 与组成底层(源区 13、 p^+ 接触区 15 和 4H-SiC 衬底 10)的碳化硅之间的接触特性从肖特基接触改变为欧姆接触。其后，在栅极绝缘膜 20 上形成与源电极 21 隔开的由铝组成的栅电极 22。

通过以上制造步骤，形成了实现作为功率器件的作用的 n 沟道垂直 MOSFET。在垂直 MOSFET 中，具有插入的栅绝缘膜 20 的位于 p 阱区 12 最上部分和栅电极 22 下面的区域获得作为沟道区 12a 的作用。当 MOSFET 导通时，由漏电极 23 提供的电流在垂直方向上从 4H-SiC 衬底 10 流向外延生长层 11 的最上部分，其后，电流通过 p 阱区 12 最上部分中的沟道区 12a 到达源区 13。在这里，在沟道区 12a 中，电子，即载流子，从源区 13 跑向外延生长层 11 的最上面部分。电子在沟道区 12a 中的迁移率称为沟道迁移率。

在本实施方案的图 3 示出的形成栅氧化膜的步骤中，CO 或 CO_2

由于外延生长层 11(SiC 层)中的 C 原子与 O 原子之间的键合而挥发,同时由于 Si 原子与 O 原子之间键合形成了氧化硅膜(SiO_2)。在这里,不同于 Si 层表面的热氧化,在 SiC 层表面的热氧化处理之后留下了大量 C 原子。因此,大量 Si、C 的悬空键或表示 C 原子之间键合的 C-C 键存在于栅氧化膜和碳化硅层之间的界面区中。因此,大量界面态密度会存在于栅氧化膜和碳化硅层之间界面周围的区域中。

在这里,通过将栅绝缘膜 20 暴露于通过使用包含氧元素的气体产生的等离子体,获得了由 O 原子断开 C-C 键的作用。另外,通过将栅绝缘膜 20 暴露于通过使用包含氮的气体产生的等离子体,获得了钝化 Si、C 的悬空键的作用(端接作用)。这些作用中的任何一种都有助于降低栅极绝缘膜 20 和沟道区 12a 之间的界面区中的界面态密度。因此,改善了 MOSFET 的沟道迁移率并且还减少了漏电流。具体地,在本实施方案中,由于将栅绝缘膜暴露于通过使用包含 N_2O 的气体产生的等离子体,该包含 N_2O 的气体是包含氧和氮的气体,断开 C-C 键的作用和钝化悬空键的作用都达到了,降低界面密度的作用更明显。

图 8 举例说明了示出根据是否执行了等离子体处理,沟道迁移率对栅电压的依赖性的差异的数据。图 8 中的数据曲线 L1 和 L2 表示在形成栅极绝缘膜之后受到等离子体处理(在该样品的情况下, N_2 等离子体处理)的 MOSFET 样品(栅绝缘膜的厚度为 60nm)和在 O_2 气氛中仅遭受热氧化以形成栅绝缘膜的 MOSFET 样品(栅绝缘膜的厚度为 60nm)中的沟道迁移率。在这里,结合图 1 到 6 示出的步骤,在前面描述的条件下,制造了 MOSFET 样品。在这里,外延生长层 11 的平均表面粗糙度 R_a 为 10nm, CMP 之后即刻的外延生长层 11 的最外表面的平均表面粗糙度为 0.5 nm,以及通过使用 O_2 作为包含氧元素的气体在 1300°C 下利用热氧化形成栅极绝缘膜 20,或者在等离子体暴露步骤中,其通过使用以氮气冲淡 N_2O 至 10%体积浓度而得到的气体形成。如图所示,能够看出通过执行等离子体处理沟道迁移率得到显著提高。

另外，在图 4 中示出的等离子体处理步骤中，将处理温度设置为大约 100℃，且不需要如专利文献 1 的技术中的在 1100℃左右的高温下处理。因此，也能保持高生产量。

而且，根据专利文献 1 的技术，由于处理在 1100℃左右的高温下执行，所以难于在晶片中保持均匀的温度分布，且晶片内部的界面态密度变化大。相比之下，根据本发明，能够相对容易地执行用等离子体对晶体的均匀处理。由于晶片内部的界面态密度的均匀性因而也很高，所以能够使 MOSFET 阈值电压的变化更小。

注意，通过当施加 0.1V 漏电压时计算基于栅电压和漏电流特性的互导和通过测定场效应迁移率，在图中绘制图 8 示出的数据曲线 L1 和 L2。

在根据本实施方案的制造 MOSFET 的步骤中，使用包含 N₂O 的气体作为用于等离子体处理的气氛。在这里，通过使用包含氮元素和氧元素中的至少任何一种的气体，能够降低栅绝缘膜 20 和外延生长层 11 之间界面区中存在的界面态密度，因此能够实现本发明的效果。具体地，包含 N₂ 的气体、包含 O₂ 或 O₃ 的气体、包含 NO_x 的气体、包含氮元素和氧元素的气体等是包含氮元素和氧元素中的至少任何一种的示例性气体。通过使用这些气体，能够产生包含氧元素和氮元素中的至少任何一种的等离子体。

桶型等离子体产生设备比平行板型等离子产生设备更有利于作为等离子体产生设备，因为对栅绝缘膜等的损伤可能性较小。通过使用 ICP(感应耦合等离子体)也能抑制损伤。

在图 2 示出的步骤中，优选在从至少 1250℃到至多 1400℃范围的温度下执行热氧化。这是因为，随着温度越高，降低界面态密度的效果就越大。在这里，可选择包含 O₂ 的气体、包含 NO₂ 的气体、包含

N_2O 的气体等用作所述气氛。

(其它实施方案)

以上公开的本发明实施方案的结构仅是为了举例说明且本发明的范围不受说明书的范围限制。本发明的范围由权利要求的术语限定，且意指包括所述范围内的任何变更和与权利要求的术语等价的含义。

在以上实施方案中，已描述了根据本发明的碳化硅半导体器件应用于 MOSFET(DMOSFET)的实例，然而，根据本发明的碳化硅半导体器件还可应用于 VMOSFET、UMOSFET 和 IGBT 等。

另外，在以上实施方案中，已描述了本发明应用到反转模式 (inversion mode)MOSFET 的实例，然而，本发明还可应用于累积模式 (accumulation mode)MOSFET。而且，在以上实施方案中，已描述了本发明应用到垂直 MOSFET 的实例，然而，本发明还可应用于横向 MOSFET。在这里，与具有插入的沟道区的源区相对的漏区形成在外延生长层的表面部分中。

本发明的衬底不限于 4H-SiC 衬底，且可采用不同于 4H 多晶(poly)型的多晶型 SiC 衬底，例如 6H-SiC 衬底(一个周期中堆叠的层数是 6)，或者由不同于用于 SiC 衬底的材料制成的衬底，例如 Si 衬底。例如，通过将本发明还应用于包括在 Si 衬底上异质外延生长的 3C-SiC 外延生长层的碳化硅半导体器件，能够得到阈值电压变化小的 MOSFET 或耐受电压高的肖特基二极管。

产业实用性

根据本发明的碳化硅半导体器件可用于用作功率器件或高频器件的 MOSFET、IGBT 等。

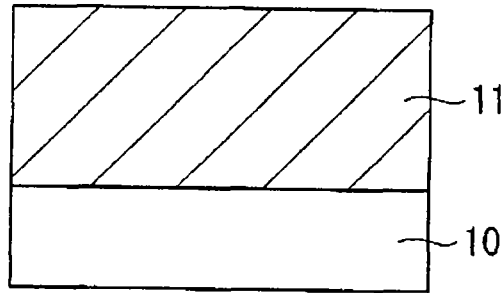


图1

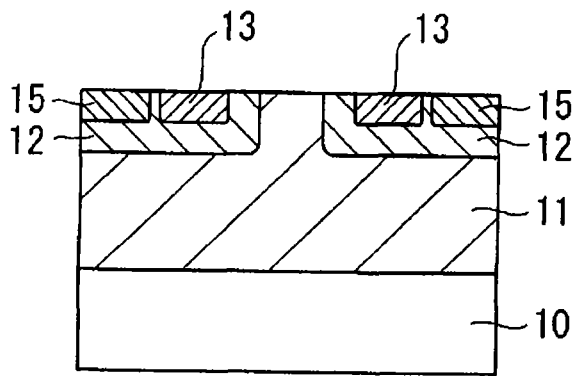


图2

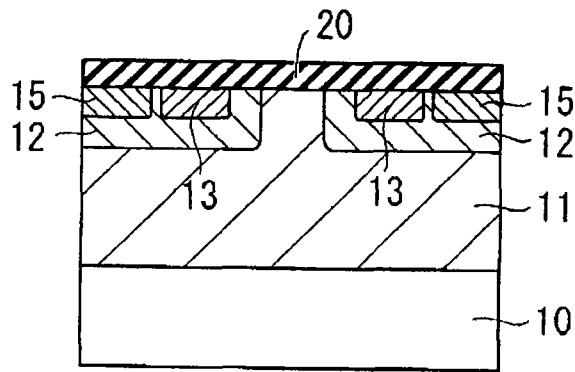


图3

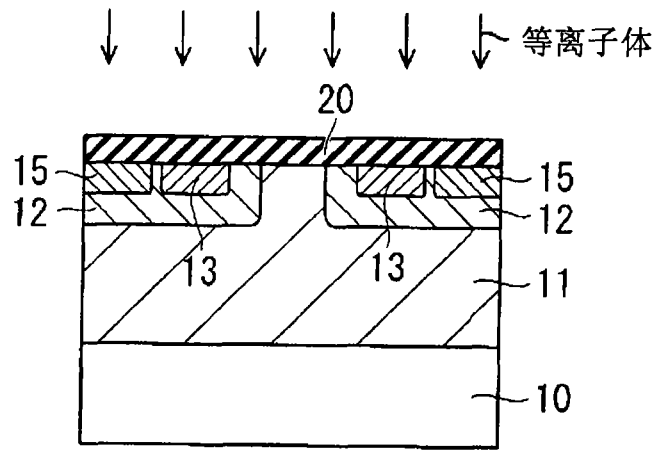


图4

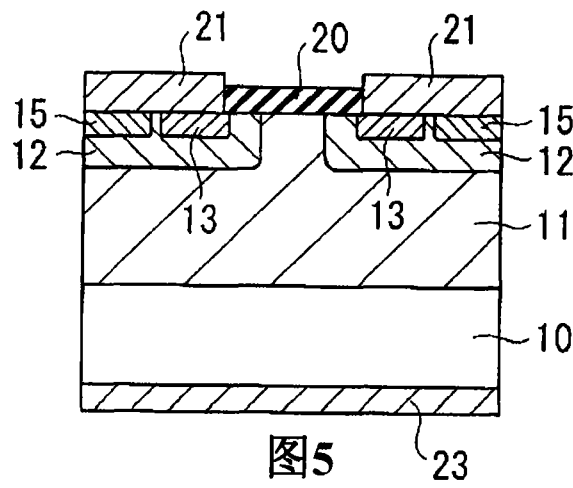


图5

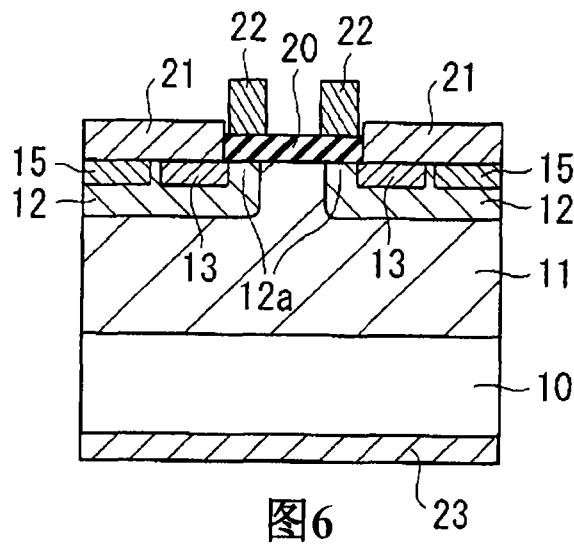


图6

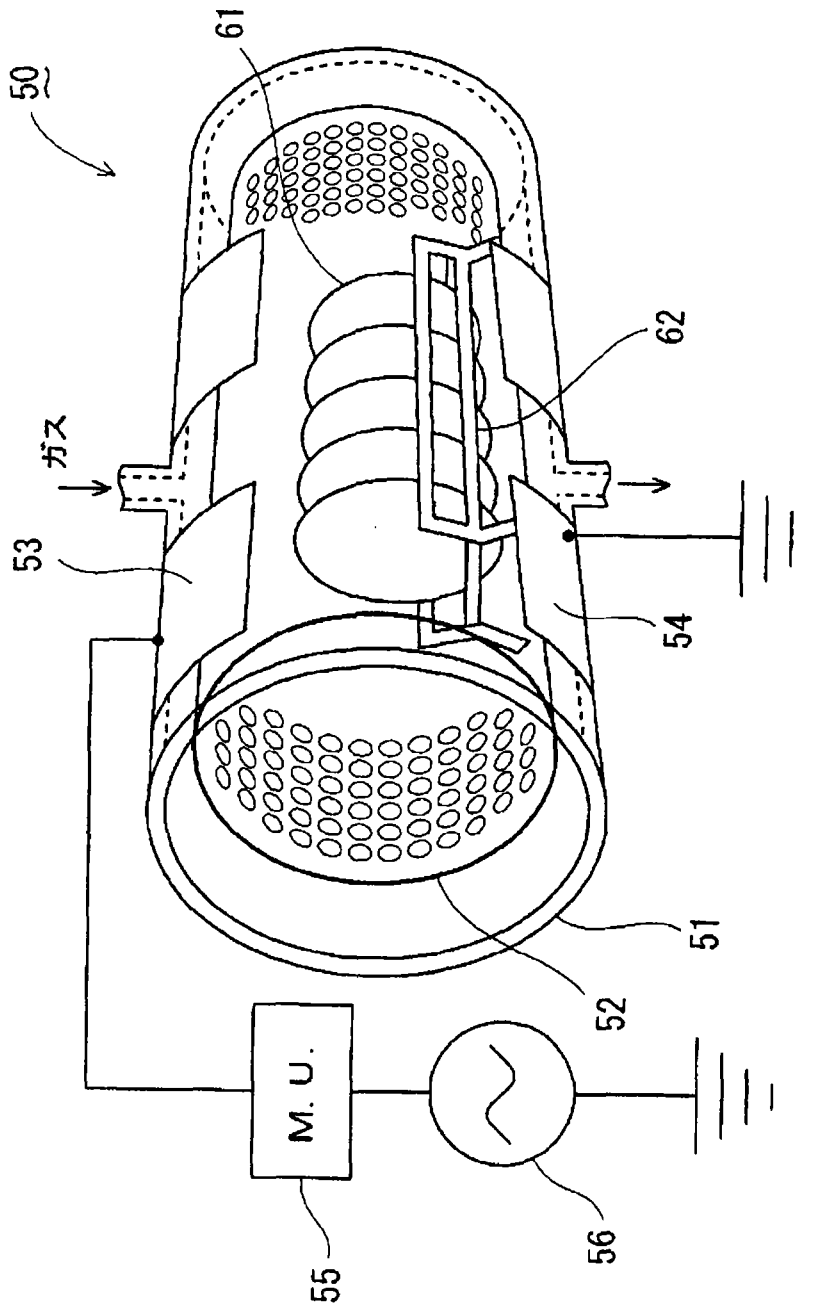


图7

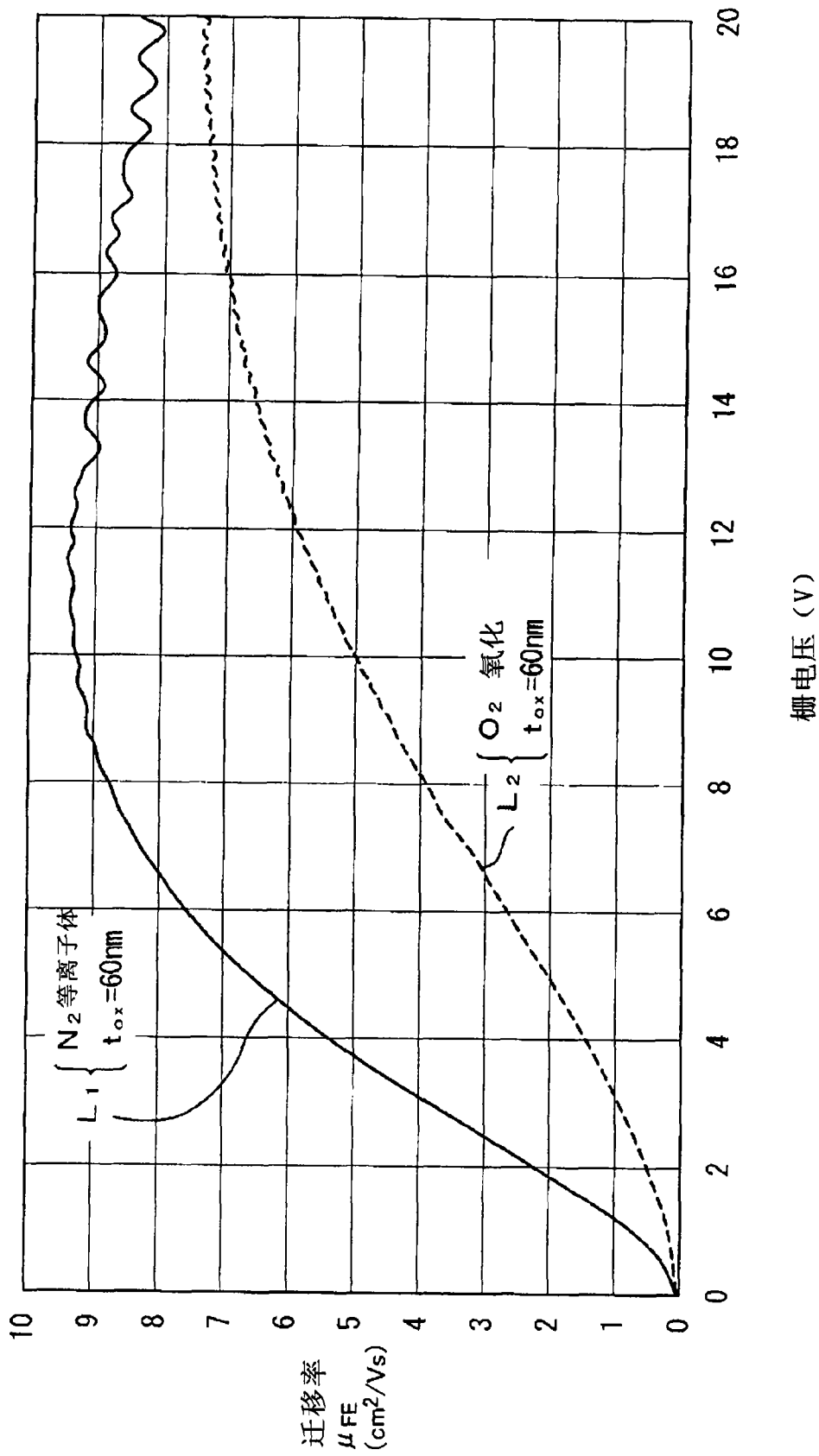


图8