(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년04월23일
(11) 등록번호 10-2798427
(24) 등록일자 2025년04월16일

(51) 국제특허분류(Int. Cl.)
B05D 5/08 (2006.01) *B05D 1/00* (2006.01)
B05D 1/02 (2006.01) *B05D 1/32* (2006.01)
C23C 16/04 (2006.01)
(52) CPC특허분류
B05D 5/08 (2013.01)
B05D 1/005 (2013.01)
(21) 출원번호 10-2021-7009302
(22) 출원일자(국제) 2019년09월04일
심사청구일자 2022년08월24일
(85) 번역문제출일자 2021년03월29일
(65) 공개번호 10-2021-0041094
(43) 공개일자 2021년04월14일
(86) 국제출원번호 PCT/US2019/049508
(87) 국제공개번호 WO 2020/086164
국제공개일자 2020년04월30일
(30) 우선권주장
62/726,605 2018년09월04일 미국(US)
(56) 선행기술조사문헌
US20070212522 A1
US20140018463 A1
US20180046086 A1

(73) 특허권자
도쿄엘렉트론가부시키가이샤
일본 도쿄도 미나토쿠 아카사카 5쵸메 3반 1고
(72) 발명자
강 호영
미국 뉴욕주 올버니 스위트 214 폴러 로드 255 나노팹 300 사우스
드빌리어스 안톤
미국 12203 뉴욕주 올버니 스위트 214 폴러 로드 255 나노팹 300 사우스
렘리 코리
미국 12203 뉴욕주 올버니 스위트 214 폴러 로드 255 나노팹 300 사우스
(74) 대리인
김태홍, 김진희

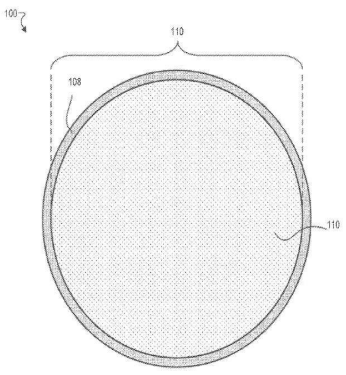
전체 청구항 수 : 총 20 항 심사관 : 이길호

(54) 발명의 명칭 **자기 조립 단분자층 코팅을 사용함으로써 금속 오염을 방지하기 위한 방법 및 시스템**

(57) 요 약

기판을 처리하기 위한 방법이 제공된다. 방법은 기판을 수용하는 단계를 포함한다. 기판은 전면 표면, 후면 표면, 및 측면 에지 표면을 갖는다. 방법은, 전면 표면의 제1 환형 영역에 제1 재료를 형성하여, 제1 환형이 제1 재료로 코팅되게 하는 단계를 더 포함한다. 제1 환형 영역은 기판의 둘레에 직접 인접한다. 제1 환형 영역은, 기판의 둘레에 인접한 제1 외측 둘레, 및 기판의 둘레로부터 이격된 제1 내측 둘레를 갖는다. 방법은 전면 표면의 내부 영역에 제2 재료를 형성하는 단계를 더 포함하며, 제2 재료는 환형 영역에 부착되지 않으면서 전면 표면을 코팅한다.

대 표 도 - 도2



(52) CPC특허분류
B05D 1/02 (2013.01)
B05D 1/322 (2013.01)
B05D 5/083 (2013.01)
C23C 16/04 (2013.01)

명 세 서

청구범위

청구항 1

기판을 처리하는 방법으로서,

전면 표면, 후면 표면, 및 측면 에지 표면을 갖는 기판을 수용하는 단계;

상기 전면 표면의 에지 영역에 인접하게 분배 노즐을 위치시키는 단계로서, 상기 전면 표면의 상기 에지 영역은, 상기 전면 표면의 둘레로부터 상기 전면 표면의 중심점을 향해 미리 결정된 거리로 연장되는 환형 영역인 것인 단계;

상기 분배 노즐로부터 상기 전면 표면의 상기 에지 영역 상으로 제1 재료를 증착하고, 상기 분배 노즐로부터 상기 전면 표면의 상기 에지 영역 상으로 상기 제1 재료와는 다른 제3 재료를 증착하여, 상기 기판의 상기 에지 영역이 상기 제1 재료와 상기 제3 재료로 코팅되게 하는 단계; 및

상기 전면 표면의 중앙 영역 상에 제2 재료를 증착하는 단계로서, 상기 제2 재료는 상기 전면 표면의 상기 에지 영역에 부착되지 않으면서 상기 전면 표면을 코팅하는 것인 단계

를 포함하는, 방법.

청구항 2

제1항에 있어서,

상기 제1 재료는 자기 조립 단분자층인, 방법.

청구항 3

제2항에 있어서,

상기 자기 조립 단분자층의 절단 가능 기는 니트로벤질계, 카르보닐계, 또는 벤질계인, 방법.

청구항 4

제1항에 있어서,

상기 제1 재료는 불화계 재료인, 방법.

청구항 5

제1항에 있어서,

상기 제1 재료는 소수성인 것으로 선택되는, 방법.

청구항 6

제1항에 있어서,

상기 제1 재료는 액체로 분배되는, 방법.

청구항 7

제1항에 있어서,

상기 제1 재료는 증기로 분배되는, 방법.

청구항 8

제1항에 있어서,

상기 제1 재료와 상기 제3 재료를 증착한 후에 그리고 상기 제2 재료를 증착하기 전에, 상기 전면 표면을 세척하는 단계를 더 포함하는, 방법.

청구항 9

제1항에 있어서,

상기 제2 재료는 포토레지스트인, 방법.

청구항 10

제1항에 있어서,

상기 제2 재료는 금속 함유 막인, 방법.

청구항 11

제1항에 있어서,

상기 분배 노즐은, 에지 비드 제거 공정의 일부로서 상기 기판의 에지 부분 상에 용제를 분배하도록 추가로 구성되는, 방법.

청구항 12

제1항에 있어서,

상기 제2 재료를 증착한 후에 상기 기판을 세척하는 단계를 더 포함하는, 방법.

청구항 13

제1항에 있어서,

상기 제1 재료, 상기 제2 재료 및 상기 제3 재료는 상기 기판을 회전시키면서 증착되는, 방법.

청구항 14

기판을 처리하는 방법으로서,

전면 표면, 후면 표면, 및 측면 에지 표면을 갖는 기판을 수용하는 단계;

상기 전면 표면의 환형 영역에 제1 재료 및 상기 제1 재료와는 다른 제3 재료를 형성하여, 상기 환형 영역이 상기 제1 재료 및 상기 제3 재료로 코팅되게 하는 단계로서, 상기 환형 영역은 상기 기판의 둘레에 직접 인접하고, 상기 환형 영역은, 상기 기판의 상기 둘레에 인접한 외측 둘레, 및 상기 기판의 상기 둘레로부터 이격된 내측 둘레를 갖는, 단계; 및

상기 전면 표면의 내부 영역에 제2 재료를 형성하는 단계로서, 상기 제2 재료는 상기 환형 영역에 부착되지 않으면서 상기 전면 표면을 코팅하는 것인 단계

를 포함하는, 방법.

청구항 15

제14항에 있어서,

상기 제1 재료는 자기 조립 단분자층인, 방법.

청구항 16

제15항에 있어서,

상기 제1 재료는 불화계 자기 조립 단분자층인, 방법.

청구항 17

제14항에 있어서,

상기 제1 재료, 상기 제2 재료 및 상기 제3 재료는 분배 노즐을 통해 증착되는, 방법.

청구항 18

제17항에 있어서,

상기 제1 재료는 액체로 분배되는, 방법.

청구항 19

제17항에 있어서,

상기 제1 재료는 증기로 분배되는, 방법.

청구항 20

기판을 처리하는 방법으로서,

전면 표면, 후면 표면, 및 측면 에지 표면을 갖는 기판을 수용하는 단계;

불화계 자기 조립 단분자층 코팅인 제1 재료를, 상기 전면 표면의 내부 표면 상에 상기 제1 재료를 분배하지 않으면서, 상기 기판의 상기 전면 표면의 주변 에지 상에 증착하는 단계로서, 상기 주변 에지는 상기 기판의 둘레에 직접 인접하는, 단계;

상기 전면 표면의 내부 표면 상에 상기 제1 재료와는 다른 제3 재료를 분배하지 않으면서, 상기 제3 재료를 상기 기판의 상기 전면 표면의 상기 주변 에지 상에 증착하는 단계; 및

상기 기판을 회전시키면서, 상기 전면 표면의 상기 내부 표면 상에 제2 재료를 증착하는 단계로서, 상기 회전으로 인해, 상기 제2 재료는 상기 전면 표면을 커버하게 되고, 상기 제1 재료 및 상기 제3 재료는 상기 제2 재료가 상기 전면 표면의 상기 주변 에지에 부착되는 것을 방지하는 것인 단계

를 포함하는, 방법.

발명의 설명

기 술 분 야

[0001] 관련 출원에 대한 상호 참조

[0002] 본 출원은 2018년 9월 4일자로 출원된 미국 가출원 번호 제62/726,605호의 우선권의 이익을 주장하며, 그 전체 내용은 본원에 참조로 포함된다.

배 경 기 술

[0003] 본 개시물은 반도체 웨이퍼의 미세 가공(microfabrication)에 관한 것이다. 실리콘 웨이퍼는 집적회로 및 다른 반도체 소자를 제조하기 위해 처리된다. 반도체 제조는 웨이퍼에 대한 다수의 상이한 단계의 증착, 성장, 패터닝(patterning), 제거, 및 세척을 포함한다. 다른 재료가 남아 있으면서, 다양한 상이한 재료가 첨가되고 제거되거나 부분적으로 제거된다. 다양한 공정 제어는 결함 및 오염을 방지하려고 시도한다.

[0004] 전술한 "배경기술" 설명은 대체로 본 개시물의 배경을 제시하기 위한 목적이다. 본 발명자의 작업은, 출원 시에 종래기술로서 달리 한정되지 않을 수 있는 설명의 양태 뿐만 아니라, 본 배경기술 섹션에 설명되는 정도까지, 본 발명과 대조적인 종래기술로서 명시적으로 또는 암시적으로 인정되지 않는다.

발명의 내용

과제의 해결 수단

[0005] 일 양태에서, 방법은 기판을 수용하는 단계를 포함한다. 기판은 전면 표면, 후면 표면, 및 측면 에지 표면을 갖는다. 방법은, 전면 표면의 제1 환형 영역에 제1 재료를 형성하여, 제1 환형이 제1 재료로 코팅되게 하는 단계를 더 포함한다. 제1 환형 영역은 기판의 둘레에 직접 인접한다. 제1 환형 영역은, 기판의 둘레에 인접한 제1 외측 둘레, 및 기판의 둘레로부터 이격된 제1 내측 둘레를 갖는다. 방법은 전면 표면의 내부 영역에 제2 재료를

형성하는 단계를 더 포함하며, 제2 재료는 환형 영역에 부착되지 않으면서 전면 표면을 코팅한다.

[0006] 일 양태에서, 방법은 기판을 수용하는 단계를 포함한다. 기판은 전면 표면, 후면 표면, 및 측면 에지 표면을 갖는다. 또한, 방법은, 전면 표면의 제1 환형 영역에 제1 재료를 형성하여, 제1 환형이 제1 재료로 코팅되게 하는 단계로서, 제1 환형 영역은 기판의 둘레에 직접 인접하고, 제1 환형 영역은, 기판의 둘레에 인접한 제1 외측 둘레, 및 기판의 둘레로부터 이격된 제1 내측 둘레를 갖는, 단계; 및 전면 표면의 내부 영역에 제2 재료를 형성하는 단계를 포함하며, 제2 재료는 환형 영역에 부착되지 않으면서 전면 표면을 코팅한다.

[0007] 일 양태에서, 방법은, 전면 표면, 후면 표면, 및 측면 에지 표면을 갖는 기판을 수용하는 단계; 전면 표면의 내부 표면 상에 불화계 자기 조립 단분자층(fluorinated self-assembled monolayer)을 분배하지 않으면서, 기판의 전면 표면의 주변 에지 상에 불화계 자기 조립 단분자층 코팅을 증착하는 단계로서, 주변 에지는 기판의 둘레에 직접 인접하는, 단계; 및 기판을 회전시키면서, 전면 표면의 내부 표면 상에 제2 재료를 증착하는 단계를 포함하며, 회전으로 인해, 제2 재료는, 제2 재료가 전면 표면의 주변 에지에 부착되는 것을 방지하는 불화계 자기 조립 단분자층을 제외한 전면 표면을 커버한다.

[0008] 이러한 요약 부분은 본 개시물 또는 청구된 발명의 모든 실시형태 및/또는 점진적으로 새로운 양태를 명시하지 않는다는 점을 유의한다. 대신에, 이러한 요약은 통상적인 기술에 비해 상이한 실시형태 및 해당 신규성 요소에 대한 예비적인 설명만을 제공한다. 본 발명 및 실시형태의 추가적인 세부 사항 및/또는 가능한 관점에 대하여, 독자는 아래에 추가로 설명되는 바와 같은 본 개시물의 상세한 설명 부분 및 해당 도면을 참조한다.

도면의 간단한 설명

[0009] 본 개시물의 보다 완전한 이해 및 이의 수반되는 많은 이점은, 이하의 상세한 설명을 참조하여 첨부된 도면과 관련하여 고려될 때 더 잘 이해되기 때문에 용이하게 달성될 것이며, 첨부된 도면으로서:

도 1은 일 실시예에 따라 기판 상에 보호용 막을 증착하기 위한 시스템을 도시하는 개략도이다;

도 2는 일 실시예에 따른 기판을 도시하는 개략도이다;

도 3은 일 실시예에 따른 예시적인 자기 조립 단분자층(SAM) 구조를 나타내는 개략도이다;

도 4는 일 실시예에 따른 SAM의 예시적인 분자를 나타내는 개략도이다; 그리고

도 5는 일 실시예에 따라, 자기 조립 단분자층 코팅을 사용함으로써 금속 오염을 방지하기 위한 방법의 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0010] 이제 몇몇 도면 전체에 걸쳐서 유사한 참조 번호가 동일하거나 상응하는 부분을 나타내는 도면을 참조하면, 이하의 설명은 자기 조립 단분자층 코팅을 사용함으로써 금속 오염을 방지하기 위한 시스템 및 관련 방법에 관한 것이다. 본원에 설명된 기술은 금속 함유 재료의 사용을 가능하게 하면서, 이러한 재료로 인한 오염, 결함, 및 원치 않는 막 성장을 방지하는 코팅 공정을 제공한다. 기술은 차단층으로서 자기 조립 단분자층(SAM)을 선택적으로 도포하는 단계를 포함한다.

[0011] 반도체 웨이퍼 상의 금속 오염은, 금속을 함유하는 첨단 광 패터닝 가능 재료 및 에칭 정지층을 도포하는 데 까다로운 문제이다. 이러한 금속 함유 재료는 웨이퍼 상에 고해상도 패턴을 생성하기 위해 유용할 뿐만 아니라, 3차원 로직, 극자외선 리소그래피(EUV), 및 광학 리소그래피 내의 다른 첨단 패터닝 방식을 가능하게 한다. 그러나, 금속 함유 재료를 사용하는 것은 오염 가능성으로 인해 까다롭다.

[0012] 적층 방법 및 감손 방법 둘 모두에 의해, 금속 함유 광 재료(예를 들어, 포토레지스트, 후방 반사 방지 코팅(BARC), 금속 하드마스크(MHM) 함유 재료) 및 금속 입자의 부착을 선택적으로 차단함으로써, 금속 오염을 제한하기 위한 단일 및 다중 모듈 접근법이 있다. 이러한 공정에 대한 추가적인 영향에 따라, 제조를 위해 현재 입수 가능한 통상적인 재료를 사용하여, 웨이퍼의 에지 및 후면에서의 결함을 개선하기 위한 세척제 에지 공정을 제공하려고 시도한다.

[0013] 에지 및 후면 결함을 제어하는 통상적인 기술은 재료가 축적되는 것을 방지하는 데 덜 효과적이다. 예를 들어, 희생층을 생성하는 에지 코팅은 웨이퍼 상에 남아 있는 결함이 있을 수 있다. 또한, 덜 효과적인 스핀 온(spin-on) 재료 코팅은, 코팅 성능에 지장을 줄 수 있는 에지 코팅 배리어(barrier)를 야기할 수 있다.

[0014] 그러나, 본원에 설명된 기술은 금속 함유 재료의 사용을 가능하게 하면서 이러한 재료로 인한 오염을 방지하는 코팅 공정을 제공한다. 본원의 일 실시형태에서, 금속 및 결함으로부터 보호될 웨이퍼의 전면의 주변 에지 또는 환형 영역 상에 테프론계(Teflon-like) SAM(자기 조립 단분자층)이 직접 분배된다. 기판의 에지 영역 위에 위치된 노즐을 사용하여 재료가 분배될 수 있거나, 에지 비드(bead) 제거 하드웨어가 사용될 수 있다.

[0015] 액체의 부착을 방지하는 비-습윤 표면을 갖는 특정 SAM이 생성될 수 있다. 이러한 표면은 소수성인 것으로 표현될 수 있다. 구체적으로, 이러한 표면은, 물과 섞이지 않거나, 물, 및 일부 용제를 포함하는 다른 특정 액체의 부착을 달리 방지하는 범위의 표면 접촉각을 가질 수 있다.

[0016] 따라서, 본원의 기술은 반도체 기판(웨이퍼)의 선택된 부분 상에 보호용 막을 형성하는 방법을 포함한다. 일 실시형태에서, 아래에 추가로 설명되는 바와 같이, 특정 SAM이 기판 상에 코팅된다.

[0017] 도 1은 일 실시예에 따라 기판(100) 상에 보호용 막을 증착하기 위한 시스템(200)을 도시하는 개략도이다. 시스템(200)은 분배 노즐(202)을 포함할 수 있다. 기판(100)은 전면 표면(102)(즉, 작업 표면), 후면 표면(104), 및 측면 에지 표면(106)을 포함할 수 있다. 일 실시예에서, 기판(100)은 디스크 형상이며 비교적 얇다. 분배 노즐(202)은 전면 표면(102)의 에지 영역(108)에 인접하게 위치된다. 시스템(200)은, 기판을 고정시키고 회전시킬 수 있는 기판 홀더(도시되지 않음) 및/또는 회전 척; 공정 챔버; 및 시스템(200)의 하나 이상의 구성 요소를 제어하도록 구성된 제어기를 더 포함할 수 있다.

[0018] 기판(100)의 평면도가 도 2에 도시된다. 전면 표면(102)의 에지 영역(108)은, 전면 표면의 둘레로부터 전면 표면의 중심점을 향해 미리 결정된 거리로 연장되는 환형 영역이다. 미리 결정된 거리는 1 ㎜ 내지 5 ㎜의 범위일 수 있다. 이러한 환형 영역 또는 제1 환형 영역은 기판의 둘레에 직접 인접할 수 있다. 제1 환형 영역은, 기판의 둘레에 인접한 제1 외측 둘레, 및 기판의 둘레로부터 이격된 제1 내측 둘레를 갖는다. 일 실시예에서, 에지 영역(108)은 능동 소자가 형성되지 않는 영역에 해당한다. 즉, 원형 형상의 기판에서, 노즐은 외측 에지(즉, 외측 원주 표면)에 또는 그 위에 위치된다.

[0019] 에지 비드 제거를 위한 노즐 및 장치가 본원의 분배 노즐로 사용될 수 있다. 에지 비드는 코팅 공정 동안 기판(100)의 에지에 축적되는 더 두꺼운 재료의 층이다. 예를 들어, 포토레지스트로 기판을 코팅하는 경우, 회전하는 웨이퍼의 중심점에 또는 그 근처에 액체 포토레지스트가 증착된다. 그 다음, 포토레지스트는 기판의 외측 에지를 향해 확산되어 작업 표면을 커버한다. 포토레지스트가 기판의 에지에 도달함에 따라, 재료가 에지에 축적될 수 있다. 이러한 재료의 축적은 후속 공정을 방해할 수 있으므로, 포토레지스트 재료의 이러한 비드를 제거하는 것이 유리하다. 에지 비드 제거 노즐은 이러한 외측 에지 상에 용제를 분배 또는 분사하여, 재료 축적물을 제거할 수 있거나 외측 에지로부터 재료를 완전히 제거할 수 있다. 선택적으로, 이러한 하드웨어는 기판의 작업 표면의 에지 상에 코팅 재료를 분배하기 위해 변형될 수 있다.

[0020] 그 다음, 기판(100)을 회전시키면서, 분배 노즐(202)로부터 전면 표면(102)의 에지 영역(108)(제1 환형 영역) 상으로 제1 재료가 증착된다. 이에 따라, 기판(100)의 에지 영역(108)이 제1 재료로 코팅되게 한다. 아래에 추가로 설명되는 바와 같이, 이러한 제1 재료는 자기 조립 단분자층, 불화계 재료(예를 들어, 불화탄소 층), 또는 소수성 표면을 야기하는 다른 재료일 수 있다. 제1 재료는 액체 또는 증기로 증착될 수 있다. 이러한 소수성 표면은 후속 재료의 부착을 방지한다. 예를 들어, SAM은 기상 공정 또는 용해 공정에 의해 형성된다. 전면 표면(102)은, SAM의 영역 선택적 증착 후에 부착되지 않을 수 있는 잔여 입자를 제거하기 위해 선택적으로 세척될 수 있다.

[0021] 일 실시예에서, 에지 영역은 비-원형 형상을 가질 수 있다.

[0022] 기판(100)을 회전시키면서, 전면 표면(102)의 중앙 영역(110)(내부 영역) 상에 제2 재료가 증착된다. 제2 재료는 전면 표면(102)의 에지 영역(108) 또는 환형 영역에 부착되지 않으면서 전면 표면(102)을 코팅한다. 따라서, 다양한 재료가 기판(100)의 에지 영역(108) 상에 남지 않으면서 증착될 수 있다. 이러한 재료는 포토레지스트 및 금속 함유 막을 포함할 수 있다. 제2 재료를 증착한 후에, 기판(100)은 다음 공정 단계 전에 선택적으로 세척될 수 있다.

[0023] 본원에 설명된 기술은 SAM 제거 뿐만 아니라 SAM 증착의 양을 제어하는 단계를 포함할 수 있다. 본원에 설명된 기술을 수행하기 위해 다양한 재료가 사용될 수 있음을 유의한다. SAM 제거를 위해 광촉매(photocatalyzation) 공정이 사용될 수 있다(예를 들어, 360 nm 파장을 사용하는 UV 절단(cleaving)). SAM은 단분자층 또는 이중층(예를 들어, SAM 층 이후에 또 다른 SAM 층 또는 다른 재료가 후속됨)으로 증착될 수 있다. 또한, 기판(100)의 표면과 SAM 사이의 상호 작용을 변화시키기 위해, SAM의 접촉각이 가변될 수 있다.

[0024] 도 3은 본원에 사용될 수 있는 예시적인 재료를 나타낸다. SAM(300)은 두 가지 상(phase)의 물질들 사이의 계면에 배치된 분자의 유기적인 조립체이다. 예시적인 SAM/분자(300) 설계는, 헤드(302)(또는 헤드기(head group)), 절단 가능 기(cleavable group)(304), 및 테일/억제제(306)(또는 테일기(tail group))를 가질 수 있다. 헤드(302)는 계면을 향해 배향되고, 테일(306)은 계면으로부터 이격되게 배향된다.

[0025] 증착된 SAM(300)의 두께는 적용예에 따라 다를 수 있다. 일부 적용예의 경우, 0.5 nm 내지 1.5 nm의 두께가 바람직하다.

[0026] 헤드기(302)는 트리클로로-모노-히드록시-디티올란을 포함하는 임의의 적합한 화학 물질일 수 있다. 절단 가능기(304)는 니트로벤질계, 카르보닐계, 또는 벤질계일 수 있다. 절단 가능 기(304)는 파장에 기초하여 선택될 수 있다.

[0027] 테일기(306)는 비교적 긴 불활성, 선형 탄화수소 성분일 수 있다. 테일기(306)는, 계면으로부터 이격되게 배향되는 완전 또는 부분 불화계 탄화수소 사슬을 포함한다. 테일기(306)는 2 내지 30 탄소 길이 알칸을 포함할 수 있다. 테일기(306)는 추가적인 분지를 포함할 수 있으며, 상이한 형상을 가질 수 있다.

[0028] 도 4는 본원에 사용될 수 있는 예시적인 분자를 추가로 나타낸다. 분자(402 및 404)는 탄화수소 사슬이다. 분자(402)는 2-니트로벤질, 3-(11-메르캅토운데카노에이트), 5 운데칸의 구조를 나타낸다. 분자(404)는 2-니트로벤질-(11-트리클로로실릴)-운데카노에이트이다. 분자(406 및 408)는 불화계 사슬의 실시예를 나타낸다. 특히, 분자(406)는 2-니트로벤질, 3-(11-플루로메르캅토운데카노에이트), 5 운데칸이다. 분자(408)는 2-니트로벤질-(11-트리클로로실릴)-플루로운데카노에이트이다. 합성 부분 1

[0029] 일 실시예에서, 아래에 설명되는 바와 같이, 2-니트로벤질 11-(트리클로로실릴) 운데카노에이트가 합성될 수 있다. 반응은 바람직하게는 어두운 조건 하에서 수행된다. 예를 들어, 반응에서 광을 차단하기 위해 알루미늄박이 사용될 수 있다.

[0030] 제1 단계에서, 1.68 g(10.9 mmol)의 (2-니트로페닐) 메탄올 용액에 2.0 g(9.9 mmol)의 운데-10-엔오일 클로라이드가 첨가되었다. 0.88 ml(10.9 mmol)의 피리딘 및 40 ml의 디클로로메탄의 혼합물에 메탄올을 용해시킴으로써, (2-니트로페닐) 메탄올 용액이 수득된다. 완전한 전환이 관찰될 때까지, 주위 온도에서 48시간 동안 반응물을 교반하였다. 3 x 20 mL의 5% 염산 용액으로 유기층을 추출하여, 과잉 피리딘 및 20 mL의 포화 중탄산나트륨 용액을 제거한 다음, 황산나트륨을 통해 건조시켰다. 진공 상태에서 용제를 제거하고, 후속적으로, 생성물 정제를 위해 시클로헥산/에틸 아세테이트(8:1)를 사용하여 칼럼 분리를 수행하였다. 2.63 g의 백색 솔드(white soled)가 이론적 수율의 83%로 수득되었다.

[0031] ^{1}H-NMR: (δ, 400 MHz, 20°C, $CDCl_3$): 8.05 (dd, 1H, ph^3); 7.62 (t, 1H, ph^4); 7.57 (d, 1H, ph^5); 7.46 (t, 1H, ph^5); 5.76 (m, 1H, =CH-); 5.48 (s, 2H, O-CH_2-ph); 4.91 (dd, 2H, CH_2=); 2.38 (t, 2H,-C2-(COO)); 2,00 (q, 2H,C9), 1.63 (quint, 2H,C3); 1.27 (m, 10H,C4-C8) ppm.

[0032] ^{13}C-NMR: (δ, 125 MHz, 20°C, $CDCl_3$): 172.30 (1C, COO); 147.56 (1C, ph^2-NO_2), 137.13 (1C, C10(C=C)); 135.20 (1C, ph^1); 134.24 (1C, ph^5); 128.36 (2C, $ph^{4,6}$); 125.67(1C, ph^3), 115.15 (1C, C11(C=C)); 63.76 (1C,(COO)-CH_2-ph); 34.05 (1C,C9); 34.00 (1C,C2); 29.27 (1C,C8);29.18 (1C,C7); 29.07 (1C,C6); 29.04 (1C,C5), 28.87 (1C,C4); 24.93 (1C,C3) ppm.

[0033] 제2 단계에서, 5 ml의 디클로로메탄에 용해된 1.0 g(3.1 mmol)의 2-니트로벤질운데-10-에노에이트 용액에 1.0 g(7.4 mmol)의 트리클로로실란을 첨가하였다. 촉매로서 헥사클로로 백금산을 사용하였다. 완전한 전환이 관찰될 때까지, 주위 온도에서 24시간 동안 반응물을 교반하였다.

[0034] 수율: 1.38 g의 백색, 황색 액체(이론적 수율의 97.3%).

[0035] ^{1}H-NMR: (δ, 400 MHz, 20°C, $CDCl_3$): 8.05 (dd, 1H, ph^3); 7.59 (t, 1H, ph^4); 7.53 (d, 1H, ph^6); 7.43 (t, 1H, ph^5); 5.48 (s, 2H, (O-CH_2-ph)); 2.35 (t, 2H,-C2-(COO)); 1.61 (m, 2H,C3); 1.51 (m, 2H,C10); 1.35 (quint, 2H,C11), 1.28 (m, 12H,C4-C9) ppm.

^{13}C-NMR: (δ, 125 MHz, 20°C, $CDCl_3$): 173.12 (1C, COO); 147,64 (1C, ph^2-NO_2);

133.61 (1C, ph^6); 132.23 (1C, ph^1); 129.1 (1C, ph^4); 128.73 (1C, ph^5); 125 01 (1C, ph^3); 62.76

(1C,(COO)-CH_2-ph), 34.13 (1C,C2); 31.75 (1C,C9); 29.32 (1C,C8); 29.23 (1C,C7); 29.15

(1C,C6); 29.07 (1C,C5); 28.94 (1C,4); 24.84 (1C,C3); 24.27 (1C,C11); 22.23 (1C,C10) ppm.

[0036]

[0037] IR-데이터 (CaF_2, cm^{-1}): 2925; 2853; 1742; 1613; 1578; 1528; 1447; 1343 .

[0038] 도 5는 일 실시예에 따른 금속 오염 방지를 위한 방법(500)의 흐름도이다. 단계(502)에서, 분배 노즐은 기판의 전면 표면의 에지 영역(예를 들어, 도 2의 에지 영역(108))에 인접하게 위치된다. 일 실시예에서, 기판은 공정을 위해 준비된다. 예를 들어, 임의의 오염 물질을 제거하기 위해 기판이 세척될 수 있다.

[0039] 단계(504)에서, 분배 노즐로부터 기판의 전면 표면의 에지 영역 상으로 제1 재료가 증착된다. 제1 재료는 기판을 회전시키면서 증착될 수 있다. 기판의 회전 속도는 균일한 층을 생성하도록 선택된다(예를 들어, 800 rpm 내지 최대 2200 rpm). 일 실시예에서, 제1 재료는 자기 조립 단분자층이다. 제1 재료는 불화계 재료일 수 있다. 제1 재료는 소수성인 것으로 선택된다. 제1 재료는 액체 또는 증기 형태로 분배될 수 있다. 예를 들어, SAM을 형성하기 위해, 옥타데실트리클로로실란(OTS) 또는 퍼플루오로데실트리클로로실란(FDTS) 용액이 사용된다. 플라즈마 강화 화학 기상 증착(PECVD) 또는 스핀 코팅에 의해, 불화탄소 층이 형성될 수 있다.

[0040] 일 실시형태에서, 제1 재료는 기판의 전면 표면의 제1 환형 영역에 형성된다. 환형 영역은 기판의 둘레에 인접한 제1 외측 둘레를 가질 수 있다. 기판은 다른 재료가 증착되는 제2 환형 영역을 포함할 수 있다.

[0041] 일 실시예에서, 단계(506)로 진행되기 전에, 전면 표면이 세척될 수 있다.

[0042] 일 실시예에서, 분배 노즐은, 에지 비드 제거 공정의 일부로서 기판의 에지 부분 상에 용제를 분배하도록 구성될 수 있다.

[0043] 단계(506)에서, 기판을 회전시키면서, 전면 표면의 중앙 영역(또는 내부 영역) 상에 제2 재료가 증착된다. 일 실시예에서, 제2 재료는 포토레지스트 및/또는 금속 함유 막일 수 있다. 일 실시예에서, 제2 재료는 기판을 회전시키지 않으면서 증착될 수 있다. 제2 재료는 기판의 제1 환형 영역 또는 에지 영역에 부착되지 않으면서 기판의 전면 표면을 코팅한다.

[0044] 일 실시예에서, 단계(506) 후에 기판이 세척된다.

[0045] 본원에서 전술한 바와 같이, 금속 함유 재료의 후속 코팅은, 에지 상에 코팅된 SAM 재료로 인해 웨이퍼 에지에 부착되지 않을 것이다. 스핀 캐스트(spin cast) 금속 함유 재료의 경우, 남아 있는 액적은 통상적인 반도체 용제로 용이하게 세척되는 반면에, 금속 함유 막의 경우, 표면이 패시베이션되어, ALD 유형 반응을 위해 필요한 표면 화학 작용이 그 위치에서 발생하지 않을 것이다.

[0046] 물론, 명확성을 위해 본원에서 설명된 바와 같은 상이한 단계들의 설명의 순서가 제시되었다. 일반적으로, 이러한 단계는 임의의 적합한 순서로 수행될 수 있다. 추가적으로, 본원의 각각의 상이한 특징, 기술, 구성 등이 본 개시물의 상이한 곳에서 설명될 수 있지만, 각각의 개념은 서로 독립적으로 또는 서로 조합하여 수행될 수 있는 것으로 의도된다. 따라서, 본 발명은 다수의 상이한 방식으로 구현되고 고려될 수 있다.

[0047] 전술한 설명에서, 공정 시스템의 특정 형상 그리고 그 내부에 사용되는 다양한 구성 요소 및 공정의 설명과 같은, 구체적인 세부 사항이 상술되었다. 그러나, 본원의 기술은 이러한 구체적인 세부 사항으로부터 벗어나는 다른 실시형태로 실시될 수 있으며, 이러한 세부 사항은 설명을 위한 목적이며 제한 사항이 아님을 이해해야 한다. 본원에 개시된 실시형태는 첨부된 도면을 참조하여 설명되었다. 유사하게, 설명을 위한 목적으로, 완전한 이해를 제공하기 위해 구체적인 수, 재료, 및 구성이 상술되었다. 그럼에도 불구하고, 실시형태는 이러한 구체적인 세부 사항 없이 실시될 수 있다. 실질적으로 동일한 기능적 구성을 갖는 구성 요소는 유사한 참조 부호로 표시되므로, 임의의 중복 설명은 생략될 수 있다.

[0048] 다양한 실시형태의 이해를 돕기 위해 다양한 기술이 다수의 별개의 작업으로서 설명되었다. 설명의 순서는 이들 작업이 반드시 순서에 의존하는 것임을 의미하는 것으로 해석되어서는 안된다. 실제로, 이들 작업은 제시된 순서로 수행될 필요가 없다. 설명된 작업은 설명된 실시형태와 상이한 순서로 수행될 수 있다. 다양한 추가적인 작업이 추가적인 실시형태에서 수행될 수 있거나/수행될 수 있고, 설명된 작업이 추가적인 실시형태에서 생략될

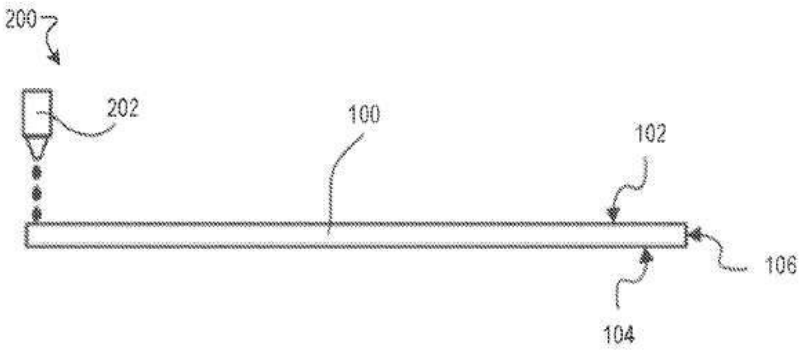
수 있다.

[0049] 본원에 사용된 바와 같은 "기판" 또는 "타겟 기판"은 일반적으로 본 발명에 따라 처리되는 대상물을 지칭한다. 기판은 소자, 특히 반도체 또는 다른 전자 소자의 임의의 재료 부분 또는 구조물을 포함할 수 있으며, 예를 들어, 반도체 웨이퍼와 같은 베이스 기판 구조물, 레티클, 또는 박막과 같이 베이스 기판 구조물 상에 있거나 위에 놓이는 층일 수 있다. 따라서, 기판은 패터닝된 또는 패터닝되지 않은 임의의 특정 베이스 구조물, 하부층 또는 상부층으로 제한되는 것이 아니라, 오히려 임의의 그러한 층 또는 베이스 구조물, 그리고 층 및/또는 베이스 구조물의 임의의 조합물을 포함하는 것으로 고려된다. 설명은 특정 유형의 기판을 언급할 수 있지만, 이는 단지 예시적인 목적을 위한 것이다.

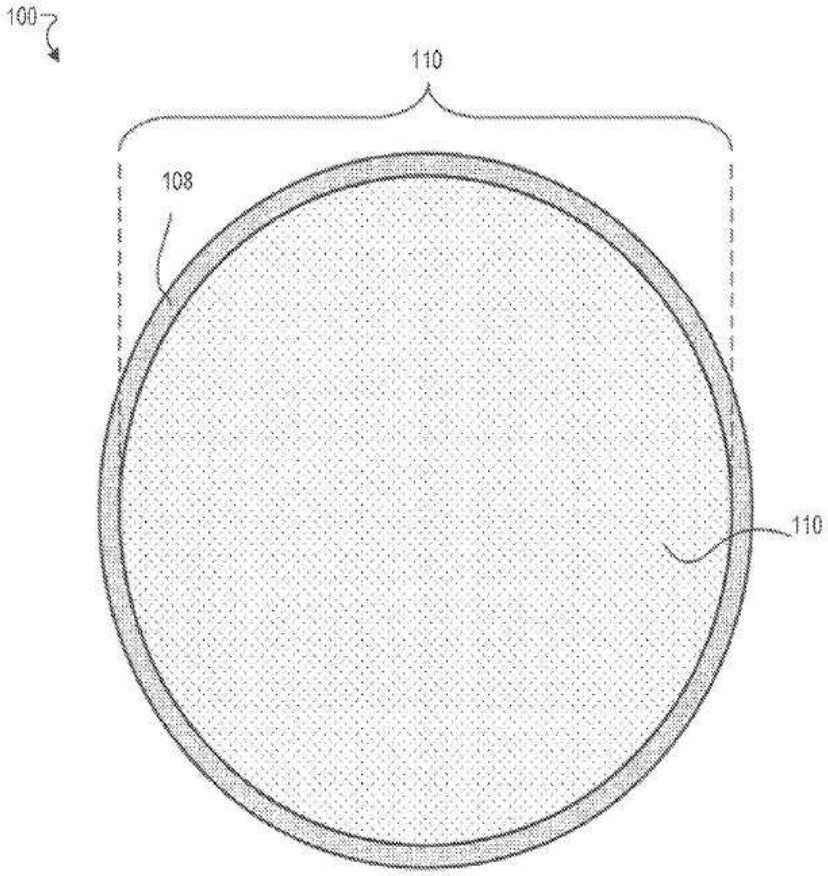
[0050] 또한, 당업자는 본 발명의 동일한 목적을 여전히 달성하면서 위에서 설명된 기술의 작업에 대해 많은 변경이 이루어질 수 있음을 이해할 것이다. 이러한 변경은 본 개시물의 범위에 의해 커버되도록 의도된다. 따라서, 본 발명의 실시형태의 전술한 설명은 제한적인 것으로 의도되지 않는다. 오히려, 본 발명의 실시형태에 대한 임의의 제한 사항은 이하의 청구범위에 제시된다.

도면

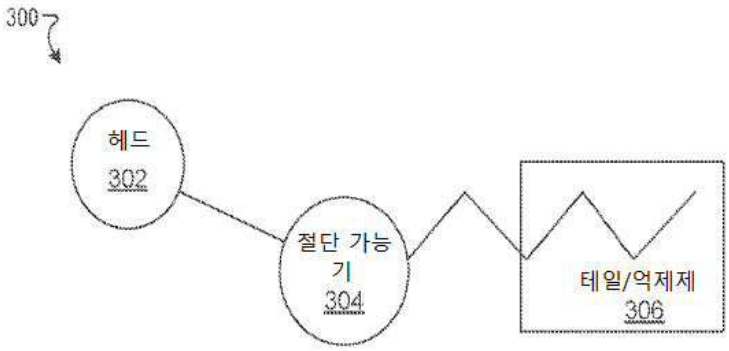
도면1



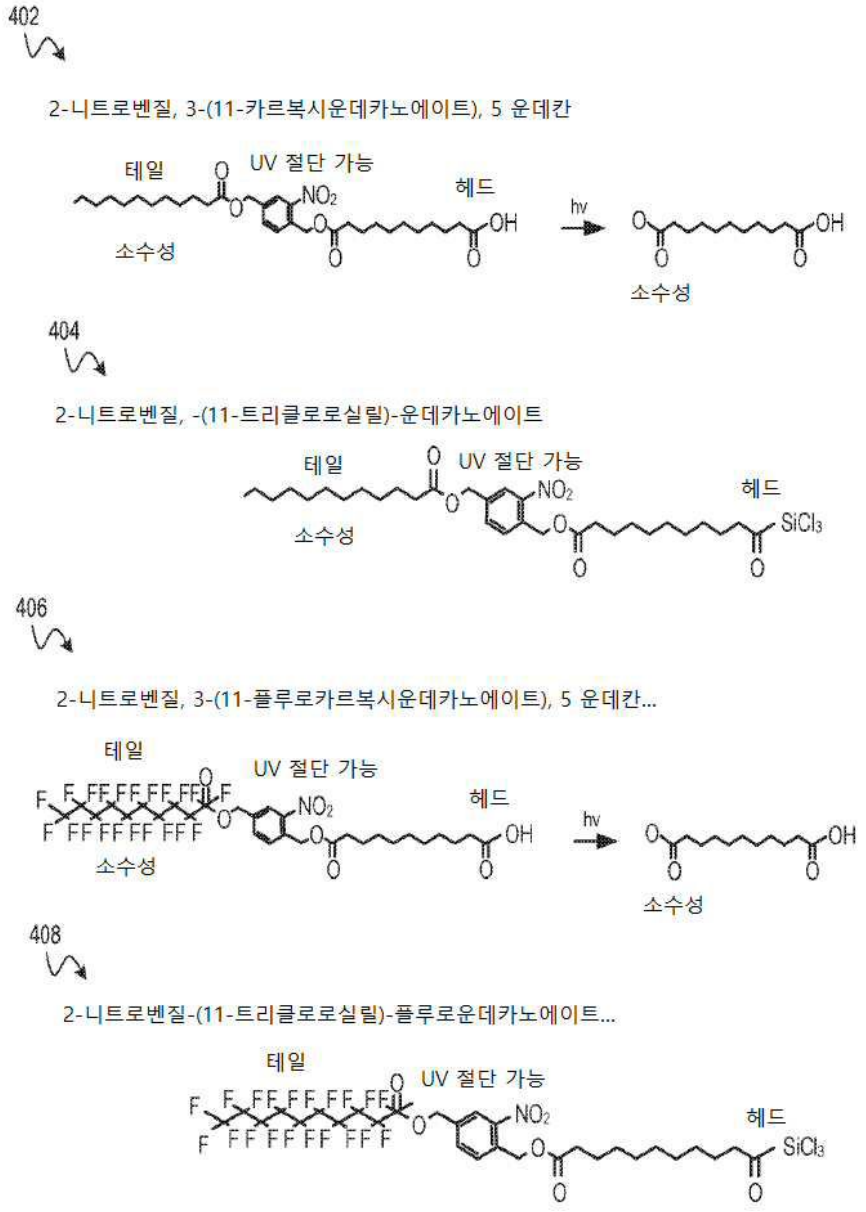
도면2



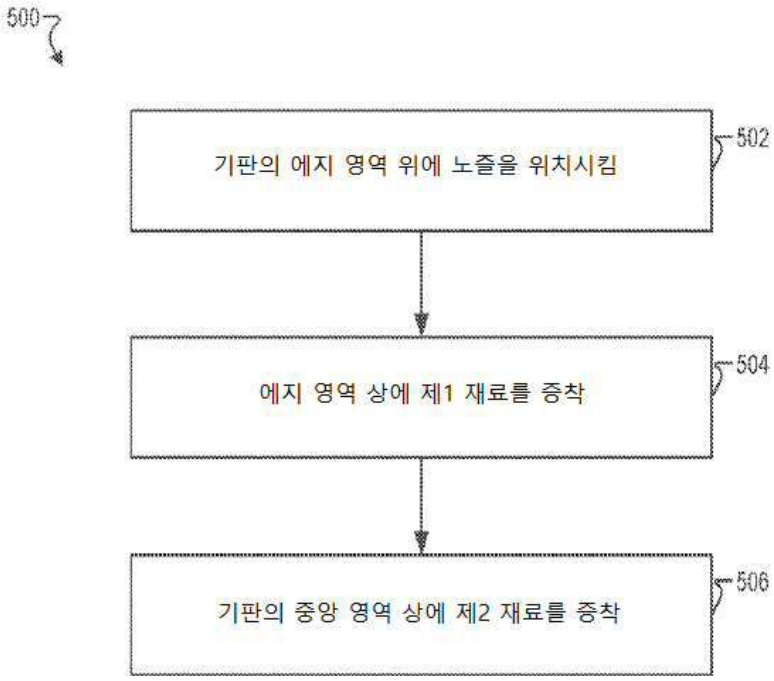
도면3



도면4


402
2-니트로벤질, 3-(11-카르복시운데카노에이트), 5 운데칸
테일
UV 절단 가능
헤드
hv
소수성
소수성
404
2-니트로벤질, -(11-트리클로로실릴)-운데카노에이트
테일
UV 절단 가능
헤드
소수성
406
2-니트로벤질, 3-(11-플루로카르복시운데카노에이트), 5 운데칸...
테일
UV 절단 가능
헤드
hv
소수성
소수성
408
2-니트로벤질-(11-트리클로로실릴)-플루로운데카노에이트...
테일
UV 절단 가능
헤드

도면5


500
기판의 에지 영역 위에 노즐을 위치시킴
502
에지 영역 상에 제1 재료를 증착
504
기판의 중앙 영역 상에 제2 재료를 증착
506