

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G06F 1/26 (2006.01)

G06F 15/78 (2006.01)



# [12] 发明专利说明书

专利号 ZL 200510107091.X

[45] 授权公告日 2007 年 12 月 12 日

[11] 授权公告号 CN 100354793C

[22] 申请日 2005.9.27

[21] 申请号 200510107091.X

[30] 优先权

[32] 2004.10.5 [33] JP [31] 2004-292852

[73] 专利权人 恩益禧电子股份有限公司

地址 日本神奈川

[72] 发明人 德江达也

[56] 参考文献

CN1428954A 2003.7.9

JP 特开 2002-341976A 2002.11.29

JP 特开 2002-288150A 2002.10.4

CN1414563A 2003.4.30

审查员 何怀燕

[74] 专利代理机构 中原信达知识产权代理有限责  
任公司

代理人 穆德骏 陆锦华

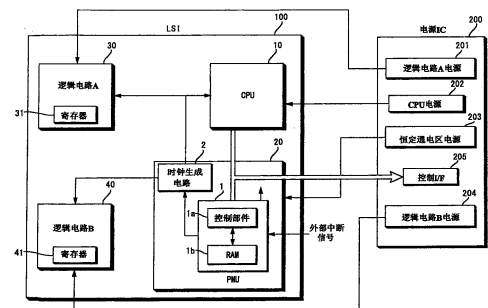
权利要求书 2 页 说明书 11 页 附图 6 页

[54] 发明名称

集成电路器件

[57] 摘要

一种集成电路器件包括具有运算电路的 CPU 和通过电源 IC 执行 CPU 的电源控制的 PMU。PMU 不具有运算电路。PMU 包括存储多个命令的 RAM 和根据存储在 RAM 中的命令执行 CPU 的电源控制的控制部件。



1. 一种集成电路器件，包括：  
具有运算电路的处理器；以及  
不具有运算电路的电源管理单元，用于通过电源部件执行处理器的电源控制，该电源管理单元包括：  
存储多个命令的存储器，以及  
控制部件，用于根据存储在存储器中的命令来执行处理器的电源控制。
2. 根据权利要求1的集成电路器件，其中电源管理单元位于恒定通电区中，从电源部件向恒定通电区恒定供电。
3. 根据权利要求1的集成电路器件，其中电源管理单元的控制部件包括具有状态机和解码器的序列发生器电路。
4. 根据权利要求1的集成电路器件，还包括：  
逻辑电路，  
其中当通过电源部件向处理器供电时，电源管理单元通过电源部件向逻辑电路供电。
5. 根据权利要求1的集成电路器件，还包括：  
具有寄存器的逻辑电路，  
其中当通过电源部件向处理器供电时，电源管理单元执行预定值向逻辑电路的寄存器的写入。
6. 根据权利要求1的集成电路器件，还包括：  
向处理器提供时钟的时钟生成电路，  
其中当通过电源部件向处理器供电时，电源管理单元控制时钟生成电路从而向处理器提供预定时钟。

7. 根据权利要求 1 的集成电路器件，还包括：

逻辑电路；以及

位于如下支线上的多个电源开关，其中这些支线从一线路分支并且连接到处理器和逻辑电路中的每一个，其中通过该线路从电源部件恒定地供电，

其中电源管理单元控制电源开关的导通和断开。

8. 根据权利要求 7 的集成电路器件，其中电源管理单元和电源开关位于从电源部件恒定供电的恒定通电区中。

9. 一种集成电路器件，包括：

具有运算电路的处理器；以及

不具有运算电路的可编程序列发生器，用于通过电源部件执行处理器的电源控制，

其中可编程序列发生器与通过电源部件向处理器供电并行地执行集成电路器件中的另一个电路的初始化，可编程序列发生器包括用于存储多个指令的存储器，并且可编程序列发生器基于存储器中存储的多个指令来执行初始化。

10. 根据权利要求 9 的集成电路器件，其中初始化包括将初始值写入到包括在集成电路器件中的另一个电路中的寄存器。

## 集成电路器件

### 技术领域

本发明涉及一种集成电路器件，特别涉及集成电路的电源控制。

### 背景技术

在由电池驱动的移动电话和移动终端中包括各种类型的大规模集成电路（LSI）。降低 LSI 中的功耗是能够长时间使用并实现移动电话等的多功能的非常重要的因素。此外，随着 LSI 变得越来越复杂，在停止状态下消耗的静态消耗电流或漏电流与全部消耗电流之比升高以至于在 0.13 $\mu\text{m}$  或更小的微加工工艺中不可忽视。

为了降低漏电流，提出一种将 LSI 内部分成多个模块并单独为每个模块供电的技术，由此停止不需要工作的模块的电源。

在下文中参考图 6 来说明现有电源控制技术。如图 6 所示，LSI 100 连接到电源 IC 200。LSI 100 具有中央处理单元（CPU）10、恒定通电区 20、逻辑电路 A 30 以及逻辑电路 B 40。恒定通电区 20 是尽管诸如 CPU 10 的其它电路没有工作但也被恒定供电的电路区。恒定通电区 20 具有控制 CPU 10 的电源的控制电路 21。控制电路 21 由不使用程序而只执行诸如例如简单通电请求的固定操作的电路构成的硬件固定电路来实现。电源 IC 200 是具有用于逻辑电路 A 30 的电源部件 201、用于 CPU 10 的电源部件 202、用于恒定通电区 20 的电源部件 203、用于逻辑电路 B 40 的电源部件 204、控制接口（I/F）205 以及用于 CPU 10 的通电请求处理部件 206 的功能模块。

在下文中将说明当在图 6 所示的现有技术中 CPU 10 的电源被切断时将外部中断信号输入到控制电路 21 的处理操作。检测到外部中

断信号后，控制电路 21 将 CPU 10 的电源的请求发送到电源 IC 200。由于在电源被切断的状态下的 CPU 10 被初始化，所以当电源恢复时花费长的引导时间。例如，在某些情况下引导时间花费 20 到 30 秒。此外，由于控制电路 21 由硬件构成，因此能够仅执行固定序列并且不能处理复杂的电源序列。例如，控制电路 21 难以执行检测外部中断信号、接通逻辑电路 A 30 的电源、在执行逻辑电路 A 30 的初始化例程之后保持待机 50 $\mu$ s，然后接通 CPU 10 的电源的复杂电源序列。即使这样的复杂电源序列能够由硬件固定电路来执行，但是在没有准备条件下不能执行另一电源序列。此外，将执行各种类型电源序列的电路放在硬件固定电路上增加了电路的尺寸。

在日本未审专利公开 No.2002-341976 中公开了现有电源控制技术的一个例子。在其中公开的集成电路通过位于 I/O 终端的控制电路来实现 CPU 电源控制。但是，该控制电路仅执行非常简单的控制并且备份寄存器也只执行每个信号的备份。因此，该控制电路不能够执行复杂的电源序列并且是不灵活的。

在日本未审专利公开 No.2002-288150 中公开了现有电源控制技术的另一个例子。在其中公开的集成电路既具有高性能 CPU 又具有低功耗 CPU 并且切断不工作的 CPU 的电源，由此降低漏电流和功耗。但是，由于 CPU 具有运算电路，尽管功耗低，但是也产生大量漏电流并且降低功耗的效果小。

如前面所述，现在已经发现，由于用硬件固定电路来实现 CPU 电源控制，因此现有集成电路器件不能够处理复杂的电源序列。此外，用低功耗 CPU 实现高性能 CPU 电源控制的现有技术仅具有小的功耗降低效果。

## 发明内容

根据本发明的一个方面，提供一种集成电路器件，包括：具有运

算电路的处理器；以及不具有运算电路的电源管理单元，用于通过电源部件执行处理器的电源控制。电源管理单元包括：存储多个命令的存储器；以及控制部件，用于根据存储在存储器中的命令来执行处理器的电源控制。由于该集成电路器件具有执行处理器的电源控制的电源管理单元，因此即使当没有向处理器供电时也能够向每个外围宏电路发布指令，由此降低重启系统的时间。此外，电源管理单元是可编程的，因而能够通过改变存储在存储器中的命令来执行各种通电/断电序列并且处理大量电源分割碎片（division split）。此外，电源管理单元允许容易的功能增强和用于命令控制的改变。此外，由于电源管理单元不具有运算电路，因此电路尺寸显著地小于具有运算电路的处理器，由此实现了低功耗。

根据本发明的另一方面，提供一种集成电路器件，其包括：具有运算电路的处理器；以及不具有运算电路的可编程序列发生器，用于通过电源部件执行处理器的电源控制，其中可编程序列发生器与通过电源部件向处理器供电并行地执行集成电路器件中的另一个电路的初始化。该构造允许减少重启系统的时间。

#### 附图说明

从结合附图的如下说明中，本发明的上述和其它目的、优点和特征将更为明显，其中：

图 1 是本发明的集成电路的框图；

图 2 是本发明的集成电路中的 PMU 宏电路的内部框图；

图 3 是示出本发明的集成电路中的断电序列的流程图；

图 4 是示出本发明的集成电路中的通电序列的流程图；

图 5 是本发明的集成电路的框图；以及

图 6 是现有集成电路的框图。

#### 具体实施方式

现在将参考说明性实施例在此说明本发明。本领域技术人员将认

识到，使用本发明的讲述能完成许多可替换实施例并且本发明并不限于用于说明性目的所说明的实施例。

### 第一实施例

在下文中参考图 1 说明根据本发明第一实施例的电源控制技术。如图 1 所示，本发明的集成电路器件具有 LSI 100 和电源 IC 200，并且它包括在移动电话中，例如作为应用处理器。LSI 100 连接到与 LSI 100 分开布置的电源 IC 200。LSI 100 具有 CPU 10、恒定通电区 20、逻辑电路 A 30 以及逻辑电路 B 40。恒定通电区 20 具有电源管理单元 (PMU) 1 和时钟生成电路 2。CPU 10 具有运算电路。CPU 10 和 PMU 1 由公共总线连接，并且来自 CPU 10 和 PMU 1 的信号通过该总线选择性地提供到电源 IC 200。放置用于切换来自 CPU 10 和 PMU 1 的信号的选择器是可行的。

PMU 1 具有控制 CPU 10、逻辑电路 A 30、逻辑电路 B 40 等的电源以及控制时钟生成电路 2 和复位控制电路 (未示出) 的工作的功能。PMU 1 具有控制部件 1a 和随机存储器 (RAM) 1b。控制部件 1a 由没有运算电路的电路构成并且根据由存储在 RAM 1b 中的多个命令构成的命令序列或程序来工作。因而，PMU 1 是可编程序列发生器，其能够通过改变存储在 RAM 1b 中的命令并处理大量电源分割碎片来执行各种通电/断电序列。此外，PMU 1 允许容易的功能增强和用于命令控制的改变。

即使没有向 CPU 10 供电，PMU 1 也能够向诸如逻辑电路 A 30 和逻辑电路 B 40 的每个外围宏电路发布指令。因而，当没有向 CPU 10 供电时，PMU 1 也能够控制每个外围宏电路。因此，在将电源提供到 CPU 10 之后，CPU 10 进行恢复处理时或者 CPU 10 进行恢复处理之前，能够执行各种指令，由此降低重启系统所需的时间。

此外，PMU 1 具有中断监控功能，其能够响应外部中断信号的输

入来执行通电序列。PMU 1 还具有看门狗定时功能并且能够通过复位处理来处理系统挂起。本发明的第一实施例的 PMU 1 是用于电源控制的特有可编程序列发生器并且不具有运算电路。因而，PMU 1 具有显著小的尺寸，与具有运算电路的处理器相比，其大约为 1/10 到 1/50。因此，PMU 1 的使用比处理器的使用允许更低的功耗。后面详细地说明 PMU 1 的具体结构。

时钟生成电路 2 生成并提供时钟信号给 CPU 10、逻辑电路 A 30、逻辑电路 B 40 等。时钟生成电路 2 由普通锁相环（PLL）电路构成并且具有晶振电路。

电源 IC 200 起到向 LSI 100 供电的电源部件的作用。电源 IC 200 是功能模块，该功能模块具有用于逻辑电路 A 30 的电源部件 201、用于 CPU 10 的电源部件 202、用于恒定通电区 20 的电源部件 203、用于逻辑电路 B 40 的电源部件 204 以及控制接口（I/F）205。

参考图 2 在下文中详细说明 PMU 1 的内部模块。PMU 1 具有外围宏寄存器接口（I/F）电路 11、内置 SRAM 12、SRAM 控制/命令解码电路 13、序列发生器电路 14 以及电源控制接口（I/F）电路 15。

外围宏寄存器 I/F 电路 11 连接到 CPU 10、逻辑电路 A 30 以及逻辑电路 B 40，并且它转换通信协议以便执行 CPU 10 等和 PMU 1 中的诸如内置 SRAM 12 和序列发生器电路 14 的宏电路之间的通信。当将来自 PMU 1 中的每个宏电路的数据或命令传输到 CPU 10 等时，外围宏寄存器 I/F 电路 11 将协议转换为 I/F 总线协议。

内置 SRAM 12 是对应于图 1 所示的 RAM1b 的存储器。它是可读和可写形式存储由多个命令构成的命令序列或程序的存储装置。

SRAM 控制/命令解码电路 13 控制内置 SRAM 12。SRAM 控制/



命令解码电路 13 响应来自序列发生器电路 14 的命令请求而读出存储在内置 SRAM 12 中的命令，解码该命令，并且将其输出到序列发生器电路 14。

序列发生器电路 14 由状态机 141 和解码器 142 构成。本发明的序列发生器电路 14 不具有运算电路。状态机 141 是与命令同步地转换 (shift) 内部状态的电路。被状态机 141 转换的内部状态包括例如外部通电指令发布状态、外围宏寄存器写状态以及外部电源稳定等待状态。根据约翰逊 (Johnson) 计数器来构造状态机 141 并且其通过根据外部信号依次转换内部状态来执行序列控制。解码器 142 解码在状态机 141 中转换的内部状态以发布指令并生成指令请求信号。

电源控制 I/F 电路 15 将指令 (命令) 的协议转换为电源 IC 200 的 I/F 总线协议以便将指令发布到电源 IC 200。

参考图 3 的流程图在下文中说明断电序列。图 3 的流程图中所示的步骤 S1 到 S82 分别对应于图 2 所示的 S1 到 S82。

首先，CPU 10 将命令存储到内置 SRAM 12 (S1, S2) 中。具体地，CPU 10 将命令存储请求发送到 PMU 1 (S1)，并且 PMU 1 通过外围宏寄存器 I/F 电路 11 对命令存储请求进行协议转换并且将协议转换的命令存储到内置 SRAM 12 的预定区域中 (S2)。

然后，CPU 10 将激活请求发送到 PMU 1 (S3)。接收到激活请求之后，PMU 1 通过外围宏寄存器 I/F 电路 11 转换激活请求的协议并且将协议转换的激活请求输出到序列发生器电路 14 (S3)。然后序列发生器电路 14 根据状态机 141 的激活请求将命令请求发送到 SRAM 控制/命令解码电路 13 以便执行处理 (S4)。响应命令请求，SRAM 控制/命令解码电路 13 从内置 SRAM 12 读出在接收到激活请求时将被处理的命令数据 (S5)。SRAM 控制/命令解码电路 13 接收读命令数据、解

码该数据并且然后将其发送到序列发生器电路 14。

在该例子中，序列发生器电路 14 根据命令数据将存储在内置 SRAM 12 中的预定值分别写入到逻辑电路 A 30 和逻辑电路 B 40 的寄存器 31 和 41 中。写入到寄存器 31 和 41 中的值包括用于改变时钟频率的值、用于复位的值以及用于改变模式的值。为了执行该处理，序列发生器电路 14 发布用于将预定值写入到寄存器 31 和 41 的指令并将其发送到外围宏寄存器 I/F 电路 11 (S72)。外围宏寄存器 I/F 电路 11 将发布的指令的协议转换到 I/F 总线协议并且将其发送到逻辑电路 A 30 和 B 40 (S82)。响应该指令，逻辑电路 A 30 和 B 40 将预定值分别写入到寄存器 31 和 41。

之后，序列发生器电路 14 通过电源 IC 200 将断电指令发送到 CPU 10 以及逻辑电路 A 30 和 B40 (S4, S5, S6, S71, S81)。具体地，当接收到断电指令时，序列发生器电路 14 的状态机 141 向 SRAM 控制/命令解码电路 13 请求被处理的命令 (S4)。响应该命令请求，SRAM 控制/命令解码电路 13 从内置 SRAM 12 读出在接收到断电指令时被处理的命令 (S5) 并且将其提供给序列发生器电路 14 (S6)。当接收到断电指令时，序列发生器电路 14 通过解码器 142 对其进行解码并且根据被处理的命令通过状态机 141 发布指令 (S7)。在该情况下的指令是 CPU 10 以及逻辑电路 A 30 和 B 40 的断电指令。电源控制 I/F 电路 15 将发布的指令的协议转换为总线协议并且将其提供给电源 IC 200 (S81)。

电源 IC 200 通过控制 I/F 205 对断电指令进行协议转换并且将其提供给 CPU 电源部件 202、逻辑电路 A 电源部件 201 以及逻辑电路 B 电源部件 204。由此 CPU 电源部件 202、逻辑电路 A 电源部件 201 以及逻辑电路 B 电源部件 204 分别切断 CPU 10、逻辑电路 A 30 以及逻辑电路 B 40 的电源。响应断电指令停止 CPU 10 等的电源，由此 CPU 10 等进入断电状态。

之后，PMU 1 等待电源稳定在 0V。然后，PMU 1 进一步等待输入外部中断信号。

在下文中参考图 4 的流程图来说明通电序列。在图 4 的流程图中说明的步骤 S4 到 S82 分别对应于图 2 中说明的 S4 到 S82。

假设当 CPU 10 处于没有向其供电的断电状态时，PMU 1 检测外部中断信号。在 PMU 1 中，序列发生器电路 14 直接检测外部中断信号。响应外部中断信号的检测，序列发生器电路 14 的状态机 141 向 SRAM 控制/命令解码电路 13 请求检测到外部中断信号时被处理的命令 (S4)。由此 SRAM 控制/命令解码电路 13 从内置 SRAM 12 中读出对应于命令请求的命令 (S5) 并且将其提供给序列发生器电路 14 (S6)。序列发生器电路 14 通过解码器 142 识别出该命令是通电指令并且由状态机 141 发布通电指令 (S71)。电源控制 I/F 电路 15 将发布的通电指令的协议转换为路径通信协议并且将其提供给电源 IC 200 (S81)。电源 IC 200 通过控制 I/F 205 对通电指令进行协议转换并且将其提供给 CPU 电源部件 202、逻辑电路 A 电源部件 201 以及逻辑电路 B 电源部件 204。由此 CPU 电源部件 202、逻辑电路 A 电源部件 201 以及逻辑电路 B 电源部件 204 将电源分别提供给 CPU 10、逻辑电路 A 30 以及逻辑电路 B 40。PMU 1 控制电源从而将电源仅提供给需要进行工作的区域。因此，没有给不需要进行工作的区域供电，由此节省了功耗。

如图 4 的流程图所示，CPU 10 进入通电状态。在该例子中，将 1.2V 的电源提供给 CPU 10，并且 PMU 1 的序列发生器电路 14 等待电源稳定在 1.2V。当经过一定时间之后电源稳定在 1.2V 时，序列发生器电路 14 的状态机 141 将初始值写入到逻辑电路 A 30 的寄存器 31 和逻辑电路 B 40 的寄存器 41 中。

具体地，识别出电源稳定在 1.2V 时，序列发生器电路 14 的状态机 141 向 SRAM 控制/命令解码电路 13 请求命令 (S4)。

响应该命令请求，SRAM 控制/命令解码电路 13 从内置 SRAM 12 中读出命令数据、解码该数据并且将其提供给序列发生器电路 14。序列发生器电路 14 由解码器 142 解码该输入命令并且发布指令 (S72)。在该情况下，发布用于将初始值写入到逻辑电路 A 30 的寄存器 31 和逻辑电路 B 40 的寄存器 41 中的命令。该命令包含初始值数据。外围宏寄存器 I/F 电路 11 将命令的协议转换为总线通信协议并且将其提供给逻辑电路 A 30 和逻辑电路 B 40。根据该输入命令，逻辑电路 A 30 和逻辑电路 B 40 将初始值分别写入到寄存器 31 和寄存器 41 中。在现有技术中，为逻辑电路 A 30 的寄存器 31 和逻辑电路 B 40 的寄存器 41 设置初始值是由 CPU 10 来执行的。但是，如果 PMU 1 执行该设置，则能够在向 CPU 10 供电之前设置初始值。这能够降低重启系统的处理时间。

此外，PMU 1 通过位于恒定通电区 20 中的复位生成电路 9 (未示出) 释放对 CPU 10 的复位。由此，CPU 10 开始恢复处理。因而，由于 CPU 10 和 PMU 1 在开始向 CPU 10 供电的通电序列期间都能够并行执行各种处理，因此能够将重启系统的时间从 20 到 30 秒降低到例如大约 1 毫秒。例如，假设本发明第一实施例的集成电路包括在移动电话中。如果移动电话接收电话呼叫，则 PMU 1 控制电源 IC 200 从而将电源提供给诸如数字信号处理器 (DSP) 等与语音功能有关的宏电路。因此能够进行初始化和发布工作开始指令，而不用等待 CPU 10 的恢复处理完成。

PMU 1 可以向时钟生成电路 2 发布改变时钟频率的指令。例如，PMU 1 向时钟生成电路 2 发布用于将提供给 CPU 10 的时钟频率从相对低的频率改变到较高的频率 (例如，200MHz) 的指令。时钟生成电路 2 响应该指令而生成高频率时钟并且将其提供给 CPU 10。特别

地，由于改变频率之后直到其稳定，时钟生成电路 2 需要例如 500 微秒，因此，由 PMU 1 改变频率在降低重启系统的时间方面是有效的。时钟生成电路 2 位于恒定通电区 20 中，因而被提供电源；但是，如果无需向 CPU 10 等提供时钟，则晶振电路处于停止状态。

如前面所述，本发明的第一实施例的 PMU 1 是可编程的，并且通过改变存储在 RAM 1b 中的命令能够执行各种通电/断电序列并能够处理大量电源分割碎片。此外，PMU 1 允许容易的功能增强和用于命令控制的改变。

此外，当没有向 CPU 10 供电时，PMU 1 能够向每个外围宏电路发布指令。因此，在向 CPU 10 供电之后 CPU 10 执行恢复处理时或者在其执行恢复处理之前，能够执行各种指令，由此降低了重启系统所需的时间。

此外，PMU 1 是用于电源控制的特有的可编程序列发生器并且不具有运算电路。因而，电路尺寸显著地小于具有运算电路的处理器，由此实现了低功耗。

## 第二实施例

在下文中参考图 5 说明根据本发明的第二实施例的电源控制技术。第二实施例具有对应于位于 LSI 100 之内的宏电路的电源开关 3a、3b、3c、3d 和 3e 并且 PMU 1 控制电源开关 3a 到 3e 的导通/断开。

具体地，电源开关 3a 到 3e 位于如下支线上，其中这些分支从一线路分支并且连接到 CPU 10 以及逻辑电路 A 30、B 40、C 50 和 D 60 中的每一个，其中从电源 IC 200 通过该线路恒定地提供电源。通过电源开关 3a，将电源从电源 IC 200 的 LSI 电源部件 207 提供给 CPU 10。相似地，通过电源开关 3b 将电源提供给逻辑电路 A 30，通过电源开关 3c 将电源提供给逻辑电路 B 40，通过电源开关 3d 将电源提供给逻辑

辑电路 C 50 以及通过电源开关 3e 将电源提供给逻辑电路 D 60。电源开关 3a、3b、3c、3d 和 3e 位于恒定通电区 20 中并且被 PMU 1 控制导通/断开。因而，PMU 1 能够对 LSI 100 的每个宏电路进行电源控制而不用通过电源 IC 200，并由此能够减少位于 LSI 100 之外的电源 IC 200 的电源数量。

显然，本发明不限于上述实施例，在不偏离本发明的范围和精神的情况下可以修改和变化。

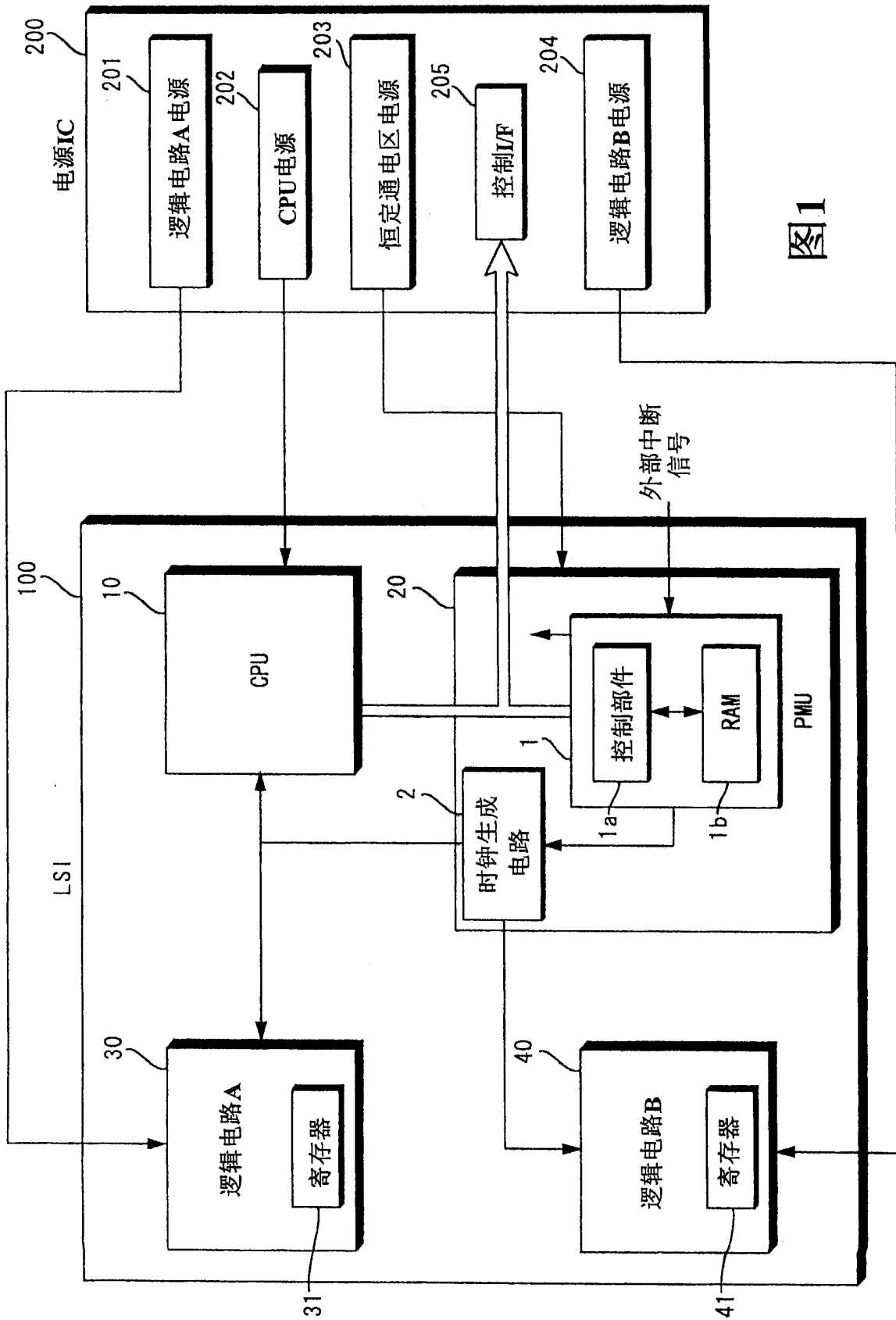


图1

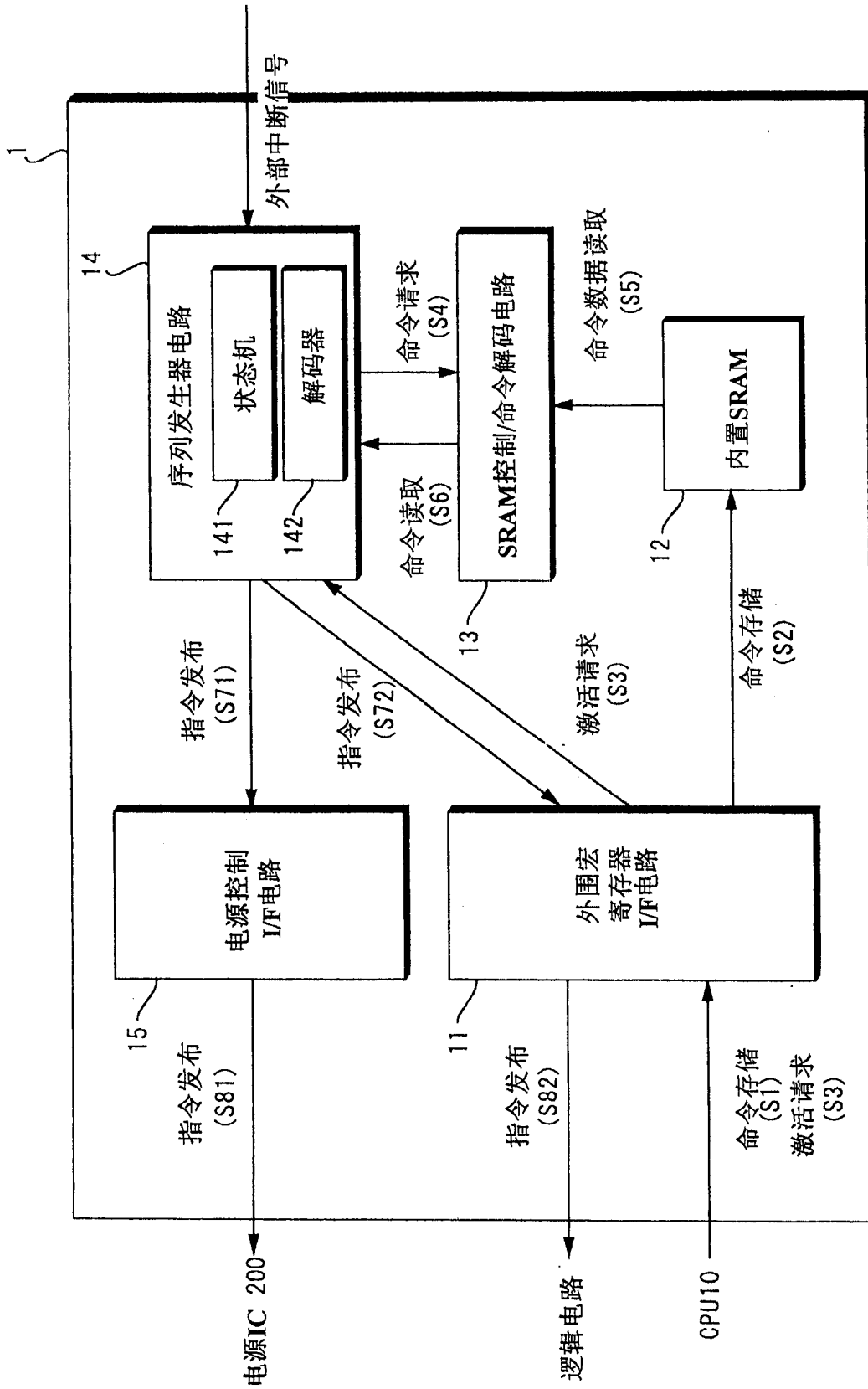


图2



《断电序列》

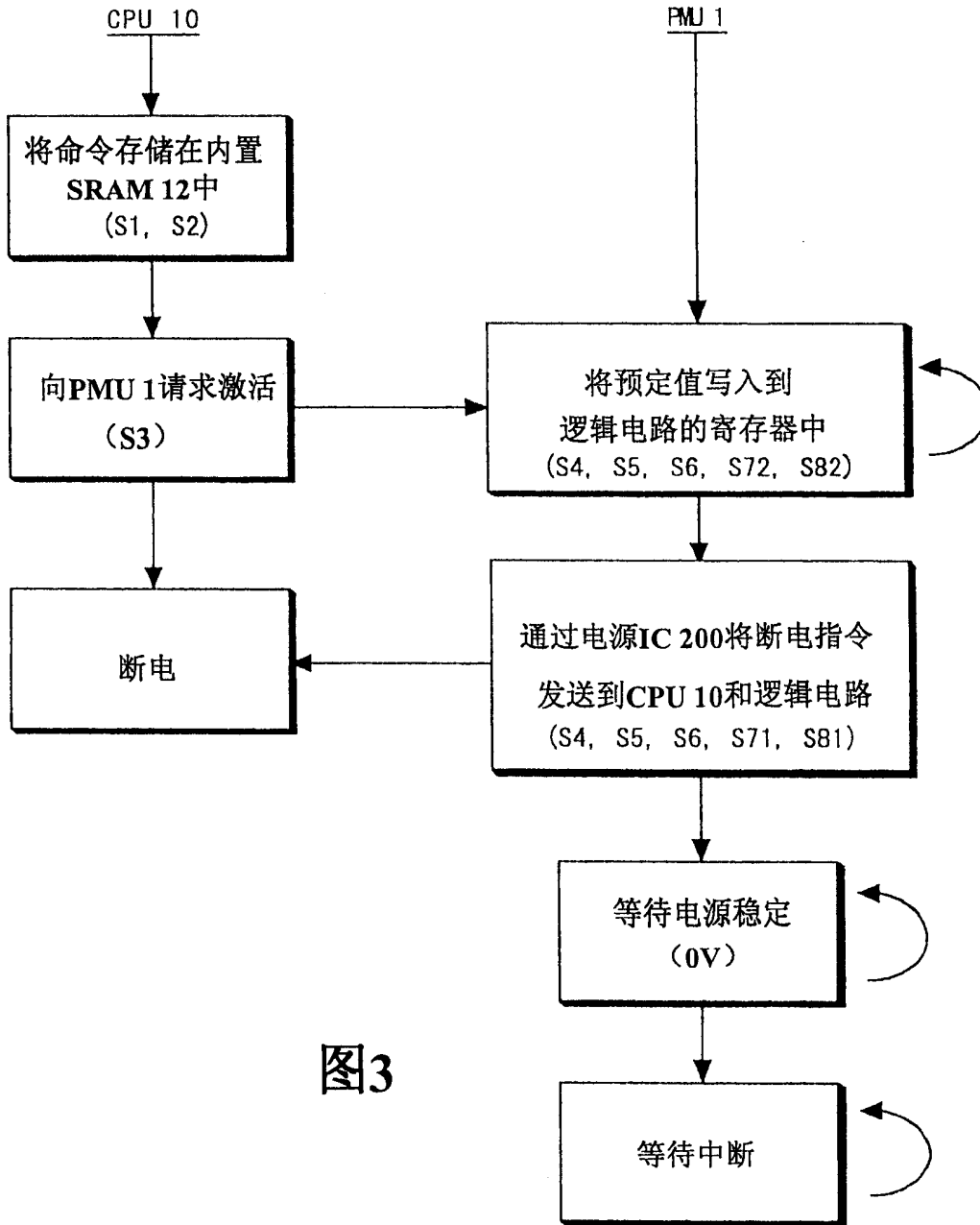


图3

《通电序列》

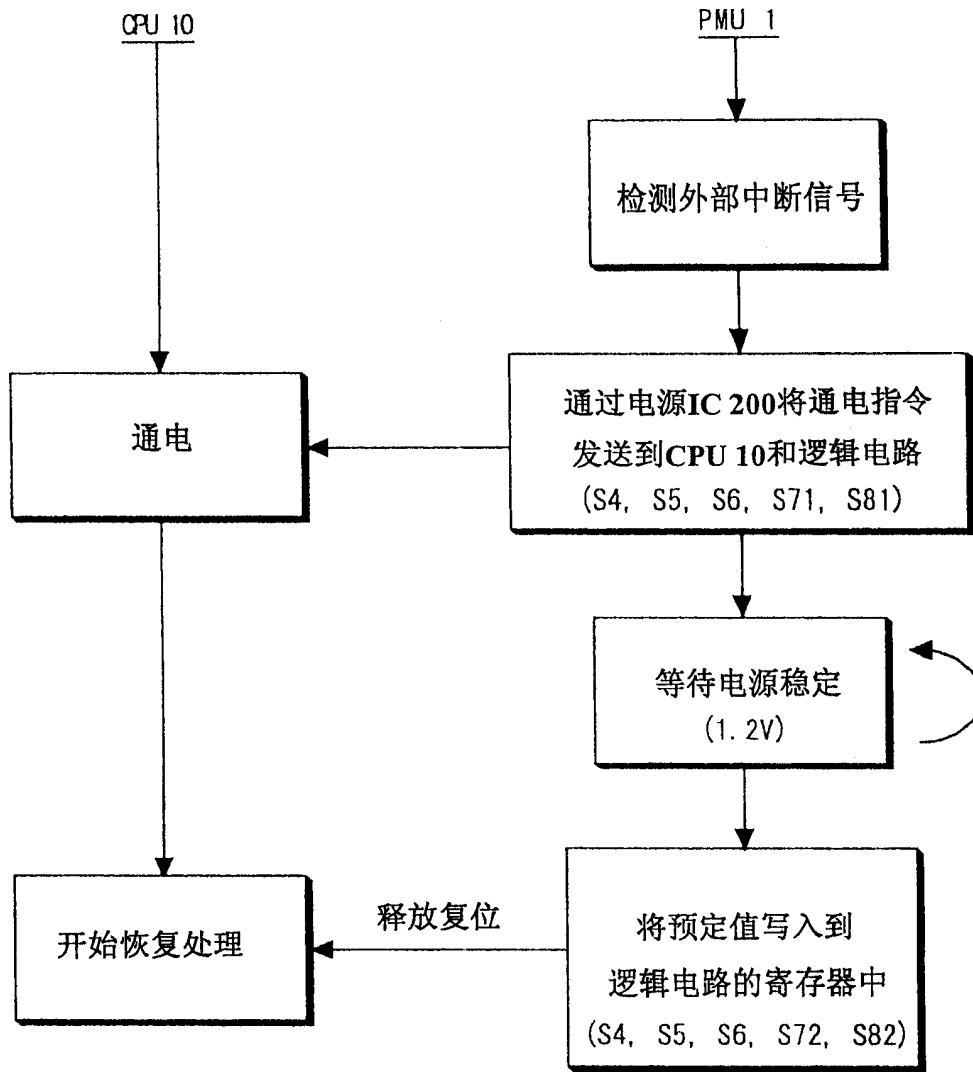


图4

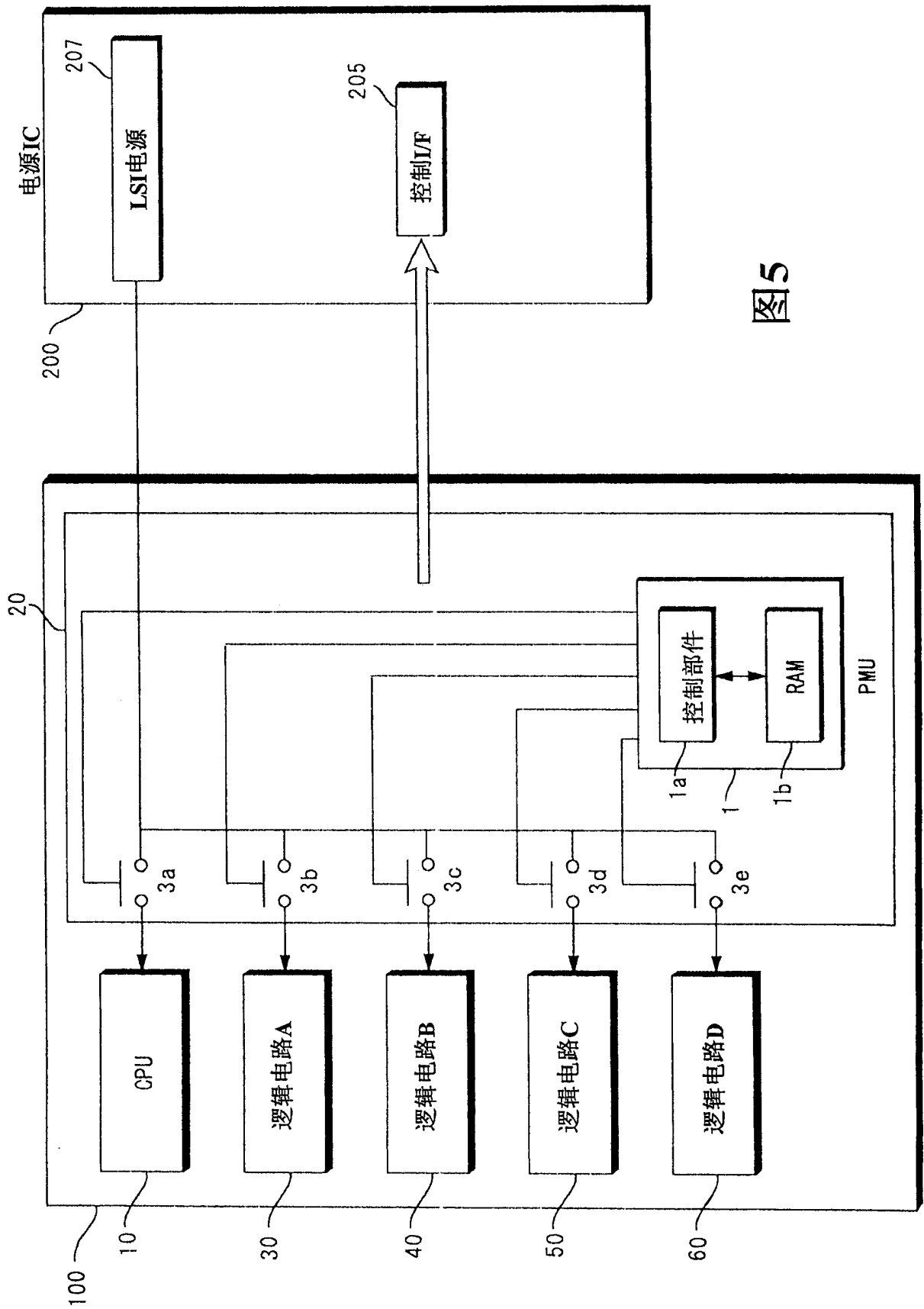


图5

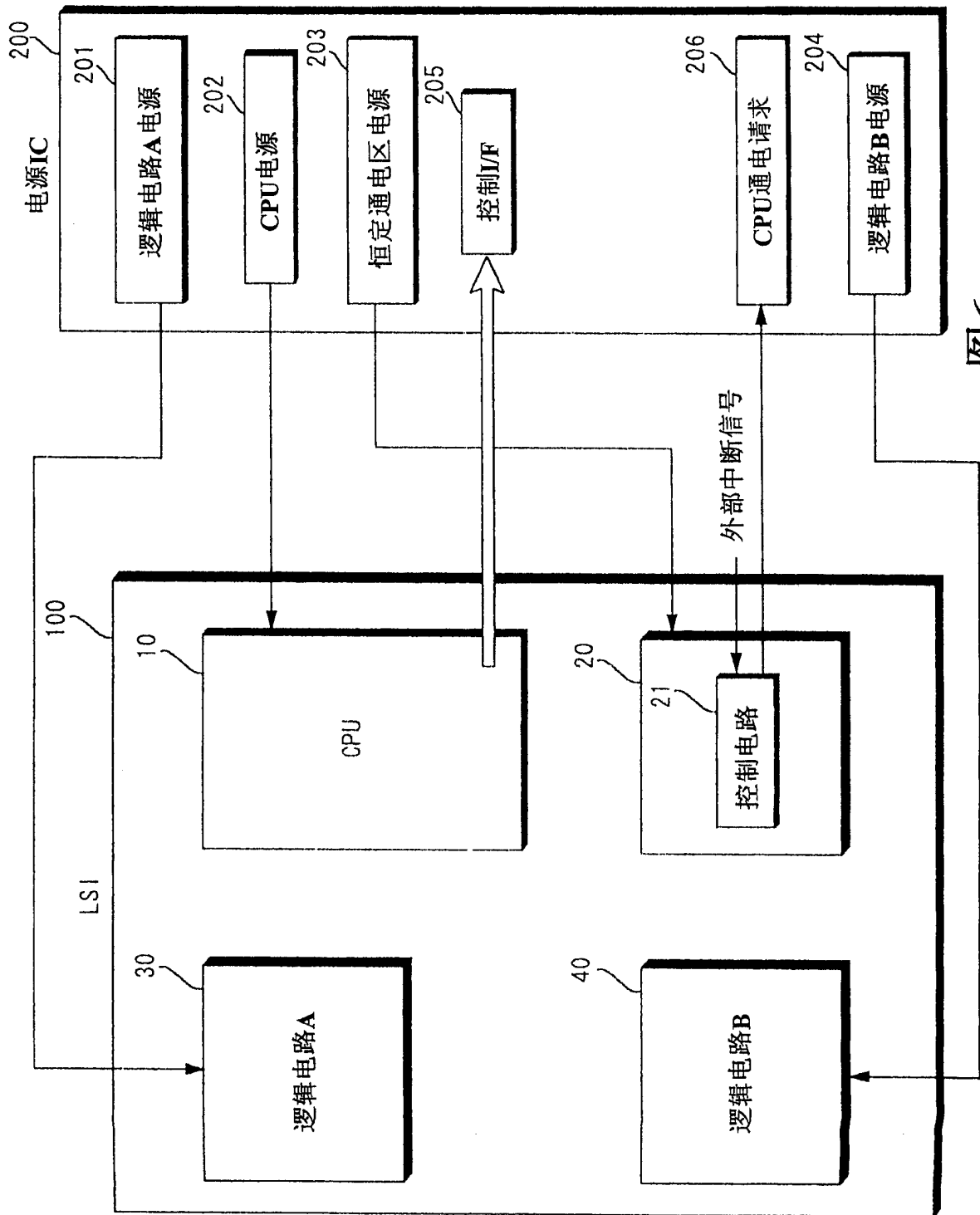


图6 现有技术