(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[7]
G09G 3/28

(45) 공고일자 2000년07월15일
(11) 등록번호 10-0262058
(24) 등록일자 2000년04월26일

(21) 출원번호	10-1996-0032132	(65) 공개번호	특1997-0076454
(22) 출원일자	1996년08월01일	(43) 공개일자	1997년12월12일
(30) 우선권주장	96-123658 1996년05월17일 일본(JP)		

(73) 특허권자 후지쯔 가부시끼가이샤 아끼구사 나오유끼
일본국 가나가와켄 가와사키시 나카하라꾸 가미고다나카 4초메 1-1
(72) 발명자 가나자와 요시카즈
일본국 가나가와켄 가와사카시 나카하라쿠 가미코다나카 4쵸메 1반 1고 후지쯔 가부시키가이샤 나이
기시 도모카츠
일본국 가나가와켄 가와사카시 나카하라쿠 가미코다나카 4쵸메 1반 1고 후지쯔 가부시키가이샤 나이
(74) 대리인 조태연

심사관 : 이상목

(54) 플라즈마 디스플레이 패널 구동방법 및 이 구동방법을 이용한 플라즈마 디스플레이 장치

요약

플라즈마 디스플레이 패널의 제조가 용이하며 고휘도화 또는 고정밀화가 가능함으로써 비용 절감이 높은 플라즈마 디스플레이 패널 구동 방법 및 그 구동 방법을 이용한 플라즈마 디스플레이 장치를 제공하는 것이다.

3 전극 면방전 교류구동형 플라즈마 디스플레이 패널을 갖는 플라즈마 디스플레이 장치에 있어서, 어드레스 방전을 행할 때에 제2갭(211)을 통해 인접하는 제1전극(207)과 선택된 제2전극(208)과의 전위차인 선택 전위보다도 제1갭(210)을 통해 인접하는 제1전극(207)과 선택된 제2전극(208)과의 전위차인 비선택 전위가 작아지도록 어드레스 방전을 제어한다.

대표도

도1

명세서

도면의 간단한 설명

제1도는 Y-X-Y-X 배열의 전극 구조를 갖는 3전극 면방전(面放電) 교류 구동형 플라즈마 디스플레이 패널을 이용한 본 발명의 제1실시예의 구동 방법에서의 어드레스시의 파형도.

제2도는 제1실시예의 구동 방법에서의 어드레스 방전의 메카니즘을 설명하기 위한 도면.

제3도는 Y-X-Y-X 배열의 전극 구조를 갖는 3 전극 면방전 교류 구동형 플라즈마 디스플레이 패널을 이용한 본 발명의 제2실시예의 플라즈마 디스플레이 장치에서의 구동 회로 블록도.

제4도는 제3도의 플라즈마 디스플레이 장치에서의 X 전극의 구동 회로를 도시한 블록도.

제5도는 제3도의 플라즈마 디스플레이 장치에서의 X 전극의 구동 회로의 동작을 도시한 타이밍도.

제6도는 제3도의 플라즈마 디스플레이 장치에서의 1 서브 필드 기간의 전류 인가 파형을 도시한 파형도.

제7도는 Y-X-Y-X 배열의 전극 구조를 갖는 3 전극 면방전 교류 구동형 플라즈마 디스플레이 패널을 이용한 본 발명의 제3 실시예의 플라즈마 디스플레이 장치에서의 1 서브 필드 기간의 전극 인가 파형을 도시한 파형도.

제8도는 Y-X-Y-X 배열의 전극 구조를 갖는 3 전극 면방전 교류 구동형 플라즈마 디스플레이 패널을 이용한 본 발명의 제4 실시예의 플라즈마 디스플레이 장치에서의 1 서브 필드 기간의 전극 인가 파형을 도시한 파형도.

제9도는 Y-X-Y-X 배열 전극 구조를 갖는 3 전극 면방전 교류 구동형 플라즈마 디스플레이 패널을 이용한 본 발명의 제5 실시예의 플라즈마 디스플레이 장치에서의 구동 회로를 도시하는 주요 부분의 블록도.

제10도는 제9도의 플라즈마 디스플레이 장치에서의 1 서브 필드 기간의 전극인가 파형을 도시한 파형도.

제11도는 본 발명의 제6 실시예의 구동 방법에서의 어드레스 방전의 메카니즘을 설명하기 위한 도면.

제12도는 Y-X-Y-X 배열의 전극 구조를 갖는 3 전극 면방전 교류 구동형 플라즈마 디스플레이 패널을 이용한 본 발명의 제6 실시예의 플라즈마 디스플레이 장치에서의 1 서브 필드 가간의 전극 인가 파형을 도시한 파형도.

제13도는 Y-X-Y-X 배열의 전극 구조를 갖는 3 전극 면방전 교류 구동형 플라즈마 디스플레이 패널의 구조를 도시한 평면도.

제14도는 제13도의 플라즈마 디스플레이 패널에서의 전극간의 정전용량을 저감하기 위해 전극의 접속 형태를 개량한 Y-X-Y-X 배열의 전극 구조를 갖는 3 전극 면방전 교류 구동형 플라즈마 디스플레이 패널도의 평면도.

제15도는 제13도 또는 제14도에 도시한 Y-X-Y-X 배열의 전극 구조 또는 Y-X-Y-X 배열의 전극 구조를 갖는 플라즈마 디스플레이 패널의 어드레스 전극에 따른 단면도.

제16도는 제13도 또는 제14도에 도시한 Y-X-Y-X 배열의 전극 구조 또는 Y-X-Y-X 배열의 전극 구조를 갖는 플라즈마 디스플레이 패널의 유지 전극에 따른 단면도.

제17도는 제13도 또는 제14도에 도시한 Y-X-Y-X 배열의 전극 구조 또는 Y-X-Y-X 배열의 전극 구조를 갖는 플라즈마 디스플레이 패널을 구동하기 위해 주변 회로가 설치된 플라즈마 디스플레이 장치의 블록도.

제18도는 제13도 내지 제16도에 도시한 플라즈마 디스플레이 패널을 제17도에 도시한 회로에 의해 구동하는 종래의 구동 방법을 설명한 파형도로서, 어드레스/유지방전 기간 분리형 기록 어드레스 방법 및 리셋 기간에 전면 자기 소거 방전을 이용하는 방법을 설명한 파형도.

제19도는 제19a 내지 c도는 어드레스 방전의 메카니즘을 설명하기 위한 도면.

제20도는 제18도의 어드레스/유지 방전 기간 분리형 기록 어드레스 방법의 순서를 도시하는 타이밍도.

제21도는 어드레스 방전시에 인접셀에 대한 영향을 설명하기 위한 도면.

제22도는 어드레스 방전시에 인접셀에 대한 영향을 설명하기 위한 도면.

제23도는 어드레스 방전시에 인접셀에 대한 영향을 설명하기 위한 도면.

제24도는 어드레스 방전시에 인접셀에 대한 영향을 설명하기 위한 도면.

제25도는 유지 방전시의 종결합(縱結合)을 설명하기 위한 도면.

제26도는 유지 방전시의 종결합을 설명하기 위한 도면.

* 도면의 주요부분에 대한 부호의 설명

10 : 플라즈마 디스플레이 장치　　20 : 플라즈마 디스플레이 패널

21 : 스캔 펄스　　22 : 공통 드라이버

23 : 제1선택 드라이버　　24 : 제2선택 드라이버

25 : 스위칭 소자　　26 : 다이오드

27 : 스캔 드라이버　　28 : 어드레스 드라이버

31 : 유지 방전 펄스 인가 수단

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 플라즈마 디스플레이 패널의 구동 방법 및 이 구동 방법을 이용한 표시 장치에 관한 것이며, 특히 메모리 기능을 가진 표시 소자인 셀의 집합에 의해 구성된 플라즈마 디스플레이 패널의 구동 방법 및 이 구동 방법을 이용한 표시 장치에 관한 것이다. 좀 더 구체적으로는, 교류 구동형 플라즈마 디스플레이 패널에 표시 데이타의 기록을 행할 때의 구동 방법 및 이 구동 방법을 이용한 플라즈마 디스플레이 장치에 관한 것이다.

상기 교류 구동형 플라즈마 디스플레이 패널은 2개의 유지 전극에 교대로 전압 파형을 인가함으로써 방전을 지속하여 발광 표시를 행하는 것이다. 한 번의 방전은 펄스 인가 직후 1 [μs]로부터 수 [μs]에서 종료한다. 방전에 의해 발생한 정전하인 이온은 부의 전압이 인가되어 있는 전극상의 절연층의 표면에 축적되고, 마찬가지로 부전하인 전자는 정의 전압이 인가 되어 있는 전극상의 절연층의 표면에 축적된다.

따라서, 처음에 높은 전압(기록 전압)의 펄스(기록 펄스)에서 방전시켜 벽전하를 생성한 후 극성이 다른 전하보다 낮은 전압(유지 전압 또는 유지 방전 전압)의 펄스(유지 펄스 또는 유지 방전 펄스)를 인가하면, 이전에 축적된 벽전하가 중복되고 방전 공간에 대한 전압은 커져서 방전 전압의 임계치를 넘어서 방전을 개시한다. 즉, 한번 기록 방전을 행하여 벽전하를 생성한 셀은, 그 이후 유지 펄스를 교대로

역극성으로 인가함으로써 방전을 지속한다는 특징이 있다. 이것을 메모리 효과, 또는 메모리 기능이라고 부른다. 일반적으로, 교류 구동형 플라즈마 디스플레이 패널은 이 메모리 효과를 이용하여 표시를 행하는 것이다.

또한, 방전을 행하는 셀은 장벽[리브(rib), barrier]에 의해 인접셀과의 공간적인 결합이 단절되어 있다. 상기 장벽은 방전셀을 에워싸도록 사방으로 설치되어 완전하게 밀봉되어 있는 경우가 있으며, 또한 한 쪽 방향으로만 설치되고 다른 쪽은 전극간이 갭(거리)의 적정화에 의해 결합이 단절되어 있는 경우 등이 있다.

본 발명은 3 전극으로 면방전의 교류 구동형 플라즈마 디스플레이 패널이며, 특히 장벽이 한쪽 방향으로만 설치된 구조의 패널에 있어서, 표시 데이타에 따른 셀의 선택을 행하는 기록 방전(어드레스 방전)의 경우에 이용되는 기술이다. 특히 고휘도, 고정밀도, 대형화를 진행시키는 데에 유리한 기술이다.

종래의 교류 구동형 플라즈마 디스플레이 패널에는 2개의 전극으로 선택 방전(어드레스 방전) 및 유지 방전을 행하는 2 전극형 플라즈마 디스플레이 패널과, 제3 전극(209)을 이용하여 어드레스 방전을 행하는 3 전극형 플라즈마 디스플레이 패널이 있다. 계조(階調)표시를 행하며 컬러 표시가 가능한 플라즈마 디스플레이 패널에 이용되는 2 전극형 플라즈마 디스플레이 패널(2)에서는, 방전에 의해 발생하는 자외선에 의해 방전셀내에 형성한 형광체를 여기하고 있으나, 방전에 의해 동시에 발생하는 정전하의 이온의 충격에 약한 형광체에 이온을 직접 부딪치는 구성으로 되어 있기 때문에, 형광체의 수명 저하를 초래하고 있다.

여기서, 종래의 컬러 표시용의 플라즈마 디스플레이 패널에서는 면방전을 이용한 3 전극 구조의 플라즈마 디스플레이 패널(3 전극 면방전 교류 구동형 플라즈마 디스플레이 패널이라고 부른다)이 이용되고 있다. 이와 같은 3 전극 면방전 교류 구동형의 플라즈마 디스플레이 패널은 유지 방전을 행하는 제1및 제2전극(207, 208)이 배치 되어있는 기판에 제3 전극(209)이 형성된 플라즈마 디스플레이 패널과, 대향하는 또 하나의 기판에 제3 전극(209)가 배치된 플라즈마 디스플레이 패널로 분류할 수 있다.

또한, 제1전극(207)과 제2전극(208)과 제3 전극(209)은 동일 기판으로 형성된 플라즈마 디스플레이 패널은, 유지 방전을 행하는 2개의 전극상에 제3 전극(209)이 배치된 플라즈마 디스플레이 패널과, 유지 방전을 행하는 2개의 전극 아래에 제3 전극(209)가 배치된 플라즈마 디스플레이 패널로 분류된다. 또한, 이들의 플라즈마 디스플레이 패널은 형광체로부터 발생된 가시광을 상기 형광체를 투과하여 보는 투과형의 플라즈마 디스플레이 패널과 형광체로부터의 반사를 보는 반사형의 플라즈마 디스플레이 패널로 분류할 수가 있다.

이와 같은 플라즈마 디스플레이 패널에 있어서, 방전이 행해지는 셀(즉, 방전셀)은 리브 또는 배리어(barrier)라고 불리우는 장벽에 의해 이 셀에 인접하는 인접셀과의 공간적인 결합이 단절되어 있다. 장벽은 방전셀을 에워싸도록 사방으로 설치되어 완전하게 밀봉되어 있는 장벽과, 한쪽 방향으로만에 설치되고 다른 쪽 방향은 전극간의 갭(거리)을 적정함으로써 공간적인 결합이 단절되어 있는 장벽 등으로 분류 할 수 있다.

유지 방전을 행하는 전극이 설치된 기판과 대향하여 설치된 기판에 제3 전극(209)을 형성하는 플라즈마 디스플레이 패널이고 수직 방향(즉, 제1전극과 제2전극에 직교하고 제3 전극과 평행 방향)에만 장벽이 형성되며 유지 전극(207A, 207B)의 일부가 투명 전극(207A)에 의해 구성되어 있는 반사형의 3 전극 면방전 교류 구동형 플라즈마 디스플레이 패널에 대해서는 다시 구체적인 설명하기로 한다.

종래의 이와 같은 3전극 면방전 교류 구동형의 플라즈마 디스플레이 패널을 도 13에 나타내었고, 도 13에 있어서 전극간의 정전용량을 저감하기 위하여 전극의 접속형태를 개량한 3전극 면방전 교류 구동형 플라즈마 디스플레이 패널을 도 14에 나타내었으며, 도 13 또는 도 14의 3 전극 면방전 교류 구동형 플라즈마 디스플레이 패널의 어드레스 전극(209)에 따른 단면도를 도 15에 나타내었고, 도 13 또는 도 14의 플라즈마 디스플레이 패널의 유지 전극(207A, 207B)에 따른 단면도를 도 16에 각각 나타내었다.

도 13 또는 도 14의 3전극 면방전 교류 구동형 플라즈마 디스플레이 패널은 도 15 또는 도 16에 나타난 바와 같이 2개의 유리 기판[즉, 배면 유리기판(206)과 전면 유리기판(205)]에 의해 구성되어 있다. 한 쌍의 기판(205)인 전면 유리 기판(205)에는 평행하는 유지 전극(207A, 207B)인 제1전극(207)(구체적으로는 X전극) 및 제2전극(208)(구체적으로는 Y전극)이 방전 슬릿[즉, X전극(207)과 Y전극(208)의 전극 사이의 갭이며, 100㎲정도로 설정된다]을 사이에 두고 형성되며, 이들의 전극(207, 208)은 투명 전극(207A)과 버스 전극(207B)에 의해 구성되어 있다. 투명 전극(207A)은 형광체(207)로부터의 반사광(207H)을 투과시키고, 버스 전극(207B)은 전극 저항에 의한 전압 강하를 방지하기 위한 것이다. 다시 그것들을 유전체층(207C)으로 피복하고 방전면측에는 보호막으로서 MgO(산화마그네슘)막(207D)를 형성한다. 또한, 전면 유리 기판(205)과 마주보는 제2기판(206)[구체적으로는, 배면 유리 기판(206)]에는 제3 전극(209)[구체적으로는, 어드레스 전극(209)]을 유지 전극(207A, 208B)과 직교하도록 형성되어 있다. 또 유전체(207G)에서 보호된 어드레스 전극(20) 사이에는 장벽(207E)을 형성하고, 장벽(207E)의 사이에는 어드레스 전극(209)을 덮는 구성으로 적, 녹, 청의 발광 특성을 지닌 형광체(207F)를 형성하고 있다. 장벽(207E)의 끝단과 MgO막(207D)면이 밀접하는 구성으로 배면 유리기판(206)과 전면 유리 기판(205)가 조립되어 있다. 또한, 방전 슬릿을 100 [㎛]로 설정했을 때, 인접 라인의 유지 방전 전극과의 간격인 역슬릿은 300 [㎛], 유지 전극의 폭은 25 [㎛] 정도로 설정된다.

도 17은 도 13 또는 도 14의 플라즈마 디스플레이 패널을 구동하기 위한 주변 회로가 설치된 종래의 플라즈마 디스플레이 장치(9)의 블록도이다.

플라즈마 디스플레이 장치(9)에 있어서, 어드레스 전극(209)은 1개 마다 접속된 어드레스 드라이버(28)에 의해 어드레스 방전시의 어드레스 펄스가 인가된다. 어드레스 드라이버(28)는 제어 회로(281)에 의해 제어된다. 또한, Y전극(208)은 각각 스캔 드라이버(27) (도면에서 Y스캔 드라이버 27)에 접속된다.

Y스캔 드라이버(27)는 Y측의 공통 드라이버(22)에 접속되어 있고, 어드레스 방전시의 펄스는 스캔 드라이버(27)에 의해 발생되며, 유지 펄스등은 Y측의 공통 드라이버(22)에 의해 발생되고, 이들의 펄스는 Y스캔

드라이버(27)를 경유하여 Y전극(208)에 인가된다. Y측의 공통 드라이버(22)는 패널 구동 제어부(281A)에 설치된 공통 드라이버 제어부(221)에 의해 제어되며, Y스캔 드라이버(27)는 패널 구동 제어부(281A)에 설치된 스캔 드라이버 제어부(271)에 의해 제어된다.

X전극(207)은 플라즈마 디스플레이 패널(2)의 전표시라인(201)를 통해 공통으로 접속된다. X측의 공통 드라이버(22)는 기록 펄스, 유지 펄스 등을 발생시키며, 공통 드라이버 제어부(221)에 의해 제어된다. 공통 드라이버 제어부(221), 스캔 드라이버 제어부(271) 및 제어 회로(281)는 장치의 외부로부터 패널 구동 제어부(281A)에 입력되는 수직 동기 신호(도면에서 VSYNC) 및 수평 동기 신호(도면에서 HSYNC), 표시 데이타 제어부(281B)에 입력되는 표시 데이타 신호(도면에서 DATA) 및 도트 클록(도면에서 CLOCK)에 의해 제어된다. 또한, 도트 클록(CLOCK)에 따라서 입력된 표시 데이타 신호(DATA)는 프레임 메모리(281B-1)에 보존된다.

도 18은 도 13 내지 도 16에 도시된 플라즈마 디스플레이 패널(2)을 도 17에 도시된 회로에 의해 구동하는 종래의 구동 방법을 표시하는 파형도이며, 소위 종래의 「어드레스/유지 방전 기간 분리형 기록 어드레스 방법」에 있어서의 1 서브 필드 기간을 표시하고 있다.

종래의 구동 방법에서는 1 서브 필드는 리셋 기간, 어드레스 기간 및 유지 방전 기간으로 분리된다. 리셋 기간에 있어서는 우선, 모든 Y전극(208)이 0 [V]레벨로 되고, 동시에 X전극(207)에 전압 Vs+Vw(구체적으로는, 약 300 [V])로 이루어지는 전면 기록 펄스가 인가되고, 이전의 표시 상태에 관계 없이 전표시라인(201)의 모든 셀에서 방전이 행해진다. 이 때의 어드레스 전극(209)의 전위 Vaw는 약 100 [V]이다. 다음에, X전극(207)과 어드레스 전극(209)의 전위가 0 [V]가 되고 모든 셀에 있어서 벽전하(204)에 의한 전압이 방전 개시 전압을 초과하여 방전이 개시된다. 상기 방전은 전극간의 전위차가 없기 때문에 공간 전하는 자기 중화하여 방전을 종료한다. 소위, 자기 소거 방전이다. 상기 자기 소거 방전에 의해 패널내의 모든 셀의 상태가 벽전하(204)가 없는 균일한 상태가 된다. 상기 리셋 기간은 앞의 서브 필드의 점등 상태에 관계 없이 모든 셀을 동일한 상태로 하는 작용이 있고, 이것에 의해 다음의 어드레스 방전(즉, 기록)을 안전하게 행할 수 있다.

그 다음으로, 어드레스 기간에 있어서 표시 데이타에 따라서 셀의 ON 또는 OFF의 제어를 행하기 위하여 선순차로 어드레스 방전이 행해진다. 상기 어드레스 방전의 메카니즘을 도 19에 표시한다.

우선, Y전극(208)에 -VY레벨(구체적으로는, 약 -150[V])의 스캔 펄스(21)를 인가함과 동시에, 어드레스 전극(209) 중 유지 방전을 일으키는 셀, 즉 점등시키는 셀에 대응하는 어드레스 전극(209)에 전압 Va(구체적으로는, 약 50[V])의 어드레스 펄스가 선택적으로 인가되고, 점등시키는 셀의 어드레스 전극(209)과 Y전극(208)의 사이에서 방전이 일어난다(도 19a참조). 그 다음으로, 상기 방전을 프라이밍[종화(種火)]으로서 X전극(207)과 Y전극(208)사이의 방전에 즉시 추이한다(도 19b 참조). 이것에 의해, 선택 라인(202)의 선택 셀의 X전극(207)과 Y전극(208) 상의 MgO막(207D)면에 유지 방전이 가능한 양의 벽전하(204)가 축적된다(도 19c 참조). 다음으로, 순차적으로 다른 표시라인(201)에 대하여도 동일한 동작이 행해지고, 전표시라인(201)에 있어서 새로운 표시 데이타의 기록이 행해진다. 그 후, 유지 방전 기간이 되는 Y전극(208)과 X전극(207)에 교대로 전압이 Vs(약 180[V])로 되는 유지 펄스가 인가되어 유지 방전이 행해지며, 1 서브 필드의 화상 표시가 행해진다. 또한, 이와 같은 「어드레스/유지 방전 분리형 기록 어드레스 방법」에 있어서는 유지 방전 기간의 장단(長短), 즉 유지 펄스(전압 Vs)의 횟수에 의해 휘도가 결정된다.

도 18의 어드레스/유지 방전 기간 분리형 기록 어드레스 방법의 시퀀스를 나타내는 타임 챠트를 도 20에 표시하였다.

어드레스/유지 방전 기간 분리형 기록 어드레스 방법에서는 1 프레임은 8개의 서브 필드, 즉 SF1, SF2, SF3, SF4, SF5, SF6, SF7, SF8로 구분된다. 이들의 서브 필드 SF1 내지 SF8에서, 리셋 기간과 어드레스 기간은 각각 일정한 길이가 된다. 또한, 유지 방전 기간의 길이는 1:2:4:8:16:32:64:128의 비율이 된다. 따라서, 점등시키는 서브 필드를 선택함으로써 0부터 255까지의 256단계의 휘도의 차이를 표시(즉, 256계조를 표시)할 수 있다.

구체적인 시간 배분에 있어서, 화면의 기록 비율을 60[Hz]로 하면 1프레임은 16.6[ms](1/60[Hz])로 된다. 또, 1프레임 내의 유지 방전 사이클(서스팅 사이클이라고 부른다)의 횟수를 510회로 하면, 각 서브 필드의 유지 방전 사이클의 횟수는 서브 필드 SF1이 2사이클, 서브 필드 SF2가 4사이클, 서브 필드 SF3가 8사이클, 서브 필드 SF4가 16사이클, 서브 필드 SF5가 32사이클, 서브 필드 SF6이 64사이클, 서브 필드 SF7이 128사이클, 서브 필드 SF8이 256사이클이 된다. 여기서, 서스팅 사이클의 시간을 8 [㎲]로 하면 1프레임에서의 합계는 4.08 [ms]가 된다. 잔여분의 약 12 [ms]가 8회의 리셋 기간과 어드레스 기간과 휴지 기간으로 할당된다. 따라서, 각 서브 필드의 리셋 기간과 어드레스 기간에서 약 1.5 [ms]가 되고, 각 어드레스 기간의 리셋 기간에 50 [㎲] 정도 필요할 경우, 500라인의 패널을 구동하기 위해서는 어드레스 사이클은 3 [㎲]가 된다.

발명이 이루고자 하는 기술적 과제

그러나, 이와 같은 종래의 플라즈마 디스플레이 패널 구동 방법 및 이 구동 방법을 이용한 플라즈마 디스플레이 장치(9)에서는 고휘도화, 고정밀화, 대형화를 목표로 하여, 패널 전극의 회로측으로의 인출 용이성이나 회로의 간소화를 실행하기 위하여 X전극(207)을 공통화하여 상기 상태에서 어드레스 방전을 실행할 경우 Y전극(208)과 어드레스 전극(209)은 선택과 비선택의 전압을 인가되는 것 및 X전극(207)이 공통으로 접속된 상태에서 구동되기 때문에, 안정된 어드레스 동작이 어렵다는 문제가 있었다.

또한, 종래의 플라즈마 디스플레이 패널 구동 방법 및 이 구동 방법을 이용한 플라즈마 디스플레이 장치(9)에 있어서의 고휘도화를 위한 문제점을 도 13 내지 도 16에 표시한 플라즈마 디스플레이 패널(2)의 구성에 기초하여 설명한다.

휘도를 높이기 위한 구동 방법에 있어서, 발광 주파수를 올리는 것과 같은 구동 방법은 소비 전력이나 시간 배분, 수명의 점에서 한계가 있으므로 발광 효율 자체를 높이는 것이 필요하다.

발광 효율 자체를 높이는 하나의 구동 방법으로서, 방전 그 자체를 넓은 범위에서 행하도록 하며 또한 활성화시키는 방법이 있다. 방전을 넓은 범위에서 행하도록 하기 위해서는 방전 슬릿 [즉, 투명 전극(207A)의 X전극(207)과 Y전극(208)의 갭]을 너무 좁히지 않고 투명 전극(207A)의 폭을 넓게 하는 것이 유리하다. 또한, 별도의 구동 방법으로서 개구율을 높이고 형광체(207F)에서 발생한 광을 방해하지 않고 표시면으로 유도해 내기 위한 구동 방법이며, 반사형의 경우 반사광(207H)의 방해가 되는 버스 전극(207B)의 폭을 가늘게 하는 편이 좋다고 되어 있다. 그러나, 버스 전극(207B)의 폭을 너무 가늘게 하면 전극의 저항성분을 증대시키고 방전 전류가 흘렀을 때의 전압 강하를 증대시키게 되어, 그 결과 셀에 인가되는 전압이 저하하고 결과적으로 방전의 활성화를 방해하며 휘도를 저하시킨다. 또한, 표시율에 따라 전압 강하의 양도 상이하여 표시율의 차이에 의한 휘도의 변화를 가져 오게 하며, 표시 품질을 현저하게 저해시킨다.

이상의 점을 고려하면, 투명 전극(207A)의 폭을 넓게 하고 버스 전극(207B)도 너무 가늘지 않도록 하는 것이 바람직하다. 그 결과, 동일한 셀 치수로 고려하는 경우 방전 슬릿과 반대쪽의 슬릿('역슬릿'이라고 부른다)이 좁아지게 된다. 역슬릿이 너무 좁아지면 방전 슬릿과 역슬릿이 방전 개시 전압 [여기서, 방전 개시전압은 봉입 가스의 조성, 유전체 재료나 MgO막(207D)의 막질 이외에 전극간의 거리와 가스압의 곱에 의해 결정된다]이 근접하여 셀의 분리가 불가능하게 된다. 셀(즉, 방전 공간)의 분리를 확실히 행하는 플라즈마 디스플레이 패널로서 역슬릿에 장벽(207E)을 형성하는 것이 있다.

상기 역슬릿에도 장벽(207E)을 설정하는 것은 플라즈마 디스플레이 패널(2)의 고정밀화를 방해하고 제조상의 정밀도를 지극히 엄격하게 하는 것이다. 장벽(207E)은 후막 인쇄 기술(스크린 인쇄기술)이나, 샌드블러스트법에 의해 형성되는 일이 많으나 한쪽 방향에만 스트라이프 형상의 장벽(207E)을 세우는 경우와 비교하여, 스트라이프 형상의 장벽(207E)의 폭을 수십 [㎛] 정도로 가늘며 그 높이를 백수십 [㎛] 정도로 하는 것은 대단히 어렵다. 또한, 스트라이프 형상의 장벽(207E)의 경우 유지 전극(207A, 207B)측의 전면 유리기판(205)과 어드레스 전극(209)측의 배면 유리기판(206)을 결합시킬 때의 정밀도는 스트라이프 형상의 장벽(207E)의 경우의 정밀도와 비교하여 상당히 유연하게 할 수 있으며 고정밀화를 도모할 수 있다.

또한, 고정밀화를 행할 경우 상기 스트라이프 형상의 장벽(207E)은 플라즈마 디스플레이 패널(2)의 공정을 보다 어렵게 하는 요인이며, 장벽(207E)을 설치하지 않을 경우라도 고정밀화에 따라 역슬릿을 좁힐 필요가 있다.

이와 같은 플라즈마 디스플레이 패널(2)을 동작시킬 경우 종방향의 공간에는 자유롭게 공간 전하가 넓혀지며 인접하는 상하 방향의 셀에 대하여 불필요한 프라이밍(종화) 효과가 발생하거나 벽전하(204)의 불필요한 축적이 발생하여 오방전(미스 어드레스라고 부른다)이 발생한다. 이와 같은 현상을 종결합이라고 부른다.

이하에서는, 종결합의 발생 메카니즘을 도 20을 사용하여 설명한다.

표시셀(203)을 선택하기 위한 어드레스 방전은 X전극(207)과 Y전극(208)에 최소 유지 방전 전압 이상이고 최소 방전 개시 전압 미만의 전압을 부여하고, 선택하는 셀의 어드레스 전극(209)에 Y전극(208)의 전위차가 어드레스 전극(209)과 Y전극(208)간의 방전 개시 전압을 초과하는 값이 되는 어드레스 펄스(전압Va)를 부여함으로써 행해진다.

도 20에 표시한 바와 같이, X전극(207)에는 VX(50 [V])의 전압이 인가되어 있다. 또 Y전극(208)에는 선택 전위인 -VY(-150 [V])의 스캔 펄스(21)이 인가된다. 이때, 방전을 행하는 셀의 어드레스 전극(209)에 Va(50 [V])의 어드레스 펄스(전압Va)가 인가되어 방전을 개시한다. 여기서, 어드레스 전극(209)과 Y전극(208)간의 방전 개시 전압을 VfAY로 하면 VfAY≤Va+VY(=200 [V])의 관계가 성립되며, 또한 X전극(207)과 Y전극(208)간의 최소 유지 방전 전압을 Vsm, X전극(207)과 Y전극(208)간의 방전 개시 전압을 Vf하면 Vsm≤VX+VY(=200 [V])<Vf의 관계가 성립된다.

그 다음, 어드레스 전극(209)과 Y전극(208) 사이에서 개시된 방전(제1단계)을 트리거로서, X전극(207)과 Y전극(208)간의 방전을 활성화(제2단계)한다. 최종(제3) 단계로서 방전시에는, X전극(207)측에는 마이너스의 벽전하(204)가, Y전극(208)측에는 플러스의 벽전하(204)가 어드레스 전극(209)측에는 마이너스의 벽전하(204)가 각각 축적된다.

다음으로, 인접 라인에 대한 영향으로서 어드레스 방전시의 인접셀에 대한 영향을 도 21 내지 도 24를 이용하여 설명한다.

수직 방향으로 연속되는 3개의 셀에 대응하는 X전극(207)과 Y전극(208)을 각각 X1전극(207-1), Y1전극(208-1), X2전극(207-2), Y2전극(208-2), X3 전극(207-3), Y3 전극(208-3)으로 한다.

Y1전극(208-1)의 셀은 표시 데이타가 OFF이기 때문에 어드레스 방전을 행하지 않고, Y2전극(208-2)의 셀에 있어서 어드레스 방전이 행해졌을 경우의 모양을 도 2에 표시한다. Y2전극(208-2)에 인접한 X1전극(207-1)에는 선택 라인(202)의 X전극(207)과 동일한 VX(50 [V])의 전압이 인가되어 있다. 이 전압은 Y2전극(208-2)에 대하여 정의 극성이기 때문에, 마이너스 전하를 끌어 모아 벽전하(204)로서 축적한다. 도 21에 표시하는 바와 같이, 역슬릿의 간격이 300 [㎛]으로 넓기 때문에, X1전극(207-1)에 축적된 벽전하(204)가 소량인 경우에는 문제가 되지 않는다.

그러나 도 22에 표시하는 바와 같이, 셀 피치가 작아져서, 예컨대, 역슬릿의 간격이 200 [㎛]로 좁을 경우 많은 벽전하(204)를 X1전극(207-1)측에 축적한다. 또는, X1전극(207-1)과 Y1전극(208-2) 사이, 즉 역슬릿의 최소 유지 방전 전압이 190 [V]에 있었을 경우는 어드레스 전극(209)과 Y2전극(208-2)간의 방전을 트리거하여 X1과 Y2 전극(208-2)간의 방전을 동시에 발생시켜 벽전하(204)를 형성하는 경우도 있다.

또한, 도 23에 표시한 바와 같이 어드레스 방전의 제1단계인 어드레스 전극(209)과 Y전극(208)간의 방전을 확실히 행하기 위하여, 어드레스 전극(209)에 인가하는 어드레스 펄스(전압Va)의 전압(Va)을 50 [V]에서 70 [V]로 높이면 규모가 큰 방전이 일어나며 그 결과 많은 벽전하(204)가 X1 전극(207-1)측에 축적된다.

또한 도 2에 표시하는 바와 같이, 어드레스 방전의 제2단계인 X전극(207)과 전극(208)간의 방전을 확실하게 행하기 위하여 X전극(207)에 인가하는 전압(VX)를 50[V]에서 70[V]으로 높이면 규모가 큰 발전이 일어나게 되어 동일하게 많은 벽전하(240)가 XI전극(207-1)측에 축적된다.

즉, X1 전극(207-1)에 다량의 마이너스 전하가 축적된 결과, 미스 방전이 일어난다는 문제가 있었다.

이하에서는, 유지 방전시의 종결합을 도 25를 이용하여 설명한다.

도 25에 있어서, X1전극(207-1)의 셀은 OFF이기 때문에 어드레스 방전은 행하지 않고, 유지 방전(서스팅 방전)기간에 들어간다. 처음에 Y전극(208)에 전압 Vs(180 [V])로 이루어지는 유지 펄스(전압 Vs)(서스팅 펄스라고 부른다)가 인가된 경우, X1 전극(207-1)에 축적된 벽전하(204)의 전압분이 X측의 전위를 끌어내려 X1과 Y1간의 방전을 일으키는 경우가 있다. 또한, X1 전극(207-1)과 어드레스 전극(209)간의 전위차가 벽전하(204)에 의해 확대되며, 어드레스 방전의 제1단계에 상당한 동작이 어드레스 전극(209)과 X1전극(207-1)간에서 행해지는 경우에는 그것에 따라서 X1전극(207-1)과 Y1전극(208-1)간의 방전으로 이행한다는 문제점이 있었다.

이하에서는, 도 14에 표시하는 바와 같은 전극 배열을 가진 플라즈마 디스플레이 패널(2)에서의 어드레스 방전시의 오동작을 도 26에 따라서 설명한다.

Y1전극(208-1)의 어드레스 방전이 종료하고 Y2전극(208-2)의 어드레스 방전을 행할 경우, Y2전극(208-2)에 인가된 -150 [V]의 스캔 펄스(21)에 의해 어드레스 전극(209)과 Y2전극(208-2)간의 방전을 트리거하여 본래 기대하는 X2전극(207-2)과의 방전을 개시하기 전에 Y2전극(208-2)과 Y1전극(208-1)간의 방전을 개시하게 되고, X2전극(207-2)측과의 방전이 개시 되지 않고 어드레스 사이클이 종료되는 경우가 있게 된다. 이때는, Y1전극(208-1)의 셀과 Y2전극(208-2)의 셀에서는 유지 방전이 개시되지 않는다라고 하는 문제점이 있었다.

본 발명은, 이와 같은 종래의 문제점을 해결하기 위한 것으로서, 비선택시의 X전극을 선택시의 X전극의 전위보다 낮은 전위로 함으로써 어드레스 방전을 행하는 셀에서 공간전하가 튕겨져 나오는 일이 적고 비선택 라인임에도 불구하고 방전을 하거나 또는 벽전하를 축적해서 미스 방전을 일으키는 사태를 피할 수 있고, 이것에 의해 셀의 피치가 작고 역슬릿이 좁은 플라즈마 디스플레이 패널에 있어서도 안정된 어드레스 방전을 행할 수 있는 플라즈마 디스플레이 패널 구동 방법을 제공하는 것을 목적으로 한다.

또한, 이와 같은 플라즈마 디스플레이 패널 구동 방법을 이용함으로써 플라즈마 디스플레이 패널의 제조가 용이해지고, 또한 고휘도화 또는 고정밀화가 가능케되어 비용 절감이 높은 플라즈마 디스플레이 장치를 제공함을 목적으로 한다.

발명의 구성 및 작용

청구항 제1항에 기재한 발명은 한 쌍의 기판(205) 사이에 표시라인 마다에 평행하게 또한 교대로 배치된 상기 제1및 제2전극(207, 208)과, 상기 제1및 제2전극(207, 208)과 교차하도록 배치된 제3 전극(209)을 구비하고, 상기 제2전극(208)과 상기 제3 전극(209)에 의해 선택된 표시셀(203)에 어드레스 방전을 실행하여 정보의 기록을 실행함과 동시에, 해당 어드레스 방전에 의해 기록된 정보에 의거하여 상기 제1및 제2전극(207, 208)에 있어서의 유지 방전을 실행하여 해당 정보의 표시를 행하는 플라즈마 디스플레이 패널 구동 방법에 있어서, 상기 어드레스 방전을 행할 때에, 유지 방전을 행하는 쪽의 전극인 제2갭(211)을 통해 인접한 상기 제1전극(207)과 선택된 제2전극(208)과의 전위차인 선택 전위 보다도, 유지 방전을 행하지 않는 쪽의 전극인 제1갭(210)을 통해 인접한 상기 제1전극(207)과 해당 선택된 상기 제2전극(208)과의 전위차인 비선택 전위가 작아지도록 해당 어드레스 방전을 제어하는 것을 특징으로 하는 플라즈마 디스플레이 패널 구동 방법이다.

청구항 제2항에 기재한 발명은 청구항 제1항에 기재한 플라즈마 디스플레이 패널 구동 방법에 있어서, 상기 어드레스 방전을 행할 때에, 상기 제1갭(210)에 있어서의 최소의 유지 전압 미만으로 상기 비선택 전위가 되도록 해당 어드레스 방전을 제어하는 것을 특징으로 하는 플라즈마 디스플레이 패널 구동 방법이다.

청구항 제3항에 기재한 발명은 청구항 제1항에 기재한 플라즈마 디스플레이 패널 구동 방법에 있어서, 어드레스 기간의 전반에서 순차로 상기 제2전극(208)을 선택하여 상기 표시라인(201) 중의 홀수 또는 짝수의 어느 한 쪽을 표시라인(201)군으로서 상기 어드레스 방전을 실행함과 동시에 해당 어드레스 기간의 후반에 다른 쪽의 표시라인(201)군의 어드레스 방전을 실행할 때에, 해당 어드레스 기간의 전반에 있어서는, 해당 한 쪽의 표시라인(201)군의 제1전극군(207, …, 207)을 상기 선택 전위로 설정하여 해당 다른 쪽의 표시라인(201)군의 제1전극군(207, …, 207)을 상기 비선택 전위에 설정함과 동시에, 해당 어드레스 기간의 후반에 있어서는, 다른 쪽의 표시라인(201)의 제1전극군(207, … 207)을 비선택 전위에 설정하는 것을 특징으로 하는 플라즈마 디스플레이 패널 구동 방법이다.

청구항 제4항에 기재한 발명은 청구항 제1항에 기재한 플라즈마 디스플레이 패널 구동 방법에 있어서, 상기 어드레스 기간에 있어서 상기 제1전극(207)의 선택시의 해당 제1전극(207)의 전압은 접지 전위를 기준으로 정극성인 전압이고, 상기 제2전극(208)의 선택시의 해당 제2전극(208)의 전압은 해당 접지 전위를 기준으로 부극성의 펄스에 의해 부여되며 상기 제3 전극(209)의 선택시의 해당 제3 전극(209)의 전압은 해당 접지 전위를 기준으로 정극성의 펄스에 의해 부여되는 것을 특징으로 하는 플라즈마디스플레이 패널 구동 방법이다.

청구항 제5항에 기재한 발명은 청구항 제4항에 기재한 어드레스 기간에 있어서, 상기 제1전극(207)의 선택시의 전압을 상기 제3 전극(209)의 선택시의 전압을 동등하게 설정하는 것을 특징으로 하는 플라즈마디스플레이 패널 구동 방법이다.

청구항 제6항에 기재한 발명은 청구항 제4항에 기재한 어드레스 기간에 있어서, 상기 제1전극(207)의 비선택시의 전압을 상기 제3 전극(209)의 비선택시의 전압과 동등하게 설정하는 것을 특징으로 하는 플라즈

마 디스플레이 패널 구동 방법이다.

청구항 제7항에 기재한 발명은 청구항 제6항에 기재한 어드레스 기간에 있어서, 상기 제1전극(207)의 비선택시의 전압과 상기 제3 전극(209)의 비선택시의 전압을 상기 접지 전위로 설정하는 것을 특징으로 하는 플라즈마 디스플레이 패널 구동 방법이다.

청구항 제8항에 기재한 발명은 청구항 제4항에 기재한 플라즈마 디스플레이 패널 구동 방법에 있어서, 상기 어드레스 방전을 행할 때에 인가되는 상기 제1및 제2전극(207, 208)간의 전위차의 약 1/2를 상기 제1전극(207)의 선택 전위로서 인가하고, 해당 선택 전위의 역극성의 전위의 약 1/2를 상기 제2전극(208)의 상기 선택 전위인 스캔펄스(21)로서 인가하는 것을 특징으로 하는 플라즈마 디스플레이 패널 구동 방법이다.

청구항 제9항에 기재한 발명은 상기 어드레스 기간에 있어서, 상기 제1, 제2및 제3 전극(207, 208, 209)의 비선택시의 전위를 상기 접지 전위로 설정하는 것을 특징으로 하는 플라즈마 디스플레이 패널 구동 장치이다.

청구항 제10항에 기재한 발명은 청구항 제1항에 기재한 플라즈마 디스플레이 패널 구동 방법에 있어서, 상기 어드레스 기간에 있어서 모든 상기 표시라인(201)을 순차적으로 1라인 마다 선택하여 상기 어드레스 방전을 행할 경우 상기 제2전극(208)을 선택하는 상기 스캔 펄스(21)를 인가하는 타이밍과 거의 같은 위상에서 상기 제1전극(207)에 상기 선택 전위를 부여하는 것을 특징으로 하는 플라즈마 디스플레이 패널 구동 방법이다.

청구항 제11항에 기재한 발명은, 한 쌍의 기판(205)간의 표시라인 마다에 평행하게 또한 교대로 배치된 상기 제1및 제2전극(207, 208)과 상기 제1및 제2전극(207, 208)과 교차 하도록 배치된 제3의 전극(209)을 구비하고, 상기 제2전극(208)과 상기 제3의 전극(209)에 의해 선택된 표시셀(203)에 어드레스 방전을 실행하여 정보의 기록을 실행함과 동시에, 해당 어드레스 방전에 의해 기록된 정보에 의거하여 상기 제1및 제2전극(207, 208)에 있어서의 유지 방전을 실행하고 해당 정보의 표시를 행하는 플라즈마 디스플레이 장치(10)에 있어서, 상기 어드레스 방전을 행할 때에 유지 방전을 행하는 쪽의 전극인 제2갭(211)을 통해 인접하는 상기 제1전극(207)과 선택된 제2전극(208)과의 전위차인 선택 전위 보다도, 유지 방전을 행하지 않는 쪽의 전극인 제1갭(210)을 통해 인접한 상기 제1전극(207)과 해당 선택된 상기 제2전극(208)과의 전위차인 비선택 전위가 작아지도록 해당 어드레스 방전을 제어하는 제1전극 구동 수단(30A)을 지닌 것을 특징으로 하는 플라즈마 디스플레이 장치(10)이다.

청구항 제12항에 기재한 발명은, 한 쌍의 기판(205)간에 표시라인 마다에 평행하게 또한 교대로 배치된 상기 제1및 제2전극(207, 208)과 상기 제1및 제2전극(207, 208)과 교차하도록 배치된 제3의 전극(209)을 구비하고, 유지 방전을 행하지 않는 쪽의 상기 제1전극(207)과 제2전극(208)과의 전극 간격인 제1갭(210)이 유지 방전을 행하는 쪽의 전극 간격인 제2갭(211) 보다도 넓게 형성된 플라즈마 디스플레이 패널(20)을 구비한 플라즈마 디스플레이 장치(10)에 있어서, 상기 제1전극(207)을 구동하는 제1전극 구동 수단(30A)는 어드레스 기간에 있어서 상기 제1전극(207)에 선택 전위 또는 비선택 전위를 부여하여 전표시라인(201)의 홀수의 제1전극군(207, …, 207)을 구동하는 제1선택 드라이버(23)와, 상기 어드레스 기간에 있어서의 상기 홀수의 제1전극군(207, …, 207)의 구동에 이어서, 전표시라인(201)의 짝수의 제1전극군(207, …, 207)을 구동하는 제2선택 드라이버(24)와, 상기 어드레스 기간에 계속되는 유지 방전 기간에 모든 상기 제1전극에 상기 유지 방전의 펄스를 공급하는 공통 드라이버(22)를 가진 것을 특징으로 하는 플라즈마 디스플레이 장치(10)이다.

청구항 제13항에 기재한 발명은, 청구항 제11항 또는 제12항에 기재한 제1선택 드라이버 및 상기 제2선택 드라이버(24)는 각각 푸시풀(push-pull) 구성의 스위칭 소자(25)로 구성되어 있는 것을 특징으로 하는 플라즈마 디스플레이 장치(10)이다.

청구항 제14항에 기재한 발명은 청구항 제13항에 기재한 제1선택 드라이버 및 상기 제2선택 드라이버(24) 각각은 상기 제1전극(207)에 상기 선택 전위를 부여하는 제1스위칭 소자(25)와, 상기 제1전극(207)의 전위를 상기 선택 전위로 끌어들이는 제2스위칭 소자(25)와, 상기 제1전극(207)의 전위를 상기 비선택 전위에 고정하는 제3스위칭 소자(25)를 지닌 것을 특징으로 하는 플라즈마 디스플레이 장치(10)이다.

청구항 제15항에 기재한 발명은 청구항 제11항 또는 제12항에 기재한 플라즈마 디스플레이 장치(10)에 있어서, 상기 플라즈마 디스플레이 패널(20)의 상기 제1전극(207)에 상기 유지 방전 펄스(22a)를 공급하는 상기 공통 드라이버(22)는 각각이 분리된 전류의 유입 경로와 공급 경로를 가지며, 상기 제1선택 드라이버(23), 상기 제2선택 드라이버(24) 및 상기 제1전극군(207, …, 207)에 다이오드(26)를 개재시켜 각각 접속되어 있는 것을 특징으로 하는 플라즈마 디스플레이 장치(10)이다.

청구항 제16항에 기재한 발명은 청구항 제15항에 기재한 플라즈마 디스플레이 장치(10)에 있어서, 상기 공통 드라이버(22)의 상기 전류 공급 경로에 상기 제1전극(207)에 대하여 순방향으로 제1및 제2다이오드(26)가 접속되고, 해당 제1전극(207)에 대하여 역방향의 상기 전류 유입 경로에 제3 및 제4 다이오드(26)가 접속되고, 다시 상기 제1및 제3 다이오드(26)의 해당 제1전극(207)에 접속하는 쪽에 제1선택 회로(32A)가 접속되고, 상기 제2및 제4 다이오드(26)의 해당 제1전극(207)에 접속되는 쪽에 제2선택 회로(32B)가 접속되어 있는 것을 특징으로 하는 플라즈마 디스플레이 장치(10)이다.

청구항 제17항에 기재한 발명은 청구항 제11항 또는 제12항에 기재한 플라즈마 디스플레이 장치(10)에 있어서, 제2슬릿측(212)에 인접한 상기 제1전극(207)에 가하는 전압보다 낮은 전압을 상기 어드레스 방전을 행하기 위해 선택된 상기 제2전극(208)에 인접한 제1슬릿 측(213)의 상기 제1전극(207)에 선택 드라이버를 이용하여 가하는 것을 특징으로 하는 플라즈마 디스플레이 장치(10)이다.

청구항 제18항에 기재한 발명은 청구항 제11항 또는 제12항에 기재한 플라즈마 디스플레이 장치(10)에 있어서, 상기 어드레스 기간 전반에 홀수 또는 짝수의 표시라인(201)의 한 쪽의 제1전극군(207, …, 207)에 상기 제1선택 드라이버(23) 또는 상기 제2선택 드라이버(24)를 이용하여 상기 선택 전위를 부여함과 동시에 다른 쪽의 상기 제1전극군(207, …, 207)에 상기 비선택 전위를 부여하여 해당 한 쪽의 제1전극군

(207, …, 207)에 있어서의 상기 어드레스 방전을 순차 실행한 후에 해당 한쪽의 제1전극군(207, …, 207)에 상기 비선택 전위를 부여함과 동시에 해당 다른쪽 제1전극군(207, …, 207)에 상기 선택 전위를 부여하고, 해당 다른쪽 제1전극군(207, …, 207)에 있어서의 상기 어드레스 방전을 순차 실행한 후에 상기 공통 드라이버(22)로부터 모든 상기 제1전극(207)에 상기 유지 방전펄스(22a)를 공급하고 상기 유지 방전을 실행하여 표시 발광을 행하는 것을 특징으로 하는 플라즈마 디스플레이 장치(10)이다.

청구항 제19항에 기재한 발명은 청구항 제11항 또는 제12항에 기재한 플라즈마 디스플레이 장치(10)에 있어서, 상기 제1선택 드라이버(23) 및 상기 제2선택 드라이버(24)의 전원(29)은 상기 제3 전극(209)을 구동하는 어드레스 드라이버(28)의 전원(29)과 공통인 것을 특징으로 하는 플라즈마 디스플레이 장치(10)이다.

청구항 제20항에 기재한 발명은 청구항 제11항 또는 제12항에 기재한 플라즈마 디스플레이 장치(10)에 있어서, 상기 플라즈마 디스플레이 패널(20)은 상기 제1전극(207)과 상기 제2전극(208) 사이에서 상기 유지 방전을 행하지 않는 측의 전극 간격인 제1갭(210)을 해당 유지 방전을 행하는 측의 전극 간격인 제2갭(211)에 대하여 2배 이내에 설정하는 것을 특징으로 하는 플라즈마 디스플레이 장치(10)이다.

청구항 제21항에 기재한 발명은 한 쌍의 기판(205)간에 표시라인 마다에 평행하게 또한 교대로 배치된 상기 제1및 제2전극(207, 208)과, 상기 제1및 제2전극(207, 208)과 교차하도록 배치된 제3 전극(209)을 구비하고 유지 방전을 행하지 않는 쪽의 상기 제1전극(207)과 제2전극(208)의 전극 간격인 제1갭(210)이 유지 방전을 행하는 쪽의 전극 간격인 제2갭(211)보다 넓게 형성되고, 상기 제2전극(208)과 상기 제3 전극(209)에 의해 선택된 표시셀(203)에 어드레스 방전을 실행하여 정보의 기록이 실행됨과 동시에, 해당 어드레스 방전에 의해 기록된 정보에 따라서 상기 제1및 제2전극(207, 208)에 있어서의 유지 방전이 실행되어 해당 정보의 표시가 실행되는 플라즈마 디스플레이 패널(20)을 구비한 플라즈마 디스플레이 장치(10)에 있어서, 제1전극(207)을 구동하는 제1전극 구동 수단(30A)은 어드레스 기간에 상기 제1전극(207)에 선택 또는 비선택의 전압을 가하기 위하여 해당 제1전극(207) 마다 설치된 스캔 드라이버(27)와, 상기 어드레스 기간에 계속되는 유지 방전 기간에 모든 상기 제1전극(207)에 상기 유지 방전을 위한 펄스(22a)를 공급하는 공통 드라이버(22)를 가진 것을 특징으로 하는 플라즈마 디스플레이 장치(10)이다.

청구항 제22항에 기재한 발명은 청구항 제21항에 기재한 플라즈마 디스플레이장치(10)에 있어서, 상기 제1전극(207)을 구동하는 스캔 드라이버(207)의 전원(29)은 상기 제3 전극(209)을 구동하는 어드레스 드라이버(28)의 전원(29)과 공통인 것을 특징으로 하는 플라즈마 디스플레이 장치(10)이다.

청구항 제23항에 기재한 발명은 청구항 제21항에 기재한 플라즈마 디스플레이 장치(10)에 있어서, 상기 플라즈마 디스플레이 패널(20)은 상기 제1전극(207)과 상기 제2전극(208)의 사이에서 상기 유지 방전이 실행되지 않는 측의 전극 간격인 제1갭(210)을, 상기 유지 방전이 실행되는 측의 전극 간격인 제2갭(211)에 대하여 2배 이내로 설정하는 것을 특징으로 하는 플라즈마 디스플레이 장치(10)이다.

청구항 제24항에 기재한 발명은, 한 쌍의 기판(205) 사이에 표시라인(201) 마다에 평행하게 배치된 제1및 제2전극(207, 208)과, 상기 제1및 제2전극(207, 208)과 교차하도록 배치된 제3 전극(209)을 구비하고, 상기 제1전극(207)과 상기 제2전극(208)이 1 표시라인(201) 마다 상이한 순번으로 교대로 배치되고, 또한 유지 방전을 행하는 쪽인 제1전극(207)과 제2전극(208)과의 간격인 제2갭(211)에 대하여, 해당 유지 방전을 행하지 않는 쪽의 상기 제1전극(207)끼리의 간격 또는 제2전극(208)끼리의 간격인 제1갭(210)이 넓게 형성된 플라즈마 디스플레이 패널(20)에 대하여, 상기 제2전극(208)과 상기 제3의 전극(209)에 의해 선택된 표시셀(203)에 어드레스 방전을 실행하여 정보의 기록을 실행함과 동시에, 해당 어드레스 방전에 의해 기록된 정보에 의거하여 상기 제1및 제2전극(207, 208)에 있어서의 유지 방전을 실행하여 해당 정보의 표시를 행하는 플라즈마 디스플레이 패널의 구동 방법에 있어서, 상기 어드레스 방전을 행할 때에, 어드레스 기간의 전반에 있어서, 전표시라인(201) 중의 홀수 또는 짝수의 표시라인(201)의 제2전극군(208, …, 208)의 한 쪽을 순차적으로 선택하여 해당 어드레스 방전을 실행함과 동시에 유지 방전 펄스(22a)를 인가하고, 해당 전반의 어드레스 기간에서 상기 어드레스 방전을 실행한 표시셀(203)에 대하여 상기 유지 방전을 실행하고, 상기 어드레스 기간의 후반에 있어서, 상기 전반의 어드레스 기간에서의 선택하지 않은 다른 쪽 제2전극군(208, …, 208)을 순차 선택하여 해당 어드레스 방전을 실행한 후, 모든 제1및 제2전극(207, 208)에 교대로 상기 유지 방전 펄스(22a)를 인가하여 상기 유지 방전을 실행하는 것을 특징으로 하는 플라즈마 디스플레이 패널 구동 방법이다.

청구항 제25항에 기재한 발명은 청구항 제24항에 기재한 플라즈마 디스플레이 패널 구동 방법에 있어서, 상기 어드레스 기간의 전반과 후반과의 사이에 인가하는 상기 유지 방전 펄스(22a)는, 상기 어드레스 방전의 실행시의 상기 제1및 제2전극(207, 208)에 인가되는 전압 파형에 대하여 연극성의 펄스 형태의 전압 파형을 지닌 것을 특징으로 하는 플라즈마 디스플레이 패널 구동 방법이다.

청구항 제26항에 기재한 발명은 청구항 제24항에 기재한 플라즈마 디스플레이 패널 구동 방법에 있어서, 상기 어드레스 기간의 전반과 후반과의 사이에 인가하는 상기 유지 방전 펄스(22a) 및 상기 유지 방전의 실행 기간의 시작인 상기 유지 방전 펄스(22a)는 상기 어드레스 방전의 실행시의 상기 제1및 제2전극(207, 208)간에 인가되는 전압 파형에 대하여 역극성이 되는 펄스 모양의 전압 파형을 가진 것을 특징으로 하는 플라즈마 디스플레이 패널 구동 방법이다.

청구항 제27항에 기재한 발명은 한 쌍의 기판(205) 사이에 표시라인(201) 마다에 평행하게 배치된 제1및 제2전극(207, 208)과, 상기 제1및 제2전극(207, 208)과 교차하도록 배치된 제3 전극(209)을 구비하고, 상기 제1전극(207)과 상기 제2전극(208)이 1 표시라인(201) 마다 상이한 순번으로 교대로 배치되고, 또한 유지 방전을 행하는 쪽의 제1전극(207)과 제2전극(208)과의 간격인 제2갭(211)에 대하여, 해당 유지 방전을 행하지 않는 쪽의 상기 제1전극(207)끼리의 간격 또는 제2전극(208)끼리의 간격인 제1갭(210)이 넓게 형성되는 플라즈마 디스플레이 패널(20)에 대하여, 상기 제2전극(208)과 상기 제3 전극(209)에 의해 선택된 표시셀(203)에 어드레스 방전을 실행하여 정보의 기록을 실행함과 동시에, 해당 어드레스 방법에 의해 기록된 정보에 따라서 상기 제1및 제2전극(207, 208)에 있어서의 유지 방전을 실행하여 해당 정보의 표시를 행하는 플라즈마 디스플레이 패널의 구동 방전을 이용한 플라즈마 디스플레이 장치(10)에 있어서, 상기 어드레스 방전을 행할때에 전반의 어드레스 기간에서, 전표시라인(201) 중의 홀수 또는 짝수의 표시라

인(201)의 제2전극군(208, …, 208)의 한 쪽을 순차적으로 선택하고, 상기 어드레스 방전을 실행하여 상기 유지 방전을 위한 펄스(22a)를 인가함과 동시에, 해당 전반의 어드레스 기간에서 상기 어드레스 방전을 실행된 표시셀(203)에 대하여 상기 유지 방전을 실행하고, 후반의 어드레스 기간에서, 상기 전반의 어드레스 기간에서 선택하지 않았던 다른 쪽 제2전극군(208, …, 208)을 순차적으로 선택하여 상기 어드레스 방전을 실행하는 제2전극 구동 수단(30B)과, 모든 상기 제1및 제2전극(207, 208)에 교대로 상기 유지 방전 펄스(22a)를 인가하여 유지 방전을 실행하는 유지 방전 펄스 인가 수단(31)을 가진 것을 특징으로 하는 플라즈마 디스플레이 장치(10)이다.

청구항 제28항에 기재한 발명은 청구항 제27항에 기재한 플라즈마 디스플레이 패널(20)은, 상기 유지 방전을 실행하지 않은 쪽의 제1전극(207)끼리의 간격 또는 제2전극(208)끼리의 간격인 제1갭(210)이 상기 유지 방전을 행하는 쪽의 전극 간격인 제2갭(211)에 대하여 1배 내지 2배 이내로 설정되어 있는 것을 특징으로 하는 플라즈마 디스플레이 장치(10)이다.

먼저, 이하의 각 실시 형태에 있어서 이용되는 교류 구동형 플라즈마 디스플레이 패널을 도 13 내지 도 16을 이용하여 설명하기로 한다.

본 발명의 각 실시 형태에 있어서 이용되는 교류 구동형 플라즈마 디스플레이 패널은, 도 13 내지 도 16에 표시하는 종래의 플라즈마 디스플레이 패널(2)과 동일한 구조를 갖는다. 단, 역슬릿의 거리는 200 [um]로 설정되어 있는 점이 종래의 플라즈마 디스플레이 패널(20)과는 상이하다.

교류 구동형 플라즈마 디스플레이 패널(20)에는 2개의 전극에서 선택 방전(즉, 어드레스 방전) 및 유지 방전을 행하는 2 전극형 플라즈마 디스플레이 패널(20)과, 제3 전극(209)을 이용하여 어드레스 방전을 행하는 3 전극형 플라즈마 디스플레이 패널(20)이 있다. 계조 표시를 행하는 컬러 표시가 가능한 플라즈마 디스플레이 패널(20)로는 전술한 바와 같이 면방전을 이용한 3 전극 구조의 플라즈마 디스플레이 패널(20)인 3 전극 면방전 교류 구동형 플라즈마 디스플레이 패널(20)을 이용하고 있다. 이와 같은 3 전극 면방전 교류 구동형의 플라즈마 디스플레이 패널(20)은 유지 방전을 행하는 제1및 제2전극(207, 208)이 배치되어 있는 기판에 제3 전극(209)이 형성된 플라즈마 디스플레이 패널(20)과, 대향하는 또 하나의 기판에 제3 전극(209)이 배치된 플라즈마 디스플레이 패널(20)로 분류할 수 있다.

또한, 제1전극(207)과 제2전극(208)과 제3 전극(209)이 동일 기판상에 형성된 플라즈마 디스플레이 패널(20)은 유지 방전을 행하는 2개의 전극위에 제3전극(209)이 배치된 플라즈마 디스플레이 패널(20)과, 유지 방전을 행하는 2개의 전극 아래에 제3 전극(209)이 배치된 플라즈마 디스플레이 패널(20)로 분류되어 있다. 또한, 이들 플라즈마 디스플레이 패널(20)은 형광체(207F)로부터 발생된 가시광을, 그 형광체(207F)를 투과해 보는 투과형 플라즈마 디스플레이 패널(20)과 형광체(207F)로부터의 반사를 보는 반사형의 플라즈마 디스플레이 패널(20)로 분류할 수 있다.

이러한 플라즈마 디스플레이 패널(20)에 있어서, 방전이 행해지는 셀(즉, 방전셀)은 리브 또는 배리어라고 불리우는 장벽에 의해, 이 셀에 인접하는 인접셀과의 공간적인 결합이 끊어진다. 장벽은 방전셀을 둘러싸도록 사방에 설치되어 완전히 밀봉되어 있는 장벽과, 한 쪽에만 설치되고, 다른 쪽은 전극간의 갭(거리)을 적정함으로써 공간적인 결합이 끊어지는 장벽 등으로 분류할 수 있다.

본 발명의 실시 형태에 있어서는 유지 방전을 행하는 전극이 설치된 기판과 대향하여 설치된 기판에 제3 전극(209)을 형성하는 플라즈마 디스플레이 패널(20)로서, 수직 방향(즉, 제1전극과 제2전극에 직교하고 제3 전극과 평행방향)으로만 장벽이 형성되며, 유지 전극(207A, 207B)의 일부가 투명 전극(207A)에 의해 구성되어 있는 반사형의 3 전극 면방전 교류 구동형 플라즈마 디스플레이 패널(20)이 이용되므로, 이하에서는 반사형의 3 전극 면방전 교류 구동형 플라즈마 디스플레이 패널(20)의 구체적인 설명하기로 한다.

3 전극 면방전 교류 구동형 플라즈마 디스플레이 패널(20)을 도 13에, 도 13의 플라즈마 디스플레이 패널(20)에 있어서의 전극간의 정전 용량을 저감하기 위하여 전극의 접속 형태를 개량한 3 전극 면방전 교류 구동형 플라즈마 디스플레이 패널(20)을 도 14에 도시하였다. 도 13에 도시된 바와 같이, 제1전극(207)(X전극)과 제2전극(208)(Y전극)이 교대로 3 전극 면방전 교류 구동형 플라즈마 디스플레이 패널(20)을 Y-X-Y-X 배열의 3 전극 면방전 교류 구동형 플라즈마 디스플레이 패널(20)이라 부르기로 한다. 또한, 도 14에 도시된 바와 같이, 하나의 제1전극(207)(X전극)과 2개의 제2전극(208)(Y전극)이 교대로 배열된 3 전극 면방전 교류 구동형 플라즈마 디스플레이 패널(20)을 Y-X-X-Y 배열의 3 전극 면방전 교류 구동형 플라즈마 디스플레이 패널(20)이라 부른다.

또한, Y-X-Y-X 배열의 전극 구조 또는 Y-X-X-Y 배열의 전극 구조를 갖는 3 전극 면방전 교류 구동형 플라즈마 디스플레이 패널(20)의 어드레스 전극(209)에 따른 단면도를 도 15에 도시하였으며, Y-X-Y-X 배열 또는 Y-X-X-Y 배열의 전극 구조를 갖는 플라즈마 디스플레이 패널(20)의 유지 전극(207A, 207B)에 따른 단면도를 도 16에 각각 도시하였다.

Y-X-Y-X 배열의 전극 구조 또는 Y-X-X-Y 배열의 전극 구조를 갖는 3 전극 면방전 교류 구동형 플라즈마 디스플레이 패널(20)은 도 15 또는 도 16에 도시된 바와 같이 배면 유리 기판(206)과 전면 유리 기판(205)에 의해 구성되어 있다. 한 쌍의 기판(205)인 전면 유리 기판(205)에는 평행한 유지 전극(207A, 207B)인 제1전극(207)(X전극) 및 제2전극(208)(Y전극)이 방전 슬릿(슬릿 폭 100 [㎛] 정도)을 간격을 두고 형성되며, 이들 전극(207, 208)은 투명 전극(207A)과 버스 전극(207B)에 의해 구성되어 있다. 투명 전극(207A)은 형광체(207F)로부터의 반사광(207H)을 투과시키며, 버스 전극(207B)은 전극 저항에 의한 전압 강하를 방지하기 위한 것이다. 또한, 이들 전극을 유전체층(207C)으로 피복하고, 방전면측에는 보호막으로서 MgO막(207D)을 형성한다. 또한, 전면 유리 기판(205)과 마주보는 제2기판(206) [구체적으로는 배면 유리 기판(206)]에는 제3 전극(209) [어드레스 전극(209)]을, 유지 전극(207A, 207B)과 직교하도록 형성하고 있다. 또한, 유전체(207G)로 보호된 어드레스 전극(209) 사이에는 장벽(207E)을 형성하고, 장벽(207E)의 사이에는 어드레스 전극(209)을 덮는 구성으로 적, 녹, 청의 발광 특성을 갖는 형광체(207F)를 형성하고 있다. 장벽(207E)의 끝단과 MgO막(207D)면이 밀착하는 구성으로 배면 유리 기판(206)과 전면 유리 기판(205)이 조립되어 있다. 또한, 방전 슬릿을 100 [㎛]로 설정했을 때 인접 라인의 유지 방전 전극과의 간격인 역슬릿은 200 [㎛], 유지 전극의 폭은 250 [㎛] 정도로 설정되어 있다.

다음으로는, 도면에 기초하여 본 발명의 각종 실시 형태를 설명하기로 한다.

먼저, 도면에 기초하여 제1실시 형태를 설명하기로 한다.

제1실시형태의 구동 방법은 Y-X-Y-X 배열의 전극 구조의 전극 구조를 갖는 3전극 면방전 교류 구동형 플라즈마 디스플레이 패널(20)의 구동 방법으로서, 소위 어드레스/유지 방전 기간 분리형 기록 어드레스 법에 있어서의 어드레스 기간에 있어서, 역슬릿측의 비선택 X전극(207)의 전위를 선택의 X전극(207)의 전위보다 낮게할 수 있는 구동 방법이다.

제1실시 형태의 플라즈마 디스플레이의 구동 방법에 이용되는 플라즈마 디스플레이 패널(20)은 도 13에 도시된 Y-X-Y-X 배열의 전극 구조이며, 전극의 간격인 갭을 방전 슬릿측에서 100 [㎛], 역슬릿측에서 200 [㎛]으로 설정하고 있다.

제1실시 형태의 구동 방법에 따른 어드레스시의 파형도를 도 1에 도시하였다. 제1실시 형태의 구동 방법은 어드레스 사이클에 있어서, 선택시의 X전극(207)과 비선택시의 X전극(207)의 전압 [또는, 선택측인 방전 슬릿측의 X전극(207)과 비선택측인 역슬릿측의 X전극(207)의 전압]을 다른 전압치로 함으로써 실행된다.

구체적으로는 1 표시 라인당 어드레스 시간인 어드레스 사이클(구체적으로는, 3 [㎲])만 선택된 X전극(207)에 전압(VX)(도면에서는 50V)의 전압을 인가하고, 전압(VX)(50 [V])보다 낮은 전압(구체적으로는 0 [V] 내지 -100 [V]을 비선택의 X전극(207)에 인가한다. 또한, 선택된 Y전극(208)에 -150 [V]을 인가하며, 비선택의 Y전극(208)에는 -50 [V]가 인가된다. 여기서, 비선택의 X전극(207)의 전압(0V 내지 -100V)은 셀(전극)의 구조에 의해 최적 전압치가 있고, 인접 라인으로부터의 공간 전하를 가장 끌어 당기지 않는 최적의 전압치, 또는 역슬릿측의 최소 유지 방전 전압 미만의 최적 전압치로 조정되어 있다.

전술한 Y-X-Y-X 배열의 전극 구조의 전극 구조를 갖는 3 전극 면방전 교류 구동형 플라즈마 디스플레이 패널(20)을 도 1에 도시된 바와 같은 3 [㎲]의 어드레스 사이클로 동작시킨 경우, X전극(207)과 Y전극(208)간의 방전 개시 전압(Vf)은 200 [V]를 초과한 전압치가 되며, 그 결과 플라즈마 디스플레이 패널(20) 내의 모든 셀의 방전 개시 전압(Vf)은 230 [V] 내지 250 [V] 사이의 전압치가 된다. 구체적으로는 X1 전극(207)의 방전 개시 전압(Vf1)=230 [V], Xn 전극(207)의 방전 개시 전압(Vfn)=250 [V]의 관계가 성립한다. X전극(207)과 Y전극(208)사이의 최소 유지 방전 전압은 구체적으로는 150 [V]이다.

X전극(207)과 Y전극(208)간의 최소 유지 방전 전압(Vsm)을 150 [V]로 설정하면, 유지 방전 전압(Vs)은 150 [V]≦유지 방전 전압(Vs)＜230 [V]로 설정된다. 또한, 본 발명의 제1실시 형태에서는 유지 방전 전압(Vs)=180 [V]로 하고 있다.

또한, 제1실시 형태의 플라즈마 디스플레이의 구동 방법을 구체적으로 설명한다.

도 2는 제1실시 형태의 구동 방법에 따른 어드레스 방전의 메카니즘을 설명하기 위한 도면이다.

본 실시 형태의 구동 방법에 있어서는 도 2에 도시된 바와 같이, 어드레스시의 X전극(207)과 Y전극(208) 사이의 전위차도 유지 방전 전압(Vs)의 범위내로 설정하지만, 보다 확실하게 어드레스 방전의 제2단계 이후를 행하기 위해서는 유지 방전 전압(Vs)+Y전극(208)의 선택시의 인가 전압(VY)=200 [V]로 설정하고 있다. 그 결과, Y전극(208)의 선택시의 인가 전압(VY)을 150 [V]로 설정한 경우, 선택시의 X전극(207)의 전압(VX)은 50 [V]가 된다. 또한, 역슬릿에 있어서, 최소 유지 방전 전압(Vsm)은 예컨대, 190 [V]가 되며, 어드레스 방전시의 모든 X전극(207)의 전위를 50 [V]로 한 경우는 적당한 프라이밍 효과가 있으면, 역슬릿에서도 방전이 발생한다. 또한, 어드레스 전극(209)과 Y1 전극(208)사이의 방전 개시 전압(VfAY 1)은 170 [V], 어드레스 전극(209)과 Yn전극(208)사이의 방전 개시 전압(VFAYn)은 190 [V]가 되기 때문에, Y전극(208)의 선택시의 인가 전압(VY)+어드레스 전극(209)에 인가하는 어드레스 펄스의 전압(Va)은 190 [V] 이상이 되어야 한다. 따라서, Y전극(208)의 선택시의 인가 전압(VY)이 150 [V]인 경우, 어드레스 전극(209)에 인가하는 어드레스 펄스의 전압(Va)을 50 [V]로 설정하는 것이 바람직하다.

이상 설명한 바와 같이, 제1실시 형태의 플라즈마 디스플레이의 구동 방법은 표시 데이타의 기록 방전인 어드레스 방전시에, 선택한 Y전극(208)에 인접하는 비선택 라인의 X전극(207)의 전위를 0 [V](종래의 구동 방법에서는 50 [V]를 인가하고 있다)로 하고 있기 때문에, 선택 Y전극(208)과 비선택 X전극(207)과의 전위차는 역슬릿의 최소 유지 방전 전압(Vsm)인 190 [V] 미만의 150 [V]로 설정하는 것이 가능하고, 그 결과 종래와 동일한 전극간 갭의 플라즈마 디스플레이 패널(20)에 있어서도 선택 라인에 인접하는 X전극(207)측에, 마이너스의 전하를 축적하지 않는 효과를 달성한다. 또한, 이러한 효과에 의해 다음의 어드레스해야 하는 상기 비선택 라인에 대해서도 다음의 어드레스 사이클로 정확한 어드레스 방전을 실행할 수 있다. 또한, 상기 비선택 라인에 대하여 어드레스 방전이 실행되지 않고 유지 방전 기간으로 들어가며, 유지 펄스 [유지 방전 전압(Vs)]가 인가된 경우에 있어서도, 전술한 바와 같은 오(誤)방전을 야기하는 일이 없어지는 효과를 이룬다. 또한, 역슬릿측의 거리를 좁힐 수 있기 대문에, 고휘도이고, 고정밀도의 플라즈마 디스플레이 장치를 실현할 수 있는 효과가 있다.

다음에는, 도면에 기초하여 제2실시 형태를 설명한다.

도 3은 Y-X-Y-X 배열의 전극 구조를 갖는 3 전극 면방전 교류 구동형 플라즈마 디스플레이 패널(20)을 이용한 제2실시 형태의 플라즈마 디스플레이 장치(10)에 있어서의 구동 회로의 블록도이다. 또한, 제1실시 형태에 있어서 이미 기술한 것과 동일한 부분에 대해서는 동일 부호를 붙이고 중복된 설명은 생략한다.

플라즈마 디스플레이 장치(10)에 있어서, 어드레스 전극(209)은 하나마다 접속된 어드레스 드라이버(28)에 의해 어드레스 방전시의 어드레스 펄스가 인가된다. 어드레스 드라이버(28)는 제어 회로(281)에 의해 제어된다. 또한, Y전극(208)은 개별로 스캔 드라이버(27) [도면에서 Y 스캔 드라이버(27)]에 접속된다. X전극(207)은 플라즈마 디스플레이 패널(20)의 전 표시라인(201)을 통해서 공통으로 접속된다. X전극(207)은 제1선택 드라이버(23)인 X 선택 드라이버(23)에 접속되어 있다. X측의 공통 드라이버(22) [유지 방전 펄스 인가 수단(31)]은 기록 펄스, 유지 펄스 등을 발생하는 것으로, 공통 드라이버 제어부(221)에 의해 제어된다. 공통 드라이버 제어부(221), 스캔 드라이버 제어부(271), 제어회로(281)는 장치의 외부로부

터 패널 구동 제어부(281A)에 입력되는 수직 동기 신호(도면에서 VSYNC) 및 수평 동기 신호(도면에서 HSYNC), 표시 데이타 제어부(281B)에 입력되는 표시 데이타 신호(도면 DATA) 및 도트 클록(도면에서 CLOCK)에 의해 제어된다. 또한, 도트 클록(CLOCK)에 따라 입력된 표시 데이타 신호(DATA)는 프레임 메모리(281B-1)에 보존된다. Y 스캔 드라이버(27) [제2전극 구동 수단(30B)]는 Y측의 공통 드라이버(22)에 접속되어 있고, 어드레스 방전시의 펄스는 스캔 드라이버(27)에 의해 발생되며, 유지 펄스 등은 Y측의 공통 드라이버(22) [유지 방전 펄스 인가 수단(31)]에 의해 발생되고, 이들 펄스는 Y 스캔 드라이버(27) [제2전극 구동 수단(30B)]를 경유하여 Y전극(208)에 인가된다. Y측의 공통 드라이버(22)는 패널 구동 제어부(281A)에 설치된 공통 드라이버 제어부(221)에 의해 제어되고, Y 스캔 드라이버(27) 및 X 선택 드라이버(23)는 패널 구동 제어부(281A)에 설치된 스캔 드라이버 제어부(271)에 의해 제어된다. 또한, 도 17에 있어서 이미 설명한 것과 동일한 부분에 대해서는 동일 부호를 붙이고, 중복된 설명은 생략한다.

도 4는 도 3의 플라즈마 디스플레이 장치(10)에 있어서의 X전극(207)의 구동회로인 X 선택 드라이버(23) [제1전극 구동 수단(30A)]를 도시하는 블록도이다.

X 공통 드라이버(27) [유지 방전 펄스 인가 수단(31)]는 모든 X전극(207)에 공통으로 인가하는 유지 펄스 [유지 방전 전압(Vs)]등을 생성하도록 X 선택 드라이버(23) [유지 방전 펄스 인가 수단(31)]에 접속되어 있다. X선택 드라이버(23) [제1전극 구동 수단(30A)]는 X 홀수 전극군 및 X 짝수 전극군에 어드레스 기간과 독립적인 전압을 인가하기 위한 회로에 의해 구성되어 있다. X 선택 드라이버(23)와 X 공통 드라이버(27)와는 도 4에 도시된 바와 같이, 스위칭 소자(25)인 FET(전계 효과 트랜지스터)와 다이오드(26)에 의해 각각 구성되어 있다. 또한, X 공통 드라이버(27)와 X 선택 드라이버(23)는 다이오드(26)를 통하여 서로 접속되어 있다.

X 선택 드라이버(23)의 전원 [전원 전압(Vx)](29)은 어드레스 드라이버의 전원(29) [전원 전압(Va)]과 동일하다.

도 5는 도 3의 플라즈마 디스플레이 장치(10)에 있어서의 X전극(207)의 X 선택 드라이버(23)의 동작을 도시하는 타이밍도이다.

어드레스 기간 중의 홀수 전극군에는 FET(25)인 AU1 및 AD1에 의해 선택 전위인 Vx(50 [V])가 인가되어 있다. 이 때, 짝수 라인은 AC2가 ON됨으로써 0 [V]로 고정되어 비선택 전위를 유지한다. 한편, 짝수 라인을 어드레스하는 경우는 AU2, AD2에 의해 짝수인 XD 전극군에 50 [V]가 인가된다. 이때, 홀수 전극군에는 AC1에 의해 0 [V]로 고정되어 있다.

도 6은 도 3의 플라즈마 디스플레이 장치(10)에 있어서의 1 서브 필드 기간의 전극 인가 파형을 도시하는 파형도이다.

제2실시 형태의 구동 방법은 「어드레스/유지 방전 기간 분리형 · 기록 어드레스법」으로서, 이미 종래 기술에서 설명한 방법과 같이, 리셋 기간에 있어서 전면기록 방전 및 전면 자기 소거 방전을 행하기 위한 전압 펄스를 인가하여 방전시킴으로써 전화면 셀의 균일화를 도모하고 있다.

제2실시 형태의 구동 방법에서는 리셋 기간이 종료하여 어드레스 기간으로 들어가면, 도 6에 도시된 바와 같이, 1 라인째로부터 순차적으로 어드레스 방전이 실행된다. 초기 상태로서, 모든 어드레스 전극(209)은 0 [V], 모든 X전극(207)은 0 [V], 또한 모든 Y전극(208)은 -50 [V](-Vsc)의 전압이 부여되고 있다. 1 라인째의 어드레스 사이클에 들어가면, X전극(207)에 50 [V]의 전압(VX), Y전극(208)에는 -150 [V]의 전압[-Y전극(208)의 선택시의 인가 전압(VY)]이 각각 인가되어 있다. 이 선택 라인 상의 셀중에 표시(발광, 유지 방전)를 행하는 셀에 대응하는 어드레스 전극(209)에 전압 50 [V]로 이루어진 어드레스 펄스 [전압(Va)]가 인가되어 있다. 이 선택 셀에 있어서, 어드레스 전극(209)과 Y전극(208)사이의 방전이 야기되고, 계속해서 X전극(207)과 Y전극(208)간에 방전이 이행되며, X전극(207)상의 Mg0막(207D)면에는 마이너스의 벽전하(204)가 축적되고, 동시에 Y전극(208)측의 Mg0막(207D)면에는 마이너스의 벽전하가 축적되며, 그 결과 방전이 끝난다. 또한, 이 때, 어드레스 전극(209)측의 형광체(207F)면에는 마이너스의 벽전하(204)가 형성되어 있다.

또한, 1라인째의 표시가 OFF상태로 2라인째에서 어드레스 방전을 행했을 경우, 2 라인째의 어드레스 사이클에 있어서, 비선택의 X전극(207) [X1 전극(207-1)]의 전위는 0 [V]인 채로 유지된다. 이 때문에, Y1전극(208-1)과 역슬릿을 형성하는 X1 전극(207-1)측에는 마이너스의 벽전하(204)가 형성되지 않고, 또는 축적되어도 미량이기 때문에, X1 전극(207-1)의 표시셀이 유지 방전 개시시에 점등되는 것을 피할 수 있는 효과가 있다.

아래와 같이, 순차 이후의 어드레스 사이클이 행해지며, 전 표시라인의 어드레스가 종료한다.

어드레스가 종료하면, 이어서 유지 방전 기간에 들어가며, 어드레스 방전에 의해 벽전하(204)가 축적된 셀만 유지 방전이 실행된다. 상기 유지 방전은 미리 정해진 사이클만 반복되며, 1 서브 필드의 시퀀스가 종료된다.

이상 설명한 바와 같이, 제2발명에 따르면, 제1실시 형태와 동일하게 어드레스 처리에 있어서, X전극(207)에 대하여 선택시와 비선택시에 각각 다른 구동 파형(전압)을 인가하는 것이 가능해지고, 인접 라인에 벽전하(204)를 축적하기 어려워진다는 효과가 있다. 또한, 선택 라인의 Y전극(208)의 전위인 -150 [V]와, 인접하는 X전극(207)의 비선택 전위인 0 [V]와의 전위차(150 [V])는 역슬릿의 최소 유지 방전 전압(Vsm)에 충족하지 못하기 때문에, 공간 전하가 역슬릿측으로 이동하여도, 방전은 일어나지 않는다는 효과가 있다. 또한, 어드레스 기간을 전반과 후반으로 나누어, 홀수 혹은 짝수의 라인마다 어드레스를 순차적으로 행하므로, X전극(207)의 선택시의 전력을 억제하면서 인접 라인으로의 종(縱)결합을 방지할 수 있고, 미스 어드레스(miss address)가 없는 양호한 표시가 행해진다고 하는 효과가 생긴다. 또한, X전극(207)의 선택 펄스는 어드레스 전극(209)에 인가하는 어드레스 펄스 [전압(Va)]와 동일한 극성 및 전압으로 하기 때문에, 소비 전극 및 회로 구성이 용이해진다는 효과가 생긴다. 또한, X전극(207)측에도 스캔 드라이버를 설치하기 때문에, 보다 효율이 좋게 구동할 수 있다는 효과가 있다.

다음에는, 도면에 기초하여 제3 실시 형태를 설명한다.

도 7은 Y-X-Y-X 배열의 전극 구조를 갖는 3 전극 면방전 교류 구동형 플라즈마 디스플레이 패널(20)을 이용한 제3 실시 형태의 플라즈마 디스플레이 장치(10)에 있어서의 1 서브 필드 기간의 전극 인가 파형을 나타내는 파형도이다. 또한, 제1실시 형태 또는 제2실시 형태에 있어서 이미 기술한 것과 동일한 부분에 대해서는 동일 부호를 붙이고 중복된 설명은 생략한다.

제2실시 형태의 플라즈마 디스플레이 장치(10)의 경우, 홀수 라인의 어드레스를 순차 행하면, 홀수 라인과 관계 없는 라인의 X전극(207)에도 매회 전압(VX)이 인가되게 된다. 이 때문에, 전극간 용량을 매회 충방전하기 때문에 커다란 전력이 소비되고 있다. 또한, 짝수 라인의 어드레스시에 있어서도 동일하다.

따라서, 도 11 및 도 3에 도시된 회로에 의해 동작하는 제3 실시 형태의 플라즈마 디스플레이 장치(10)에서는 어드레스 기간에 있어서, 홀수 라인만 순차 어드레스를 행하고, 계속해서 짝수 라인의 어드레스를 순차 실행함으로써 홀수 라인의 어드레스 기간과 짝수 라인의 어드레스 기간을 분리하는 제어를 실행하고 있다. 이것에 의해, 여분의 스위칭 횟수를 줄이고, 그 결과 전력을 삭감할 수 있는 효과가 생긴다.

이상 설명한 바와 같이, 제3 발명에 따르면 제1실시 형태와 동일하게 어드레스 처리에 있어서, X전극(207)에 대하여 선택시와 비선택시로 각각 다른 구동파형(전압)을 인가하는 것이 가능해지고, 인접 라인에 벽전하(204)를 축적하기 어려워진다는 효과가 생긴다. 또한, 선택 라인의 Y전극(208)의 전위인 -150 [V]와, 인접하는 X전극(207)의 비선택 전위인 0 [V]와의 전위차(150 [V])는 역슬릿의 최소 유지 방전 전압(Vsm)에 충족하지 못하기 때문에, 공간 전하가 역슬릿측으로 이동하여도 방전은 일어나지 않는다는 효과가 생긴다. 또한, 어드레스 기간을 전반과 후반으로 나누어 홀수 혹은 짝수의 라인마다 어드레스를 순차 행하므로, X전극(207)의 선택시의 전력을 억제하면서, 인접 라인으로의 종(縱)결합을 방지할 수 있으며, 미스 어드레스가 없는 양호한 표시가 행해진다고 하는 효과가 생긴다. 또한, X전극(207)의 선택 펄스는 어드레스 전극(209)에 인가하는 어드레스 펄스 [전압(Va)]와 동일한 극성 및 전압으로 하기 때문에, 소비 전극 및 회로의 작성이 용이해진다는 효과가 생긴다. 또한, X전극(207)측에도 스캔 드라이버를 설치하기 때문에 보다 효율이 좋게 구동할 수 있는 효과가 생긴다.

다음에는, 도면에 기초하여 제4 실시 형태를 설명한다.

도 8은 Y-X-Y-X 배열의 전극 구조를 갖는 3전극 면방전 교류 구동형 플라즈마 디스플레이 패널(20)을 이용한 제4 실시 형태의 플라즈마 디스플레이 장치(10)에 있어서의 1 서브 필드 기간의 전극 인가 파형을 나타내는 파형도이다. 또한, 제1실시 형태 내지 제3 실시 형태에 있어서 이미 설명한 것과 동일한 부분에 대해서는 동일한 부호를 붙이고 중복된 설명은 생략하기로 한다.

제4 실시 형태의 플라즈마 디스플레이 장치(10)에서는 어드레스 기간의 X전극(207), Y전극(208) 및 어드레스 전극(209)의 비선택 전위는 전부 0 [V]로 제어되고, 어드레스 전극(209)에 인가하는 어드레스 펄스 [전압(Va)]는 100 [V], X 선택 전위는 100 [V], Y전극(208)의 스캔 펄스는 -100 [V]로 제어된다. 또한, 비선택 전극 전위는 모두 0 [V]로 제어되며, 선택 전압도 0 [V]를 기준으로 양극성과도 동일한 진폭으로 제어되고 있기 때문에, OFF 상태인 셀에 대하여 악영향을 거의 발생시키지 않는 효과가 있다.

상기 설명한 바와 같이, 제4 발명에 따르면, 제1실시 형태와 동일하게 어드레스 처리에 있어서, X전극(207)에 대하여 선택시와 비선택시에 각각 다른 구동 파형(전압)을 인가하는 것이 가능해지고, 인접 라인에 벽전하(204)를 축적하기 어려워진다는 효과가 있다. 또한, 선택 라인의 Y전극(208)의 전위인 -150 [V]와, 인접하는 X전극(207)의 비선택 전위인 0 [V]와의 전위차(150 [V])는 역슬릿의 최소 유지 방전 전압(Vsm)에 충족하지 못하기 때문에, 공간 전하가 역슬릿측으로 이동하여도 방전은 일어나지 않는다는 효과가 있다. 또한, 어드레스 기간을 전반과 후반으로 나누어, 홀수 혹은 짝수의 라인마다 어드레스를 순차적으로 행하므로, X전극(207)의 선택시의 전력을 억제하면서, 인접 라인으로의 종(縱)결합을 방지할 수 있으며, 미스 어드레스가 없는 양호한 표시가 행해진다고 하는 효과가 있다. 또한, X전극(207)의 선택 펄스는 어드레스 전극(209)에 인가하는 어드레스 펄스 [전압(Va)]와 동일한 극성 및 전압으로 하기 때문에, 소비 전극 및 회로의 작성이 용이해진다는 효과가 있다. 또한, X전극(207)측에도 스캔 드라이버를 설치하기 때문에, 보다 효율이 좋게 구동할 수 있다는 효과가 있다.

다음에는, 도면에 기초하여 제5 실시 형태를 설명한다.

도 9는 Y-X-Y-X 배열의 전극 구조를 갖는 3 전극 면방전 교류 구동형 플라즈마 디스플레이 패널(20)을 이용한 제5 실시 형태의 플라즈마 디스플레이 장치(10)에 있어서의 구동 회로를 도시하는 주요 부분의 블록도이다. 또한, 제1실시형태 내지 제4 실시 형태에 있어서 이미 설명한 것과 동일한 부분에 대해서는 동일한 부호를 붙이고 중복된 설명은 생략하기로 한다.

도 9는 본 발명의 제5 실시 형태로서, 도 17의 종래의 플라즈마 디스플레이장치 및 도 3의 플라즈마 디스플레이 장치(10)와의 차이는 X전극(207)이 X 스캔 드라이버(27) [제1전극 구동 수단(30A)]에 의해 구동되며, Y전극(208)이 Y스캔 드라이버(27) [제2전극 구동 수단(30B)]에 의해 구동되는 점이다. X전극(207)은 표시라인마다 독립적으로 X 스캔 드라이버(27)에 접속되며, 또한, X 공통 드라이버(27) 접속되어 있다. Y전극(208)측은 종래와 동일하게 Y 스캔 드라이버 [제2전극 구동 수단(30B)]과 Y 공통 드라이버 [제2전극 구동 수단(30B)]에 접속되어 있다.

Y 스캔 드라이버(27)에 의해 표시 라인이 선택된 타이밍에 동기하여, X 스캔 드라이버(27)가 X 전극(207)에 선택 전위인 Vx를 인가할 수 있다.

또한, 본 실시 형태에 있어서는 X전극(207)의 선택 전위인 50 [V]는 어드레스 전극(209)에 인가하는 어드레스 펄스 [전압(Va)]의 전압과 동일하다.

도 10은 도 9의 플라즈마 디스플레이 장치(10)에 있어서의 1 서브 필드 기간의 전극 인가 파형을 나타내는 파형도이다.

1 라인째의 어드레스가 행해지는 경우, Y1 전극(208-1)에 Y전극(208)의 선택시의 인가 전압(VY)(-150

[V])로 이루어진 스캔 펄스가 인가되는 동시에, X1 전극(207-1)에는 Vx(50 [V])의 X 스캔 펄스가 인가되어 있다. 한편, 비선택 라인의 X전극(207)은 모두 0 [V]로 유지되어 있다.

이상 설명한 바와 같이, 제5 발명에 따르면 제1실시 형태와 동일하게 어드레스 처리에 있어서, X전극(207)에 대하여 선택시와 비선택시에 각각 다른 구동파형(전압)을 인가하는 것이 가능하고, 인접 라인에 벽전하(204)를 축적하기 어려워진다는 효과가 생긴다. 또한, 선택 라인의 Y전극(208)의 전위인 -150 [V]와, 인접하는 X전극(207)의 비선택 전위인 0 [V]와의 전위차(150 [V])는 역슬릿의 최소 유지 방전 전압(Vsm)에 충족하지 못하기 때문에, 공간 전하가 슬릿측으로 이동하여도, 방전은 일어나지 않는다는 효과가 생긴다. 또한, X전극(207)의 선택 펄스는 어드레스 전극(209)에 인가하는 어드레스 펄스 [전압(Va)]와 동일한 극성 및 전압으로 하기 때문에, 소비 전극 및 회로의 작성이 용이해진다는 효과가 있다. 또한, X전극(207)측에도 스캔 드라이버를 설치하기 때문에, 보다 효율이 좋게 구동할 수 있다는 효과가 있다.

다음에는, 도면에 기초하여 제6 실시 형태를 설명하기로 한다.

도 11은 본 발명의 제6 실시의 형태의 구동 방법에 따른 어드레스 방전의 메카니즘을 설명하기 위한 도면이다. 도 12는 Y-X-X-Y 배열의 전극 구조를 갖는 3 전극 면방전 교류 구동형 플라즈마 디스플레이 패널(20)을 이용한 본 발명의 제6 실시 형태의 플라즈마 디스플레이 장치(10)에 있어서의 1 서브 필드 기간의 전극인가 파형을 나타내는 파형도이다. 또한, 제1실시 형태 내지 제5 실시 형태에 있어서 이미 설명한 것과 동일한 부분에 대해서는 동일 부호를 붙이고 중복된 설명은 생략하기로 한다.

제 6 실시 형태의 구동 방법에서는 어드레스 기간의 전반에 있어서, 홀수 라인이 순차 선택되어 어드레스 방전이 행해진다. 모든 홀수 라인의 어드레스 방전이 종료한 시점에서 Y전극(208)측으로부터 유지 펄스[유지 방전 전압(Vs)]가 인가되고 있다. 이것에 의해, 홀수 라인으로 어드레스 방전이 행해진 셀은 유지 방전이 행해져 역극성의 벽전하(204)가 형성되고 있다(도 11 참조). 그 후, 전반의 어드레스 기간에 있어서, 짝수 라인의 어드레스 방전이 행해지지만, 짝수 라인의 Y전극(208)에 인접하는 홀수 라인의 Y전극(208)상의 벽전하(204)는 마이너스이기 때문에, Y전극(208)간의 방전에 이르는 일은 생기지 않는다.

발명의 효과

이상 설명한 바와 같이, 본 발명의 플라즈마 디스플레이 패널 구동 방법 및 이 구동 방법을 이용한 플라즈마 디스플레이 장치에 따르면, 비선택시의 X전극을 선택시의 X전극의 전위보다 낮은 전위로 하고 있기 때문에 어드레스 방전을 행하는 셀로부터 공간 전하의 튕겨짐이 적고, 그 결과 비선택 라인임에도 불구하고 방전을 행하거나, 벽전하를 축적하는 미스 방전을 일으키는 사태를 피할 수 있다. 이렇게 함으로써, 셀의 피치가 작고 역슬릿이 좁은 플라즈마 디스플레이 패널에 있어서도 안정한 어드레스 방전을 행하는 것이 가능해진다.

이것에 의해, 플라즈마 디스플레이 패널의 제조가 용이해지고, 또한 고휘도화나 고정밀화가 가능해지며, 그 결과 비용 절감이 높은 플라즈마 디스플레이 장치를 실현할 수 있다.

(57) 청구의 범위

청구항 1

한 쌍의 기판 사이에 표시라인 마다 인접하여 배치된 제1및 제2전극과, 이 제1및 제2전극과 교차하도록 배치된 제3 전극을 구비하며, 상기 제2전극과 상기 제3 전극에 의해 선택된 표시셀에 어드레스 방전을 실행하여 정보의 기록을 실행함과 동시에, 상기 어드레스 방전에 의해 기록된 정보에 따라 상기 제1및 제2전극에서의 유지 방전을 실행하여 해당 정보의 표시를 행하는 플라즈마 디스플레이 패널 구동 방법에 있어서, 상기 어드레스 방전을 행할 때, 상기 제1전극의 전위를 선택/비선택으로 제어함으로써, 유지 방전을 행하는 측의 전극인 제2갭을 통해 인접하는 상기 제1전극과 선택된 제2전극과의 전위차인 선택 전위보다도 유지 방전을 행하지 않는 측의 전극인 제1갭을 통해 인접하는 상기 제1전극과 그 선택된 상기 제2전극과의 전위차인 비선택 전위가 작아지도록 어드레스 방전을 제어하는 것을 특징으로 하는 플라즈마 디스플레이 패널 구동 방법.

청구항 2

제1항에 있어서, 상기 어드레스 방전을 행할 때 상기 제1갭에서 최소의 유지 전압 미만으로 상기 비선택 전위가 되도록 어드레스 방전을 제어하는 것인 플라즈마 디스플레이 패널 구동 방법.

청구항 3

제1항에 있어서, 어드레스 기간의 전반에서 순차로 상기 제2전극을 선택하여 상기 표시라인 중의 홀수 또는 짝수의 어느 한 쪽을 표시라인군으로서 상기 어드레스 방전을 실행함과 동시에, 어드레스 기간의 후반에 다른 쪽 표시라인군의 어드레스 방전을 실행할 때 어드레스 기간의 전반에서는 상기 한쪽 표시라인군의 제1전극군을 상기 선택 전위로 설정하고, 다른 쪽 표시라인군의 제1방전군을 상기 비선택 전위로 설정함과 동시에 어드레스 기간의 후반에서는 다른 쪽 표시라인의 제1전극군은 선택전위로 하여 한쪽의 제1전극군을 비선택 전위로 설정하는 것인 플라즈마 디스플레이 패널 구동 방법.

청구항 4

제1항에 있어서, 상기 어드레스 기간 중에 상기 제1전극 선택시의 제1전극 전압은 접지전위를 기준으로 정극성의 전압이고, 상기 제2전극 선택시의 제2전극 전압은 접지전위를 기준으로 부극성의 펄스에 의해 가해지며, 상기 제3 전극 선택시의 제3 전극의 전압은 접지전위를 기준으로 정극성의 펄스에 의해 가해지는 것인 플라즈마 디스플레이 패널 구동 방법.

청구항 5

제4항에 있어서, 상기 어드레스 기간 중에 상기 제1전극 선택시의 전압을 상기 제3 전극 선택시의 전압과 동일하게 설정하는 것인 플라즈마 디스플레이 패널 구동 방법.

청구항 6

제4항에 있어서, 상기 어드레스 기간 중에 상기 제1전극 비선택시의 전압을 상기 제3 전극 비선택시의 전압과 동일하게 설정하는 것인 플라즈마 디스플레이 패널 구동 방법.

청구항 7

제6항에 있어서, 상기 어드레스 기간 중에 상기 제1전극 비선택시의 전압과 상기 제3 전극 비선택시의 전압을 상기 접지전위로 설정하는 것인 플라즈마 디스플레이 패널 구동 방법.

청구항 8

제4항에 있어서, 상기 어드레스 방전을 행할 때에 인가하는 상기 제1및 제2전극간의 전위차의 약 1/2을 상기 제1전극의 선택 전위로서 인가하고, 해당 선택 전위의 역극성 전위의 약 1/2을 상기 제2전극 상기 선택 전위인 스캔 펄스로서 인가하는 것인 플라즈마 디스플레이 패널 구동 방법.

청구항 9

제4항에 있어서, 상기 어드레스 기간 중에 상기 제1, 제2및 제3 전극의 비선택시의 전위를 상기 접지전위로 설정하는 것인 플라즈마 디스플레이 패널 구동 방법.

청구항 10

제1항에 있어서, 상기 어드레스 기간 중에 상기 전체 표시라인을 순차로 1라인마다 선택하여 상기 어드레스 방전을 행하는 경우, 상기 제2전극을 선택하는 상기 스캔 펄스를 인가하는 타이밍과 거의 동일한 위상에서 상기 제1전극에 상기 선택 전위를 가하는 것인 플라즈마 디스플레이 패널 구동 방법.

청구항 11

한 쌍의 기판 사이에 표시라인 마다 인접하여 배치된 제1및 제2전극과, 상기 제1및 제2전극과 교차하도록 배치된 제3 전극을 구비하며, 상기 제2전극과 상기 제3 전극에 의해 선택된 표시셀에 어드레스 방전을 실행하여 정보의 기록을 실행함과 동시에, 상기 어드레스 방전에 의해 기록된 정보에 따라 상기 제1및 제2전극에서의 유지 방전을 실행하여 해당 정보의 표시를 행하는 플라즈마 디스플레이에 있어서, 상기 어드레스 방전을 행할 때에, 상기 제1전극의 전위를 선택/비선택으로 제어함으로써 유지 방전을 행하는 측의 전극인 제2갭을 통해 인접하는 상기 제1전극과 선택된 제2전극과의 전위차인 선택 전위보다도 유지 방전을 행하지 않는 측의 전극인 제1갭을 통해 인접하는 상기 제1전극과 그 선택된 상기 제2전극과의 전위차인 비선택 전위가 작아지도록 어드레스 방전을 제어하는 제1전극 구동수단을 구비하는 것을 특징으로 하는 플라즈마 디스플레이 장치(10).

청구항 12

한 쌍의 기판 사이에 표시라인마다에 평행하게 그리고 교대로 배치된 상기 제1및 제2전극과, 상기 제1및 제2전극과 교차하도록 배치된 제3 전극을 구비하며, 유지 방전을 행하지 않는 측의 상기 제1전극과 제2전극과의 전극 간격인 제1갭이 유지 방전을 행하는 측의 전극 간격인 제2갭보다 넓게 형성된 플라즈마 디스플레이 장치에 있어서, 상기 제1전극을 구동하는 구동회로는, 어드레스 기간 중에 상기 제1전극에 선택 전위 또는 비선택 전위를 가해 전체 표시라인의 홀수인 제1전극군을 구동하는 제1선택 드라이버와, 상기 어드레스 기간 중에 상기 홀수의 제1전극군의 구동에 이어 전체 표시라인의 짝수인 제1전극군을 구동하는 제2선택 드라이버와, 상기 어드레스 기간 다음의 유지방전 기간중에 전체 상기 제1전극에 상기 유지 방전의 펄스를 공급하는 공통 드라이버를 구비하는 것을 특징으로 하는 플라즈마 디스플레이 장치.

청구항 13

제11항 또는 제12항에 있어서, 상기 제1선택 드라이버 및 상기 제2선택 드라이버는 푸시풀 구성의 스위칭 소자로 구성되어 있는 것인 플라즈마 디스플레이 장치.

청구항 14

제13항에 있어서, 상기 제1선택 드라이버 및 상기 제2선택 드라이버 각각은 상기 제1전극에 상기 선택 전위를 부여하는 제1스위칭 소자와, 상기 제1전극의 전위를 상기 선택 전위로 끌어들이는 제2스위칭 소자와, 상기 제1전극의 전위를 상기 비선택 전위로 고정하는 제3 스위칭 소자를 구비하는 것인 플라즈마 디스플레이 장치.

청구항 15

제11항 또는 제12항에 있어서, 상기 플라즈마 디스플레이 패널의 상기 제1전극에 상기 유지 방전 펄스를 공급하는 상기 공통 드라이버는 각각이 분리된 전류의 유입 경로와 공급 경로를 가지며, 상기 제1선택 드라이버, 상기 제2선택 드라이버 및 상기 제1전극군에 다이오드를 통해 각각 접속되어 있는 것인 플라즈마 디스플레이 장치.

청구항 16

제15항에 있어서, 상기 공통 드라이버의 상기 전류 공급 경로에 상기 제1전극에 대해 순방향으로 제1및 제2다이오드가 접속되고, 상기 제1전극에 대해 역방향의 상기 전류 유입 경로에 제3 및 제4 다이오드가 접속되고, 상기 제1및 제3 다이오드가 제1전극에 접속하는 측에 제1선택 회로가 접속되고, 상기 제2및 제4 다이오드가 상기 제1전극에 접속하는 측에 제2선택 회로가 접속되어 있는 것인 플라즈마 디스플레이 장

치.

청구항 17

제11항 또는 제12항에 있어서, 제2슬릿측에 인접한 상기 제1전극에 제공되는 전압보다 낮은 전압을 상기 어드레스 방전을 행하기 위해 선택된 상기 제2전극에 인접하는 제1슬릿측의 상기 제1전극에 선택 드라이버를 이용해 가하는 것인 플라즈마 디스플레이 장치.

청구항 18

제11항 또는 제12항에 있어서, 상기 어드레스 기간의 전반에 홀수 또는 짝수의 표시라인의 한 쪽의 제1전극군에 상기 제1선택 드라이버 또는 상기 제2선택 드라이버를 이용해 상기 선택 전위를 가함과 동시에 다른 쪽의 상기 제1전극군에 상기 비선택 전위를 가하여 상기 한 쪽의 제1전극군에서 상기 어드레스 방전을 순차 실행한 후에 상기 한 쪽의 제1전극군에 상기 비선택 전위를 부여함과 동시에 상기 다른 쪽 제1전극군에 상기 선택 전위를 가하고, 상기 다른 쪽의 제1전극군에서 상기 어드레스 방전을 순차 실행한 후에 상기 공통 드라이버로부터 전체 상기 제1전극에 유지 방전 펄스를 공급하여 유지 방전을 실행해 표시 발광을 행하는 것인 플라즈마 디스플레이 장치.

청구항 19

제11항 또는 제12항에 있어서, 상기 제1선택 드라이버 및 상기 제2선택 드라이버의 전원은 상기 제3 전극을 구동하는 어드레스 드라이버의 전원과 공통인 것인 플라즈마 디스플레이 장치.

청구항 20

제11항 또는 제12항에 있어서, 상기 플라즈마 디스플레이 패널은 상기 제1전극과 상기 제2전극 사이에서 상기 유지 방전을 행하지 않는 측의 전극 간격인 제1갭을 상기 유지 방전을 행하는 측의 전극 간격인 제2갭에 대해 2배 이내로 설정하는 것인 플라즈마 디스플레이 장치.

청구항 21

한 쌍의 기판 사이에 표시라인마다에 평행하게 그리고 교대로 배치된 상기 제1및 제2전극과, 상기 제1및 제2전극과 교차하도록 배치된 제3 전극을 구비하며, 유지 방전을 행하지 않는 측의 상기 제1전극과 제2전극과의 전극 간격인 제1갭이 유지 방전을 행하는 측의 전극 간격인 제2갭보다 넓게 형성되며, 상기 제2전극과 상기 제3 전극에 의해 선택된 표시셀에 어드레스 방전을 실행하여 정보의 기록이 실행됨과 동시에 상기 어드레스 방전에 의해 기록된 정보에 따라 상기 제1및 제2전극에서 유지 방전이 실행되어 정보의 표시가 실행되는 플라즈마 디스플레이 패널을 구비한 플라즈마 디스플레이 장치에 있어서, 제1전극을 구동하는 구동회로는, 어드레스 기간에 상기 제1전극에 선택 또는 비선택의 전압을 부여하기 위해 상기 제1전극마다 설치된 스캔 드라이버와, 상기 어드레스 기간 다음의 유지 방전 기간에 전체 상기 제1전극에 상기 유지 방전을 위한 펄스를 공급하는 공통 드라이버를 구비하는 것을 특징으로 하는 플라즈마 디스플레이 장치.

청구항 22

제21항에 있어서, 상기 제1전원을 구동하는 스캔 드라이버의 전원은 상기 제3 전극을 구동하는 어드레스 드라이버의 전원과 공통인 것은 플라즈마 디스플레이 장치.

청구항 23

제21항에 있어서, 상기 플라즈마 디스플레이 패널은 상기 제1전극과 상기 제2전극의 사이에서 상기 유지 방전이 실행되지 않는 측의 전극 간격인 제1갭을 상기 유지 방전이 실행되는 측의 전극 간격인 제2갭에 대해 2배 이내로 설정하는 것인 플라즈마 디스플레이 장치.

청구항 24

한 쌍의 기판 사이에 표시라인마다에 평행하게 배치된 제1및 제2전극과, 상기 제1및 제2전극과 교차하도록 배치된 제3 전극을 구비하며, 상기 제1전극과 제2전극이 표시라인마다 다른 순번으로 교대로 배치되며, 유지 방전을 행하는 측의 제1전극과 제2전극과의 간격인 제2갭에 대해 유지 방전을 행하지 않는 측의 상기 제1전극끼리의 간격 도는 제2전극끼리의 간격인 제1갭이 넓게 형성된 플라즈마 디스플레이 패널에 대해 상기 제2전극과 상기 제3 전극에 의해 선택된 표시셀에 어드레스 방전을 실행하여 정보의 기록을 실행함과 동시에 어드레스 방전에 의해 기록된 정보에 따라 상기 제1및 제2전극에서 유지 방전을 실행하여 정보의 표시를 행하는 플라즈마 디스플레이 패널의 구동 방법에 있어서, 상기 어드레스 방전을 행할 때, 어드레스 기간의 전반에서 전체 표시라인 중의 홀수 또는 짝수의 표시라인인 제2전극군의 한 쪽을 순차 선택하여 어드레스 방전을 실행함과 동시에 유지 방전 펄스를 인가하며 상기 전반의 어드레스 기간에서 상기 어드레스 방전을 실행하는 표시셀에 대해 상기 유지 방전을 실행하고, 상기 어드레스 기간의 후반에서 상기 전반의 어드레스 기간에서 선택되지 않았던 다른 쪽의 제2전극군을 순차 선택하여 어드레스 방전을 실행한 후 전체 제1및 제2전극에 교대로 상기 유지 방전 펄스를 인가해 상기 유지 방전을 실행하는 것을 특징으로 하는 플라즈마 디스플레이 패널 구동 방법.

청구항 25

제24항에 있어서, 상기 어드레스 기간의 전반과 후반과의 사이에 인가되는 상기 유지 방전 펄스는 상기 어드레스 방전의 실행시의 상기 제1및 제2전극에 인가되는 전압 파형에 대해 역극성인 펄스 모양의 전압 파형을 갖는 것인 플라즈마 디스플레이 패널 구동 방법.

청구항 26

제24항에 있어서, 상기 어드레스 기간의 전반과 후반과의 사이에 인가되는 상기 유지 방전 펄스 및 상기

유지 방전의 실행 기간의 시작인 유지 방전 펄스는 상기 어드레스 방전의 실행시의 상기 제1및 제2전극 사이에 인가되는 전압 파형에 대해 역극성이 되는 펄스 모양의 전압 파형을 갖는 것인 플라즈마 디스플레이 패널 구동 방법.

청구항 27

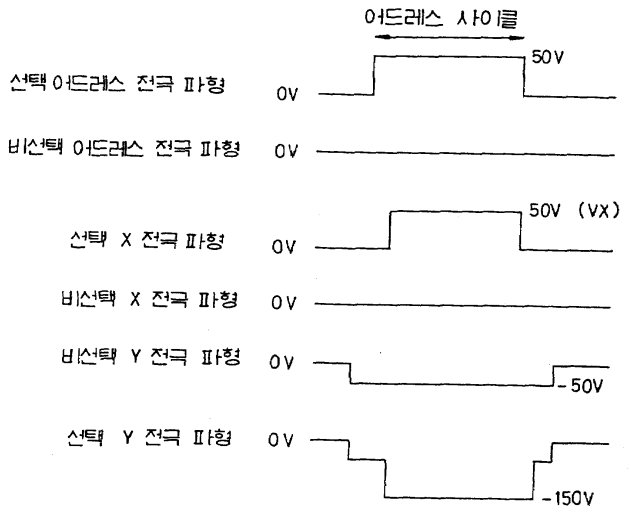
한 쌍의 기판 사이에 표시라인마다에 평행하게 배치된 제1및 제2전극과, 상기 제1및 제2전극과 교차하도록 배치된 제3 전극을 구비하며, 상기 제1전극과 제2전극이 표시라인마다 다른 순번으로 교대로 배치되며, 유지 방전을 행하는 측의 제1전극과 제2전극과의 간격인 제2갭에 대해 유지 방전을 행하지 않는 측의 상기 제1전극끼리의 간격 또는 제2전극끼리의 간격인 제1갭이 넓게 형성된 플라즈마 디스플레이 패널에 대해 상기 제2전극과 상기 제3전극에 의해 선택된 표시셀에 어드레스 방전을 실행하여 정보의 기록을 실행함과 동시에 어드레스 방전에 의해 기록된 정보에 따라 상기 제1및 제2전극에서 유지 방전을 실행하여 정보의 표시를 행하는 플라즈마 디스플레이 장치에 있어서, 상기 어드레스 방전을 행할 때에 전반의 어드레스 기간에서 전체 표시라인 중의 홀수 또는 짝수의 표시라인인 제2전극군의 한 쪽을 순차 선택하여 어드레스 방전을 실행하여 유지 방전을 위한 펄스를 인가함과 동시에 상기 전반의 어드레스 기간에서 상기 어드레스 방전을 실행한 표시셀에 대해 상기 유지 방전을 실행하고, 후반의 어드레스 기간에서 상기 전반의 어드레스 기간에서 선택되지 않았던 다른 쪽의 제2전극군을 순차 선택하여 어드레스 방전을 실행하는 구동 수단과, 전체 제1 및 제2전극에 교대로 상기 유지 방전 펄스를 인가해 상기 유지 방전을 실행하는 수단을 구비하는 것을 특징으로 하는 플라즈마 디스플레이 장치.

청구항 28

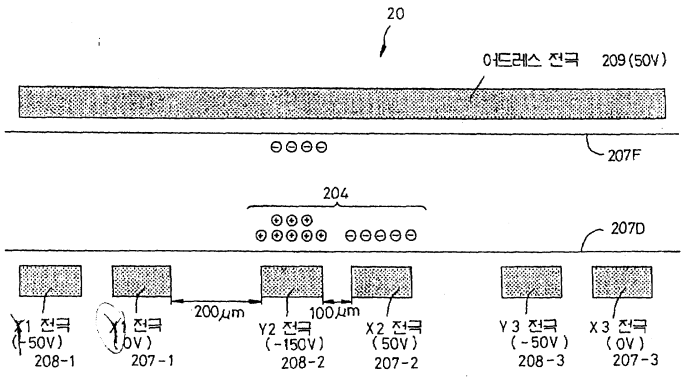
제27항에 있어서, 상기 플라즈마 디스플레이 패널은 상기 유지 방전을 실행하지 않는 측의 제1전극끼리의 간격 또는 제2전극끼리의 간격인 제1갭이 상기 유지 방전을 행하는 측의 전극 간격인 제2갭에 대해 1배 이상에서 2배 이내로 설정되어 있는 것은 플라즈마 디스플레이 장치.

도면

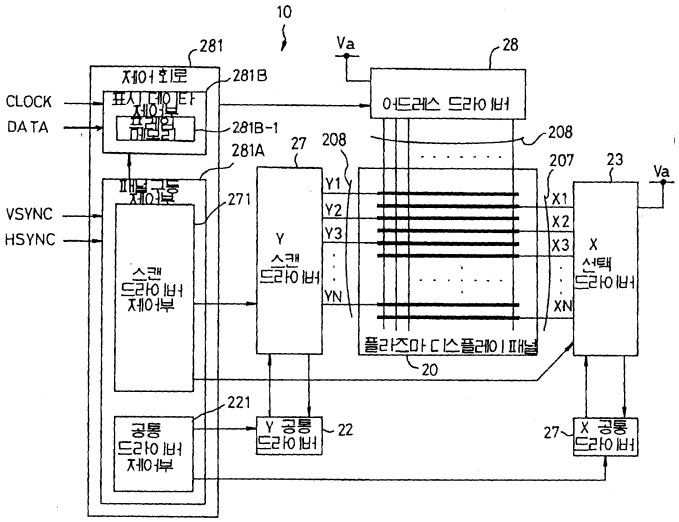
도면1



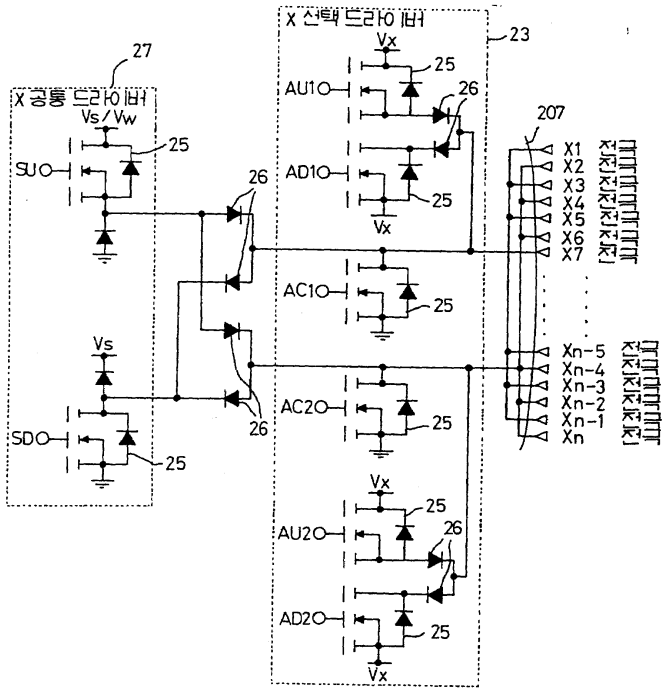
도면2



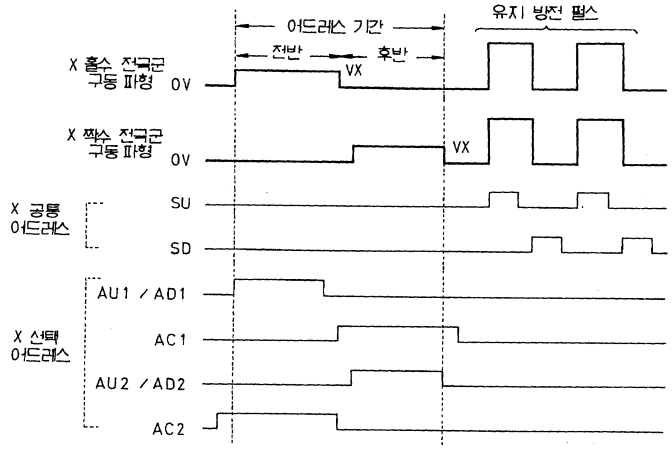
도면3


10
281
Va
28
제어회로
281B
CLOCK
DATA
표시 데이타 제어부
프레임 메모리
281B-1
어드레스 드라이버
208
281A
27
208
207
23
Va
패널구동 제어부
271
VSYNC
HSYNC
스캔 드라이버 제어부
Y 스캔 드라이버
Y1
Y2
Y3
YN
X1
X2
X3
XN
X 선택 드라이버
플라즈마 디스플레이 패널
20
221
공통 드라이버 제어부
Y 공통 드라이버
22
27
X 공통 드라이버

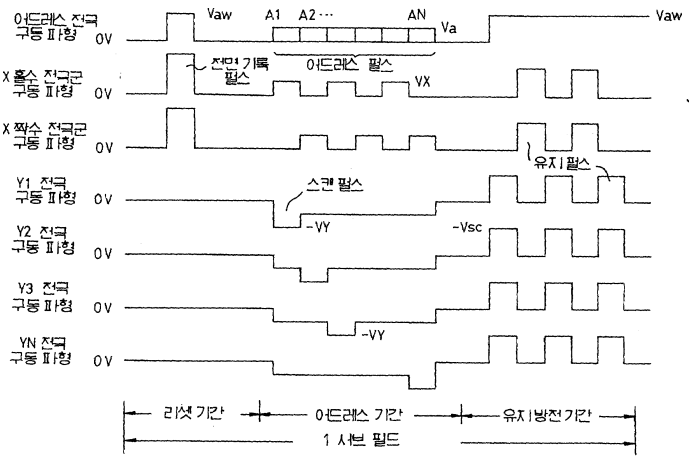
도면4


X 선택 드라이버
23
27
X 공통 드라이버
Vs/Vw
25
SU
26
Vx
AU1
AD1
AC1
AC2
AU2
AD2
207
X1 전극
X2 전극
X3 전극
X4 전극
X5 전극
X6 전극
X7 전극
Xn-5 전극
Xn-4 전극
Xn-3 전극
Xn-2 전극
Xn-1 전극
Xn 전극
Vs
SD

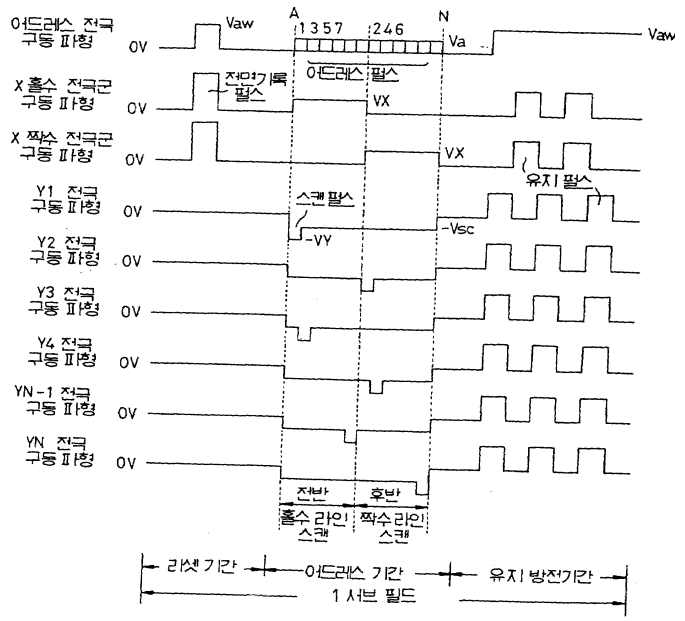
도면5


어드레스 기간
유지 방전 펄스
전반
후반
X 홀수 전극군 구동 파형
0V
VX
X 짝수 전극군 구동 파형
0V
VX
X 공통 어드레스
SU
SD
X 선택 어드레스
AU1 / AD1
AC1
AU2 / AD2
AC2

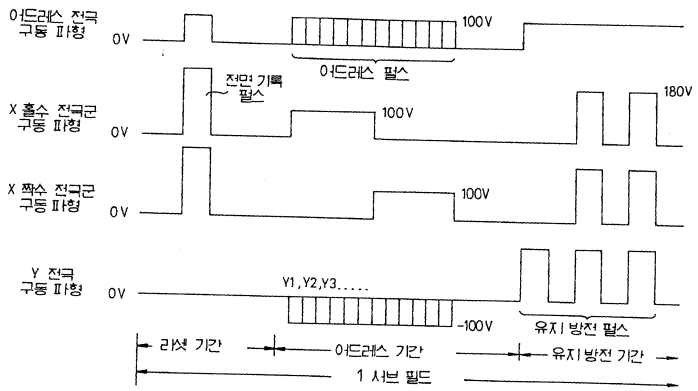
도면6


어드레스 전극 구동 파형
0V
Vaw
A1
A2···
AN
Va
Vaw
X 홀수 전극군 구동 파형
전면기록 펄스
어드레스 펄스
VX
X 짝수 전극군 구동 파형
유지펄스
Y1 전극 구동 파형
스캔 펄스
-VY
Y2 전극 구동 파형
-Vsc
Y3 전극 구동 파형
YN 전극 구동 파형
리셋기간
어드레스 기간
유지방전기간
1 서브 필드

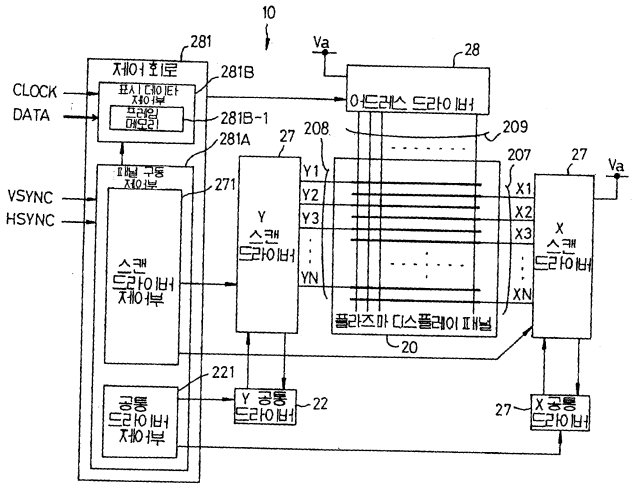
도면7


어드레스 전극 구동 파형
0V
Vaw
A
1357
246
N
Va
Vaw
X 홀수 전극군 구동 파형
전면기록 펄스
어드레스 펄스
VX
X 짝수 전극군 구동 파형
유지펄스
Y1 전극 구동 파형
스캔 펄스
-VY
-Vsc
Y2 전극 구동 파형
Y3 전극 구동 파형
Y4 전극 구동 파형
YN-1 전극 구동 파형
YN 전극 구동 파형
전반
후반
홀수 라인 스캔
짝수 라인 스캔
리셋기간
어드레스 기간
유지방전기간
1 서브 필드

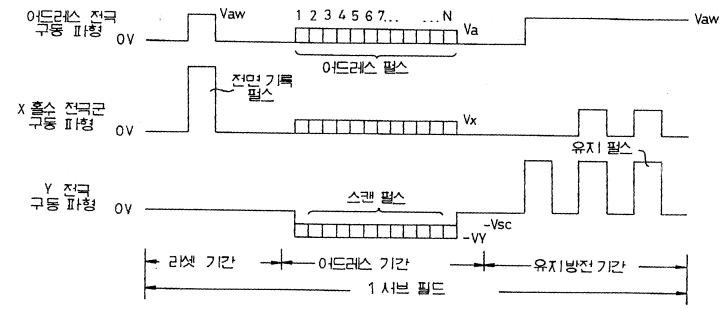
도면8


어드레스 전극 구동 파형
0V
100V
어드레스 펄스
전면 기록 펄스
X 홀수 전극군 구동 파형
180V
X 짝수 전극군 구동 파형
Y 전극 구동 파형
Y1,Y2,Y3.....
-100V
유지 방전 펄스
리셋 기간
어드레스 기간
유지방전 기간
1 서브 필드

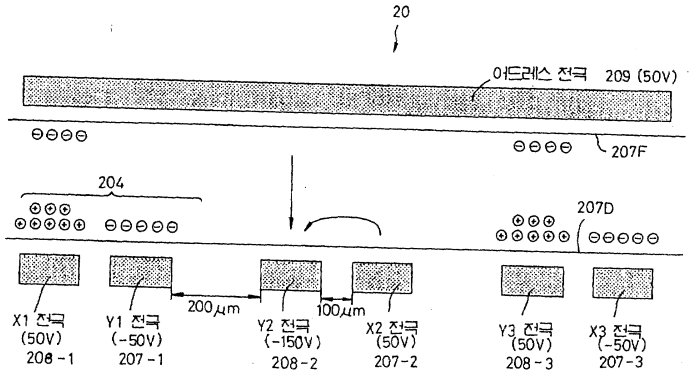
도면9


10
281
제어회로
281B
CLOCK
DATA
표시 데이터 제어부
프레임 메모리
281B-1
281A
패널 구동 제어부
271
VSYNC
HSYNC
스캔 드라이버 제어부
Va
28
어드레스 드라이버
209
208
207
27
Y1
Y2
Y3
YN
X1
X2
X3
XN
Y 스캔 드라이버
X 스캔 드라이버
플라즈마 디스플레이 패널
20
221
공통 드라이버 제어부
Y 공통 드라이버
22
X 공통 드라이버

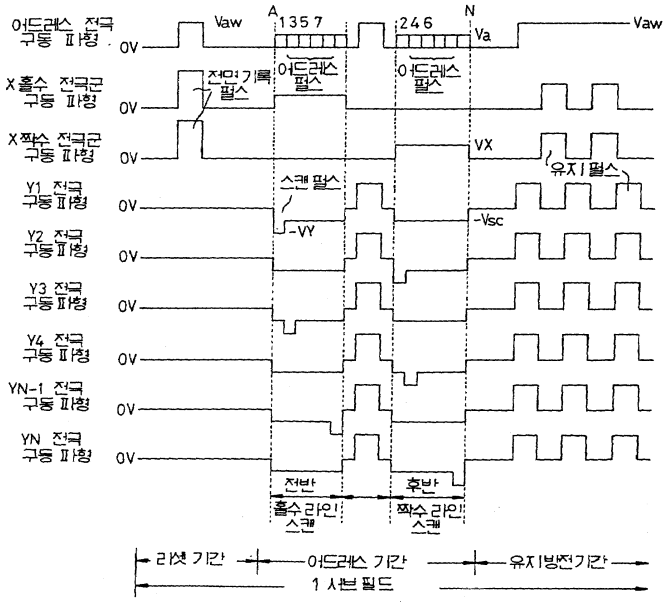
도면10


어드레스 전극 구동 파형
0V
Vaw
1 2 3 4 5 6 7... ...N
Va
어드레스 펄스
전면 기록 펄스
X 홀수 전극군 구동 파형
Vx
유지 펄스
Y 전극 구동 파형
스캔 펄스
-Vsc
-VY
리셋 기간
어드레스 기간
유지방전 기간
1 서브 필드

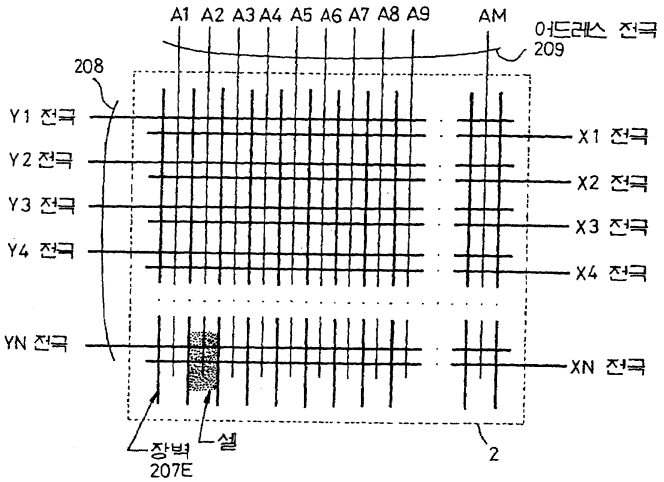
도면11



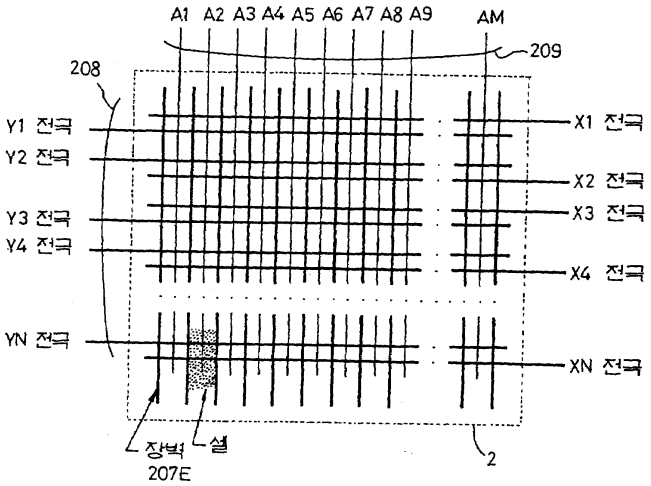
도면12



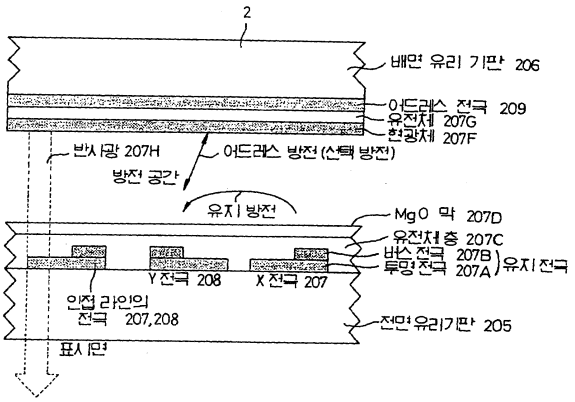
도면13



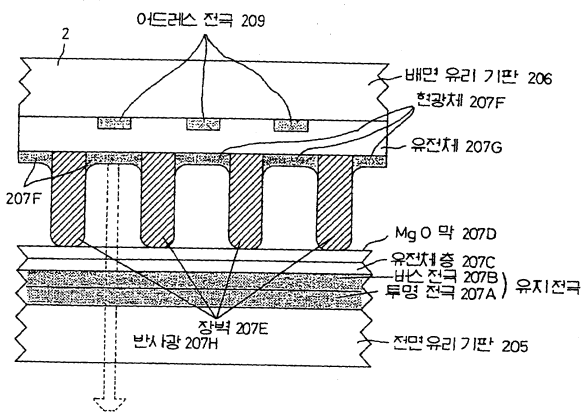
도면14



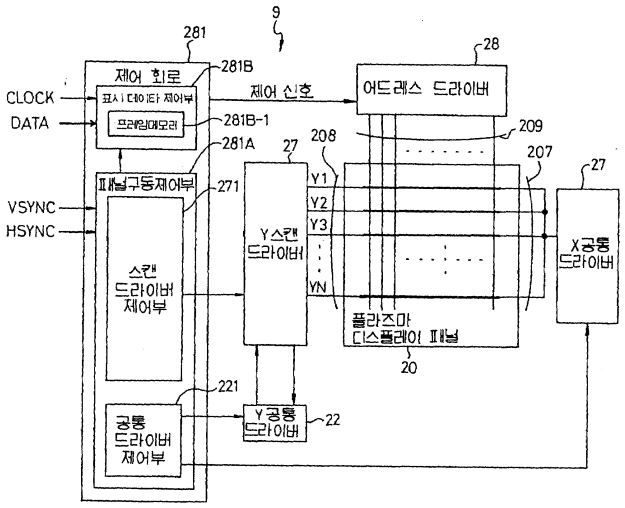
도면15



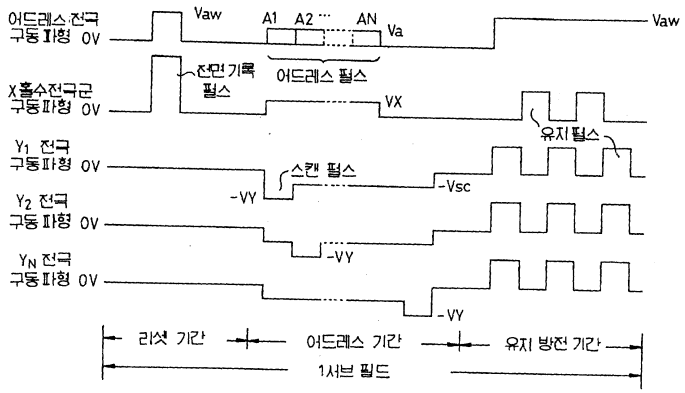
도면16



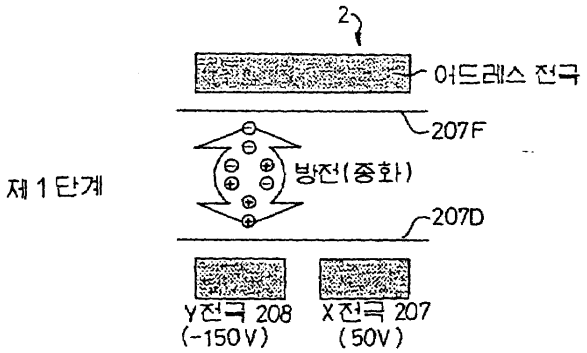
도면17



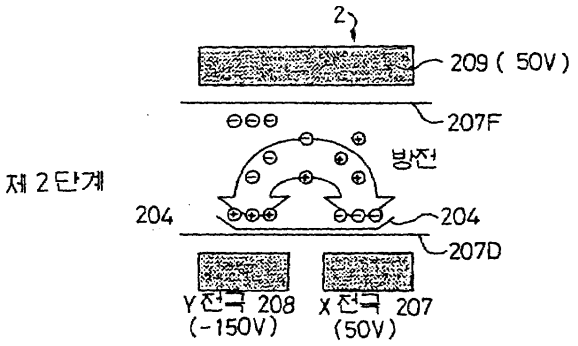
도면18



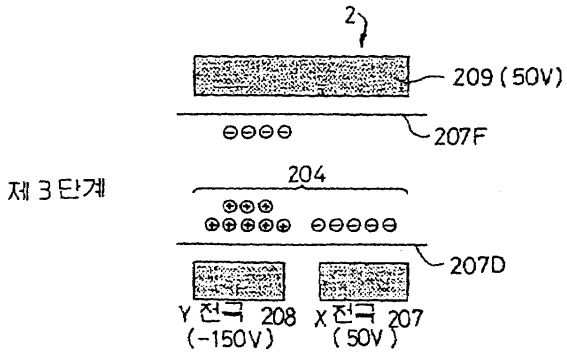
도면19a



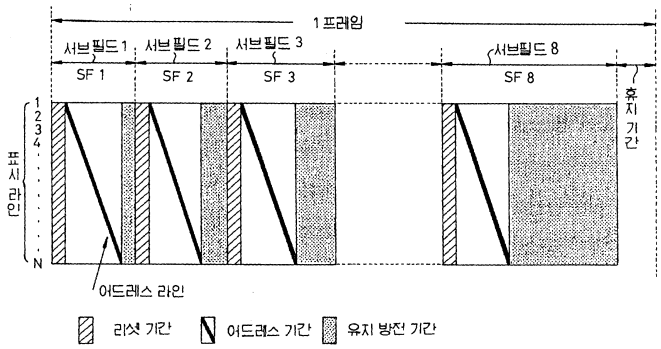
도면19b



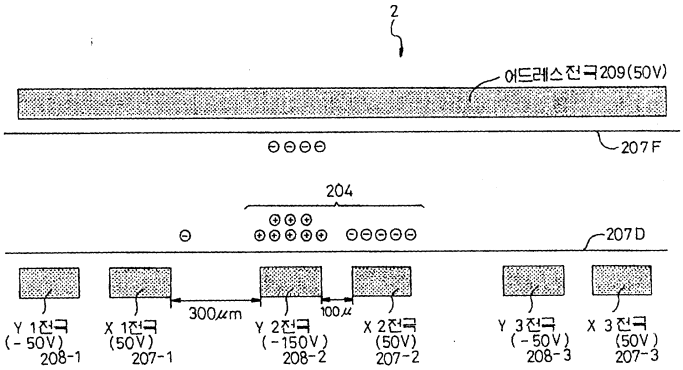
도면19c



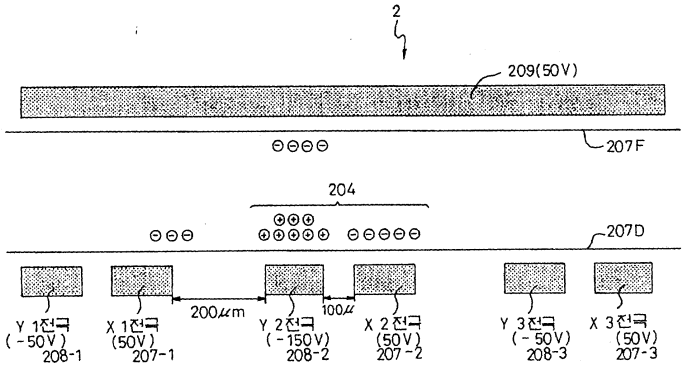
도면20



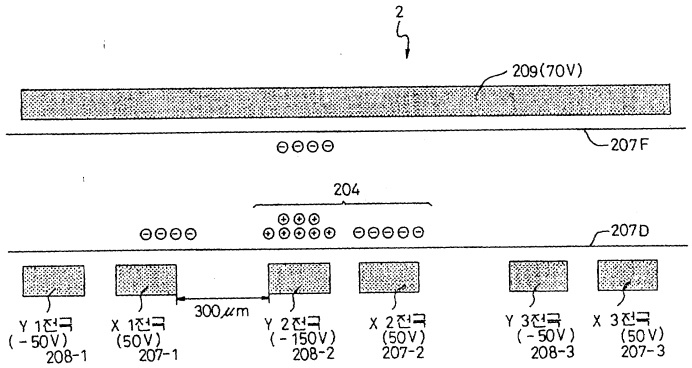
도면21



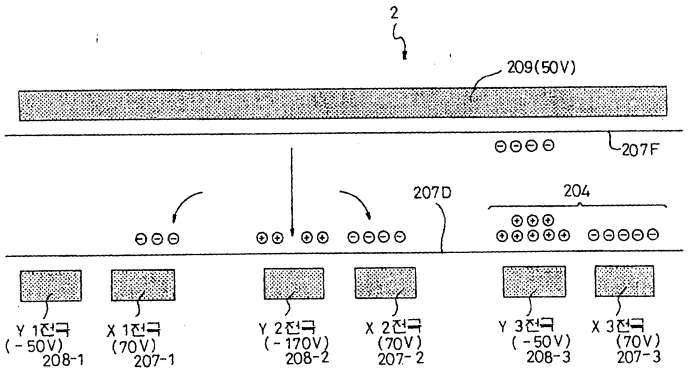
도면22



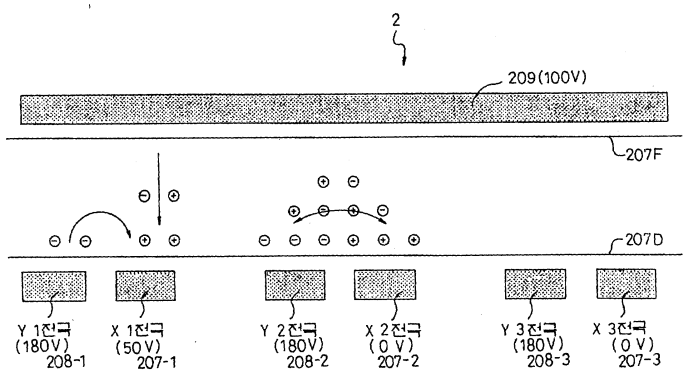
도면23



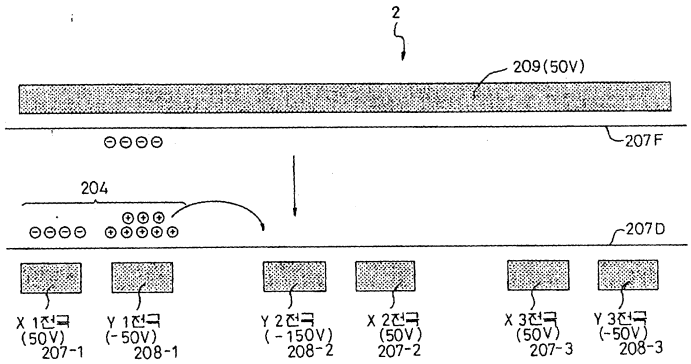
도면24



도면25



도면26


2
209(50V)
207F
204
207D
X 1전극
(50V)
207-1
Y 1전극
(-50V)
208-1
Y 2전극
(-150V)
208-2
X 2전극
(50V)
207-2
X 3전극
(50V)
207-3
Y 3전극
(-50V)
208-3