

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 19 年 2 月 15 日 (2007.2.15)

【公開番号】特開 2004-221570 (P2004-221570A)
 【公開日】平成 16 年 8 月 5 日 (2004.8.5)
 【年通号数】公開・登録公報 2004-030
 【出願番号】特願 2003-431911 (P2003-431911)
 【国際特許分類】

H 0 1 L 21/02 (2006.01)
H 0 1 L 27/12 (2006.01)
H 0 1 L 21/20 (2006.01)
H 0 1 L 21/322 (2006.01)
H 0 1 L 27/00 (2006.01)
H 0 1 L 27/08 (2006.01)
H 0 1 L 29/786 (2006.01)
H 0 1 L 21/336 (2006.01)
H 0 1 L 21/8234 (2006.01)
H 0 1 L 27/06 (2006.01)
H 0 1 L 23/12 (2006.01)

【F I】

H 0 1 L 27/12 B
 H 0 1 L 21/20
 H 0 1 L 21/322 G
 H 0 1 L 27/00 3 0 1 B
 H 0 1 L 27/08 3 3 1 E
 H 0 1 L 29/78 6 1 3 Z
 H 0 1 L 29/78 6 2 7 D
 H 0 1 L 27/06 1 0 2 A
 H 0 1 L 23/12 B

【手続補正書】
 【提出日】平成 18 年 12 月 25 日 (2006.12.25)
 【手続補正 1】

【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】

【請求項 1】

絶縁表面上にインダクタ、コンデンサ、抵抗素子又は S A W 素子が形成された基板と、
 前記インダクタ、前記コンデンサ、前記抵抗素子又は前記 S A W 素子に接続された薄膜ト
 ランジスタとが積層された複合集積回路を有し、
 前記薄膜トランジスタが設けられている酸化物膜に接して酸化タンゲステンがあること
 を特徴とする半導体装置。

【請求項 2】

基板上に設けられた薄膜トランジスタと、インダクタ、コンデンサ、抵抗素子又は S A
 W 素子とが積層された複合集積回路を有し、
 前記薄膜トランジスタが設けられている酸化物膜に接して酸化タンゲステンがあり、
 前記薄膜トランジスタと、前記インダクタ、前記コンデンサ、前記抵抗素子又は前記 S

A W素子とは、埋め込み配線に接続され、

前記埋め込み配線は、第1のバリア層と、第2のバリア層が上部に設けられた金属膜と
でなることを特徴とする半導体装置。

【請求項3】

請求項2において、前記金属膜は、銅、銀、金、クロム、鉄、ニッケル、白金またはこ
れらの合金であることを特徴とする半導体装置。

【請求項4】

請求項2又は3において、前記第1のバリア層は、 WN_x 、 TaN_x 、 $TiSi_xN_y$
、 WSi_xN_y 又は $TaSi_xN_y$ であることを特徴とする半導体装置。

【請求項5】

請求項2乃至4のいずれかーにおいて、前記第2のバリア層は、窒化珪素膜、 TiN 、
 NbN 、 WN_x 、 TaN_x 、 $TiSi_xN_y$ 、 WSi_xN_y 又は $TaSi_xN_y$ であるこ
とを特徴とする半導体装置。

【請求項6】

請求項1乃至5のいずれかーにおいて、前記インダクタは積層型インダクタ又はスパイ
ラル形状の伝送線路であることを特徴とする半導体装置。

【請求項7】

請求項1乃至5のいずれかーにおいて、前記コンデンサは積層型コンデンサであるこ
とを特徴とする半導体装置。

【請求項8】

請求項1乃至7のいずれかーにおいて、前記基板は、セラミック基板、石英基板、ガラ
ス基板、またはプラスチック基板であることを特徴とする半導体装置。

【請求項9】

請求項1乃至8のいずれかーにおいて、前記基板上には、CPU、メモリ素子、薄膜ダ
イオード又は光電変換素子が設けられていることを特徴とする半導体装置。

【請求項10】

請求項1乃至9のいずれかーにおいて、前記半導体装置は、ビデオカメラ、デジタルカ
メラ、ゴーグル型ディスプレイ、カーナビゲーション、DVDプレーヤー、電子遊技機器
、カード、または携帯情報端末であることを特徴とする半導体装置。

【請求項11】

第1の基板上に、タングステン膜と、酸化タングステン膜と、酸化物膜を積層し、
前記酸化物膜上に下地絶縁膜と、水素含有膜を形成し、
前記水素含有膜上にインダクタ、コンデンサ、抵抗素子、SAW素子、または薄膜トラ
ンジスタを含む被剥離層を形成し、
前記被剥離層上に樹脂層を塗布し、
前記樹脂層に第2の基板を第1の接着層で接着させ、前記被剥離層および前記樹脂層を
前記第1の基板と前記第2の基板とで挟み、
前記第1の基板と、前記被剥離層とを物理的手段により分離し、
前記被剥離層に第3の基板を第2の接着層で接着させ、前記被剥離層を前記第2の基板
と前記第3の基板とで挟み、
前記被剥離層および前記第1の接着層と、前記第2の基板とを分離し、
前記被剥離層と前記第1の接着層とを分離し、
前記樹脂層を除去して前記被剥離層に設けられている第1の電極を露出させ、
前記第3の基板に設けられている第2の電極と、前記第1の電極とを電氣的に接続する
ことを特徴とする半導体装置の作製方法。

【請求項12】

請求項11において、前記第1の電極と前記第2の電極とを接続する方法は、はんだ付
け法、導電性微粒子を含む接着材による方法、熱圧着法、ワイヤボンディング法又はフリ
ップチップ法であることを特徴とする半導体装置の作製方法。

【請求項13】

第 1 の基板上に、タングステン膜と、酸化タングステン膜と、酸化物膜を積層し、
前記酸化物膜上に下地絶縁膜と、水素含有膜を形成し、
前記水素含有膜上に埋め込み配線を含む被剥離層を形成する第 1 工程と、
第 2 の基板上にインダクタ、コンデンサ、抵抗素子、SAW素子、または薄膜トランジ
スタを有する素子と、前記素子のいずれかに接続する引出電極とを形成する第 2 工程と、
を有し、

前記被剥離層に前記第 2 の基板を接着層で貼り合わせ、前記被剥離層を前記第 1 の基板
と前記第 2 の基板とで挟み、

前記第 1 の基板と、前記被剥離層とを物理的手段で分離することを特徴とする半導体装
置の作製方法。

【請求項 14】

請求項 13 において、
前記水素含有膜上に導電性を有するエッチングストッパー層を形成し、
前記エッチングストッパー層を覆う第 1 の絶縁膜を形成し、
前記第 1 の絶縁膜に選択的にエッチングを行い、前記エッチングストッパー層に達する
開口を形成し、
前記開口を覆うようにバリア層を形成し、
前記バリア層上に金属膜を形成し、
前記開口に前記バリア層及び前記金属膜が残るように平坦化処理を行うことにより前記
埋め込み配線を形成し、

前記埋め込み配線の上に第 2 のバリア層を形成することを特徴とする半導体装置の作製方
法。

【請求項 15】

請求項 14 において、前記金属膜は、銅、銀、金、クロム、鉄、ニッケル、白金または
これらの合金であることを特徴とする半導体装置の作製方法。

【請求項 16】

請求項 14 又は 15 において、前記バリア層は、 WN_x 、 TaN_x 、 $TiSi_y$ 、 WS
 i_xN_y 又は $TaSi_xN_y$ であることを特徴とする半導体装置の作製方法。

【請求項 17】

請求項 14 乃至 16 のいずれかにおいて、前記エッチングストッパー層は、 Ni 、 T
 i 、 W 、 WSi_x 、 Al 、 Mo 、 Ta 、 Cr 又は Mo から選ばれた元素であることを特徴
とする半導体装置の作製方法。

【請求項 18】

請求項 14 乃至 16 のいずれかにおいて、前記エッチングストッパー層は、 Ni 、 T
 i 、 W 、 WSi_x 、 Al 、 Mo 、 Ta 、 Cr 又は Mo から選ばれた元素を主成分とする合
金であることを特徴とする半導体装置の作製方法。

【請求項 19】

請求項 14 乃至 16 のいずれかにおいて、前記エッチングストッパー層は、 Ni 、 T
 i 、 W 、 WSi_x 、 Al 、 Mo 、 Ta 、 Cr 又は Mo から選ばれた元素を主成分とする化
合物であることを特徴とする半導体装置の作製方法。