

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成19年2月15日(2007.2.15)

【公開番号】特開2004-221570(P2004-221570A)

【公開日】平成16年8月5日(2004.8.5)

【年通号数】公開・登録公報2004-030

【出願番号】特願2003-431911(P2003-431911)

【国際特許分類】

H 01 L	21/02	(2006.01)
H 01 L	27/12	(2006.01)
H 01 L	21/20	(2006.01)
H 01 L	21/322	(2006.01)
H 01 L	27/00	(2006.01)
H 01 L	27/08	(2006.01)
H 01 L	29/786	(2006.01)
H 01 L	21/336	(2006.01)
H 01 L	21/8234	(2006.01)
H 01 L	27/06	(2006.01)
H 01 L	23/12	(2006.01)

【F I】

H 01 L	27/12	B
H 01 L	21/20	
H 01 L	21/322	G
H 01 L	27/00	3 0 1 B
H 01 L	27/08	3 3 1 E
H 01 L	29/78	6 1 3 Z
H 01 L	29/78	6 2 7 D
H 01 L	27/06	1 0 2 A
H 01 L	23/12	B

【手続補正書】

【提出日】平成18年12月25日(2006.12.25)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

絶縁表面上にインダクタ、コンデンサ、抵抗素子又はS A W素子が形成された基板と、前記インダクタ、前記コンデンサ、前記抵抗素子又は前記S A W素子に接続された薄膜トランジスタとが積層された複合集積回路を有し、

前記薄膜トランジスタが設けられている酸化物膜に接して酸化タンゲステンがあることを特徴とする半導体装置。

【請求項2】

基板上に設けられた薄膜トランジスタと、インダクタ、コンデンサ、抵抗素子又はS A W素子とが積層された複合集積回路を有し、

前記薄膜トランジスタが設けられている酸化物膜に接して酸化タンゲステンがあり、

前記薄膜トランジスタと、前記インダクタ、前記コンデンサ、前記抵抗素子又は前記S

A W素子とは、埋め込み配線に接続され、

前記埋め込み配線は、第1のバリア層と、第2のバリア層が上部に設けられた金属膜とでなることを特徴とする半導体装置。

【請求項3】

請求項2において、前記金属膜は、銅、銀、金、クロム、鉄、ニッケル、白金またはこれらの合金であることを特徴とする半導体装置。

【請求項4】

請求項2又は3において、前記第1のバリア層は、WN_x、Ta_{N_x}、TiSi_xN_y、WSi_xN_y又はTaSi_xN_yであることを特徴とする半導体装置。

【請求項5】

請求項2乃至4のいずれか一において、前記第2のバリア層は、窒化珪素膜、TiN、NbN、WN_x、Ta_{N_x}、TiSi_xN_y、WSi_xN_y又はTaSi_xN_yであることを特徴とする半導体装置。

【請求項6】

請求項1乃至5のいずれか一において、前記インダクタは積層型インダクタ又はスパイラル形状の伝送線路であることを特徴とする半導体装置。

【請求項7】

請求項1乃至5のいずれか一において、前記コンデンサは積層型コンデンサであることを特徴とする半導体装置。

【請求項8】

請求項1乃至7のいずれか一において、前記基板は、セラミック基板、石英基板、ガラス基板、またはプラスチック基板であることを特徴とする半導体装置。

【請求項9】

請求項1乃至8のいずれか一において、前記基板上には、CPU、メモリ素子、薄膜ダイオード又は光電変換素子が設けられていることを特徴とする半導体装置。

【請求項10】

請求項1乃至9のいずれか一において、前記半導体装置は、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、カーナビゲーション、DVDプレーヤー、電子遊戯機器、カード、または携帯情報端末であることを特徴とする半導体装置。

【請求項11】

第1の基板上に、タンゲステン膜と、酸化タンゲステン膜と、酸化物膜を積層し、前記酸化物膜上に下地絶縁膜と、水素含有膜を形成し、

前記水素含有膜上にインダクタ、コンデンサ、抵抗素子、SAW素子、または薄膜トランジスタを含む被剥離層を形成し、

前記被剥離層上に樹脂層を塗布し、

前記樹脂層に第2の基板を第1の接着層で接着させ、前記被剥離層および前記樹脂層を前記第1の基板と前記第2の基板とで挟み、

前記第1の基板と、前記被剥離層とを物理的手段により分離し、

前記被剥離層に第3の基板を第2の接着層で接着させ、前記被剥離層を前記第2の基板と前記第3の基板とで挟み、

前記被剥離層および前記第1の接着層と、前記第2の基板とを分離し、

前記被剥離層と前記第1の接着層とを分離し、

前記樹脂層を除去して前記被剥離層に設けられている第1の電極を露出させ、

前記第3の基板に設けられている第2の電極と、前記第1の電極とを電気的に接続することを特徴とする半導体装置の作製方法。

【請求項12】

請求項11において、前記第1の電極と前記第2の電極とを接続する方法は、はんだ付け法、導電性微粒子を含む接着材による方法、熱圧着法、ワイヤボンディング法又はフリップチップ法であることを特徴とする半導体装置の作製方法。

【請求項13】

第1の基板上に、タンゲステン膜と、酸化タンゲステン膜と、酸化物膜を積層し、
前記酸化物膜上に下地絶縁膜と、水素含有膜を形成し、

前記水素含有膜上に埋め込み配線を含む被剥離層を形成する第1工程と、
第2の基板上にインダクタ、コンデンサ、抵抗素子、S A W素子、または薄膜トランジ
スタを有する素子と、前記素子のいずれかに接続する引出電極とを形成する第2工程と、
を有し、

前記被剥離層に前記第2の基板を接着層で貼り合わせ、前記被剥離層を前記第1の基板と前記第2の基板とで挟み、

前記第1の基板と、前記被剥離層とを物理的手段で分離することを特徴とする半導体装置の作製方法。

【請求項14】

請求項13において、

前記水素含有膜上に導電性を有するエッチングストッパー層を形成し、

前記エッチングストッパー層を覆う第1の絶縁膜を形成し、

前記第1の絶縁膜に選択的にエッチングを行い、前記エッチングストッパー層に達する開口を形成し、

前記開口を覆うようにバリア層を形成し、

前記バリア層上に金属膜を形成し、

前記開口に前記バリア層及び前記金属膜が残るように平坦化処理を行うことにより前記埋め込み配線を形成し、

前記埋め込み配線上に第2のバリア層を形成することを特徴とする半導体装置の作製方法。

【請求項15】

請求項14において、前記金属膜は、銅、銀、金、クロム、鉄、ニッケル、白金またはこれらの合金であることを特徴とする半導体装置の作製方法。

【請求項16】

請求項14又は15において、前記バリア層は、 WN_x 、 TaN_x 、 $TiSi_y$ 、 WSi_xNy 又は $TaSi_xNy$ であることを特徴とする半導体装置の作製方法。

【請求項17】

請求項14乃至16のいずれかにおいて、前記エッチングストッパー層は、Ni、Ti、W、 WSi_x 、Al、Mo、Ta、Cr又はMoから選ばれた元素であることを特徴とする半導体装置の作製方法。

【請求項18】

請求項14乃至16のいずれかにおいて、前記エッチングストッパー層は、Ni、Ti、W、 WSi_x 、Al、Mo、Ta、Cr又はMoから選ばれた元素を主成分とする合金であることを特徴とする半導体装置の作製方法。

【請求項19】

請求項14乃至16のいずれかにおいて、前記エッチングストッパー層は、Ni、Ti、W、 WSi_x 、Al、Mo、Ta、Cr又はMoから選ばれた元素を主成分とする化合物であることを特徴とする半導体装置の作製方法。