

# 發明專利說明書

中文說明書替換修正本(95年7月)(劃線)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：96122594

※ 申請日期：96.6.22

※IPC 分類：G02F

G06F 3/14 (2006.01)

G06T 1/20 (2006.01)

## 一、發明名稱：(中文/英文)

用於光柵化之方法及系統

A METHOD AND SYSTEM FOR RASTERIZATION

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商輝達公司

NVIDIA CORPORATION

代表人：(中文/英文)

理查 B 多明尼哥

DOMINGO, RICHARD B.

住居所或營業所地址：(中文/英文)

美國加州聖塔克拉市聖湯瑪斯大道2701號

2701 SAN TOMAS EXPRESSWAY, SANTA CLARA, CALIFORNIA

95050, U.S.A.

國籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 5 人)

姓 名：(中文/英文)

1. 瓦特 R 史坦納  
STEINER, WALTER R.
2. 富蘭克林 C 克羅  
CROW, FRNAKLIN C.
3. 克萊葛 M 威坦布林克  
WITTENBRINK, CRAIG M.
4. 羅傑 L 亞倫  
ALLEN, ROGER L.
5. 道格拉斯 A 沃希斯  
VOORHIES, DOUGLAS A.

國 籍：(中文/英文)

1. 美國 U.S.A.
2. 美國 U.S.A.
3. 美國 U.S.A.
4. 美國 U.S.A.
5. 美國 U.S.A.

#### 四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2006年06月23日；11/474,027

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本著作大體而言係關於硬體加速圖形電腦系統。本著作揭示用於繪圖管線之光柵階段中的平行精細光柵化之至少一方法。

### 【先前技術】

電腦效能之近來的進步已使得圖形系統能夠藉由使用個人電腦、家庭視訊遊戲電腦、掌上型裝置及其類似者來提供較為逼真之圖形影像。在該等圖形系統中，執行許多程序以將圖元"貼圖"或繪製至系統之螢幕。"圖元"為圖形畫面之基本組份，諸如，點、線、多邊形或其類似者。貼圖影像係由此等圖元之組合形成。可利用許多程序來執行3-D圖形貼圖。

已開發出專用圖形處理單元(例如，GPU，等等)以最佳化在執行圖形貼圖程序時所需之計算。GPU經組態以用於高速操作且通常併有一或多個貼圖管線。每一管線包括經最佳化以用於高速執行圖形指令/資料之許多基於硬體之功能單元，其中將指令/資料饋入至管線之前端中且計算結果出現於管線之後端處。GPU之基於硬體之功能單元、快取記憶體、韌體及其類似者經最佳化以對低級圖元(例如，包含"點"、"線"、"三角形"，等等)進行操作且產生即時貼圖之3-D影像。

藉由使用光柵顯示技術來產生即時貼圖之3-D影像。光柵顯示技術廣泛地用於電腦圖形系統中，且通常指代藉以

使構成一影像之多個像素之柵格受圖元之影響的機制。對於每一圖元，典型的光柵化系統通常逐像素地步進，且根據圖元之貢獻來判定是否"貼圖"給定像素或將其寫入至訊框緩衝器或像素映射中。此又判定如何將表示每一像素之資料寫入至顯示緩衝器。

已開發出各種遍歷演算法及各種光柵化方法用於以覆蓋構成給定3-D景像之圖元內之所有像素的方式自基於圖元之描述至基於像素之描述進行計算(例如，對於每一圖元逐像素地光柵化)。舉例而言，一些解決方法涉及以單向方式來產生像素。該等傳統單向解決方法涉及在恆定方向上逐列地產生像素。此情形要求序列在圖元之相對側上之一位置處結束後即跨越圖元而移位至圖元之第一側上之起始位置。

其他傳統方法涉及利用每像素評估技術來精密地評估構成顯示器之像素中之每一者且判定哪些像素係由哪些圖元覆蓋。每像素評估涉及跨越顯示器之像素而掃描以判定哪些像素係由圖元之邊緣接觸/覆蓋。

一旦將圖元光柵化為其組成像素，即接著在光柵化階段之後的管線階段中處理此等像素，在該等管線階段中執行貼圖操作。通常，此等貼圖操作根據構成景像之圖元的覆蓋度而將色彩指派給顯示器之像素中之每一者。亦根據被指派給圖元之紋理映射資訊、照明資訊及其類似者來判定每像素色彩。

然而，先前技術之3-D貼圖架構調節以處理現今應用之

日益複雜的3-D景像之能力存在問題。現在，電腦螢幕通常具有1920 x 1200像素或更大之螢幕解析度。增加3-D貼圖效能(諸如，增加時脈速度)之傳統方法具有諸如增加功率消耗及增加由GPU積體電路晶粒所產生之熱的負面效應。用於增加效能(諸如，併有大量平行執行單元以用於GPU操作之平行執行)之其他方法具有諸如增加積體電路晶粒大小、降低GPU製造過程之良率、增加功率需求及其類似者的負面效應。

因此，存在對一種光柵化過程之需要，該過程可根據圖形應用程式需要所需而調節且提供額外效能，而不引起諸如增加之功率消耗及/或降低之製造良率的損失。

#### 【發明內容】

本著作之實施例提供一種用於一光柵化過程之方法及系統，該過程可根據圖形應用程式需要所需而調節且提供額外效能，而不引起諸如增加之功率消耗及/或降低之製造良率的損失。

在一實施例中，將本發明實施為一種用於在繪圖處理器之光柵階段中進行平行精細光柵化之方法。該方法包括接收圖元(例如，三角多邊形)以用於繪圖處理器之光柵階段中的光柵化。在第一級處光柵化該圖元以產生像素之複數個圖塊(tile)。可在光柵階段內藉由使用粗糙光柵單元來實施第一級光柵化。隨後，在第二級處藉由將圖塊配置至一平行第二級光柵化單元陣列來光柵化該等圖塊，以產生經覆蓋之像素。可藉由使用一平行精細光柵單元陣列來實施

第二級光柵化。接著，輸出藉由第二級光柵化而產生之所得的經覆蓋之像素以用於繪圖處理器之後續階段中的貼圖操作。

在一實施例中，由粗糙光柵單元使用較大圖塊會允許基於每時脈週期來實施第一級光柵化。類似地，使用多個平行精細光柵單元會允許基於每時脈週期來平行地實施第二級處之光柵化。此態樣可極大地改良圖形貼圖過程之可調節性及整體效能。

在一實施例中，複數個精細光柵單元大體上相同。可將複數個圖塊配置至精細光柵單元陣列以平衡精細光柵單元之間的工作負荷。另外，在一實施例中，使用多個平行精細光柵單元可提供冗餘光柵化能力。此冗餘光柵化屬性可致能陣列之選擇性功能組件啟動/停用能力。舉例而言，必要時，可停用精細光柵單元中之一或多者(例如，歸因於故障狀態、為了達成目標功率消耗量，等等)。

### 【實施方式】

現將詳細地參考本發明之較佳實施例，其實例被說明於隨附圖式中。雖然將結合較佳實施例來描述本發明，但應瞭解，其不意欲將本發明限於此等實施例。相反，本發明意欲涵蓋可包括於由附加申請專利範圍所界定的本發明之精神及範疇內之替代物、修改及等效物。此外，在對本發明之實施例之以下詳細描述中，闡述眾多特定細節，以便提供對本發明之透徹理解。然而，一般熟習此項技術者應認識到，可在無此等特定細節之情況下實踐本發明。在其

他情況下，為了不不必要地混淆本發明之實施例之態樣而未詳細地描述熟知的方法、程序、組件及電路。

#### 記數法及命名法：

隨後的詳細描述之一些部分係根據程序、步驟、邏輯區塊、處理及對電腦記憶體內之資料位元之操作的其他符號表示而呈現。此等描述及表示為熟習資料處理技術者用以將其工作之本質最有效地傳達給其他熟習此項技術者之手段。在此處且通常將程序、電腦執行步驟、邏輯區塊、過程等等設想為步驟或指令之自相一致的序列，其產生所要結果。該等步驟為需要對實體量之實體操縱的步驟。通常(但未必)，此等量採取能夠在電腦系統中被儲存、轉移、組合、比較及另外操縱的電信號或磁信號之形式。已證實：主要為了平常使用，有時便利的係將此等信號稱作位元、值、元件、符號、字元、術語、數字或其類似者。

然而，應牢記，此等及類似術語均與適當實體量相關聯且僅僅為應用於此等量之便利標籤。除非如由以下論述所顯而易見地另有特定陳述，否則應瞭解，在整個本發明中，利用諸如"處理"或"存取"或"執行"或"儲存"或"貼圖"或其類似術語之術語的論述係指操縱經表示為電腦系統之暫存器及記憶體內之實體(電子)量之資料且將其轉換為經類似地表示為電腦系統記憶體或暫存器或其他該等資訊儲存、傳輸或顯示裝置內之實體量之其他資料之電腦系統(例如，圖1之電腦系統100)或類似電子計算裝置的動作及過程。

**電腦系統平臺：**

圖1展示根據本發明之一實施例的電腦系統100。電腦系統100描繪根據本發明之實施例為特定的基於硬體及基於軟體之功能性提供執行平臺之基本電腦系統的組件。一般而言，電腦系統100包含至少一CPU 101、一系統記憶體115及至少一繪圖處理器單元(GPU)110。CPU 101可經由橋接組件/記憶體控制器(未圖示)而耦接至系統記憶體115，或可經由CPU 101內部之記憶體控制器(未圖示)而直接耦接至系統記憶體115。GPU 110耦接至顯示器112。一或多個額外GPU可視情況耦接至系統100以進一步增加其計算能力。GPU 110耦接至CPU 101及系統記憶體115。可將系統100實施為(例如)桌上型電腦系統或伺服器電腦系統，其具有耦接至專用圖形貼圖GPU 110之強大的通用CPU 101。在該實施例中，可包括添加周邊匯流排、專用圖形記憶體、IO裝置及其類似者之組件。類似地，可將系統100實施為掌上型裝置(例如，蜂巢式電話，等等)或機頂視訊遊戲控制臺裝置，諸如，可購自Microsoft Corporation of Redmond, Washington之Xbox®、或可購自Sony Computer Entertainment Corporation of Tokyo, Japan之PlayStation3®。

應瞭解，可將GPU 110實施為離散組件、經設計以經由連接器(例如，AGP槽、PCI-Express槽，等等)而耦接至電腦系統100之離散圖形卡、離散積體電路晶粒(例如，直接安裝於主板上)，或可將其實施為包括於電腦系統晶片組組件(未圖示)之積體電路晶粒內的積體GPU。另外，可包

括區域圖形記憶體114以用於GPU 110進行高頻寬圖形資料儲存。

**實施例：**

本發明之實施例實施一種用於在繪圖管線之光柵階段中光柵化任意圖塊群之方法及系統。通常，非矩形圖塊群為除了(例如)正方形(例如， $4\times 4$ 、 $8\times 8$ 、 $16\times 16$ 圖塊，等等)或矩形(例如， $4\times 8$ 、 $8\times 16$ 圖塊，等等)以外之組態。該方法包括接收圖元(例如，三角多邊形)以用於繪圖處理器(例如，圖1之GPU 110)之光柵階段中的光柵化。本發明之實施例可實施多級光柵化過程。

在一實施例中，在第一級處藉由產生包含與圖元有關之像素組(例如，覆蓋圖元之圖塊群)的覆蓋區而對圖元進行光柵化。接著，在第二級處藉由存取像素組(例如，覆蓋圖元之圖塊群)且判定該組之外的經覆蓋之像素而對圖元進行光柵化。舉例而言，即使圖塊群可覆蓋圖元，但並非構成每一圖塊之所有像素均可覆蓋圖元或駐存於圖元內。此兩級光柵化之結果為覆蓋圖元或駐存於圖元內之像素。光柵階段隨後輸出經覆蓋之像素以用於繪圖處理器之後續階段中的貼圖操作。

圖2展示描繪根據本發明之一實施例以折行書圖案被光柵化之像素柵格的圖。

在一實施例中，如圖2所描繪，GPU 110之光柵階段將折行書圖案用於遍歷圖元。如圖2所描繪，藉由虛線221來指示折行書圖案。在該實施例中，以由線221所指示之次序

來遍歷像素柵格之每一像素。線221展示遍歷之折行書圖案，其中術語"折行書"指代藉由在每一通過在正交軸線上更向前移動時沿一軸線來回掃描(就像農民犁耕或收割田地一樣)而訪問2D區域上之所有像素的遍歷圖案。術語折行書通常意謂如在(例如)田地中的"如牛耕一般"。

因此，如圖2所描繪，此折行書光柵化指代沿主要軸線來回折疊之蜿蜒蛇形圖案。在圖2之實例中，主要軸線為水平的。水平折行書序列(例如)可自左向右產生在一圖元三角形內的在一列上之所有像素，且接著自右向左產生下一列，等等。該折疊路徑確保自所產生之像素至先前新近產生之像素的平均距離相對較小。另外，應注意，可基於逐圖塊(例如，自所產生之圖塊至先前新近產生之圖塊)來實施折行書遍歷圖案，此與基於逐像素相反。

仍參看圖2，用於訪問螢幕之在光柵化較大圖元時所覆蓋之區域(例如，三角形，等等)的折行書圖案具有維持相關資料之快取及減少訊框緩衝器及紋理存取所需之記憶體請求的優勢。舉例而言，當將新近之像素群及/或其相應紋理值保持於具有有限大小之記憶體(例如，快取記憶體，等等)中時，產生在新近產生之像素附近的像素為重要的。

關於折行書圖案光柵化之額外細節在下文揭示於揭示"具有經組態以用於使用巢套式折行書圖案來遍歷螢幕區域之光柵組件之GPU"的部分中。

應注意，雖然在折行書光柵化之情形中描述了本發明之

實施例，但可使用其他類型之光柵化圖案。舉例而言，本文所描述之用於光柵化圖塊群的演算法及GPU階段可易於應用於傳統的自左向右的逐行光柵化圖案。

圖3展示根據本發明之一實施例的三角多邊形301(例如，三角形301)對照GPU 110之光柵單元之光柵化圖案321的圖。

如上文所述，線321展示遍歷之折行書圖案，其中光柵單元藉由在每一通過在正交軸線上更向前移動時沿一軸線掃描而訪問三角形301之2D區域上的所有像素。在圖3之實施例中，在第一級處或在粗糙光柵化級處執行此初始光柵化圖案。GPU 110之粗糙光柵單元遍歷三角形301且印出覆蓋三角形301之圖塊群。此等圖塊群在三角形301與圖塊群之大小相比為較大且粗糙光柵單元正光柵化完全處於三角形301之內部內之像素的彼等情況下可為矩形(例如，正方形、矩形，等等)。此等圖塊群在三角形301與圖塊群之大小相比為較小且粗糙光柵單元正光柵化在三角形301之狹長點(例如，點302)附近之像素的彼等情況下亦可為非矩形。通常，非矩形圖塊群為除了(例如)正方形(例如， $4 \times 4$ 、 $8 \times 8$ 、 $16 \times 16$ 圖塊，等等)或矩形(例如， $4 \times 8$ 、 $8 \times 16$ 圖塊，等等)以外之組態。如本文中所使用，應注意，術語"非矩形群"指代藉以在光柵階段中被光柵化之圖塊群不限於矩形或正方形陣列之屬性。非矩形圖塊群可為任意配置。舉例而言，在一實施例中，非矩形圖塊群可包括甚至不彼此鄰近之圖塊。

圖4展示根據本發明之一實施例在圖塊藉由第一級光柵化過程被檢查時三角形301對照圖塊柵格的圖。在圖4中，所說明之正方形中之每一者表示一包含像素之圖塊(例如， $8\times 8$ 、 $16\times 16$ ，等等)。圖4展示第一級光柵化產生各包含四個圖塊之粗糙光柵化圖塊群(諸如，例示性圖塊群401)的情況。

如上文所述，在一實施例中，第一級光柵化產生包含與圖元有關之像素組(例如，覆蓋圖元之圖塊群)的圖塊群或覆蓋區(例如，覆蓋區401)。通常，第一級光柵化意欲快速地判定螢幕區域之哪些像素與給定圖元有關。因此，一次檢查相對較大的像素群(例如，圖塊)，以便快速地找出與圖元有關之彼等像素。可將該過程比作勘測，藉以粗糙光柵單元快速地掃描螢幕區域且找出覆蓋三角形301之圖塊群。因此，可以較為細粒之方式而比利用單一光柵化級且一次檢查小得多的數目之像素之傳統先前技術更快速地發現與三角形301有關之像素。

在圖4之實施例中，第一級光柵化利用四圖塊覆蓋區(例如，覆蓋區401)，其中每一圖塊群或覆蓋區包括四個圖塊。因此，第一級光柵化將印出四圖塊覆蓋區，其中每一覆蓋區具有由三角形301所覆蓋之至少一像素。因此，第一級光柵化被稱作粗糙光柵化，因為一次檢查較大的像素群。

圖5展示描繪根據本發明之一實施例由粗糙光柵單元所印出之複數個圖塊群的圖。例示性圖塊群501及502被展

示。

圖5之實施例展示粗糙光柵階段產生非矩形圖塊群以便最佳化三角形301之覆蓋度的方式。如上文所述，可使用非矩形覆蓋區來較為有效地判定螢幕區域之哪些圖塊與給定圖元有關。接著，在第二級處藉由存取所產生之圖塊群且判定此等圖塊群之外的經覆蓋之像素而對圖元進行光柵化。舉例而言，即使圖塊群可覆蓋圖元，但並非構成每一圖塊之所有像素均可覆蓋圖元或駐存於圖元內。

圖5展示例示性非矩形圖塊群501及502。圖塊群或覆蓋區501-502為非矩形，此在於其組成圖塊未以方框或矩形方式來配置。在覆蓋區501-502之情況下，其組成圖塊係以如圖所示之"L"形圖案被印出。此非矩形圖案最佳化覆蓋區501-502內經覆蓋之像素的數目。

圖5亦展示圖塊511-518。視其覆蓋度而定，根據本發明之一實施例的光柵階段可將圖塊515-518印出為單一矩形圖塊群(例如，沿三角形301之上部邊緣)且將圖塊511-514印出為類似矩形圖塊群(例如，沿三角形301之下部邊緣)。以此方式，可將四個圖塊之群組合為堆集，而不考慮堆集之形狀。舉例而言，堆集可為L形、直線形、正方形或其類似形狀。調整圖塊堆集之尺寸，以便最佳化堆集內經覆蓋之像素的數目。

應注意，可在第一級粗糙光柵化過程中實施不同數目之圖塊。舉例而言，替代每覆蓋區四個圖塊，可利用六個、八個或更多圖塊。在該等較大覆蓋區之情況下，可以多種

不同形狀及多種不同圖案來組合圖塊，以便最佳地覆蓋給定圖元。

以此方式，藉由光柵階段而印出之非矩形覆蓋區(例如，覆蓋區501)根據圖元之形狀(例如，三角形301)而在尺寸上可調整。舉例而言，可在尺寸上調整非矩形覆蓋區(例如， $x$ 個數目之圖塊寬乘 $y$ 個數目之圖塊長)，以最佳化構成該覆蓋區之經覆蓋之像素的數目。此屬性在被貼圖之圖元格外長且窄之情況下尤為有用。該等長窄三角形通常出現於諸如模板陰影演算法之應用中。舉例而言，在三角形301為非常長窄之三角形的情況下，可最佳化構成每一圖塊之像素的數目及構成覆蓋區之圖塊的數目，以便印出具有較高比例之經覆蓋之像素的覆蓋區。此在光柵化在三角形之點(例如，點302)附近的像素時尤為有用。

圖6說明在根據本發明之一實施例藉由使用第二級光柵化過程被光柵化時的覆蓋區501。如上文所述，在粗糙光柵化之後，接著，在第二級處藉由存取覆蓋區501之像素組(例如，構成圖塊群501之像素)且判定該組之外的經覆蓋之像素而對三角形301進行光柵化。舉例而言，即使覆蓋區501覆蓋三角形301，但並非構成每一圖塊之所有像素均可覆蓋圖元或駐存於圖元內。

第二級光柵化或精細光柵化現印出覆蓋區501之個別經覆蓋之像素。精細光柵化過程檢查構成覆蓋區501之像素且判定彼等像素中之哪些由三角形301覆蓋。此在圖6中被展示為構成覆蓋區501之每一圖塊的16個像素(例如， $4 \times 4$ )

之柵格。對照三角形301之邊緣而評估每一圖塊之16個像素中之每一者。視所要之準確度而定，可在評估中使用每一像素之多個樣本點。評估之結果為對覆蓋區501之由多邊形301所覆蓋之像素的指定。接著，自精細光柵化單元輸出經覆蓋之像素以用於GPU 110之後續階段內的進一步處理。

圖7展示根據本發明之一實施例之GPU 110之內部組件的圖。如圖7所示，GPU 110包括設置引擎701及光柵處理器單元702。在本發明中，本發明之功能性被實施於光柵處理器單元702之硬體及軟體內。通常，設置單元701藉由將基於頂點之描述轉換為基於邊緣描述之描述而起作用。光柵處理器單元702隨後將此等邊緣描述轉換為包含實際像素描述之填充區域(例如，像素區域、像素子樣本，等等)。隨後，將像素描述傳遞至GPU 110內之其他單元以用於進一步處理及貼圖。

在本實施例中，光柵處理器單元702包括粗糙光柵組件703及精細光柵組件704。粗糙光柵組件703在其迅速地搜尋圖塊柵格以識別所關注之圖塊(例如，由圖元所覆蓋之圖塊)時實施如上文所述之非矩形圖塊群光柵化過程。一旦識別到所關注之圖塊群，精細光柵組件704即個別地識別由圖元所覆蓋之像素。因此，在該實施例中，粗糙光柵組件703藉由使用圖塊來迅速地搜尋像素柵格，且精細光柵組件704使用由粗糙光柵組件703所產生之資訊且藉由個別地識別由圖元所覆蓋之像素來實施細粒度光柵化。在兩

種情況下，粗糙光柵組件703及精細光柵組件704均可在其光柵化期間利用一或多個折行書圖案。

仍參看圖7，GPU 110進一步包括藉由實施對最頻繁使用之圖形貼圖資料的高速低潛時儲存而起作用之快取記憶體721。該資料通常包含紋理資訊、頂點資訊、色彩及其類似者。將快取記憶體721展示為耦接至區域圖形記憶體114。快取記憶體721利用一或多個快取維持機制以維持與區域圖形記憶體114之一致性。箭頭740展示GPU 110與系統記憶體(例如，圖1所示之記憶體115)之間的通信路徑。

在一實施例中，最佳化構成光柵單元702之硬體以用於基於每時脈之操作。舉例而言，為了提供較高輸送量且藉此維持較高貼圖訊框速率，粗糙光柵組件703及精細光柵組件704包含經設計以基於每時脈週期來實施第一級光柵化及第二級光柵化之硬體。可實施光柵處理器單元702，使得在單一時脈週期內"印出"覆蓋給定圖元之圖塊群(例如，包括非對稱圖塊群)的粗糙光柵組件703中實施第一級光柵化。隨後，在單一時脈週期中印出圖塊群之經覆蓋之像素的精細光柵組件704中實施第二級處之光柵化。因此，舉例而言，每時脈可處理64個像素之硬體將使用64像素之覆蓋區(例如，各具有16個像素之4個圖塊)，而每時脈可處理128個像素之硬體將使用128像素之覆蓋區(例如，各具有16個像素之8個圖塊、各具有32個像素之4個圖塊，等等)。如上文所述，可以各種不同堆集(例如，瘦長覆蓋區、正方形覆蓋區、矩形覆蓋區、對角覆蓋區、"L"形覆

蓋區，及其類似者)來配置此等圖塊。

#### 平行精細光柵化：

圖8展示根據本發明之一實施例的光柵處理器單元702，其中該光柵處理器單元包括一平行精細光柵單元陣列804。

在圖8之實施例中，光柵單元702包括平行精細光柵化單元陣列804。關於粗糙光柵單元703，光柵單元702大體上與上文在圖7之論述中所述相同地起作用。換言之，粗糙光柵單元703接收圖元(例如，三角多邊形，等等)以用於第一級處之光柵化來產生像素之複數個圖塊。在圖8之實施例中，隨後，在第二級處藉由將圖塊配置至陣列804而對此等圖塊進行光柵化。

舉例而言，在最佳化光柵單元702之硬體以用於基於每時脈之較高輸送量的實施例中，粗糙光柵組件703印出包含許多圖塊(例如，四個圖塊，等等)之圖塊群，其中每一圖塊包含許多像素(例如，各包含32個像素，等等)，此如上文所述均係基於每時脈。根據任一特定光柵化模式或被光柵化之任一特定圖元，此等圖塊群可為對稱或非對稱的。隨後，將圖塊群配置至陣列804內之複數個精細光柵單元中之每一者。平行精細光柵單元經組態以對自粗糙光柵單元703所接收之圖塊執行第二級精細光柵化。視所要之效能等級而定，陣列804將在大小上變化且將具有較小或較大數目之平行精細光柵單元。

在一實施例中，可基於每精細光柵單元來將圖塊配置至

陣列804(例如，每精細光柵單元一個圖塊，等等)。或者，可基於每光柵處理器單元來配置圖塊之部分(例如，圖塊之四分之一、圖塊之一半，等等)。一般而言，光柵化工作較佳地分散於平行精細光柵單元之間以均勻地平衡所得之工作負荷。隨後，平行精細光柵單元可基於每時脈週期來印出每一圖塊之個別經覆蓋之像素且輸出結果。

因此，舉例而言，每時脈可處理128個像素之硬體將使用128像素之覆蓋區(例如，各具有16個像素之8個圖塊)。粗糙光柵單元703將在每時脈印出八個圖塊且將所得之八個圖塊中之每一者配置至陣列804之八個精細光柵單元。八個精細光柵單元中之每一者接著將印出其各別經配置之圖塊的經覆蓋之像素(例如，高達全部16個像素)。

圖9展示根據本發明之一實施例具有16個精細光柵單元之陣列804之光柵處理器單元702的圖。圖9說明光柵處理器702之效能可根據任一適當之所要效能目標而按比例增大或按比例減小的方式。舉例而言，對於高效能應用，可實施粗糙光柵單元703以印出較大數目之圖塊(例如，各具有16個像素之16個圖塊，等等)，以藉由使用包含16個精細光柵單元之陣列804來傳遞高像素輸送量(例如，每時脈256個像素)。該實施例被說明於圖9中。或者，對於低功率應用，可實施粗糙光柵單元703以印出較小數目之圖塊(例如，各具有16個像素之4個圖塊，等等)且使用陣列804中的較小數目之精細光柵單元(例如，四個精細光柵單元)。

在一實施例中，陣列804之複數個精細光柵單元大體上彼此相同。此屬性使得精細光柵單元能夠以對稱多重處理執行方式而起作用，其中可基於按額定份額來將自粗糙光柵單元703所接收之工作負荷配置至陣列804之任一精細光柵單元。另外，此屬性亦簡化了陣列804之平行精細光柵單元之間的工作負荷平衡。可將圖塊群、個別圖塊或圖塊之子部分配置至每一精細光柵單元，使得工作負荷在其之間平衡，且使得其輸出在同一時脈週期時完成。

圖10展示描繪根據本發明之一實施例之例示性負荷平衡方法的圖。如圖10所描繪，以 $10 \times 14$ 之柵格來展示140個區塊。每一區塊包括一數字(例如，0-7)，其指示分配為光柵化彼圖塊所需之工作的方式。舉例而言，在一實施例中，對於一包含8個光柵單元之陣列，將如圖10之圖所編號來分配區塊，其導致棋盤形圖案，使得每一精細光柵單元每隔八個區塊被指派。如上文所述，該等區塊可包含圖塊群、個別圖塊或圖塊之子部分。

在替代實施例中，可指派區塊柵格，使得向每一精細光柵單元指派該柵格之一部分。舉例而言，可根據跨越柵格之頂列的每一區塊之號碼而向八個精細光柵單元中之每一者指派柵格之一行。接著，每一精細光柵單元將光柵化其經指派之行的區塊。可藉由使用列替代行來實施類似配置，藉以每一精細光柵單元將光柵化其經指派之列的區塊。以此方式，可實施許多不同的配置圖案以有效地平衡構成陣列之精細光柵單元之間的負荷。

圖 11 展示描繪根據本發明之一實施例之光柵處理器 702 的圖，其中已停用包含陣列 804 之四個精細光柵單元的群 1105。

在圖 11 之實施例中，可停用陣列 804 之一或多個精細光柵單元，同時保持陣列 804 之剩餘精細光柵單元的功能性。可出於許多不同原因而停用陣列 804 之一或多個精細光柵單元。一種此原因為一或多個精細光柵單元歸因於(例如)製造缺陷等等而有缺陷的情況。另一原因為併有陣列 804 之整個 GPU 之所欲功率消耗量指示一或多個精細光柵單元之停用的情況。

停用陣列 804 之一或多個精細光柵單元之能力致能將一或多個冗餘精細光柵單元包括於陣列 804 中以便在故障之情況下提供冗餘能力。舉例而言，可將額外數目之精細光柵單元包括於陣列 804 中，即使彼等額外精細光柵單元之使用(若被啟動)將提供大於目標效能等級之效能等級。類似地，可將額外數目之精細光柵單元包括於陣列 804 中，即使(若被啟動)該等光柵單元之能力不能由粗糙光柵單元 703 所提供之輸送量充分地利用(例如，如在粗糙光柵單元 703 之輸送量為瓶頸之情況下)。此冗餘之一或多個精細光柵單元可在陣列 804 之一或多個其他精細光柵單元有缺陷的彼等情況下經啟動及利用。舉例而言，若兩個精細光柵單元有缺陷且不可操作，則可啟動兩個冗餘精細光柵單元，藉此維持整個光柵單元 702 之目標效能等級。

圖 12 展示描繪根據本發明之一實施例支援功能組件之選

擇性啟動/停用之例示性架構的圖1200。圖1200展示根據本發明之一實施例的一般化積體電路，其說明支援功能組件之選擇性啟動/停用之組件。如本文中所使用，下文所描述之靈活地組態功能組件操作特徵(例如，致能/去能功能組件、改變時脈速度、改變操作電壓，等等)之能力通常被稱作選擇性功能組件啟動/停用。

圖1200展示分配組件119、功能組件組態控制器120、收集組件140及功能組件131、132、133及134。分配組件119耦接至功能組件131、132、133及134，該等功能組件耦接至收集組件140。功能組件組態控制器120耦接至分配組件119、功能組件131、132、133及134及收集組件140。在一實施例中，功能組件131-134中之每一者為如上文所述之陣列(例如，陣列804)之精細光柵單元。

在當前圖12之實施例中，分配組件119將資訊選擇性地分配至功能組件131-134(例如，經致能之功能組件)。此資訊可為多種資訊，諸如，包含用於與共同目標相關聯之處理之資料的工作流資訊(例如，如上文所述，諸如圖塊之圖形相關資訊)。在一例示性實施例中，分配組件119接收單一工作流資訊或資料流(例如，圖塊圖形資料)且將工作流資訊分配至功能組件131-134。在另一例示性實施例中，單一資訊流與浮點計算有關。在一實施例中，分配組件119亦可接收多個資訊流且將資訊分配至功能組件131-134。

在圖12之實施例中，收集組件140藉由串聯及聚集操作

之結果來"收集"來自功能組件131-134之輸出或結果以用於達成共同目標(例如，聚集結果以用於與圖形緩衝器之通信)。在另一實施例中，收集組件140為圖形緩衝器。在又一實施例中，收集組件140可聚集浮點計算之結果。

圖1200之組件亦協同地操作以靈活地組態功能組件操作特徵(例如，致能/去能功能組件、改變時脈速度、改變操作電壓，等等)。舉例而言，功能組件組態控制器120可去能或致能一或多個功能組件且向分配組件119通知操作特徵之改變(例如，哪一功能組件經致能、去能，等等)。以此方式，功能組件組態控制器120控制功能組件131-134中之一或多者之操作特徵的調整(例如，去能/致能，等等)，且可向分配組件119及收集組件140提供關於該調整之資訊。

作為簡短概述，本著作已揭示了以下內容。

概念1. 一種用於在一繪圖處理器之一光柵階段中進行平行精細光柵化之方法，其包含：

接收一圖元以用於一繪圖處理器之一光柵階段中的光柵化；

在一第一級處光柵化該圖元以產生像素之複數個圖塊；及

在一第二級處藉由將該等圖塊配置至一平行第二級光柵化單元陣列來光柵化該等圖塊，以產生經覆蓋之像素；及

輸出該等經覆蓋之像素以用於該繪圖處理器之一後續階段中的貼圖操作。

概念2. 如概念1之方法，其中基於一每時脈週期來實施

該第一級處之該光柵化。

概念3. 如概念1之方法，其中基於一每時脈週期來實施該第二級處使用該陣列之該光柵化。

概念4. 如概念1之方法，其中在一粗糙光柵單元中實施該第一級處之光柵化，且該陣列包含複數個平行精細光柵化單元。

概念5. 如概念4之方法，其中該複數個精細光柵化單元大體上相同。

概念6. 如概念1之方法，其中該複數個圖塊經配置至該平行第二級光柵化單元陣列以平衡該等第二級光柵化單元之間的一工作負荷。

概念7. 如概念1之方法，其中該等平行第二級光柵化單元中之至少一者經停用。

概念8. 如概念7之方法，其中該至少一平行第二光柵化單元歸因於一故障狀態而經停用。

概念9. 如概念1之方法，其中該等平行第二級光柵化單元中之至少一者為一提供一冗餘第二級光柵化能力之冗餘光柵化單元。

概念10. 如概念1之方法，其中該平行第二級光柵化單元陣列能夠進行選擇性功能組件啟動。

概念11. 一種繪圖處理器單元(GPU)，其包含：

一用於產生多邊形描述之設置單元；

一耦接至該設置單元以用於光柵化該等多邊形描述之光柵處理器單元；

一處於該光柵處理器單元內之粗糙光柵單元，其用於在一第一級處藉由產生與一圖元有關的像素之複數個圖塊來光柵化該圖元；及

一處於該光柵處理器單元內之平行精細光柵單元陣列，其用於在一第二級處光柵化該等圖塊，其中該等圖塊經配置至該等平行第二級光柵化單元以產生經覆蓋之像素，且其中該等經覆蓋之像素經輸出以用於該GPU之一後續階段中的貼圖操作。

概念12. 如概念11之GPU，其中基於一每時脈週期來實施該第一級處之該光柵化。

概念13. 如概念11之GPU，其中基於一每時脈週期來實施該第二級處使用該陣列之該光柵化。

概念14. 如概念11之GPU，其中該平行第二級光柵化單元陣列能夠進行選擇性功能組件停用。

概念15. 如概念11之GPU，其中該複數個圖塊經配置至該平行第二級光柵化單元陣列以平衡該等第二級光柵化單元之間的一工作負荷。

概念16. 如概念11之GPU，其中該等平行第二級光柵化單元中之至少一者經停用。

概念17. 如概念11之GPU，其中該等平行第二級光柵化單元中之至少一者為一提供一冗餘第二級光柵化能力之冗餘光柵化單元。

概念18. 一種電腦系統，其包含：

一系統記憶體；

- 一耦接至該系統記憶體之中央處理器單元；及
- 一以通信方式耦接至該中央處理器單元之繪圖處理器單元；
- 一處於該繪圖處理器單元內用於產生多邊形描述之設置單元；
- 一處於該繪圖處理器單元內且耦接至該設置單元以用於光柵化該等多邊形描述之光柵處理器單元；及
- 一處於該光柵處理器單元內之粗糙光柵單元，其用於在一第一級處藉由產生與一圖元有關的像素之複數個圖塊來光柵化該圖元；及
- 一處於該光柵處理器單元內之平行精細光柵單元陣列，其用於在一第二級處光柵化該等圖塊，其中該等圖塊經配置至該等平行第二級光柵化單元以產生經覆蓋之像素，且其中該等經覆蓋之像素經輸出以用於該GPU之一後續階段中的貼圖操作。

概念19. 如概念18之系統，其中基於一每時脈週期來實施該第一級處之該光柵化及該第二級處之該光柵化。

概念20. 如概念18之系統，其中該平行第二級光柵化單元陣列能夠進行選擇性功能組件啟動/停用。

現在接著為關於選擇性功能組件啟動/停用及功能組件操作特徵之靈活組態(諸如，致能/去能功能組件、改變時脈速度、改變操作電壓，等等)的額外描述。

下文揭示一種用於增加晶粒良率之系統及方法。

發明所屬之技術領域

本發明係關於半導體製造之領域。詳言之，本發明係關於一種用於動態地組態積體電路內功能組件之操作特徵之系統及方法。

#### 先前技術

電子系統及電路已對現代社會之進步做出了顯著貢獻且被用於許多應用中以達成有利結果。諸如數位電腦、計算器、音訊裝置、視訊設備及電話系統之眾多電子技術已在商業、科學、教育及娛樂之大部分領域中促進了在分析及傳達資料時的增加之生產力及減少之成本。提供此等有利結果之電子系統通常包括積體電路。需要以非常高之可靠性特徵來利用積體電路以防止錯誤結果。然而，設計及建置具有不同功能性及效能特徵之積體電路具有挑戰性。另外，用以建置積體電路之製造過程為高度複雜且資源密集的。

製造積體電路為昂貴的資源密集之活動，其中眾多計算組件包括於單一積體電路單元中。通常要求計算組件能夠以非常高之可靠性來執行多種任務。各種應用通常需要不同的效能等級及功能性。在傳統上，藉由提供設定功能性的預定量之適當執行組件來製造每一晶粒。然而，以可接受之可靠性來提供適當且有效之功能性通常為困難的。舉例而言，許多傳統方法要求在積體電路中包括極少或不包括有缺陷組件。

通常，在包含許多晶粒之晶圓中製造積體電路，其中每一晶粒包含一具有眾多功能組件之積體電路。來自給定晶

圓的在功能上可接受之晶粒之數目被稱作來自晶圓之良率。需要維持相對較高之良率，以便消除浪費、節約成本且加速對於給定數目之晶粒的有效製造時間。具有大量組件之高效能晶粒之晶圓的良率可非常低。

由記憶體晶片製造者用於減輕有缺陷組件在積體電路晶粒內之出現之影響的一方法為生產具有比需要更多之組件(例如，記憶體單元)的晶粒。若存在有缺陷組件，則斷開該有缺陷組件且利用一"過剩"組件。此方法通常在製造即使在替代有缺陷組件之後仍然為"過剩"之組件時導致寶貴晶粒面積及資源之顯著浪費。該等過剩組件並不有助於功能性及/或操作生產力。大量之晶粒以具有未經利用之具有完全良好之操作能力的眾多"過剩"組件而告終。

處理有缺陷組件之另一傳統嘗試為在與特定功能相關聯之一功能組件有缺陷時移除功能能力。舉例而言，若處理器之浮點加速組件有缺陷，則藉由使用習知的修復技術來移除或去能浮點加速功能性，且處理器變為非浮點加速處理器。另外，最終結果為具有有限能力且不提供全範圍之功能性(例如，不能夠執行浮點操作)的可用積體電路。

#### 發明內容

本發明之系統及方法致能積體電路中之功能組件之組態。本發明之系統及方法可基於多種因素而靈活地改變積體電路晶粒中之功能組件的操作特徵，該等因素包括製造缺陷、相容性特徵、效能需求及系統健康(例如，適當操作之組件的數目)。在一實施例中，本發明之組態系統包

括功能組件、分配組件、功能組件組態控制器及(視情況)收集組件。功能組件執行處理操作(例如，圖形處理操作、浮點操作，等等)。分配組件將工作流資訊(例如，圖形處理資訊、浮點處理資訊，等等)分配至功能組件。功能組件組態控制器組態功能組件之操作特徵。收集組件"收集"來自功能組件之輸出或結果且聚集操作之結果以用於達成共同目標。

在一例示性實施例中，使對功能組件之操作特徵之改變與對其他功能組件之改變協調。亦基於對功能組件之操作特徵之改變來調整工作流排程及分配。舉例而言，功能組件組態控制器改變操作特徵設定且向工作流分配組件提供改變之指示。工作流分配組件基於操作特徵設定來改變工作流排程。舉例而言，將工作流轉移至或轉移離開特定功能組件。

在一實施例中，本發明之系統及方法使得具有有缺陷功能組件之積體電路晶片能夠被搶修且促進積體電路製造中之增加的晶圓良率。在傳統上，另外會丟棄具有有缺陷功能組件之積體電路，此導致生產晶圓之成本被指派至較少的可接受之晶粒。在一實施例中，本發明之系統及方法以維持晶片之基本功能性之方式來去能晶粒中之有缺陷功能組件。

在本發明之一實施例中，結合晶片測試而執行積體電路搶修。測試晶片(例如，根據內建式自我測試)，且識別晶片之有缺陷功能組件。判定有缺陷功能組件是否為不具有

類似的包括於晶粒中之另一功能組件的功能組件。在一實施例中，區別晶粒是否不具有可在有缺陷功能組件經去能時處理工作流之另一功能組件。若識別到該有缺陷功能組件，則可能丟棄該晶粒，因為該晶粒不能提供完全功能性。若存在可用以執行有缺陷組件之功能性的其他功能組件，則基於測試之結果而對晶片執行功能組件組態過程（例如，功能組件組態過程400）。

在本發明之一實施例中，功能組件組態過程去能包括於晶片中之有缺陷功能組件。接收有缺陷功能組件識別之指示。判定有缺陷功能組件是否為複數個類似功能組件中的一者。在本發明之一實施例中，對照可提供相同功能性之其他類似組件之清單來比較經識別之有缺陷組件（例如，像素遮影器、頂點處理器、浮點組件，等等）。在一例示性實施例中，檢查其他類似組件以判定其是否為與有缺陷功能組件平行之組件。若有缺陷功能組件為複數個類似功能組件中的一者且另一組件可處理另外會被指派給有缺陷組件之工作流，則去能該有缺陷功能組件。在本發明之一實施例中，亦可去能與有缺陷組件相關聯之功能組件（例如，為了維持產品分化）。自經去能之組件轉移工作流。

在一實施例中，轉移工作流係藉由向另外向有缺陷功能組件傳達資訊之組件提供去能之通知而加以完成。舉例而言，去能組件向分配器組件提供指示（例如，位元映射），且分配器組件不向有缺陷功能組件提供資訊。替代地，將工作流轉移至其他類似功能組件。

在本發明之搶修方法之一實施例中，包括對於特定效能等級的晶粒之特徵之界定，且相應地標記晶粒。在一例示性實施例中，測試包括在每一效能等級中何種缺陷為可容許之指示。舉例而言，測試可包括可去能第一複數個平行功能組件之第一效能等級、及可去能第二複數個平行功能組件之第二效能等級。本發明亦可促進作為測試程序之一部分的晶粒之基於效能等級之自動重新分級(binning)。

在一實施例中，在遠端積體電路之組態中利用集中式資源。遠端功能組件組態架構促進包括於遠端地定位之積體電路晶粒中的功能組件之組態。在一例示性實施例中，進行晶粒功能組件再組態請求過程，其中系統自遠端資源請求再組態碼。碼請求包括指示請求者經授權接收再組態碼之再組態碼容許指示符(例如，請求者已進行必要支付、具有被授權系統，等等)。執行再組態碼產生過程，其中接收對再組態碼及容許指示符之請求、分析容許指示符之有效性且提供再組態碼。當晶粒接收到適當再組態碼時，對晶粒執行晶粒功能組件再組態過程。

#### 實施方式

現將詳細地參考本發明之較佳實施例，其實例被說明於隨附圖式中。雖然將結合較佳實施例來描述本發明，但應瞭解，其不意欲將本發明限於此等實施例。相反，本發明意欲涵蓋可包括於由附加申請專利範圍所界定的本發明之精神及範疇內之替代物、修改及等效物。此外，在本發明之以下詳細描述中，闡述眾多特定細節，以便提供對本發

明之透徹理解。然而，一般熟習此項技術者將明顯看出，可在無此等特定細節之情況下實踐本發明。在其他情況下，為了不不必要地混淆本發明之態樣而未詳細地描述熟知的方法、程序、組件及電路。

隨後的詳細描述之一些部分係根據程序、邏輯區塊、處理及對電腦記憶體內之資料位元之操作的其他符號表示而呈現。此等描述及表示為熟習資料處理技術者通常用以將其工作之本質有效地傳達給其他熟習此項技術者之手段。在此處且通常將程序、邏輯區塊、過程等等設想為步驟或指令之自相一致的序列，其產生所要結果。該等步驟包括實體量之實體操縱。通常(但未必)，此等量採取能夠在電腦系統中被儲存、轉移、組合、比較及另外操縱的電、磁、光學或量子信號之形式。已證實：主要為了平常使用，有時便利的係將此等信號稱作位元、值、元件、符號、字元、術語、數字或其類似者。

然而，應牢記，此等及類似術語均與適當實體量相關聯且僅僅為應用於此等量之便利標籤。除非如由以下論述所顯而易見地另有特定陳述，否則應瞭解，在整個本申請案中，利用諸如"處理"、"計算(computing)"、"計算(calculating)"、"判定"、"顯示"或其類似術語之術語的論述係指操縱且轉換經表示為實體(例如，電子)量之資料之電腦系統或類似處理裝置(例如，電、光學或量子計算裝置)的動作及過程。該等術語指代操縱電腦系統之組件(例如，暫存器、記憶體、其他該等資訊儲存、傳輸或顯示裝

置，等等)內之實體量或將其轉換為經類似地表示為其他組件內之實體量之其他資料之處理裝置的動作及過程。

圖 13A 為根據本發明之一實施例之積體電路 100 的方塊圖。積體電路 100 包含分配組件 110、功能組件組態控制器 120、收集組件 140 及功能組件 131、132、133 及 134。分配組件 110 耦接至功能組件 131、132、133 及 134，該等功能組件耦接至收集組件 140。功能組件組態控制器 120 耦接至分配組件 110、功能組件 131、132、133 及 134 及收集組件 140。在本發明之一實施例中，積體電路 100 之組件包括於單一晶粒中。積體電路 100 之組件協同地操作以執行資訊處理(例如，資料操縱)。在一例示性實施例中，積體電路 100 之組件執行與共同目標有關之資訊處理(例如，與產生影像相關聯之繪圖管線處理)。

分配組件 110 將資訊選擇性地分配至功能組件 131-134(例如，經致能之功能組件)。應瞭解，分配組件 110 可分配多種資訊。舉例而言，分配組件 110 可分配工作流資訊。該工作流資訊可為用於與共同目標相關聯之處理的資訊或資料。舉例而言，工作流資訊可為圖形相關資訊(例如，單一資訊流，其中該資訊流之各種部分包括一影像之順序組態之像素的像素資訊)。在一例示性實施例中，分配組件 110 接收單一工作流資訊或資料流(例如，圖形資料)且將工作流資訊分配至功能組件 131-134。舉例而言，單一資訊流可包括與第一像素、第二像素及第三像素有關之資訊。分配組件 110 接收單一像素資訊流(例如，封包序列)，且將

與第一像素有關之資訊(例如，作為個別封包)分配至功能組件131、將與第二像素有關之資訊分配至功能組件132且將與第三像素有關之資訊分配至功能組件133。在另一例示性實施例中，分配組件110接收與浮點計算有關之單一資訊流，且將與第一浮點計算相關聯之資訊分配至功能組件131、將與第二浮點計算相關聯之資訊分配至功能組件132且將與第三浮點計算相關聯之資訊分配至功能組件133。在一實施例中，分配組件110亦可接收多個資訊流且將資訊分配至功能組件131-134。應瞭解，可在多種實施例中實施分配組件110，包括分配組件110除了分配工作流資訊之外亦提供功能或執行任務之實施例。

功能組件131-134可包括多種實施例，其中功能組件131-134執行不同功能操作或任務。在一實施例中，功能組件131-134提供類似功能性(例如，執行平行操作)。舉例而言，在一實施例中，功能組件131-134可執行圖形處理相關任務(例如，遮影、紋理化、嚙合剔除，等等)。在另一實施例中，功能組件131-134可執行浮點相關處理。

收集組件140"收集"來自功能組件131-134之輸出或結果。在一實施例中，收集組件140串聯或聚集操作之結果以用於達成共同目標。舉例而言，收集組件140可聚集結果以用於與圖形緩衝器之通信。在另一實施例中，收集組件140為圖形緩衝器。在又一實施例中，收集組件140可聚集浮點計算之結果。

積體電路100之組件亦協同地操作以靈活地組態功能組

件操作特徵(例如，致能/去能功能組件、改變時脈速度、改變操作電壓，等等)。功能組件組態控制器120控制功能組件131-134中之一或多者之操作特徵的調整(例如，去能/致能，等等)，且可向分配組件110及收集組件140提供關於該調整之資訊。舉例而言，功能組件組態控制器120可去能或致能功能組件(例如，去能或致能功能組件132)。功能組件組態控制器120可向分配組件110通知對功能組件132之操作特徵的改變(例如，哪一功能組件經致能、去能，等等)。

分配組件110可在分配工作流資訊時使用關於功能組件132之操作特徵的資訊。在一實施例中，分配組件110可將功能組件之組態作為因素計入資訊(例如，包括用於處理之資料的工作流)向功能組件之分配中。若一處理器功能組件經去能(例如，因為其有缺陷)，則分配組件110將資訊分配至其他剩餘處理器功能組件以處理"工作流"。舉例而言，若功能組件132由功能組件組態控制器120去能，則向分配組件110通知功能組件132經去能，且分配組件110可將工作流導引至其他功能組件(例如，131、133及/或134)。若功能組件132由功能組件組態控制器120致能，則向分配組件110通知功能組件132經致能，且分配組件110可將工作流導引至功能組件132。分配組件110亦可基於功能組件之效能組態(例如，時脈速度)而將資訊分配至剩餘的經致能之功能組件。在一例示性實施例中，將具有較大效能需求之任務(例如，關鍵任務)導引至具有較大效能特

徵或能力(例如，較快速)之功能組件。舉例而言，可將三維(3D)圖形資訊導引至高效能(例如，高速)繪圖管線，且可將二維(2D)圖形資訊導引至較低效能(例如，較低速度)之繪圖管線。在一實施例中，根據計分板演算法來分配資訊。

在本發明之一實施例中，功能組件組態控制器120指導對功能組件131-134之操作特徵之改變。操作特徵可影響功能組件131-134之效能。舉例而言，功能組件組態控制器120可改變功能組件131-134之操作特徵狀態(例如，致能或去能功能組件)。在一例示性實施例中，功能組件組態控制器120可改變功能組件操作之速度(例如，藉由改變時脈頻率)及/或功能組件所消耗之功率(例如，藉由改變被供應至功能組件之電壓)。舉例而言，功能組件組態控制器120可指導時脈源137改變被供應至功能組件131-134之時脈信號的頻率及/或可指導電源138改變被供應至功能組件131-134之功率信號的電壓。

應瞭解，本發明可易於適應於與多種功能組件一起利用。功能組件131-134可為提供多種不同功能(例如，浮點、像素遮影、頂點遮影、儲存、緩衝，等等)之功能單元。在一例示性實施例中，功能組件可在大體上相同時間(例如，同時平行地)執行類似操作。在本發明之一實施例中，功能組件為主動功能組件。

在一實施例中，功能組件為包括於處理單元中之處理器組件(例如，浮點組件、像素遮影器組件、頂點處理器組

件，等等)。應瞭解，本發明可易於實施於包括中央處理單元(CPU)、圖形處理單元(GPU)及/或嵌入式處理單元之多種處理單元中。在一例示性實施例中，處理單元包括用於向處理器功能組件(例如，浮點組件)配置任務之計分板演算法。在結果由處理器功能組件處理時，計分板追蹤哪一運算元為處理器功能組件所需且對其進行排程。可組合來自個別處理器功能組件之結果以提供整體結果。計分板可將功能組件組態作為因素計入任務之排程中。舉例而言，若一處理器功能組件經去能(例如，因為其有缺陷)，則計分板對其他剩餘處理器功能組件進行再排程以處理該處理 workflow。

本發明可實施於管線型(例如，向量型、線緒型，等等)處理環境中。圖 13B 為根據本發明之一實施例之管線積體電路 150 的方塊圖。管線積體電路 150 為積體電路 100 之實施例，其中功能組件為管線。積體電路 150 包含分配組件 151、功能組件組態控制器 152、收集組件 154 及管線 171、172、173 及 174。管線 171、172、173 及 174 執行管線操作(例如，提取、解碼及執行指令)。功能組件組態控制器 152 控制管線 171 至 174 之操作特徵，且亦向分配組件 151 及收集組件 154 提供關於管線 171 至 174 之操作特徵的資訊(例如，關於哪一功能組件經去能及/或致能之資訊)。可以變化之粒度來執行操作特徵之控制。舉例而言，管線可在每一管線內包括多個個別功能組件(未圖示)，該等功能組件亦可基於個別功能組件而組態(例如，經致能、經去能，

等等)。

管線積體電路150之組件類似於積體電路100之組件而操作。舉例而言，以類似方式來轉移或導引工作流資訊。功能組件組態控制器152向分配組件151提供關於功能組件171-174之操作特徵(例如，經去能、經致能、速度、電壓，等等)的資訊。分配組件151部分地基於操作特徵資訊而將資訊分配至管線171-174(例如，將工作流資訊分配至經致能之功能組件且不分配至經去能之功能組件)。收集組件140"收集"(例如，串聯或聚集)管線171-174之輸出(例如，串聯或聚集結果以用於儲存於圖形緩衝器中)。在一實施例中，功能組件組態控制器152可指導時脈源175改變被供應至功能組件171-174之時脈信號的頻率及/或可指導電源177改變被供應至功能組件171-174之功率信號的電壓。

可以多種整合等級(例如，多種晶粒階層及架構)來實施本發明之積體電路。圖13C為多重處理器積體電路190的方塊圖，該積體電路190為本發明之晶粒階層的另一實施例。多重處理器積體電路190之組件類似於積體電路100(除了功能組件為處理器之外)。多重處理器積體電路190包含分配組件191、功能組件組態控制器192、收集組件194及處理器195、197、198及199。在一實施例中，處理器195、197、198及199包括於單一晶粒中且耦接至共同快取記憶體。功能組件組態控制器192可指導對處理器195-199中之一或多者之操作特徵調整(例如，去能/致

能)，且向分配組件191及收集組件194提供指示處理器195-199之操作特徵(例如，指示處理器是否經去能/致能)的操作特徵資訊。在一例示性實施例中，即使功能組件組態控制器192去能一處理器(例如，195、197、198或199)，積體電路190仍提供完整功能性。

多重處理器積體電路190之組件類似於積體電路100之組件而操作。舉例而言，以類似方式來轉移或導引工作流資訊。功能組件組態控制器192向分配組件191提供關於功能組件之操作特徵(例如，經去能、經致能、速度、電壓，等等)的資訊。分配組件191將資訊(例如，工作流資料)分配至處理器195-199。該分配係部分地基於操作特徵資訊(例如，將工作流資訊分配至經致能之功能組件且不分配至經去能之功能組件)。在一例示性實施例中，收集組件194為"收集"或儲存處理器195-199之輸出的記憶體(例如，共同快取記憶體)。在一實施例中，功能組件組態控制器192可指導時脈源181改變被供應至功能組件195-199之時脈信號的頻率及/或可指導電源182改變被供應至功能組件195-199之功率信號的電壓。

在本發明之一實施例中，在效能與功能性之間進行區別。在一些情況下，本發明在如下意義上當改變操作特徵時不限制功能性：特定類型之功能或任務即使在該功能或任務可以不同效能等級來完成之情況下仍然能夠被執行。在一實施例中，功能組件組態控制器並不去能能夠平行地執行任務之所有功能組件。舉例而言，若晶粒在處理器中

具有兩個平行浮點功能組件且功能組件組態改變一浮點功能組件之致能特徵或狀態(例如，去能)，則將工作流"再導引"至剩餘的經致能之浮點功能組件。浮點活動之效能等級可能改變(例如，減緩)，因為由一個浮點功能組件替代兩個浮點功能組件來處理工作流。然而，晶粒仍然具有提供相同功能性或任務(例如，執行浮點功能)之能力。

在本發明之一實施例中，可藉由對應於效能能力之效能指示符(例如，經致能及/或去能之功能組件的數目)來標記積體電路(例如，積體電路100、積體電路150、積體電路190，等等)。該標記可為電子可讀標記及/或墨水標記(例如，在晶粒上)。標記可為積體電路之品質等級之指示符。標記亦可對應於與積體電路相關聯之效能量度(例如，處理速度、頻寬，等等)。

應瞭解，功能組件組態控制器120、152及/或192可根據多種目標來指導功能組件改變。舉例而言，功能組件組態控制器可基於良率問題、相容性問題、效能問題、系統"健康"問題等等而改變功能組件之操作特徵。亦應瞭解，功能組件組態控制器120、152及/或192可包括多種實施例以達成該等目標，包括軟體可程式化暫存器或遮罩、硬編碼遮罩，等等。

在一實施例中，功能組件組態控制器(例如，120、152及/或192)指導功能組件之操作特徵之改變以處理良率問題。本發明具有促進積體電路製造中之增加的晶圓良率之益處。本發明之系統及方法使具有一些有缺陷功能組件之

積體電路能夠被搶修。在傳統上，丟棄具有有缺陷功能組件之晶粒，此導致生產晶圓之成本被指派至較少的可接受之晶粒。本發明允許使用具有有缺陷功能單元之一些晶粒來執行相同類型之功能且藉此維持功能性，即使有缺陷組件之丟棄可能影響效能。增加晶圓上有用晶粒之數目允許將晶圓生產之成本指派至較大數目之可接受晶粒。藉由允許將晶圓生產之固定成本指派至較大數目之晶粒，每晶粒之成本可降低，即使較低執行晶粒可能以較低價格被售賣。

本發明促進對晶粒之"搶修"，即使晶粒中之一些可能以不同效能等級而操作。在一例示性實施例中，另外會被丟棄之晶粒在晶粒執行相同類型之任務的意義上能夠提供相同功能性。舉例而言，具有能夠執行浮點操作之平行浮點功能組件的處理器仍能夠執行浮點操作，因為在一實施例中，本發明並不去能所有平行浮點組件，且將工作流自經去能之平行浮點組件"再導引"至剩餘浮點組件。具有較多經去能之組件的晶粒可能以不同等級(例如，較慢)執行任務，因為一些平行組件經去能。然而，晶粒仍然具有提供相同功能性(例如，執行相同任務)之能力。

在一實施例中，功能組件組態控制器(例如，120、152及/或192)在製造測試期間指導對功能組件之操作特徵改變。舉例而言，功能組件組態控制器(例如，120、152或192)在測試指示一功能組件(例如，分別為132、173或198)有缺陷之情況下去能該功能組件，且在測試指示一功能組

件(例如，分別為131、174、197)無缺陷之情況下致能該功能組件。

在本發明之一實施例中，功能組件組態控制器(例如，120、152及/或192)指導功能組件之操作特徵之改變以處理"自身健康"問題。在一例示性實施例中，功能組件控制器在"現場"或在自製造商之初始裝運之後處理自身健康問題。在一例示性實施例中，積體電路能夠在現場"自身健康"測試中執行。舉例而言，若"自身健康"測試產生有缺陷功能組件之指示，則功能組件組態控制器(例如，120、152及/或192)去能該有缺陷功能組件，且向分配組件(例如，110、150或191)提供該功能組件經去能之指示。在本發明之一實施例中，自身健康測試服從國際電機電子工程(International Electrical and Electronic Engineering, IEEE)標準1149.1(亦被稱作聯合任務行動群(Joint Task Action Group, JTAG)測試)。在替代實施例中，自身健康測試為用於檢查系統之操作完整性之專有測試。在又一實施例中，若現場之"自身健康"測試指示一功能組件無缺陷，則致能該功能組件。

在又一實施例中，若一執行與有缺陷功能組件類似之類型的任務或功能之未經致能之無缺陷功能組件可用，則在該有缺陷組件經去能之情況下致能該未經致能之無缺陷功能組件。舉例而言，圖13A之積體電路100可最初在功能組件131及132經致能且功能組件133及134經去能(即使其無缺陷(例如，出於市場分割之原因，等等))之情況下被裝

運。若稍後之現場自身健康測試指示功能組件132變得有缺陷，則功能組件控制器120可去能功能組件132且致能功能組件133，且在功能組件132未經去能之情況下已流至功能組件132之工作流經分配(例如，藉由分配組件110)至功能組件133。因此，去能功能組件132有效移除與功能組件132中之缺陷相關聯的問題，而致能先前經去能之功能組件133允許以相同效能等級對工作流執行相同類型之功能性或任務，且藉此系統有效地"自恢復"(self healing)。

在本發明之一實施例中，功能組件組態控制器(例如，120、152及/或192)指導功能組件之操作特徵之改變以處理相容性問題。在一實施例中，包括於圖形加速器中之功能組件控制器能夠辨識與圖形加速器之特徵相容的晶片組且相應地改變圖形加速器之操作特徵。舉例而言，若功能組件組態控制器正控制繪圖管線之操作特徵，則功能組件組態控制器可致能較大數目之繪圖管線(在晶片組支援此行動且與較大數目之繪圖管線之利用相容的情況下)。舉例而言，圖形加速器與晶片組係由同一製造商製造，且包括於圖形加速器中之功能組件控制器可接收一識別包括於與圖形加速器相同之系統中之晶片組的信號。在本發明之一實施例中，由驅動器建立相容性，且功能組件控制器相應地指導對功能組件之操作特徵的改變。

在本發明之一實施例中，功能組件組態控制器(例如，120、152及/或192)指導功能組件之操作特徵之改變以處理效能問題。在一實施例中，效能遮罩40基於效能問題而提

供功能組件之操作特徵之指示。舉例而言，特定應用程式正被執行，且所需的經支援之功能組件操作特徵被致能。若該應用程式為圖形應用程式，則可致能額外繪圖管線及/或可增加現有圖形應用程式管線之時脈速度。在本發明之一實施例中，可將系統之類型作為因素計入效能操作改變中，例如，在行動裝置中，可調整效能以省電。

應瞭解，存在多種功能組件組態控制器之實施例以用於根據不同目標來實施功能組件改變。圖13D為由根據本發明之一實施例之功能組件控制器用以控制不同目標之遮罩陣列10的方塊圖。該遮罩陣列中之每一遮罩可對應於一特定操作目標。在一例示性實施例中，遮罩陣列10包含良率遮罩20、相容性遮罩30、效能遮罩40及自恢復遮罩50。在一例示性實施例中，每一行11至18與八個功能組件中之一者相關聯。每一單元(例如，單元99)包括一操作特徵設定值。舉例而言，邏輯1之操作特徵設定值可對應於致能功能組件、組件之較高時脈速度、組件之較高電壓位準，等等。相反地，邏輯0之操作特徵設定值可對應於去能功能組件、組件之較低時脈速度、組件之較低電壓位準，等等。應瞭解，本發明可易於適應於具有粒度之變化增量的操作特徵設定值(例如，極高速、高速、中速、低速、極低速)。在一例示性實施例中，遮罩陣列10被實施於一暫存器陣列中。

可向不同目標或遮罩指派優先權。舉例而言，可向良率遮罩20指派高於效能遮罩40之優先權。在此實例中，單元

98中之操作特徵設定值控制單元97中之操作特徵設定值。若單元98中之設定值指示與行12相關聯之功能組件經去能，則該功能組件經去能而不考慮單元97中之設定值。亦可在多種演算法中利用遮罩陣列10中之值，該等演算法說明在判定由功能組件組態控制器所實施之操作特徵設定時的多種考慮。

良率遮罩20提供歸因於良率問題(例如，缺陷)而經去能之功能組件的指示。舉例而言，良率遮罩20包括使得功能組件在該等功能組件具有製造缺陷之情況下經去能之操作特徵設定值。在一例示性實施例中，允許一功能組件在存在可處理工作流之另一操作功能組件的情況下經去能。

相容性遮罩30基於相容性問題而提供功能組件之操作特徵之指示。舉例而言，特定處理器與晶片組可彼此交換識別，且基於識別之交換，可致能相容的經支援之功能組件操作特徵。在本發明之一實施例中，由驅動器建立相容性，且將相應操作特徵設定值輸入至相容性遮罩30中。

效能遮罩40基於效能問題而提供功能組件之操作特徵之指示。舉例而言，特定應用程式正被執行且一值經輸入至效能遮罩40中，此致能相應所需的經支援之功能組件操作特徵。若該應用程式為圖形應用程式，則可致能額外繪圖管線及/或可增加現有圖形應用程式管線之時脈速度。在本發明之一實施例中，可將系統之類型作為因素計入效能操作改變中，例如，在行動裝置中，輸入至效能遮罩40中之值可指導效能調整以省電。舉例而言，指導對功能組件

之操作特徵之改變，包括去能/致能功能組件、調整速度、電壓，等等。

自恢復遮罩50基於現場測試問題而提供功能組件之操作特徵之指示。舉例而言，利用來自測試操作之結果來判定功能組件之操作特徵之改變。在一例示性實施例中，現場測試指示經致能之第一功能組件有缺陷。改變與第一功能組件相關聯之自恢復遮罩單元中之操作特徵設定值以指示第一功能組件經去能，且改變與經去能之第二功能組件相關聯的自恢復遮罩單元中之操作特徵設定值以指示第二功能組件經致能。藉由改變第一及第二功能組件之各別操作特徵設定值，去能有缺陷的第一組件且防止其產生更多問題，且致能經去能之第二功能組件允許該第二功能組件執行另外會被導引至第一功能組件之工作流，且因此，系統有效恢復其自身，在於：同一工作流仍能夠在無缺陷之情況下得以執行。

圖14為電腦系統200的方塊圖，電腦系統200為可在上面實施本發明之實施例的電腦系統之一實施例。電腦系統200包括中央處理器單元201、主記憶體202(例如，隨機存取記憶體)、具有北橋209及南橋205之晶片組203、可移除式資料儲存裝置204、輸入裝置207、信號通信埠208，及耦接至顯示器220之圖形子系統210。電腦系統200包括用於以通信方式耦接電腦系統200之組件的若干匯流排。通信匯流排291(例如，前側匯流排)將晶片組203之北橋209耦接至中央處理器單元201。通信匯流排292(例如，主記憶

體匯流排)將晶片組203之北橋209耦接至主記憶體202。通信匯流排293(例如，高級圖形埠介面)將晶片組203之北橋耦接至圖形子系統210。通信匯流排294-297(例如，PCI匯流排)分別將晶片組203之南橋205耦接至可移除式資料儲存裝置204、輸入裝置207、信號通信埠208。圖形子系統210包括繪圖處理器211及圖形緩衝器215。

電腦系統200之組件協同地操作以提供通用的功能性及效能。包括於電腦系統200中之功能組件之操作特徵可動態地改變。在一例示性實施例中，電腦系統200之組件協同地操作以提供預定類型之功能性，即使電腦系統200中所包括之一些功能組件可能有缺陷。通信匯流排291、292、293、294、295及297傳達資訊。中央處理器201處理資訊。主記憶體202儲存資訊及指令以用於中央處理器201。可移除式資料儲存裝置204亦儲存資訊及指令(例如，充當較大資訊儲集器)。輸入裝置206提供用於輸入資訊及/或用於指向或突出顯示器220上之資訊之機制。信號通信埠208對外部裝置提供通信介面(例如，與網路之介面)。顯示裝置220根據訊框緩衝器215中所儲存之資料而顯示資訊。繪圖處理器211處理來自中央處理器201之圖形指令，且將所得資料提供至圖形緩衝器215以供顯示監視器220儲存及擷取。

電腦系統200中所包括之功能組件之操作組態可靈活地調適以滿足多種目標。舉例而言，電腦系統200中所包括之功能組件之操作組態可組態以在即使一些功能組件經去

能之情況下仍維持對一功能類型之執行。在一例示性實施例中，即使一些功能組件(例如，浮點組件、像素遮影器組件、記憶體單元組件，等等)經去能，中央處理器201及繪圖處理器211仍然能夠執行相同類型之處理功能且主記憶體202儲存資訊。在一實施例中，處理器包括複數個功能組件以用於執行處理操作。可改變功能組件之操作特徵。在一實施例中，處理器包括複數個功能組件以用於執行處理操作，其中該複數個功能組件中所包括之有缺陷功能組件經去能。處理器亦包括工作流控制組件以用於將工作流分配至經致能之處理組件且防止將工作流分配至經去能之有缺陷組件。在一例示性實施例中，電腦系統200可繼續提供完全功能性，即使可能以降低之效能等級(例如，較慢)提供功能性。

應瞭解，可在多種實施例中實施本發明。在一例示性實施例中，可在用以提供包括視訊遊戲之多種圖形應用程式之處理系統中利用本發明。舉例而言，可利用本發明來去能遊戲控制臺、個人電腦、個人數位助理、蜂巢式電話或任何數目之用於實施視訊遊戲之平臺中的有缺陷組件。亦應瞭解，對視訊遊戲應用程式實施例之參考為例示性的，且本發明不限於此等實施例。

圖15為根據本發明之一實施例之繪圖管線300的方塊圖。繪圖管線300(例如，像素處理管線)包含管線輸入310、頂點處理器311至314、光柵處理器320、像素遮影器321至324、預光柵操作(ROP)組件330、光柵操作組件331

至334、管線輸出340及功能組件組態控制器350。功能組件組態控制器350耦接至管線輸入310、頂點處理器311至314、光柵處理器320、像素遮影器321至324、預光柵操作(ROP)組件330、光柵操作組件331至334及管線輸出340。管線輸入310耦接至頂點處理器311至314，該等頂點處理器311至314耦接至光柵處理器320。光柵處理器320耦接至像素遮影器321至324，該等像素遮影器321至324耦接至預光柵操作組件330。預光柵操作(ROP)組件330耦接至光柵操作組件331至334，該等光柵操作組件331至334耦接至管線輸出340。在一實施例中，繪圖管線300類似於管線積體電路150。舉例而言，管線151可包括頂點處理器311、像素遮影器321及ROP 331；管線152可包括頂點處理器312、像素遮影器322及ROP 332；管線153可包括頂點處理器313、像素遮影器323及ROP 333；且管線154可包括頂點處理器314、像素遮影器324及ROP 334，其中管線輸入310、光柵處理器320、預ROP 330及管線輸出340為管線151-154所共用。

繪圖管線300之組件協同地操作以執行繪圖管線操作，即使該管線中之功能組件的一些操作特徵已改變(例如，經去能/致能)。功能組件組態控制器350可改變頂點處理器311至314、像素遮影器321至324及/或光柵操作組件331至334之操作特徵。功能組件組態控制器350可對操作特徵進行多種改變，包括致能/去能功能組件、改變功能組件之時脈速度及/或增加對功能組件之電壓供應。功能組件組

態控制器350可出於多種原因而進行該等改變，包括良率問題(例如，功能組件有缺陷及/或與有缺陷組件相關聯)、相容性問題、效能問題及/或系統"健康"問題。功能組件組態控制器350亦向管線輸入310、光柵處理器320、預光柵操作(ROP)組件330及管線輸出340提供關於操作特徵改變之資訊。管線輸入組件310接收繪圖管線資訊且將相應封包化繪圖管線資訊分配至仍經致能之頂點處理器311至314。頂點處理器311至314對分別接收之繪圖管線資訊執行向量遮影，且將所得資訊轉發至光柵處理器320。光柵處理器320判定對哪些像素進行遮影且將封包化向量遮影繪圖管線資訊分配至像素遮影器321至324。像素遮影器321至323對封包化向量遮影繪圖管線資訊執行像素遮影計算，且將結果轉發至預光柵操作(ROP)組件330。

在一實施例中，像素遮影器321至324亦可執行紋理操作。可藉由紋理遮影器組件(例如，對應於像素遮影器)來執行紋理操作。預光柵操作(ROP)組件330收集向量遮影資訊且將封包化像素遮影資訊分配至光柵操作組件331至334。光柵操作組件331至334對封包化像素遮影資訊執行額外光柵化處理(例如，執行色彩結合及Z緩衝器處理)，且將結果轉發至管線輸出340。管線輸出340將繪圖管線資訊聚集為單一輸出流。或者，可將功能組件組態控制器350實施為一定位於管線中之功能組件之各別等級之間的縱橫或多工器結構。

本發明亦可應用於訊框緩衝器介面之經分裂為多個分割

區之部分。在一例示性實施例中，訊框緩衝器介面包括多個類似模組，其作為與記憶體(例如，構成訊框緩衝器的DRAM之一部分)通信之功能組件而操作。若一模組有缺陷，則可將其去能且將有缺陷模組之工作負荷再指派給另一模組(例如，基於記憶體位址之與該模組相關聯之部分)。舉例而言，再映射訊框緩衝器介面模組至記憶體位址之映射，使得整個記憶體仍然可用於晶片。

圖16為根據本發明之一實施例之功能組件組態過程400的流程圖。功能組件組態過程400促進積體電路中之功能組件之靈活組態。舉例而言，功能組件組態過程400指導對積體電路中之功能組件的操作特徵之改變(例如，致能、去能、改變速度、改變電壓，等等)。應瞭解，可利用功能組件組態過程400以根據多種目標(例如，增加良率、提供靈活效能、促進自恢復，等等)來再組態功能組件之操作特徵。在一實施例中，功能組件組態過程400亦促進有效的資訊處理 workflow 管理。

在步驟410中，接收功能組件組態(例如，操作特徵)變化觸發事件之指示。在本發明之一實施例中，由功能組件控制器(例如，120，等等)來接收變化觸發事件之指示。該指示可包括待進行之組態改變(例如，去能、致能、增加/降低速度及/或電壓，等等)之指示。在一實施例中，自積體電路之內部組件(例如，內部測試系統、驅動器、應用程式，等等)接收功能組件組態變化觸發事件。亦可自積體電路外部之組件(例如，外部測試系統、網際網路、集

中式組態系統，等等)接收功能組件組態變化觸發事件之指示。

應瞭解，指示及組態變化觸發事件可與多種操作目標(例如，應用程式、按使用付費、市場分割，等等)相關聯。變化觸發事件可與良率問題相關聯。舉例而言，該事件可與偵測有缺陷功能組件之測試操作相關聯，且接收一識別有缺陷功能組件之指示(例如，藉由功能組件控制器)。在本發明之一實施例中，自測試系統接收有缺陷功能組件之指示。舉例而言，服從國際電機電子工程(IEEE)標準1149.1(亦被稱作聯合任務行動群(JTAG)測試)之測試系統及/或專有操作完整性測試(例如，專有掃描測試機制)。變化觸發事件可與相容性問題相關聯。舉例而言，接收一指示組件具有預定相容性之信號。變化觸發事件可與效能問題相關聯。舉例而言，接收一指示新及/或不同的應用程式正被載入、按使用付費授權經准許及/或積體電路包括於行動裝置(其中省電為所需的)中之信號。變化觸發事件亦可與自我測試及恢復問題相關聯。

在步驟420中，判定經指示之功能組件組態變化(例如，操作特徵變化)是否有效。舉例而言，進行功能組件之被授權操作特徵之判定。在一實施例中，在步驟410所接收之指示為經編碼之位元流。對該位元流進行解碼，且針對有效授權而檢查所得值以觸發功能組件組態變化。在本發明之一實施例中，分析經編碼之指示符。該分析包括對該指示符進行解碼且將其與功能組件之不同的可能操作特徵

設定之預定清單進行比較。舉例而言，將經解碼之指示符之值與被授權觸發指示或值之預定清單中的值進行比較，其中該清單中之值與特定操作特徵設定相關聯。

在本發明之一實施例中，亦針對有效性而檢查功能組件組態變化動作。舉例而言，當執行與良率及自恢復問題相關聯之功能組件去能時，在一實施例中，判定是否存在可對另外已轉向有缺陷功能組件之工作流資訊執行類似功能的第二功能組件(例如，平行地)。舉例而言，判定有缺陷功能組件是否為複數個類似功能組件中的一者。在本發明之一實施例中，將有缺陷組件之類型與提供類似功能之多個組件之清單進行比較。舉例而言，識別有缺陷組件(例如，像素遮影器、頂點處理器、浮點組件，等等)，且將經識別之功能組件與可提供相同功能性之其他類似組件之清單進行比較。在一例示性實施例中，檢查其他類似組件以判定其是否為與有缺陷功能組件平行之組件。若存在可執行工作流之第二功能組件，則可去能第一功能組件(例如，若第一功能組件有缺陷)。

在步驟430中，指導一功能組件組態變化。在本發明之一實施例中，由功能組件控制器(例如，120、152、192，等等)指導功能組件組態變化(例如，操作特徵變化)。在本發明之一實施例中，藉由程式化一控制功能組件之組態(例如，操作特徵)之值(例如，在暫存器中)來完成功能組件組態改變(例如，去能、致能，等等)。基於暫存器中之值，將改變功能組件之組態(例如，去能、致能，等等)的

信號發送至該組件。在一例示性實施例中，在遮罩(例如，遮罩10)中對值進行組態。應瞭解，存在用於改變功能組件之組態(例如，改變操作特徵)的多種本發明之方法。舉例而言，可藉由熔斷至有缺陷功能組件之通信線來完成該有缺陷功能組件之去能。亦可以確保有缺陷功能組件不產生偽訊務之方式來去能該有缺陷功能組件。亦可向接收組件通知有缺陷組件且程式化該接收組件以忽略來自該有缺陷功能組件之資訊。亦可藉由軟編碼方法來改變功能組件組態。

在一實施例中，監視功能組件之正在進行的操作且將其作為因素計入步驟430之組態操作中。舉例而言，檢查或測試系統"健康"，且在判定對操作特徵之改變時利用結果。舉例而言，若第一功能組件未通過自診斷測試，則可去能該功能組件。若第二功能組件可用，則可將其啟動以"替代"第一功能組件。舉例而言，若第二功能組件工作完全良好，但出於某一其他原因而在先前經去能，則可致能該第二功能組件以替代未通過測試之功能組件。在一例示性實施例中，監視應用程式啟動且相應地改變功能組件之操作特徵。舉例而言，若啟動高效能圖形應用程式，則可增加功能組件之操作特徵(例如，較快時脈設定)及/或可致能或去能額外功能組件(例如，額外繪圖管線)。

亦可監視系統中組件之改變(例如，添加新組件)，且改變操作特徵以適應組件改變。舉例而言，若特定類型之繪圖處理器耦接至特定類型之晶片組，則可傳達識別指示且

可相應地改變功能組件之操作特徵。識別允許對相容性之預定及對增強之特徵的支援。在一實施例中，對識別進行編碼。該編碼防止對操作特徵設定之惡意竄改。舉例而言，編碼提供針對在無相容性保證之情況下不適當地減小功能組件之操作特徵及/或增加操作特徵之嘗試的保護，否則該等嘗試可能潛在地引入難以識別之複雜故障。

在本發明之一實施例中，在功能組件之間協調操作特徵改變。舉例而言，與經改變之功能組件緊密相關聯的適當操作之功能組件(例如，在同一管線、線緒等等中)亦可經改變。在一例示性實施例中，在功能組件之間協調操作改變以維持產品分化。舉例而言，若將較低效能之晶片指定為缺少一像素遮影組件且缺少一頂點遮影組件，則可去能一像素遮影組件及一頂點遮影組件以維持產品分化。

在步驟440中，根據對功能組件之變化來轉移工作流。舉例而言，可將工作流轉移至其他類似功能組件。在一實施例中，轉移工作流係藉由向另外將資訊傳達至經改變之功能組件的組件提供組態變化之通知(例如，致能、去能，等等)來完成。舉例而言，功能組件控制器(例如，120，等等)向分配組件(例如，110，等等)提供功能組件組態變化(例如，操作特徵之改變)之指示，且分配組件相應地導引工作流資訊。舉例而言，若致能第一功能組件，則將工作流導引或排程且轉發至第一功能組件。若去能第一功能組件，則將工作流導引或排程至另一經致能之功能組件。

在一例示性實施例中，將工作流轉移或導引至較快或較慢之功能組件。舉例而言，分析工作流內容且將工作流之與較高效能活動相關聯的部分導引至較快功能組件(例如，以較高時脈速率操作之功能組件)，且將工作流之與較低效能活動相關聯的部分導引至較慢功能組件。可將圖形影像之一區域中的正迅速地改變之像素(例如，朝向顯示器之中央的像素)導引至較快功能組件(例如，高時控遮影器)，且將圖形影像之一區域中的正緩慢地改變之像素(例如，朝向顯示器之邊緣的像素)導引至較慢功能組件(例如，低時控遮影器)。

可以減小對其他組件之影響之方式來協調功能組件操作特徵改變(例如，去能，等等)。在一實施例中，可將適當操作之功能組件程式化或再組態為可容忍經去能之組件之輸出上的可能廢料(例如，非法信號組合)。舉例而言，可指導適當操作之功能組件忽略來自經去能之組件的資訊。亦可向接收組件(例如，收集組件140)通知功能組件之操作特徵改變且對其進行程式化以使其相應地起反應。舉例而言，若降低功能組件之速度，則可對接收組件進行程式化以使其在等待來自功能組件之資訊時不閒置，而是稍後復核，或在去能功能組件之情況下忽略來自功能組件之資訊。若去能功能組件，則接收組件可經程式化以忽略來自功能組件之信號。

圖17為根據本發明之一實施例之效能降低電路搶修方法500的流程圖。效能降低電路搶修方法500促進另外會被丟

棄之晶粒之補救。在一實施例中，效能降低電路搶修方法500測試晶粒且以確保維持晶粒之功能性的方式來去能有缺陷功能組件。

在步驟510中，製備晶片以用於測試。將晶片置放於測試系統中且初始化測試系統。在本發明之一實施例中，將掃描測試之初始狀態輸入至掃描測試單元中。舉例而言，可製備晶片以用於根據國際電機電子工程(IEEE)標準1149.1(亦被稱作聯合任務行動群(JTAG)測試)之測試。在本發明之一實施例中，利用與晶片之測試能力相容的定製型測試(例如，專有及/或非服從JTAG之測試)。

在步驟520中測試晶片。在本發明之一實施例中，測試包含識別晶片之有缺陷功能組件。在本發明之一例示性實施例中，執行內建式自我測試(built in self test, BIST)。舉例而言，BIST中包括掃描測試，在其中應用測試向量以刺激電路(例如，功能邏輯組件)之特定態樣，且俘獲來自電路之所得輸出。設計掃描測試鏈以掃描掃描測試資訊(例如，測試向量)或經由掃描測試鏈而將掃描測試資訊(例如，測試向量)移位至電路中之功能組件、使功能組件對掃描測試資訊執行操作、俘獲所得資訊且接著經由掃描測試鏈之掃描測試單元而移出所得資訊。接著針對誤差而分析所得資訊(例如，與預定正確結果相比)。可藉由自動化測試圖案產生(automated test pattern generation, ATPG)工具來提供測試向量圖案。

在本發明之一實施例中，識別有缺陷之特定功能組件。

在一例示性實施例中，掃描測試之輸出結果提供哪些功能組件有缺陷之指示。舉例而言，分析測試圖案結果且識別有缺陷功能組件。本發明可判定有缺陷功能組件是否為不具有類似之包括於晶粒中之另一功能組件的功能組件。在一實施例中，區別有缺陷功能組件是否為關鍵的及/或晶粒是否不具有可在有缺陷功能組件經去能之情況下處理工作流的另一功能組件。若識別到該功能組件，則在本發明之一實施例中丟棄該晶粒，因為該晶粒不能提供完全功能性。

在本發明之一實施例中，利用去能組件來促進有缺陷組件之識別。在一例示性實施例中，藉由複數個類似功能組件(例如，像素遮影器321至324)來執行測試向量操作。若存在錯誤結果，則執行進一步測試。藉由去能組件來去能複數個功能組件中之第一者(例如，像素遮影器321)，且藉由剩餘功能組件來執行測試向量操作。或者，在測試過程中，可利用軟體模擬來模擬功能組件之去能。舉例而言，去能像素遮影器321，且藉由像素遮影器322至324來執行測試向量操作且分析結果。若不存在錯誤結果，則將第一功能組件識別為有缺陷組件。若繼續存在錯誤結果，則藉由去能組件來去能複數個功能組件中之第二者(例如，像素遮影器321)，且藉由剩餘功能組件來執行測試向量操作。若不存在錯誤結果，則將第二功能組件識別為有缺陷組件。繼續消除過程，直至識別到有缺陷組件。

在步驟530中，基於測試之結果而對晶片執行功能組件

組態過程(例如，功能組件組態過程400)。在本發明之一實施例中，若晶片之複數個同質功能組件(例如，執行組件)中之一或多者有缺陷，則功能組件組態過程去能該等功能組件。舉例而言，向有缺陷功能組件發布去能信號。

在一實施例中，效能降低電路搶修方法500包括可程式化地再組態晶片以允許其他功能組件執行經去能之功能組件的功能。舉例而言，將遮罩程式化為識別經去能之功能組件的分配組件，且可在剩餘功能組件之間分配工作流。可將其程式化為在測試時間被執行之軟體可載入暫存器或硬編碼遮罩型程式。存在可被利用之多種技術，包括可程式化非揮發性記憶體、熔線、導線結合帶，等等。

在效能降低電路搶修方法500之一實施例中，測試器中之程式包括對於特定效能等級的晶粒之特徵的界定。在一例示性實施例中，測試器包括在每一效能等級中何種缺陷為可容許之指示。舉例而言，測試器可包括可去能第一複數個平行功能組件之第一效能等級、及可去能第二複數個平行功能組件之第二效能等級。效能等級亦可對應於經致能之功能組件的數目。本發明亦可促進作為測試程序之一部分的晶粒之基於效能等級之自動重新分級。

圖18為測試環境600的方塊圖，該測試環境600為根據本發明之一實施例的測試環境。測試環境600包括晶粒610及測試系統650。晶粒610包含測試介面633、分配器631及功能組件611至614，其中每一功能組件及分配器631分別包括掃描測試單元621至625。晶粒搶修測試系統650包含測

試模組680及有缺陷組件解析模組670，該模組670包括功能性維持模組671、相應組件偵測模組672、去能模組673及晶粒濾除模組674。

晶粒搶修測試系統650測試晶粒610。測試模組680向測試介面633提供測試向量，該測試介面633將該等測試向量轉至掃描測試單元621至625。將掃描測試單元621至625中之資訊饋入至對掃描測試資訊執行操作之功能組件611至614及分配器631中。亦藉由掃描測試單元621至625來俘獲結果，且將該等結果傳達至測試介面633，該測試介面633將其傳遞至測試系統650以用於分析。測試模組680分析結果且向有缺陷解析模組670提供有缺陷功能組件之指示。有缺陷解析模組670判定是否可藉由去能功能組件而對晶粒進行搶修。

功能性維持模組671判定經識別之功能組件是否包括於被允許去能之群中。在一實施例中，功能性維持模組671判定是否存在可處理經識別之(例如，有缺陷)功能組件之工作流的其他功能組件。舉例而言，可將工作流轉移或再導引至另一功能組件。在一例示性實施例中，功能性維持模組671對照被允許去能之組件之預定清單來檢查經識別之功能組件(例如，其他組件可處理工作流)。

相應組件偵測模組672判定是否存在應被去能之相關功能組件。相關功能組件可為適當起作用之組件。在本發明之一實施例中，識別與有缺陷功能組件緊密相關聯之功能組件(例如，在同一管線、線緒等等中)。舉例而言，若功

能組件處於有缺陷組件之下游，則可去能(例如，斷電)適當起作用之組件以防止切換活動及相應功率消耗。在一例示性實施例中，可去能功能組件以維持產品分化。若識別到應被去能之其他功能組件，則將此等組件之識別碼反饋至功能性維持模組671中以判定去能該等組件是否會影響功能性。

去能模組673指導功能組件去能(例如，功能組件611、612、613或614之去能)。在本發明之一實施例中，去能模組673經由測試介面633而直接向功能組件發送去能信號。在替代實施例中，去能模組673向晶粒610中之去能組件(未圖示)發送信號。若功能性維持模組671提供可容許去能一功能組件之指示(例如，其將不消除功能性)，則去能模組673去能該功能組件。在一例示性實施例中，功能性維持模組671允許去能模組673在即使去能一功能組件會減少效能之情況下仍去能該功能組件，只要其不減少功能性即可。

晶粒標記模組674標記晶粒。在本發明之一實施例中，晶粒標記模組674基於效能標準來標記晶粒。晶粒標記模組674亦提供晶粒是否經濾除之標記或指示。晶粒可因為功能性維持模組671提供有缺陷功能組件不應被去能及/或晶粒之效能降至低於預定等級之指示而經濾除。在一例示性實施例中，基於經去能之功能組件來標記晶粒。舉例而言，若去能預定數目及/或類型之功能組件，則相應地標記晶粒。

在本發明之一實施例中，晶粒標記模組674亦標記晶粒所處之晶圓。在本發明之一實施例中，晶粒標記模組674基於良率標準來標記晶圓。可對於不同效能等級而分割良率標準。舉例而言，良率標記可指示：晶圓中特定數目或百分比之晶粒不具有經去能之功能組件；特定數目或百分比之晶粒具有設定數目之經去能之功能組件；且特定數目或百分比之晶粒經濾除或不可搶修。

圖19為晶粒分類過程700的流程圖，該晶粒分類過程700為根據本發明之一實施例之晶粒分類過程的一實施例。晶粒分類過程700涉及在分化效能等級下具有類似組態之晶粒的製造及分類。在一例示性實施例中，基於不同效能等級而對在同一製造過程中所製造之晶粒進行分類。舉例而言，晶粒具有相同數目之功能組件(例如，電晶體)，但一些功能組件係以不防止功能之執行但可能影響效能之方式而被去能。晶粒分類過程700促進具有相同功能性及不同效能等級之晶粒的分類及分配。

在步驟710中，製造具有類似組態之複數個晶粒。在本發明之一實施例中，在單一晶圓上製造複數個晶粒。在本發明之一實施例中，類似組態使得複數個晶粒中之每一者能夠執行預定類型之功能性。在一例示性實施例中，利用相同微影過程步驟來製造複數個晶粒。在一實施例中，可藉由檢查關於晶粒之資料表單資訊來判定類似組態。舉例而言，資料表單資訊可包括晶粒大小(例如，電晶體之數目)、功能性指示符、及/或效能指示符，及/或關於與晶粒

相關聯之產品線之資訊(例如，藉由判定晶粒售價為多少)。若晶粒具有大體上相同之製造成本，則亦可指示類似組態。

在步驟720中，防止一組件參與複數個晶粒中之一者內之生產貢獻，而不消除晶粒執行與該組件相關聯之功能的能力。在本發明之一實施例中，組件生產力之移除可能影響效能，但不消除功能性之類型。在一例示性實施例中，藉由去能該組件而防止該組件參與生產貢獻。可將經去能之組件之工作流再導向至其他組件。在一實施例中，防止組件參與生產貢獻可藉由分析資料表單資訊來偵測。舉例而言，若晶粒具有可應用於以不同效能等級提供相同類型之功能性的產品線之產品表單。或者，是否防止組件參與生產貢獻之另一指示為是否不判定哪一資料表單資訊應用於一晶粒，直至在執行測試之後(例如，資料表單資訊之選擇對應於晶粒組件之基於測試之結果的變化)。

在步驟730中基於對於功能性之分化效能等級而對複數個晶粒中之每一者進行分類。在一例示性實施例中，晶粒包括於以與提供功能性處之效能等級相關的不同價格而分配或售賣之產品中。在本發明之一實施例中，以不同效能等級(例如，不同速度、頻寬，等等)來分配具有相同設計之晶粒。

圖20為根據本發明之一實施例之處理單元800的方塊圖。在本發明之一實施例中，處理單元800包括於基於電腦之系統(例如，電腦系統200)中。在一例示性實施例中，

處理單元800類似於中央處理單元201及/或圖形處理單元211。處理單元800包含配置組件810、效能管理狀態組件820及操作組件831至834。在一實施例中，配置組件810類似於分配組件110，效能管理狀態組件820類似於功能組件控制器120，且操作組件831至834類似於功能組件131-134。操作組件831至834中之每一者執行與各種任務(例如，浮點計算、圖形資料操縱，等等)相關聯之處理操作。在一實施例中，操作組件831至834執行類似任務或功能。效能管理組件820選擇性地管理操作組件831至834中之每一者之操作特徵的改變(例如，致能、去能，等等)。配置組件810耦接至操作組件831至834及效能管理組件820。配置組件810將資訊配置至經致能之功能組件831至834中的每一者。舉例而言，若操作組件831至834經致能，則配置組件810將處理工作流資訊配置(例如，分配)至操作組件831至834。在一實施例中，效能管理狀態組件820及操作組件831至834類似於功能組件控制器120及功能組件131-134。

效能管理組件820接收指示對操作組件之改變的資訊。舉例而言，測試結果指示操作組件有缺陷。效能管理組件820識別應用有資訊之操作組件831至834的子組。舉例而言，有缺陷之操作組件之子組，且彼子組未經致能以供使用。在一例示性實施例中，致能無缺陷之子組。舉例而言，若測試結果指示操作組件831及834有缺陷，則操作組件820致能操作組件832及833，但不致能操作組件831及

834。若操作組件831及834經致能，則效能管理組件820將其去能。效能管理組件820亦向配置組件810提供操作特徵狀態指示。舉例而言，操作特徵狀態指示指示哪一功能組件經致能及哪一功能組件經去能。經致能之每一操作組件能夠執行另外會由未經致能之操作組件所執行的類似功能。

圖21為根據本發明之一實施例之晶圓良率最佳化方法900的流程圖。晶圓良率最佳化方法900增加來自晶圓之可用晶粒之良率。在一例示性實施例中，晶圓良率最佳化方法900促進具有另外自晶圓被丟棄之有缺陷組件之晶粒的搶修以增加自晶圓之整體良率。

在步驟910中，製造晶圓。晶圓包括複數個晶粒，且複數個晶粒中之每一者具有能夠藉由使用複數個功能子組件來平行地執行複數個子任務之功能組件。舉例而言，每一晶粒可包括藉由功能子組件(例如，遮影器、光柵處理器，等等)來執行多種圖形子任務(例如，遮影、紋理化、混淆、光柵化，等等)之管線。在本發明之一實施例中，使用微影過程來製造晶圓。

在步驟920中，對於每一晶粒，識別可操作之複數個功能子組件中之每一者及不可操作之複數個功能子組件中之每一者。在一實施例中，作為習知電路測試過程之一部分，識別可操作及不可操作之功能子組件。舉例而言，將預定輸入饋入至功能子組件且檢查所得輸出。針對誤差而檢查輸出資訊(例如，將輸出與預定正確結果相比)。若輸

出資訊包括誤差(例如，若輸出不匹配於預定正確結果)，則將功能子組件識別為不可操作。

在步驟930中，去能經識別為不可操作之該複數個功能子組件中之每一者的操作。在一實施例中，可致能經識別為可操作之該複數個功能子組件中之每一者。在一實施例中，藉由硬"編碼"機制來去能不可操作之功能子組件且致能可操作之功能子組件。舉例而言，利用鑄造雷射修邊刀(foundry laser trim bit)來組態或去能功能子組件。在另一實施例中，利用軟體可程式化資訊來組態(例如，去能或致能)功能子組件。

在步驟940中，基於操作狀態(例如，在步驟930中經識別為可操作或不可操作之組件)而將複數個晶粒中之每一者分類為一效能類別。舉例而言，可將晶粒分類為高效能類別，其中所有或相當大百分比之功能子組件可操作且經致能。可將晶粒分類為中等效能範圍類別，其中較少功能子組件保持經致能。可將此等效能範圍表示為可搶修。亦可存在晶粒不滿足最小值且經丟棄(或經受某一其他校正動作以可能地解決該問題)之效能類別。

在步驟950中，搶修經分類為被設計為可搶修之效能類別的晶粒。舉例而言，使用具有一些經去能之功能子組件之晶粒來執行處理任務，即使執行該等任務之速度減小。

圖22為根據本發明之一實施例之功能組件遠端組態架構1100的方塊圖。功能組件遠端組態架構1100促進包括於積體電路晶粒中之功能組件之組態。舉例而言，自外部或遠

端系統控制組態。功能組件遠端組態架構1100提供以下一架構：在其中，可以安全且受控之方式來改變功能組件之操作特徵以達成許多所需的實施例。

遠端組態環境1100包括積體電路晶粒1110及遠端組態控制模組1150。積體電路晶粒1110包含組態模組1133、分配組件1131及功能組件1111至1114，其中每一功能組件及分配組件1131分別包括操作特徵暫存器1121至1125。遠端組態控制器模組1150包含編碼模組1180及組態解析模組1170。

遠端組態控制器模組1150控制積體電路晶粒1110中之功能組件的組態。在一實施例中，遠端組態控制器模組1150處於晶片外(例如，在驅動器中)。組態解析模組1170判定積體電路晶粒1110之功能組件之操作特徵設定。在一例示性實施例中，組態解析模組1170參與自動化功能性協商過程(例如，隨選應變容量(capacity on demand))，其中作為功能性協商過程之一部分，達成關於升級之操作特徵的協定且動態地改變功能性指示符。在一例示性實施例中，設定操作特徵以維持產品分化。組態解析模組1170將操作特徵指示符值轉發至編碼模組1180。編碼模組1180對操作特徵指示符值進行編碼(例如，藉由密鑰、雜湊值，等等)，且將經編碼之操作特徵指示符值轉發至組態模組1133。

組態模組1133指導功能組件組態。舉例而言，組態模組1133基於自編碼模組1180所接收的經編碼之操作特徵設定值來指導對功能組件操作特徵設定(例如，對於功能組件

1111、1112、1113或1114)之改變。組態模組1133可對功能組件操作特徵指示符值進行解碼。組態模組1133將經解碼之值轉發至功能性追蹤模組1137以用於與相應操作特徵設定相比。

功能性追蹤模組1137指導功能組件操作特徵之維持。在一例示性實施例中，功能性追蹤模組1137提供經解碼之功能性指示符值與特定操作特徵設定之間的相關性。舉例而言，功能性追蹤模組1137對照操作特徵設定之預定相關性清單來檢查功能性指示符。功能性追蹤模組1137亦可判定是否存在可處理經識別之功能組件之工作流的其他功能組件。

圖23為根據本發明之一實施例之遠端再組態方法1200的流程圖。遠端再組態方法1200提供用於維持再組態操作之遠端控制的機制。在一例示性實施例中，在特定組態特徵之利用需要額外支付的按使用付費過程中利用遠端再組態方法1200。舉例而言，若使用者希望啟動額外功能組件(例如，額外繪圖管線、浮點組件，等等)，則使用者必須進行額外支付。

在步驟1210中，進行晶粒功能組件再組態請求過程，其中系統自遠端資源請求再組態碼。在一實施例中，再組態請求過程包括請求及接收晶粒功能組件再組態碼。在一例示性實施例中，由功能組件控制器(例如，120，等等)利用晶粒再組態碼來再組態功能組件。應瞭解，可經由多種通信系統而傳達對晶粒功能組件再組態碼之請求及接收。舉

例而言，可經由網際網路而傳達請求及晶粒功能組件再組態碼。在一實施例中，請求包括指示請求者經授權接收再組態碼之再組態碼容許指示符(例如，請求者已進行必要支付、具有被授權系統，等等)。

在一實施例中，晶粒功能組件再組態請求過程包括再組態碼容許指示符請求過程以獲得再組態碼容許指示符。在一例示性實施例中，再組態碼容許指示符請求過程包含轉發對容許指示符之支付及請求且接收對容許指示符之請求及支付的回應。舉例而言，消費者或使用者的經由網際網路而向遠端中央資源進行電子支付且接收容許指示符(例如，位元流碼)作為回報。

在步驟1220中，執行再組態碼產生過程。在一例示性實施例中，遠端資源處理對再組態碼之請求。在一實施例中，再組態碼產生過程包含接收對再組態碼及容許指示符之請求、分析容許指示符之有效性且在容許指示符有效之情況下提供再組態碼。舉例而言，遠端資源接收對增加在系統中所啟動之繪圖管線之數目的請求。遠端資源分析請求者是否已進行必要支付。若已進行必要支付，則遠端資源轉發用於增加在系統中所啟動之繪圖管線之數目的再組態碼。

在一實施例中，再組態碼產生過程包括進行再組態碼容許指示符回應過程以回應於用以獲得再組態碼容許指示符之請求過程。在一例示性實施例中，再組態碼容許指示符回應過程包括接收對容許指示符之支付且回應於接收到支

付而轉發容許指示符。

在步驟1230中，若系統接收到再組態碼(例如，自遠端資源接收)，則執行晶粒功能組件再組態過程。晶粒功能組件再組態過程包括根據再組態碼來再組態晶粒功能組件(例如，功能組件131、132、133、134，等等)。在一實施例中，晶粒功能組件再組態過程類似於功能組件組態過程400。

因此，本發明致能積體電路晶粒之靈活操作組態且增強產品分化。可在產品線中以多個效能等級來利用晶粒。本發明亦促進能夠經動態地組態以用於高效能任務或低效能任務之單一晶粒之製造，從而允許省電及經濟分化。本發明亦促進製造資源之節省及具有有缺陷組件之晶粒的搶修。

作為簡短概述，本著作已揭示以下內容。

概念1. 一種效能降低電路搶修方法，其包含：

製備一晶片以用於測試；

測試該晶片；及

基於該測試之結果而對該晶片執行一功能組件組態過程。

概念2. 如概念1之效能降低電路搶修方法，其中該測試包含：

識別一有缺陷功能組件；

判定是否存在一包括於該積體電路中之無缺陷功能組件，其中該無缺陷功能組件執行一與該有

缺陷功能組件類似之功能；

若該無缺陷組件包括於該積體電路中，則將該有缺陷功能組件表示為不使用；及

若執行該類似功能之該無缺陷組件不包括於該積體電路中，則將該積體電路標記為有缺陷。

概念3. 如概念1之效能降低電路搶修方法，其中該晶片之複數個同質執行組件中之一者經去能或致能。

概念4. 如概念1之效能降低電路搶修方法，其進一步包含再組態該晶片以允許其他功能組件執行該經去能之功能組件之功能。

概念5. 如概念1之效能降低電路搶修方法，其中該功能組件組態過程包含：

接收一有缺陷功能組件之一指示；

判定該有缺陷功能組件是否為複數個類似功能組件中之一者；

若該有缺陷功能組件為該複數個類似功能組件中之一者，則去能該有缺陷功能組件；

致能一或多個無缺陷功能組件；及

向一另外向該有缺陷功能組件傳達資訊之組件提供該去能及該致能之通知。

概念6. 如概念1之效能降低電路搶修方法，其中一有缺陷功能組件之該指示係自一測試系統接收。

概念7. 一種晶粒分類方法，其包含：

製造具有類似組態之複數個晶粒；

防止一組件參與該複數個晶粒中之一者內之生產貢獻，而不消除該複數個晶粒中之該一者執行一與該組件相關聯之功能的能力；及

基於對於該功能性之分化效能等級而對該複數個晶粒進行分類。

概念8. 如概念7之晶粒分類方法，其中該複數個晶粒製造於一單一晶圓上。

概念9. 如概念7之晶粒分類方法，其中類似組態係藉由檢查關於該複數個晶粒之資料表單資訊來判定。

概念10. 如概念7之晶粒分類方法，其中若晶粒具有大體上相同之製造成本，則類似組態得以判定。

概念11. 如概念7之晶粒分類方法，其中藉由去能該組件而防止該組件參與生產貢獻。

概念12. 如概念7之晶粒分類方法，其中不進行對哪一資料表單資訊應用於一包括於該複數個晶粒中之晶粒的一判定，直至在測試經執行之後。

概念13. 如概念7之晶粒分類方法，其中包括於該複數個晶粒中之一第一晶粒及一第二晶粒包括於以與提供功能性處之一效能等級相關的不同價格而售賣之不同產品中。

概念14. 如概念7之晶粒分類方法，其中該複數個晶粒中之每一者經製造為具有相同設計且係以不同效能等級而經分配。

概念15. 一種用於增加來自一晶圓之可用晶粒之良率之方

法，其包含：

製造一晶圓，其中該晶圓包括複數個晶粒，且其中該複數個晶粒中之每一者具有一能夠藉由使用複數個功能子組件來平行地執行複數個子任務之功能組件；

識別可操作及不可操作之該複數個功能子組件中之每一者；

去能經識別為不可操作之該複數個功能子組件中之每一者的操作；

致能經識別為可操作之該複數個功能子組件中之每一者的選擇性操作；

基於該等功能子組件之操作狀態而將該複數個晶粒中之該每一者分類為一效能類別；及

若該複數個該等晶粒中之一者被分類為一經表示為可搶修之效能類別，則搶修具有不可操作之功能子組件的該複數個該等晶粒中之該一者。

概念16.如概念15之方法，其中該等子任務包括圖形子任務。

概念17.如概念15之方法，其中作為一測試過程之一部分，識別該等不可操作之功能子組件。

概念18.如概念15之方法，其中該搶修該複數個該等晶粒中之一者包括藉由一對應於該複數個該等晶粒中之該一者的效能能力之效能指示符來標記該晶粒。

概念19.如概念15之方法，其中該複數個該等晶粒中之該一者包括圖形處理管線功能組件。

概念20.如概念15之方法，其進一步包含丟棄該複數個該等晶粒中之不提供完全功能性的一者。

下文揭示一具有經組態以用於使用巢套式折行書圖案來遍歷螢幕區域之光柵組件之GPU。

### 發明所屬之技術領域

本發明大體而言係關於硬體加速圖形電腦系統。

### 先前技術

電腦效能之近來的進步已使得圖形系統能夠藉由使用個人電腦、家庭視訊遊戲電腦、掌上型裝置及其類似者來提供較為逼真之圖形影像。在該等圖形系統中，執行許多程序以將圖元"貼圖"或繪製至系統之螢幕。"圖元"為圖形畫面之基本組份，諸如，頂點、多邊形或其類似者。貼圖影像係由此等圖元之組合形成。可利用許多程序來執行3-D圖形貼圖。

已開發出專用圖形處理單元(例如，GPU，等等)以最佳化執行圖形貼圖程序時所需之計算。該等GPU經組態以用於高速操作且通常併入一或多個貼圖管線。每一管線包括經最佳化以用於高速執行圖形指令/資料之許多基於硬體之功能單元，其中將指令/資料饋入至管線之前端且計算結果出現於管線之後端處。GPU之基於硬體之功能單元、快取記憶體、韌體及其類似者經最佳化以對低級圖元(例如，包含"點"、"線"、"三角形"，等等)進行操作且產生即時貼圖之3-D影像。

藉由使用光柵顯示技術來產生即時貼圖之3-D影像。光

柵顯示技術廣泛地用於電腦圖形系統中，且通常指代藉以使構成一影像之多個像素之柵格受圖元之影響的機制。對於每一圖元，典型光柵化系統通常逐像素地步進，且根據圖元之貢獻來判定是否"貼圖"給定像素或將其寫入至訊框緩衝器或像素映射中。此又判定如何將表示每一像素之資料寫入至顯示緩衝器。

已開發出各種遍歷演算法用於以覆蓋圖元內之所有像素的方式來逐像素地移動。舉例而言，一些解決方法涉及以單向方式來產生像素。該等傳統單向解決方法涉及在恆定方向上逐列地產生像素。此情形要求序列在圖元之相對側上之一位置處結束之後即跨越圖元而移位至圖元之第一側上之起始位置。每次執行此移位時，儲存未被定位成鄰近於預先緊接經處理之像素或紋理值的像素或紋理值。因此，該等遠離之像素或紋理值具有屬於不同記憶體存取區塊之較大機會，從而使得該存取效率不足。

因此，存在對一光柵化過程之需要，該過程可確保所需之圖形貼圖資料(例如，紋理值、標準映射，等等)可維持於記憶體中由GPU有效存取。

#### 發明內容

本發明之實施例提供一種用於確保所需之圖形貼圖資料(例如，紋理值、標準映射，等等)可維持於低潛時記憶體中以由GPU有效存取之方法及系統。本發明之實施例藉由增加快取記憶體存取之效率且藉由限制由存取較高潛時記憶體而引起之效能損失來提供快速且有效的即時3-D圖形

貼圖。

在一實施例中，將本發明實施為經組態以用於遍歷一區域之像素之GPU架構。GPU包括用於產生多邊形描述之設置單元及耦接至設置單元以用於光柵化多邊形描述之光柵處理器單元。光柵處理器單元經組態以藉由使用沿一主要軸線之第一折行書圖案來遍歷一影像之複數個像素，且在使用第一折行書圖案之遍歷期間，藉由使用第二折行書圖案來遍歷影像之複數個像素，其中將第二折行書圖案巢套於第一折行書圖案內。

在一實施例中，藉由GPU之光柵單元內之一粗糙光柵處理器組件來實施第一折行書圖案及第二折行書圖案。在一實施例中，GPU將影像之複數個像素群組為圖塊，且該等圖塊藉由使用第一折行書圖案及第二折行書圖案而被遍歷。

在一實施例中，每圖塊像素之數目可根據圖形貼圖操作之需求而程式化，且可根據圖形貼圖操作之需求而經表示為 $4\times 4$ 、 $8\times 8$ 、 $16\times 16$ 、 $32\times 32$ 、 $64\times 64$ 、 $128\times 128$ ，等等，包括矩形以及正方形陣列。類似地，每圖塊像素之數目可根據GPU之快取記憶體之大小而程式化，且第一折行書圖案及/或第二折行書圖案之主要軸線可程式化。

### 實施方式

現將詳細地參考本發明之較佳實施例，其實例被說明於隨附圖式中。雖然將結合較佳實施例來描述本發明，但應瞭解，其不意欲將本發明限於此等實施例。相反，本發明

意欲涵蓋可包括於由附加申請專利範圍所界定的本發明之精神及範疇內之替代物、修改及等效物。此外，在本發明之實施例之以下詳細描述中，闡述眾多特定細節，以便提供對本發明之透徹理解。然而，一般熟習此項技術者應認識到，可在無此等特定細節之情況下實踐本發明。在其他情況下，為了不不必要地混淆本發明之實施例之態樣而未詳細地描述熟知的方法、程序、組件及電路。

#### 記數法及命名法：

隨後的詳細描述之一些部分係根據程序、步驟、邏輯區塊、處理及對電腦記憶體內之資料位元之操作的其他符號表示而呈現。此等描述及表示為熟習資料處理技術者用以將其工作之本質最有效地傳達給其他熟習此項技術者而使用的手段。在此處且通常將程序、電腦執行步驟、邏輯區塊、過程等等設想為步驟或指令之自相一致的序列，其產生所要結果。該等步驟為需要實體量之實體操縱的步驟。通常(但未必)，此等量採取能夠在電腦系統中被儲存、轉移、組合、比較及另外操縱的電信號或磁信號之形式。已證實：主要為了平常使用，有時便利的係將此等信號稱作位元、值、元件、符號、字元、術語、數字或其類似者。

然而，應牢記，此等及類似術語均與適當實體量相關聯且僅僅為應用於此等量之便利標籤。除非如由以下論述所顯而易見地另有特定陳述，否則應瞭解，在整個本發明中，利用諸如"處理"或"存取"或"執行"或"儲存"或"貼圖"或其類似術語之術語的論述係指操縱經表示為電腦系統之

暫存器及記憶體內之實體(電子)量之資料且將其轉換為經類似地表示為電腦系統記憶體或暫存器或其他該等資訊儲存、傳輸或顯示裝置內之實體量之其他資料之電腦系統(例如，圖1之電腦系統100)或類似電子計算裝置的動作及過程。

#### 電腦系統平臺：

圖1展示根據本發明之一實施例的電腦系統100。電腦系統100描繪根據本發明之實施例之為特定的基於硬體及基於軟體之功能性提供執行平臺之基本電腦系統的組件。一般而言，電腦系統100包含至少一CPU 101、一系統記憶體115及至少一繪圖處理器單元(GPU)110。CPU 101可經由橋接組件/記憶體控制器(未圖示)而耦接至系統記憶體115，或可經由CPU 101內部之記憶體控制器(未圖示)而直接耦接至系統記憶體115。GPU 110耦接至顯示器112。一或多個額外GPU可視情況耦接至系統100以進一步增加其計算能力。GPU 110耦接至CPU 101及系統記憶體115。可將系統100實施為(例如)桌上型電腦系統或伺服器電腦系統，其具有耦接至專用圖形貼圖GPU 110之強大的通用CPU 101。在該實施例中，可包括添加周邊匯流排、專用圖形記憶體、IO裝置及其類似者之組件。類似地，可將系統100實施為掌上型裝置(例如，蜂巢式電話，等等)或機頂視訊遊戲控制臺裝置，諸如，可購自Microsoft Corporation of Redmond, Washington之Xbox®，或可購自Sony Computer Entertainment Corporation of Tokyo, Japan之

PlayStation3®。

應瞭解，可將GPU 110實施為離散組件、經設計以經由連接器(例如，AGP槽、PCI-Express槽，等等)而耦接至電腦系統100之離散圖形卡、離散積體電路晶粒(例如，直接安裝於主板上)，或可將其實施為包括於電腦系統晶片組組件(未圖示)之積體電路晶粒內之積體GPU。另外，可包括區域圖形記憶體114以用於GPU 110進行高頻寬圖形資料儲存。

#### 實施例：

圖2展示描繪根據本發明之一實施例以折行書圖案被光柵化之像素柵格的圖200。如圖2所描繪，藉由虛線221來指示折行書圖案。

在一實施例中，如圖2之圖200所描繪，以由線221所指示之次序來遍歷像素柵格之每一像素。線221展示遍歷之折行書圖案，其中術語"折行書"指代藉由在每一通過在正交軸線上更向前移動時沿一軸線來回掃描(就像農民犁耕或收割田地一樣)而訪問2D區域上之所有像素的遍歷圖案。術語折行書通常意謂如在(例如)田地中的"如牛耕一般"。

因此，如圖2所描繪，此折行書光柵化指代沿主要軸線來回折疊之蜿蜒蛇形圖案。在圖2之實例中，主要軸線為水平的。水平折行書序列(例如)可自左向右產生在一圖元三角形內的在一系列上之所有像素，且接著自右向左產生下一列，等等。該折疊路徑確保自所產生之像素至先前新近產生之像素的平均距離相對較小。

仍參看圖2，用於訪問螢幕之在光柵化較大圖元時所覆蓋之區域(例如，三角形，等等)的折行書圖案具有維持相關資料之快取及減少訊框緩衝器及紋理存取所需之記憶體請求的優勢。舉例而言，當將新近之像素群及/或其相應紋理值保持於具有有限大小之記憶體中時，產生在新近產生之像素附近的像素為重要的。

一種此記憶體為快取記憶體。快取記憶體經最佳化以用於高速的低潛時存取。然而，可用於GPU之快取記憶體之量通常遠小於所需之總訊框緩衝器記憶體。因此，折行書序列較經常地發現已經載入至快取記憶體中之像素或紋理值，且因此避免對較緩慢之訊框緩衝器記憶體(例如，區域圖形記憶體112)或甚至慢得多的系統記憶體(例如，記憶體115)之成本較高之高潛時存取。

應注意，在一實施例中，替代實施像素柵格之折行書圖案遍歷，可對圖塊柵格實施折行書圖案遍歷。在該實施例中，每一圖塊包含一像素區塊。通常根據GPU之貼圖功率(rendering power)及/或快取記憶體或訊框緩衝器記憶體之大小來修整圖塊之大小(例如，每圖塊像素之數目)。在一實施例中，圖塊之大小為可程式化的且可經動態地選擇為(例如)4×4、8×8、16×16、32×32、64×64、128×128，等等，包括每圖塊像素或子像素之任何矩形(以及正方形)陣列。

圖24展示描繪根據本發明之一實施例在圖塊柵格上的第一折行書圖案及巢套於第一折行書圖案內部之第二折行書

圖案的圖300。

如上文所述，水平折行書圖案(例如，水平主要軸線)指代沿水平軸線來回折疊之蜿蜒蛇形圖案。在本實施例中，第二折行書圖案嵌入於此第一水平折行書圖案內。如圖24所描繪，第二折行書圖案為垂直折行書圖案。此係由沿垂直軸線來回折疊之線321指示。垂直折行書圖案在其沿成拱形水平折行書圖案之水平軸線前進時沿垂直軸線來回折疊。一旦垂直折行書圖案前進至圖塊之上部列(例如，其中列為8個圖塊之高度)的右手側，其即水平地跨越其自身而折回，且返回向圖塊之下部列的左手側前進。在其自圖塊之下部列的右手側向左手側前進時，可觀察到垂直折行書圖案始終沿下部列上下折疊。

以此方式，本發明之實施例可將第二垂直折行書圖案嵌入至第一水平折行書圖案中。第二折行書圖案向第一折行書圖案中之嵌入用以進一步限定資料存取且限制快取未中。舉例而言，多個嵌入式折行書圖案可經組態以與GPU之快取記憶體的大小及組態(例如，快取線大小，等等)緊密對準。此特徵有助於維持關於快取記憶體存取之區域性。多個嵌入式折行書圖案亦可經組態以維持關於訊框緩衝器記憶體112之記憶體組存取之區域性，其中多個DRAM組(未圖示)構成訊框緩衝器記憶體112。此外，多個折行書圖案可經組態以與用於存取記憶體之預提取過程對準，其中該預提取過程依靠可預測記憶體存取圖案，使得其可預期將來自記憶體之資料提取至GPU之快取記憶體

中。

圖25展示根據本發明之一實施例之較為複雜的多巢套式折行書圖案遍歷過程。如圖25所描繪，其展示子圖塊411及子圖塊412。子圖塊411-412為諸如(例如)圖24所示之圖塊350的較大圖塊之子圖塊。線451展示第三水平折行書圖案及第四垂直折行書圖案可相對於水平軸線421及垂直軸線422而進一步巢套於上文在圖24中所描述之第一水平折行書圖案及第二垂直折行書圖案內的方式。以此方式，本發明之實施例可將複數個折行書圖案嵌入至第一折行書圖案中，此用以在精細得多之程度上限定資料存取且限制快取未中。

應注意，如上文所述，本發明之實施例除了對像素之圖塊操作之外還可對個別像素操作，且可根據特定應用程式(例如，藉由圖形驅動器而可程式化，等等)之需要來定製圖塊之大小。另外，應注意，可根據特定應用程式(例如，藉由圖形驅動器而可程式化，等等)之需要來定製折行書圖案之組態。舉例而言，第一及第二折行書圖案可為垂直及水平、水平及垂直，等等。

圖26展示根據本發明之一實施例之GPU 110之內部組件的圖500。如圖26所示，GPU 110包括設置引擎501及光柵處理器單元502。在本實施例中，將本發明之功能性實施於光柵處理器單元502之硬體及軟體內。通常，光柵處理器單元502藉由將自設置引擎501所接收之基於頂點的描述轉換為基於邊緣描述之描述而起作用。光柵處理器單元

502隨後將此等邊緣描述轉換為包含實際像素描述之填充區域(例如，像素區域、像素子樣本，等等)。隨後將像素描述傳遞至GPU 110內之其他單元以用於進一步處理及貼圖。

在一實施例中，光柵處理器單元502包括精細光柵組件503及粗糙光柵組件504。粗糙光柵組件504在其迅速地搜尋圖塊柵格以識別所關注之圖塊(例如，由圖元所覆蓋之圖塊)時實施如上文所述的基於圖塊之折行書圖案光柵化。一旦識別到所關注之圖塊，精細光柵組件503即個別地識別由圖元所覆蓋之像素。因此，在該實施例中，粗糙光柵組件504藉由使用圖塊來迅速地搜尋像素柵格，且精細光柵組件503使用由粗糙光柵組件504所產生之資訊且藉由個別地識別由圖元所覆蓋之像素來實施細粒度光柵化。在兩種情況下，粗糙光柵組件504及精細光柵組件503均可在其光柵化期間利用一或多個折行書圖案(例如，巢套式或非巢套式)。

仍參看圖26，GPU 110進一步包括藉由實施對最頻繁使用之圖形貼圖資料的高速低潛時儲存而起作用之快取記憶體521。該資料通常包含紋理資訊、頂點資訊、色彩及其類似者。將快取記憶體521展示為耦接至區域圖形記憶體112。快取記憶體521利用一或多個快取維持機制來維持與區域圖形記憶體112之一致性。箭頭540展示GPU 110與系統記憶體(例如，圖1所示之記憶體115)之間的通信路徑。與系統記憶體115之通信通常甚至比與區域圖形記憶體112

之通信還要慢得多。因此，本發明之實施例的記憶體存取限定屬性藉由最小化快取未中發生之次數來極大地減少藉由存取區域圖形記憶體112及系統記憶體115而引起的損失。

作為簡短概述，本著作已揭示以下內容。

概念1. 一種繪圖處理器單元(GPU)，其包含：

一用於產生多邊形描述之設置單元；

一耦接至該設置單元以用於光柵化該等多邊形描述之光柵處理器單元，其中該光柵處理器單元經組態以藉由使用一沿一主要軸線之第一折行書圖案來遍歷一影像之複數個像素，且在使用該第一折行書圖案之該遍歷期間，藉由使用一第二折行書圖案來遍歷該影像之複數個像素，其中該第二折行書圖案巢套於該第一折行書圖案內。

概念2. 如概念1之GPU，其中該第一折行書圖案及該第二折行書圖案藉由該光柵單元內之一粗糙光柵處理器組件而加以實施。

概念3. 如概念1之GPU，其中該影像之該複數個像素經群組為圖塊，且該等圖塊藉由使用該第一折行書圖案及該第二折行書圖案而被遍歷。

概念4. 如概念3之GPU，其中每圖塊像素之數目為可程式化的，且可被表示為像素或子像素樣本之一正方形或矩形陣列。

概念5. 如概念3之GPU，其中每圖塊像素之數目可根據該

GPU之一快取記憶體之一大小而程式化。

概念 6. 如概念 1 之 GPU，其中該第一折行書圖案之一主要軸線為可程式化的。

概念 7. 如概念 6 之 GPU，其中該第一折行書圖案之該主要軸線為一水平軸線，且其中該第二折行書圖案沿一垂直軸線。

概念 8. 如概念 6 之 GPU，其中該第一折行書圖案之該主要軸線為一垂直軸線，且其中該第二折行書圖案沿一水平軸線。

概念 9. 如概念 6 之 GPU，其中該第二折行書圖案之組態為可程式化的。

概念 10. 如概念 1 之 GPU，其中該第一折行書圖案及該第二折行書圖案經組態以維持關於快取記憶體存取之區域性。

概念 11. 如概念 1 之 GPU，其中該第一折行書圖案及該第二折行書圖案經組態以與用於存取記憶體之一預提取過程對準。

概念 12. 如概念 1 之 GPU，其中該第一折行書圖案及該第二折行書圖案經組態以維持關於一耦接至該 GPU 之訊框緩衝器記憶體之記憶體組存取的區域性。

概念 13. 一種繪圖處理器單元 (GPU)，其包含：

一用於產生多邊形描述之設置單元；

一耦接至該設置單元以用於光柵化該等多邊形描述之光柵處理器單元；一處於該光柵單元內之粗糙光柵組

件，其中該粗糙光柵處理器組件經組態以藉由使用一沿一主要軸線之第一折行書圖案來遍歷一影像之複數個像素，且在使用該第一折行書圖案之該遍歷期間，藉由使用一第二折行書圖案來遍歷該影像之複數個像素，其中該第二折行書圖案巢套於該第一折行書圖案內，且其中該影像之該複數個像素經群組為圖塊，且該等圖塊藉由使用該第一折行書圖案及該第二折行書圖案而被遍歷。

概念 14. 如概念 13 之 GPU，其中每圖塊像素之數目可根據該 GPU 之一快取記憶體之一大小而程式化。

概念 15. 如概念 13 之 GPU，其中該第一折行書圖案之一主要軸線為可程式化的。

概念 16. 如概念 15 之 GPU，其中該第一折行書圖案之該主要軸線為一水平軸線，且其中該第二折行書圖案沿一垂直軸線。

概念 17. 如概念 16 之 GPU，其中該第二折行書圖案之組態為可程式化的。

概念 18. 如概念 13 之 GPU，其中該第一折行書圖案及該第二折行書圖案經組態以維持關於快取記憶體存取之區域性。

概念 19. 一種電腦系統，其包含：

一系統記憶體；

一耦接至該系統記憶體之中央處理器單元；及

一以通信方式耦接至該中央處理器單元之繪圖處理器單元；

一處於該繪圖處理器單元內用於產生多邊形描述之設置單元；

一處於該繪圖處理器單元內且耦接至該設置單元以用於光柵化該等多邊形描述之光柵處理器單元；及

一處於該光柵單元內之粗糙光柵組件，其中該粗糙光柵處理器組件經組態以藉由使用一沿一主要軸線之第一折行書圖案來遍歷一影像之複數個像素，且在使用該第一折行書圖案之該遍歷期間，藉由使用一第二折行書圖案來遍歷該影像之複數個像素，其中該第二折行書圖案巢套於該第一折行書圖案內，且其中該影像之該複數個像素經群組為圖塊，且該等圖塊藉由使用該第一折行書圖案及該第二折行書圖案而被遍歷。

概念20. 如概念19之電腦系統，其中每圖塊像素之數目可根據該GPU之一快取記憶體之一大小而程式化，且其中該第一折行書圖案之一組態及該第二折行書圖案之一組態為可程式化的。

下文揭示一種用於在繪圖管線之光柵階段中光柵化非矩形圖塊群之方法。

#### **發明所屬之技術領域**

本著作大體而言係關於硬體加速圖形電腦系統。本著作揭示用於在繪圖管線之光柵階段中光柵化非矩形圖塊群之至少一方法。

#### **先前技術**

電腦效能之近來的進步已使得圖形系統能夠藉由使用個

人電腦、家庭視訊遊戲電腦、掌上型裝置及其類似者來提供較為逼真之圖形影像。在該等圖形系統中，執行許多程序以將圖元"貼圖"或繪製至系統之螢幕。"圖元"為圖形畫面之基本組份，諸如，頂點、多邊形或其類似者。貼圖影像由此等圖元之組合形成。可利用許多程序來執行3-D圖形貼圖。

已開發出專用圖形處理單元(例如，GPU，等等)以最佳化在執行圖形貼圖程序時所需之計算。GPU經組態以用於高速操作且通常併有一或多個貼圖管線。每一管線包括經最佳化以用於高速執行圖形指令/資料之許多基於硬體之功能單元，其中將指令/資料饋入至管線之前端中且計算結果出現於管線之後端處。GPU之基於硬體之功能單元、快取記憶體、韌體及其類似者經最佳化以對低級圖元(例如，包含"點"、"線"、"三角形"，等等)進行操作且產生即時貼圖之3-D影像。

藉由使用光柵顯示技術來產生即時貼圖之3-D影像。光柵顯示技術廣泛地用於電腦圖形系統中，且通常指代藉以使構成一影像之多個像素之柵格受圖元之影響的機制。對於每一圖元，典型光柵化系統通常逐像素地步進，且根據圖元之貢獻來判定是否"貼圖"給定像素或將其寫入至訊框緩衝器或像素映射中。此又判定如何將表示每一像素之資料寫入至顯示緩衝器。

已開發出各種遍歷演算法及各種光柵化方法用於以覆蓋構成給定3-D景像之圖元內之所有像素的方式自基於圖元

之描述至基於像素之描述進行計算(例如，對於每一圖元逐像素地光柵化)。舉例而言，一些解決方法涉及以單向方式來產生像素。該等傳統單向解決方法涉及在恆定方向上逐列地產生像素。此情形要求序列在圖元之相對側上之一位置處結束之後即跨越圖元而移位至圖元之第一側上之起始位置。

其他傳統方法涉及利用每像素評估技術來精密地評估構成顯示器之像素中之每一者且判定哪些像素係由哪些圖元覆蓋。每像素評估涉及跨越顯示器之像素而掃描以判定哪些像素係由圖元之邊緣接觸/覆蓋。

一旦將圖元光柵化為其組成像素，即接著在光柵化階段之後的管線階段中處理此等像素，在該等管線階段中執行貼圖操作。通常，此等貼圖操作根據構成景像之圖元的覆蓋度而將色彩指派給顯示器之像素中之每一者。亦根據被指派給圖元之紋理映射資訊、照明資訊及其類似者來判定每像素色彩。

然而，先前技術之3-D貼圖架構調節以處理現今應用之日益複雜的3-D景像之能力存在問題。現在電腦螢幕通常具有 $1920 \times 1200$ 像素或更大之螢幕解析度。增加3-D貼圖效能(諸如，增加時脈速度)之傳統方法具有諸如增加功率消耗及增加由GPU積體電路晶粒所產生之熱的負面效應。用於增加效能(諸如，併有大量平行執行單元以用於GPU操作之平行執行)之其他方法具有諸如增加積體電路晶粒大小、降低GPU製造過程之良率、增加功率需求等等的負面

效應。

因此，存在對一光柵化過程之需要，該過程可根據圖形應用程式需要所需而調節且提供額外效能，而不引起諸如增加之功率消耗及/或降低之製造良率的損失。

#### 發明內容

本著作之實施例提供一種用於一光柵化過程之方法及系統，該過程可根據圖形應用程式需要所需而調節且提供額外效能，同時最小化諸如增加之功率消耗及/或降低之製造良率的損失。

在一實施例中，本著作實施為一種用於在繪圖管線之光柵階段中光柵化非矩形圖塊群之方法。該方法包括接收一圖元以用於一繪圖處理器單元(例如，GPU)之一光柵階段中的光柵化。在第一級處藉由產生一包含與圖元有關之像素組的非矩形覆蓋區來光柵化圖元。接著，在第二級處藉由存取像素組且判定像素組之外的經覆蓋之像素來光柵化圖元。光柵階段隨後輸出經覆蓋之像素以用於GPU之後續階段中的貼圖操作。

在一實施例中，基於每時脈週期來實施第一級處之光柵化及第二級處之光柵化。可實施兩部分光柵階段，使得第一級光柵化在粗糙光柵單元中得以實施，且第二級處之光柵化在精細光柵單元中得以實施。

在一實施例中，藉由光柵階段而印出之非矩形覆蓋區根據圖元之形狀而在尺寸上可調整。舉例而言，可在尺寸上調整非矩形覆蓋區(例如，x個數目之圖塊寬乘y個數目之

圖塊長)，以最佳化構成該覆蓋區之經覆蓋之像素的數目，諸如，當非矩形覆蓋區在尺寸上經定大小以用於狹長三角形(例如，自模板陰影操作，等等)來最佳化經覆蓋之像素的數目時。

### 實施方式

現將詳細地參考本著作之較佳實施例，其實例被說明於隨附圖式中。雖然將結合較佳實施例來描述本發明，但應瞭解，其不意欲將本發明限於此等實施例。相反，本發明意欲涵蓋可包括於由附加申請專利範圍所界定的本發明之精神及範疇內之替代物、修改及等效物。此外，在本發明之實施例之以下詳細描述中，闡述眾多特定細節，以便提供對本發明之透徹理解。然而，一般熟習此項技術者應認識到，可在無此等特定細節之情況下實踐本發明。在其他情況下，為了不不必要地混淆本發明之實施例之態樣而未詳細地描述熟知的方法、程序、組件及電路。

### 記數法及命名法：

隨後的詳細描述之一些部分係根據程序、步驟、邏輯區塊、處理及對電腦記憶體內之資料位元之操作的其他符號表示而呈現。此等描述及表示為熟習資料處理技術者用以將其工作之本質最有效地傳達給其他熟習此項技術者而使用的手段。在此處且通常將程序、電腦執行步驟、邏輯區塊、過程等等設想為步驟或指令之自相一致的序列，其產生所要結果。該等步驟為需要實體量之實體操縱的步驟。通常(但未必)，此等量採取能夠在電腦系統中被儲存、轉

移、組合、比較及另外操縱的電信號或磁信號之形式。已證實：主要為了平常使用，有時便利的係將此等信號稱作位元、值、元件、符號、字元、術語、數字或其類似者。

然而，應牢記，此等及類似術語均與適當實體量相關聯且僅僅為應用於此等量之便利標籤。除非如由以下論述所顯而易見地另有特定陳述，否則應瞭解，在整個本發明中，利用諸如"處理"或"存取"或"執行"或"儲存"或"貼圖"或其類似術語之術語的論述係指操縱經表示為電腦系統之暫存器及記憶體內之實體(電子)量之資料且將其轉換為經類似地表示為電腦系統記憶體或暫存器或其他該等資訊儲存、傳輸或顯示裝置內之實體量之其他資料之電腦系統(例如，圖1之電腦系統100)或類似電子計算裝置的動作及過程。

#### **電腦系統平臺：**

圖1展示根據本發明之一實施例的電腦系統100。電腦系統100描繪根據本發明之實施例為特定的基於硬體及基於軟體之功能性提供執行平臺之基本電腦系統的組件。一般而言，電腦系統100包含至少一CPU 101、一系統記憶體115及至少一繪圖處理器單元(GPU)110。CPU 101可經由橋接組件/記憶體控制器(未圖示)而耦接至系統記憶體115，或可經由CPU 101內部之記憶體控制器(未圖示)而直接耦接至系統記憶體115。GPU 110耦接至顯示器112。一或多個額外GPU可視情況耦接至系統100以進一步增加其計算能力。GPU 110耦接至CPU 101及系統記憶體115。可將系

統100實施為(例如)桌上型電腦系統或伺服器電腦系統，其具有耦接至專用圖形貼圖GPU 110之強大的通用CPU 101。在該實施例中，可包括添加周邊匯流排、專用圖形記憶體、IO裝置及其類似者之組件。類似地，可將系統100實施為掌上型裝置(例如，蜂巢式電話，等等)或機頂視訊遊戲控制臺裝置，諸如，可購自Microsoft Corporation of Redmond, Washington之Xbox®，或可購自Sony Computer Entertainment Corporation of Tokyo, Japan之PlayStation3®。

應瞭解，可將GPU 110實施為離散組件、經設計以經由連接器(例如，AGP槽、PCI-Express槽，等等)而耦接至電腦系統100之離散圖形卡、離散積體電路晶粒(例如，直接安裝於主板上)，或可將其實施為包括於電腦系統晶片組組件(未圖示)之積體電路晶粒內之積體GPU。另外，可包括區域圖形記憶體114以用於GPU 110進行高頻寬圖形資料儲存。

#### **實施例：**

本發明之實施例實施一種用於在繪圖管線之光柵階段中光柵化非矩形圖塊群之方法及系統。通常，非矩形圖塊群為除了(例如)正方形(例如， $4\times 4$ 、 $8\times 8$ 、 $16\times 16$ 圖塊，等等)或矩形(例如， $4\times 8$ 、 $8\times 16$ 圖塊，等等)以外之組態。該方法包括接收圖元(例如，三角多邊形)以用於繪圖處理器(例如，圖1之GPU 110)之光柵階段中的光柵化。本發明之實施例可實施多級光柵化過程。

在一實施例中，在第一級處藉由產生包含與圖元有關之像素組(例如，覆蓋圖元之圖塊群)的非矩形覆蓋區而對圖元進行光柵化。接著，在第二級處藉由存取像素組(例如，覆蓋圖元之圖塊群)且判定該組之外的經覆蓋之像素而對圖元進行光柵化。舉例而言，即使圖塊群可覆蓋圖元，亦並非構成每一圖塊之所有像素均可覆蓋圖元或駐存於圖元內。此兩級光柵化之結果為覆蓋圖元或駐存於圖元內之像素。光柵階段隨後輸出經覆蓋之像素以用於繪圖處理器之後續階段中的貼圖操作。

圖2展示描繪根據本發明之一實施例以折行書圖案被光柵化之像素柵格的圖。

在一實施例中，如圖2所描繪，GPU 110之光柵階段將折行書圖案用於遍歷圖元。如圖2所描繪，藉由虛線221來指示折行書圖案。在該實施例中，以由線221所指示之次序來遍歷像素柵格之每一像素或像素區塊。線221展示遍歷之折行書圖案，其中術語"折行書"指代藉由在每一通過在正交軸線上更向前移動時沿一軸線來回掃描(就像農民犁耕或收割田地一樣)而訪問2D區域上之所有像素的遍歷圖案。術語折行書通常意謂如在(例如)田地中的"如牛耕一般"。

因此，如圖2所描繪，此折行書光柵化指代沿主要軸線來回折疊之蜿蜒蛇形圖案。在圖2之實例中，主要軸線為水平的。水平折行書序列(例如)可自左向右產生在一圖元三角形內的在一系列上之所有像素，且接著自右向左產生下一列，等等。該折疊路徑確保自所產生之像素至先前新近

產生之像素的平均距離相對較小。

仍參看圖2，用於訪問螢幕之在光柵化較大圖元時所覆蓋之區域(例如，三角形，等等)的折行書圖案具有維持相關資料之快取及減少訊框緩衝器及紋理存取所需之記憶體請求的優勢。舉例而言，當將新近之像素群及/或其相應紋理值保持於具有有限大小之記憶體(例如，快取記憶體，等等)中時，產生在新近產生之像素附近的像素為重要的。

關於光柵化之折行書圖案之額外細節可在Franklin C. Crow等人於2005年12月15日申請的序號為11/304,904之美國專利申請案"A GPU HAVING RASTER COMPONENTS CONFIGURED FOR USING NESTED BOUSTROPHEDONIC PATTERNS TO TRAVERSE SCREEN AREAS"中找到，該申請案以其全文併入本文中。

應注意，雖然在折行書光柵化之情形中描述了本發明之實施例，但可使用其他類型之光柵化圖案。舉例而言，本文所描述之用於光柵化非矩形圖塊群之演算法及GPU階段可易於應用於傳統的自左向右逐行光柵化圖案。

圖3展示根據本發明之一實施例的三角多邊形301(例如，三角形301)對照GPU 110之光柵單元之光柵化圖案321的圖。

如上文所述，線321展示遍歷之折行書圖案，其中光柵單元藉由在每一通過在正交軸線上更向前移動時沿一軸線掃描而訪問三角形301之2D區域上的所有像素。在圖3之實

施例中，在第一級處或在粗糙光柵化級處執行此初始光柵化圖案。GPU 110之粗糙光柵單元遍歷三角形301且印出覆蓋三角形301之圖塊群。此等圖塊群在三角形301與圖塊群之大小相比為較大且粗糙光柵單元正光柵化完全處於三角形301之內部內之像素的彼等情況下可為對稱的(例如，正方形、矩形，等等)。此等圖塊群在三角形301與圖塊群之大小相比為較小且粗糙光柵單元正光柵化在三角形301之狹長點(例如，點302)附近之像素的彼等情況下亦可為非矩形。通常，非矩形圖塊群為除了(例如)正方形(例如， $4\times 4$ 、 $8\times 8$ 、 $16\times 16$ 圖塊，等等)或矩形(例如， $4\times 8$ 、 $8\times 16$ 圖塊，等等)以外之組態。如本文中所使用，應注意，術語"非矩形群"指代藉以在光柵階段中被光柵化之圖塊群不限於矩形或正方形陣列之屬性。非矩形圖塊群可為任意配置。舉例而言，在一實施例中，非矩形圖塊群可包括甚至不彼此鄰近之圖塊。

圖4展示根據本發明之一實施例在圖塊藉由第一級光柵化過程被檢查時三角形301對照圖塊柵格的圖。在圖4中，所說明之正方形中之每一者表示一包含像素之圖塊(例如， $8\times 8$ 、 $16\times 16$ ，等等)。圖4展示第一級光柵化產生各包含四個圖塊之粗糙光柵化圖塊群(諸如，例示性圖塊群401)的情況。

如上文所述，在一實施例中，第一級光柵化產生包含與圖元有關之像素組(例如，覆蓋圖元之圖塊群)的圖塊群或覆蓋區(例如，覆蓋區401)。通常，第一級光柵化意欲快速

地判定螢幕區域之哪些像素與給定圖元有關。因此，一次檢查相對較大的像素群(例如，圖塊)，以便快速地找出與圖元有關之彼等像素。可將該過程比作勘測，藉以粗糙光柵單元快速地掃描螢幕區域且找出覆蓋三角形301之圖塊群。因此，可以較為細粒之方式而比利用單一光柵化級且一次檢查小得多的數目之像素之傳統先前技術更快速地發現與三角形301有關之像素。

在圖4之實施例中，第一級光柵化利用四圖塊覆蓋區(例如，覆蓋區401)，其中每一圖塊群或覆蓋區包括四個圖塊。因此，第一級光柵化將印出四圖塊覆蓋區，其中每一覆蓋區具有由三角形301所覆蓋之至少一像素。因此，第一級光柵化被稱作粗糙光柵化，因為一次檢查較大的像素群。

圖5展示描繪根據本發明之一實施例由粗糙光柵單元所印出之複數個圖塊群的圖。例示性圖塊群501及502被展示。

圖5之實施例展示粗糙光柵階段產生非矩形圖塊群以便最佳化三角形301之覆蓋度之方式。如上文所述，可使用非矩形覆蓋區來較為有效地判定螢幕區域之哪些圖塊與給定圖元有關。接著，在第二級處藉由存取所產生之圖塊群且判定此等圖塊群之外的經覆蓋之像素而對圖元進行光柵化。舉例而言，即使圖塊群可覆蓋圖元，亦並非構成每一圖塊之所有像素均可覆蓋圖元或駐存於圖元內。

圖5展示例示性非矩形圖塊群501及502。圖塊群或覆蓋

區 501-502 為非矩形，在於：其組成圖塊未以方框形或矩形方式來配置。在覆蓋區 501-502 之情況下，其組成圖塊以如圖所示之 "L" 形圖案被印出。此非矩形圖案最佳化覆蓋區 501-502 內經覆蓋之像素的數目。

圖 5 亦展示圖塊 511-518。視其覆蓋度而定，根據本發明之一實施例的光柵階段可將圖塊 515-518 印出為單一矩形圖塊群(例如，沿三角形 301 之上部邊緣)，且將圖塊 511-514 印出為類似矩形圖塊群(例如，沿三角形 301 之下部邊緣)。以此方式，可將四個圖塊之群組合為堆集，而不考慮其對稱性。堆集可為 L 形、直線形、正方形或其類似者。調整圖塊之堆集之尺寸，以便最佳化堆集內經覆蓋之像素的數目。

應注意，可在第一級粗糙光柵化過程中實施不同數目之圖塊。舉例而言，替代每覆蓋區四個圖塊，可利用六個、八個或更多圖塊。在該等較大覆蓋區之情況下，可以多種不同形狀及多種不同圖案來組合圖塊，以便最佳地覆蓋給定圖元。

以此方式，藉由光柵階段而印出之非矩形覆蓋區(例如，覆蓋區 501)根據圖元之形狀(例如，三角形 301)而在尺寸上可調整。舉例而言，可在尺寸上調整非矩形覆蓋區(例如， $x$  個數目之圖塊寬乘  $y$  個數目之圖塊長)，以最佳化構成該覆蓋區之經覆蓋之像素的數目。此屬性在被貼圖之圖元格外長且窄之彼等情況下尤為有用。該等長窄三角形通常出現於諸如模板陰影演算法之應用中。舉例而言，在

三角形301為非常長窄之三角形之情況下，可最佳化構成每一圖塊之像素的數目及構成覆蓋區之圖塊的數目，以便印出具有較高比例之經覆蓋之像素的覆蓋區。此在光柵化在三角形之點(例如，點302)附近的像素時尤為有用。

圖6說明在根據本發明之一實施例藉由使用第二級光柵化過程被光柵化時的覆蓋區501。如上文所述，在粗糙光柵化之後，接著，在第二級處藉由存取覆蓋區501之像素組(例如，構成圖塊群501之像素)且判定該組之外的經覆蓋之像素而對三角形501進行光柵化。舉例而言，即使覆蓋區501覆蓋三角形301，亦並非構成每一圖塊之所有像素均可覆蓋圖元或駐存於圖元內。

第二級光柵化或精細光柵化現印出覆蓋區501之個別經覆蓋之像素。精細光柵化過程檢查構成覆蓋區501之像素且判定彼等像素中之哪些係由三角形301覆蓋。此在圖6中被展示為包含覆蓋區501之每一圖塊的16個像素(例如， $4 \times 4$ )之柵格。對照三角形301之邊緣來評估每一圖塊之16個像素中之每一者。視所要之準確度而定，可在評估中使用每一像素之多個樣本點。評估之結果為覆蓋區501之由多邊形301所覆蓋之像素的指定。接著，自精細光柵化單元輸出經覆蓋之像素以用於GPU 110之後續階段內的進一步處理。

圖7展示根據本發明之一實施例之GPU 110之內部組件的圖。如圖7所示，GPU 110包括設置引擎701及光柵處理器單元702。在本實施例中，在光柵處理器單元702之硬體及

軟體內實施本發明之功能性。設置單元701藉由將基於頂點之描述轉換為基於邊緣描述之描述而起作用。光柵處理器單元702隨後將此等邊緣描述轉換為包含實際像素描述之填充區域(例如，像素區域、像素子樣本，等等)。隨後，將像素描述傳遞至GPU 110內之其他單元以用於進一步處理及貼圖。

在本實施例中，光柵處理器單元702包括粗糙光柵組件703及精細光柵組件704。粗糙光柵組件703在其迅速地搜尋圖塊柵格以識別所關注之圖塊(例如，由圖元所覆蓋之圖塊)時實施如上文所述之非矩形圖塊群光柵化過程。一旦識別到所關注之圖塊群，精細光柵組件704即個別地識別由圖元所覆蓋之像素。因此，在該實施例中，粗糙光柵組件703藉由使用圖塊來迅速地搜尋像素柵格，且精細光柵組件704使用由粗糙光柵組件703所產生之資訊且藉由個別地識別由圖元所覆蓋之像素來實施細粒度光柵化。在兩種情況下，粗糙光柵組件703及精細光柵組件704均可在其光柵化期間利用一或多個折行書圖案。

仍參看圖7，GPU 110進一步包括藉由實施對最頻繁使用之圖形貼圖資料的高速低潛時儲存而起作用之快取記憶體721。該資料通常包含紋理資訊、頂點資訊、色彩及其類似者。將快取記憶體721展示為耦接至區域圖形記憶體114。快取記憶體721利用一或多個快取維持機制來維持與區域圖形記憶體114之一致性。箭頭740展示GPU 110與系統記憶體(例如，圖1所示之記憶體115)之間的通信路徑。

在一實施例中，最佳化構成光柵單元702之硬體以用於基於每時脈之操作。舉例而言，為了提供高輸送量且藉此維持較高貼圖訊框速率，粗糙光柵組件703及精細光柵組件704包含經設計以基於每時脈週期來實施第一級光柵化及第二級光柵化之硬體。可實施光柵處理器單元702，使得在單一時脈週期內"印出"覆蓋給定圖元之圖塊群(例如，包括非矩形圖塊群)的粗糙光柵組件703中實施第一級光柵化。隨後，在單一時脈週期中印出圖塊群之經覆蓋之像素的精細光柵組件704中實施第二級處之光柵化。因此，舉例而言，每時脈可處理64個像素之硬體將使用64像素之覆蓋區(例如，各具有16個像素之4個圖塊)，而每時脈可處理128個像素之硬體將使用128像素之覆蓋區(例如，各具有16個像素之8個圖塊、各具有32個像素之4個圖塊，等等)。如上文所述，可以各種不同堆集(例如，瘦長覆蓋區、正方形覆蓋區、矩形覆蓋區、對角覆蓋區、"L"形覆蓋區，等等)來配置此等圖塊。

作為簡短概述，本著作已揭示以下內容。

概念1. 一種用於在一繪圖管線之一光柵階段中光柵化非矩形圖塊群之方法，其包含：

接收一圖元以用於一繪圖處理器之一光柵階段中的光柵化；

在一第一級處藉由產生一包含一與該圖元有關之像素組的非矩形覆蓋區來光柵化該圖元；及

在一第二級處藉由存取該像素組且判定該像素組之外的

經覆蓋之像素來光柵化該圖元；及

輸出該等經覆蓋之像素以用於該繪圖處理器之一後續階段中的貼圖操作。

概念2. 如概念1之方法，其中基於一每時脈週期來實施該第一級處之該光柵化。

概念3. 如概念1之方法，其中基於一每時脈週期來實施該第二級處之該光柵化。

概念4. 如概念1之方法，其中在一粗糙光柵單元中實施該第一級處之光柵化，且在一精細光柵單元中實施該第二級處之光柵化。

概念5. 如概念1之方法，其中該粗糙光柵單元經組態以藉由使用一折行書圖案來遍歷一影像之複數個像素。

概念6. 如概念1之方法，其中該非矩形覆蓋區根據該圖元之一形狀而在尺寸上可調整。

概念7. 如概念6之方法，其中該非矩形覆蓋區在尺寸上可調整，以最佳化構成該非矩形覆蓋區之該像素組之外的經覆蓋之像素的數目。

概念8. 如概念7之方法，其中該非矩形覆蓋區在尺寸上經定大小以用於一狹長三角形圖元，以最佳化構成該非矩形覆蓋區之經覆蓋之像素的數目。

概念9. 一種繪圖處理器單元(GPU)，其包含：

一用於產生多邊形描述之設置單元；

一耦接至該設置單元以用於光柵化該等多邊形描述之光柵處理器單元；

一處於該光柵處理器單元內之粗糙光柵單元，其用於在一第一級處藉由產生一包含一與該圖元有關之像素組的非矩形覆蓋區來光柵化一圖元；及

一處於該光柵處理器單元內之精細光柵單元，其用於在一第二級處藉由存取該像素組且判定該像素組之外的經覆蓋之像素來光柵化該圖元。

概念10. 如概念9之GPU，其中基於一每時脈週期來實施該第一級處之該光柵化。

概念11. 如概念9之GPU，其中基於一每時脈週期來實施該第二級處之該光柵化。

概念12. 如概念9之GPU，其中在一粗糙光柵單元中實施該第一級處之光柵化，且在一精細光柵單元中實施該第二級處之光柵化。

概念13. 如概念9之GPU，其中該粗糙光柵單元經組態以藉由使用一折行書圖案來遍歷一影像之複數個像素。

概念14. 如概念9之GPU，其中該非矩形覆蓋區根據該圖元之一形狀而在尺寸上可調整。

概念15. 如概念14之GPU，其中該非矩形覆蓋區在尺寸上可調整，以最佳化構成該非矩形覆蓋區之該像素組之外的經覆蓋之像素的數目。

概念16. 如概念15之GPU，其中該非矩形覆蓋區在尺寸上經定大小以用於一狹長三角形圖元，以最佳化構成該非矩形覆蓋區之經覆蓋之像素的數目。

概念17. 一種電腦系統，其包含：

一系統記憶體；

一耦接至該系統記憶體之中央處理器單元；及

一以通信方式耦接至該中央處理器單元之繪圖處理器單元；

一處於該繪圖處理器單元內用於產生多邊形描述之設置單元；

一處於該繪圖處理器單元內且耦接至該設置單元以用於光柵化該等多邊形描述之光柵處理器單元；及

一處於該光柵單元內之粗糙光柵組件，其中該粗糙光柵處理器組件經組態以自該設置單元接收一圖元以用於光柵化、在一第一級處藉由產生一包含一與該圖元有關之像素組的非矩形覆蓋區來光柵化該圖元、在一第二級處藉由存取該像素組且判定該像素組之外的經覆蓋之像素來光柵化該圖元，且輸出該等經覆蓋之像素以用於該繪圖處理器單元之一後續階段中的貼圖操作。

概念18. 如概念17之電腦系統，其中基於一每時脈週期來實施該第一級處之該光柵化及該第二級處之該光柵化。

概念19. 如概念17之電腦系統，其中該非矩形覆蓋區在尺寸上可調整，以最佳化構成該非矩形覆蓋區之該像素組之外的經覆蓋之像素的數目。

概念20. 如概念17之電腦系統，其中該非矩形覆蓋區在尺寸上經定大小以用於一狹長三角形圖元，以最佳化構成該非矩形覆蓋區之經覆蓋之像素的數目。

概括地，本著作揭示一種用於平行精細光柵化之方法。

該方法包括接收一圖元以用於一繪圖處理器之一光柵階段中的光柵化。可在第一級處光柵化該圖元以產生像素之複數個圖塊。隨後，在第二級處藉由將圖塊配置至一平行第二級光柵化單元陣列來光柵化該等圖塊，以產生經覆蓋之像素。接著，可輸出該等經覆蓋之像素以用於該繪圖處理器之一後續階段中的貼圖操作。其亦概括地揭示用以藉由靈活地改變積體電路晶粒中之功能組件之操作特徵來促進增加之晶粒良率之系統及方法。本發明之系統及方法可使具有有缺陷功能組件之積體電路晶片能夠被搶修。以維持晶片之基本功能性之方式來去能晶粒中之有缺陷功能組件。對晶片進行測試，且可基於測試之結果而對晶片執行功能組件組態過程。若接收到有缺陷功能組件之指示，則去能該功能組件。可將工作流自經去能之功能組件轉移至經致能之功能組件。其亦概括地揭示一種經組態以用於遍歷一區域之像素之GPU。該GPU包括用於產生多邊形描述之設置單元及耦接至設置單元以用於光柵化多邊形描述之光柵處理器單元。光柵處理器單元可經組態以藉由使用沿一主要軸線之第一折行書圖案來遍歷一影像之複數個像素，且在使用該第一折行書圖案之遍歷期間，藉由使用第二折行書圖案來遍歷影像之複數個像素，其中可將第二折行書圖案巢套於第一折行書圖案內。其亦概括地揭示一種用於光柵化非矩形圖塊群之方法。該方法包括接收一圖元以用於一繪圖處理器之一光柵階段中的光柵化。可在第一級處藉由產生一包含與圖元有關之像素組的非矩形覆蓋區

來光柵化該圖元。接著，可在第二級處藉由存取像素組且判定像素組之外的經覆蓋之像素來光柵化該圖元。光柵階段可隨後輸出經覆蓋之像素以用於繪圖處理器之後續階段中的貼圖操作。

## 結論

已出於說明及描述之目的而呈現本發明之特定實施例的前述描述。其不意欲為窮盡的或將本發明限於所揭示之精確形式，且許多修改及變化根據以上教示為可能的。選擇並描述該等實施例，以便最佳地闡述本發明之原理及其實踐應用，藉此使得熟習此項技術者能夠最佳地利用本發明及各種實施例與適於所預期之特定使用的各種修改。本發明之範疇意欲由附加於此之申請專利範圍及其等效物界定。

## 【圖式簡單說明】

圖1展示根據本著作之一實施例的電腦系統。

圖2展示描繪根據本著作之一實施例以折行書圖案被光柵化之像素柵格的圖。

圖3展示根據本著作之一實施例的三角多邊形對照GPU之光柵單元之光柵化圖案的圖。

圖4展示根據本著作之一實施例在圖塊藉由第一級光柵化過程被檢查時三角形對照圖塊柵格的圖。

圖5展示描繪根據本著作之一實施例由粗糙光柵單元所印出之複數個圖塊群的圖。

圖6展示根據本著作之一實施例藉由使用第二級光柵化

過程被光柵化時的覆蓋區。

圖7展示根據本著作之一實施例之GPU之內部組件的圖。

圖8展示根據本著作之一實施例的光柵處理器單元，其中光柵處理器單元包括平行精細光柵單元陣列。

圖9展示根據本著作之一實施例具有16個精細光柵單元之陣列之光柵處理器單元的圖。

圖10展示描繪根據本著作之一實施例之例示性負荷平衡方法的圖。

圖11展示描繪根據本著作之一實施例之光柵處理器的圖，其中已停用包含陣列之四個精細光柵單元之群。

圖12展示描繪根據本著作之一實施例支援功能組件之選擇性啟動/停用之例示性架構的圖。

圖13A為根據本著作之一實施例之積體電路的方塊圖。

圖13B為根據本著作之一實施例具有被組織於管線中之功能組件之積體電路的方塊圖。

圖13C為根據本著作之一實施例之多重處理器積體電路的方塊圖。

圖13D為根據本著作之一實施例用以控制不同目標之例示性遮罩陣列實施例的方塊圖。

圖14為可實施本著作之實施例之電腦系統的方塊圖。

圖15為根據本著作之一實施例之繪圖管線的方塊圖。

圖16為根據本著作之一實施例之功能組件組態方法的流程圖。

圖 17 為根據本著作之一實施例之效能降低電路搶修方法的流程圖。

圖 18 為根據本著作之一實施例之測試環境的方塊圖。

圖 19 為根據本著作之一實施例之晶粒分類過程的流程圖。

圖 20 為根據本著作之一實施例之處理單元的方塊圖。

圖 21 為根據本著作之一實施例之晶圓良率最佳化方法的流程圖。

圖 22 為根據本著作之一實施例之功能組件組態架構的方塊圖。

圖 23 為根據本著作之一實施例之遠端再組態方法的流程圖。

圖 24 展示描繪根據本著作之一實施例在圖塊柵格上的第一折行書圖案及巢套於第一折行書圖案內部之第二折行書圖案的圖。

圖 25 展示根據本著作之一實施例之較為複雜的多巢套式折行書圖案遍歷過程。

圖 26 展示根據本著作之一實施例之 GPU 之內部組件的圖。

#### 【主要元件符號說明】

|    |         |
|----|---------|
| 10 | 遮罩陣列/遮罩 |
| 11 | 行       |
| 12 | 行       |
| 13 | 行       |

|     |                      |
|-----|----------------------|
| 14  | 行                    |
| 15  | 行                    |
| 16  | 行                    |
| 17  | 行                    |
| 18  | 行                    |
| 20  | 良率遮罩                 |
| 30  | 相容性遮罩                |
| 40  | 效能遮罩                 |
| 50  | 自恢復遮罩                |
| 97  | 單元                   |
| 98  | 單元                   |
| 99  | 單元                   |
| 100 | 電腦系統/積體電路            |
| 101 | CPU                  |
| 110 | 繪圖處理器單元(GPU)/分配組件    |
| 112 | 顯示器/區域圖形記憶體/訊框緩衝器記憶體 |
| 114 | 區域圖形記憶體              |
| 115 | 系統記憶體                |
| 119 | 分配組件                 |
| 120 | 功能組件組態控制器            |
| 131 | 功能組件                 |
| 132 | 功能組件                 |
| 133 | 功能組件                 |
| 134 | 功能組件                 |

|     |              |
|-----|--------------|
| 137 | 時脈源          |
| 138 | 電源           |
| 140 | 收集組件         |
| 150 | 管線積體電路       |
| 151 | 分配組件/管線      |
| 152 | 功能組件組態控制器/管線 |
| 154 | 收集組件/管線      |
| 171 | 管線           |
| 172 | 管線           |
| 173 | 管線           |
| 174 | 管線           |
| 175 | 時脈源          |
| 177 | 電源           |
| 181 | 時脈源          |
| 182 | 電源           |
| 190 | 多重處理器積體電路    |
| 191 | 分配組件         |
| 192 | 功能組件組態控制器    |
| 194 | 收集組件         |
| 195 | 處理器          |
| 197 | 處理器          |
| 198 | 處理器          |
| 199 | 處理器          |
| 200 | 電腦系統/圖       |

|     |             |
|-----|-------------|
| 201 | 中央處理單元      |
| 202 | 主記憶體        |
| 203 | 晶片組         |
| 204 | 可移除式資料儲存裝置  |
| 205 | 南橋          |
| 207 | 輸入裝置        |
| 208 | 信號通信埠       |
| 209 | 北橋          |
| 210 | 圖形子系統       |
| 211 | 繪圖處理器       |
| 215 | 圖形緩衝器/訊框緩衝器 |
| 220 | 顯示器/顯示監視器   |
| 221 | 虛線          |
| 291 | 通信匯流排       |
| 292 | 通信匯流排       |
| 293 | 通信匯流排       |
| 294 | 通信匯流排       |
| 295 | 通信匯流排       |
| 297 | 通信匯流排       |
| 300 | 繪圖管線/圖      |
| 301 | 三角多邊形/三角形   |
| 302 | 點           |
| 310 | 管線輸入/管線輸入組件 |
| 311 | 頂點處理器       |

|     |                     |
|-----|---------------------|
| 312 | 頂點處理器               |
| 313 | 頂點處理器               |
| 314 | 頂點處理器               |
| 320 | 光柵處理器               |
| 321 | 光柵化圖案/線/像素遮影器       |
| 322 | 像素遮影器               |
| 323 | 像素遮影器               |
| 324 | 像素遮影器               |
| 330 | 預光柵操作(ROP)組件        |
| 331 | 光柵操作組件              |
| 332 | 光柵操作組件              |
| 333 | 光柵操作組件              |
| 334 | 光柵操作組件              |
| 340 | 管線輸出                |
| 350 | 功能組件組態控制器/圖塊        |
| 400 | 功能組件組態過程            |
| 401 | 例示性圖塊群/覆蓋區          |
| 411 | 子圖塊                 |
| 412 | 子圖塊                 |
| 421 | 水平軸線                |
| 422 | 垂直軸線                |
| 451 | 線                   |
| 500 | 方法/圖                |
| 501 | 例示性圖塊群/覆蓋區/三角形/設置引擎 |

|     |                    |
|-----|--------------------|
| 502 | 例示性圖塊群/覆蓋區/光柵處理器單元 |
| 503 | 精細光柵組件             |
| 504 | 粗糙光柵組件             |
| 511 | 圖塊                 |
| 512 | 圖塊                 |
| 513 | 圖塊                 |
| 514 | 圖塊                 |
| 515 | 圖塊                 |
| 516 | 圖塊                 |
| 517 | 圖塊                 |
| 518 | 圖塊                 |
| 521 | 快取記憶體              |
| 540 | 箭頭                 |
| 600 | 測試環境               |
| 610 | 晶粒                 |
| 611 | 功能組件               |
| 612 | 功能組件               |
| 613 | 功能組件               |
| 614 | 功能組件               |
| 621 | 掃描測試單元             |
| 622 | 掃描測試單元             |
| 623 | 掃描測試單元             |
| 624 | 掃描測試單元             |
| 625 | 掃描測試單元             |

|     |                      |
|-----|----------------------|
| 631 | 分配器                  |
| 633 | 測試介面                 |
| 650 | 測試系統                 |
| 670 | 有缺陷組件解析模組/有缺陷解析模組    |
| 671 | 功能性維持模組              |
| 672 | 相應組件偵測模組             |
| 673 | 去能模組                 |
| 674 | 晶粒濾除模組/晶粒標記模組        |
| 680 | 測試模組                 |
| 700 | 晶粒分類過程               |
| 701 | 設置引擎/設置單元            |
| 702 | 光柵處理器單元              |
| 703 | 粗糙光柵組件               |
| 704 | 精細光柵組件               |
| 721 | 快取記憶體                |
| 740 | 箭頭                   |
| 800 | 處理單元                 |
| 804 | 陣列                   |
| 810 | 配置組件                 |
| 820 | 效能管理狀態組件/效能管理組件/操作組件 |
| 831 | 操作組件/功能組件            |
| 832 | 操作組件/功能組件            |
| 833 | 操作組件/功能組件            |
| 834 | 操作組件/功能組件            |

|      |                   |
|------|-------------------|
| 900  | 晶圓良率最佳化方法         |
| 1100 | 功能組件遠端組態架構/遠端組態環境 |
| 1105 | 群                 |
| 1110 | 積體電路晶粒            |
| 1111 | 功能組件              |
| 1112 | 功能組件              |
| 1113 | 功能組件              |
| 1114 | 功能組件              |
| 1121 | 操作特徵暫存器           |
| 1122 | 操作特徵暫存器           |
| 1123 | 操作特徵暫存器           |
| 1124 | 操作特徵暫存器           |
| 1125 | 操作特徵暫存器           |
| 1131 | 分配組件              |
| 1133 | 組態模組              |
| 1137 | 功能性追蹤模組           |
| 1150 | 遠端組態控制模組          |
| 1170 | 組態解析模組            |
| 1180 | 編碼模組              |
| 1200 | 圖/遠端再組態方法         |

## 五、中文發明摘要：

本發明揭示一種用於在一繪圖處理器之一光柵階段中進行平行精細光柵化之方法。該方法包括接收一圖元以用於一繪圖處理器之一光柵階段中的光柵化。可在一第一級中光柵化該圖元，以產生像素之複數個圖塊。隨後，在一第二級中藉由將該等圖塊配置至一平行第二級光柵化單元陣列以光柵化該等圖塊，以產生經覆蓋之像素。接著，可輸出該等經覆蓋之像素以用於該繪圖處理器之一後續階段中的貼圖操作。

## 六、英文發明摘要：

In a raster stage of a graphics processor, a method for parallel fine rasterization. The method includes receiving a graphics primitive for rasterization in a raster stage of a graphics processor. The graphics primitive may be rasterized at a first level to generate a plurality of tiles of pixels. The tiles are subsequently rasterized at a second level by allocating the tiles to an array of parallel second-level rasterization units to generate covered pixels. The covered pixels may then output for rendering operations in a subsequent stage of the graphics processor.

## 十、申請專利範圍：

1. 一種用於在一繪圖管線之一光柵階段中光柵化非矩形圖塊群之方法，其包含：

接收一圖元以用於一繪圖處理器之一光柵階段中的光柵化；

在一第一級處，藉由產生一包含一與該圖元有關之像素組的非矩形覆蓋區來光柵化該圖元；及

在一第二級處，藉由存取該像素組且判定該像素組之外之經覆蓋的像素來光柵化該圖元；及

輸出該等經覆蓋之像素，以用於該繪圖處理器之一後續階段中的貼圖操作。

2. 如請求項1之方法，其中基於一每時脈週期來實施該第一級處之該光柵化。
3. 如請求項1之方法，其中基於一每時脈週期來實施該第二級處之該光柵化。
4. 如請求項1之方法，其中在一粗糙光柵單元中實施該第一級處之光柵化，且在一精細光柵單元中實施該第二級處之光柵化。
5. 如請求項1之方法，其中該粗糙光柵單元經組態以藉由使用一折行書圖案來遍歷一影像之複數個像素。
6. 如請求項1之方法，其中該非矩形覆蓋區根據該圖元之形狀在尺寸上可調整。
7. 如請求項6之方法，其中該非矩形覆蓋區在尺寸上可調整，以最佳化構成該非矩形覆蓋區之該像素組之外之經

覆蓋之像素的數目。

8. 如請求項7之方法，其中該非矩形覆蓋區在尺寸上經定大小以用於一狹長三角形圖元，以最佳化構成該非矩形覆蓋區之經覆蓋之像素的數目。

9. 一種繪圖處理器單元(GPU)，其包含：

一用於產生多邊形描述之設置單元；

一耦接至該設置單元以用於光柵化該等多邊形描述之光柵處理器單元；

一處於該光柵處理器單元內之粗糙光柵單元，其用於在一第一級處藉由產生一包含一與一圖元有關之像素組的非矩形覆蓋區來光柵化該圖元；及

一處於該光柵處理器單元內之精細光柵單元，其用於在一第二級處藉由存取該像素組且判定該像素組之外之經覆蓋之像素來光柵化該圖元。

10. 如請求項9之GPU，其中基於一每時脈週期來實施該第一級處之該光柵化。

11. 如請求項9之GPU，其中基於一每時脈週期來實施該第二級處之該光柵化。

12. 如請求項9之GPU，其中在一粗糙光柵單元中實施該第一級處之光柵化，且在一精細光柵單元中實施該第二級處之光柵化。

13. 如請求項9之GPU，其中該粗糙光柵單元經組態以藉由使用一折行書圖案來遍歷一影像之複數個像素。

14. 如請求項9之GPU，其中該非矩形覆蓋區根據該圖元之形

狀而在尺寸上可調整。

15. 如請求項14之GPU，其中該非矩形覆蓋區在尺寸上可調整，以最佳化構成該非矩形覆蓋區之該像素組之外之經覆蓋之像素的數目。

16. 如請求項15之GPU，其中該非矩形覆蓋區在尺寸上經定大小以用於一狹長三角形圖元，以最佳化構成該非矩形覆蓋區之經覆蓋之像素的數目。

17. 一種電腦系統，其包含：

- 一系統記憶體；

- 一耦接至該系統記憶體之中央處理器單元；及

- 一以通信方式耦接至該中央處理器單元之繪圖處理器單元；

- 一處於該繪圖處理器單元內用於產生多邊形描述之設置單元；

- 一處於該繪圖處理器單元內且耦接至該設置單元以用於光柵化該等多邊形描述之光柵處理器單元；及

- 一處於該光柵單元內之粗糙光柵組件，其中該粗糙光柵處理器組件經組態以自該設置單元接收一圖元以用於光柵化、在一第一級處藉由產生一包含一與該圖元有關之像素組的非矩形覆蓋區來光柵化該圖元、在一第二級處藉由存取該像素組且判定該像素組之外之經覆蓋的像素來光柵化該圖元，且輸出該等經覆蓋之像素以用於該繪圖處理器單元之一後續階段中的貼圖操作。

18. 如請求項17之電腦系統，其中基於一每時脈週期來實施

該第一級處之該光柵化及該第二級處之該光柵化。

19. 如請求項17之電腦系統，其中該非矩形覆蓋區在尺寸上可調整，以最佳化構成該非矩形覆蓋區之該像素組之外之經覆蓋之像素的數目。

20. 如請求項17之電腦系統，其中該非矩形覆蓋區在尺寸上經定大小以用於一狹長三角形圖元，以最佳化構成該非矩形覆蓋區之經覆蓋之像素的數目。

21. 一種用於在一繪圖處理器之一光柵階段中進行平行精細光柵化之方法，其包含：

接收一圖元，以用於一繪圖處理器之一光柵階段中的光柵化；

在一第一級處，光柵化該圖元以產生像素之複數個圖塊；及

在一第二級處，藉由將該等圖塊配置至一平行第二級光柵化單元陣列來光柵化該等圖塊，以產生經覆蓋之像素；及

輸出該等經覆蓋之像素，以用於該繪圖處理器之一後續階段中的貼圖操作。

22. 如請求項21之方法，其中基於一每時脈週期來實施該第一級處之該光柵化。

23. 如請求項21之方法，其中基於一每時脈週期來實施該第二級處使用該陣列之該光柵化。

24. 如請求項21之方法，其中在一粗糙光柵單元中實施該第一級處之光柵化，且該陣列包含複數個平行精細光柵化

單元。

25. 如請求項24之方法，其中該複數個精細光柵化單元大體上相同。

26. 如請求項21之方法，其中該複數個圖塊係配置至該平行第二級光柵化單元陣列，以平衡該等第二級光柵化單元之間的工作負荷。

27. 如請求項21之方法，其中該等平行第二級光柵化單元中之至少一者被停用。

28. 如請求項27之方法，其中該至少一平行第二光柵化單元歸因於一故障狀態而被停用。

29. 如請求項21之方法，其中該等平行第二級光柵化單元中之至少一者為一提供一冗餘第二級光柵化能力之冗餘光柵化單元。

30. 如請求項21之方法，其中該平行第二級光柵化單元陣列能夠進行選擇性功能組件啟動。

31. 一種繪圖處理器單元(GPU)，其包含：

一用於產生多邊形描述之設置單元；

一耦接至該設置單元以用於光柵化該等多邊形描述之光柵處理器單元；

一處於該光柵處理器單元內之粗糙光柵單元，其用於在一第一級處藉由產生與一圖元有關之像素的複數個圖塊來光柵化該圖元；及

一處於該光柵處理器單元內之平行精細光柵單元陣列，其用於在一第二級處光柵化該等圖塊，其中該等圖

塊係配置至該等平行第二級光柵化單元以產生經覆蓋之像素，且其中該等經覆蓋之像素經輸出以用於該GPU之一後續階段中的貼圖操作。

32. 如請求項31之GPU，其中基於一每時脈週期來實施該第一級處之該光柵化。

33. 如請求項31之GPU，其中基於一每時脈週期來實施於該第二級處使用該陣列之該光柵化。

34. 如請求項31之GPU，其中該平行第二級光柵化單元陣列能夠進行選擇性功能組件停用。

35. 如請求項31之GPU，其中該複數個圖塊係配置至該平行第二級光柵化單元陣列，以平衡該等第二級光柵化單元之間的工作負荷。

36. 如請求項31之GPU，其中該等平行第二級光柵化單元中之至少一者被停用。

37. 如請求項31之GPU，其中該等平行第二級光柵化單元中之至少一者為一提供一冗餘第二級光柵化能力之冗餘光柵化單元。

38. 一種電腦系統，其包含：

一系統記憶體；

一耦接至該系統記憶體之中央處理器單元；及

一以通信方式耦接至該中央處理器單元之繪圖處理器單元；

一處於該繪圖處理器單元內用於產生多邊形描述之設置單元；

一處於該繪圖處理器單元內且耦接至該設置單元以用於光柵化該等多邊形描述之光柵處理器單元；及

一處於該光柵處理器單元內之粗糙光柵單元，其用於在一第一級處藉由產生與一圖元有關之像素的複數個圖塊來光柵化該圖元；及

一處於該光柵處理器單元內之平行精細光柵單元陣列，其用於在一第二級處光柵化該等圖塊，其中該等圖塊係配置至該等平行第二級光柵化單元以產生經覆蓋之像素，且其中該等經覆蓋之像素經輸出以用於該GPU之一後續階段中的貼圖操作。

39. 如請求項38之系統，其中基於一每時脈週期來實施該第一級處之該光柵化及該第二級處之該光柵化。

40. 如請求項38之系統，其中該平行第二級光柵化單元陣列能夠進行選擇性功能組件啟動/停用。

十一、圖式：

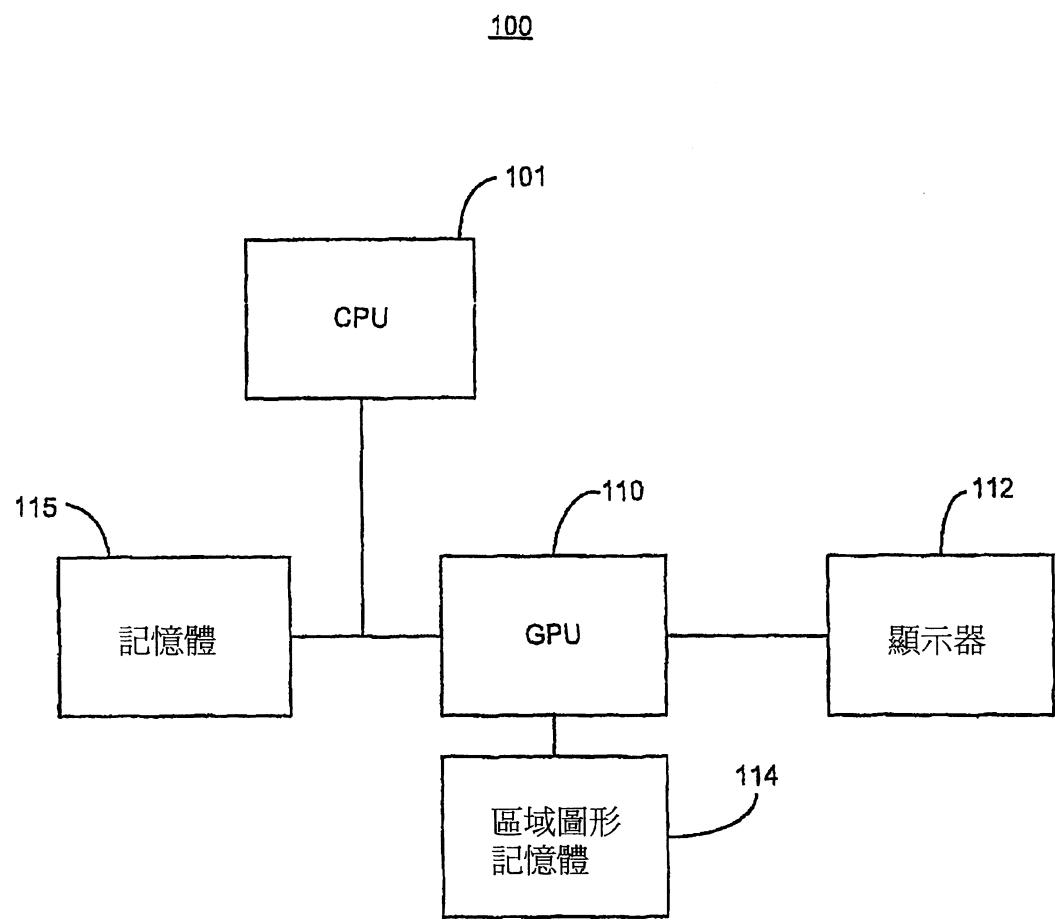


圖1

200

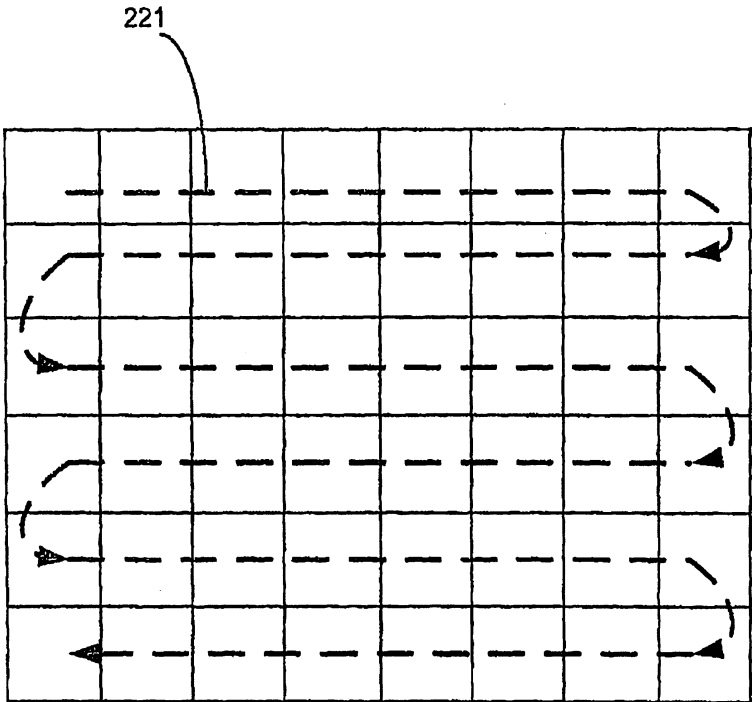


圖2

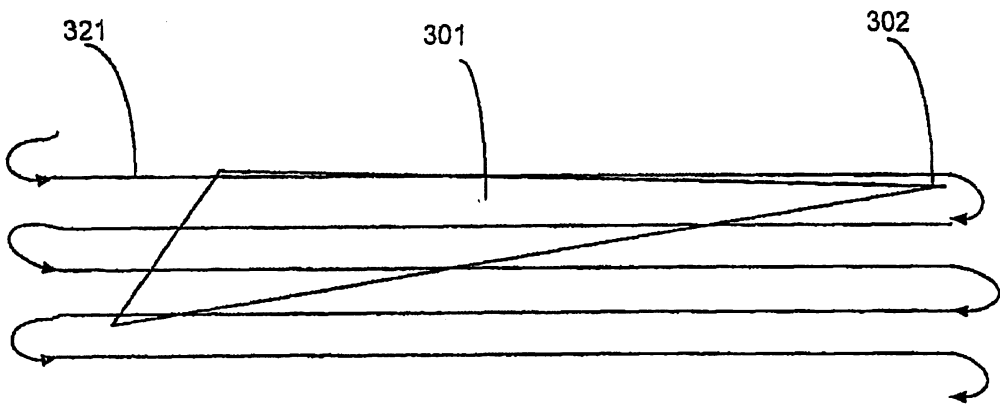


圖3

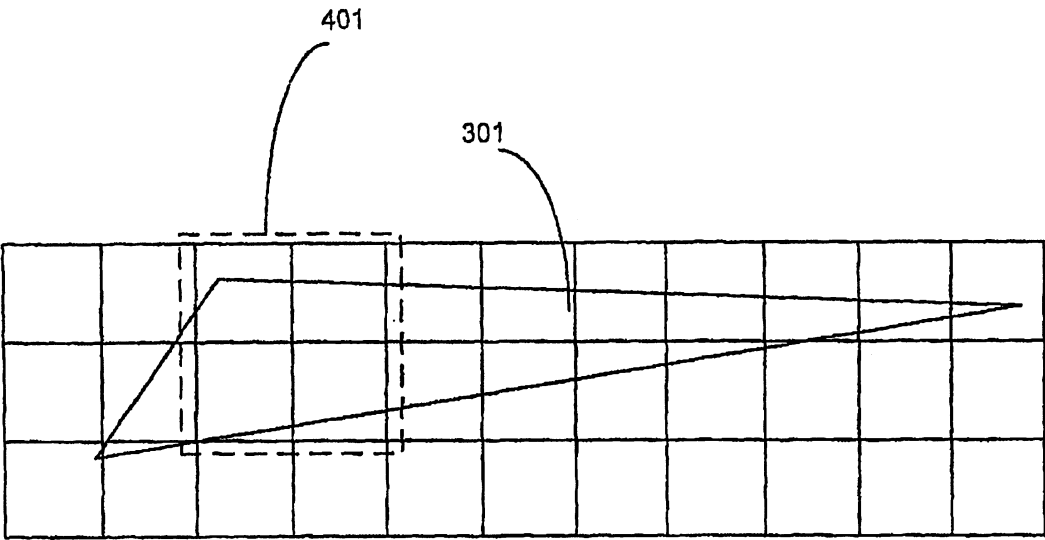


圖4

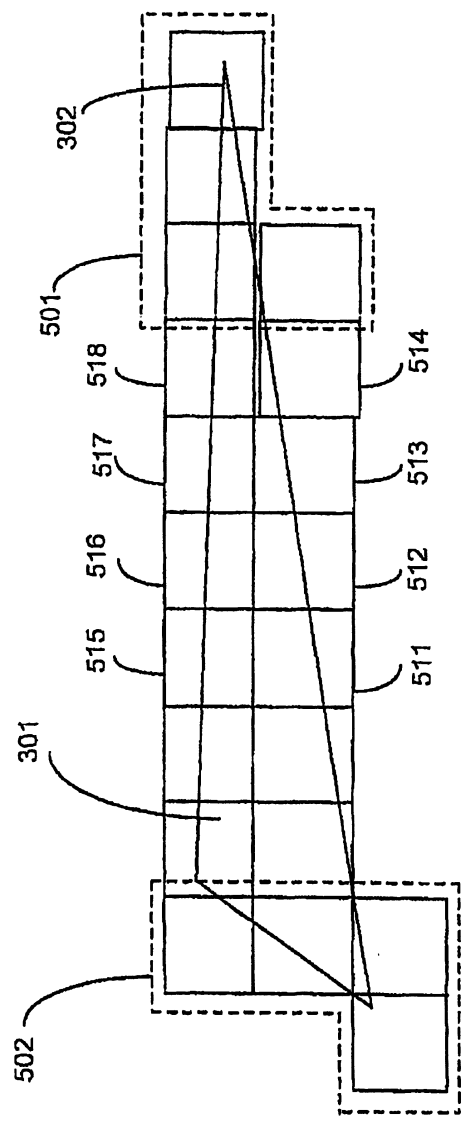


圖5

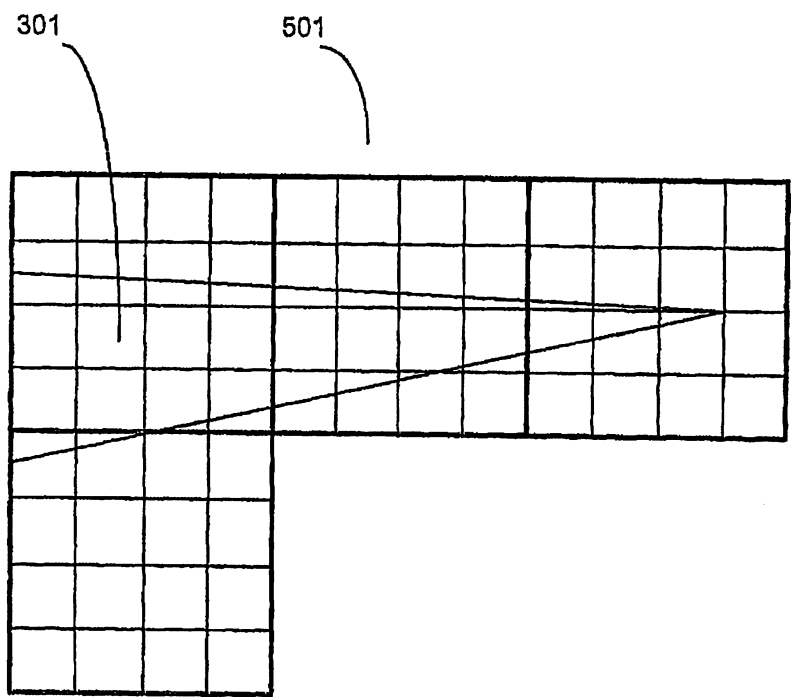


圖6

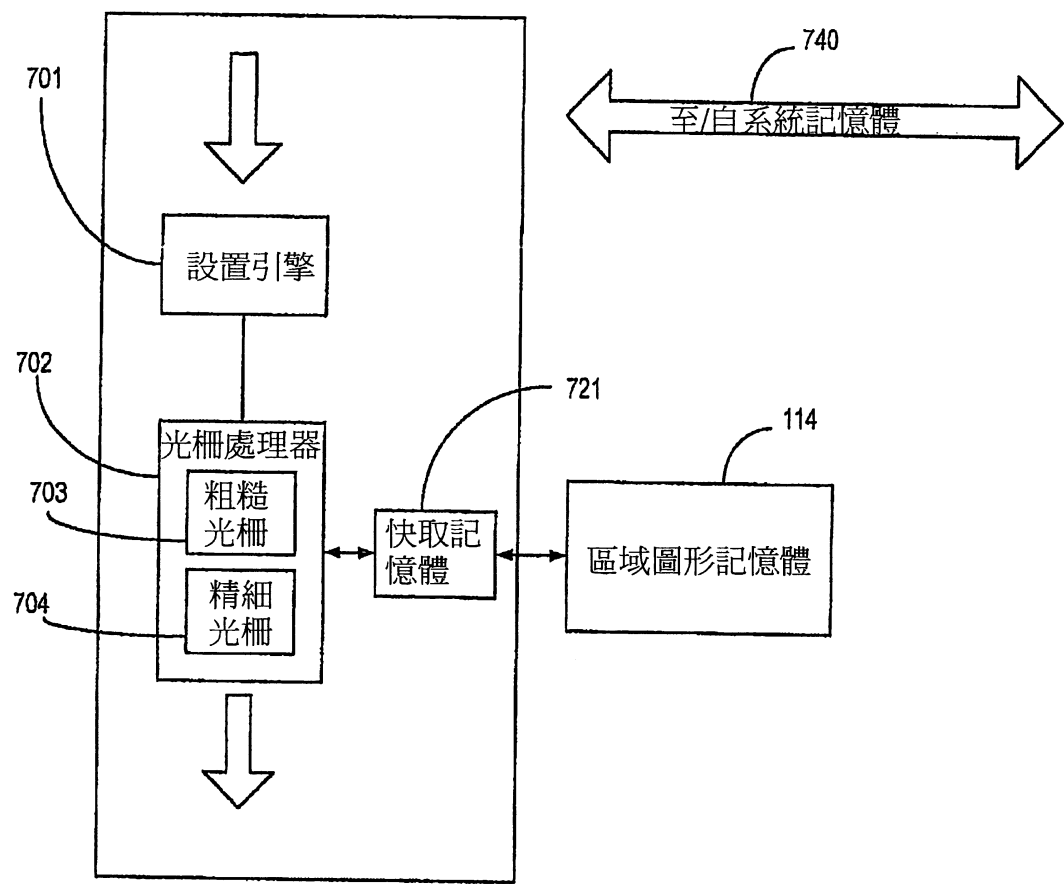


圖7

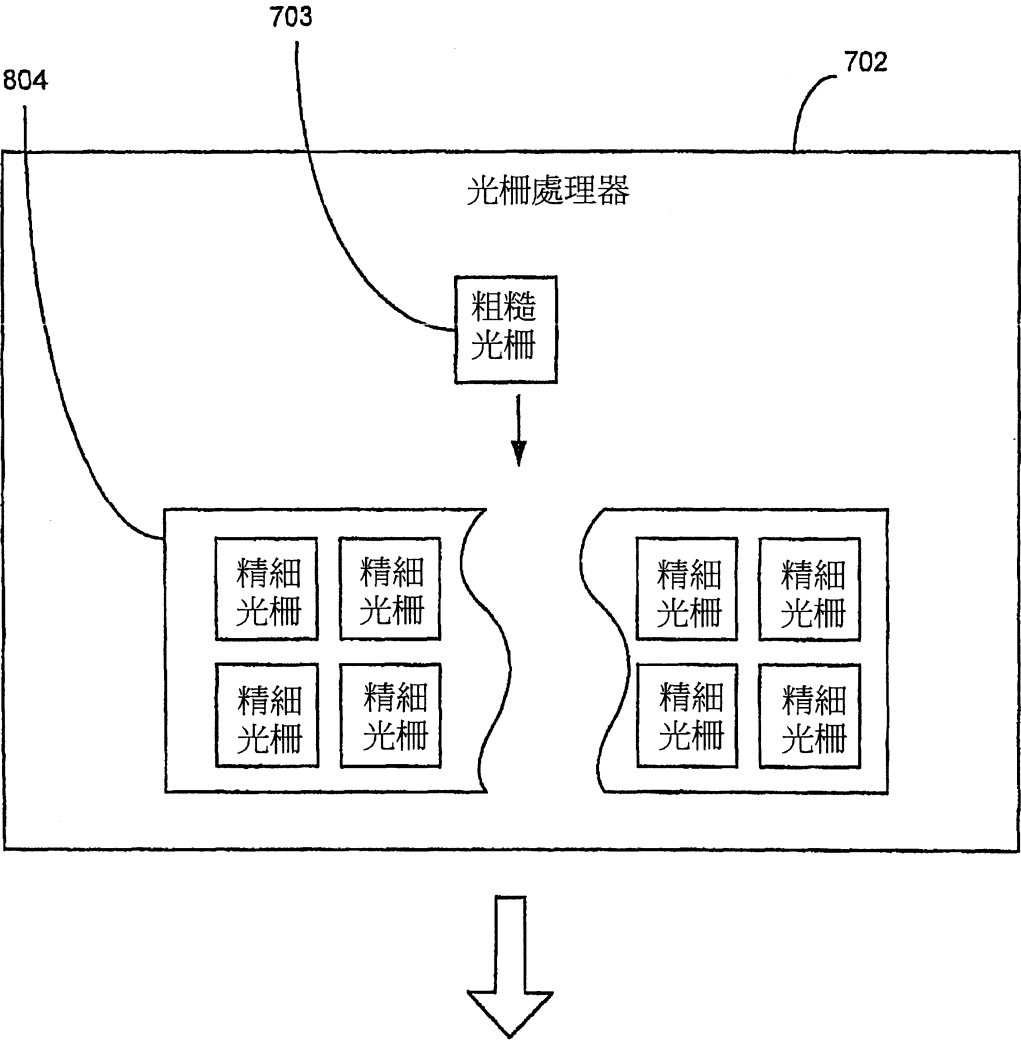


圖8

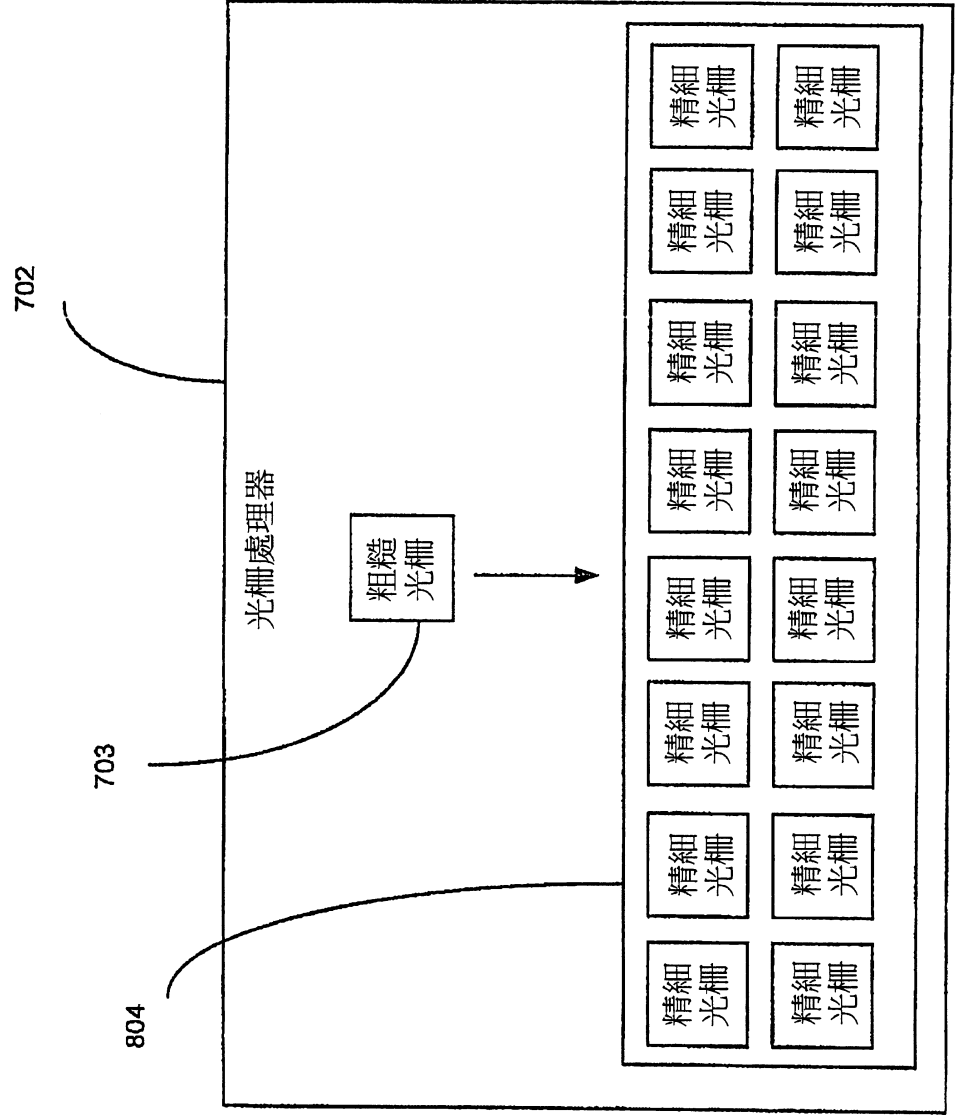


圖9

|   |   |   |   |   |   |   |   |   |   |   |   |   |   |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 0 | 1 | 2 | 3 | 4 | 5 |
| 3 | 4 | 5 | 6 | 7 | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 0 |
| 6 | 7 | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 0 | 1 | 2 | 3 |
| 1 | 2 | 3 | 4 | 5 | 6 | 7 | 0 | 1 | 2 | 3 | 4 | 5 | 6 |
| 4 | 5 | 6 | 7 | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 0 | 1 |
| 7 | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 0 | 1 | 2 | 3 | 4 |
| 2 | 3 | 4 | 5 | 6 | 7 | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 |
| 5 | 6 | 7 | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 0 | 1 | 2 |
| 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 0 | 1 | 2 | 3 | 4 | 5 |
| 3 | 4 | 5 | 6 | 7 | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 0 |

圖10

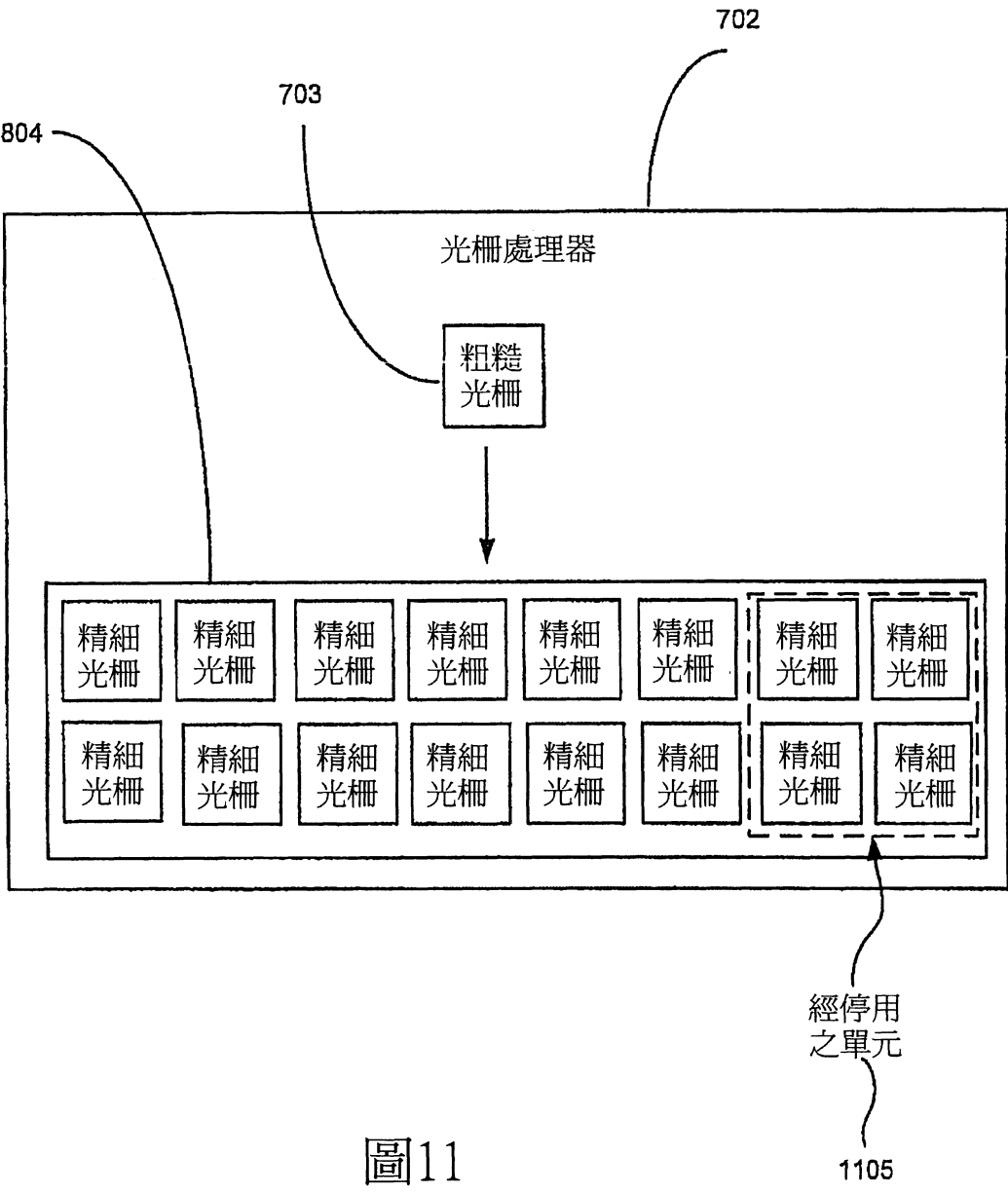


圖11

1200

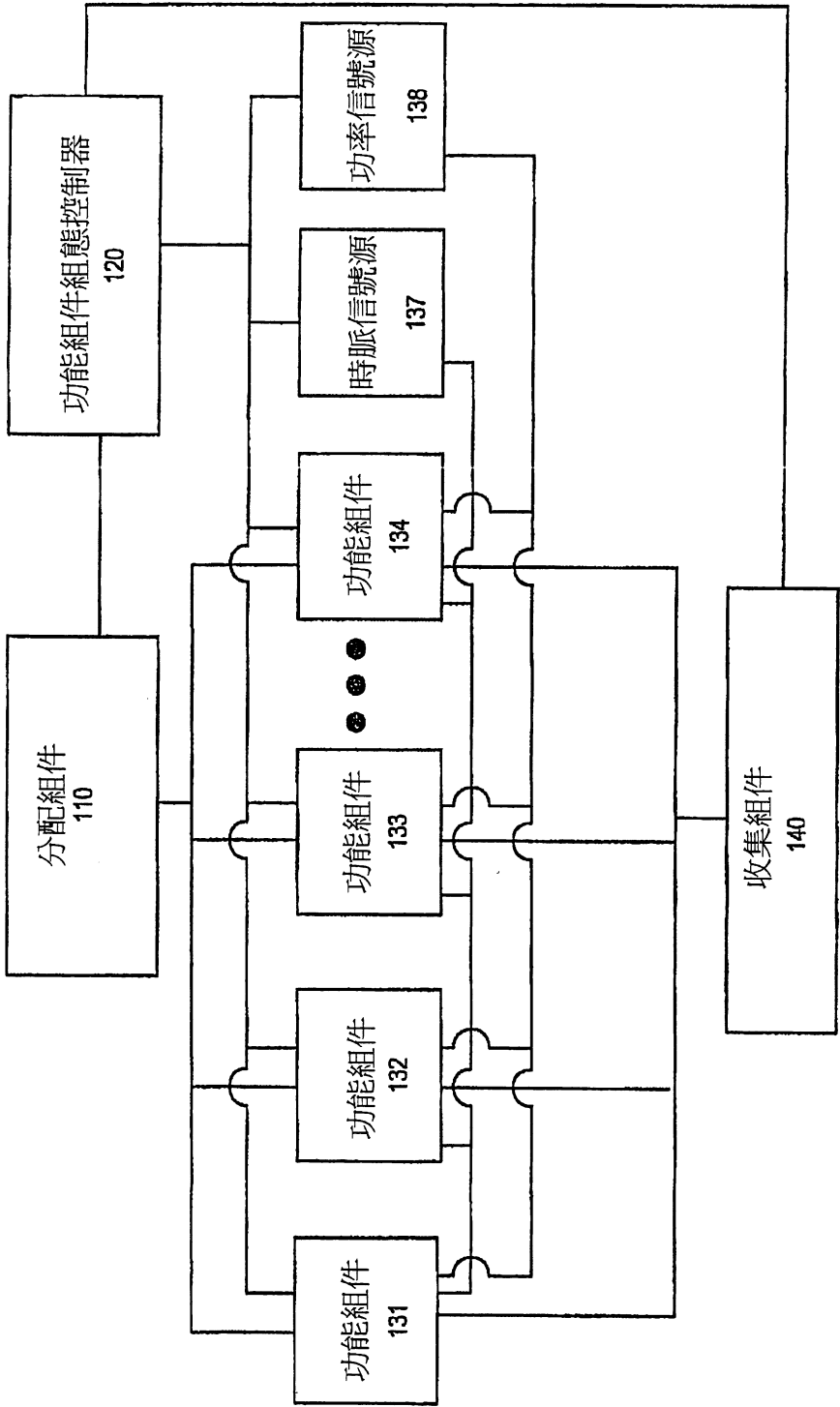


圖12

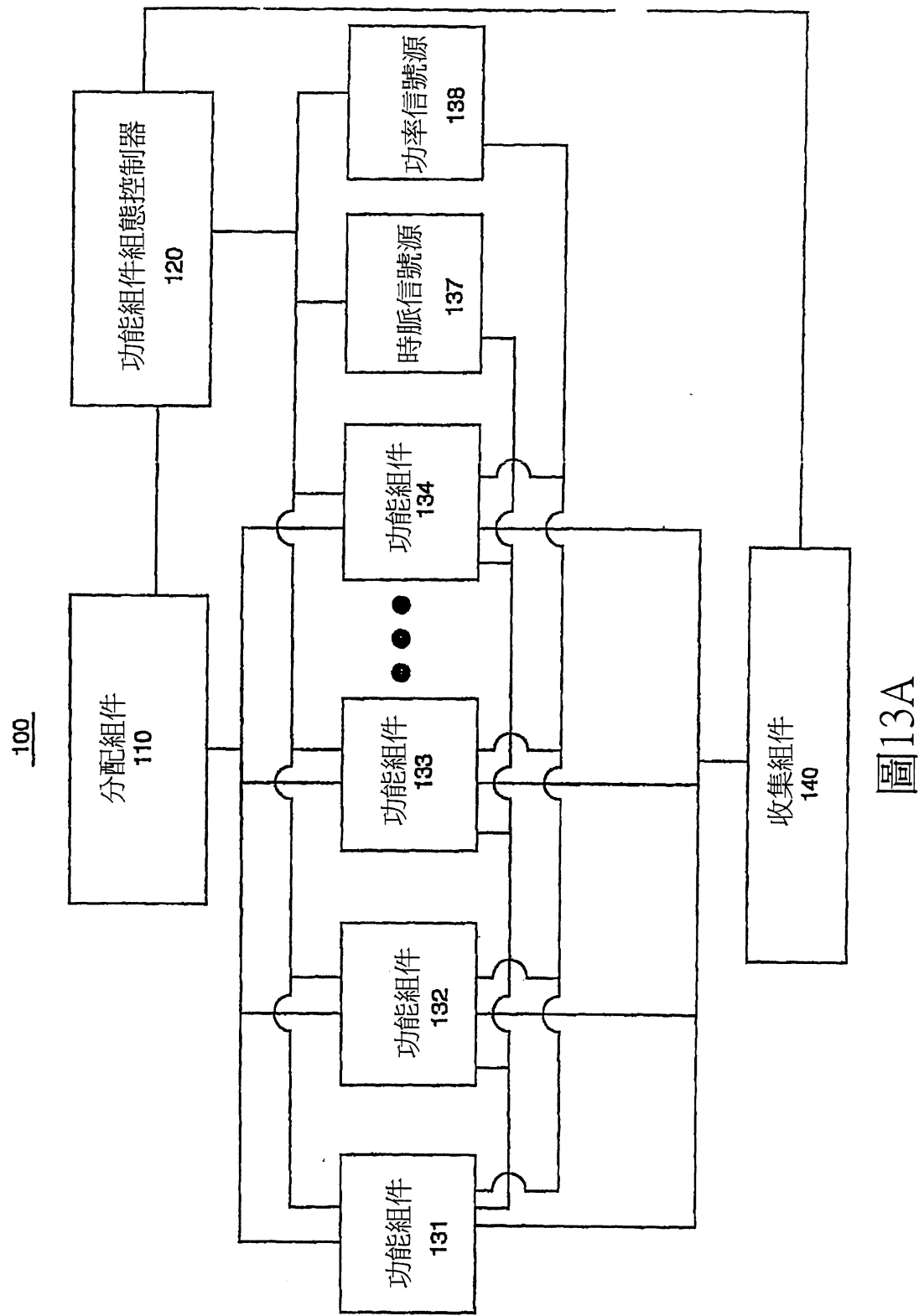
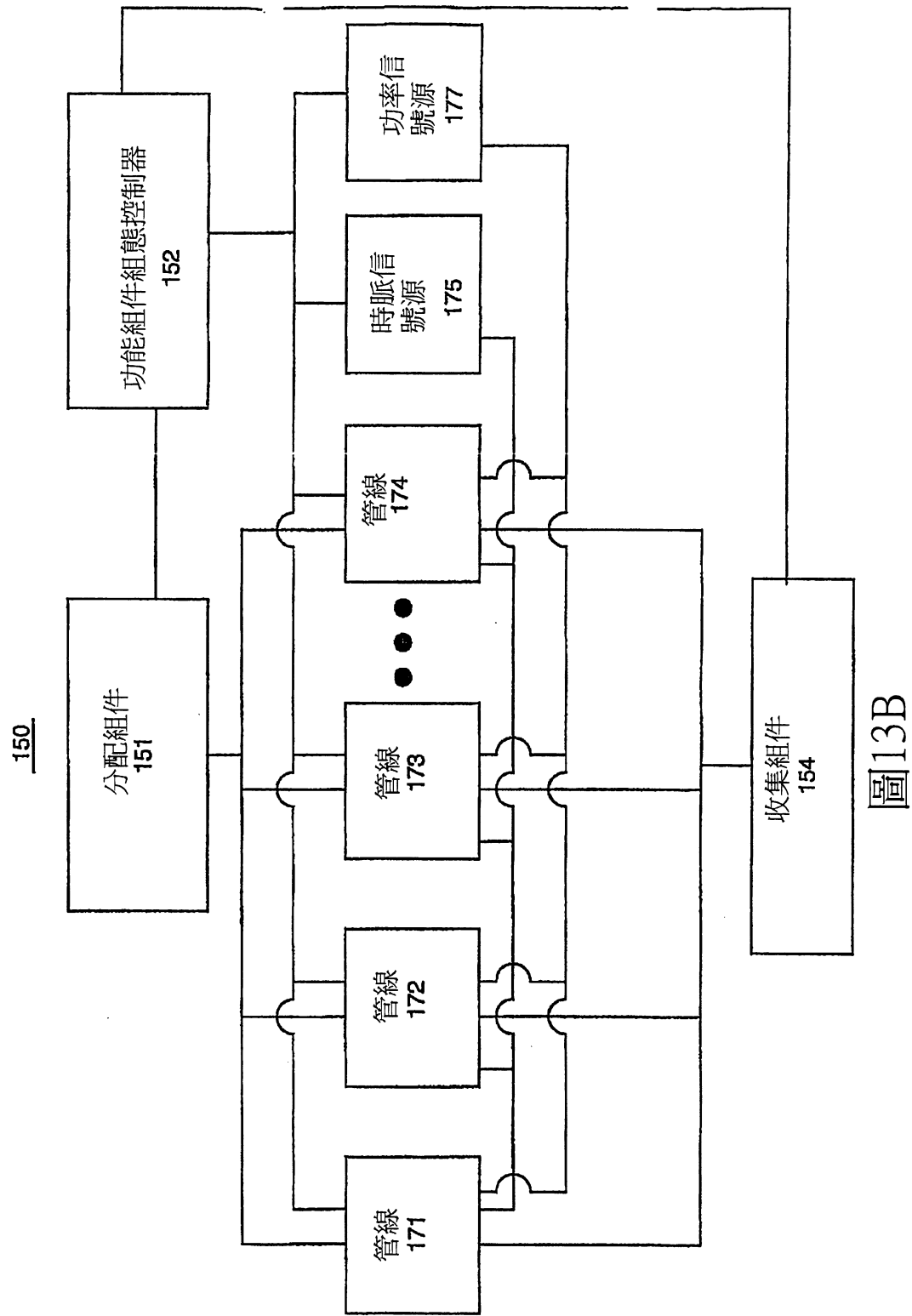
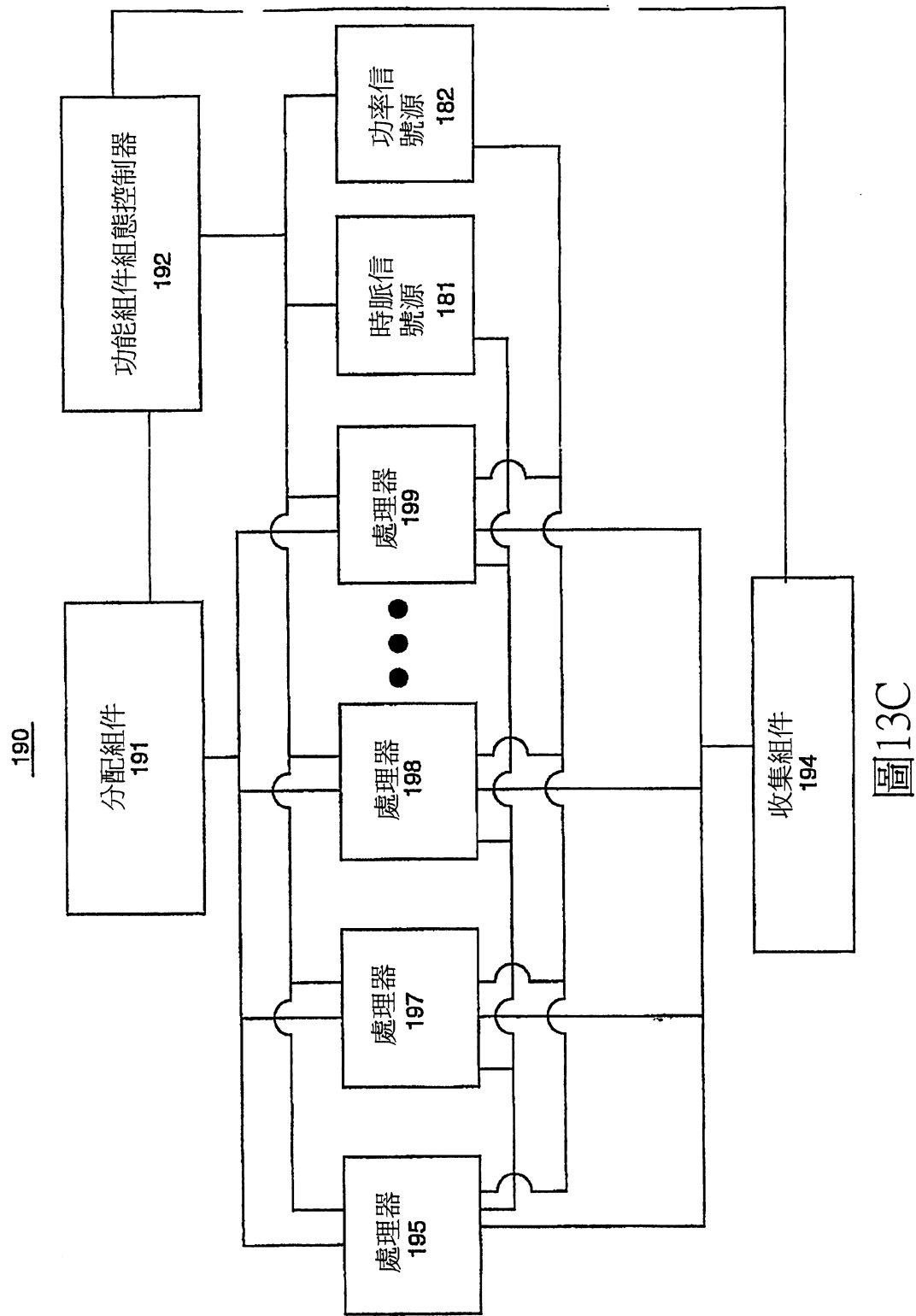


圖13A





10

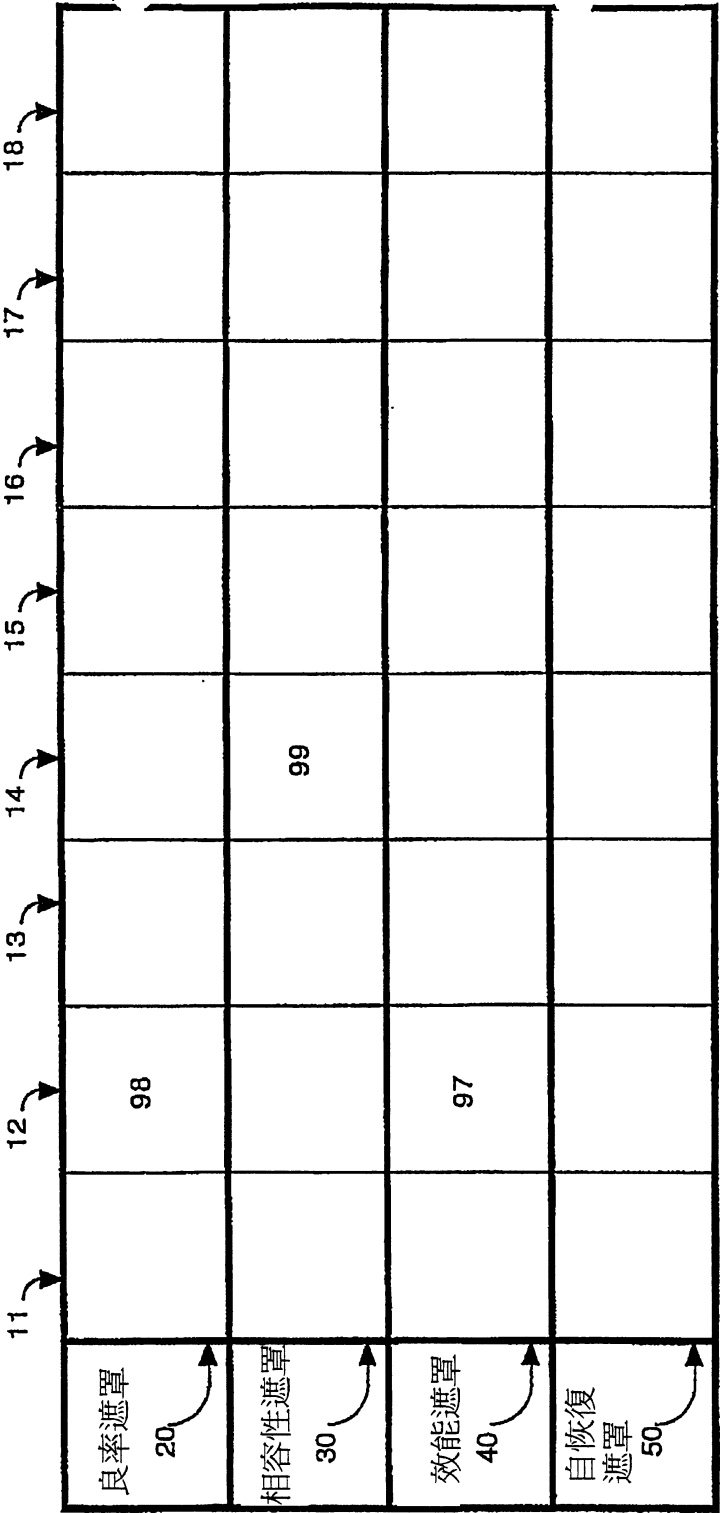


圖13D

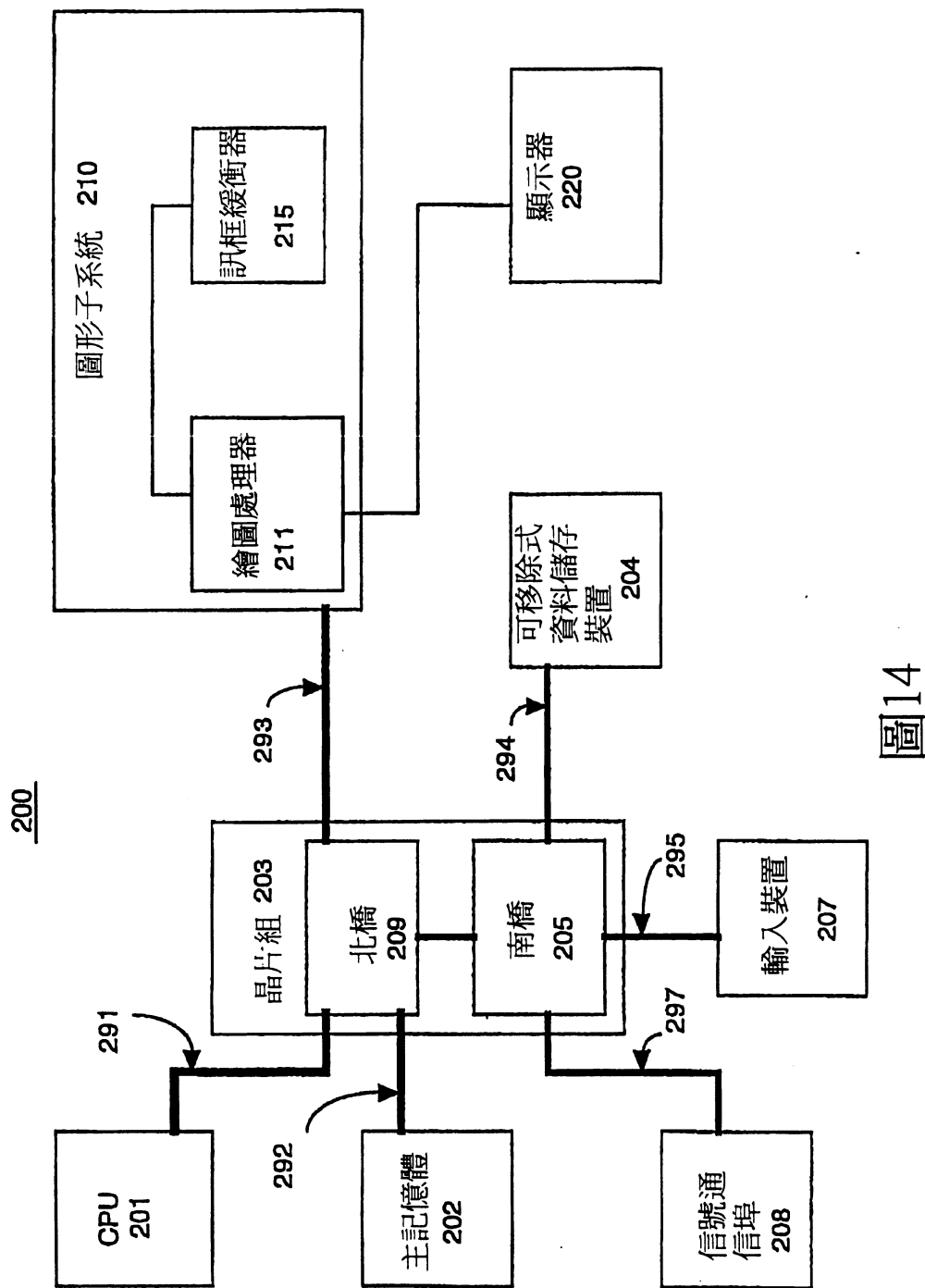


圖14

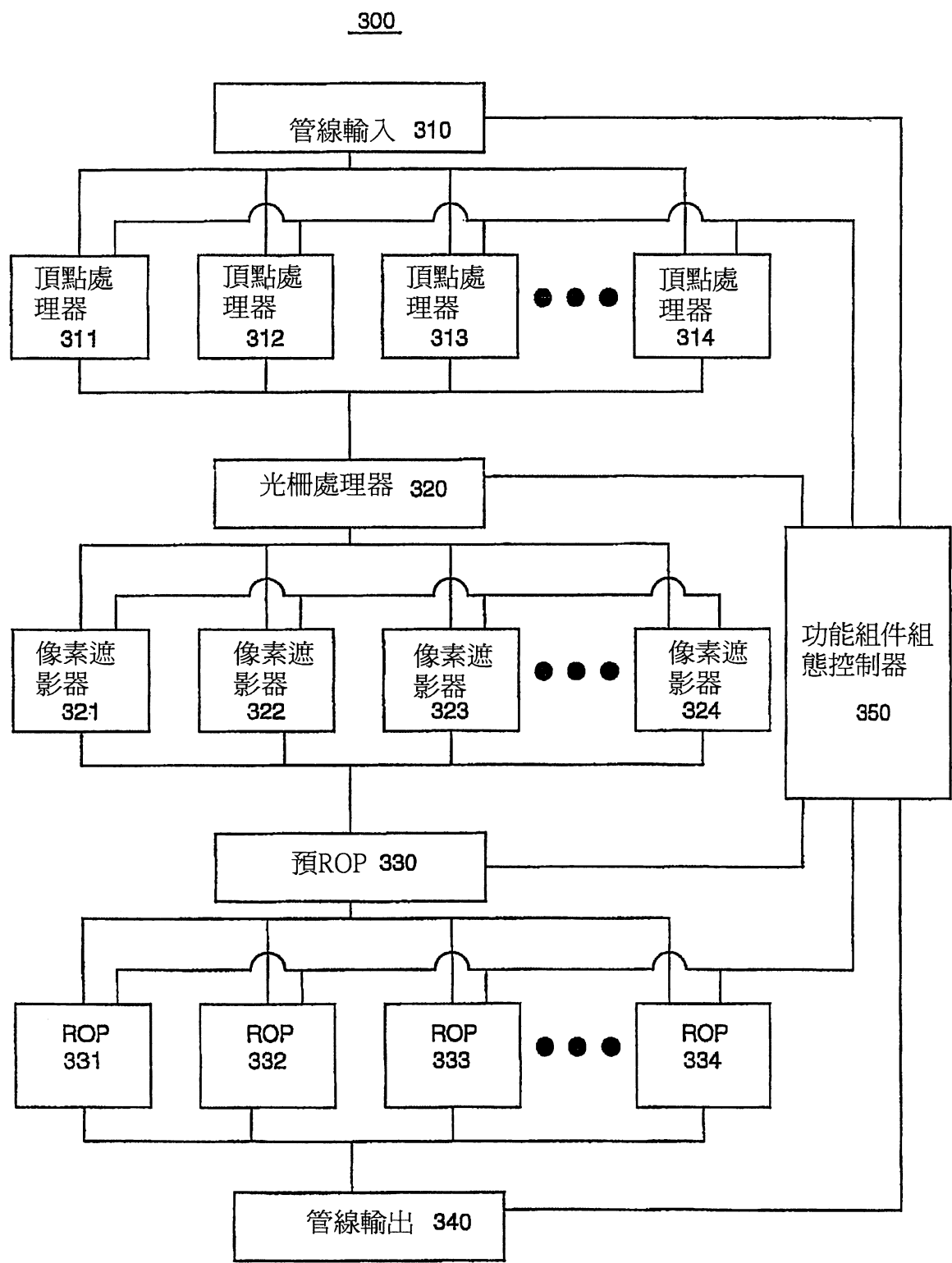


圖15

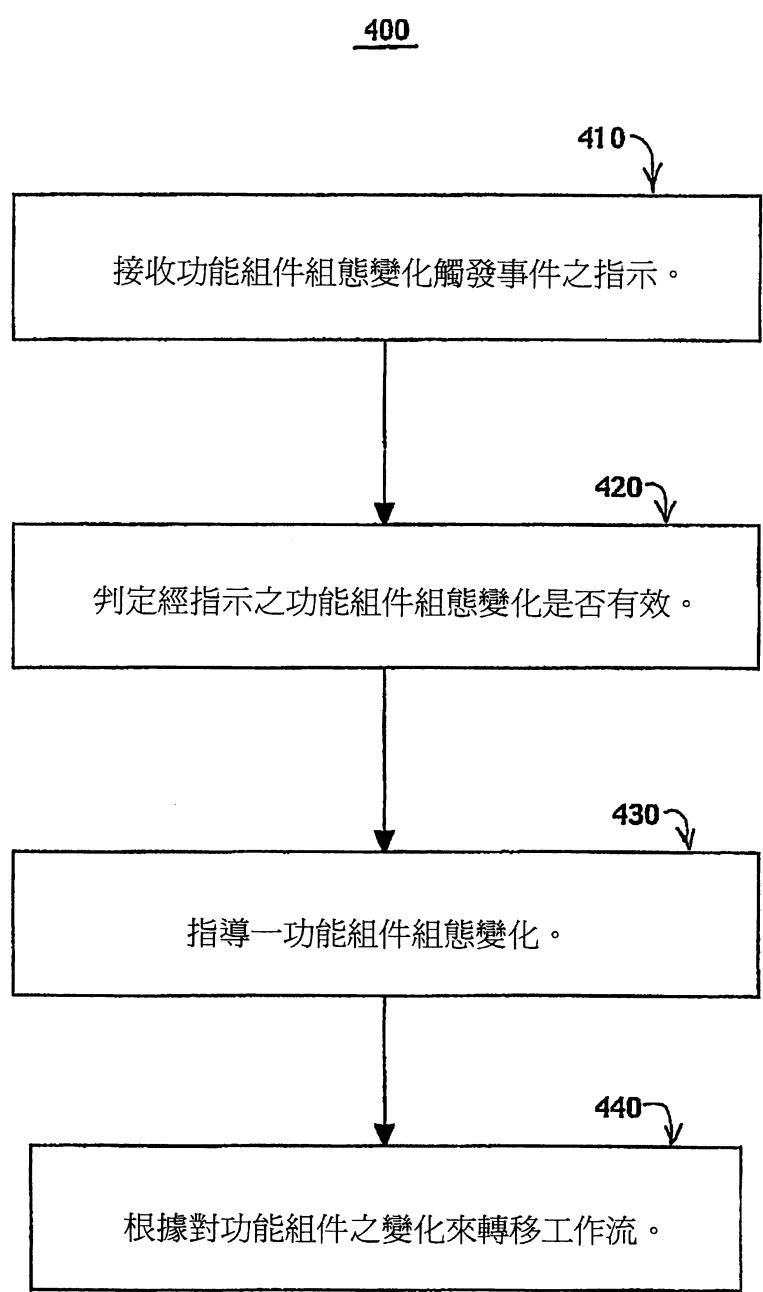


圖16

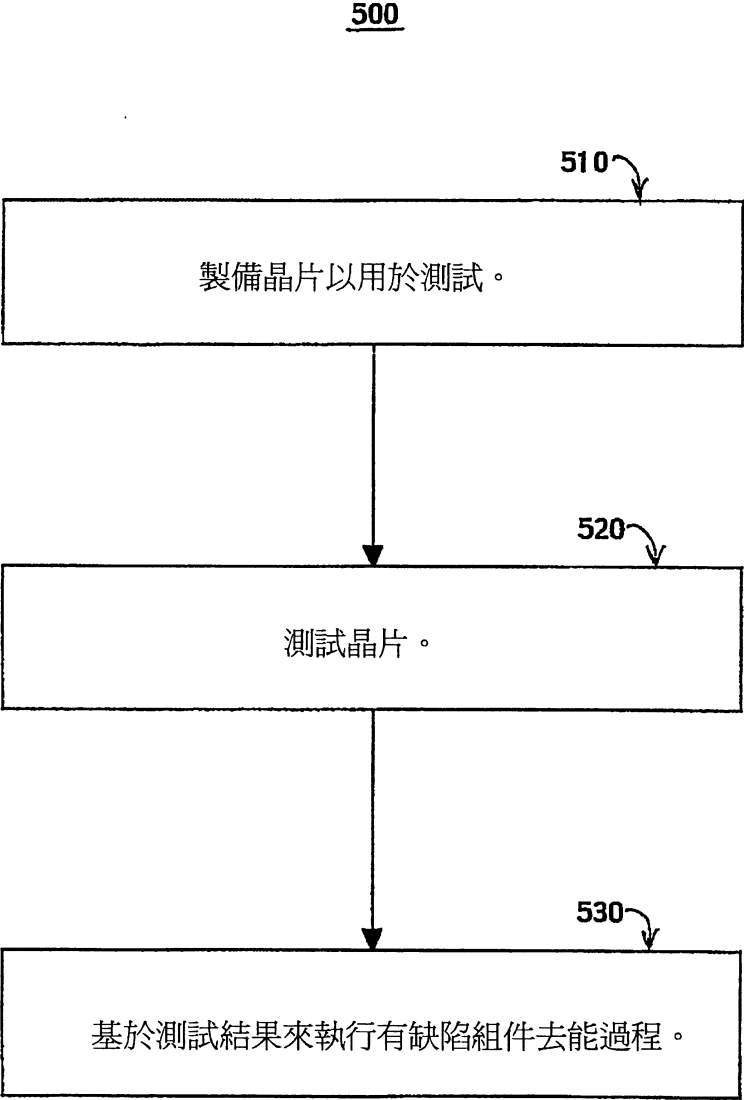


圖17

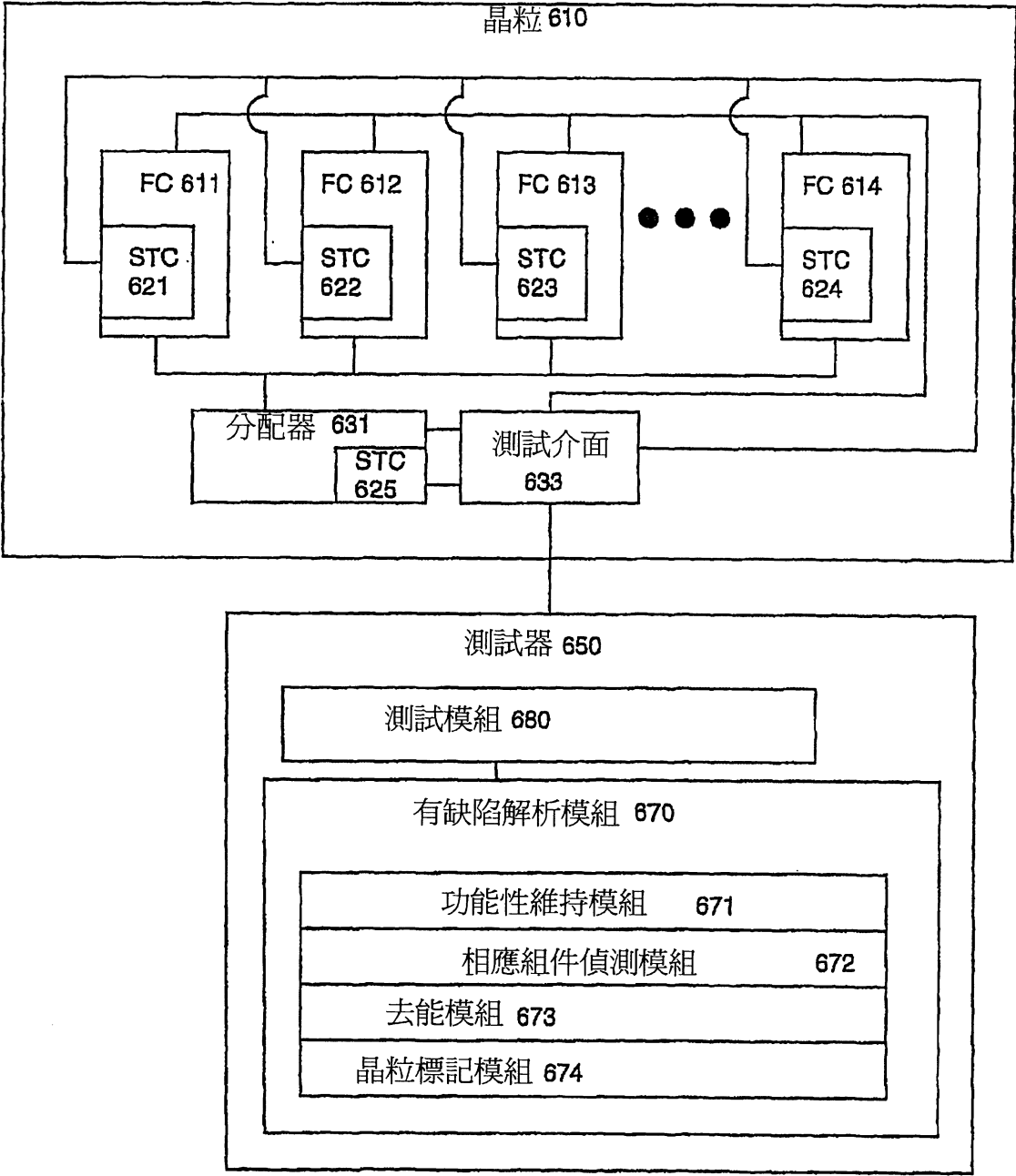


圖18

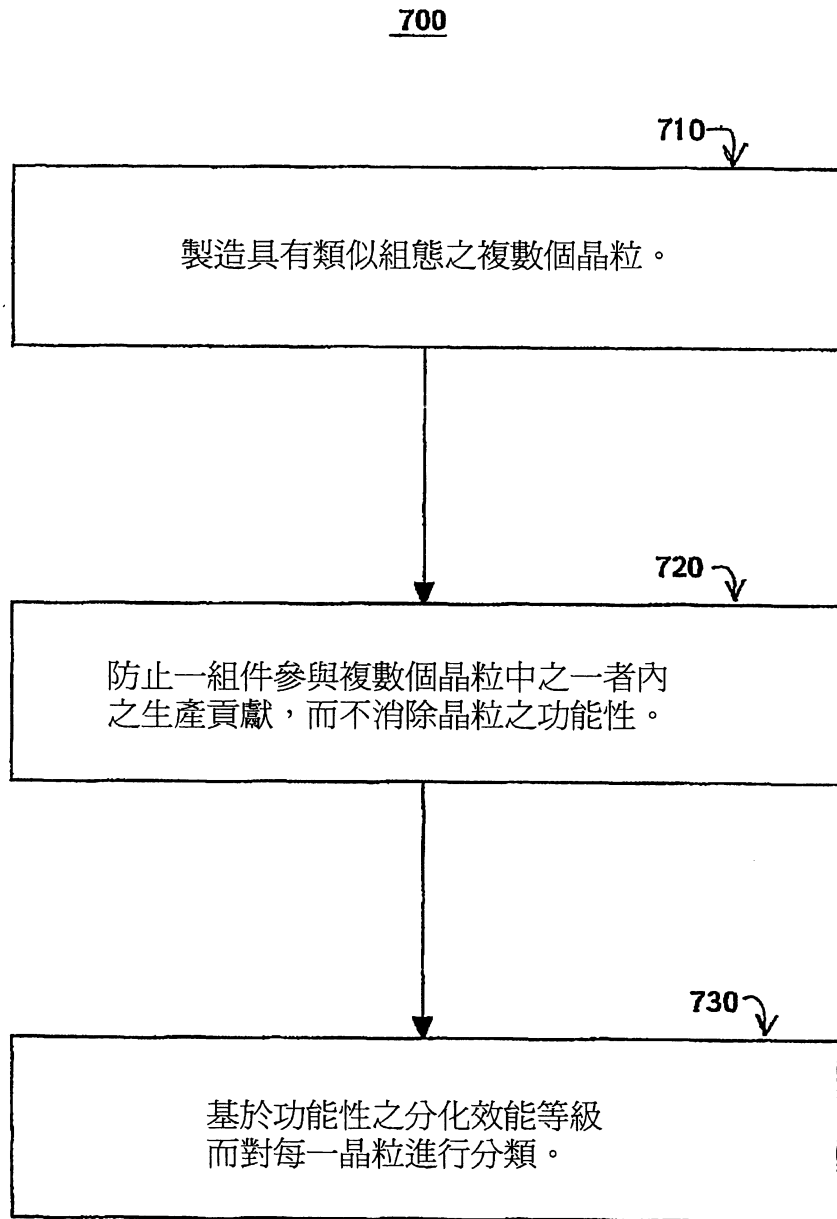


圖19

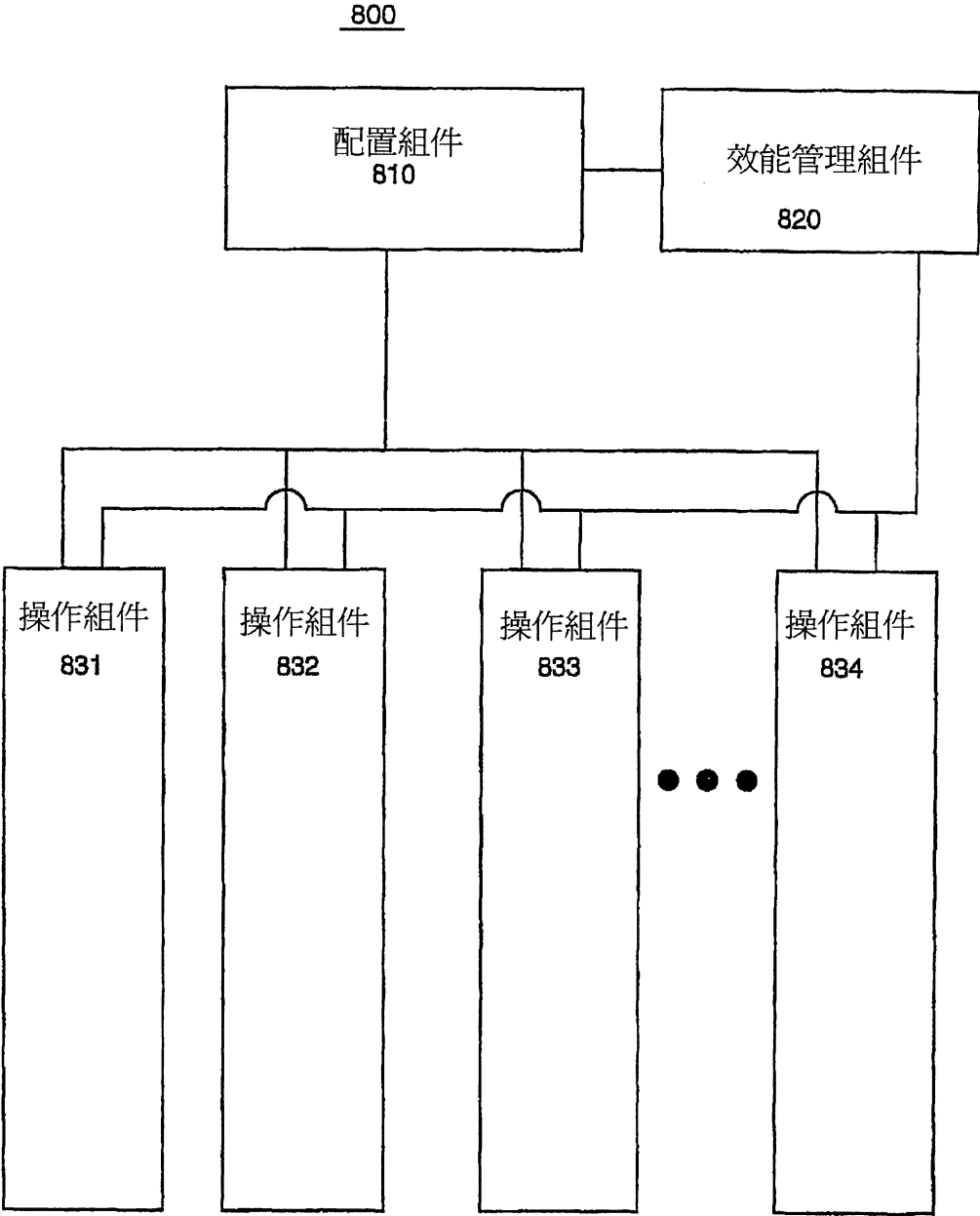


圖20

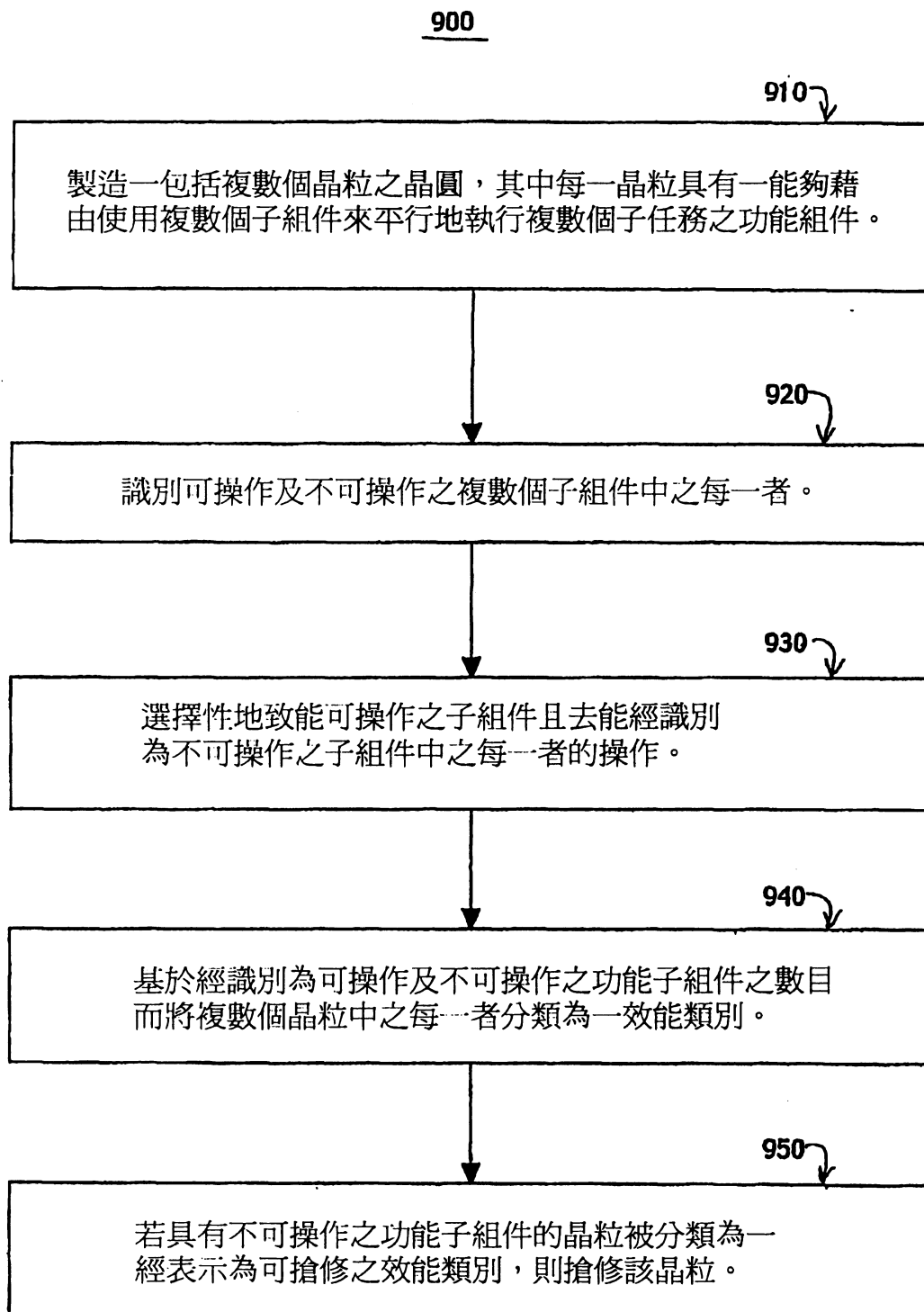
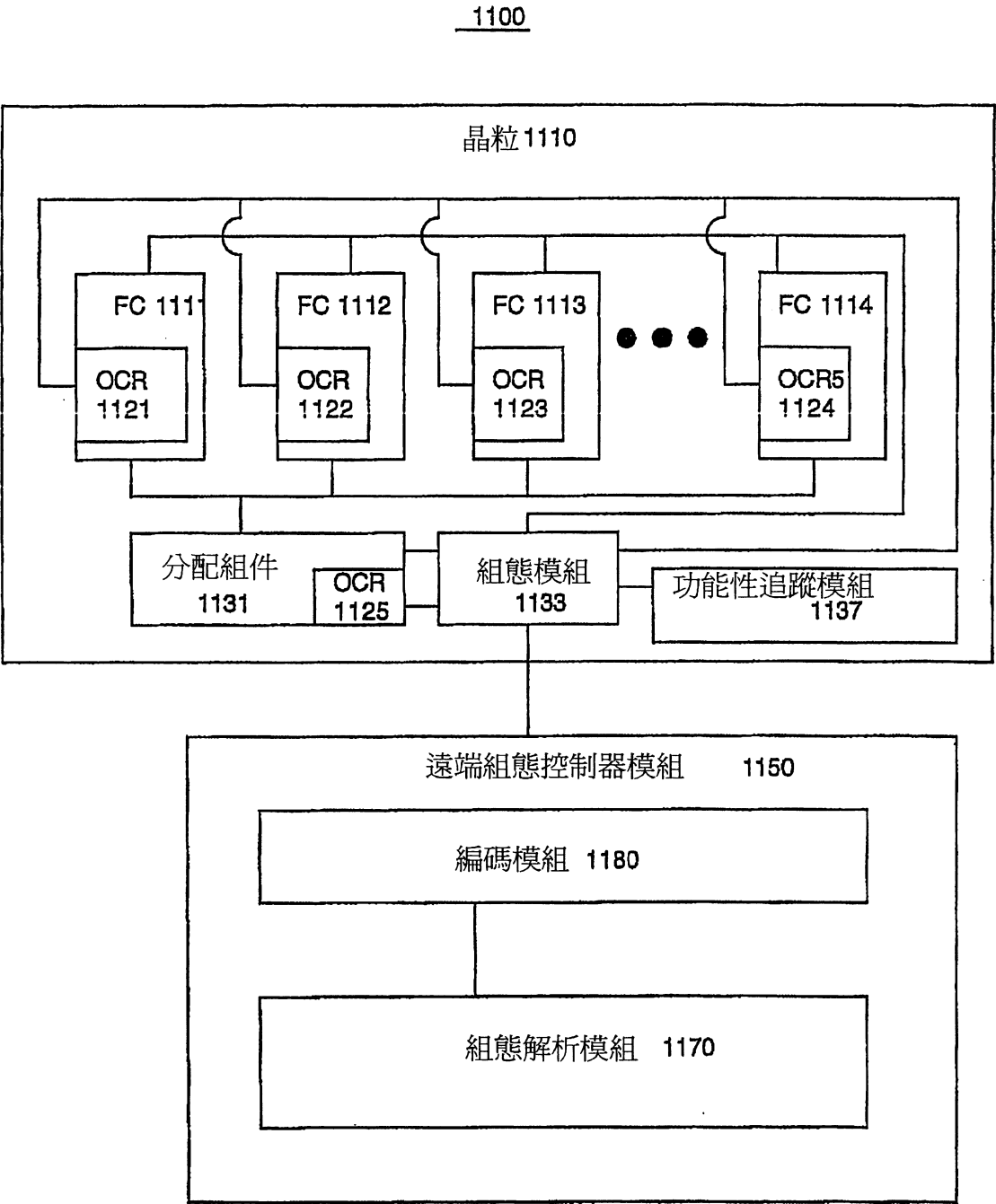


圖21



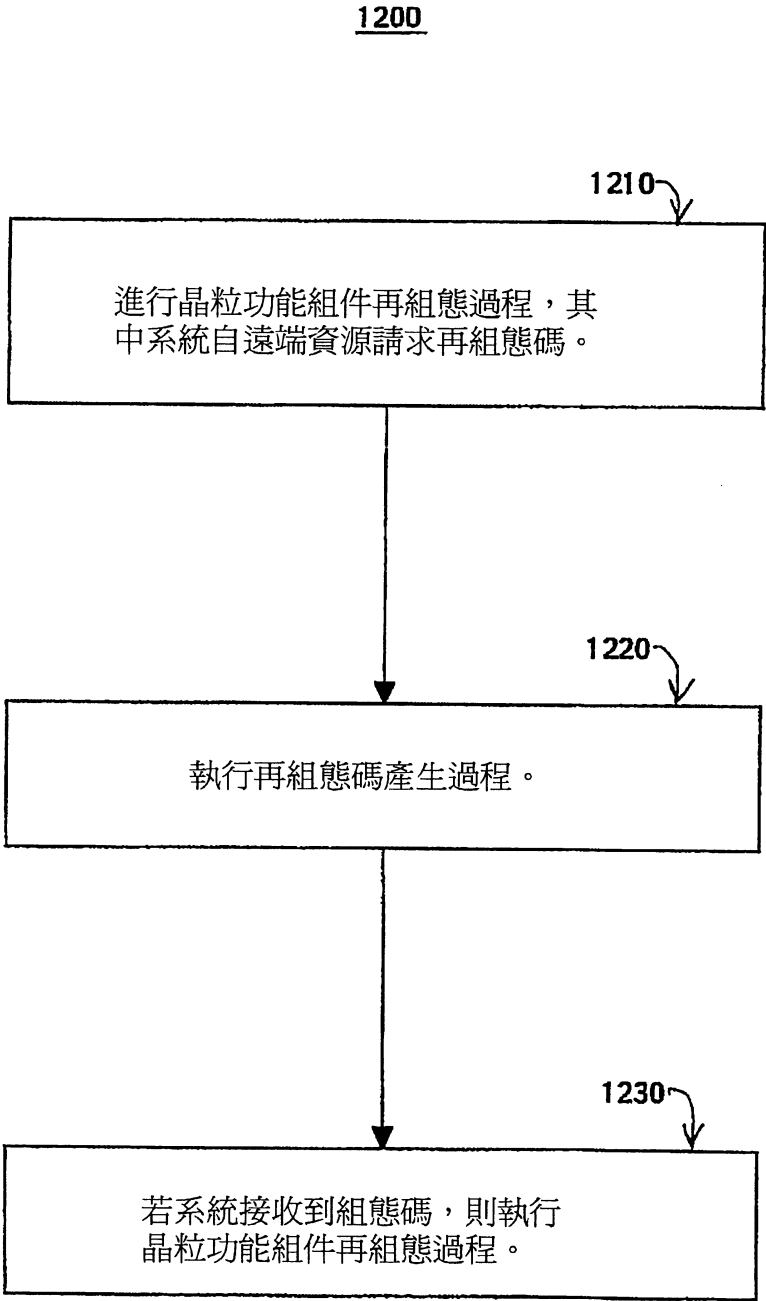


圖23

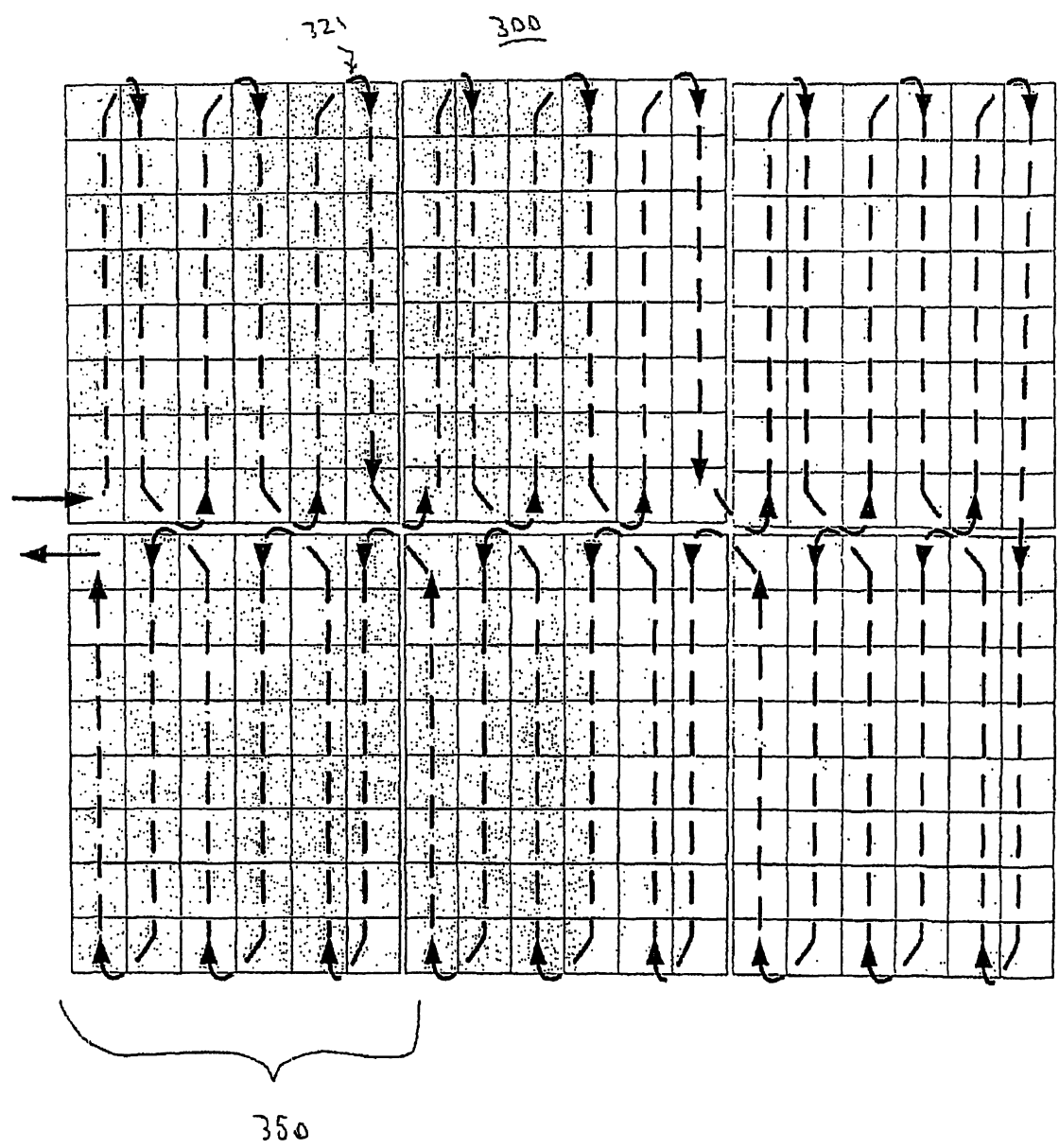


圖24

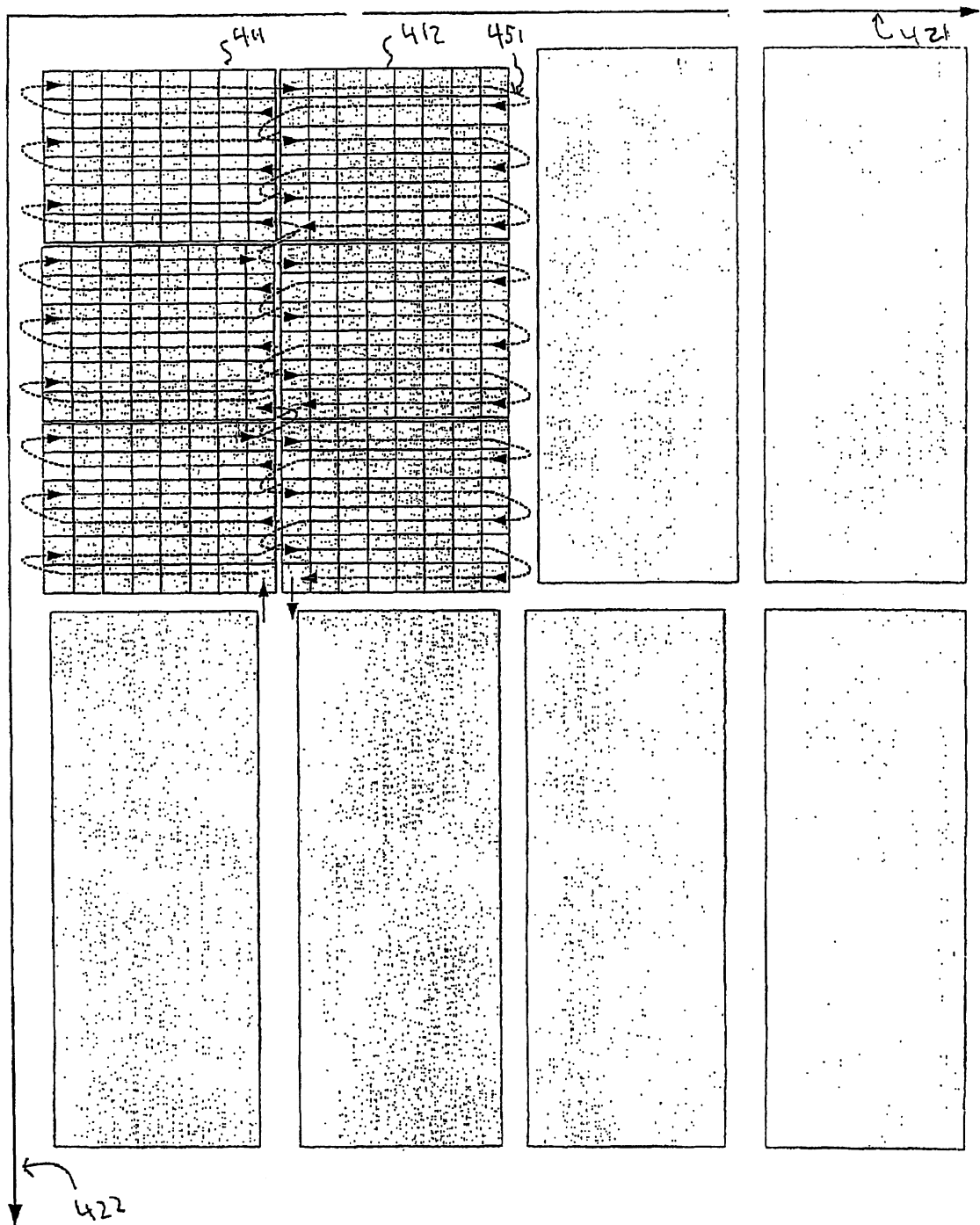


圖25

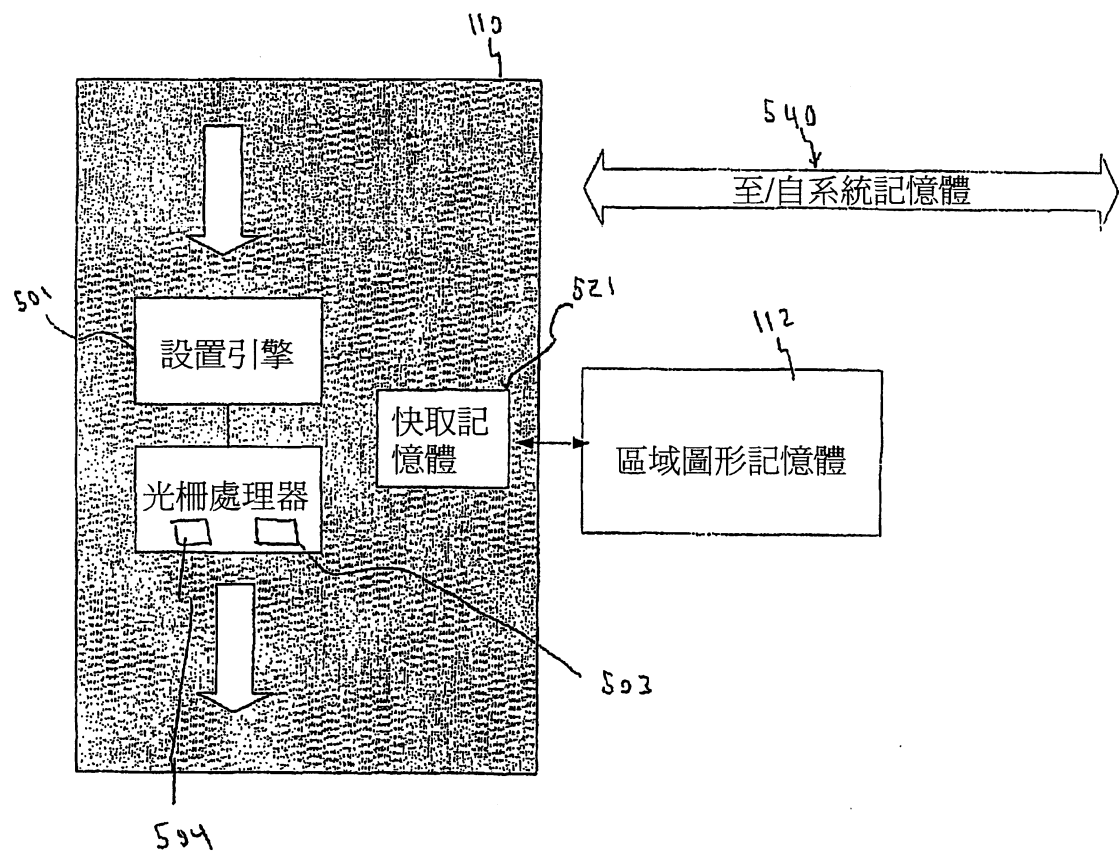


圖26

**七、指定代表圖：**

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

200      電腦系統/圖

221      虛線

**八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：**

(無)