

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-50468

(P2010-50468A)

(43) 公開日 平成22年3月4日(2010.3.4)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/47 (2006.01)	H O 1 L 29/48 P	4 M 1 0 4
H O 1 L 29/872 (2006.01)	H O 1 L 29/48 D	

審査請求 有 請求項の数 22 O L (全 14 頁)

(21) 出願番号	特願2009-230498 (P2009-230498)	(71) 出願人	500224003
(22) 出願日	平成21年10月2日 (2009.10.2)		クリー・インコーポレーテッド
(62) 分割の表示	特願2003-502878 (P2003-502878)		アメリカ合衆国ノースカロライナ州277
	の分割		03, ダーラム, シリコン・ドライブ46
原出願日	平成14年5月24日 (2002.5.24)		00番
(31) 優先権主張番号	0101848-0	(74) 代理人	100084146
(32) 優先日	平成13年5月25日 (2001.5.25)		弁理士 山崎 宏
(33) 優先権主張国	スウェーデン (SE)	(74) 代理人	100081422
			弁理士 田中 光雄
		(74) 代理人	100122286
			弁理士 仲倉 幸典
		(72) 発明者	ファニー・ダークヴィスト
			スウェーデン、エスー121 35ヨハネ
			スホフ、シェルマルブリンクスヴェーゲン
			6番
			最終頁に続く

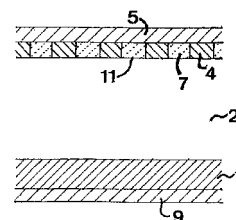
(54) 【発明の名称】 ジャンクション・バリア・ショットキ・ダイオードに関する方法と、そのダイオードおよびその使用方法

(57) 【要約】

【課題】 Si C の多くの利点が失われず、静的な動作損失が膨大に増加することがないジャンクション・バリア・ショットキ・ダイオードおよびその製造方法を提供すること。

【解決手段】 価電子帯と伝導帯との間に 2 e V を超えるエネルギーギャップを有する半導体材料のジャンクション・バリア・ショットキ・ダイオードの温度依存性を制御する方法は、このダイオードの製造中に、意図された使用に適合するダイオードの特性の温度依存性を得るように、ダイオードのグリッド部のオン状態抵抗を調節することを含む。

【選択図】 図 5



【特許請求の範囲】

【請求項 1】

S i C のジャンクション・バリア・ショットキ・ダイオードの温度依存性を制御する方法であって、

上記ダイオードを製造するときに、次のステップ、すなわち、

1) 上記材料からなる次の半導体層、すなわち、n または p の第 1 の導電型によって高くドーピングされた基体層 (1) と、上記第 1 の導電型によって低くドーピングされたドリフト層 (2) とを、各々の表面で、エピタキシャル成長するステップと、

2) ダイオードのグリッド部を形成するために、上記基体層から垂直方向に距離をおいた位置に、上記ドリフト層にドーピングされたエミッタ層領域 (4) を形成するように、第 1 の導電型と逆である n または p の第 2 の導電型のドーパントを、上記ドリフト層において横方向に間隔をおいた領域に導入し、上記グリッド部は、上記ドーピングされたエミッタ層領域 (4) およびそこに隣接したドリフト層領域 (7) を含んでいると共に、上記ドリフト層 (2) まで延在しているステップと、

3) 上記ドリフト層領域 (7) にショットキ接続を形成するために、ドリフト層の表面に、金属層 (5) を塗布すると共に、そこに接触を形成するために、エミッタ層領域 (4) の少なくとも一つの表面に、金属層 (5) を塗布するステップと
が実行され、

少なくとも上記ステップ 2) は、上記グリッド部 (4 , 7) の全オン状態抵抗が、ダイオードの全オン状態抵抗の少なくとも 80 % を担うように、上記ダイオードのグリッド部 (4 , 7) のオン状態抵抗を調節するために実行され、そのことによって、ダイオードの温度係数が、負から正に移行するダイオードの動作のクロスオーバー点を決定するダイオードのオン状態抵抗に関与することを特徴とする S i C のジャンクション・バリア・ショットキ・ダイオードの温度依存性を制御する方法。

【請求項 2】

請求項 1 に記載の方法において、

1700 [V] 以下の電圧阻止能力を有するダイオードが製造されることを特徴とする方法。

【請求項 3】

請求項 1 に記載の方法において、

600 - 1700 [V] の電圧阻止能力を有するダイオードが製造されることを特徴とする方法。

【請求項 4】

請求項 1 に記載の方法において、

600 - 3500 [V] の電圧阻止能力を有するダイオードが製造されることを特徴とする方法。

【請求項 5】

請求項 1 に記載の方法において、

600 [V] と 1500 [V] との間の電圧阻止能力を有するダイオードが製造されることを特徴とする方法。

【請求項 6】

請求項 1 乃至 5 のいずれか 1 つに記載の方法において、

上記ステップ 1) で、上記ダイオードのグリッド部 (4 , 7) の抵抗は、後にステップ 2) で上記グリッド部の一部となるドリフト層領域 (7) の不純物添加濃度を調節することにより、調節されることを特徴とする方法。

【請求項 7】

請求項 6 に記載の方法において、

ステップ 1) で、上記グリッド部のエミッタ層領域 (4) を分離する上記ドリフト層領域 (7) の不純物添加濃度は、上記ドリフト層の他の部分よりも低く調整されており、その結果、上記ドリフト層の他の部分を同じ不純物添加濃度とした場合よりも、上記ダイオ

10

20

30

40

50

ードの上記グリッド部の抵抗が増大していることを特徴とする方法。

【請求項 8】

請求項 1 乃至 7 のいずれか 1 つに記載の方法において、

ステップ 2) では、上記ダイオードのトータル横断面に対する上記グリッド部の上記ドリフト層領域 (7) の横断面の比は、上記グリッド部の抵抗を調整のために、2/3 まで増大されていることを特徴とする方法。

【請求項 9】

請求項 1 乃至 8 のいずれか 1 つに記載の方法において、

ステップ 1) では、上記ドリフト層 (2) の不純物添加濃度は、ドリフト層の抵抗の低減およびダイオードの所定の電圧阻止性能でのダイオードのオン状態損失を低減するためのグリッド部なしのダイオードで許容されている最大の不純物添加濃度よりも高いことを特徴とする方法。

【請求項 10】

請求項 1 乃至 9 のいずれか 1 つに記載の方法において、

ドナーによってドーピングされたドリフト層 (2) を有するダイオードが製造されることを特徴とする方法。

【請求項 11】

請求項 9 または 10 に記載の方法において、

上記ドリフト層の不純物添加濃度が、 10^{17} cm^{-3} 以上であることを特徴とする方法。

【請求項 12】

請求項 10 または 11 に記載の方法において、

p 型エミッタ層領域 (4) が、 $10^{17} - 10^{20} \text{ cm}^{-3}$ の不純物添加濃度を与えられていることを特徴とする方法。

【請求項 13】

請求項 7 に記載の方法において、上記ドリフト層領域 (7) は、 10^{16} cm^{-3} よりも少ない不純物添加濃度を与えられていることを特徴とする方法。

【請求項 14】

請求項 13 に記載の方法において、上記ドリフト層領域 (7) は、 $10^{14} \text{ cm}^{-3} - 5 \cdot 10^{15} \text{ cm}^{-3}$ の不純物添加濃度を与えられていることを特徴とする方法。

【請求項 15】

請求項 13 に記載の方法において、上記ドリフト層領域 (7) は、 $5 \cdot 10^{14} \text{ cm}^{-3} - 10^{15} \text{ cm}^{-3}$ の不純物添加濃度を与えられていることを特徴とする方法。

【請求項 16】

半導体材料としての SiC からなる基体層 (1) を備え、上記基体層 (1) は、第 1 導電型 n または p によって高くドーピングされており、

また、上記基体層上に上記材料のエピタキシャルドリフト層 (2) を備え、上記エピタキシャルドリフト層 (2) は、上記第 1 導電型を有し、

また、上記エピタキシャルドリフト層の表面にグリッド部 (4, 7) を備え、上記グリッド部 (4, 7) は、上記基体 (1) から垂直方向に間隔をおいて上記第 1 導電型とは反対の第 2 導電型 n または p のドーパントがドーピングされたエミッタ層領域 (4) を含むと共に、上記ドーピングされたエミッタ層領域 (4) に隣接すると共に、上記ドリフト層 (2) まで延在するドリフト層領域 (7) を含み、

また、上記ドリフト層 (2) 上に金属層 (5) を備え、上記金属層 (5) は、上記ドリフト層領域 (7) にショットキ接触すると共に、上記エミッタ層領域 (4) の少なくとも一つに接触しており、

上記ダイオードは、1700 [V] 以下の電圧阻止能力を有し、上記グリッド部 (4, 7) のオン状態は、少なくともトータルオン状態抵抗の 80% を担い、そのことによって、ダイオードの温度係数が、負から正に移行するダイオードの動作のクロスオーバー点を決定するダイオードのオン状態抵抗に寄与することを特徴とするジャンクション・バリア

10

20

30

40

50

・ショットキ・ダイオード。

【請求項 17】

請求項 16 に記載のジャンクション・バリア・ショットキ・ダイオードにおいて、
上記ダイオードは、600V - 1700V の電圧阻止能力を有していることを特徴とするジャンクション・バリア・ショットキ・ダイオード。

【請求項 18】

請求項 16 または 17 に記載のジャンクション・バリア・ショットキ・ダイオードにおいて、

ドリフト層領域(7)は、上記ドリフト層(2)の不純物添加濃度よりも低い不純物添加濃度を有していることを特徴とするジャンクション・バリア・ショットキ・ダイオード。

10

【請求項 19】

請求項 18 に記載のジャンクション・バリア・ショットキ・ダイオードにおいて、
上記ドリフト層領域(7)は、 10^{16} cm^{-3} より低い不純物添加濃度を有していることを特徴とするジャンクション・バリア・ショットキ・ダイオード。

【請求項 20】

請求項 18 に記載のジャンクション・バリア・ショットキ・ダイオードにおいて、
上記ドリフト層領域(7)は、 10^{14} cm^{-3} - $5 \cdot 10^{15} \text{ cm}^{-3}$ の不純物添加濃度を有していることを特徴とするジャンクション・バリア・ショットキ・ダイオード。

20

【請求項 21】

請求項 18 に記載のジャンクション・バリア・ショットキ・ダイオードにおいて、
上記ドリフト層領域(7)は、 $5 \cdot 10^{14} \text{ cm}^{-3}$ - 10^{15} cm^{-3} の不純物添加濃度を有していることを特徴とするジャンクション・バリア・ショットキ・ダイオード。

【請求項 22】

請求項 16 に記載のジャンクション・バリア・ショットキ・ダイオードにおいて、
上記ダイオードのトータル横断面積に対する上記ドリフト層領域(7)の横断面積の関係は、上記グリッド部(4, 7)のオン状態抵抗が、上記オン状態抵抗の少なくともかなりの部分を構成するように備えられることを特徴とするジャンクション・バリア・ショットキ・ダイオード。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、価電子帯と伝導帯との間に 2 eV を超えるエネルギーギャップを有する半導体材料で作製したジャンクション・バリア・ショットキ・ダイオードの温度依存性を制御する方法に関する。

【背景技術】

【0002】

現在、そのような方法は知られておらず、そのような方法を目的とする公式化が、本発明の一部をなす。

40

【0003】

ジャンクション・バリア・ショットキ・ダイオードは、米国特許第 6104043 号により、既に知られている。そのダイオードは、本発明が直接関連するバンドギャップ材料である SiC からなる。本発明は、例えば SiC、ダイヤモンド、AlN のような、上述の 2 eV を超えるエネルギーギャップを有する全ての材料のジャンクション・バリア・ショットキ・ダイオードに関するが、特に、SiC からなるそのようなダイオードに関する。そのため、以下に、そのような材料に関して本発明および本発明によって解決される課題が、限定されることなく明らかにするために、本発明が述べられる。

【0004】

SiC は、いくつかの優れた物理的特性を有し、それらのうち、降伏電界が Si よりも約 10 倍高いことが挙げられる。これらの特性により、SiC は、デバイスの遮断状態で

50

高電圧状態が発生し得る条件で動作するパワーデバイスに対して、好適な材料とされている。SiCの大きいバンドギャップにより、この材料からなるショットキ・ダイオードは、SiCからなるpin-ダイオードと比較して、オン状態の損失に関して特に有利である。なぜなら、例えばSiと比較すると、SiCは、pn-接合の順方向電圧の低下が非常に大きいからである。これは、電圧を所定の高さ以下に遮断するのに有効であり、この高さ以上では、SiCのpin-ダイオードは、より低いオン状態電圧を有する。更に、ジャンクション・バリア・ショットキ・ダイオードを形成するために横方向に間隔を置いたエミッタ層領域を配置することにより、pn-接合の動作は、ショットキ領域のピンチオフによって、デバイスの遮断状態を生じ、その結果、低いリーク電流となる。更に、このようなSiCからなるダイオードを用いて作製された、そのようなダイオードおよび装置は、Siと比べて低いSiCの逆方向回復電荷 (reverse recovery charge) により、より高い周波数で非常に低いスイッチング損失を有し、また、ショットキ・ダイオードは、pin-ダイオードにおけるような再結合すべき少数電荷キャリアを有しない。

10

20

30

【0005】

いくつかの適用では、ダイオードが正温度係数を有する、すなわち、オン状態電圧が温度と共に増大するのが重要であり、また、必要である。そうでなければ、ダイオードを通過する電流の制御が効かなくなり、上記ダイオードや、あるいは、それに結合された他の装置が破壊する場合があるからである。このことは、そのようなダイオードを並列に複数個接続した場合に顕著である。このことは、Siからなるそのようなダイオードでは問題にならない。なぜならば、ドリフト層の抵抗が全体として支配的だからであり、したがって、温度係数は、低い電流密度においても既に正である。しかしながら、例えばSiCのようなワイドバンドギャップ材料のダイオードは、SiCの高い絶縁強さのため、非常に薄いドリフト層が必要であり、したがって、オン状態電圧の全体に対するドリフト層の抵抗電圧低下の貢献は、Siによるデバイスに関するものよりも小さい。ショットキ・バリアが優位を占める代わりに、その寄与の結果、負の温度係数が生じる。これは、以下のことを意味する。すなわち、遮断状態において比較的低い電圧で遮断を行うために形成されたSiCのショットキ・ダイオードは、非常に薄く、非常に高い電流密度になるまで正の温度係数を有しない場合があり、温度係数が負から正に移るクロスオーバー点は、Siの場合には典型的に30から250 A/cm²であるのと比較して、SiCの場合には数百 A/cm²程度の高さになり得る。しかしながら、封止の問題と同様に冷却の面から、平均の電流密度が100~200 A/cm²よりも大幅に高くないことが、標準的に要求される。この問題の解決法は、高い電圧が遮断される必要が無い場合であっても、非常に高い電圧を遮断するのに必要な寸法にされた厚いSiCダイオードを用いることである。しかしながら、これは、SiCの多くの利点が失われ、静的な動作損失 (static operation losses) が膨大に増加することを意味する。更に、そのようなダイオードは、低い遮断電圧用に作られたダイオードよりも、非常に高価になる。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】米国特許第6,104,043号明細書

40

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明の目的は、上述の問題に対する解決策を提供することにある。

【課題を解決するための手段】

【0008】

本発明者は、ジャンクション・バリア・ショットキ・ダイオードは、スイッチング損失や静的損失にまでも殆ど影響を与えることなく、ショットキ・ダイオードの温度依存関係を制御する全く新しい可能性に帰着することを理解した。

【0009】

50

これに応じて、本発明は、序文で定義された型の方法を提供し、この方法では、ダイオードを製造するときに、下記のステップが実行される。

【 0 0 1 0 】

1) 上記材料からなる以下の半導体層を、各々の表面にエピタキシャル成長するステップ: nまたはpの第1の導電型によって高くドーピングされた基体層と、上記第1の導電型によって低くドーピングされたドリフト層。

【 0 0 1 1 】

2) ダイオードのグリッド部を定義するために、上記ドリフト層の上記基体層から垂直方向に距離をおいた位置に、ドーピングされたエミッタ層領域を形成するように、第1の導電型と逆であるnまたはpの第2の導電型のドーパントを、上記ドリフト層の横方向に間隔をおいた領域に導入するステップ。

【 0 0 1 2 】

3) 金属層を、上記ドリフト層の表面に接触させてショットキ接続を形成し、また、上記エミッタ層領域の少なくとも1つの表面に接触させてコンタクトを形成するステップ。

【 0 0 1 3 】

ここにおいて、少なくともステップ2)は、意図された使用に適合するダイオードの動作の温度依存性を得るために、ダイオードのグリッド部のオン状態の抵抗を調節するために実行される。

【 0 0 1 4 】

したがって、本発明は、ダイオードの製造時に、ダイオードのグリッド部のオン状態抵抗を調節することにより、ジャンクション・バリア・ショットキ・ダイオードの温度依存性を調節できるという理解に帰する。ワイドバンドギャップ材料によるジャンクション・バリア・ショットキ・ダイオードのグリッド部の抵抗は、ダイオードの製造時に、このダイオードの全抵抗が相当変化する程度に調節され、したがって、上記負と正の温度係数の間のクロスオーバー点は、激しく動かされるということが発見された。更に、こうして、温度係数の値を変えることが可能になる。

【 0 0 1 5 】

この方法で、グリッド部のオン状態抵抗を変えることにより、低遮断電圧ジャンクション・バリア・ショットキ・ダイオードの全抵抗を、大きく変えることができる。なぜならば、上記グリッド部は、上記オン状態抵抗の全てのうちの相当の部分、時には、主要な部分を構成するからである。600 - 1700 VのSiCのジャンクション・バリア・ショットキ・ダイオードの場合、上記グリッド部による抵抗の寄与は、全てのオン状態抵抗の約80%である。したがって、ドリフト層の厚みおよび/又はドーピングが変わる必要が無いので、上記ダイオードのスイッチング損失に実質的に影響を与えない一方、グリッド部の抵抗を変えることによって、ダイオードのオン状態抵抗を相当量変えることが可能になる。したがって、上記ドリフト層を厚くすること無く、上記ダイオードの温度係数のクロスオーバー点が大きく低減される。このようにして、温度の作用が、ドリフト層とは無関係に最小化される。この方法は、上記ダイオードが組み込まれた回路の好ましくない発振を最小化するために、上記ダイオードの容量性の性質を制御するために用いられてもよい。したがって、ここにおいて用いられる「動作の温度依存性」は、この場合をカバーすることをも意味する。

【 0 0 1 6 】

本発明の好ましい実施形態によれば、上記方法は、パッケージを通してオン状態電流を共有するために、他のダイオードと上記パッケージ中で並列に接続されるダイオードを製造するのに実行される。そして、ステップ2)は、上記ダイオードのグリッド部の抵抗の調節を行って、所定の電流密度と、上記ダイオードの電圧遮断能力とにおいて、上記ダイオードの温度係数が正、または、ほぼ正になるように実行される。例えば電力変換器のような多くの装置では、そのようにダイオードを並列に接続することは重要である。なぜならば、例えば100 Aの範囲で高電流を達成するには、各々のチップの寸法が非常に小さいままであるからである。上述のように、問題となる電流密度のための正温度係数は

10

20

30

40

50

、そのような並列にするための状態のものであり、これは、低い電圧遮断能力で、ダイオードの低い電流密度のために達成される。「ほぼ正」とは、この方法により、負ではない温度係数が得られることを意味し、これにより、所定の状況下で並列にされる例えばSiCの250Vのダイオードが使用される。

【0017】

本発明の他の好ましい実施形態によれば、上記ダイオードのグリッド部の抵抗が、ドリフト層領域の不純物添加濃度を調節することにより、ステップ1)において調節され、このドリフト層領域は、後にステップ2)において上記グリッド部となる。こうして、上記ドリフト層領域の不純物添加濃度を減少することにより、逆に、上記グリッド部の抵抗が増大される。上記グリッド部のより低い不純物添加濃度による他の明確な効果は、ダイオードのより高い歩留まり(yield)である。これは、ダイオードの他の表面領域での他の否定的な効果が、それにより減少されるからである。

10

【0018】

本発明の他の好ましい実施形態によれば、上記グリッド部の抵抗を調節するために、上記ダイオードの全ての横断面積に関して、上記グリッド部のドリフト層領域の横断面積の関係が、ステップ2)において調節される。この関係は、グリッド部の抵抗に対して重大な他のパラメータであり、このグリッド部の抵抗は、ダイオードのスイッチング損失に実質的な影響を与えること無く変えられることが発見された。

【0019】

本発明の他の好ましい実施形態によれば、ドリフト層の不純物添加濃度を、上記ドリフト層の抵抗を低減するため、かつ、ダイオードの所定の電圧遮断能力での上記ダイオードのオン状態損失を低減するために、如何なるグリッド部分も有さないダイオードにおいて許される最大の不純物添加濃度よりも高くする。この実施形態は、遮断電圧に特に好適であり、この電圧での単極のドリフト抵抗がダイオードのオン状態抵抗を支配する部分であり、この電圧は、SiCでは、900Vおよびそれ以上の遮断電圧である。通常のショットキ・ダイオードと比較して、異なるジャンクション・バリア・ショットキ・ダイオードの遮断機構により、ジャンクション・バリア・ショットキ・ダイオードにおいて望まれる更に高い臨界電界が許容されることが発見された。これは、ドリフト層の抵抗が低減され得ることを意味し、なぜならば、所定の遮断電圧のためのドリフト層の不純物添加濃度が増大でき、したがって、ドリフト層がより薄く形成できるからである。このことは、通常のショットキ・ダイオードと比較して、ジャンクション・バリア・ショットキ・ダイオードの全順電圧の低下に帰着し、ダイオードの温度依存性に影響を与える。

20

30

【0020】

本発明の他の実施形態によれば、上記材料はSiCである。このことは、ジャンクション・バリア・ショットキ・ダイオードにおいて、SiCの全ての有利な特性の利益を受けることができることを意味する。

【0021】

本発明の他の実施形態によれば、600 - 3500Vの、好ましくは、600と1500Vの間の電圧遮断能力を有するダイオードが製造される。

【0022】

本発明の他の好ましい実施形態によれば、ドナーがドーピングされたドリフト層を有するダイオードが製造される。これは、上記ドリフト層に対して最も好ましいドーピングタイプのものであり、本発明はこれに限定されないが、ドリフト層でのドーパントとしてのアクセプタの使用と、これによるホール伝導が含まれる。

40

【0023】

また、本発明は、本発明による方法を実行して製造されたジャンクション・バリア・ショットキ・ダイオードに関する。

【0024】

さらに、本発明は、本発明による方法を実行して製造され、パッケージを通る電流を共有するために、このパッケージにおいて他のそのようなダイオードと並列にされるジャン

50

クション・バリア・ショットキ・ダイオードを用いることに關し、これは、 $1200 - 1800\text{ V}$ の遮断電圧が可能となり、ダイオードのオン状態で電流密度が 150 A/cm^2 程度に低くなり得る。本発明による方法を、断面が 10 mm^2 を越える大きなSiCチップに適用することもまた、興味深いであろう。

【0025】

本発明の有利な特徴はもちろん、他の有利な点が、以下の明細書および他の従属請求項から明らかになるであろう。

【図面の簡単な説明】

【0026】

【図1】図1は、従来のショットキ・ダイオードの概略断面図である。

10

【図2】図2は、本発明の第1の好ましい実施形態によるジャンクション・バリア・ショットキ・ダイオード(JBS)について、図1に対応する断面図である。

【図3】図3は、大きさが示された遮断電圧に対して、異なる半導体装置について、温度係数の負から正へのクロスオーバー点における電流密度を説明するグラフである。

【図4】図4は、本発明による低遮断電圧のジャンクション・バリア・ショットキ・ダイオードの好ましい使用を、非常に概略的に説明したものである。

【図5】図5は、本発明の第2の好ましい実施形態によるジャンクション・バリア・ショットキ・ダイオードについて、図2に対応する断面図である。

【図6】図6は、本発明の第3の好ましい実施形態によるジャンクション・バリア・ショットキ・ダイオードについて、図2に対応する断面図である。

20

【図7A】本発明によるジャンクション・バリア・ショットキ・ダイオードについて、可能な設計を説明する概略平面図である。

【図7B】本発明によるジャンクション・バリア・ショットキ・ダイオードについて、可能な設計を説明する概略平面図である。

【図7C】本発明によるジャンクション・バリア・ショットキ・ダイオードについて、可能な設計を説明する概略平面図である。

【図7D】本発明によるジャンクション・バリア・ショットキ・ダイオードについて、可能な設計を説明する概略平面図である。

【発明を実施するための形態】

【0027】

30

添付の図面を参照して、以下に、本発明の好ましい実施形態の詳細な説明が、例示として述べられる。

【0028】

本発明の思想をよりよく理解するために、まず、従来のショットキ・ダイオードが図1に示される。このSiCからなるショットキ・ダイオードは、高くドーブされたn型の基体層1と、この表面の低くドーブされたn型のドリフト層2とを有する。上記ドリフト層2にショットキ接触を形成する金属層3が、ドリフト層2の表面に接触している。このショットキ・ダイオードがSiCで形成され、例えば 2000 V 以下の比較的低い遮断電圧に形成されている場合、上記ドリフト層2は非常に薄く形成されてオン状態損失が非常に低い。通常、重要となるように、電流密度に対して負の温度係数である。上記ドリフト層を厚く形成することにより、上記温度係数が負から正に変化するクロスオーバー点が低くされ、これにより、既に上で述べたように、ダイオードのオン状態損失が実質的に増大する。

40

【0029】

本発明者は、図2に示すようなジャンクション・バリア・ショットキ・ダイオードは、ダイオードのスイッチ損失に影響を与えることなく上述の温度係数のクロスオーバー点を動かし、また、それだけオン状態損失が変えられないことに、新しい可能性を開くことを見出した。まず、例えば米国特許第6104043号から知られるような、この種の公知のダイオードの構造と機能を述べる。このダイオードの構成は、これの製造のために用いられる方法についての以下の記述から、明らかになるであろう。この方法は、埋め込みの後の

50

アニーリング工程と同様に、マスキングとマスキング除去の工程を備えるが、ここでは、これ以上は記述しない。まず、SiCからなり、高くドーピングされたn型基体層1と、低くドーピングされたn型ドリフト層2が、好ましくは化学気相成長法 (Chemical Vapour Deposition) によって、各々の表面にエピタキシー成長される。これらの層のドーピングを行うために、例えば窒素やリンなどの、どのような適切な不純物を用いてもよい。代表的な不純物添加濃度は、ドリフト層と基体層について、夫々 $10^{15} - 15^{16} \text{ cm}^{-3}$ および $10^{18} - 10^{20} \text{ cm}^{-3}$ である。上記ドリフト層の表面に、適切なマスクと、それに適切なパターンングを適用した後、例えばホウ素やアルミニウムのようなp型不純物が、横方向に間隔をおくように上記ドリフト層の領域4に埋め込まれ、これにより、上記ドリフト層の上記基体層1から鉛直方向に距離をおいた位置に、不純物添加されたp型エミッタ層領域を形成する。上記領域4は、たいてい高濃度にドーピングされるが、これに代えて低濃度のドーピングも考えられる。図2で説明される場合では、上記埋め込みのための公知の加速エネルギーは、例えば300 keVであり、これにより、典型的に5 - 50 μm であるドリフト層2の厚みと比較して、A1が埋め込まれた場合には約0.3 μm の深さを有し、Bが埋め込まれた場合には約0.6 μm の深さを有する比較的浅いエミッタ層領域が得られる。上記エミッタ層領域の不純物濃度は、一般的には $10^{16} - 10^{20} \text{ cm}^{-3}$ である。隣接するエミッタ層領域の間隔は、250 - 2500 Vを遮断するために作られたダイオードでは、一般的に4 - 12 μm である。

【0030】

埋め込まれた不純物を電氣的に活性化するためのアニーリングステップと、使用されたマスクの除去の後、ドリフト層領域2の表面にメタル層が接触され、そこに、隣接するエミッタ層領域の間のドリフト層領域7にショットキ接触6が作製され、また、エミッタ層領域4の表面にオーミック接触8が作製される。上記オーミックおよびショットキ接続を得るために、2つの異なる金属が用いられてもよい。しかしながら、このために同じ金属を用いることも可能であり、上記接触8をショットキ接続にすることも可能である。上記オーミック接続とショットキ接続はダイオードのアノードを形成するのに対して、これに一致する金属層9はダイオードのカソードを形成し、これは上記基体層の下に貼り付けられる。

【0031】

このダイオードの機能は、上述より確かに明らかであるが、簡単に繰り返される。上記ダイオードの順方向伝導状態において、pn障壁 (約2.2 - 2.5 V) よりも低いショットキ障壁 (約0.7 - 1 V) のおかげで、低い電流密度でショットキ・ダイオードとして機能し、これにより、オン状態損失がpnダイオードのものよりも低くなる。そのような低い電流密度では、上記エミッタ層領域からドリフト層への少数電荷キャリアの注入が無く、これは、逆回復電荷によるスイッチング損失が無視できることを意味する。高い電流密度では、少数電荷キャリアがエミッタ層領域からドリフト層に注入され、このダイオードの特性はpnダイオードのものに近づくようになる。これは、デバイスのサージ電流能力に対する利点となる。したがって、上記ダイオードの逆方向遮断状態において、上記金属層5が負電位に接続されている場合、上記エミッタ層領域は、上記ドリフト層領域7の低いドーピングにより、それらを簡単に空乏状態にして、破線10で示されるように、連続した空乏領域をそれらの間に形成する。これは、このダイオードは公知のpnダイオードの特性を得て、電界集中がpn接合に生じるが、ショットキ接合6には近づけないようにすることを意味する。このように、上記ダイオードは、高電圧時に、公知のショットキ・ダイオードよりも大幅に低いリーク電力を有する。上記ドリフト層領域2および7の不純物濃度は、表面までの距離が減少された場合に不純物濃度が減少されるように、連続的に変えられてもよい。これは、低い不純物領域に空乏領域が広がることを促進する。その結果、大きな空乏領域が表面に最も近く形成され、ショットキ接続の遮断を容易にする。なぜならば、pアイランドの間に延びる空乏層が、より早く、すなわち、低い電圧で形成されるからである。

【0032】

このタイプのジャンクション・バリア・ショットキ・ダイオードの上記アメリカ特許と異なる設計が、明らかになる。本発明者は、ダイオードのスイッチング損失や静的損失に実質的に影響を与えることなく、このタイプのショットキ・ダイオードの動作の温度依存性を大きな範囲にわたって制御できることを発見した。特に、低い遮断電圧、すなわち、ワイドバンドギャップ材料のためのダイオードは、比較的薄いドリフト層2を有するので、エミッタ層領域4とこれによって分離されたドリフト層領域7で形成されるデバイスのグリッド部のオン状態抵抗を修正することによって、ダイオードの全体のオン状態抵抗を相当に変更することができる。

【0033】

図3に示された電流密度において、クロスオーバー点、つまり、温度係数が負から正に変わる点が、遮断状態において異なる電圧を遮断するように設計された異なるダイオードに設置されている。線aは、現実のジャンクション・バリア・ショットキ・ダイオードであり、bは理想的なジャンクション・バリア・ショットキ・ダイオードであり、cは現実のショットキ・ダイオードであり、dは理想的なショットキ・ダイオードである。冷却と封止を考慮すると、しばしば、 $70 - 100 \text{ A/cm}^2$ の電流密度が最大であり、これは、例えば 1000 V 以上の高い電圧を遮断する必要が無い場合であっても、少なくとも 1500 V を遮断するように設計されたダイオードを使用しなければならないことを意味する。しかしながら、ダイオードのグリッド部のオン状態抵抗を変更することにより、より低い遮断電圧能力のために、上記クロスオーバー点を実質的に低くすることが可能であることが見出され、上記抵抗は、上記ダイオードの全てのオン状態抵抗のうちの大部分を構成する。これを行うにはいくつかの方法があり、最も重要なものが、以下に詳細に論じられる。

【0034】

図4は、電流を共有するように他の同様のダイオードと並列に接続されたダイオードの使用を示している。このタイプのダイオードの使用は、いずれかのダイオードの電流の逃げを避けるように、電流がダイオード12の間で均等に分配されることを確実にするために、正温度係数が必要である。

【0035】

図5は、ジャンクション・バリア・ショットキ・ダイオードの温度依存性を制御するための方法がどのように実行されるかを説明しており、後に上述のステップ2)においてグリッド部の一部となるドリフト層領域7の不純物濃度を調節することによって、そのようなダイオードを作製する。したがって、ダイオードの半導体材料がSiCである場合、上記ドリフト層2は、 10^{16} cm^{-3} の濃度で不純物が導入されながら、グリッド部が開始するところ(線11参照)の厚さに達するまでエピタキシャル成長される。上記不純物濃度は、ここに達するときには $5 \times 10^{15} \text{ cm}^{-3}$ にまで減少され、これは、ドリフト層の全体を同じ不純物濃度にした場合について、上記グリッド部のオン状態抵抗を増加させる。しかしながら、これは、有利に 10^{14} cm^{-3} 程度に低くてもよい。これは、温度係数が負から正に変わる点であるクロスオーバー点、より低い電流密度に移動し、この効果は、上記ダイオードが低い遮断電圧のために作製されている場合には特に大きく、上記グリッド部のオン状態抵抗は、上記ダイオードの全てのオン状態抵抗のうちの主要部分を構成する。これは、SiCに対して、実際に、動作電流密度が $600 - 1700 \text{ V}$ のダイオードを、類似のショットキ・ダイオードと比較して、より自由に設計できることを意味する。

【0036】

図6は、製造時において、ジャンクション・バリア・ショットキ・ダイオードの温度依存性を制御する他の可能性を概略的に説明する図であり、このダイオードは、ステップ2)においてエミッタ層領域がより大きい横方向距離において形成される点が、図5によるものと異なる。したがって、ダイオードの全ての横断面積に関するグリッド部のドリフト層領域7の横断面積の関係が増大され、その結果、このダイオードのグリッド部の抵抗の減少が生じる。より厳密には、図5における関係は $1/2$ である一方、図6による実施形

10

20

30

40

50

態では 2 / 3 にまで増大され、その結果、所定の遮断能力を有するダイオードに、電流密度の増大が生じて、ここで、温度係数が負から正に変化する。

【 0 0 3 7 】

図 7 A - 7 D は、本発明によるジャンクション・バリア・ショットキ・ダイオードのグリッド部を設計する際の多数の異なる選択可能なもののうちのいくつかを、概略的に説明している。図 7 A は、p 型エミッタ層領域が矩形の横断面を有して、n 型ドリフト層領域 7 で囲まれている様子を示している。

【 0 0 3 8 】

図 7 B による実施形態では、エミッタ層領域は、代わりに、横方向バー 4 で形成されている。

【 0 0 3 9 】

図 7 C は、グリッド部が、代わりに、n 型と p 型で交互にドーピングされた環状部によって形成された様子を示している。

【 0 0 4 0 】

最後に、図 7 D では、図 7 A による実施形態のドーピングタイプを逆にすることができるとを示しており、したがって、矩形の部分は n 型にドーピングされており、周辺の部分は p 型にドーピングされている。したがって、矩形の断面を有する部分は、ここではエミッタ領域であることが可能であり、したがって、このショットキ・ダイオードは p 型にドーピングされたドリフト層を有する。

【 0 0 4 1 】

本発明は、当然に、上述の好ましい実施形態に限定されるものではないが、従属項に定義されるように、本発明の基本的思想から離れることなくそれらに変更がなされる多くの可能性は、当業者にとって明らかである。

【 0 0 4 2 】

請求項で言及される層の数は最小の数であり、ダイオードにさらなる層を配置することや、いずれかの層を、その中の異なる領域に選択的にドーピングを行うことにより、複数の層に分割することは、本発明が及ぶ範囲である。特に、ドリフト層は、不純物添加濃度が異なる複数のサブレイヤーによって構成されてもよく、例えば、ドリフト層の空乏を促進するために、エミッタ層領域に近い特に低い不純物添加濃度を有してもよい。また、例えば、基体とドリフト層との間に、高くドーピングされたバッファ層を配置することも可能である。このバッファ層は、上記ドリフト層と同じ n または p の導電型を有する。

【 0 0 4 3 】

上記エミッタ層領域は、ダイオードに逆バイアスがかけられたときのショットキ接続と接合障壁との間の鉛直距離を増大させるために、ドリフト層にエッチングされたトレンチの底に形成されてもよい。また、再成長技術を用いて、埋まる程に、エミッタ層領域にオーミック接続を形成することによって、そのような鉛直距離を得てもよい。

【 符号の説明 】

【 0 0 4 4 】

- 1 基体層
- 2 ドリフト層
- 4 エミッタ層領域
- 5 金属層
- 7 ドリフト層領域
- 9 金属層
- 11 グリッド部が開始する位置

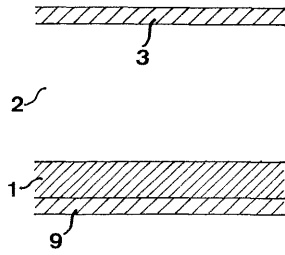
10

20

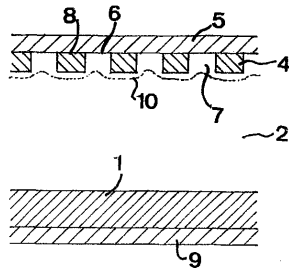
30

40

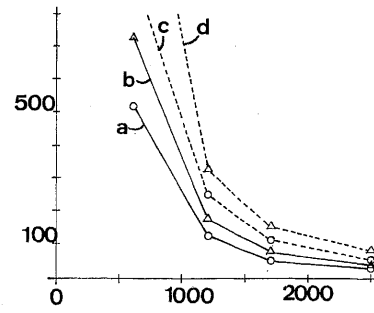
【図 1】



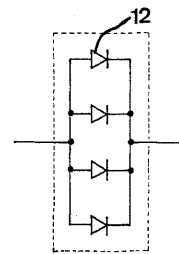
【図 2】



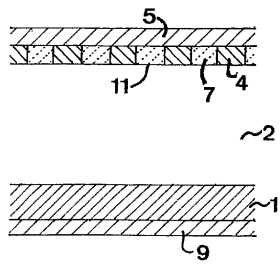
【図 3】



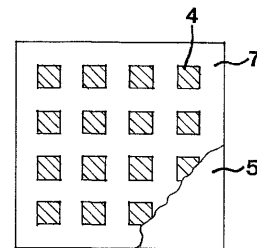
【図 4】



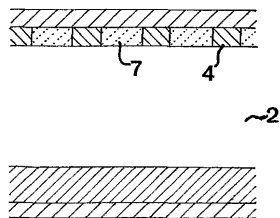
【図 5】



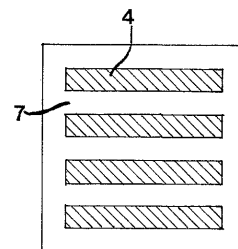
【図 7 A】



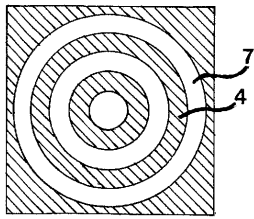
【図 6】



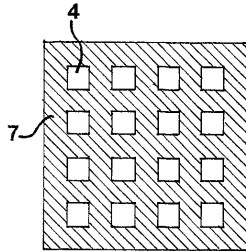
【図 7 B】



【図 7 C】



【図 7 D】



フロントページの続き

(72)発明者 ハイッツ・レンデンマン

スウェーデン、エス - 1 8 2 7 9 ストックスンド、ヴィラヴェーゲン 1 0 番

(72)発明者 ヴィリー・ヘルマンソン

スウェーデン、エス - 7 2 5 9 7 ヴェステロス、タルバックェン・エルビー

F ターム(参考) 4M104 AA03 FF32 GG03