



**URZĄD
PATENTOWY
PRL**

Patent tymczasowy dodatkowy
do patentu nr _____

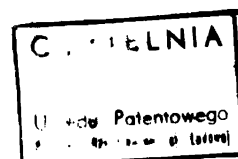
Int. Cl.³ H03K 5/01

Zgłoszono: 24.02.82 (P. 235207)

Pierwszeństwo _____

Zgłoszenie ogłoszono: 20.12.82

Opis patentowy opublikowano: 31.12.1984



Twórca wynalazku: Józef Kalisz

Uprawniony z patentu tymczasowego: Wojskowa Akademia Techniczna
im. Jarosława Dąbrowskiego,
Warszawa (Polska)

Układ formujący impulsy do generatora zegarowego

Przedmiotem wynalazku jest układ formujący impulsy do generatora zegarowego, stosowany przy współpracy z mikroprocesorem scalonym wielkiej skali integracji. Układy te są stosowane do budowy mikrokomputerów obliczeniowych i kontrolno-sterujących.

Znane są układy formujące impulsy do generatora zegarowego, opisane w publikacji firmowej „M 6800 Mikrokomputer System Design Data”, Motorola 1976, jak również w publikacji M 6800 EXORciser User's Guide, Motorola, 1975. Zasada budowy tych rozwiązań polega na szeregowym połączeniu bramek logicznych oraz tranzystorowych układów przeciwsobnych pnp-npn. Wspólną wadą tych rozwiązań jest konieczność stosowania specjalizowanych układów scalonych, produkowanych wyłącznie przez tę firmę. Dodatkową wadą układu opisanego w publikacji „M 6800 Mikrokomputer System Design Data” jest jego złożoność układowa, gdyż składa się on z 19 elementów i 7 bramek scalonych. Znane są również specjalizowane układy zegarowe realizowane w technice półprzewodnikowej monolitycznej jak również w technice hybrydowej, które cechuje duża złożoność układowa, skomplikowana technologia oraz wysoki koszt.

Celem wynalazku jest wyeliminowanie tych wad i opracowanie ulepszonego układu formującego impulsy do generatora zegarowego.

Istota wynalazku polega na tym, że układ formujący impulsy do generatora zegarowego, wykorzystujący oscylator z rezonatorem kwarcowym i dzielnik częstotliwości przez 2 lub 4 jest zbudowany w ten sposób, że jedno wyjście dzielnika częstotliwości jest połączone z wejściem pierwszej bramki NAND z otwartym kolektorem, której wyjście jest połączone poprzez rezystor z bazą pierwszego tranzystora p-n-p, przy czym emiter tego tranzystora jest przyłączony do dodatniego napięcia zasilającego, jego baza jest połączona przez rezystor z dodatnim napięciem zasilającym, a kolektor stanowi pierwsze wejście układu, połączone z wyjściem drugiej bramki NAND z otwartym kolektorem, której obydwie wejścia są połączone z wyjściem pierwszej bramki NAND, ponadto pierwsze wyjście układu jest połączone przez inwerter z wejściem trzeciej bramki NAND z otwartym kolektorem, której drugie wejście jest połączone z drugim, komplementarnym wyjściem dzielnika częstotliwości, a jej wyjście jest połączone poprzez rezystor z bazą drugiego tranzystora p-n-p, przy czym emiter tego tranzystora jest przyłączony do dodatniego napięcia zasilającego, jego

baza jest połączona przez rezystor z dodatnim napięciem zasilającym, a kolektor stanowi drugie wyjście układu, połączone z wyjściem czwartej bramki NAND z otwartym kolektorem, której obydwie wejścia są połączone z wyjściem trzeciej bramki NAND, ponadto drugie wyjście układu jest połączone z wejściem drugiego inwertera, którego wyjście jest połączone z drugim wejściem pierwszej bramki NAND i z wejściem trzeciego inwertera, którego wyjście stanowi trzecie wyjście układu.

Korzystne skutki techniczne wynalazku polegają na tym, że cały układ generatora zegarowego, łącznie z oscylatorem kwarcowym i dzielnikiem częstotliwości, może być zbudowany w oparciu o trzy seryjne i ogólnodostępne układy scalone TTL, tj. 6-krotny inwerter, 4-krotną bramkę NAND z otwartym kolektorem i pojedynczy lub podwójny przerzutnik. Układ formujący impulsy według wynalazku znacznie upraszcza konstrukcję układu generatora w stosunku do znanych rozwiązań, zmniejszając jego rozmiary i obniżając koszt.

Przedmiot wynalazku jest pokazany na przykładzie wykonania odtworzonym na rysunku przedstawiającym schemat połączeń.

Układ według wynalazku zawiera cztery dwuwejściowe bramki NAND z otwartym kolektorem B_1, B_2, B_3, B_4 produkowane w jednym typowym układzie scalonym, oraz trzy inwertery I_1, I_2, I_3 spośród sześciu, zawartych w jednym układzie scalonym, przy czym pozostałe trzy mogą być użyte do budowy oscylatora kwarcowego. Ponadto układ zawiera dwa tranzystory p-n-p T_1, T_2 , o małym napięciu nasycenia i cztery rezystory R_1, R_2, R_3, R_4 . Jedno wejście dzielnika częstotliwości Q jest połączone z wejściem pierwszej bramki NAND B_1 z otwartym kolektorem, której wyjście jest podłączone poprzez rezystor R_2 z bazą pierwszego tranzystora p-n-p T_1 , przy czym emiter tego tranzystora jest przyłączony z dodatnim napięciem zasilającym, oraz poprzez rezystor R_1 z jego bazą, natomiast kolektor stanowi pierwsze wyjście układu φ_1 , połączone z wyjściem drugiej bramki NAND B_2 z otwartym kolektorem, której obydwie wejścia są połączone z wyjściem pierwszej bramki NAND B_2 , ponadto pierwsze wyjście układu φ_1 jest połączone przez inwerter I_1 z wejściem trzeciej bramki NAND B_3 z otwartym kolektorem, której drugie wejście jest połączone z drugim komplementarnym wyjściem $\overline{Q}$ dzielnika częstotliwości, a jej wyjście jest połączone poprzez rezystor R_3 z bazą drugiego tranzystora p-n-p T_2 , przy czym emiter tego tranzystora jest przyłączony do dodatniego napięcia zasilającego $+U$, jego baza jest połączona przez rezystor R_4 z dodatnim napięciem zasilającym, a kolektor stanowi drugie wyjście układu φ_2 , połączone z wyjściem czwartej bramki NAND B_4 z otwartym kolektorem, której obydwie wejścia są połączone z wejściem trzeciej bramki NAND B_3 , ponadto drugie wyjście układu φ_2 jest połączone z wejściem drugiego inwertera I_2 , którego wyjście jest połączone z drugim wejściem pierwszej bramki NAND B_1 i z wejściem trzeciego inwertera I_3 , którego wyjście stanowi trzecie wyjście układu E .

Działanie układu polega na tym, że symetryczna fala prostokątna dostarczana na wejścia $Q, \overline{Q}$ z dzielnika częstotliwości jest kształtowana przez zespół bramkowo-inwerterowy $B_1, B_2, B_3, B_4, I_1, I_2$ oraz dwa tranzystory T_1, T_2 w ten sposób, że na wyjściach układu otrzymuje się sygnały prostokątne, spełniające warunki techniczne sterowania mikroprocesora. Pomiedzy końcem sygnału φ_1 i początkiem sygnału φ_2 występuje opóźnienie układów I_1, B_3 i B_4 , natomiast między końcem sygnału φ_2 i początkiem sygnału φ_1 występuje opóźnienie układów I_2, B_1 i B_2 . Przy poziomie niskim na wyjściach φ_1, φ_2 bramki odpowiednio B_2, B_4 znajdują się w stanie włączenia, natomiast tranzystory odpowiednio T_1, T_2 nie przewodzą. Przy poziomie wysokim na wyjściach φ_1, φ_2 przewodzą tranzystory odpowiednio T_1, T_2 , natomiast bramki odpowiednio B_2, B_4 znajdują się w stanie wyłączenia.

Z a s t r z e ż e n i e p a t e n t o w e

Układ formujący impulsy do generatora zegarowego, wykorzystujący oscylator z rezonatorem kwarcowym i dzielnik częstotliwości przez 2 lub 4, **znamienny tym**, że jedno wyjście dzielnika częstotliwości (Q) jest połączone z wejściem pierwszej bramki NAND (B_1) z otwartym kolektorem, której wyjście jest połączone poprzez rezystor (R_2) z bazą pierwszego tranzystora p-n-p (T_1), przy czym emiter tego tranzystora jest przyłączony do dodatniego napięcia zasilającego ($+U$), jego baza jest połączona przez rezystor (R_1) z dodatnim napięciem zasilającym, a kolektor stanowi pierwsze

wyście układu (ϕ_1), połączone z wyjściem drugiej bramki NAND (B_2) z otwartym kolektorem, której obydwie wejścia są połączone z wyjściem pierwszej bramki NAND (B_1), ponadto pierwsze wyjście układu (ϕ_1) jest połączone przez inwerter (I_1) z wejściem trzeciej bramki NAND (B_3) z otwartym kolektorem, której drugie wejście jest połączone z drugim, komplementarnym wyjściem (Q) dzielnika częstotliwości, a jej wyjście jest połączone poprzez rezystor (R_3) z bazą drugiego tranzystora p-n-p (T_2), przy czym emiter tego tranzystora jest przyłączony do dodatniego napięcia zasilającego ($+U$), jego baza jest połączona przez rezystor (R_4) z dodatnim napięciem zasilającym, a kolektor stanowi drugie wyjście układu (ϕ_2), połączone z wyjściem czwartej bramki NAND (B_4) z otwartym kolektorem, której obydwie wejścia są połączone z wyjściem trzeciej bramki NAND (B_3), ponadto drugie wyjście układu (ϕ_2) jest połączone z wejściem drugiego inwertera (I_2), którego wyjście jest połączone z drugim wejściem pierwszej bramki NAND (B_1) i z wejściem trzeciego inwertera (I_3), którego wyjście stanowi trzecie wyjście układu (E).

